



## Extraction des paramètres électriques sur les transistors CMOS de technologies avancées

Dominique Fleury, Antoine Cros, Krunoslav Romanjek, Benjamin Dumont,  
Hugues Brut

### ► To cite this version:

Dominique Fleury, Antoine Cros, Krunoslav Romanjek, Benjamin Dumont, Hugues Brut. Extraction des paramètres électriques sur les transistors CMOS de technologies avancées. Journées Nationales du Réseau Doctoral en Microélectronique, May 2007, Lille, France. <hal-00465795>

**HAL Id: hal-00465795**

**<https://hal.archives-ouvertes.fr/hal-00465795>**

Submitted on 21 Mar 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Extraction des paramètres électriques sur les transistors CMOS de technologies avancées

Dominique Fleury<sup>1,2</sup>, Antoine Cros<sup>1</sup>, Krunoslav Romanjek<sup>3</sup>, Benjamin Dumont<sup>3</sup>, Hugues Brut<sup>1</sup>

<sup>1</sup> STMicroelectronics, 850 rue Jean Monnet, F-38926 Crolles, France

<sup>2</sup> IMEP, 3, rue Parvis Louis Neel, 38016 Grenoble, France

<sup>3</sup> NXP Semiconductor, 860 rue Jean Monnet, F-38926 Crolles, France

E-mail: dominique.fleury@st.com

## Résumé

*L'extraction des paramètres électriques est un point clef pour la compréhension des phénomènes physiques qui régissent le fonctionnement des transistors. La réduction des dimensions impose aujourd'hui d'adapter les méthodes d'extraction préexistantes aux nouvelles générations de dispositifs. Ainsi, nous présenterons comment – à partir de courbes courant-tension  $I_D(V_G)$  et capacité-tension  $C_{gc}(V_G)$  – il est possible d'extraire avec précision la longueur effective ( $L_{eff}$ ), la mobilité à bas champ ( $\mu_0$ ) et les résistances séries ( $R_{SD}$ ) sur des transistors ultra-courts.*

## 1. Introduction

Les résistances séries ( $R_{SD}$ ) – définies pas la résistance d'accès au canal depuis les contacts – et la résistance de canal ( $R_{ch} = V_D/I_D - R_{SD}$ ) – régie par la mobilité  $\mu_0$  – sont deux paramètres primordiaux pour l'avenir du transistor MOS. En effet,  $R_{SD}$  étant quasi-constant et  $R_{ch}$  diminuant pour les faibles longueurs de grille, les résistances séries se comportent comme un phénomène parasite et le rapport  $R_{SD}/R_{ch}$  doit être minimisé sur les nouvelles technologies. L'utilisation couplée des méthodes d'extraction "fonction-Y" [1] et "split C-V" [2] permet de déterminer avec précision – et indépendamment de  $R_{SD}$  – la valeur de la mobilité bas champ ( $\mu_0$ ) pour des transistors ultra-courts. Cette méthode nécessite néanmoins une extraction précise de la longueur effective ( $L_{eff}$ ). Cette technique sera finalement illustrée par deux études menées sur des transistors CMOS de technologies avancées.

## 2. Méthodologie d'extraction

### 2.1. Méthode d'extraction "fonction-Y"

La méthode d'extraction "fonction-Y" est introduite dans [1]. Elle repose sur l'équation du courant de drain

( $I_D$ ) en régime ohmique (1), où  $V_D$  est typiquement choisi inférieur à 50mV afin de pouvoir mieux corriger l'influence de la fuite de grille sur le courant de drain [3].

$$I_D = \frac{\beta V_D (V_G - V_{th})}{1 + \theta_1 (V_G - V_{th}) + \theta_2 (V_G - V_{th})^2} \quad (1)$$

La fonction-Y permet d'extraire les paramètres ( $\beta$ ,  $V_{th}$ ,  $\theta_1$  et  $\theta_2$ ) de manière indépendante, où  $\beta$  représente le paramètre de gain du transistor ( $A/V^2$ );  $\theta_1$  et  $\theta_2$  les facteurs d'atténuation de la mobilité à faible et fort champ [1].

$$Y(V_G) = \frac{I_D}{\sqrt{g_m}} = \frac{I_D}{\sqrt{\frac{\partial I_D}{\partial V_G}}} = \sqrt{\beta V_D} (V_G - V_{th}) \quad (2)$$

Cette extraction se compose de plusieurs étapes détaillées sur le synopsis de la Fig. 1. L'utilisation du paramètre  $\theta_1$  permet de remonter à la valeur des résistances séries  $R_{SD}(V_G)$  en utilisant la relation (3) issue de [4].

$$R_{SD} = R_{SD,0} + \alpha_R V_G \quad (3)$$

Les valeurs de  $R_{SD,0}$  et  $\alpha_R$  sont ici déterminées par les regressions linéaires (4) et (5) sur les graphes  $\theta_{i=1,2}(\beta)$ .

$$\theta_1 = \theta_{1,0} + R_{SD,0}\beta + \alpha_R V_{th2}\beta + \dots \dots + (\theta_2 - \alpha_R\beta)(V_{th2} - V_{th}) \quad (4)$$

$$\theta_2 = \theta_{2,0} + \alpha_R\beta \quad (5)$$

Cette méthode d'extraction possède l'avantage de s'affranchir des résistances séries ( $Y(V_G)$  ne dépend pas de  $\theta_1$ ). Elle ne nécessite pas d'hypothèse sur  $\mu_0$  pour extraire les résistances séries.

### 2.2. Extraction de la longueur effective ( $L_{eff}$ )

La réduction des dimensions est devenue si critique que la longueur électrique des transistors – définie par

la longueur de la couche d'inversion – atteint difficilement 50% de la longueur définie par le masque de lithographie  $L_{mask}$  sur les technologies sub-65nm [5]. Les nombreuses méthodes permettant d'extraire la longueur effective présupposent souvent l'invariance de la mobilité avec la longueur de grille [6, 7]. Cette hypothèse est aujourd'hui remise en question avec l'apparition d'une dégradation de la mobilité des transistors courts [2, 8]. La méthode capacitive introduite dans [2, 5] repose sur la mesure de la capacité grille-canal  $C_{gc}(V_G)$  et s'affranchit de toute hypothèse concernant la mobilité. Cette dernière se fonde sur le fait que la réponse capacitive  $C_{gc}(V_G)$  – et donc son maximum – est proportionnelle à la surface effective du transistor :  $\max(C_{gc}) \propto W \times L_{eff}$  (Fig. 2).

**Prise en compte des capacités parasites** En réalité, les mesures  $C_{gc}(V_G)$  sont affectées par une composante parasite provenant des interconnexions, par la capacité de bord interne ( $C_{if}$ ), de bord externe ( $C_{of}$ ) et de recouvrement ( $C_{ov}$ ) du transistor [9] (Fig. 3). En conséquence, la valeur de cette capacité parasite doit être retranchée à  $\max(C_{gc})$  pour satisfaire à la règle de proportionnalité énoncée précédemment. Nous considérerons donc la valeur à retrancher  $C_{gc}^{min} = C_{gc}(V_{th} - \Delta V)$ , où  $\Delta V$  est une constante ajustée depuis les résultats de [9]. Nous définirons finalement la valeur  $\max(C_{gc})$  corrigée des capacités parasites :  $\Delta C_{gc} = \max(C_{gc}) - C_{gc}^{min}$ , modifiant

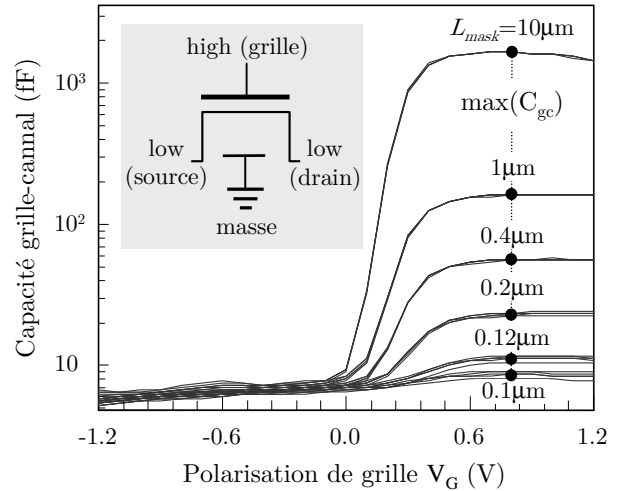


FIG. 2. Courbes  $C_{gc}(V_G)$  mesurées pour plusieurs longueurs de transistors et tracées en échelle semi-logarithmique (Technologie 45nm,  $T_{ox} \cong 12\text{\AA}$ ). En insertion : schéma de câblage des ports du capacimètre.

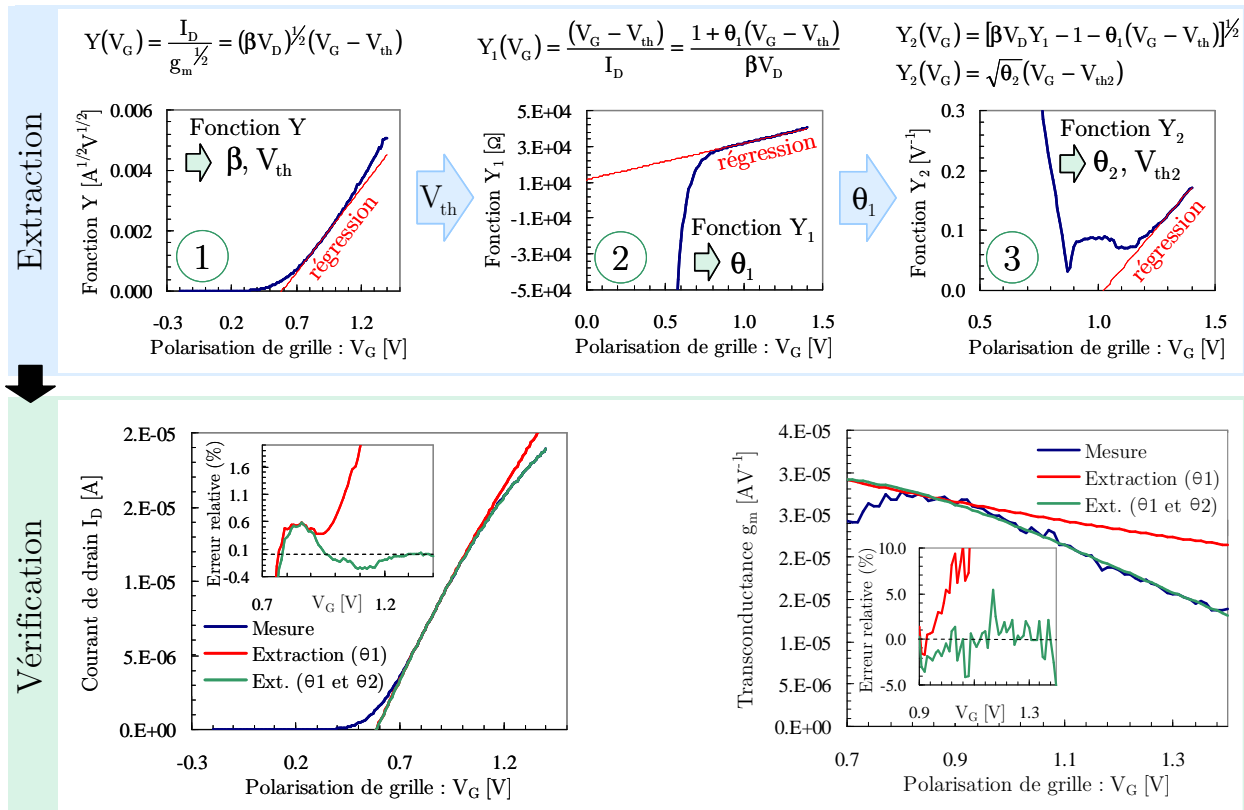


FIG. 1. Méthode d'extraction de type "fonction-Y", composée de trois régressions linéaires permettant de remonter à tous les paramètres électriques de manière indépendante.

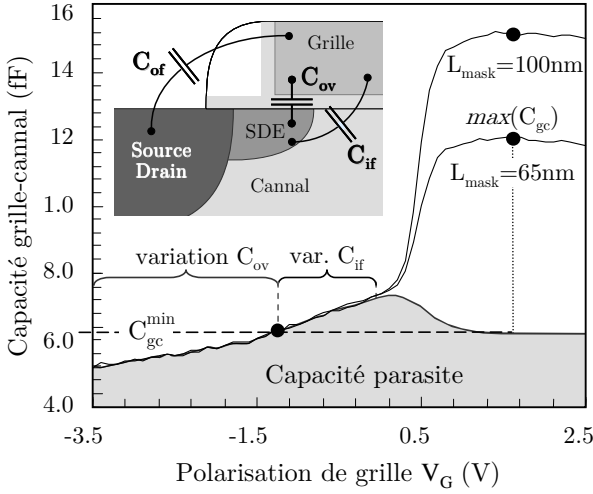


FIG. 3. Mesures  $C_{gc}(V_G)$  et capacité parasite extrapolée pour des transistors de technologie 65nm. En insertion : schéma des capacités parasites.

la règle de proportionnalité :

$$\Delta C_{gc} \propto W \times L_{eff} \quad (6)$$

**Methodologie de mesure** En testant une série de transistors de largeur  $W$  constante et de longueur  $L_{mask}$  variable, il est possible de déterminer les longueurs effectives de chaque dispositif, suivant la règle de proportionnalité (7) déduite de (6). Le plus long transistor de la série est alors choisi comme transistor de référence dans (7), permettant ainsi l'approximation  $L_{eff}^{ref} \cong L_{mask}^{ref}$ .

$$L_{eff}^X = L_{eff}^{ref} \times \frac{\Delta C_{gc}^X}{\Delta C_{gc}^{ref}} \quad (7)$$

### 2.3. Détermination de la mobilité

La mobilité à bas champ transverse  $\mu_0$  est un paramètre fréquemment utilisé dans la caractérisation électrique des dispositifs. Il intervient dans l'expression de  $I_D$  – à travers le paramètre  $\beta$  – et reflète le niveau de courant maximal que pourra débiter le transistor en mode "ON". Suite à l'extraction de  $\beta$  – par le biais de la fonction-Y (cf. 2.1) – ainsi que de  $L_{eff}$  – par le biais de la méthode capacitive (cf. 2.2) – la déduction de  $\mu_0$  devient possible (8).

$$\beta \equiv \mu_0 C_{ox} \frac{W}{L_{eff}} \Leftrightarrow \mu_0 = \frac{\beta L_{eff}}{W C_{ox}} \quad (8)$$

La valeur de  $C_{ox}$  est déterminée sur le transistor long (9), supposant  $L_{eff}^{ref} \cong L_{mask}^{ref}$ .

$$C_{ox} = \frac{\max(C_{gc}^{ref})}{W \times L_{eff}^{ref}} \quad (9)$$

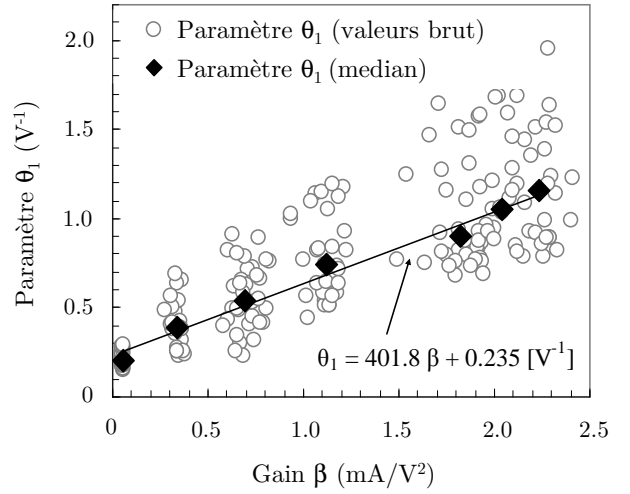


FIG. 4. Extraction des paramètres  $\theta_{1,0}$  et  $R_{SD,0}$  depuis la régression linéaire  $\theta_1 = f(\beta)$

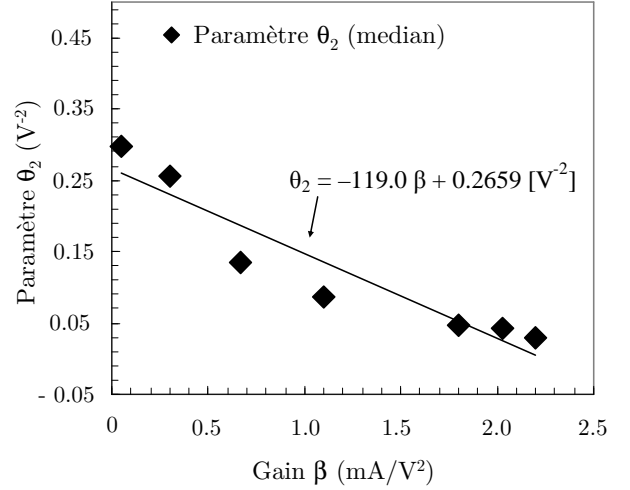


FIG. 5. Extraction des paramètres  $\theta_{2,0}$  et  $\alpha_R$  depuis la régression linéaire  $\theta_2 = f(\beta)$

## 3. Mesures

Les mesures ont été effectuées sur des dispositifs de technologies avancées : *bulk* équivalente à 45nm et à grille enrobante. Elles ont permis de démontrer la précision et la reproductibilité des extractions.

### 3.1 Extraction de la résistance série ( $R_{SD}$ )

L'extraction de la résistance série a été effectuée sur des transistors à grille enrobante de technologie SADA-GAA (*Self-Aligned Design-Adapted Gate-All-Around*) [10]. Une batterie de dispositifs de largeur fixe ( $W = 0.5\mu\text{m}$ ) et de longueur  $L_{mask}$  variant de 80nm à  $10\mu\text{m}$  a été choisie. Les mesures ont finalement été réalisées à  $V_D = 50\text{mV}$  et suivies de l'extraction de type "fonction-Y". L'utilisation des graphes  $\theta_i(\beta)$  (Fig. 4 et Fig. 5) a finalement permis d'extraire  $R_{SD}(V_G)$  (10). Tous les

résultats de l'extraction sont résumés dans le tableau 3.1.

$$R_{SD} (\Omega) = 201 - 59.5 \times V_G (V) \quad (10)$$

Paramètre	Valeur
$R_{SD,0} (\Omega \cdot \mu\text{m})$	201
$\alpha_R (A^{-1} \cdot \text{m})$	-59.5
$\theta_{1,0} (V^{-1})$	0.209
$\theta_{2,0} (V^{-2})$	0.266

TAB. 1. Valeurs des paramètres  $R_{SD,0}$ ,  $\alpha_R$ ,  $\theta_{1,0}$  et  $\theta_{2,0}$  extraits depuis les graphes  $\theta_{i=1,2}(\beta)$

Cette étude permet de mettre en évidence l'amélioration de la résistance série (facteur  $\sim 4$ ) apportée par une optimisation technologique de l'architecture vis-à-vis de ses prédécesseurs [4].

### 3.2 Mesure de de mobilité ( $\mu_0$ )

L'extraction de la mobilité détaillée au (2.3) à été appliquée à des dispositifs de technologie avancée, assimilable à une technologie 45nm. Les mesures ont été effectuées sur des dispositifs de largeur fixe  $W = 10\mu\text{m}$  et de longueur  $L_{mask}$  variant de 100nm à  $10\mu\text{m}$ . Les écarts de longueurs  $L_{mask} - L_{eff}$  (jusqu'à 80nm pour  $L_{mask} = 100\text{nm}$ ) ainsi que la faible épaisseur d'oxyde ( $T_{ox} = 12\text{\AA}$ ) justifient amplement du "caractère" 45nm de cette technologie. Les résultats  $\mu_0(L_{eff})$  sont présentés sur la Fig. 6 pour deux wafers dont les procédés de fabrication ne diffèrent que par la température du recuit d'activation (1050°C et 1080°C). Ceux-ci montrent clairement une différence de mobilité entre les deux familles de transistors qui aurait été imperceptible sur un graphe  $\mu_0(L_{mask})$  (cf. insertion de la Fig. 6). Cette étude montre la précision de cette méthode d'extraction et a permis d'aboutir à des résultats importants concernant la chute de mobilité sur les transistors courts, probablement liée à l'existence de défauts neutres [8].

## 4. Conclusion

Nous avons détaillé les techniques de caractérisation électrique des transistors issus de technologies avancées. Ces dernières sont aujourd'hui inévitables pour l'obtention de résultats fiables, ne nécessitant pas d'hypothèse forte sur l'invariance d'un paramètre tel que la mobilité. Elles offrent en effet un avantage innégale vis-à-vis de l'extraction de la mobilité à bas champ comme nous l'avons démontré dans les parties précédentes.

## Références

[1] G. Ghibaudo, "New method for the extraction of MOSFET parameters," *IEE Electron Letters*, vol. 24, pp. 543–545, Apr. 1988.

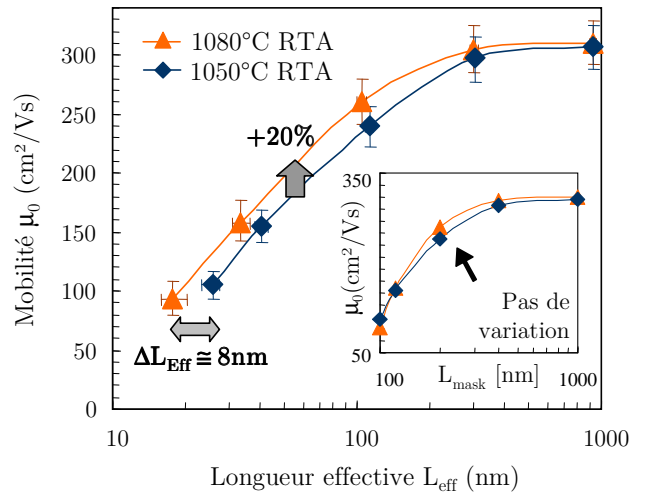


FIG. 6. Courbes  $\mu_0(L_{eff})$  pour deux températures de recuit. En insertion : évolution  $\mu_0(L_{mask})$ .

[2] K. Romanjek, F. Andrieu, T. Ernst *et al.*, "Characterization of the effective mobility by split C(V) technique in sub 0.1 μm si and SiGe PMOSFETs," *Solid State Electronics*, vol. 49, pp. 721–726, 2005.

[3] N. Planes, A. Dray, E. Robilliart *et al.*, "Impact of the gate current on first order parameter extraction in sub-0.1 μm cmos technologies," *Proc. IEEE Int. Conference on Microelectronic Test Structures (ICMETS'03)*, pp. 137–141, Mar. 2003.

[4] A. Cros, S. Harrison, R. Cerutti *et al.*, "New extraction method for gate bias dependent series resistance in nanometric double gate transistors," in *(ICMETS'05)*, Leuven, Belgium, Apr. 2005, pp. 69–74.

[5] D. Fleury, A. Cros, K. Romanjek *et al.*, "Automatic extraction methodology for accurate measurement of effective channel length on 65nm MOSFET technology and below (to be published)," in *(ICMETS'07)*, Tokyo, Japan, Mar. 2007.

[6] G. Hu, C. Chang, and Y.-T. Chia, "Gate-voltage-dependent effective channel length and series resistance of LDD MOSFETs," *IEEE Trans. Electron Devices*, vol. 34, pp. 2469–2475, Dec. 1987.

[7] Y. Taur, D. Zicherman, D. Lombardi *et al.*, "A new 'shift and ratio' method for MOSFET channel-length extraction," *IEEE Electron Device Lett.*, vol. 13, pp. 267–269, May 1992.

[8] A. Cros, K. Romanjek, D. Fleury *et al.*, "Unexpected mobility degradation for very short devices : A new challenge for cmos scaling," in *Proc. IEEE Int. Electron Devices Meeting (IEDM'06)*, San Francisco, USA, Dec. 2006, pp. 663–666.

[9] F. Prégaldiny, C. Lallement, and D. Mathiot, "A simple efficient model of parasitic capacitances of deep-submicron ldd mosfets," *Solid State Electronics*, vol. 46, pp. 2191–2198, Jun. 2002.

[10] R. Wacquez, R. Cerutti, P. Coronel *et al.*, "A novel self aligned design adapted gate all around (SADAGAA) MOSFET including two stacked channels : A high co-integration potential," in *SSDM'06*, Kanagawa, Japan, Sep. 2006.