

2015-12

# Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1

Gallardo-García, Omar

---

Gallardo-García, O. (2015). Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1. Trabajo de obtención de grado, Especialidad en Diseño de Sistemas en Chip. Tlaquepaque, Jalisco: ITESO.

Enlace directo al documento: <http://hdl.handle.net/11117/3746>

*Este documento obtenido del Repositorio Institucional del Instituto Tecnológico y de Estudios Superiores de Occidente se pone a disposición general bajo los términos y condiciones de la siguiente licencia:*  
<http://quijote.biblio.iteso.mx/licencias/CC-BY-NC-ND-2.5-MX.pdf>

*(El documento empieza en la siguiente página)*

**INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE**

**Especialidad en Diseño de Sistemas en Chip**

Reconocimiento de Validez Oficial de Estudios de nivel superior según Acuerdo Secretarial 15018,

publicado en el *Diario Oficial de la Federación* el 29 de noviembre de 1976

**DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA**



**Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1**

Tesina para obtener el grado de:

**Especialista en diseño de sistemas en chip**

Presenta

Ingeniero Omar Gallardo García

Bajo la dirección de: Maestro Esdras Juárez Hernández (Freescale), Dr. Iván Rodrigo Padilla Cantoya (ITESO)

Guadalajara, Jalisco, Diciembre 2015





## **AGRADECIMIENTOS**

Para que este proyecto se haya llevado a cabo de manera satisfactoria, no ha sido mérito exclusivo de mi persona. Quiero agradecer principalmente a Dios y a mis padres Enrique Gallardo y Ermelinda García por brindarme todas las facilidades y apoyo incondicional para poder terminar de manera satisfactoria esta tesina, reflejo de todo un año de estudios y trabajo en la especialidad en diseño de sistemas en chip.

Como instituciones, agradezco a ITESO y al PNPC-CONACYT por brindarme la oportunidad y ayuda con los recursos necesarios para poder continuar con mi formación profesional y académica cursando esta especialidad.

Agradezco a mis asesores el Mtro. Esdras Juárez y el Dr. Iván Padilla por la instrucción, experiencia y conocimientos compartidos a lo largo de todo el proyecto para el trabajo presentado. Así también agradezco de manera especial al coordinador de la especialidad el Dr. Esteban Martínez y al Mtro. Federico Lobato por el apoyo y consejos brindados a lo largo de todo el curso.

## **ABSTRACT**

This report presents the design of the high frequency path from the Analog receptor of the first test vehicle of the SerDes ITESOTV1. The high frequency path is conformed for the high frequency amplifier core, this core is composed of two operational transconductance amplifiers connected in cascade mode and a fully differential ton single ended signal converter.

The report starts with an introduction of the scope of the SerDes ITESOTV1 project where the characteristics, requirements, limitations and the considerations of the resources for the development of the project are defined.

The methodology for the design of the high frequency path is described step by step with detail so the work can be replicated for any person interested in it. The methodology describes the equations and the calculus realized for the stage of the amplification design, and also with the approach of the challenges encountered through the design and justification of the chosen decisions.

Besides the design for this SerDes module, all the tests developed in each of the stages of the design are described showing schematics test benches and plots of the results obtained from the simulations in the frequency and time domain.

Finally, the approach of the considerations taken to achieve a correct layout in each of the parts that built the core receptor of the SerDes and displays the images of the physical design realized.

## **TABLA DE CONTENIDO**

Agradecimientos .....	i
Abstracto .....	ii
Tabla de contenido .....	iii
Lista de figuras .....	v
Lista de tablas .....	vi
Introducción .....	1
<b>CAPÍTULO 1 ANTECEDENTES DE SISTEMA SERDES.....</b>	<b>3</b>
1.1. Descripción de la arquitectura del SerDes ITESOTV1 .....	3
1.2. Requerimientos de diseño .....	5
1.2.1. Requerimientos generales del sistema .....	5
1.2.2. Requerimientos del Sistema de deserialización.....	6
1.2.3. Requerimientos del Sistema de serialización.....	7
1.3. Alcance del Proyecto .....	7
1.4. Fuera de alcance .....	8
1.5. Restricciones .....	8
1.6. Consideraciones .....	9
<b>CAPÍTULO 2 DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO .....</b>	<b>11</b>
2.1. Descripción del core del receptor analógico .....	11
2.2. Especificaciones de diseño del core del amplificador .....	12
2.3. Metodología y cálculos .....	13
2.3.1 Diseño de par diferencial de OTA.....	13
2.3.2 Conexión en paralelo de pares diferenciales .....	17
2.3.3 Sustitución de fuente de corriente por transistor para polarización .....	21
2.3.4 Diseño del convertidor diferencial a salida simple .....	23
2.3.4.1 Core del convertidor .....	23
2.3.4.2 Diseño de búffers inversores para la salida del convertidor .....	25
<b>CAPÍTULO 3 VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR .....</b>	<b>29</b>
3.1. Resultados de simulaciones del core del amplificador .....	29
3.1.1 Resultados del análisis en frecuencia del core del amplificador .....	29
3.1.1.1 Transistores del par diferencial con un finger .....	29
3.1.1.2 División de los transistores de los pares diferenciales en 2 y 4 fingers .....	33
3.1.2. Ajustes por integración de resistencia de la tecnología .....	37
3.1.3. Resultados de simulaciones transitorias del core del amplificador .....	40
3.1.4. Resumen de diseño del core del amplificador .....	43
3.2. Resultados de simulaciones del convertidor de señal diferencial a señal simple.....	44

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*

---

3.3	Simulaciones K28.5 .....	46
3.3.1	Simulaciones transitorias con patrones K28.5 .....	46
3.3.2	Análisis de jitter con patrón K28.5 .....	50
CAPÍTULO 4 LAYOUT DEL CORE DEL RECEPTOR .....		54
4.1.	Modificaciones de esquemáticos para layout .....	54
4.2.	Imágenes de primeros layouts por módulos .....	59
4.3.	Floorplan del core del receptor analógico para el SerDes .....	62
4.4.	Layouts finales .....	62
Conclusiones .....		66
Referencias .....		67
Apéndices .....		69



---

**Lista de figuras**

**CAPÍTULO 1**

Figura 1.1. Diagrama de bloques de referencia para el sistema SerDes ITESOTV1 .....4  
Figura 1.2. Diagrama de bloques de todo el sistema del SerDes ITESOTV1 con cada uno de sus bloques y el BIST incluidos .....10

**CAPÍTULO 2**

Figura 2.1. Diagrama a bloques del circuito analógico receptor del SerDes ITESOTV1 ...11  
Figura 2.2. Diagrama a bloques del core del amplificador .....12  
Figura 2.3. Primer esquemático de par diferencial .....13  
Figura 2.4. Esquemático de pares diferenciales conectados en cascada con 6dB de ganancia .....17  
Figura 2.5. Concepto de diseño de dos etapas idénticas para un ancho de banda total ..19  
Figura 2.6. Diseño de dos etapas diferentes con un ancho de banda mayor en la segunda etapa .....20  
Figura 2.7. Esquemático final con la integración de los transistores para la corriente de polarización de los pares diferenciales .....22  
Figura 2.8. Diagrama a bloques del convertidor diferencial a salida simple del receptor analógico .....23  
Figura 2.9. Esquemático de convertidor diferencial a salida simple .....24  
Figura 2.10. Esquemático del primer buffer del convertidor .....26  
Figura 2.11. Esquemático del segundo buffer del convertidor .....26  
Figura 2.12. Esquemático del tercer buffer del convertidor .....27  
Figura 2.13. Esquemático de prueba del convertidor completo .....28

**CAPÍTULO 3**

Figura 3.1. Esquemático de OTA simple que cumple con requerimientos de diseño .....29  
Figura 3.2. Respuesta en frecuencia del OTA que cumple con requerimientos de diseño (BW = 5.3 GHz) .....30  
Figura 3.3. Esquemático de pares diferenciales conectados en cascada con 10dB de ganancia .....31  
Figura 3.4. Respuesta de primer etapa (BW1 = 3.54GHz) y total (BWT = 2.63GHz) .....32  
Figura 3.5. Respuesta de segunda etapa (BW2 = 5.28GHz) y total (BWT = 2.63GHz) ...32  
Figura 3.6. Esquemático de par diferencial con 2 fingers .....33

Figura 3.7. Respuesta de primer etapa con 2 fingers ( $BW_1 = 3.92\text{GHz}$ ) y total ( $BWT = 2.91\text{GHz}$ ) .....	34
Figura 3.8. Respuesta de segunda etapa con 2 fingers ( $BW_2 = 5.85\text{GHz}$ ) y total ( $BWT = 2.91\text{GHz}$ ) .....	34
Figura 3.9. Esquemático de par diferencial con 4 fingers .....	35
Figura 3.10. Respuesta de primer etapa con 4 fingers ( $BW_1 = 4.05\text{GHz}$ ) y total ( $BWT = 2.99\text{GHz}$ ) .....	35
Figura 3.11. Respuesta de segunda etapa con 4 fingers ( $BW_2 = 5.98\text{GHz}$ ) y total ( $BWT = 2.63\text{GHz}$ ) .....	36
Figura 3.12. Esquemático con parámetros de los transistores del par diferencial .....	38
Figura 3.13. Puntos de operación en DC de los transistores para la corriente de polarización .....	38
Figura 3.14. Comparativa de respuesta en frecuencia de ambas etapas del amplificador .....	39
Figura 3.15. Respuesta en frecuencia del diseño final del amplificador, fase y magnitud .....	40
Figura 3.16. Respuesta transitoria a señal cuadrada de $40\text{mV}@2.5\text{GHz}$ .....	40
Figura 3.17. Respuesta en frecuencia con variaciones de proceso .....	41
Figura 3.18. Respuesta transitoria del core del amplificador de una señal cuadrada de $40\text{mV}@2.5\text{GHz}$ con 200 variaciones de mismatch .....	42
Figura 3.19. Respuesta en frecuencia del core del amplificador con 200 variaciones de mismatch .....	43
Figura 3.20. Salida de la respuesta transitoria de una señal cuadrada de $40\text{mV}@2.5\text{GHz}$ del core del convertidor comparado con la entrada positiva del amplificador .....	45
Figura 3.21. Salida de la respuesta transitoria de una señal cuadrada de $40\text{mV}@2.5\text{GHz}$ del primer buffer del convertidor comparado con la entrada positiva del amplificador .....	45
Figura 3.22. Salida de la respuesta transitoria de una señal cuadrada de $40\text{mV}@2.5\text{GHz}$ del segundo buffer del convertidor comparado con la entrada positiva del amplificador ..	46
Figura 3.23. Salida de la respuesta transitoria de una señal cuadrada de $40\text{mV}@2.5\text{GHz}$ del tercer buffer del convertidor comparado con la entrada positiva del amplificador .....	46
Figura 3.24. Esquemático con test bench K28.5 .....	47
Figura 3.25. Resultado de simulación Montecarlo de primer patrón K28.5 con voltaje de $1.71\text{V}$ , transistores lentos tanto canal-n como canal-p con una temperatura de $125^\circ\text{C}$ ...	48

Figura 3.26. Resultado de simulación Montecarlo de primer patrón K28.5 con voltaje de 1.89V, transistores rápidos tanto canal-n como canal-p con una temperatura de -40°C ..48	
Figura 3.27. Resultado de simulación Montecarlo de segundo patrón K28.5 con voltaje de 1.71V, transistores lentos tanto canal-n como canal-p con una temperatura de 125°C ...49	
Figura 3.28. Resultado de simulación Montecarlo de segundo patrón K28.5 con voltaje de 1.71V, transistores lentos tanto canal-n como canal-p con una temperatura de 125°C ...49	
Figura 3.29. Diagrama de ojo de salida del core del receptor analógico .....	51
Figura 3.30. Acercamiento en vértice de diagrama de ojo de salida del core del receptor analógico .....	51
Figura 3.31. Diagrama de ojo de salida del core del amplificador .....	52
Figura 3.32. Acercamiento en vértice de diagrama de ojo de salida del core del core del amplificador .....	53

#### CAPÍTULO 4

Figura 4.1. Esquemático del par de OTAs del core del amplificador acondicionado para layout .....	55
Figura 4.2. Esquemático del par diferencial de los OTA del core del amplificador acondicionado para layout .....	56
Figura 4.3. Esquemático de convertidor diferencial a salida simple acondicionado para layout .....	57
Figura 4.4. Esquemático del primer buffer del convertidor .....	58
Figura 4.5. Esquemático del segundo buffer del convertidor .....	58
Figura 4.6. Esquemático del tercer buffer del convertidor .....	59
Figura 4.7. Esquemático final para generar el layout del módulo receptor analógico .....	59
Figura 4.8. Primer layout del core del amplificador con sus dos etapas .....	60
Figura 4.9. Primer layout del core del convertidor de señal diferencial a simple .....	60
Figura 4.10. Primer layout del primer buffer inversor del convertidor .....	61
Figura 4.11. Primer layout del segundo buffer inversor del convertidor .....	61
Figura 4.12. Primer layout del tercer buffer inversor del convertidor .....	61
Figura 4.13. Floorplan del core del receptor analógico del SerDes .....	62
Figura 4.14. Layout final del core del amplificador .....	63
Figura 4.15. Layout final del core del convertidor de señal diferencial a simple .....	64
Figura 4.16. Layout final del primer buffer inversor del convertidor .....	64

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*

Figura 4.17. Layout final del segundo buffer inversor del convertidor .....	65
Figura 4.18. Layout final del tercer buffer inversor del convertidor .....	65
Figura 4.19. Layout final del con la integración de todos los bloques del core del receptor analógico del SerDes ITESOTV1 .....	65

### APÉNDICE

Figura 5.1. Respuesta transitoria a señal senoidal de 40mV@2.5GHz .....	69
Figura 5.2. Respuesta transitoria a señal senoidal de 300mV@2.5GHz .....	69
Figura 5.3. Respuesta transitoria a señal cuadrada de 40mV@1.25GHz .....	69
Figura 5.4. Respuesta transitoria a señal cuadrada de 40mV@2.5GHz .....	70
Figura 5.5. Respuesta transitoria a señal cuadrada de 300mV@1.25GHz .....	70
Figura 5.6. Respuesta transitoria a señal cuadrada de 300mV@2.5GHz .....	70
Figura 5.7. Respuesta en frecuencia con 200 variaciones de mismatch .....	71
Figura 5.8. Respuesta transitoria de una señal cuadrada de 40mV@1.25GHz con 200 variaciones de mismatch .....	71
Figura 5.9. Respuesta transitoria de una señal cuadrada de 40mV@2.5GHz con 200 variaciones de mismatch .....	71
Figura 5.10. Respuesta transitoria de una señal cuadrada de 300mV@1.25GHz con 200 variaciones de mismatch .....	72
Figura 5.11. Respuesta transitoria de una señal cuadrada de 300mV@2.5GHz con 200 variaciones de mismatch .....	72
Figura 5.12. Simulación montecarlo de primer patrón K28.5 de esquina tt, bajo voltaje, 125°C .....	73
Figura 5.13. Simulación montecarlo de primer patrón K28.5 de esquina tt, bajo voltaje, -40°C .....	73
Figura 5.14. Simulación montecarlo de primer patrón K28.5 de esquina tt, voltaje nominal, 65°C .....	73
Figura 5.15. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, 125°C.....	74
Figura 5.16. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, -40°C .....	74
Figura 5.17. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, 65°C .....	74
Figura 5.18. Simulación montecarlo de primer patrón K28.5 de esquina ss, bajo voltaje,	

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*

---

125°C .....	75
Figura 5.19. Simulación montecarlo de primer patrón K28.5 de esquina ss, bajo voltaje, -40°C .....	75
Figura 5.20. Simulación montecarlo de primer patrón K28.5 de esquina ff, alto voltaje, 125°C .....	75
Figura 5.21. Simulación montecarlo de primer patrón K28.5 de esquina ff, alto voltaje, -40°C .....	76
Figura 5.22. Simulación montecarlo de segundo patrón K28.5 de esquina tt, bajo voltaje, 125°C .....	76
Figura 5.23. Simulación montecarlo de segundo patrón K28.5 de esquina tt, bajo voltaje, -40°C .....	77
Figura 5.24. Simulación montecarlo de segundo patrón K28.5 de esquina tt, voltaje nominal, 65°C .....	77
Figura 5.25. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, 125°C .....	77
Figura 5.26. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, -40°C .....	78
Figura 5.27. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, 65°C .....	78
Figura 5.28. Simulación montecarlo de segundo patrón K28.5 de esquina ss, bajo voltaje, 125°C .....	78
Figura 5.29. Simulación montecarlo de segundo patrón K28.5 de esquina ss, bajo voltaje, -40°C .....	79
Figura 5.30. Simulación montecarlo de segundo patrón K28.5 de esquina ff, alto voltaje, 125°C .....	79
Figura 5.31. Simulación montecarlo de segundo patrón K28.5 de esquina ff, alto voltaje, -40°C .....	79

**Lista de tablas**

CAPÍTULO 2

Tabla 2.1. Requerimientos de diseño .....	12
Tabla 2.2. Parámetros de OTA que cumplen con requerimientos de diseño .....	21
Tabla 2.3. Voltajes mínimos de salida de la segunda etapa de amplificación con señal senoidal de estimulación a 2.5 GHz .....	25
Tabla 2.4. Parámetros de los transistores de los búfers inversores del convertidor .....	27

CAPÍTULO 3

Tabla 3.1. Puntos de operación en DC del par diferenciales de cada etapa .....	37
Tabla 3.2. Tabla comparativa de requerimientos de diseño con resultados de simulación .....	43
Tabla 3.3. Tabla con definición de parámetros de transistores y resistores del diseño ....	44
Tabla 3.4. Esquinas de pruebas realizadas al circuito final bajo la secuencia K28.5 con variaciones de mismatch .....	50

## **INTRODUCCION**

Como elemento importante de la especialidad en diseño de sistemas en chip, está la elaboración de un proyecto donde exista la colaboración del trabajo de todos los estudiantes del curso. En esta ocasión el proyecto a desarrollar es el de un circuito integrado serializador – deserializador; al que se referirá en adelante como SerDes. Este debe cumplir con las especificaciones requeridas por el protocolo PCI Express (*Peripheral Component Interconnect Express*). El SerDes que se desarrolló está definido como el primer vehículo de pruebas a realizar en una tecnología de 180nm dentro del ITESO y por esta misma razón se le adjudica el nombre de SerDes ITESOTV1.

En el presente se reporta una introducción a las especificaciones y limitantes del SerDes ITESOTV1. Uno de los bloques del SerDes es el receptor analógico que está dividido en dos partes, el circuito de polarización del amplificador y el circuito del amplificador de alta frecuencia también denominado como el core del receptor analógico. Cada una de las partes fue diseñada y reportada por un integrante de la especialidad. Seguido del panorama general del proyecto, se redacta en detalle el diseño del core del receptor analógico del SerDes ITESOTV1; caso de estudio de esta tesina. Este módulo recibe directamente la señal diferencial desde el exterior del circuito integrado y la acondiciona de manera tal que el circuito deserializador pueda recibir una señal en niveles de voltaje adecuados para un circuito digital.

El circuito de la trayectoria de la señal de alta frecuencia está constituido por dos etapas de amplificación y un convertidor de señal diferencial a salida simple que incluye una serie de búfers inversores para dar sustentabilidad a la señal de salida.

La tesina está redactada a manera que el lector pueda replicar el diseño presentado. Se detallan cada uno de los cálculos y la metodología seguida para el diseño de cada bloque. Se realizaron simulaciones transientes y en el dominio de la frecuencia por bloque e integrando todo el sistema del core del amplificador. Se verificó además el diseño realizando simulaciones de variaciones de mismatch y de procesos para dar validez del funcionamiento y cumplimiento de las especificaciones del SerDes. Cada uno de los resultados es analizado y en base a ellos se determina la dirección que debe seguir el diseño.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*

---

Para el diseño físico se realizó un layout preliminar de cada uno de los bloques para hacer una planeación pertinente del Floorplan, después se trabajó en un segundo layout en el que se tomaron consideraciones más estrictas para mejorar la confiabilidad del diseño.





---

## **CAPÍTULO 1: ANTECEDENTES DE SISTEMA SERDES**

### *1.1 Descripción de la arquitectura del SerDes ITESOTV1*

Un SerDes, de sus iniciales Serializador - Deserializador, es un par de bloques funcionales comúnmente usados en comunicaciones de alta velocidad para compensar el número limitado de entradas y salidas. Estos bloques convierten datos entre información serial e interfaces paralelas en ambas direcciones. El principal uso de los SerDes es suministrar datos de transmisión sobre una línea diferencial con el objetivo de minimizar el número de pines y conexiones de entradas y salidas.

La operación básica del SerDes es relativamente sencilla. La siguiente es una descripción de alto nivel de la descripción del flujo de una señal en un SerDes.

Un bus de datos paralelo, conmutando a determinada frecuencia, es introducido en la interfaz paralela del SerDes sincronizándolos con el flanco de subida o de bajada de una entrada de frecuencia de reloj, si es que incluye esta señal, existen módulos SerDes que obtienen esta señal de la misma velocidad a la que los datos son introducidos. En este diseño se contempla que se tenga una terminal dedicada para el reloj tanto en la entrada del serializador como a la salida del deserializador.

Una vez que los datos han sido cargados en los registros de entrada del serializador, los bits son típicamente codificados usando esquemas de codificación estándar como lo son los codificadores conocidos como 8Bit-10Bit.

La principal funcionalidad del codificador del SerDes es adaptar la información de entrada para la serialización y obtener un nivel de DC (*Direct Current* - Corriente Directa) constante en la línea de transmisión serial. [1]

Además del codificador, el SerDes tiene un módulo para la recuperación de las señales de los datos y del reloj denominado CDR. Este módulo necesita ver cierto nivel de densidad en la transición de los bits con el objetivo de no perder ninguna información. Codificando la información, siendo que los datos paralelos son provenientes del codificador, cambiando la longitud de palabra original a una mayor, esto para buscar, por ejemplo con el codificador 8Bit-10Bit, que cuando una cantidad considerable de unos o ceros vengan juntos, el codificador haga que la palabra resultante tenga una cantidad de unos y ceros equilibrada para de esta manera tener un balance de DC en la línea de transferencia. La figura 1.1

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*  
ANTECEDENTES DE SISTEMA SERDES

ilustra un diagrama de bloques para el SerDes ItesoTV1. Los módulos digitales y la etapa analógica de transmisión son de únicamente de referencia general del funcionamiento de un SerDes.

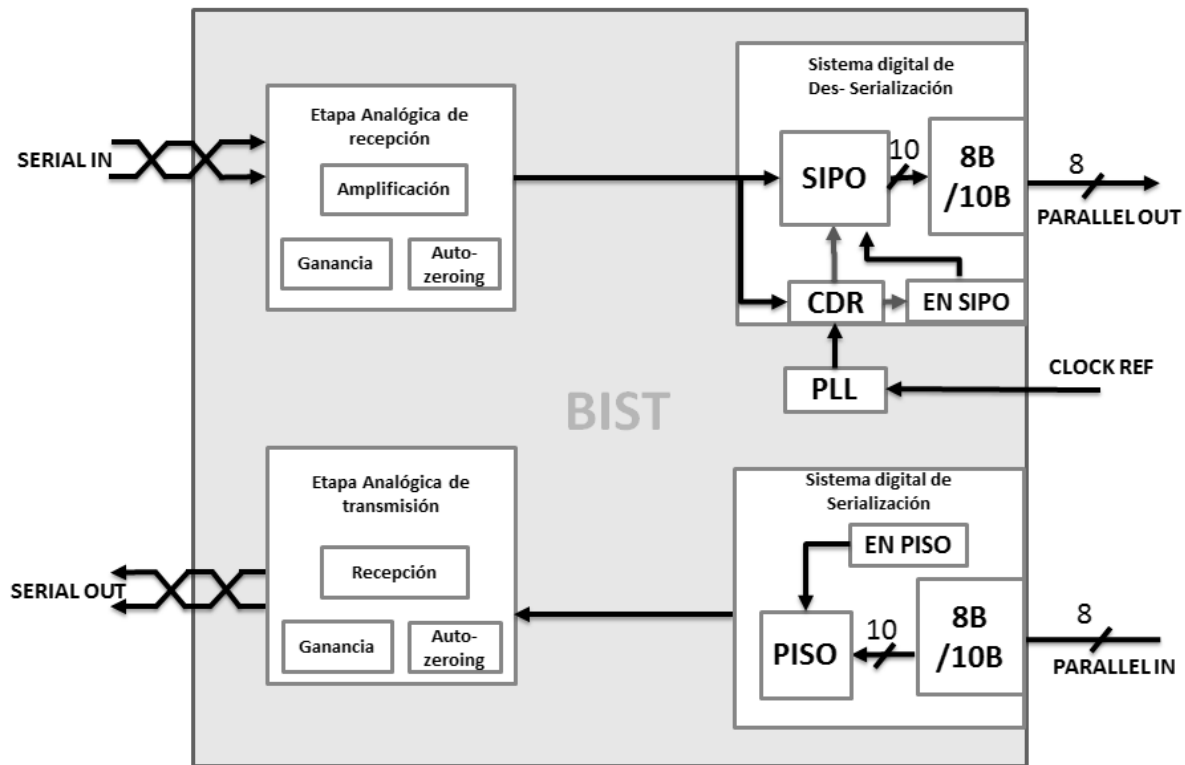


Figura 1.1. Diagrama de bloques de referencia para el sistema SerDes ITESOTV1.

El bus de información de bits codificados es ahora serializado, y convertido de un bus de información en paralelo a un bus de bits seriales. La función de serialización de un SERDES toma el bus de datos paralelos y los serializa para una transmisión eficiente sobre un canal simple de transmisión diferencial. Regularmente, la serialización es implementada usando registros de corrimiento como se puede ilustrar en la siguiente imagen. Obsérvese que la información necesita ser sincronizada en el registro paralelo por una señal de reloj.

El bus serializado ahora es introducido dentro de la línea diferencial del driver, también conocido como buffer de señal diferencial. El buffer serializador manda la cadena de bits serializados hacia el medio externo.

En el lado del receptor del SerDes, la información serializada es introducida en el buffer de la entrada de la línea diferencial. La entrada diferencial del buffer convierte esta señal de entrada en un bit digital.

Otra función importante del módulo receptor del SerDes es recuperar la señal de reloj de la señal serial de entrada. El circuito recuperador del reloj extrae una frecuencia de transmisión desde los datos de entrada en el receptor. Este reloj recuperado es después usado para sincronizar la cadena de información recibida. Las cadenas de bits recibidas después son deserializadas.

Deserialización es el proceso donde la señal serial recibida es ensamblada en palabras paralelas que después pueden ser decodificadas para formar la palabra original. El proceso de deserialización depende del módulo recuperador de reloj e información (CDR) circuito que provee una señal de reloj recuperada para ayudar a manejar el tiempo de los registros de corrimiento que se usan para re-ensamblar la palabra de información codificada. [2]

La información deserializada es decodificada a los bits de su palabra original. Los bits de información son después introducidos en los registros de salida en paralelo y sincronizados fuera del bus por los búfers. Típicamente los búfers de salida son señales de terminación simple, no diferenciales y el reloj es alineado en frecuencia a la velocidad de recepción de la información serial. Es común que el transmisor y receptor de un SerDes trabajen a la par con la misma frecuencia para así poder formar una comunicación full duplex, transmisor y receptor operando al mismo tiempo.

## *1.2 Requerimientos de diseño*

Como punto de partida para el diseño del SerDes se parte los siguientes requerimientos del sistema tanto generales como de cada una de las principales partes del sistema.

### 1.2.1 Requerimientos generales del sistema

1. El patrón de datos serial debe ser en código 8b10b para mantener un balance en DC.
2. La velocidad del patrón de datos es de 1.5Gbps a 2.5Gbps.
3. La frecuencia del reloj de referencia es de 0.75Ghz a 1.25Ghz para poder soportar la frecuencia de los datos.
4. La velocidad de los relojes de recepción y transmisión es 10 veces la de la frecuencia del dato.
5. Debe integrar un generador de patrón de datos interno para realizar BIST (built-in self-test).

6. Todos los módulos deben tener la opción de “bypass” con motivos de verificación. Esto es, por medio de señales de control, poder dejar pasar los datos de cada módulo sin ningún procesamiento ni adecuación al módulo siguiente.
7. El sistema debe permitir la conexión interna del dato paralelo obtenido por el deserializador hacia el serializador para poder crear un lazo interno que permita convertir el mismo dato nuevamente a un patrón serial por el transmisor, con motivos de prueba.

#### 1.2.2 Requerimientos del sistema de deserialización

1. Etapa analógica de recepción.
  - Recibe una señal digital diferencial y debe proveer una señal CMOS con el menor ruido y *jitter* posible para ser utilizada por las etapas digitales.
2. Sistema digital de deserialización
  - Este módulo es el encargado de recibir el patrón digital de datos y sincronizarlo con el reloj de referencia. Para este propósito se utiliza un circuito de *Clock and data recovery* (CDR).
  - Para el CDR se pueden utilizar varias técnicas, muchas están basadas en la toma de muestras a una frecuencia más alta que el *bit rate* del dato.
  - Una vez recuperado el dato y sincronizado con el reloj se ejecuta la conversión digital serie paralelo.
  - El reloj de recepción debe estar sincronizado con el dato serial recuperado e indica cuando se debe tomar el dato paralelo.
  - Este módulo debe poder seleccionar la entrada de datos serial analógico (modo de aplicación) o una entrada de datos serial digital proveniente del módulo de transmisión digital para el modo BIST.
  - El dato serial digital proveniente del transmisor debe pasar también por el proceso CDR y conversión a dato paralelo.
  - Este módulo debe contener un bloque que genere el mismo dato paralelo interno generado en el transmisor y lo compare con el dato paralelo obtenido de la conversión serie-paralelo. Una señal de salida debe indicar si hay un error o discrepancia entre los datos.
  - Para realizar la prueba de BIST se tiene que crear una secuencia de inicio, sincronía y comparación que se pueda controlar externamente.

### 1.2.3 Requerimientos del sistema de serialización

#### 1. Sistema digital de serialización

- El reloj de transmisión debe ser generado para sincronizar las tomas de muestras del dato paralelo (TX\_DATA).
- El dato paralelo es almacenado y sincronizado con el reloj de transmisión para posteriormente ser convertido a un dato serial.
- Este dato serial se debe proveer a la etapa de transmisión analógica para enviar el dato serial fuera del chip.
- En este módulo se debe incluir un generador de datos paralelos interno para realizar BIST. Por medio de señales de control se debe poder seleccionar el dato paralelo externo e interno. El dato paralelo interno se utilizara durante BIST y se convertirá a serial con el mismo módulo utilizado en la aplicación con el dato externo. Este dato serial se debe enviar a la parte digital de recepción (creando un “loopback” con el sistema digital de deserialización). [3]

#### 2. Etapa analógica de transmisión

- Recibir una señal de terminación simple y mandarla al exterior del circuito integrado de manera diferencial con una amplitud de 300mV.
- Contar con una sintonización de impedancia de salida..

### 1.3 Alcance del proyecto

El alcance del proyecto está limitado a realizar una serie de entregables. Como entregables se hace referencia primeramente a los bloques que requiere la parte encargada de la integración de todo el sistema completo, y después el mismo SerDes completo junto con el sistema de pruebas embebido.

Primeros entregables:

- Sistema digital de deserialización.
- Sistema digital de serialización.
- Etapa analógica de recepción.
- Etapa analógica de transmisión.

Entregable final:

- Sistema SerDes ITESOTV1 con BIST integrado.

- Como entregable también se incluye toda la documentación necesaria para la fabricación del circuito integrado así como cada uno de los reportes de diseño de cada una de las etapas.

#### *1.4 Fuera de alcance*

Dentro de este diseño no se están considerando ciertos elementos que son necesarios para lograr este circuito integrado, en seguida se listan estos elementos:

1. Modelo eléctrico de los pines de salida/entrada del empaquetado.
2. Bloques de protección contra ESD.
3. El módulo del PLL.
4. Equipo de prueba para verificar el funcionamiento del SerDes a la velocidad que el protocolo PCI Express lo requiere.
5. Fechas de fabricación de MOSIS para poder tener el circuito integrado en físico.

#### *1.5 Restricciones*

Existen ciertas restricciones dentro del proyecto, algunas de ellas determinadas por los mismos requerimientos y otras que se encuentran fuera de las especificaciones de diseño pero tienen que ser consideradas para la planeación del proyecto. Las restricciones dentro del proyecto son las siguientes:

1. Dentro de la planeación se está considerando un plan de trabajo con fecha de expiración el día lunes 30 de noviembre del 2015.
2. Se realizará el diseño con la tecnología de 180nm de IBM.
3. Debe cumplir con todos los requerimientos para cumplir con el protocolo de PCI Express.[4]
4. No se cuenta con la posibilidad de trabajar jornadas de tiempos completos exclusivos para el diseño de cada una de las etapas.
5. Se tiene un área de diseño del circuito integrado de 1.5mm x 1.5mm designada por la empresa MOSIS para proyectos académicos.
6. Se restringe la participación dentro del proyecto a los estudiantes del curso de la especialidad de diseño de sistemas en chip y a los asesores asignados tanto del ITESO como de la Industria por el comité académico de la especialidad.

### 1.6 Consideraciones

Para el diseño del proyecto se tuvieron las siguientes consideraciones las cuales se dan por hecho que son una realidad y se basó en estas para el desarrollo la planeación del proyecto:

1. Se considera un equipo de trabajo de 6 integrantes, la cantidad de alumnos inscritos en la especialidad.
2. Se cuenta con la disponibilidad de la suite de diseño, simulación y validación de **Cadance** para poder realizar sin inconvenientes el diseño del circuito y su validación.
3. Se cuentan con todas las librerías necesarias por parte de MOSIS para poder diseñar bajo los parámetros que la empresa maneja con la tecnología de 180 nm de IBM.
4. Cada una de las etapas del proyecto tendrán a un asesor con experiencia dentro del ramo, para poder guiar y asesorar al estudiante o estudiantes asignados a cada etapa.
5. Cada una de las personas responsables de cada etapa del proyecto cuenta con los conocimientos necesarios para poder completar el diseño en tiempo y forma adecuados.

En base a los requerimientos anteriores se diseñó el diagrama a bloques que no comprende todo el diseño del SerDes como circuito integrado, pero si la totalidad de su funcionalidad.



*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*  
**ANTECEDENTES DE SISTEMA SERDES**

La figura 1.2 ilustra el diagrama a bloques de todo el SerDes. [5]

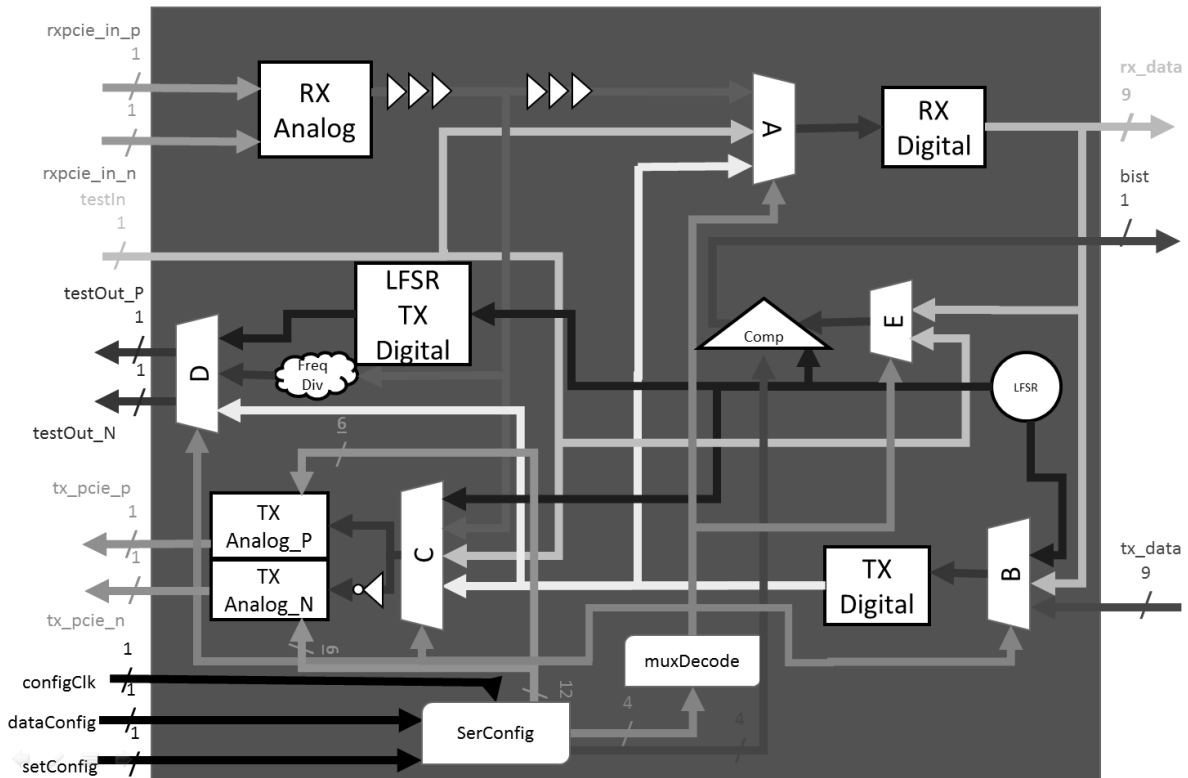


Figura 1.2. Diagrama de bloques de todo el sistema del SerDes ITESOTV1 con cada uno de sus bloques y el BIST incluidos.



## CAPÍTULO 2: DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO

### 2.1 Descripción del core del receptor analógico

Se le denomina *core* del amplificador del receptor analógico del SerDes al *path* o trayectoria que sigue la señal de entrada a lo largo de todo el receptor analógico del SerDes, el *core* está constituido por un circuito con dos etapas de amplificación conectadas en cascada para obtener una señal de tal que un convertidor de señal diferencial a *single ended* pueda recibirla adecuadamente. La figura 2.1 muestra el diagrama a bloques con la arquitectura del módulo analógico del receptor del SerDes.

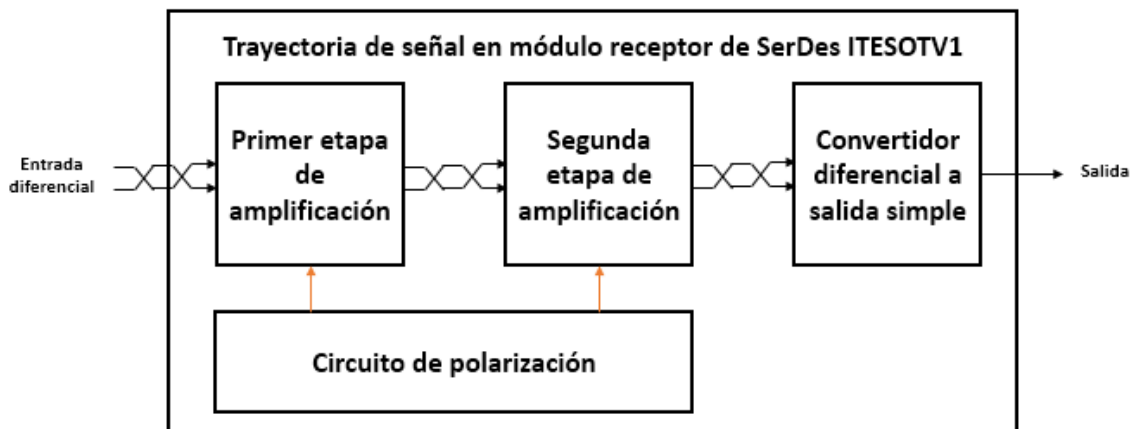


Figura 2.1. Diagrama a bloques del circuito analógico receptor del SerDes ITESOTV1.

El circuito de polarización para ambas etapas de amplificación no se describe en este trabajo. En la lista de referencias puede encontrar el documento que lo describe. [6]

Ambas etapas de amplificación son un OTA (*Operational Transconductance Amplifier* - Amplificador Operacional de Transconductancia) con carga resistiva. Esta arquitectura fue la seleccionada por la capacidad que tiene de manejar mayores anchos de banda que uno con cargas activas o transistores. El hecho de que pueda manejar un ancho de banda mayor es debido a que la capacitancia de salida que maneja esta arquitectura es menor al tener solo un transistor por cada una de las salidas de cada etapa.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

*2.2 Especificaciones de diseño del core del amplificador.*

El core del amplificador debe tener dos etapas de amplificación que funcionen con un mismo voltaje de polarización para la corrección del modo común de la señal diferencial. La figura 2.2 muestra el diagrama a bloques del core del amplificador del diseño.

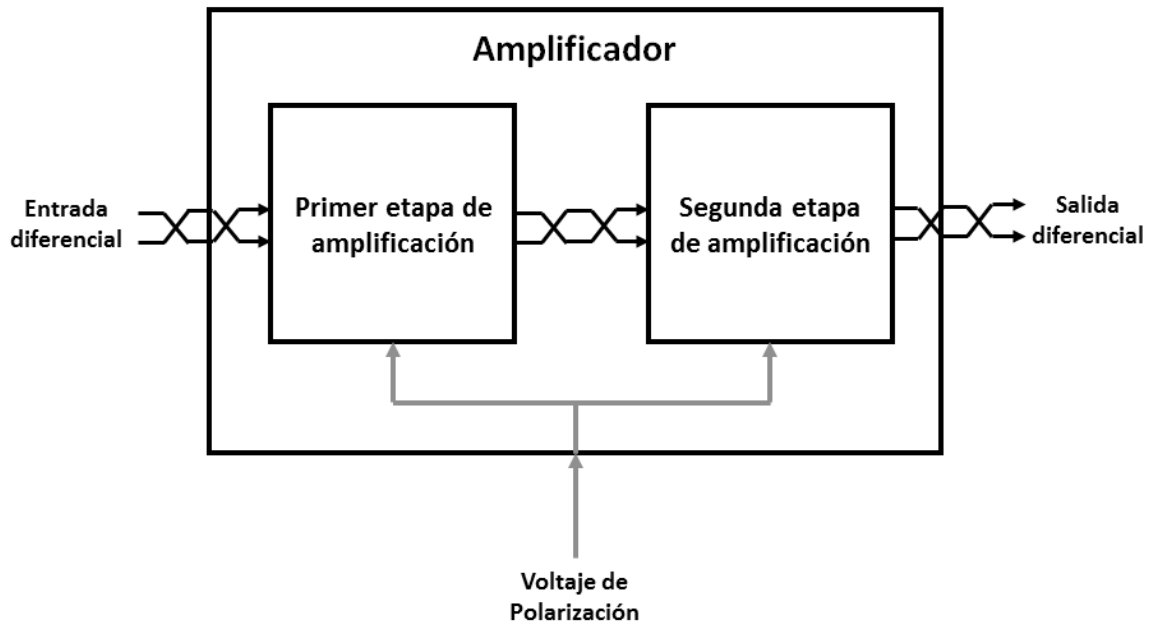


Figura 2.2. Diagrama a bloques del core del amplificador.

Al ser un OTA la estructura principal de la etapa de amplificación, se parte de definir las especificaciones del mismo. Las especificaciones para el diseño del OTA cascada *fully differential* del amplificador son las señaladas en la tabla 2.1.

<b>Parámetro</b>	<b>Valor</b>
<b>Ganancia</b>	20dB
<b>Ancho de banda</b>	2.5GHz
<b>Tecnología</b>	180nm
<b>Alimentación</b>	1.8V
<b>VCM entrada</b>	1.26V
<b>VCM salida</b>	1.26V
<b>Carga</b>	20fF

Tabla 2.1. Requerimientos de diseño.

### 2.3 Metodología y cálculos.

Para el diseño del amplificador se parte del diseño de un OTA simple de una sola etapa con las mismas especificaciones descritas anteriormente para el amplificador en cascada. La diferencia es que la ganancia en DC de lazo abierto baja a 6dB. Al tener dos OTAs conectados en cascada, la ganancia de una etapa se suma a la otra para obtener la ganancia total del amplificador, por tanto, al observarse que la tecnología permite esta ganancia de 6dB, se procede a subir a 10dB la ganancia de cada etapa para al final obtener los 20dB de ganancia total. En la figura 2.3 se muestra el primer circuito esquemático realizado. Este OTA simple está conformado solo por un par diferencial.

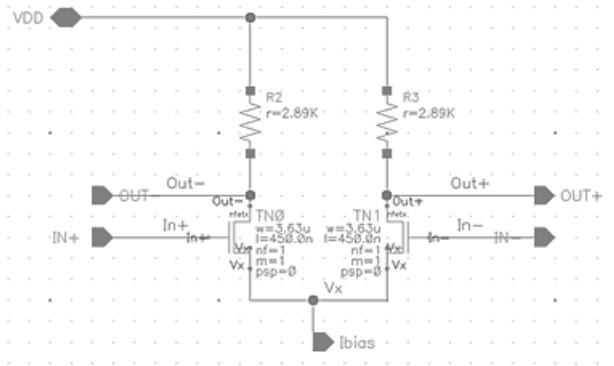


Figura 2.3. Primer esquemático de par diferencial.

#### 2.3.1 Diseño de par diferencial de OTA.

La metodología seguida para el diseño del par diferencial es la siguiente: [7]

- 1) Cálculo de la corriente máxima de polarización  $I_B$ . Esta corriente de polarización es la corriente máxima permitida por el circuito dado un requerimiento de disipación de potencia. Para este se partió de establecer una potencia de 3mW como máximo.

Dado que  $P_{Bmax} = V_{DD} * I_{Bmax}$  entonces

$$I_{Bmax} = \frac{P_{Bmax}}{V_{DD}} = \frac{3mW}{1.8V} = 1.66mA \quad (1)$$

- 2) Cálculo de las resistencias de carga del par diferencial en función del ancho de banda (Resistencias R2 y R3 de la figura 2.3).

**Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI**  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

---

Dado que  $BW = \frac{1}{R_L * C_L}$  entonces

$$R_L = \frac{1}{BW * C_L} = \frac{1}{2\pi(2.75GHz)*(20fF)} = 2.894K\Omega \quad (2)$$

Entendiéndose que BW es el ancho de banda expresado como frecuencia angular. Al ancho de banda se agrega un factor de sobre diseño del 10% para tratar de acercar un poco más los cálculos iniciales al performance real puesto que en este punto se discriminan las capacitancia parásitas.

- 3) Cálculo de la corriente de polarización  $I_B$ . Esta corriente de polarización es la corriente necesaria para que los dos transistores que conforman el par diferencial puedan operar adecuadamente polarizados y en saturación. Para cada transistor entonces corresponde la mitad de la corriente de polarización, esto estando en reposo el circuito, es decir, ambas compuertas de los transistores tienen el mismo voltaje de modo común de entrada.

Dado que  $V_{RL} = V_{DD} - V_{OCM} = 1.8 - 0.7(1.8) = 540 \text{ mV}$  como  $R_L = \frac{V_{RL}}{\frac{I_B}{2}}$  entonces

$$I_B = \frac{2V_{RL}}{R_L} = \frac{2(540mV)}{2.894K\Omega} = 373.18\mu \quad (3)$$

- 4) Cálculo de la transconductancia del par diferencial  $g_m$ . La transconductancia del par diferencial es la que va a determinar la ganancia del OTA, por tanto, se parte de este requerimiento de diseño para obtener la  $g_m$  necesaria para el par diferencial. Teniendo que  $Av(dB) = 20\log(Av)$  entonces:

$$Av = 10^{\frac{Av(dB)}{20}} = 10^{\frac{6}{20}} = 2 \quad (4)$$

$$g_m = \frac{Av}{R_L} = \frac{2}{2.894K\Omega} = 691\mu S \quad (5)$$

- 5) Cálculo del voltaje de saturación  $V_{Dsat}$  para los transistores. Para poder dimensionar los transistores del par diferencial es preciso saber el voltaje de saturación de estos.

Dado que:

$$g_m = \frac{2I_D}{V_{DSat}} = \frac{2(\frac{I_B}{2})}{V_{DSat}} \quad (6)$$

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

---

Entonces:

$$V_{DSat} = \frac{IB}{g_m} = \frac{373.18\mu A}{691\mu S} = 540mV \quad (7)$$

- 6) Primeros cálculos para encontrar la razón de ancho entre longitud de canal de los transistores del par diferencial.

Teniendo la expresión

$$g_m = Kn\left(\frac{W}{L}\right)(V_{DSat}) \quad (8)$$

El parámetro Kn es abstraído de la tecnología y se considera con un valor de  $157.8 \frac{\mu A}{V^2}$ . [8] Entonces:

$$\frac{W}{L} = \frac{g_m}{Kn(V_{DSat})} = \frac{691\mu S}{157.8 \frac{\mu A}{V^2}(540mV)} = 8.1 \quad (9)$$

- 7) Dimensionamiento de transistores del par diferencial. Se parte de tomar una longitud de 3 veces la mínima permitida de la tecnología, es decir 540 nm. Por consiguiente, corresponde un ancho de 1.48  $\mu m$ .

Se realizan una serie de iteraciones de simulaciones para encontrar dimensiones que cumplan con la transconductancia mínima requerida y el ancho de banda establecido en los requerimientos de diseño. Estas iteraciones deben ser realizadas debido a que las formulas anteriormente utilizadas, son muy simples en comparación con las ecuaciones utilizadas por el simulador pero son un punto de partida válido que acerca a las dimensiones requeridas. Primeramente se realizan iteraciones para obtener la  $g_m$  objetivo. Al obtenerla, se verifica que se tenga la ganancia en DC de lazo abierto deseada. Una vez encontradas las dimensiones de los transistores que cumplen con la ganancia requerida, se obtienen las capacitancias parasitas de los transistores para sumarlas a la capacitancia de carga.

- 8) Ajuste de BW tomando en cuenta capacitancias parásitas de los transistores.

$$BW = \frac{1}{R_L*(C_L+C_p)} \quad (10)$$

## ***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*** **DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

Para las capacitancias parásitas se consideraron únicamente la capacitancia de drenador a sustrato y de drenador a surtidor, puesto que son las únicas dos capacitancias que se agregan en paralelo a  $C_L$  en el nodo de salida del par diferencial.

$$C_p = C_{db} + C_{ds} = 1.734 \text{ fF} + 2.737 \text{ fF} = 4.471 \text{ fF} \quad (11)$$

Las capacitancias parásitas  $C_{db}$  y  $C_{ds}$  son obtenidas por medio del simulador.

- 9) Se ajusta  $R_L$  considerando capacitancias parásitas para llegar al ancho de banda requerido.

$$R_L = \frac{1}{\text{BW} * (C_L + C_p)} = \frac{1}{2\pi(2.75\text{GHz}) * (24.471\text{fF})} \quad (12)$$
$$R_L = 2.365\text{K}\Omega$$

- 10) Se ajusta la corriente de polarización  $I_B$  para seguir manteniendo el voltaje en modo común requerido por las especificaciones.

$$I_B = \frac{2V_{RL}}{R_L} = \frac{2(540\text{mV})}{2.365\text{K}\Omega} = 456.65\mu\text{A} \quad (13)$$

- 11) Se calcula la nueva transconductancia  $g_m$  objetivo para obtener la ganancia de 6dB.

$$g_m = \frac{A_v}{R_L} = \frac{2}{2.365\text{K}\Omega} = 843.66\mu\text{S} \quad (14)$$

Se realizan iteraciones incrementando el valor del ancho del canal ( $W$ ) hasta que se llega a un valor por encima de la transconductancia mínima requerida de  $843.66\mu\text{S}$  para obtener la ganancia adecuada y el ancho de banda requeridos.

Las dimensiones finales obtenidas fueron una longitud de  $450\text{nm}$  y un ancho de  $3.63\mu\text{m}$ . Como se puede notar, la longitud del canal de los transistores tuvo que ser reducida. Esto se debe a que con la longitud anterior, que era más grande, las capacitancias intrínsecas también incrementaron, por tanto se redujo la longitud del canal a 2.5 veces la longitud mínima permitida por la tecnología. De esta manera se cumplen con los requisitos de diseño para el par diferencial con una ganancia de 6dB.

### ***2.3.2 Conexión en paralelo de pares diferenciales***

Se conecta ahora este mismo par diferencial en cascada con otro igual y se observa en cuanto se ve disminuido el ancho de banda del circuito total. El ancho de banda cae a  $1.82\text{GHz}$  en el primer par diferencial. Esto es debido a que la capacitancia de carga de este



*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

cambió. Ahora como carga no tiene conectado el capacitor de salida de 20fF, ahora lo que ve el primer par diferencial como carga es la entrada del segundo par diferencial. La figura 2.4 ilustra las conexiones del símbolo del par diferencial anteriormente diseñado en cascada y con todos los elementos externos necesarios para poder seguir realizando las simulaciones requeridas para el ajuste del diseño.

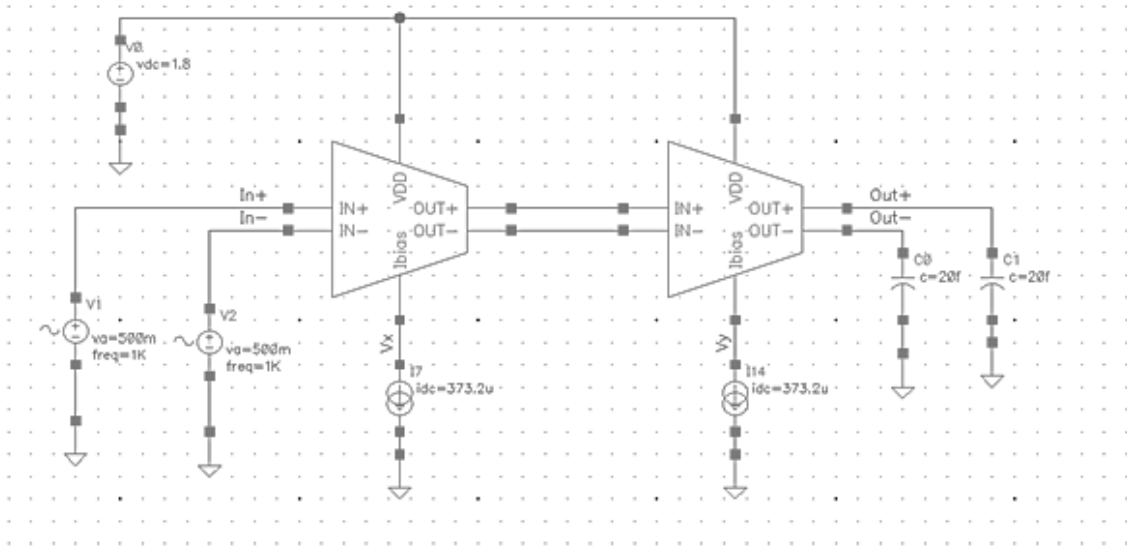


Figura 2.4. Esquemático de pares diferenciales conectados en cascada con 6dB de ganancia.

Para poder obtener un valor preciso de la carga capacitiva que observa el primer par diferencial, se hace uso del simulador tomando como base el ancho de banda que tiene únicamente el primer par diferencial. De igual manera que con la capacitancia, la carga resistiva que ve el par diferencial no es solo la resistencia física con la que se energiza el transistor, sino también la misma resistencia de encendido o resistencia de drenador a surtidor del transistor.

Esta resistencia intrínseca del transistor se conecta en paralelo a la resistencia de carga del par diferencial al hacer el análisis en pequeña señal. Se toman en cuenta la capacitancia de carga conjunto a las capacitancias parásitas que afectan al ancho de banda del primer par diferencial junto con la nueva resistencia de carga que contempla la resistencia de encendido del transistor.

La ecuación que se describe anteriormente se representa de la siguiente manera en la ecuación (15):

***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI***  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

---

$$BW = \frac{1}{(R_L \parallel r_{ds}) * C_{pout1}} \quad (15)$$

En donde  $R_L$  es la capacitancia física de carga,  $r_{ds}$  es la resistencia de drenador a surtidor y  $C_{pout1}$  es la capacitancia de carga de salida del primer par diferencial que está constituida únicamente por las capacitancias intrínsecas de los transistores.  $BW$  es el ancho de banda expresado en frecuencia angular.

Se despeja la capacitancia de carga y se obtiene la expresión siguiente:

$$C_{pout1} = \frac{1}{BW * (R_L \parallel r_{ds})} = \frac{1}{BW * \frac{1}{\left(\frac{1}{R_L} + g_{ds}\right)}} \quad (16)$$

$$C_{pout1} = \frac{1}{2\pi * 1.82GHz * \frac{1}{\left(\frac{1}{2.365K\Omega} + 27.12\mu S\right)}} = 39.34fF$$

Como la  $r_{ds}$  no se puede obtener directamente de los resultados arrojados por el simulador, se toma la  $g_{ds}$  del transistor, la  $g_{ds}$  es la transconductancia de drenador a surtidor y es obtenida del valor calculado por el simulador.

De aquí se aprecia que la capacitancia de carga incrementó prácticamente al doble, razón por la que el ancho de banda del primer par diferencial se ve tan afectado.

Después de este resultado, se vuelven a dimensionar los transistores y parámetros del circuito pero ahora tomando como carga para el par diferencial la carga de 39.3fF.

Al realizar este segundo diseño con una carga de prácticamente al doble, sin llegar aún a los objetivos de diseño en cuanto al ancho de banda se refiere, se aprecia que aunque se incremente la ganancia a 10dB, se puede lograr el objetivo del ancho de banda.

Se diseña enseguida el par diferencial para otorgar una ganancia de 10dB. La metodología utilizada fue exactamente la misma descrita anteriormente.

Al llegar nuevamente a la conexión en cascada del par diferencial, se aprecia que el diseño considerando un ancho de banda de 2.75GHz, queda muy alejado de los 2.5GHz totales de ambas etapas de amplificación utilizando la misma metodología anteriormente descrita. Acto seguido se procede a obtener el ancho de banda individual de cada par diferencial considerando que a pesar de que son iguales tienen distintas cargas capacitivas, mientras que para el primer par diferencial le afectan las capacitancias intrínsecas de salida de este

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

primer par y la capacitancia de entrada del segundo par diferencial, al segundo, le afectan las capacitancias intrínsecas de salida de esta segunda etapa más la capacitancia física de 20fF establecida por los requerimientos de diseño.

Existen dos posibilidades para lidiar con este problema de la caída del ancho de banda del amplificador en el momento en el que se conectan en cascada ambos pares diferenciales.

La primera opción es la de diseñar dos etapas exactamente iguales en donde el ancho de banda de ambos es el mismo y que al ser conectados en cascada el ancho de banda resultante sea el de las especificaciones de diseño. En la figura 2.5 se muestra a manera de bloques esta primera solución.

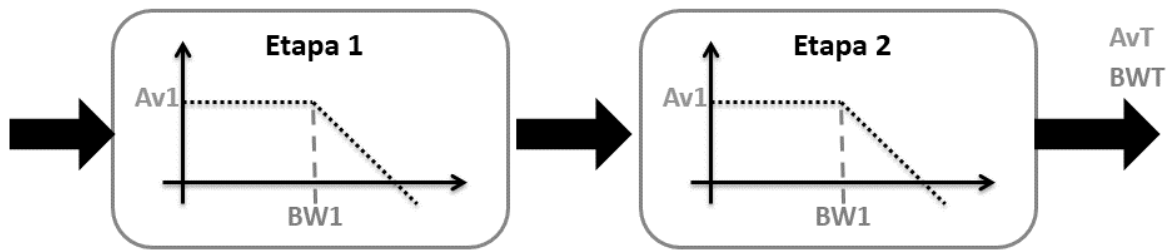


Figura 2.5. Concepto de diseño de dos etapas idénticas para un ancho de banda total.

De manera matemática se expresa de la siguiente manera.

$$Av_T = 2 * Av_1 \quad (17)$$

$$BW_T = \alpha * BW_1 \quad (18)$$

En donde  $Av_T$  y  $BW_T$  son la ganancia de DC en lazo abierto y el ancho de banda total del amplificador respectivamente. Y  $Av_1$  y  $BW_1$  lo son de manera individual para cada una de las etapas.

Con esta opción, el objetivo es encontrar el factor  $\alpha$  necesario para diseñar cada una de las etapas iguales en función de este factor y así lograr el ancho de banda total solicitado.

La segunda opción es tener dos etapas diseñadas con diferentes características. Con esta opción se pretenden tener dos etapas con anchos de banda distintos. Buscando que la primera etapa se diseñe al ancho de banda requerido, y que la segunda etapa se diseñe a un ancho de banda un factor de veces mayor para que al final se refleje el mismo ancho de banda que la entrada. Se ilustra en la figura 2.6.

**Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI**  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

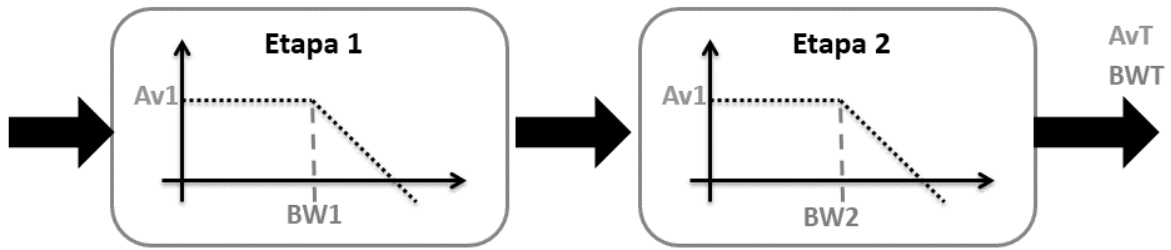


Figura 2.6. Diseño de dos etapas diferentes con un ancho de banda mayor en la segunda etapa.

Expresiones matemáticas correspondientes:

$$Av_T = 2 * Av_1 \quad (19)$$

$$BW_2 = k * BW_1 \quad (20)$$

$$k > 1 \quad (21)$$

$$BW_T = BW_1 \quad (22)$$

Para este diseño se optó por tomar la primera opción. La segunda opción implica que los transistores de ambos pares diferenciales y resistencias sean de distinto tamaño, y esto impacta al tener que hacer un layout distinto para cada par diferencial, además, la corriente de polarización para ambos pares diferenciales también sería diferente lo que repercutiría tal vez en tener dos voltajes de polarización distintos para cada una de las etapas o dos transistores de polarización de distintas dimensiones. Por otra parte, el primer diseño nos permite obtener dos layouts idénticos lo que repercute en un menor tiempo de ruteo y que los transistores que funcionan como fuentes de corriente de polarización sean iguales.

El ancho de banda del primer par diferencial es de 1.5GHz cuando es conectado al segundo par diferencial teniendo un total de 1.19GHz habiendo ya realizado los ajustes pertinentes a las capacitancias de carga parasitas que se agregan como se mencionó con anterioridad y considerando 2.75GHz y una carga de 20fF como punto de partida del diseño. Se obtiene el porcentaje de degradación del ancho de banda del primer par diferencial de la siguiente manera:

$$Degradación_{\%} = \frac{BW_{Cascada}}{BW_{simple}} = \frac{1.19 \text{ GHz}}{2.66 \text{ GHz}} = 44.7\% \quad (23)$$

***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI***  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

$BW_{simple}$  es el valor obtenido del simulador para el diseño del par diferencial con una carga de 20fF considerado para un ancho de banda de 2.75GHz, como se puede apreciar, el factor de sobre diseño del 10% permitió que el resultado final quedara por encima de los 2.5GHz requeridos.

$$NewBW = BW_{original} * (100\% + Degradación_{\%}) \quad (24)$$

$$NewBW = 2.75GHz * (145\%) = 3.98 GHz \approx 4 GHz \quad (25)$$

Dado que el factor de sobre diseño incremento en un 45%, ahora el objetivo de diseño para el ancho de banda se mueve de 2.75GHz a 4GHz.

Para este nuevo diseño, se tomará la capacitancia de carga de 40fF debido a que ya se tiene una noción más cercana de la capacitancia de carga final que observará el primer par diferencial obtenida con la ecuación (15).

Como se toma que es un nuevo diseño, al mismo ancho de banda se le incrementa un 10% por sobre diseño para que quede con un objetivo de 4.4GHz. Las dimensiones de los transistores, y las características del circuito son las mostradas en la tabla 2.2.

<b>Longitud de canal (L)</b>	<b>Ancho de canal (W)</b>	<b><math>g_m</math></b>	<b><math>R_L</math></b>	<b><math>I_B</math></b>	<b>BW</b>
<b>220nm</b>	12.8 $\mu$ m	2.91mS	904.28 $\Omega$	1.2 mA	5.3 GHz

Tabla 2.2. Parámetros de OTA que cumplen con requerimientos de diseño.

### 2.3.3 Sustitución de fuente de corriente por transistor para polarización.

Para realizar la polarización de los pares diferenciales conectados en cascada, primeramente se utilizó una fuente ideal de corriente de DC. Al obtener el diseño de la trayectoria de la señal de alta frecuencia, ahora es necesario dimensionar el transistor que se requiere para la sustitución de esta fuente.

En la integración final del circuito el voltaje para polarizar estos transistores será obtenido por parte del circuito de polarización, y este voltaje no será fijo, pues será el encargado de ajustar la corriente necesaria en caso de que exista algún desplazamiento del voltaje de modo común de la señal de entrada del amplificador.

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO

Para el diseño del amplificador en cascada, y para obtener los requerimientos de diseño, no es necesario preocuparse por esta situación como se analizó en la metodología y en los cálculos del diseño. Así que para establecer las dimensiones de estos transistores de la corriente de polarización, se utilizará un espejo de corriente simple como el que se indica en la figura 2.7.

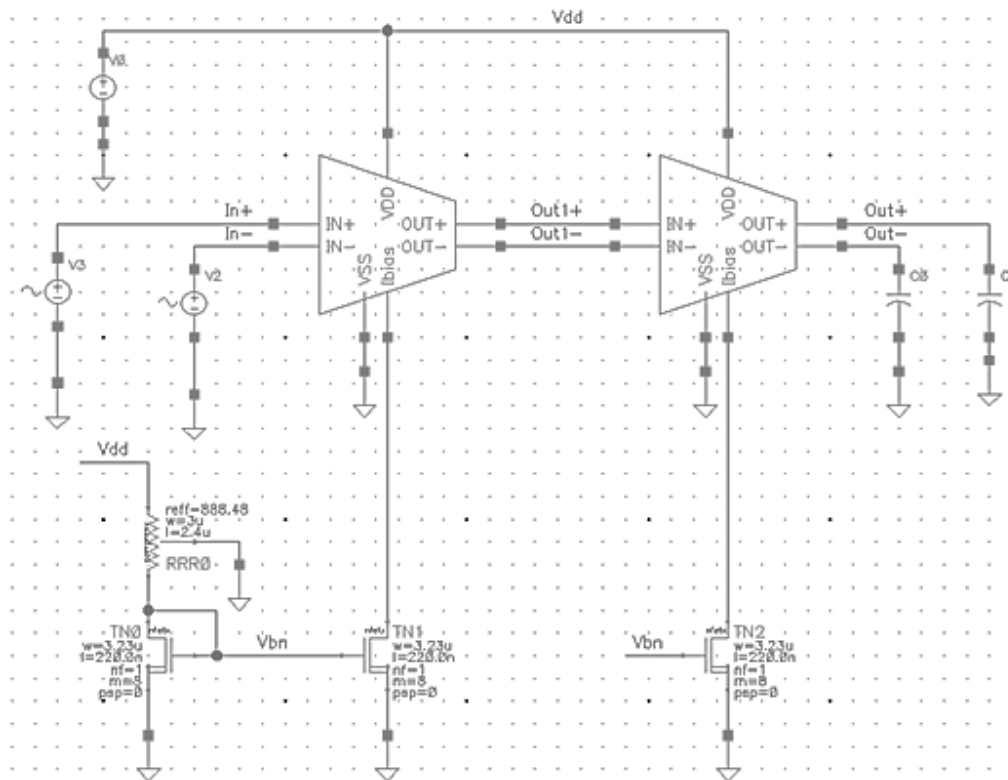


Figura 2.7. Esquemático final con la integración de los transistores para la corriente de polarización de los pares diferenciales.

Para determinar la dimensión de estos transistores se partió del hecho de que la corriente que debe circular a través de este transistor debe ser el doble de la que pasa por cada uno de los transistores. Así que se seleccionó la misma dimensión para este transistor que el de los transistores de los pares diferenciales, con la diferencia de que el número de fingers a utilizar es de 8, con esto se mantiene la misma simetría para el *layout*, y se asegura que la corriente que soporte este transistor, sea la suma de los dos de cada par diferencial.

### 2.3.4 Diseño del convertidor diferencial a salida simple

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

Una vez amplificada la señal diferencial proveniente del exterior del chip mediante el core del amplificador, es necesario convertir esta señal en niveles CMOS digitales tales que un circuito de esta naturaleza pueda interpretarlos de manera adecuada. La figura 2.8 indica la arquitectura interna del convertidor.

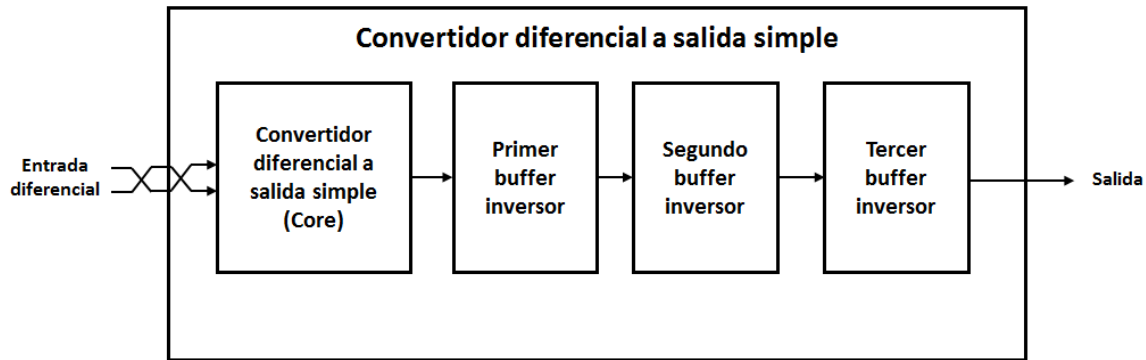


Figura 2.8. Diagrama a bloques del convertidor diferencial a salida simple del receptor analógico.

Para el diseño se consideró que el ancho de banda obtenido por el core no se vea afectado una vez que se conecte el convertidor de señal diferencial a simple. Dado que el core se diseñó con una capacitancia de carga de 20 fF, el conectar este convertidor no reduce su ancho de banda puesto que la capacitancia de entrada del convertidor es menor a 20 fF. Este mismo efecto es el que se apreció al analizar la carga que percibió el primer par diferencial del core cuando se le conectó la segunda etapa de amplificación. Como se aprecia en la figura 2.7, el convertidor diferencial a salida simple está conformado por cuatro sub-módulos: El core del convertidor y tres búfers inversores.

#### 2.3.4.1 Core del convertidor

En la figura 2.9 se muestra el esquemático del circuito implementado para el core del convertidor. Lo que se pretende con este circuito es forzar la salida identificada como "OUT" a que tome un valor alto o bajo lo más rápido posible. Para esto, el primer paso es cambiar el voltaje de modo común que se maneja en las etapas de amplificación del circuito que era de 1.26 volts o 0.7 veces VDD, a la mitad del voltaje de alimentación, es decir, 0.9 volts. Este voltaje de modo común es el que se tiene si lo que se busca es tener una señal digital que debe ir desde VDD hasta VSS.

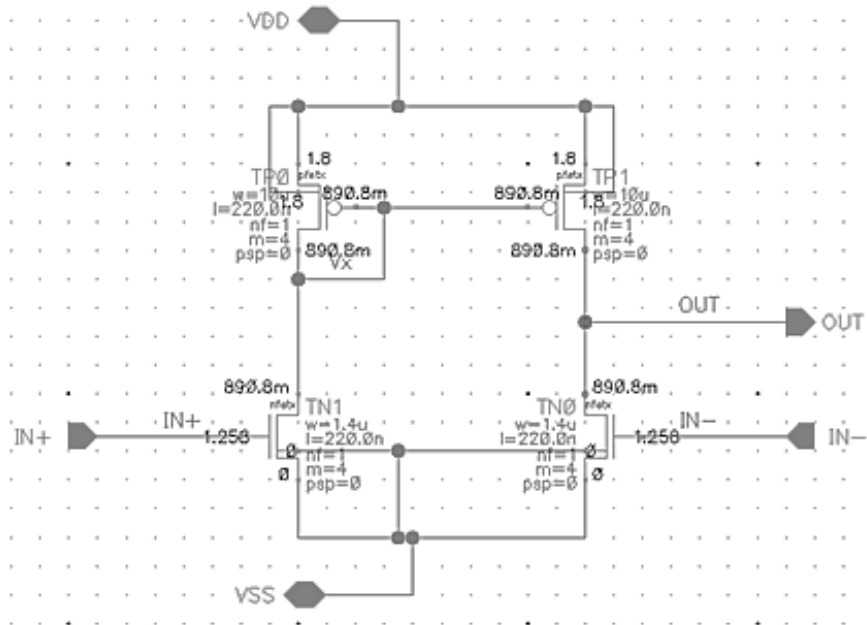


Figura 2.9. Esquemático de convertidor diferencial a salida simple.

El voltaje en los nodos de entrada diferencial del convertidor, nunca llega a los 0 volts. El valor mínimo de la señal de salida del amplificador es dependiente de la amplitud que se tiene en la entrada del receptor. Se define por el protocolo PCI express que la señal de entrada debe tener una amplitud dentro del rango de 40 mV a 300mV. [4] Las simulaciones transitorias realizadas con este rango de valores de entrada en la etapa de amplificación nos dan voltajes mínimos a la salida que van desde 92 mV cuando la amplitud de entrada es de 40 mV y un voltaje mínimo de 720 mV con una amplitud de entrada de 300 mV.

La tabla 2.3 muestra los voltajes máximos y mínimos que se observan por parte del convertidor de señal de diferencial a salida simple. El voltaje mínimo que llega a las compuertas del convertidor es de 720 mV, este voltaje es mayor al umbral de voltaje del transistor que es de 430 mV, por consiguiente los transistores nMOS siempre estarán encendidos lo que evitará que el voltaje llegue hasta VDD únicamente con esta arquitectura.

<b>Amplitud de entrada</b>	<b>Vout min de amplificador</b>	<b>Vout max de amplificador</b>
40 mV	960 mV	1.56 V
300 mV	720 mV	1.82 V

Tabla 2.3. Voltajes mínimos de salida de la segunda etapa de amplificación con señal senoidal de estimulación a 2.5 GHz.



## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*

### **DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

Para lograr que la señal llegue a voltajes de riel a riel, se conectan un par de búfers inversores que forzarán a que la señal baje hasta VSS al encender el transistor canal  $n$  o en su defecto, a VDD cuando se encienda el transistor canal  $p$ .

#### *2.3.4.2 Diseño de búfers inversores para la salida del convertidor*

El objetivo de los búfers es entregar la señal lo mejor posible hacia el bloque digital deserializador del SerDes. El buffer inversor está constituido por un transistor de canal  $p$  y un transistor canal  $n$ , ambos transistores tienen conectados en su compuerta la señal de entrada y a la salida está constituida por la conexión de ambos drenadores. La terminal de fuente del transistor  $p$  se conecta a VDD y el del transistor tipo  $n$  a VSS. Se inició con un solo buffer de dimensiones mínimas para apreciar el comportamiento que tendría el core del convertidor al cambiar la capacitancia de carga. Se aprecia, como era de esperarse, que el ancho de banda no se ve afectado en el diseño por el cambio de carga. Sin embargo, en la salida del buffer no se tiene una señal adecuada para un circuito digital, se aprecia que el inversor tiene una latencia muy grande en la transición positiva, por tanto, se empieza a incrementar el ancho del canal del transistor canal  $p$  para brindarle mayor capacidad de corriente y que de esta manera sea más rápida la transición. Una vez que ambas transiciones tienen una duración similar entre ellas, se procede a incrementar este parámetro en la misma proporción a ambos transistores para darles más capacidad de corriente y que estos puedan realizar transiciones más rápidas. Al incrementar las dimensiones de los transistores en la misma proporción, los *slew rates* también incrementan en proporciones iguales. La figura 2.10 muestra el esquemático del primer buffer inversos del convertidor.

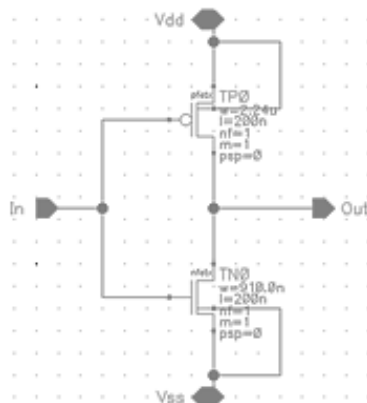


Figura 2.10. Esquemático del primer buffer del convertidor.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO**

La necesidad de poner más de un buffer es porque llega el punto en el que al aumentar el ancho del canal de los transistores, el ancho de banda del convertidor decae mucho. Una vez que se selecciona el ancho de canal adecuado para el primer buffer de tal manera que no afecte al ancho de banda del core convertidor, se duplica este primer buffer y se coloca en serie al primero de tal manera que la salida del primer inversor es la entrada del segundo. Para este segundo buffer se duplica el número de fingers del primer buffer, esto dado que el primer buffer tiene mayor capacidad de corriente que el convertidor, por tanto, puede manejar una carga mayor a la que el mismo buffer presenta. Se hace una prueba para en lugar de duplicar, triplicar el número de fingers para dar mayor energía solo con este segundo buffer. Se aprecia una mejor respuesta transitoria sin afectar el ancho de banda y se opta por dejarlo así para brindarle mayor fortaleza a la señal. Se conecta un tercer buffer para mejorar la señal y se sigue manteniendo la misma noción que en el segundo, se vuelve a triplicar el número de fingers de ambos transistores.

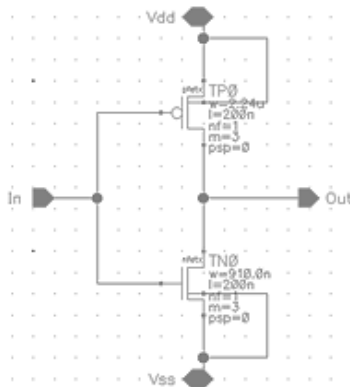


Figura 2.11. Esquemático del segundo buffer del convertidor.

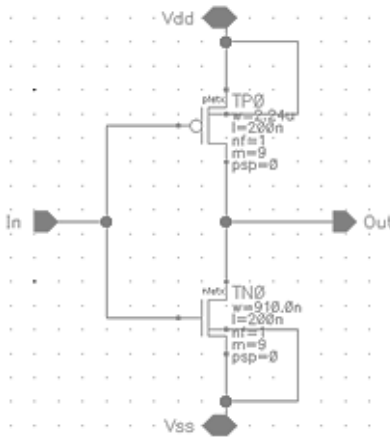


Figura 2.12. Esquemático del tercer buffer del convertidor.

Las figuras 2.11 y 2.12 muestran los esquemáticos del segundo y tercer buffer del convertidor. Se aprecia que las dimensiones se mantienen iguales y lo único que cambian son el número de fingers entre cada uno de los tres búfers.

En los esquemáticos de los tres búfers se puede notar que el número de fingers se está colocando en el parámetro “m” haciendo alusión al multiplicador y no en “f” donde indica que se tiene 1 *finger*. La razón por la que se coloca en el multiplicador es para que al momento de hacer el layout cada uno de los fingers de los transistores pueda moverse de manera independiente.

La tabla 2.4 resume las dimensiones y el número de fingers de los transistores de los tres búfers inversores.

Parámetro	Primer buffer	Segundo buffer	Tercer buffer
<b>L de TP0</b>	200 nm	200 nm	200 nm
<b>W de TP0</b>	2.24 µm	2.24 µm	2.24 µm
<b>L de TN0</b>	200 nm	200 nm	200 nm
<b>W de TN0</b>	910 nm	910 nm	910 nm
<b>No. de Fingers</b>	1	3	9

Tabla 2.4. Parámetros de los transistores de los búfers inversores del convertidor.

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1 DISEÑO DEL CORE DEL RECEPTOR ANALÓGICO

La figura 2.13 muestra el circuito final de todo el core del amplificador del receptor analógico para el SerDes. El circuito conectado al pin Vbn de la primera instancia es el que, para efectos de simulación, suplente al circuito de compensación de modo común de la señal de entrada.

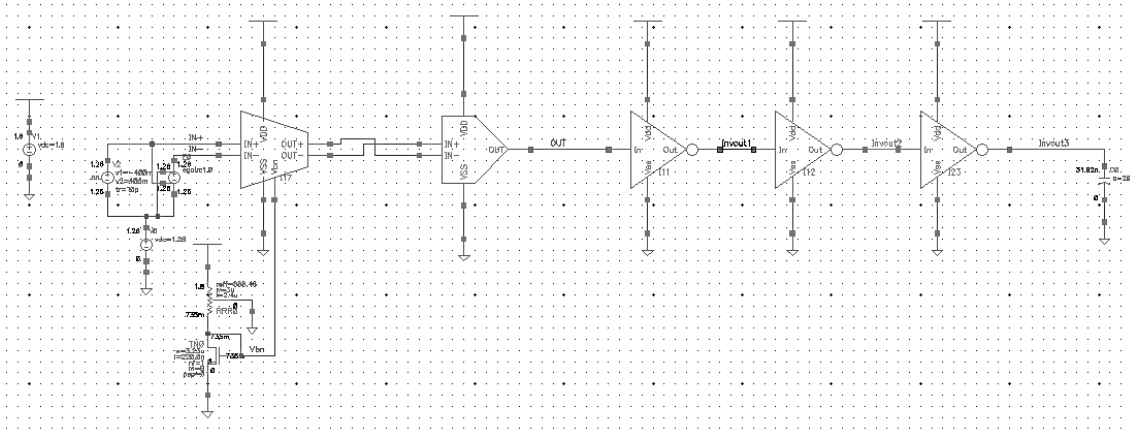


Figura 2.13. Esquema de prueba del convertidor completo.



## CAPÍTULO 3: VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR

### 3.1 Resultados de simulaciones del core del amplificador

En este apartado se analizan los resultados de las simulaciones que se fueron realizando a lo largo del diseño del core del amplificador. A este sub-módulo en particular es al que se le realizaron más pruebas por ser la parte medular y más importante del core del receptor analógico.

El esquemático desplegado en la figura 3.1 muestra la cama de pruebas utilizada para la verificación exclusiva del par diferencial del OTA de ambas etapas de amplificación.

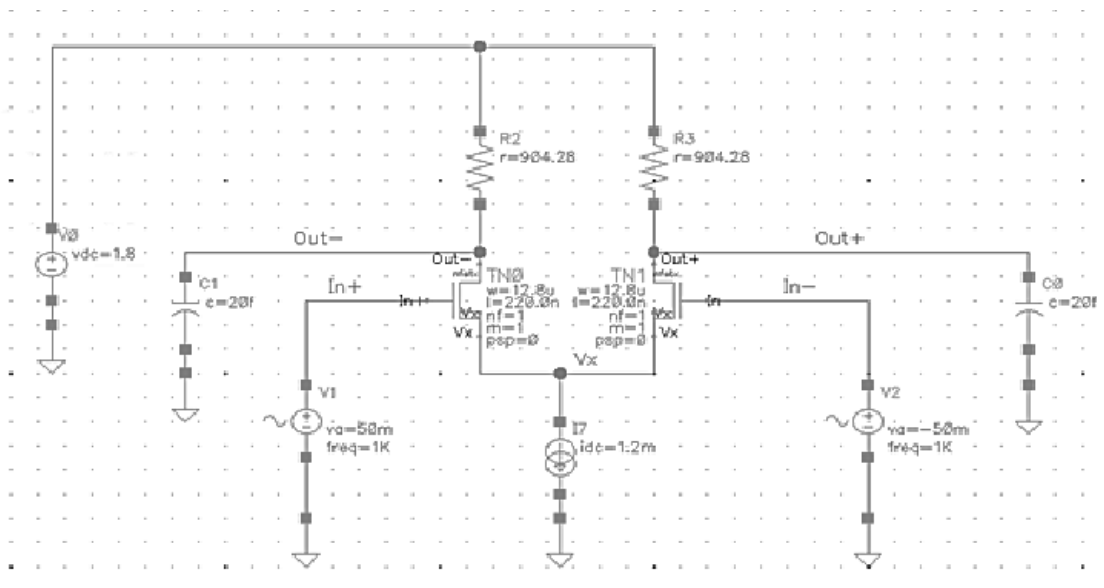


Figura 3.1. Esquemático de OTA simple que cumple con requerimientos de diseño.

#### 3.1.1 Resultados del análisis en frecuencia del core del amplificador

##### 3.1.1.1 Transistores del par diferencial con un finger.

El resultado obtenido en el ancho de banda es mayor al esperado por los cálculos ya que la longitud del canal de los transistores del par diferencial es muy cercano a la longitud mínima permitida por la tecnología, esto hace que parámetros como el voltaje de umbral  $V_{th}$  y la  $k_n$  de los transistores cambie con respecto a los tomados típicamente, ocasionando una desviación, en este caso, favorable para el amplificador.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

En la figura 3.2 se tiene un ancho de banda del par diferencial de 5.3 GHz con una ganancia de DC de 10 dB.

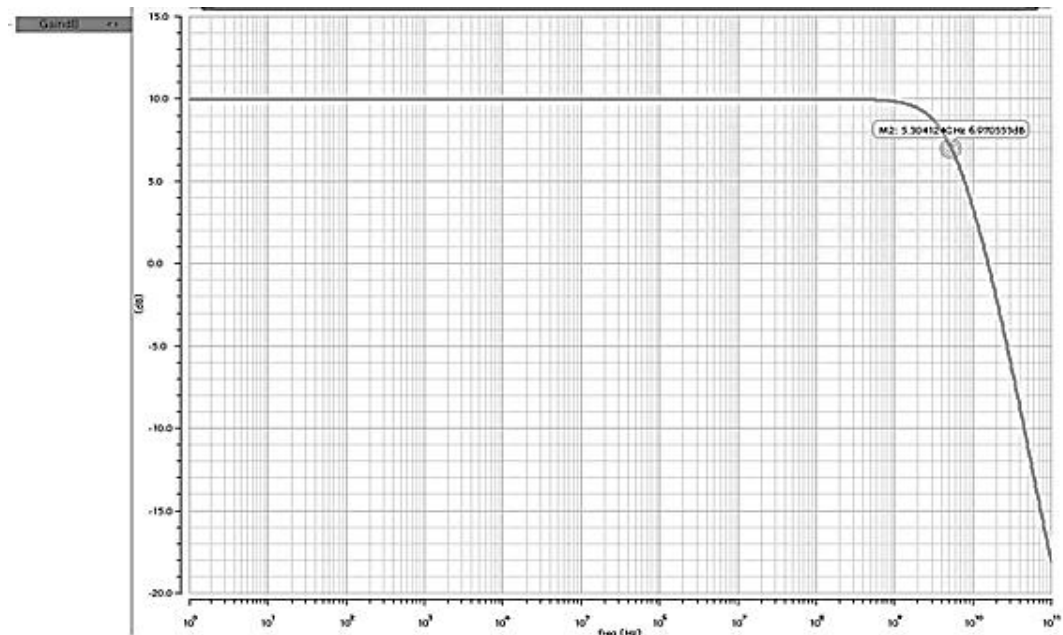


Figura 3.2. Respuesta en frecuencia del OTA que cumple con requerimientos de diseño (BW = 5.3 GHz).

Se realiza ahora un nuevo esquemático en donde se conecta este mismo par diferencial en cascada para observar su comportamiento, En esta ocasión debe cumplir con los requerimientos de diseño, esquemático mostrado en la figura 3.3.

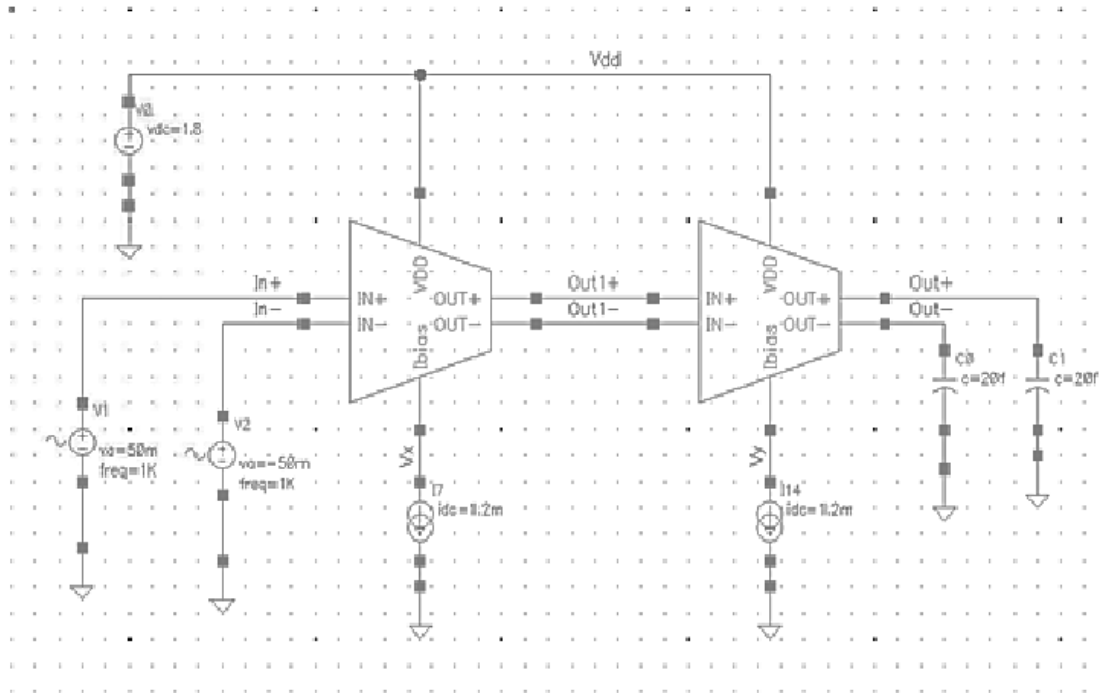


Figura 3.3. Esquemático de pares diferenciales conectados en cascada con 10dB de ganancia.

En las gráficas de las figuras 3.4 y 3.5 se muestran la respuesta de cada una de las etapas del par diferencial comparándolas con la respuesta total del amplificador. Estas gráficas consideran un solo *finger* para cada transistor del par diferencial.



*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

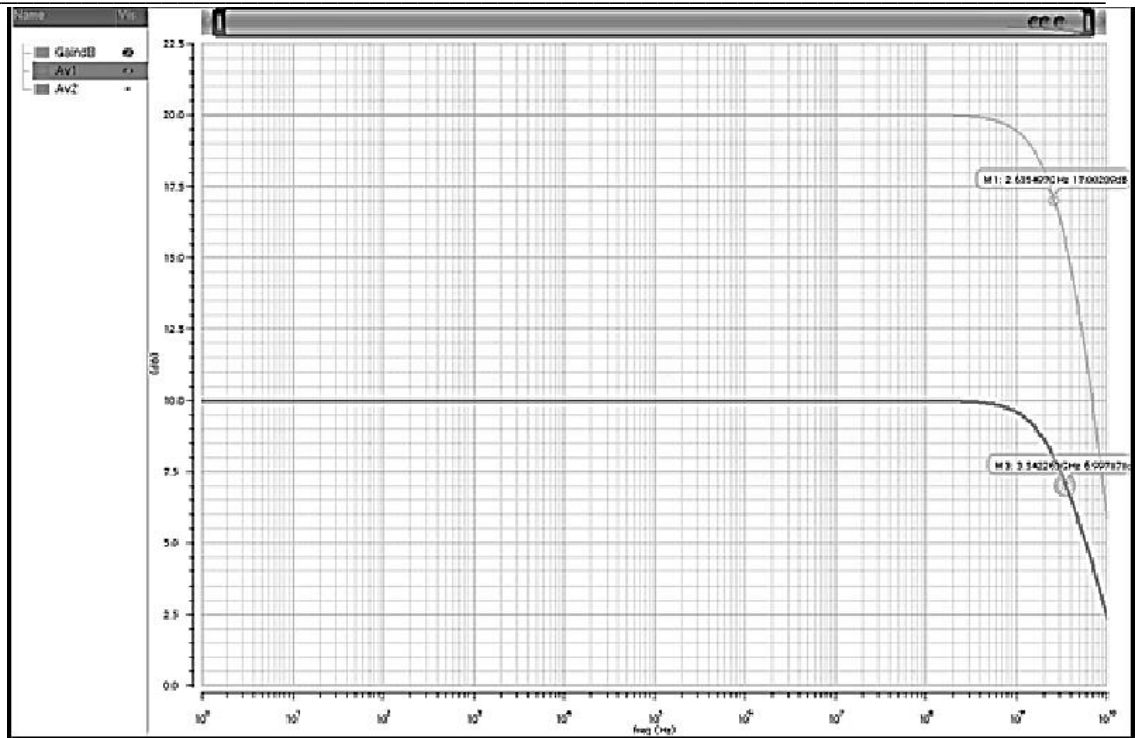


Figura 3.4. Respuesta de primer etapa (BW1 = 3.54GHz) y total (BWT = 2.63GHz).

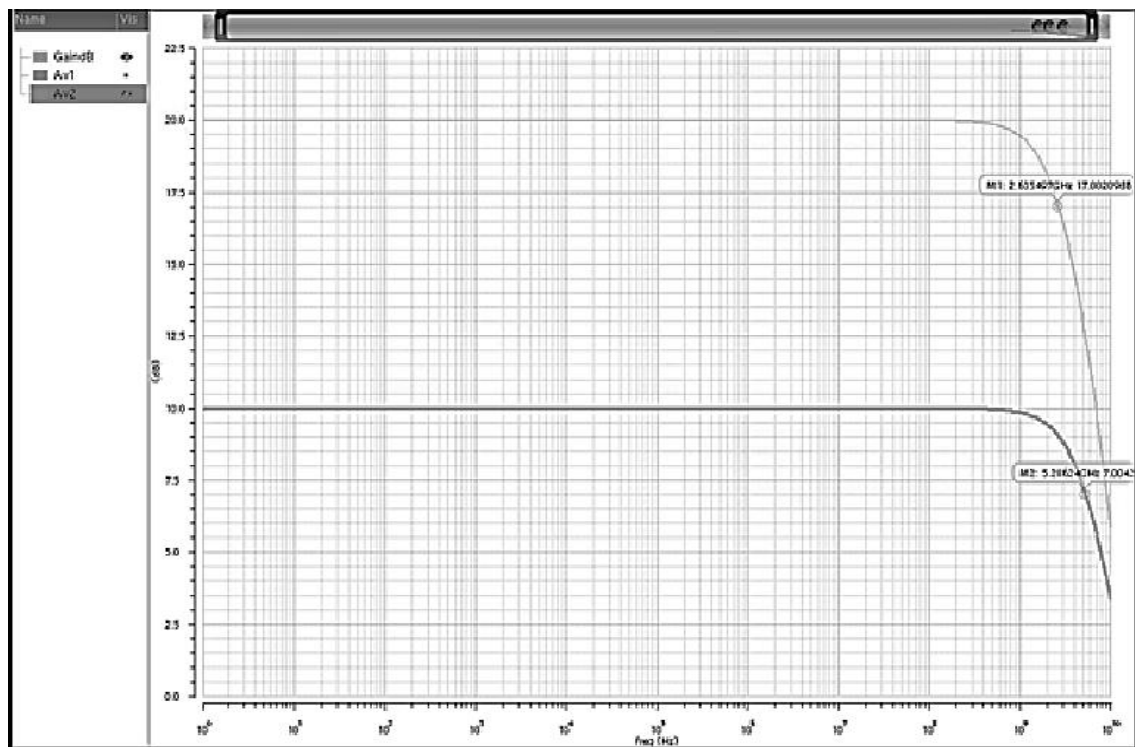


Figura 3.5. Respuesta de segunda etapa (BW2 = 5.28GHz) y total (BWT = 2.63GHz).

## ***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*** **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

El ancho de banda objetivo se alcanzó satisfactoriamente teniendo aún un margen de poco más de 100MHz. Se observa como el ancho de banda del primer par diferencial es el que se ve más afectado quedando en 3.54 GHz mientras que el ancho de banda de la segunda etapa queda con 5.28 GHz.

### 3.1.1.2 División de los transistores de los pares diferenciales en 2 y 4 fingers.

Para poder realizar un ruteo adecuado, es necesario tener al menos un par de *fingers* por transistor para poder inter-digitarlos y de esa manera poder hacerlos lo más idéntico posibles evitando en cierta medida las variaciones que pueden ser ocasionadas por *mismatch*.

Se realizaron un par de diseños más con 2 y 4 *fingers*. El ancho de banda de estos dos nuevos diseños incremento en una medida muy considerable. El incremento de esto se debe a que las capacitancias parásitas disminuyen puesto que con los *fingers* se pueden empalmar superficies que son del mismo tipo, es decir, el drenador de un *finger* con el drenador de otro *finger*, o ya sea surtidor con surtidor. Al empalmar estas superficies el área del transistor se ve disminuida y por tanto su capacitancia intrínseca. La figura 3.6 muestra los parámetros modificados en los transistores.

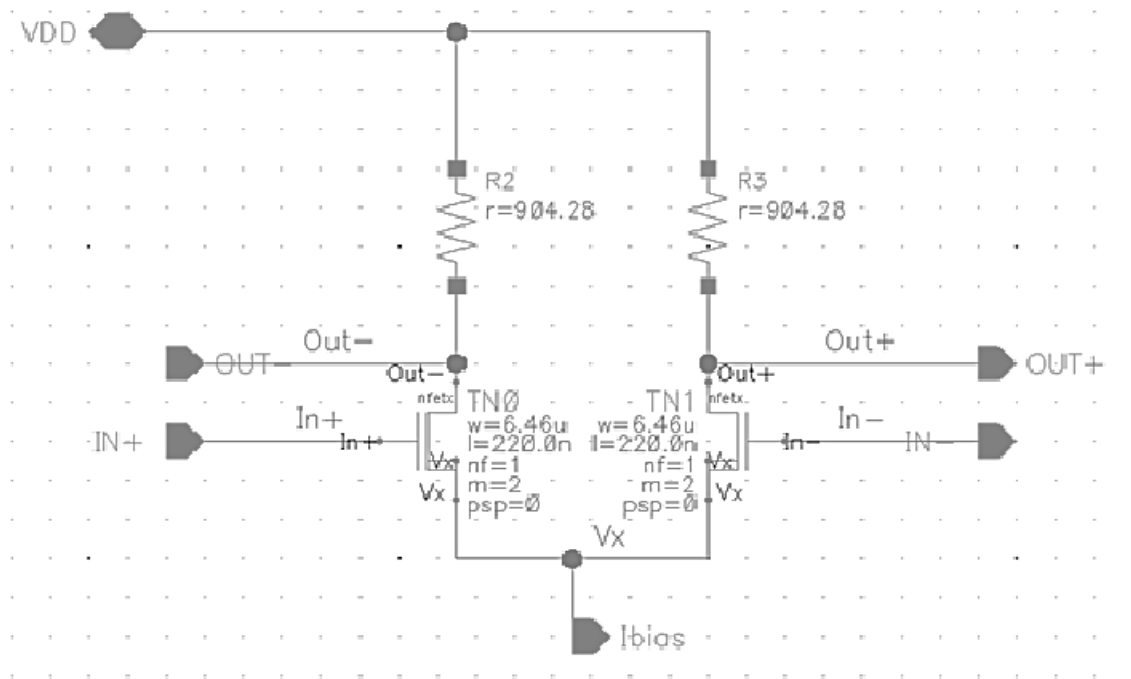


Figura 3.6. Esquemático de par diferencial con 2 fingers.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

Las figuras 3.7 y 3.8 muestran, al igual que como se analizó con un solo *finger*, el ancho de banda de cada una de las etapas de amplificación por separado. Así pues, se observa que la división en *fingers* además de favorecer en el interdigitamiento de los transistores, también da un incremento en el ancho de banda del amplificador.

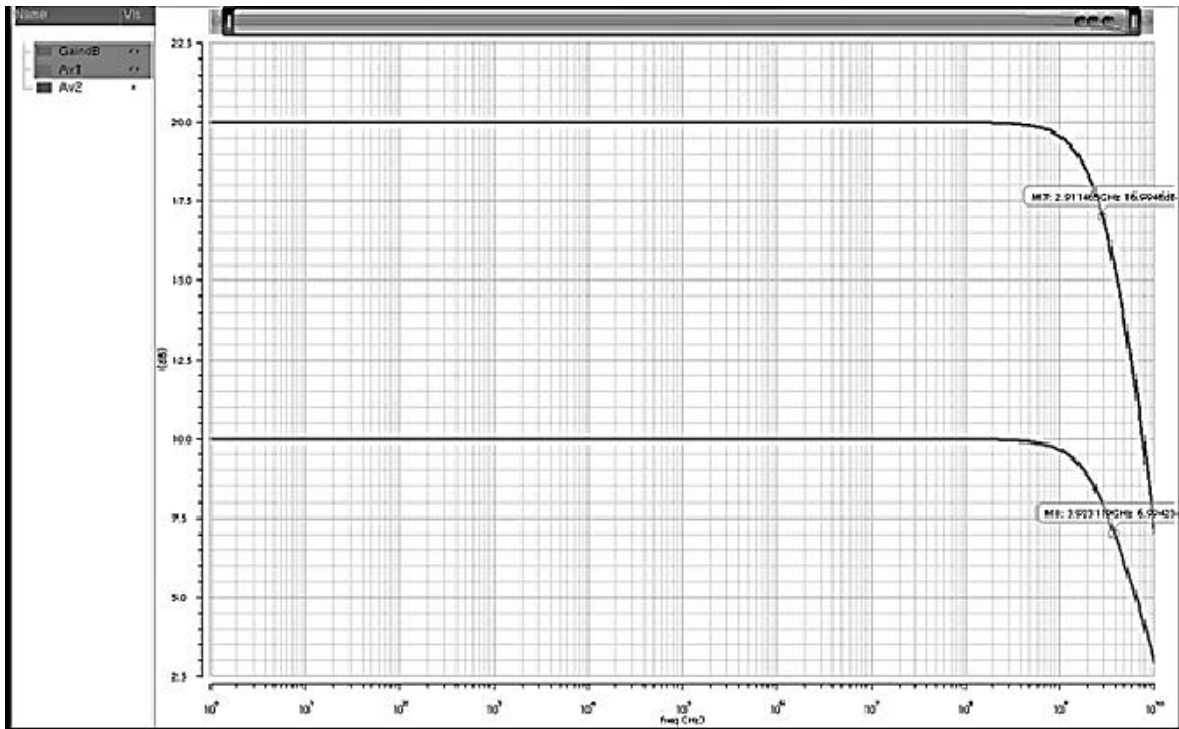


Figura 3.7. Respuesta de primer etapa con 2 fingers (BW1 = 3.92GHz) y total (BWT = 2.91GHz).

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

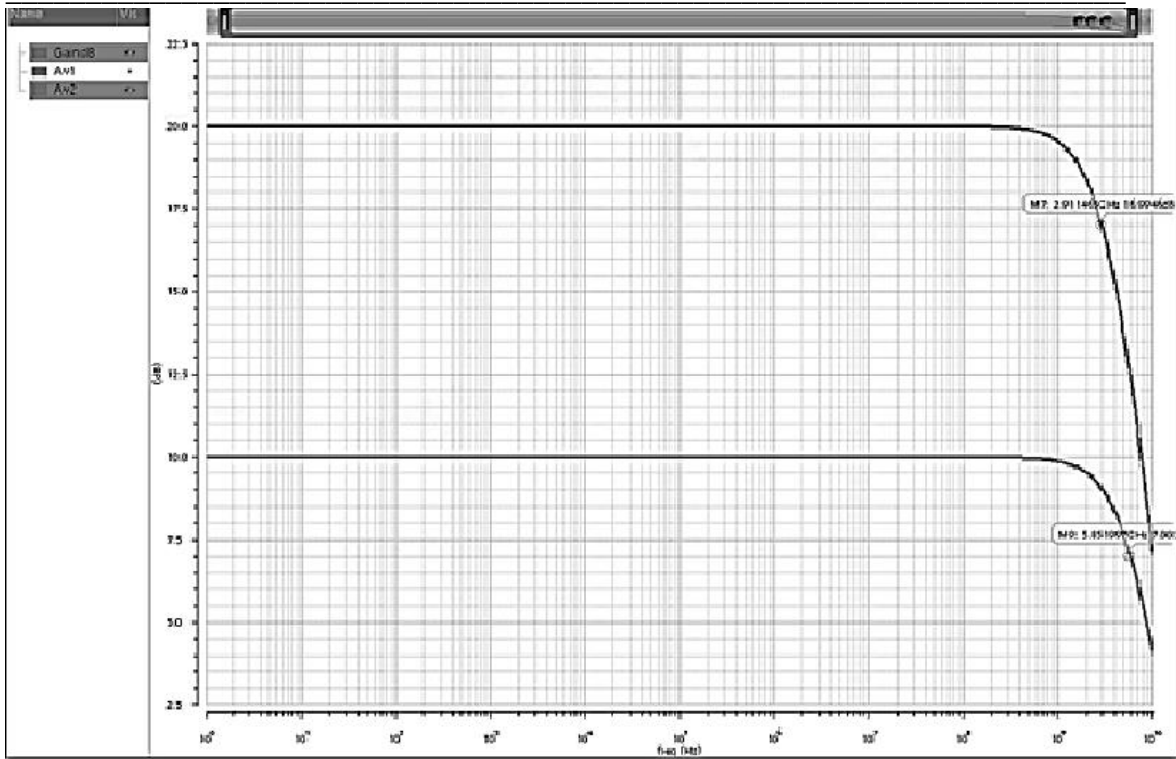


Figura 3.8. Respuesta de segunda etapa con 2 fingers ( $BW_2 = 5.85\text{GHz}$ ) y total ( $BWT = 2.91\text{GHz}$ ).

La figura 3.9 contiene el esquemático referente al par diferencial con los transistores con 4 fingers. Las figuras 3.10 y 3.11 tienen la misma comparativa de los anchos de banda de las dos etapas de amplificación.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

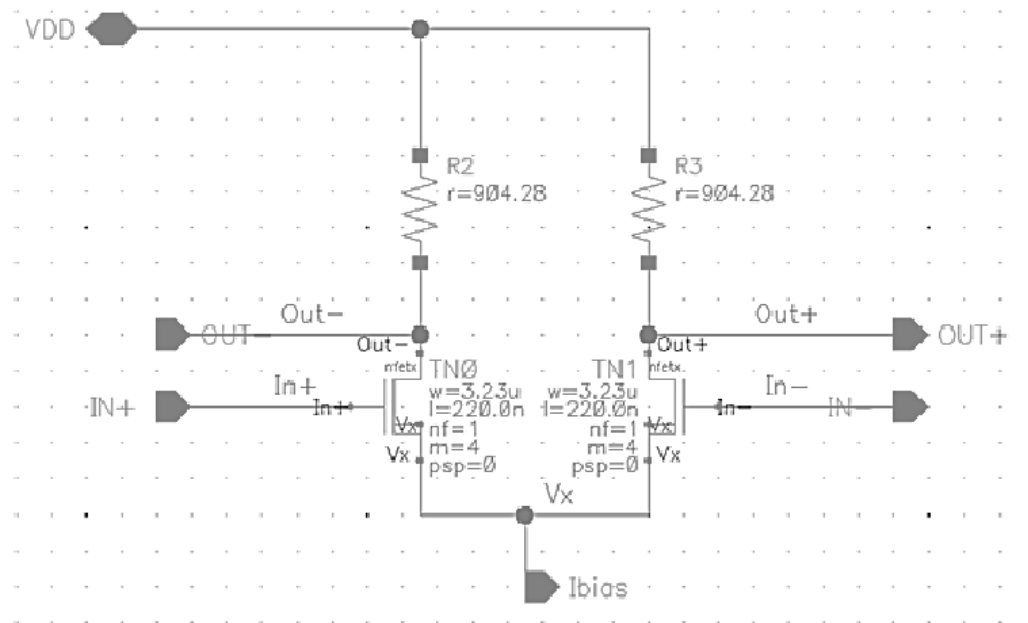


Figura 3.9. Esquemático de par diferencial con 4 fingers.

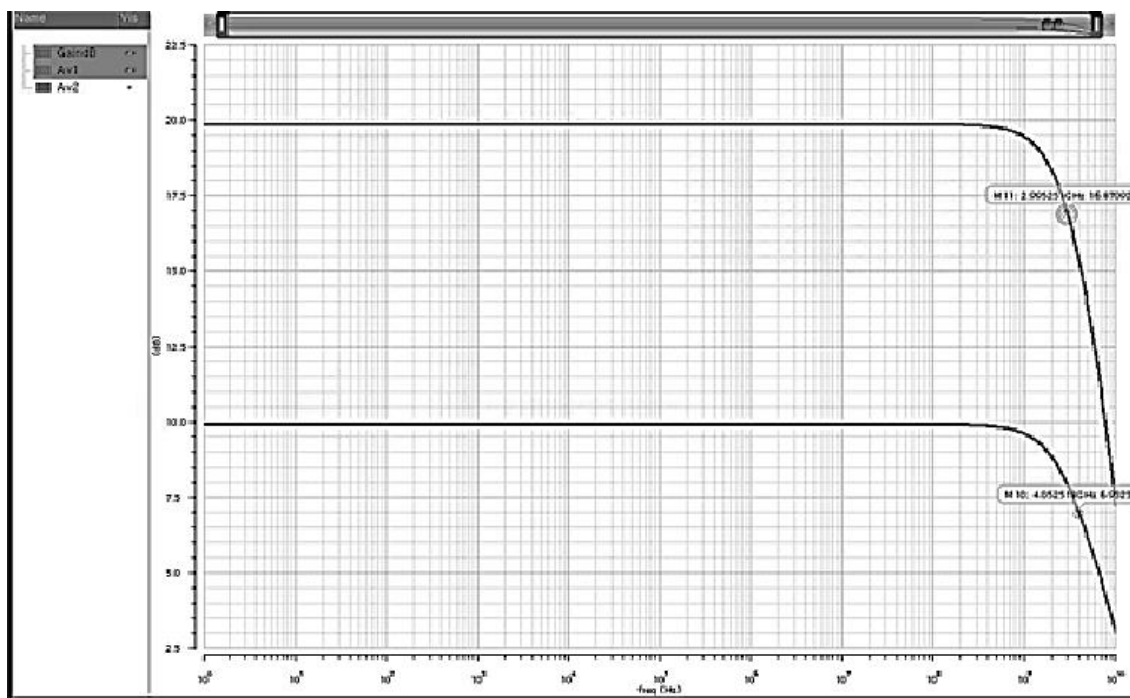


Figura 3.10. Respuesta de primer etapa con 4 fingers (BW1 = 4.05GHz) y total (BWT = 2.99GHz).

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR

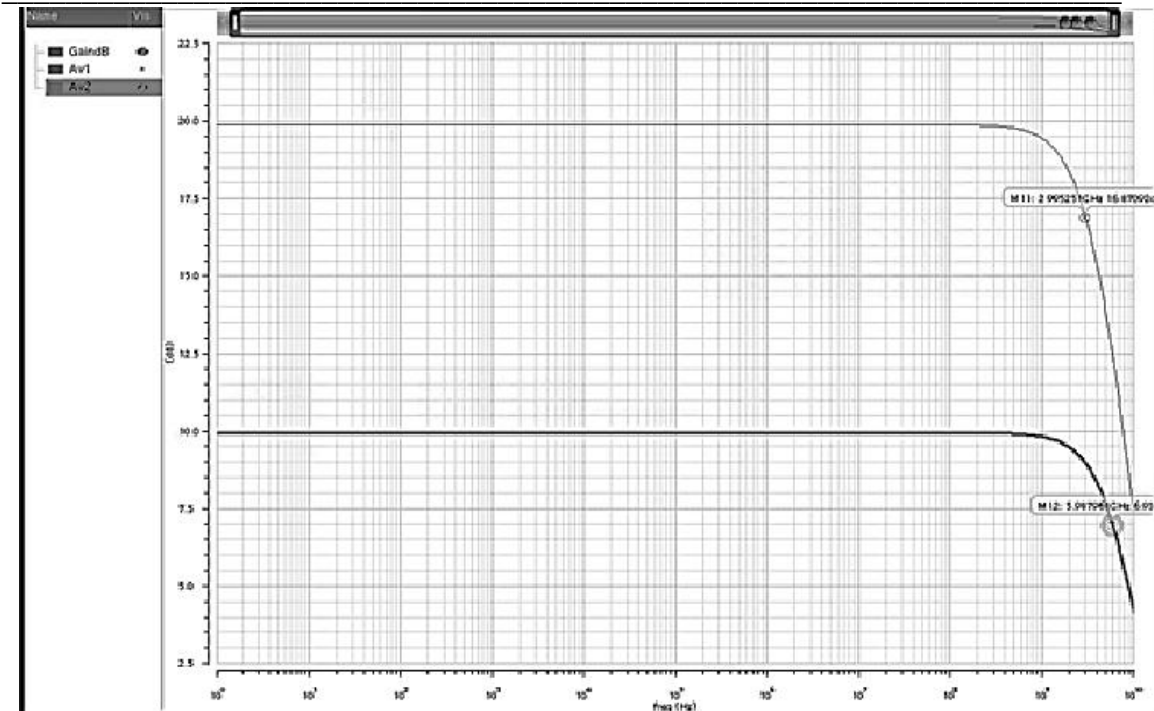


Figura 3.11. Respuesta de segunda etapa con 4 fingers (BW2 = 5.98GHz) y total (BWT = 2.63GHz).

Al realizar los diseños con los fingers, el ancho de los transistores se ve dividido entre el número de fingers que se tengan de cada transistor. El parámetro de multiplicación identificado en el esquemático con la letra “m” es el que indica el número de *fingers* de cada transistor. Teniendo así un ancho de 6.46 $\mu$ m para los transistores de 2 *fingers* y un ancho de 3.23 $\mu$ m para los transistores con 4 *fingers*.

Con 4 fingers se puede obtener un buen ruteo, inclusive un ruteo con *centroide* común incluyendo ambos transistores del par diferencial. Este tipo de ruteos permite tener un mejor rendimiento en cuanto a correcciones de *mismatch* y procesos de fabricación del silicio. Debido a esto, en el diseño se implementarán los transistores con 4 *fingers*.

Los puntos de operación de este diseño se pueden apreciar en la tabla 3.1. Existen pequeñas diferencias únicamente en el voltaje de drenador a surtidor pero pueden ser casi despreciables puesto que la diferencia es de apenas un poco más de 2mV.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

<b>Parámetro</b>	<b>Primer par diferencial</b>	<b>Segundo par diferencial</b>
<b>VDS</b>	727.5E-3	729.9E-3
<b>VDSSAT</b>	159.9E-3	159.9E-3
<b>VGS</b>	730.1E-3	730.0E-3
<b>VTH</b>	503.8E-3	503.7E-3
<b>VDS - VDSSAT</b>	567.6E-3	570.0E-3
<b>VGS - VTH</b>	226.3E-3	226.3E-3

Tabla 3.1. Puntos de operación en DC del par diferenciales de cada etapa.

*3.1.2 Ajustes por integración de resistencia de la tecnología.*

En la figura 3.12 se agregó el pin de VSS para conectar a tierra los substratos de ambos transistores así como la terminal para el aislamiento de la resistencia. Las resistencias que se utilizaron tanto para el esquemático donde se muestra el espejo de corriente simple, y en el esquemático del par diferencial, son las utilizadas por la tecnología de 180nm de IBM, IBM\_cmr7sf.

Al utilizar las resistencias de la tecnología IBM\_cmr7sf el comportamiento en frecuencia se vio un poco afectado, así como el voltaje de modo común del amplificador, por lo que se hicieron unos pequeños ajustes en la corriente de polarización del circuito. La corriente se definió en 1.136mA y las resistencias de carga para los pares diferenciales se cambiaron a 965.6Ω.

**Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI**  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

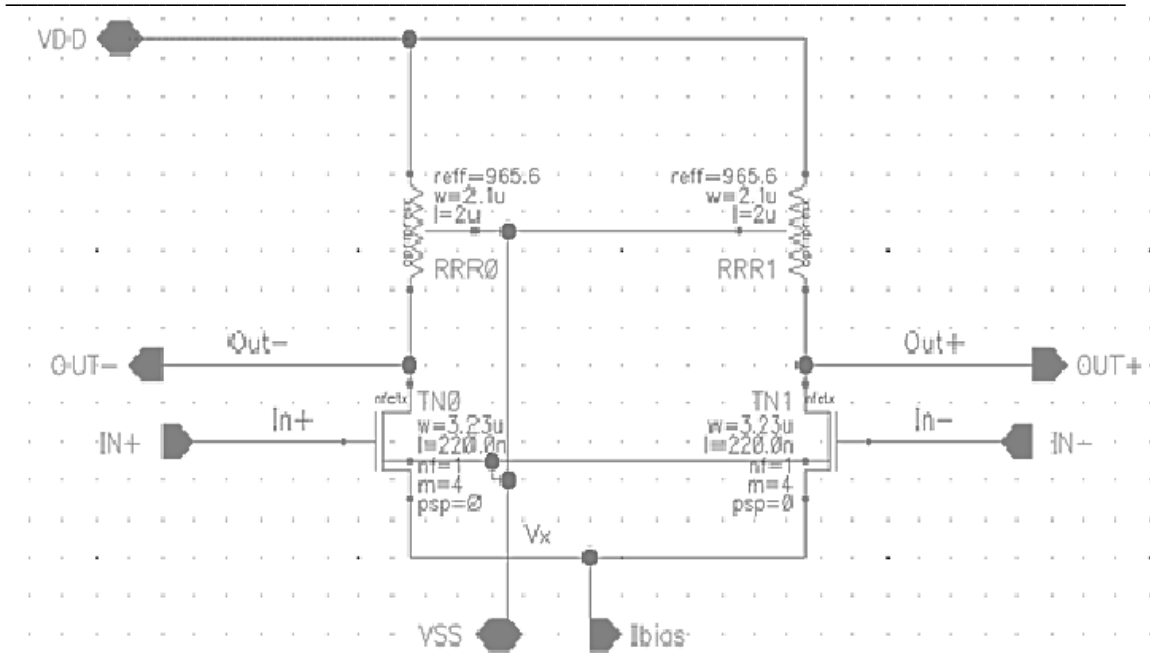


Figura 3.12. Esquemático con parámetros de los transistores del par diferencial.

La imagen de la figura 3.13 muestra la actualización en el esquemático con el símbolo de tierra para conexión de los substratos de los pares diferenciales y las terminales de aislamiento para las resistencias. Tiene una vista con los puntos de operación en DC donde se puede constatar que la corriente de polarización de ambas etapas es de 1.136 mA.

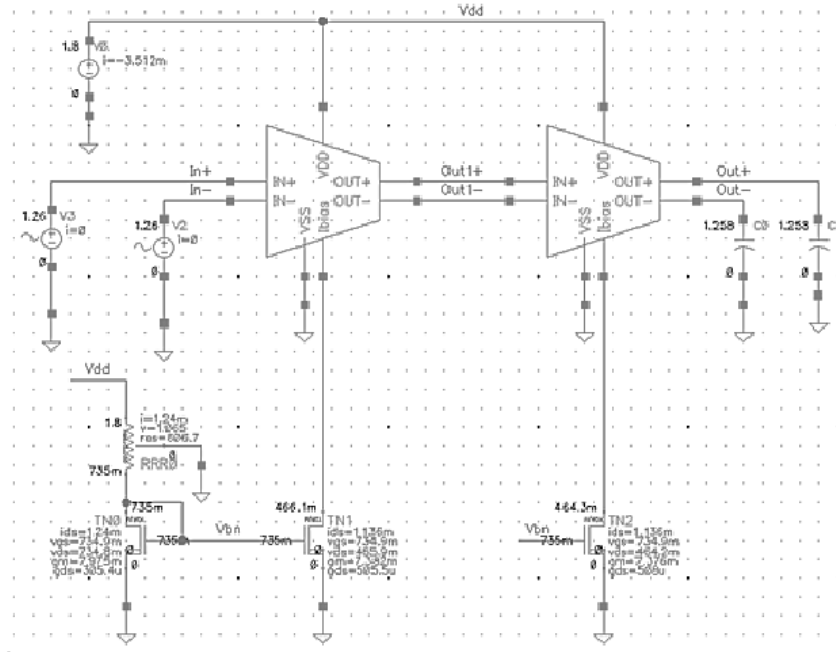


Figura 3.13. Puntos de operación en DC de los transistores para la corriente de polarización.



## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

En la figura 3.14 se observa que el ancho de banda del primer par diferencial es de 4.01GHz y el del segundo es de 5.96GHz. En este punto se aprecia que las aproximaciones y compensaciones que se hicieron para la carga del primer par diferencial, que es el que tiene una carga capacitiva mayor de las dos etapas, tiene un valor de prácticamente 4GHz, el valor seleccionado durante la metodología de diseño.

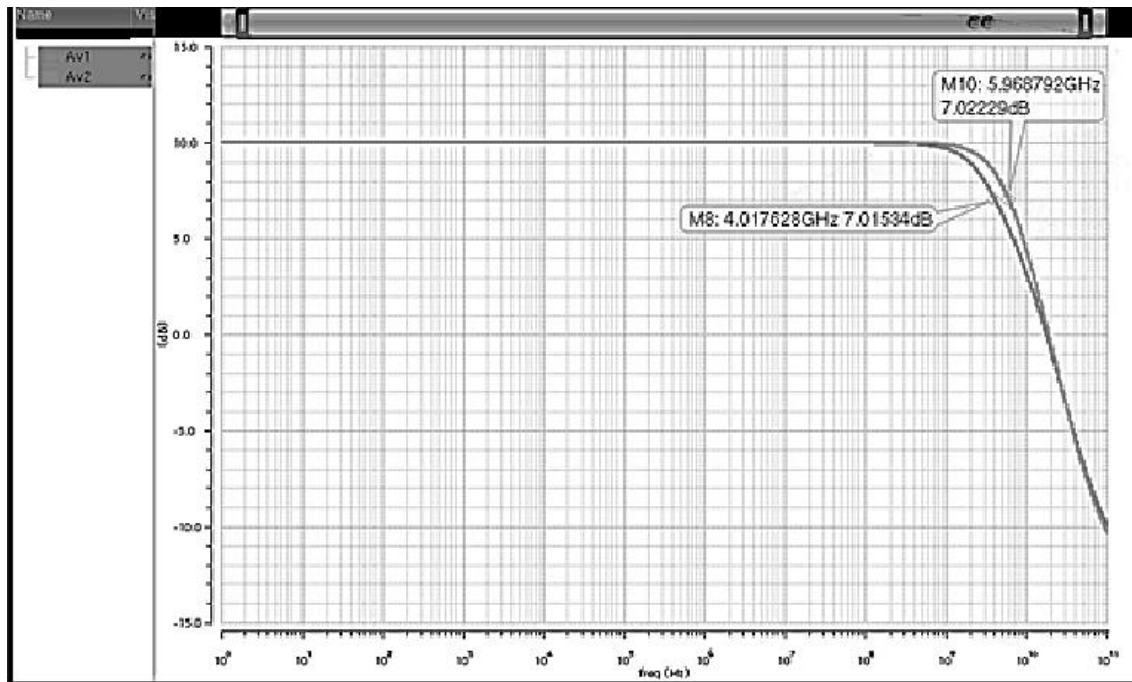


Figura 3.14. Comparativa de respuesta en frecuencia de ambas etapas del amplificador.

La respuesta final del circuito es la desplegada en la figura 3.15. Al final se obtuvo una ganancia de 20.04dB, a un ancho de banda de 2.97GHz de ancho de banda. En la respuesta de la fase representada en amarillo, se aprecia que se tiene un margen de fase mayor a 120°, esto no es inconveniente para esta aplicación puesto que el circuito trabaja en lazo abierto.

# Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

## VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR

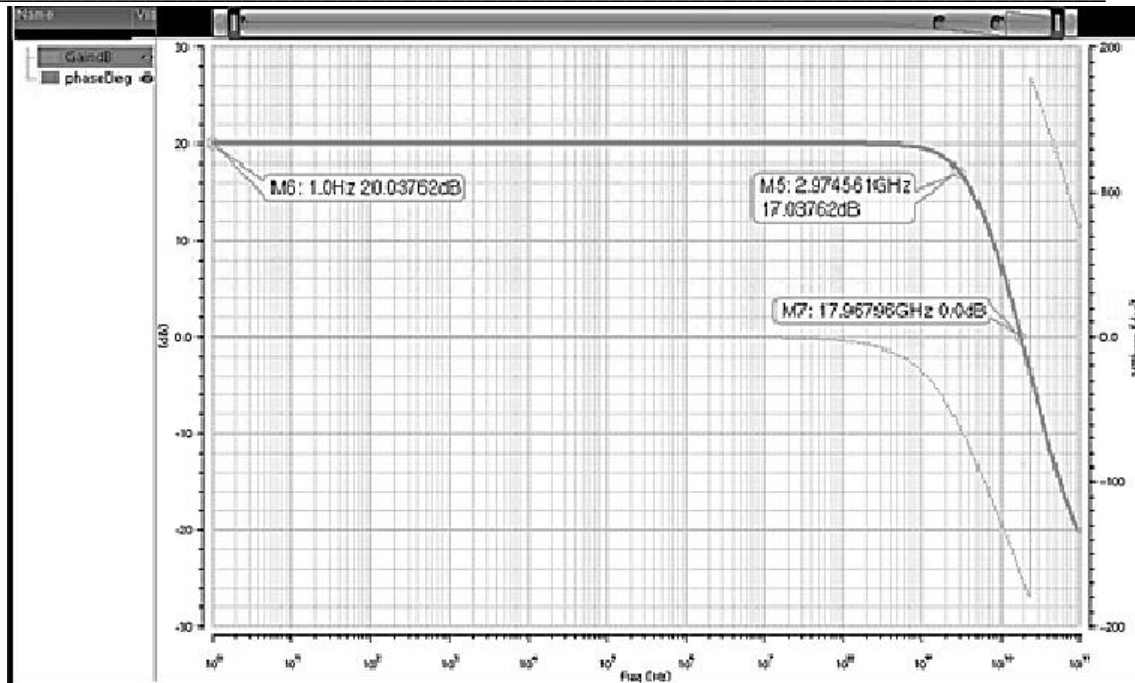


Figura 3.15. Respuesta en frecuencia del diseño final del amplificador, fase y magnitud.

### 3.1.3 Resultados de simulaciones transitorias del core del amplificador.

Una vez obtenido el ancho de banda objetivo del diseño, se consideró pertinente realizar varias simulaciones transitorias para verificar que todo estuviera en orden con respecto de la teoría. La figura 3.16 muestra la simulación del peor caso de la señal de entrada teniendo una señal cuadrada diferencial de entrada con una amplitud de 40 mV a una frecuencia de 2.5 GHz. [9]

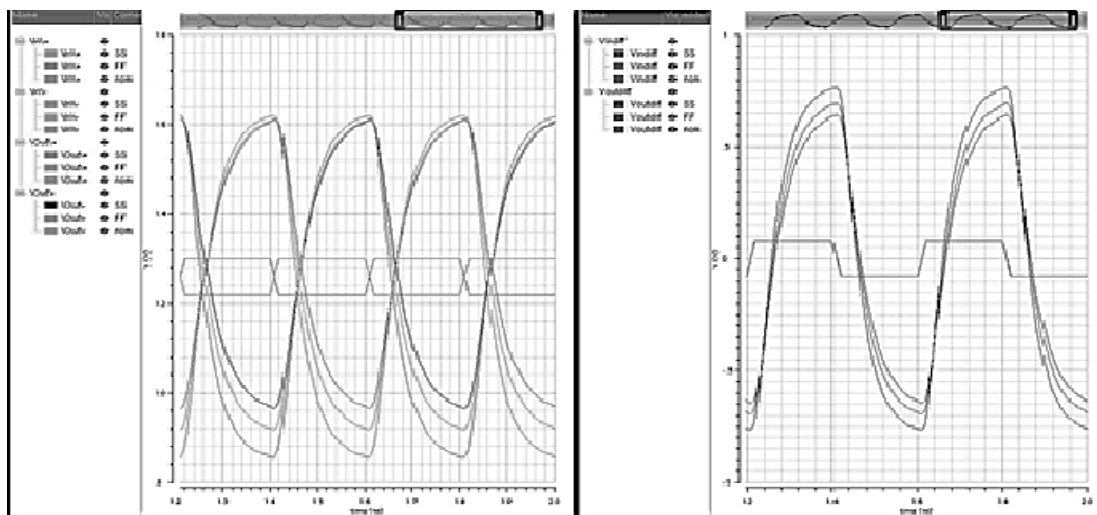


Figura 3.16 Respuesta transitoria a señal cuadrada de 40mV@2.5GHz

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

En la imagen de la figura 3.16 se muestra en el gráfico izquierdo cada una de las entradas y salidas de manera *single ended* o simple. En el lado derecho se muestran tanto entradas como salidas de manera diferencial. Las simulaciones se realizaron para tres tipos de casos de variaciones de procesos en donde se tienen tanto transistores canal n como canal p ya sean como rápidos “ff”, típicos “tt”, o lentos “ss”.

En este punto se puede ver que la señal de salida del core del amplificador se ve considerablemente deformada, sin embargo se tiene un rango de 700 mV para el peor caso, considerando el caso con transistores lentos, esta señal es aceptable para la entrada del convertidor de señal diferencial a simple.

Se realizaron simulaciones de variaciones de mismatch ocasionados por las variaciones en los procesos de fabricación del silicio, estas simulaciones utilizan el método de Montecarlo que es un método estadístico numérico que simula las variaciones en los parámetros de los transistores por las variaciones físicas y químicas que pueden llegar a tener. En la figura 3.17 se puede observar que pese a los cambios en las variaciones de proceso mediante simulación Montecarlo [10], el ancho de banda obtenido es de 2.81 GHz y una ganancia de 19.4 dB. A pesar de que la ganancia está un poco por debajo de los 20 dB objetivo, aún sigue siendo una ganancia que no tiene una variación considerable como para no poder acondicionar la señal de manera que el convertidor después no pueda manejar la señal de manera adecuada y cumpla su objetivo.

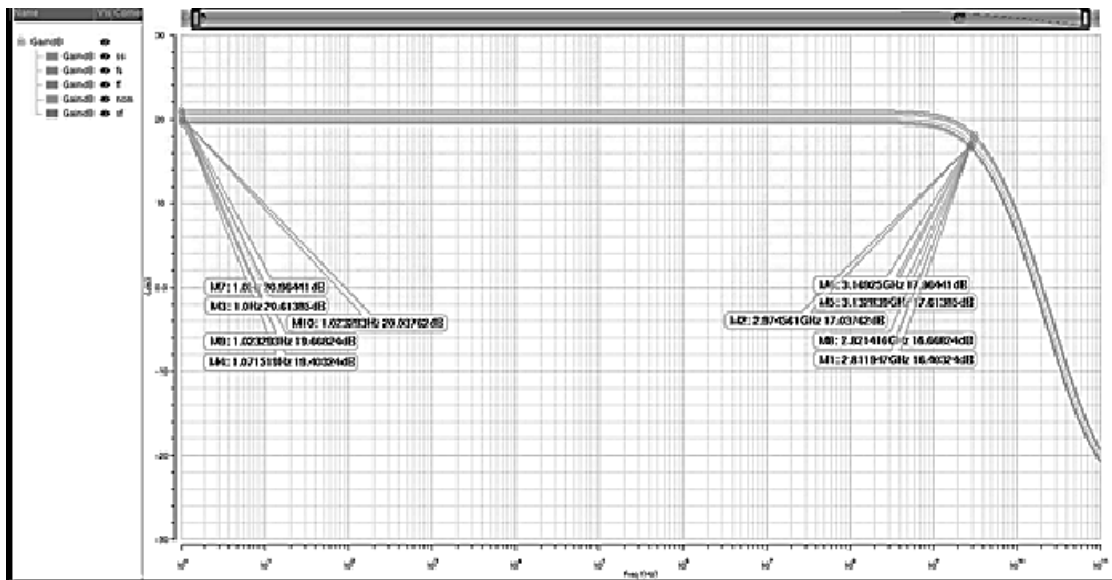


Figura 3.17. Respuesta en frecuencia con variaciones de proceso.

***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI***  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

En las figuras 3.18 y 3.19 muestran los resultados de las simulaciones Montecarlo tanto transitorias como en el dominio de la frecuencia de la respuesta del core del amplificador donde se realizan 200 variaciones de mismatch de manera aleatoria. La peor amplitud obtenido en la señal transitoria es de 500 mV, el peor ancho de banda es de 2.48 GHz pero con una ganancia de DC de 22.8dB lo que compensa un poco esta caída en el ancho de banda. La peor ganancia obtenida es de 16.6dB.

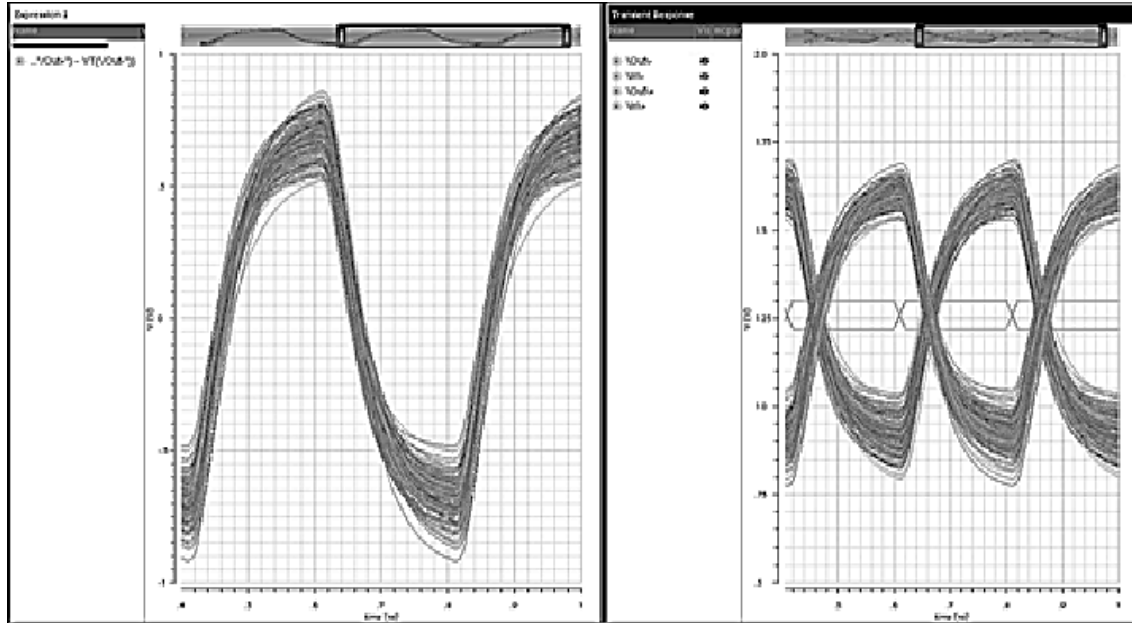


Figura 3.18. Respuesta transitoria del core del amplificador de una señal cuadrada de 40mV@2.5GHz con 200 variaciones de mismatch.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

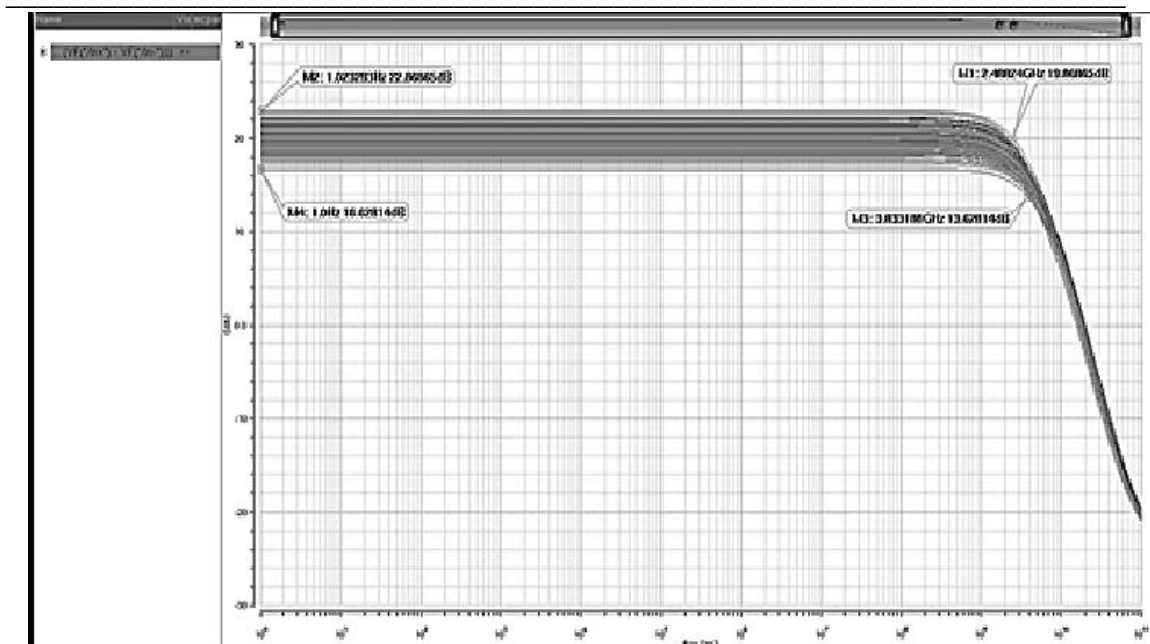


Figura 3.19. Respuesta en frecuencia del core del amplificador con 200 variaciones de mismatch.

*3.1.4 Resumen de diseño del core del amplificador.*

La tabla 3.2 muestra que los objetivos fueron alcanzados satisfactoriamente con un ligero voltaje de modo común con 2mV por debajo de la especificación, esta variación es aceptable para los propósitos del diseño, ya que el convertidor de señal diferencial a simple puede aceptar así los datos.

<b>Parámetro</b>	<b>Especificación de Diseño</b>	<b>Resultado de simulación</b>
<b>Ganancia</b>	20dB	20.04dB
<b>Ancho de banda</b>	2.5GHz	2.97GHz
<b>Tecnología</b>	180nm	180nm
<b>Alimentación</b>	1.8V	1.8V
<b>VCM entrada</b>	1.26V	1.26V
<b>VCM salida</b>	1.26V	1.258V
<b>Carga</b>	20 fF	20fF

Tabla 3.2. Tabla comparativa de requerimientos de diseño con resultados de simulación.

Los parámetros entregados para la culminación del diseño del circuito de polarización fueron los mostrados en la tabla 3.3.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

<b>Parámetro</b>	<b>Valor</b>
<b>W transistor de par diferencial</b>	3.23 $\mu$ m
<b>L transistor de par diferencial</b>	220nm
<b>m transistor de par diferencial</b>	4
<b>W Resistor de carga</b>	2.1 $\mu$ m
<b>L Resistor de carga</b>	2 $\mu$ m
<b>Valor de resistencia de carga</b>	965.6 $\Omega$
<b>W transistor fuente de corriente</b>	3.23 $\mu$ m
<b>L transistor fuente de corriente</b>	220nm
<b>m transistor fuente de corriente</b>	8

Tabla 3.3. Tabla con definición de parámetros de transistores y resistores del diseño.

### *3.2 Resultados de simulaciones del convertidor diferencial a salida simple.*

Las siguientes figuras muestran la respuesta transitoria de cada uno de los elementos que conforman todo el convertidor. Todas las gráficas son simulaciones ejecutadas sobre la cama de pruebas que integra todas las partes del core del receptor con una señal cuadrada diferencial con 40 mV de amplitud y una frecuencia de 2.5 GHz, referenciar la figura 2.13.

La figura 3.20 muestra la respuesta transitoria de la salida del convertidor de señal diferencial a señal simple comparándola con la señal de entrada positiva hacia el amplificador. Es importante destacar que la señal está invertida siendo que aún no ha pasado por ninguno de los inversores. Esta inversión es debido a que se invirtieron de polaridad las señales que entran al convertidor. Está inversión es forzada al tener tres búfers inversores, al hacer esto al final la señal sale con la misma polaridad que a la entrada.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

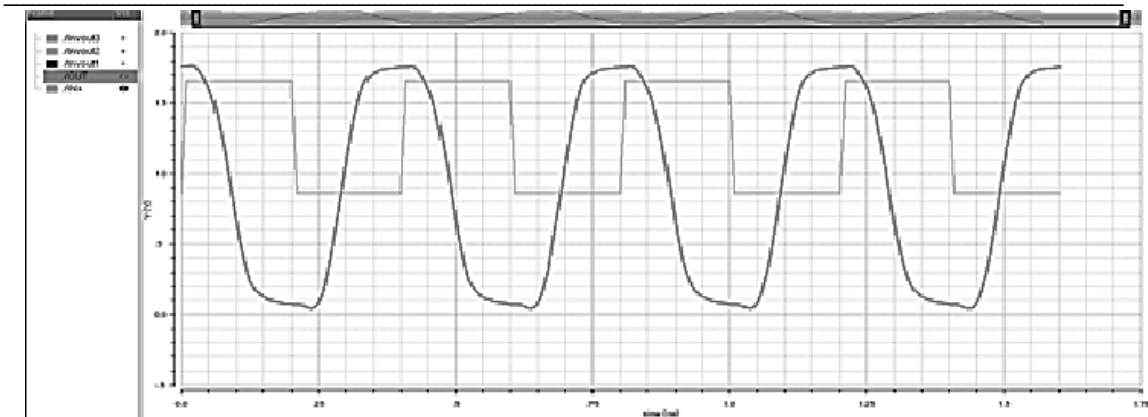


Figura 3.20. Salida de la respuesta transitoria de una señal cuadrada de 40mV@2.5GHz del core del convertidor comparado con la entrada positiva del amplificador.

La figura 3.21 muestra también la comparativa de la señal de entrada pero en esta ocasión con la salida del primer buffer inversor del convertidor. Se aprecia como efectivamente la señal es invertida y se desplaza más con respecto a la señal de salida del core del convertidor. En este punto la polaridad de la señal es la misma que la de la entrada.

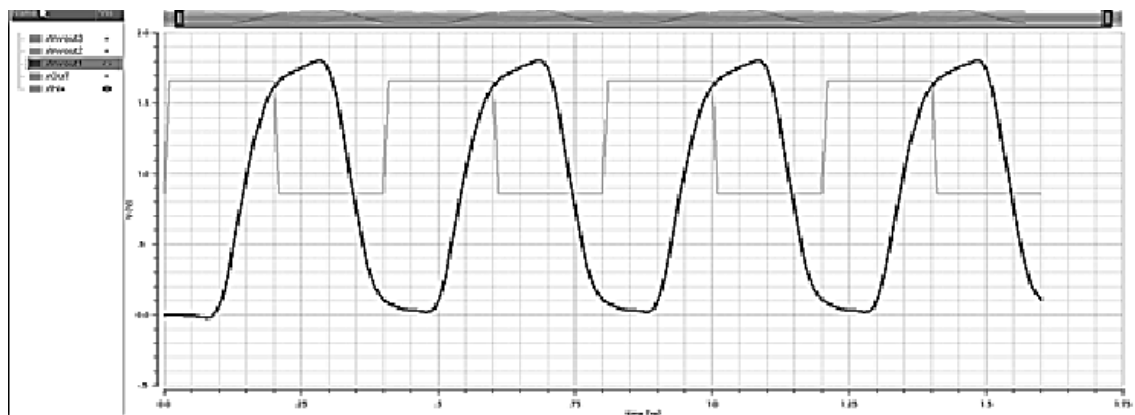


Figura 3.21. Salida de la respuesta transitoria de una señal cuadrada de 40mV@2.5GHz del primer buffer del convertidor comparado con la entrada positiva del amplificador.

En la figura 3.22 nuevamente se mantiene la comparativa de las señales ahora con respecto al segundo buffer inversor. Visualmente pudiera confundirse e interpretarse de manera incorrecta esta gráfica. A la salida del segundo inversor la polaridad es contraria a la señal de entrada, pareciera que tienen la misma polaridad pero la señal de salida acarrea un desplazamiento de casi 180°.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

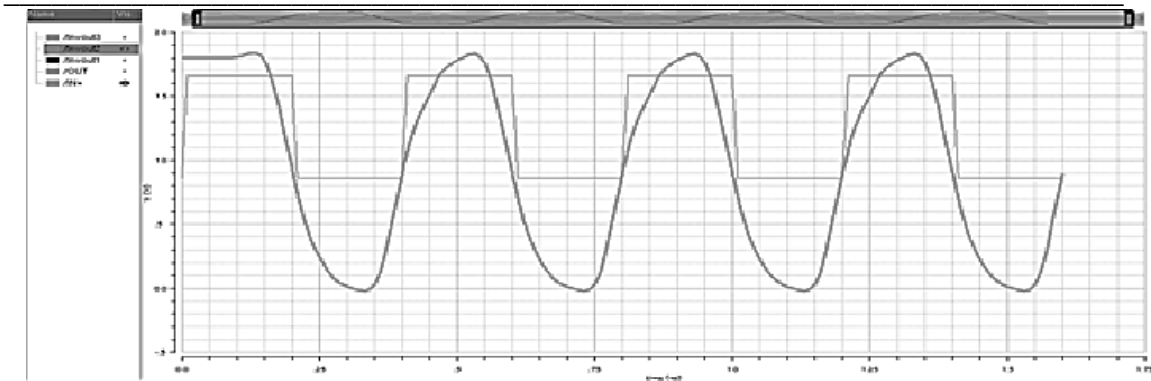


Figura 3.22. Salida de la respuesta transitoria de una señal cuadrada de 40mV@2.5GHz del segundo buffer del convertidor comparado con la entrada positiva del amplificador.

Finalmente, la figura 3.23 muestra la señal de salida del tercer inversor que es la salida que se toma como salida de todo el core del amplificador. Ya tiene la misma polaridad que la de la señal de entrada pero con un desplazamiento de poco más de  $180^\circ$ . Este desplazamiento no afecta en nada al deserializador digital.

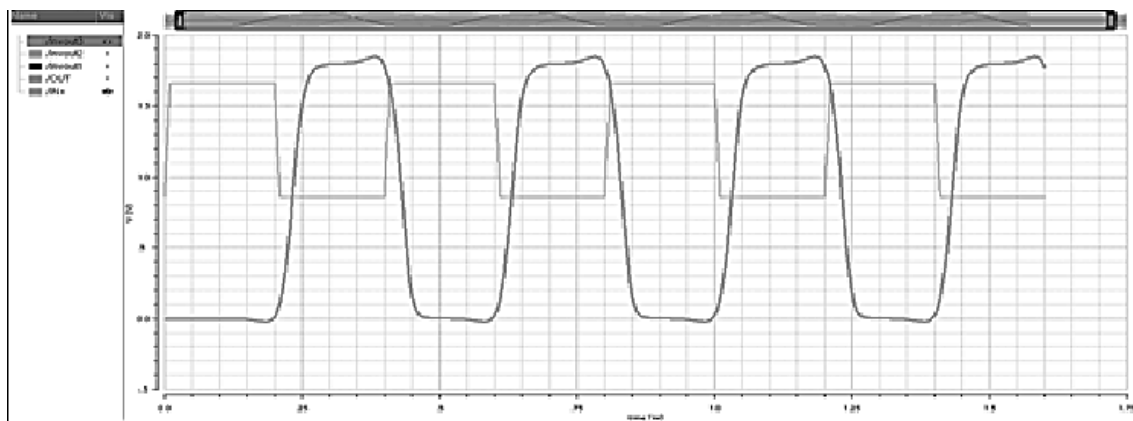


Figura 3.23. Salida de la respuesta transitoria de una señal cuadrada de 40mV@2.5GHz del tercer buffer del convertidor comparado con la entrada positiva del amplificador.

### *3.3 Simulaciones K28.5*

#### *3.3.1 Simulaciones transitorias con patrones K28.5*

Para realizar pruebas de todo el sistema en conjunto y de una manera más exhaustiva, se realizaron simulaciones implementando dos secuencias K28.5. Estas secuencias de bits K28.5 se hace con el objetivo de realizar una prueba más rigurosa al circuito en donde una sola señal está compuesta por un espectro de frecuencia más complejo. La primera secuencia de bits es la siguiente: 01001100001111. Esta secuencia es una mezcla de baja,



*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

media y alta frecuencia. [11] La figura 3.24 muestra el esquemático implementado para realizar la simulación. Todos los bloques ya han sido integrados bajo un solo símbolo.

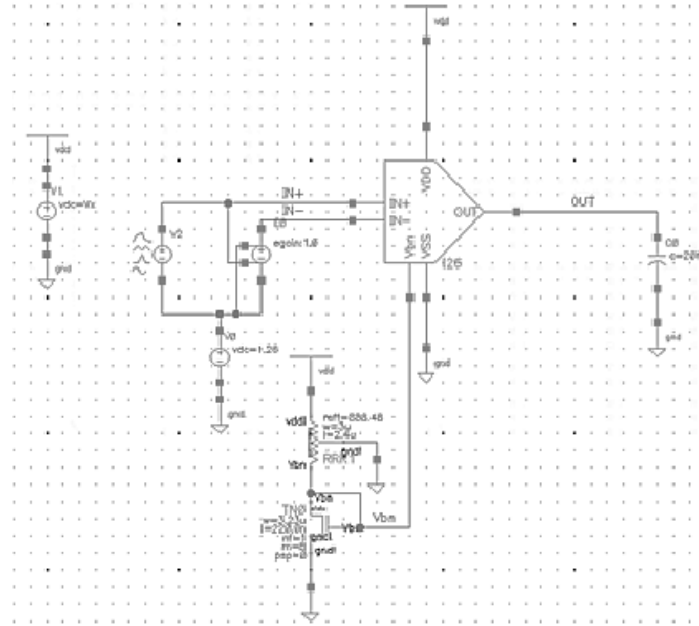
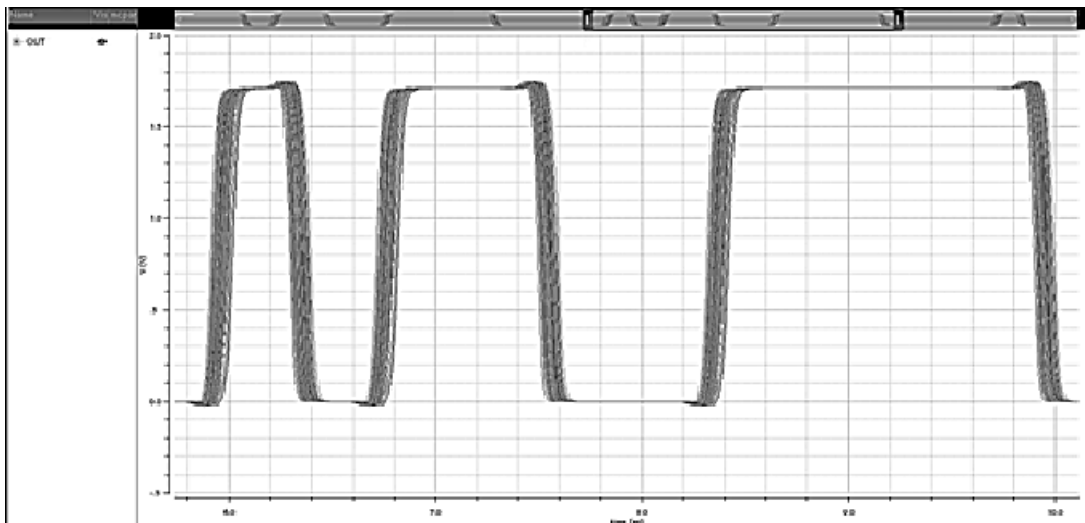


Figura 3.24. Esquemático con test bench K28.5.

Figuras 3.25 y 3.26 muestran los resultados obtenidos en una esquina con las peores y mejores condiciones respectivamente. Ambas figuras también muestra variaciones de mismatch mediante simulación Montecarlo. A pesar de la notoria variabilidad de la señal de salida en el tiempo con las diferentes variaciones de mismatch comparando estas dos esquinas, se aprecia que con las peores condiciones de prueba el circuito sigue operando de una manera adecuada.



*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

Figura 3.25. Resultado de simulación Montecarlo de primer patrón K28.5 con voltaje de 1.71V, transistores lentos tanto canal-n como canal-p con una temperatura de 125°C.

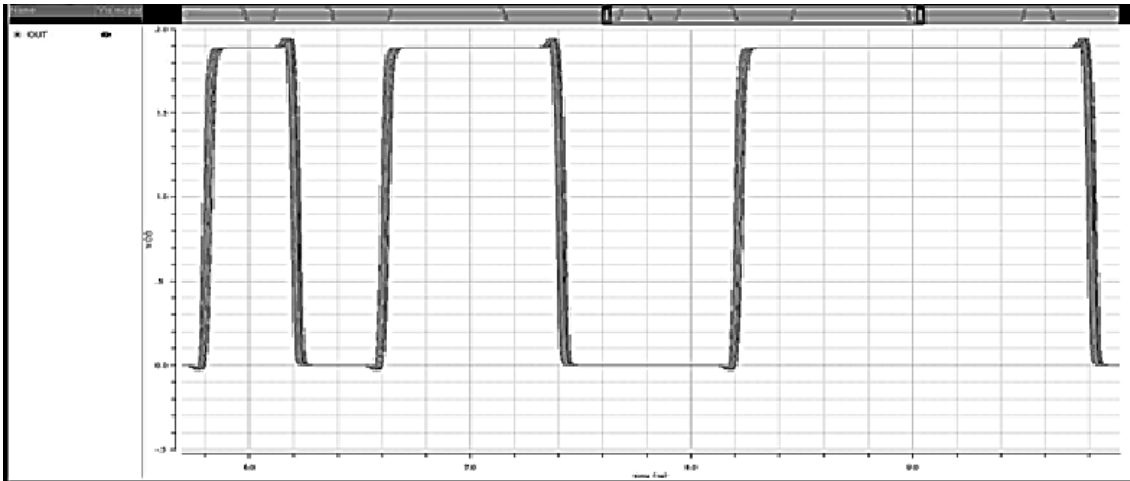


Figura 3.26. Resultado de simulación Montecarlo de primer patrón K28.5 con voltaje de 1.89V, transistores rápidos tanto canal-n como canal-p con una temperatura de -40°C.

La segunda secuencia K28.5 que se probó, maneja un espectro aún más amplio con frecuencias mezcladas, la secuencia es la siguiente: 00111110101100000101. [12] La gráfica de la figura 3.27 muestra el resultado de la simulación de Montecarlo con variaciones de mismatch para la peor esquina de trabajo con un voltaje de alimentación de 1.71V, transistores tanto canal N como canal P lentos y con una temperatura de 125°C. La figura 3.27 muestra el resultado de la simulación con la peor esquina que está definida con un bajo voltaje, con transistores lentos y una temperatura de 125°C.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

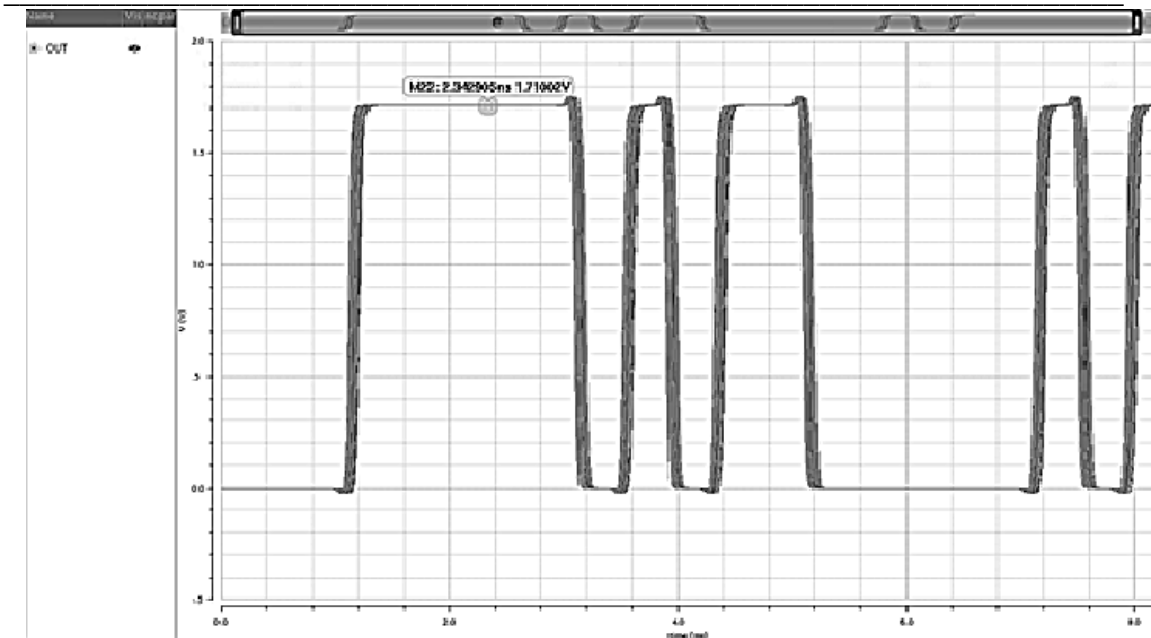


Figura 3.27. Resultado de simulación Montecarlo de segundo patrón K28.5 con voltaje de 1.71V, transistores lentos tanto canal-n como canal-p con una temperatura de 125°C.

La figura 3.28 despliega el resultado de la simulación Montecarlo con este segundo patrón de prueba K28.5 con la mejor esquina teniendo un voltaje alto de alimentación, transistores rápidos y una temperatura baja de -40°C.

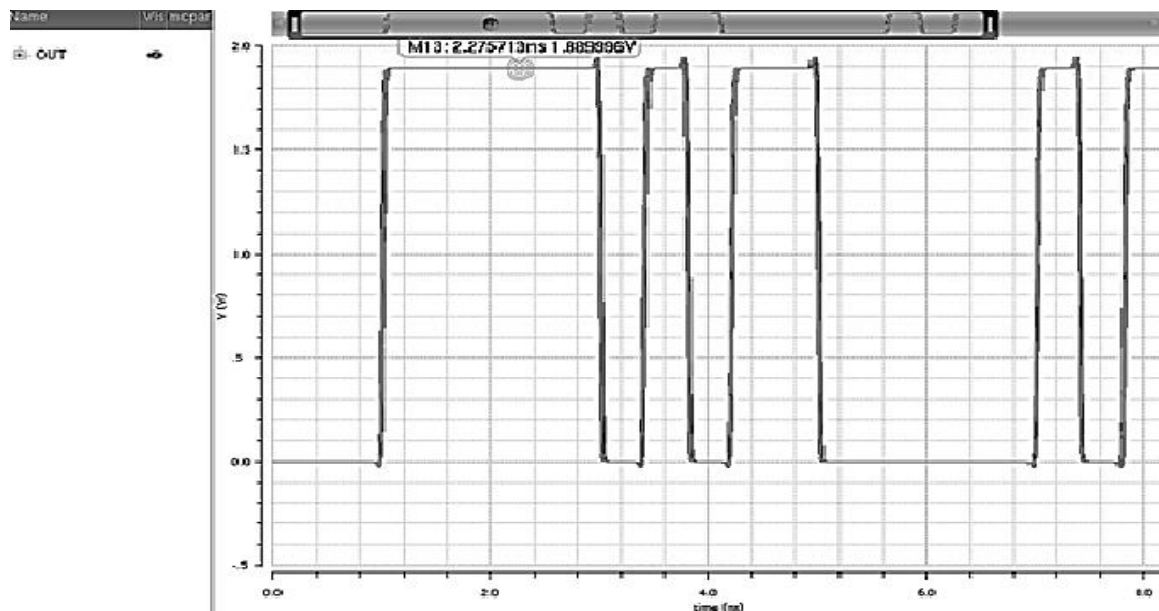


Figura 3.28. Resultado de simulación Montecarlo de segundo patrón K28.5 con voltaje de 1.71V, transistores lentos tanto canal-n como canal-p con una temperatura de 125°C.

***Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI***  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

Los resultados obtenidos con este patrón, al igual que con el primero, muestran un comportamiento operacional adecuado. La señal maneja de manera correcta ambos rieles y aunque presenta un pequeño sobre impulso en ambas transiciones esto no implica riesgo para el desempeño del circuito.

Se realizaron simulaciones de las esquinas de procesos listadas en la tabla 3.4, cuyos resultados fueron satisfactorios en cada una de ellas y pueden ser consultados en la sección de apéndices.

<b>Velocidad transistores canal-n</b>	<b>Velocidad transistores canal-p</b>	<b>Nivel de voltaje</b>	<b>Temperatura</b>
Típica	Típica	Bajo, 1.71V	Alta, 125°C
Típica	Típica	Bajo, 1.71V	Baja, -40°C
Típica	Típica	Nominal, 1.8V	Típica, 65°C
Típica	Típica	Alto, 1.89V	Alta, 125°C
Típica	Típica	Alto, 1.89V	Baja, -40°C
Típica	Típica	Alto, 1.89V	Típica, 65°C
Lenta	Lenta	Bajo, 1.71V	Alta, 125°C
Lenta	Lenta	Bajo, 1.71V	Baja, -40°C
Alta	Alta	Alto, 1.89V	Alta, 125°C
Alta	Alta	Alto, 1.89V	Baja, -40°C

Tabla 3.4. Esquinas de pruebas realizadas al circuito final bajo la secuencia K28.5 con variaciones de mismatch.

### 3.3.2 Análisis de jitter con patrón K28.5

Para el análisis de jitter se requiere de realizar una simulación de diagrama de ojo. Esta simulación se realizó únicamente en la peor esquina de prueba, las características de esquina son una alimentación de 1.71 volts, transistores lentos tanto canal N como canal P y una temperatura de 125°C.

La figura 3.29 muestra el resultado obtenido de la simulación del diagrama de ojo obtenido de la señal de salida simple de todo el core del receptor. La figura 3.30 es un acercamiento al vértice del ojo. En este se puede apreciar que se tiene un jitter de 3.48 ps, y que hay una da distorsión en los datos que genera un modo común de salida de 646 mV en lugar de los 1.26 V que debiera generar si la señal de entrada es un tren de pulsos constante.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR

La arquitectura utilizada en este vehículo de pruebas no satisface ningún requerimiento de jitter ni está considerada ninguna circuitería para disminuir este efecto. Este es uno de los puntos a mejorar de este diseño.

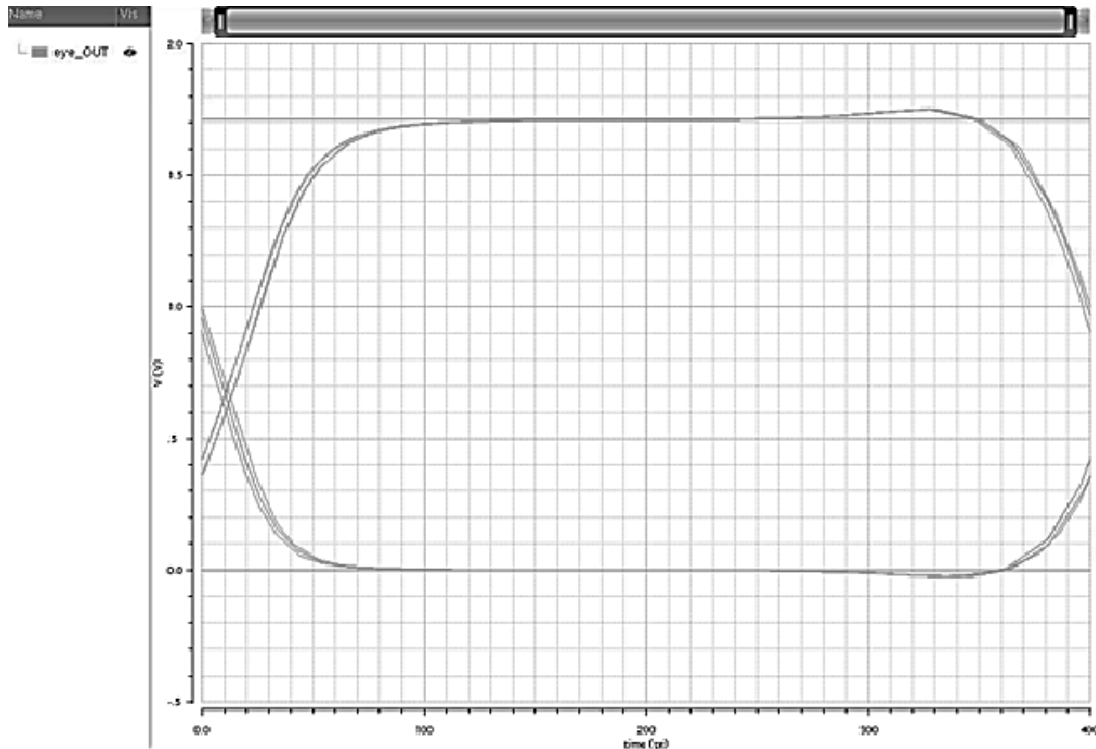


Figura 3.29. Diagrama de ojo de salida del core del receptor analógico.

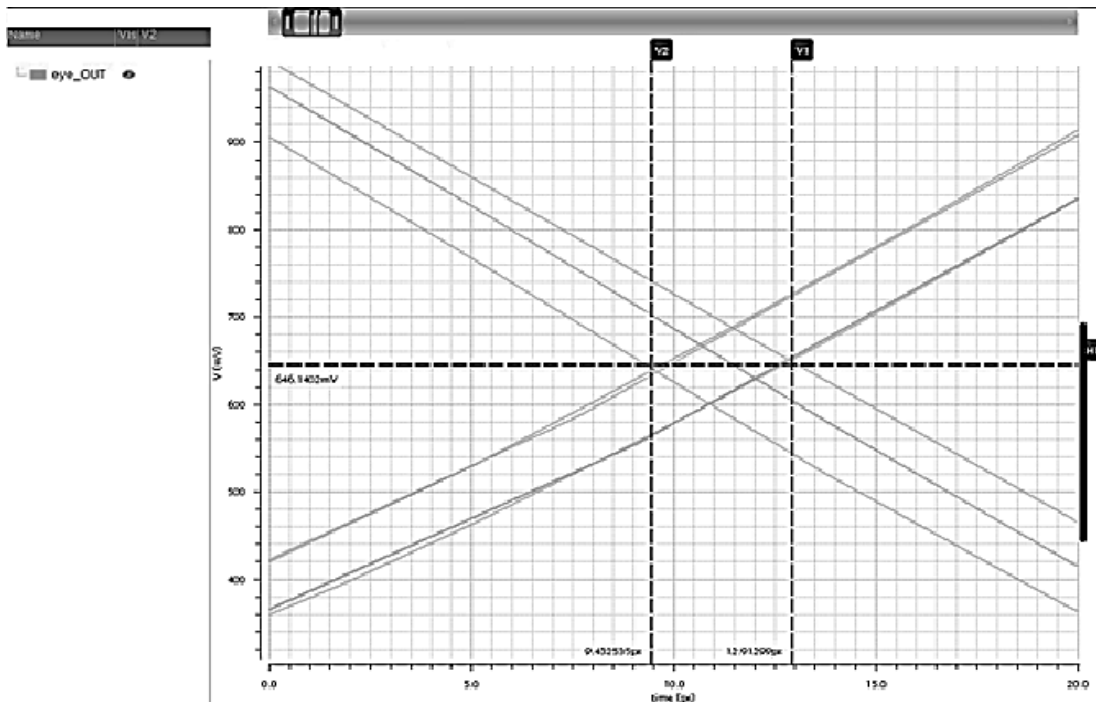


Figura 3.30. Acercamiento en vértice de diagrama de ojo de salida del core del receptor analógico.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

Sin embargo, se identificó que el módulo del core del receptor que está generando este jitter es el convertidor de la señal diferencial a simple. Esto se encontró al realizar el análisis del diagrama de ojo para la salida del core del amplificador. La figura 3.31 muestra el análisis del diagrama de ojo de la diferencia de la salida del core del amplificador.

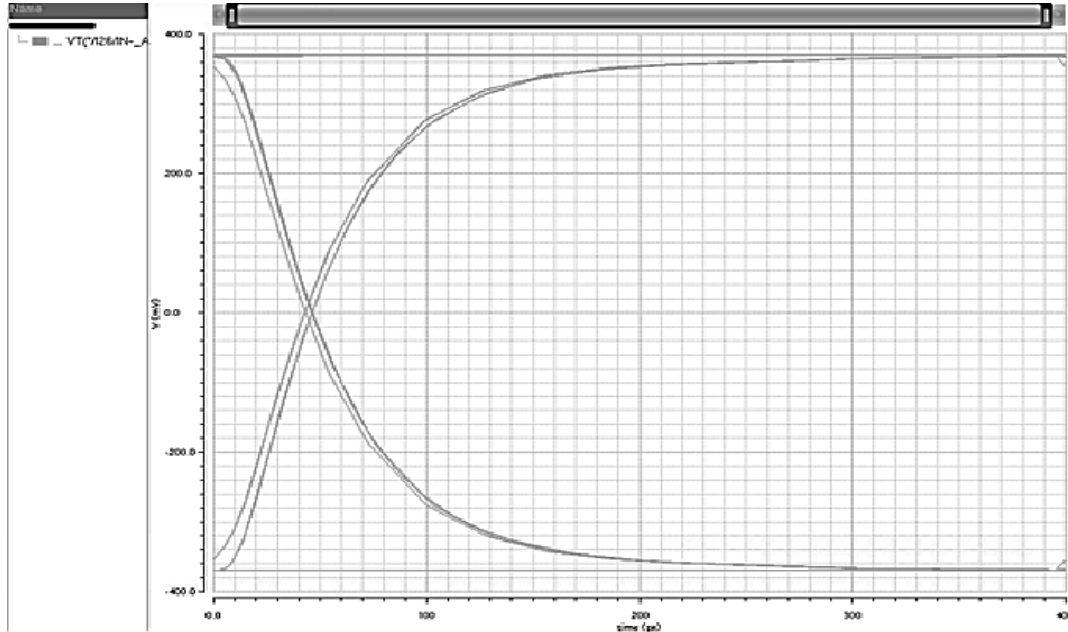


Figura 3.31. Diagrama de ojo de salida del core del amplificador.

En el acercamiento al vértice del diagrama en la figura 3.32 se aprecia que la deformación de la señal es prácticamente nula al ver que la intersección en el vértice está a menos de 1mV, lo que indica que tiene el modo común en 0V, lo que es correcto ya que el diagrama está siendo generado a partir de una señal diferencial. Por otra parte, el jitter observado es muy similar al jitter final obtenido al final del core del receptor con un valor de 3.38ps.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*  
**VALIDACIÓN Y VERIFICACIÓN DEL CORE DEL RECEPTOR**

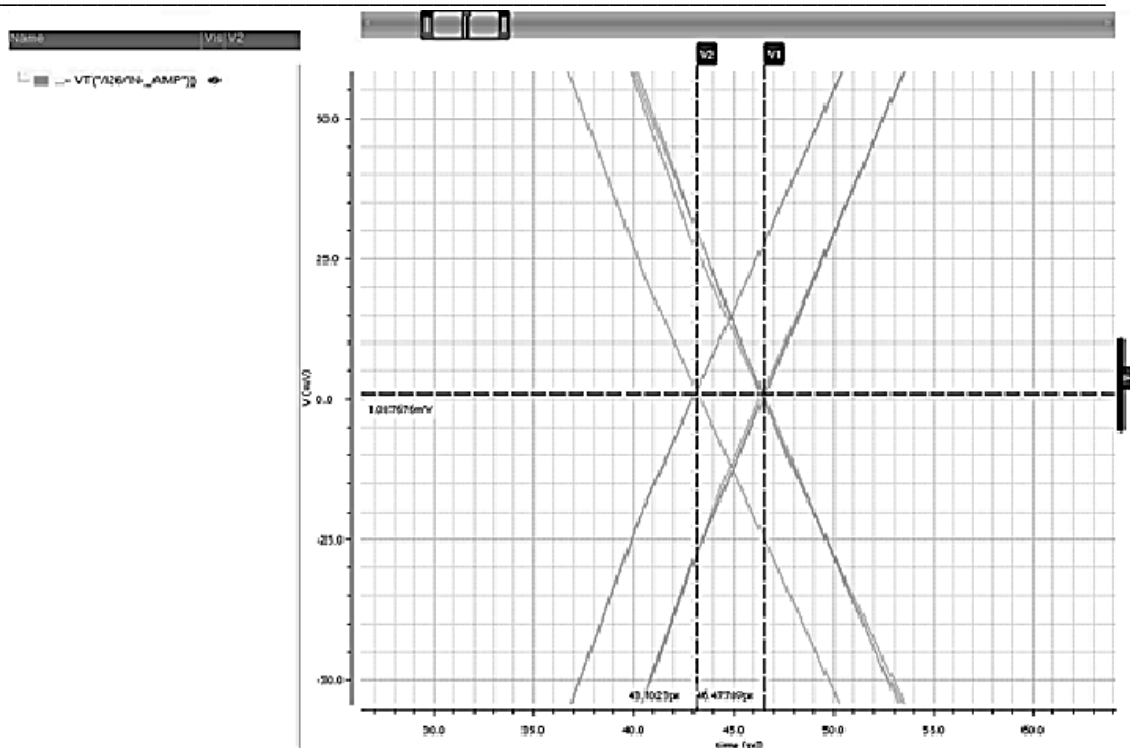


Figura 3.32. Acercamiento en vértice de diagrama de ojo de salida del core del core del amplificador.





## **Capítulo 4: LAYOUT DEL CORE DEL RECEPTOR**

### *4.1 Modificación de esquemáticos para layout*

Los esquemáticos de los circuitos realizados para correr simulaciones y verificar el correcto funcionamiento de cada una de las partes del circuito necesitan de algunos ajustes y modificaciones para el layout.

Una de las consideraciones a tomar en un layout es la de utilizar números pares para los números de los fingers y de esta manera poder realizar empalmes entre los drenadores de los transistores y con esto disminuir área dando como resultado menor capacitancia parásita, y la posibilidad de realizar interdigitamiento en los pares diferenciales que lo requieran.

Por cada transistor dentro del diseño, se contempló agregar un transistor dummy del mismo ancho del transistor a proteger. A todos los transistores dummies se les establecieron dos fingers con un multiplicador de cuatro para así poder ubicar dos fingers del dummy en ambos lados del transistor a proteger. La figura 4.1 muestra el core del amplificador.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**LAYOUT DEL CORE DEL RECEPTOR**

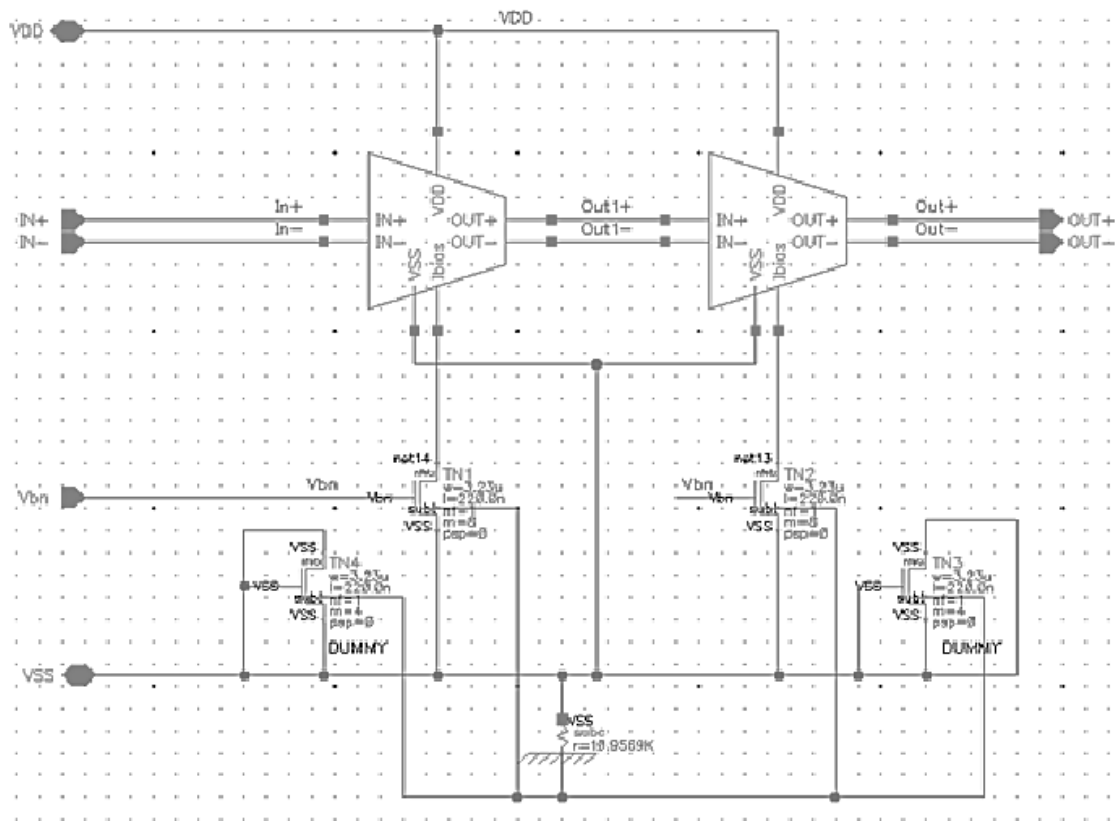
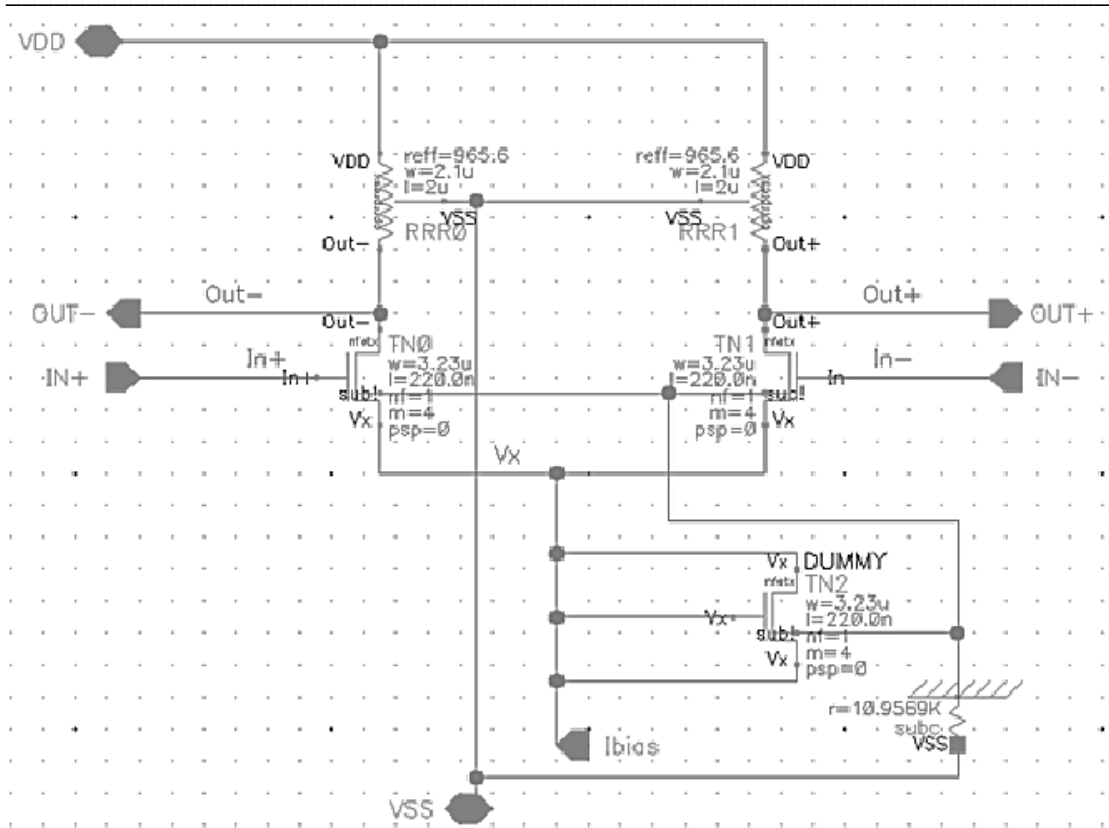


Figura 4.1. Esquemático del par de OTAs del core del amplificador acondicionado para layout.

Además de los dummies, se agrega un contacto “subc” en todos los esquemáticos, este contacto es el que hace la conexión del sustrato con el riel negativo de alimentación.

Cada uno de los bloques instanciados en la Figura 4.1 es un par diferencial idéntico del otro, estos contienen un layout idéntico. En la figura 4.2 se muestra el interior de esta instancia.

**Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI**  
**LAYOUT DEL CORE DEL RECEPTOR**



Figura

4.2. Esquemático del par diferencial de los OTA del core del amplificador acondicionado para layout.

En el caso del ruteo de los pares diferenciales, se utilizó un solo dummy para ambos transistores puesto que al ir interdigitados no existe razón de incluir un dummy por cada uno de ellos. A los transistores dummies canal N típicamente se les conectan todas sus terminales a VSS, en este caso tenemos un caso en particular en el que las conexiones de las terminales de drenador, surtidor y de compuerta se conectan hacia el pin Ibias para que los fingers del dummy puedan empalmarse con los transistores del par diferencial. La distribución de fingers se puso en 2 en este parámetro y 2 en el multiplicador para mantener dos fingers unidos por cada transistor y mantenerlos así durante el *placement* se pudo haber mantenido la distribución de finger con un multiplicador de 4 sin ningún inconveniente.

Para el convertidor de la señal diferencial, se agregó un transistor dummy canal P y un transistor dummy canal N. Al igual con el par diferencial del OTA, se cambió la distribución de fingers para mantenerlos unidos por pares. La figura 4.3 contiene el esquemático final del convertidor listo para el layout.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI*  
**LAYOUT DEL CORE DEL RECEPTOR**

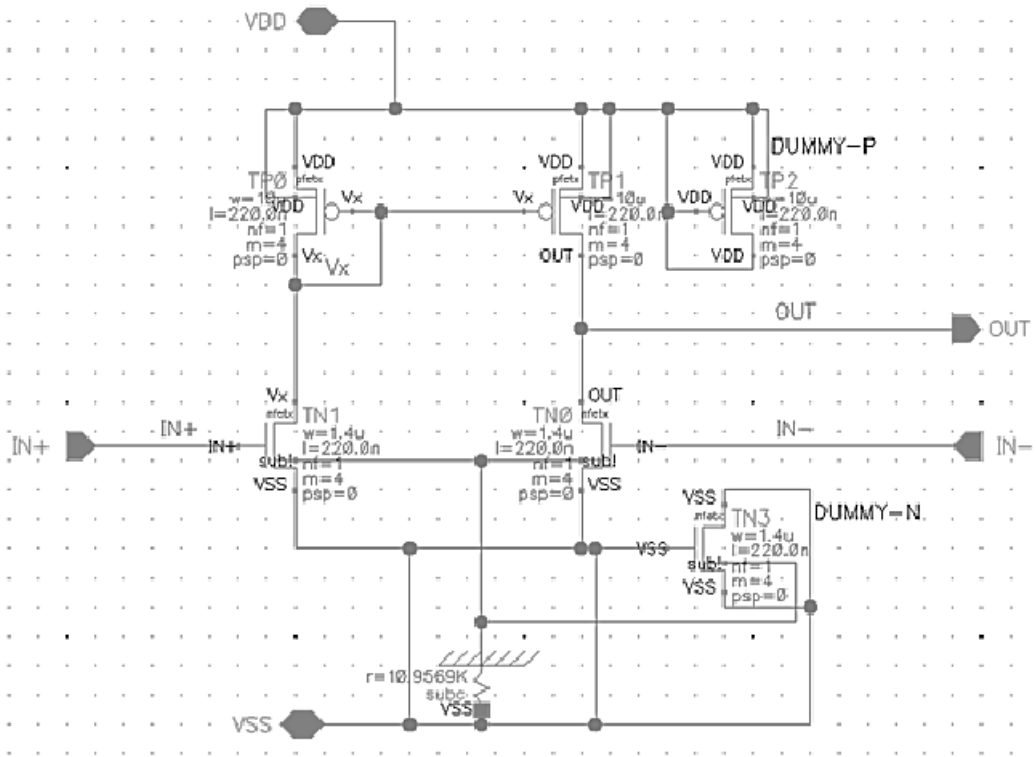


Figura 4.3. Esquemático de convertidor diferencial a salida simple acondicionado para layout.

Las figuras 4.4, 4.5 y 4.6 son los esquemáticos finales para el layout de los búfers inversores. El ancho de los transistores se dividió por mitad para tener 2 fingers como parámetro. Esto se hizo con la finalidad de siempre tener fingers pares a pesar de tener multiplicadores impares, como es el caso con el segundo buffer. Al tener fingers pares su puede hacer el empalme con los dos fingers de los dummies agregados.

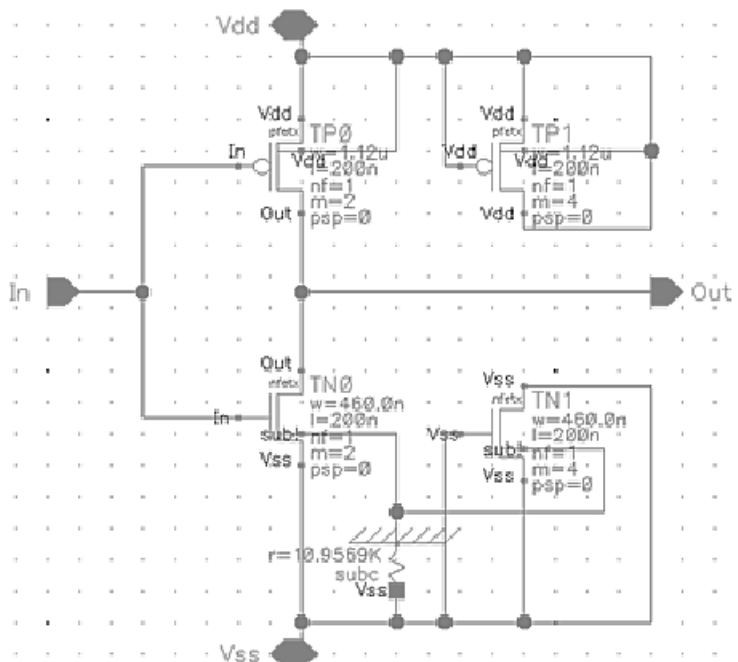


Figura 4.4. Esquemático del primer buffer del convertidor.

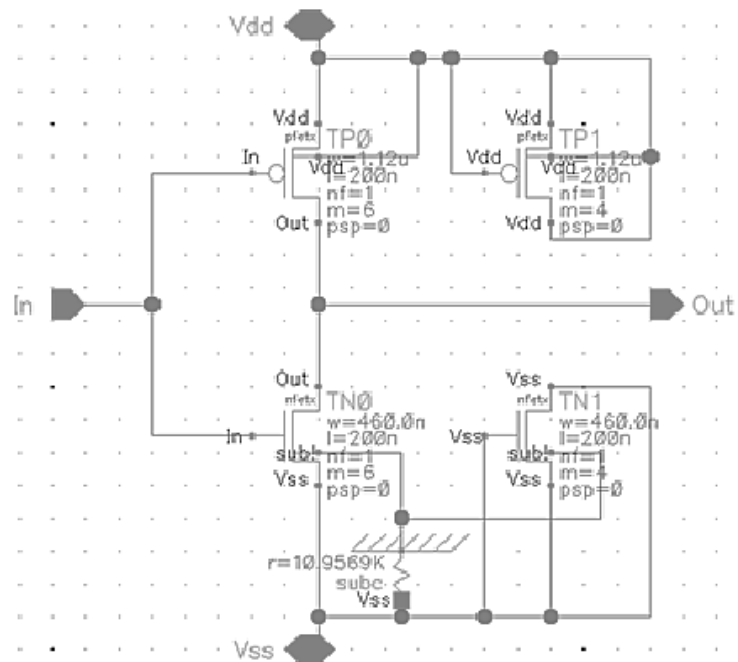


Figura 4.5. Esquemático del segundo buffer del convertidor.

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1 LAYOUT DEL CORE DEL RECEPTOR

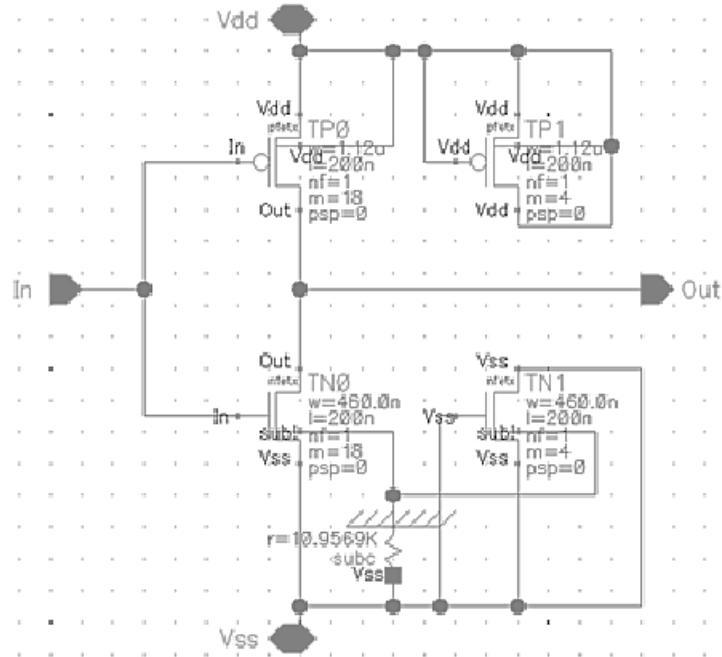


Figura 4.6. Esquemático del tercer buffer del convertidor.

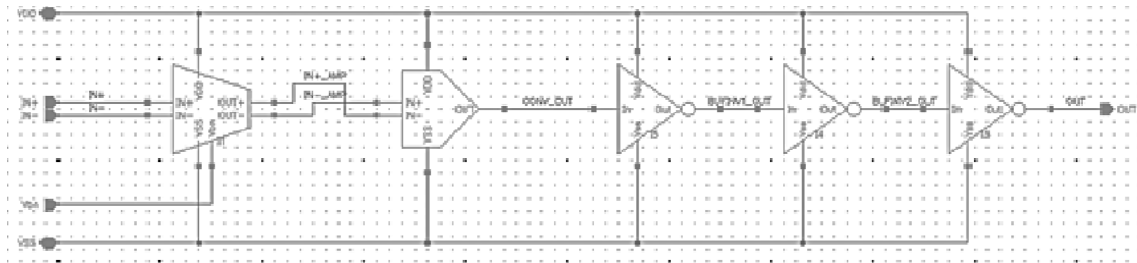


Figura 4.7. Esquemático final para generar el layout del módulo receptor analógico.

### 4.2 Imágenes de primeros layouts por módulos.

Utilizando la herramienta **Virtuoso XL** se realizó el layout de cada uno de los bloques del core del receptor analógico del SerDes ITESOTV1. [13]

Las imágenes de las figuras 4.8, 4.9, 4.10, 4.11 y 4.12 muestran el primer layout realizado de los módulos para definir el mejor *floorplan* posible en base a las dimensiones y figuras geométricas de cada módulo.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*  
**LAYOUT DEL CORE DEL RECEPTOR**

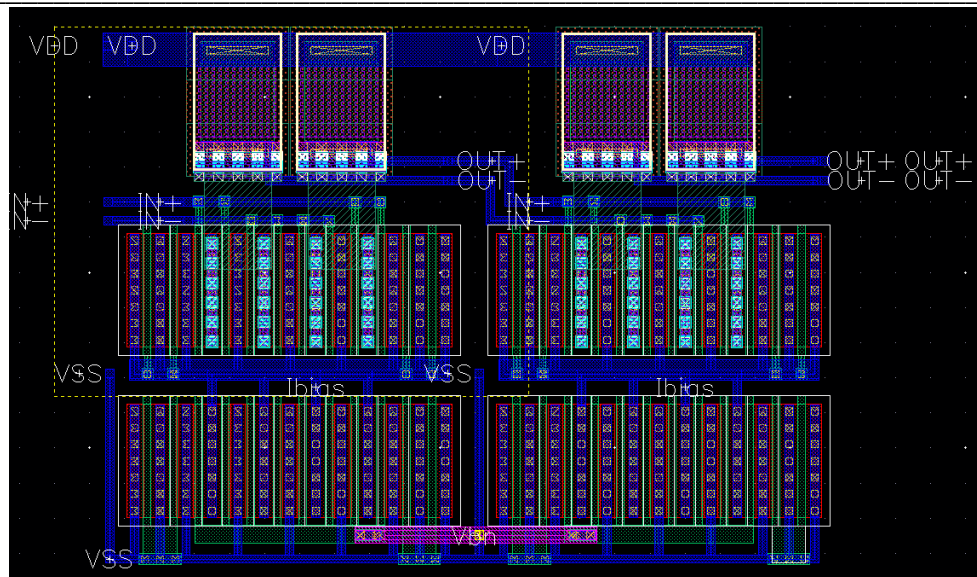


Figura 4.8. Primer layout del core del amplificador con sus dos etapas.

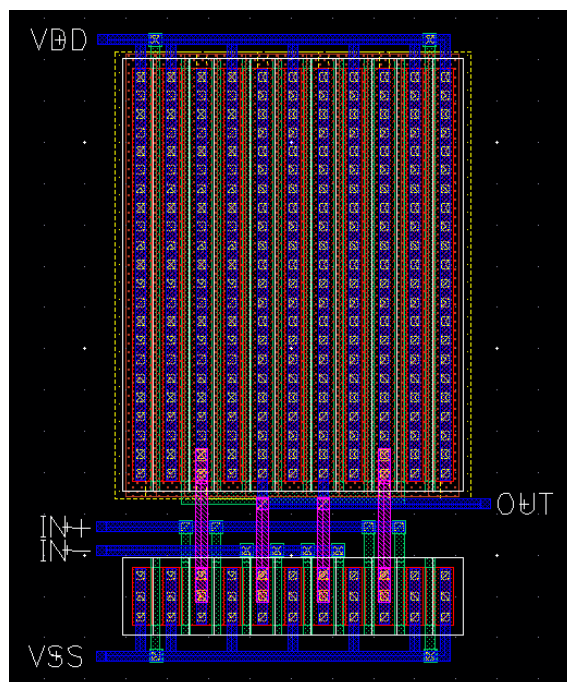


Figura 4.9. Primer layout del core del convertidor de señal diferencial a simple.

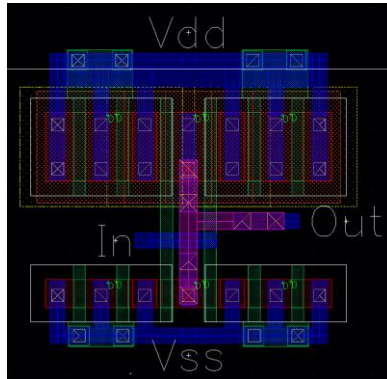


Figura 4.10. Primer layout del primer buffer inversor del convertidor.

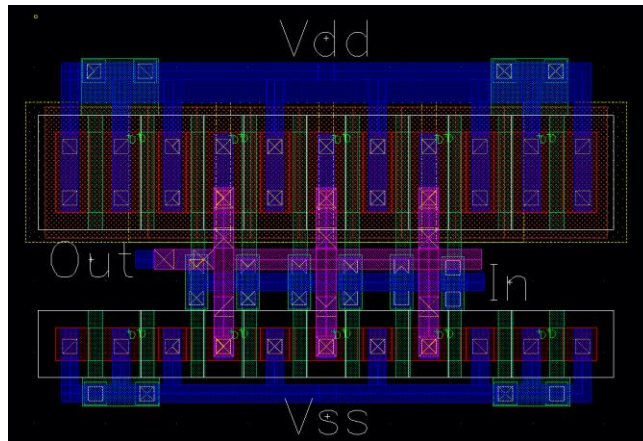


Figura 4.11. Primer layout del segundo buffer inversor del convertidor.

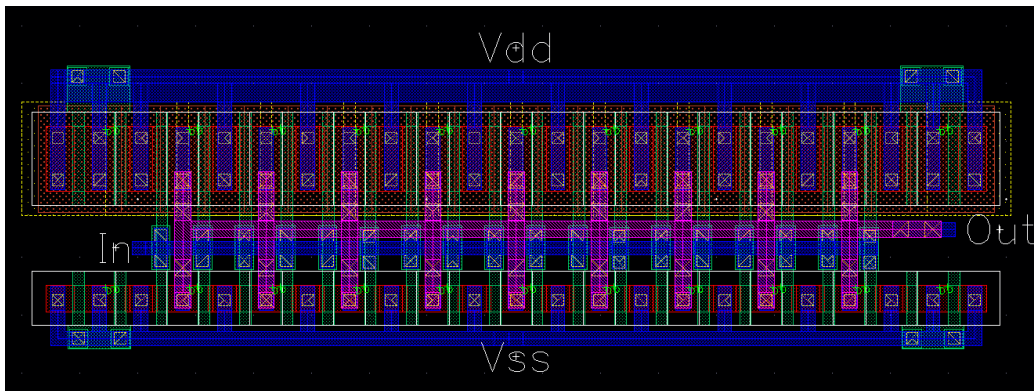


Figura 4.12. Primer layout del tercer buffer inversor del convertidor.



### 4.3 Floorplan del core del receptor analógico para el SerDes

Dadas las dimensiones y formas obtenidas de cada uno de los bloques del circuito, se estableció el siguiente floorplan para el layout de tal manera que se mantenga una forma geométrica favorable para la integración del módulo dentro del sistema:

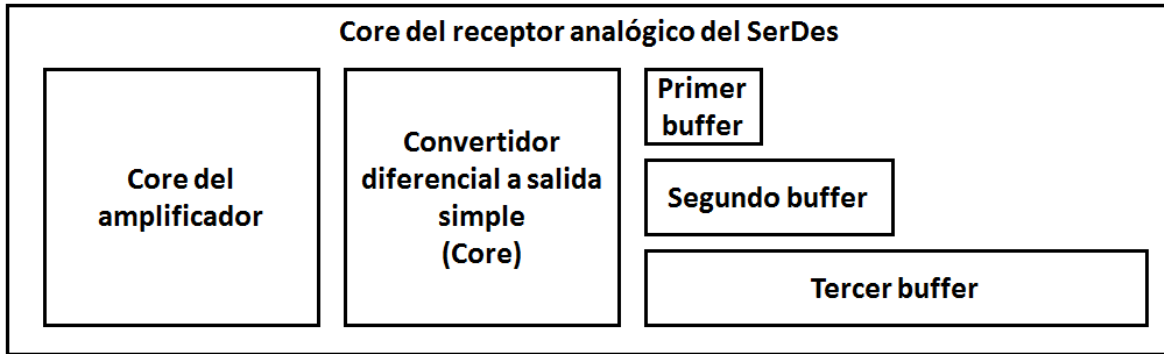


Figura 4.13. Floorplan del core del receptor analógico del SerDes.

### 4.4 Layouts finales

Para los layouts finales se hicieron modificaciones principalmente en las nets con respecto de los primeros layouts. En general, se cambió la capa de metal de conexión de todos los pines de cada módulo hasta metal 3 a excepción de los pines correspondientes a la alimentación, es decir, los pines correspondientes a VDD y VSS. Este cambio fue con el fin de realizar todas las conexiones entre módulos con metal 3 pues al ser la capa más alejada del sustrato en la que se tiene permitido rutear, las capacitancias que generen las conexiones serán mucho menores que si se realizan las conexiones en alguno de los metales inferiores. La capa de metal 4 se dejó reservada para la distribución de alimentación de todos los bloques. Además, se realizó un cambio en todas las conexiones de las compuertas de cada uno de los fingers de los transistores. Se dejó el área de polisilicio que por defecto tiene el transistor y en uno de los extremos del mismo se colocó inmediatamente una vía hacia metal 1 para mantener simetría y uniformidad de la capa de polisilicio. Para brindar más confiabilidad a cada una de los cambios de capas de metal del *path* de alta frecuencia, se agregaron tres vías por cada cambio de capa. Esto brinda varios beneficios como disminuir la resistencia de la transición de capa, dar mayor confiabilidad al momento de realizar el proceso de fabricación pues si una de las vías no hace contacto adecuado las otras pueden permitir el flujo correcto de la señal, dar mayor robustez y una mejor distribución de la corriente que maneja la señal.

## *Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI* **LAYOUT DEL CORE DEL RECEPTOR**

Cada uno de los módulos fue sometido al DRC (*Design Rule Check*) con la herramienta **Assura-DRC** de **Cadence**. Todos los módulos pasaron satisfactoriamente las verificaciones de DRC básico, DRC-ESD, DRC-Antena y DRC-Densidad. [14]

En los OTA se cambiaron las conexiones de las resistencias de carga hacia los transistores del par diferencial hacia metal 3, esto para dejar disponible el metal 4 para el ruteo exclusivo de la alimentación.

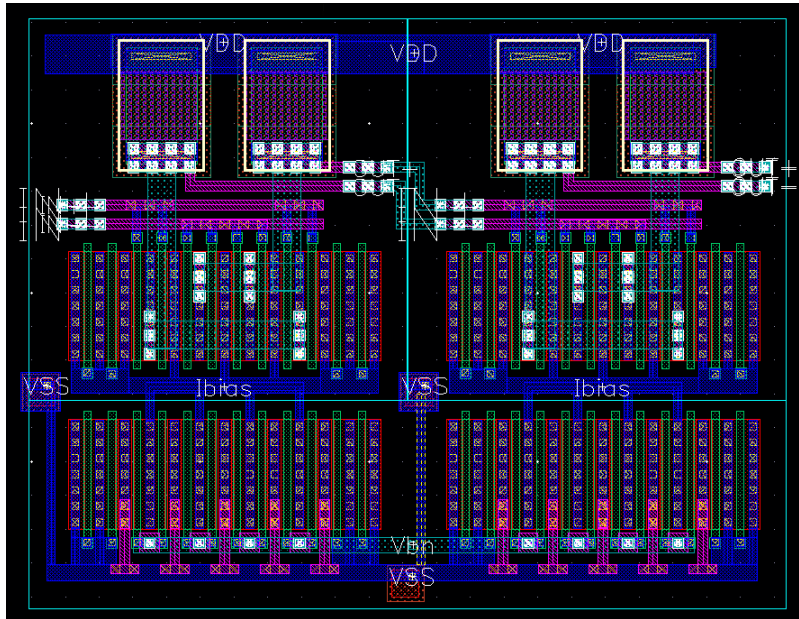


Figura 4.14. Layout final del core del amplificador.

La figura 4.15, muestra el layout final del core del convertidor con las mejoras señaladas anteriormente.

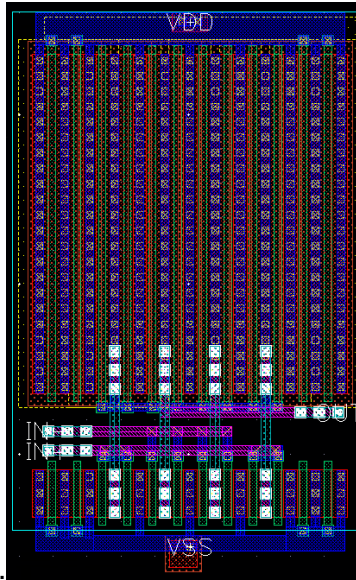


Figura 4.15. Layout final del core del convertidor de señal diferencial a simple.

Las figuras 4.16, 4.17 y 4.18 tienen el diseño físico de los tres búfers inversores del convertidor del circuito. El primer y segundo buffer tiene la entrada a la izquierda y la salida a la derecha. En el segundo buffer inversor la entrada está a la derecha y la salida a la izquierda, esto para tener un mejor ruteo de la señal sin tener que extender tanto el ruteo.

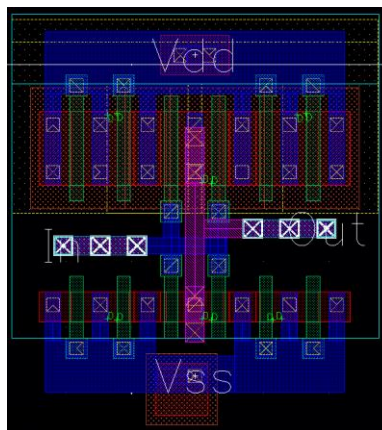


Figura 4.16. Layout final del primer buffer inversor del convertidor.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*  
**LAYOUT DEL CORE DEL RECEPTOR**

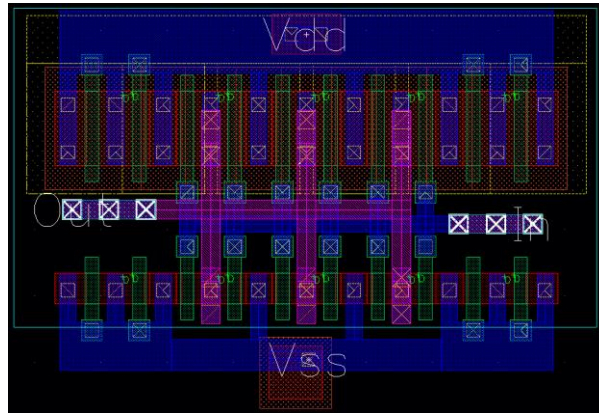


Figura 4.17. Layout final del segundo buffer inversor del convertidor.

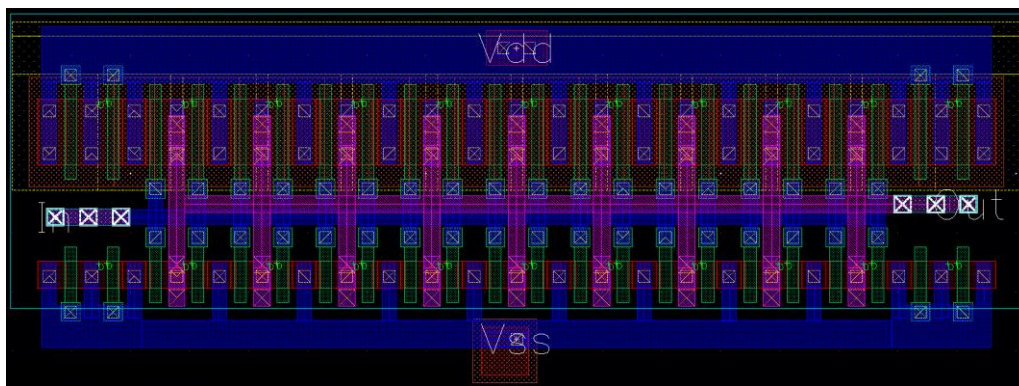


Figura 4.18. Layout final del tercer buffer inversor del convertidor.

La figura 4.19 tiene el layout de todo el core del receptor del SerDes. La entrada de la señal diferencial está a la izquierda del módulo con las dos etapas de amplificación seguido del módulo del convertidor que se encuentra al centro del diseño y los tres búfers inversores a la derecha, teniendo de esta manera la salida en este lado.

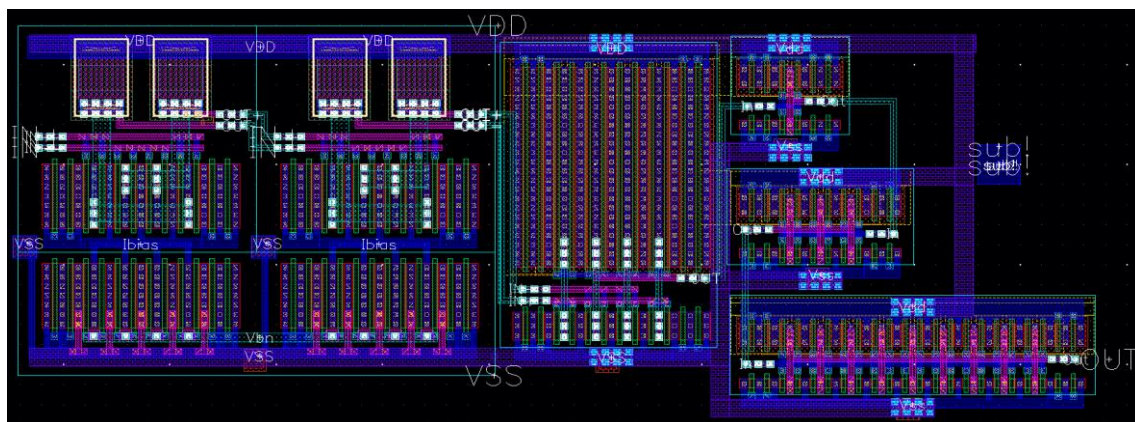


Figura 4.19. Layout final del con la integración de todos los bloques del core del receptor analógico del SerDes ITESOTV1.



## **CONCLUSIONES**

En este reporte se describió la metodología de diseño seguida en cada una de las partes que conforman al path de alta frecuencia del receptor analógico del SerDes en la tecnología CMOS de 180nm con el proceso IBM\_7sf.

Se cumplieron los requisitos de diseño obteniendo un ancho de banda de 2.97 MHz, 470 MHz por encima del 2.5 GHz objetivo. La ganancia de DC se cumplió tal como es establecida en los requerimientos con 20 dB. El circuito es capaz de manejar los 20 fF de carga manteniendo los niveles lógicos digitales atados a los rieles de alimentación.

Corriendo varias simulaciones de prueba se validó el correcto funcionamiento del circuito tanto en simulaciones transitorias como en el dominio de la frecuencia. Se realizaron pruebas con 10 esquinas diferentes en donde en cada una de ellas se hicieron variaciones de mismatch con dos patrones K28.5 distintos.

Se obtuvo un layout con la integración de todos los módulos del core del receptor del SerDes y pasaron satisfactoriamente las verificaciones de DRC básico, DRC-ESD, DRC-Antena y DRC-Densidad, así como de LVS.

Como trabajo futuro está el mejorar la distorsión que se obtuvo en la señal de salida ocasionando un desplazamiento negativo del voltaje de modo común con la esquina de proceso más exigente. También falta realizar simulaciones post-layout de la extracción del layout.

## REFERENCIAS

- [1] Lomelí Barajas, Miryam, “DISEÑO Y MEJORA DE UN SISTEMA SERDES”, Tesis de especialización, Departamento de electrónica, sistemas e informática., ITESO, Tlaquepaque, Jalisco, 2013.
- [2] Arámbula Hampshire, Sergio, “Diseño de un Sistema Serializador / Des-serializador de Datos (SERDES) en tecnología CMOS de 0.5 micras”, Tesis de especialización, Departamento de electrónica, sistemas e informática., ITESO, Tlaquepaque, Jalisco, 2009.
- [3] Girón Allende, Alexandro, “Proyecto-G1” Definición de proyecto SerDes ITESOTV1, ITESO, Tlaquepaque, Jalisco, 2015.
- [4] Budruck, Anderson, Shanley, “PCI Express System Architecture” Novena edición, Colorado Springs, CO, 2003.
- [5] Godínez Maldonado, Ricardo, “Test Module Design for ITESO TV1 SerDes”, Tesis de especialización, Departamento de electrónica, sistemas e informática, ITESO, Tlaquepaque, Jalisco, Diciembre 2015.
- [6] Nuñez Corona, Saúl Alfonso, “Diseño de circuito analógico de polarización para sistema SerDes”, Departamento de electrónica, sistemas e informática, ITESO, Tlaquepaque, Jalisco, Diciembre 2015.
- [7] Juárez, Esdras, “Design of Analog Integrated Circuits, Lecture 4: OTA Fundamentals”, Material de curso de diseño de circuitos integrados analógicos, segundo módulo. Freescale - ITESO, Tlaquepaque, Jalisco, Marzo 2013.
- [8] Martínez Guerrero, Esteban, “Tutorial: Información general de la tecnología CMOS IBM\_cmr7sf”, Tutorial con caracterización de tecnología CMOS de IBM de 180nm. ITESO, Tlaquepaque, Jalisco, Mayo 2015.
- [9] Padilla Cantoya, Iván, “Corner Simulations using ADE XL”, Tutorial de simulaciones de esquinas utilizando ADE XL. ITESO, Tlaquepaque, Jalisco.

---

[10] Padilla Cantoya, Iván, “Tutorial: Montecarlo Simulations using ADE XL”, Tutorial de simulaciones Montecarlo utilizando ADE XL. ITESO, Tlaquepaque, Jalisco.

[11] IEEE Std 802.3ae/D2.01 Annex 48A, “Jitter Test patterns”, January 15, 2015.

[12] Maxim Integrated, “Measuring Deterministic Jitter with a K28.5 Pattern and an Oscilloscope”, Application Note: HFAN-4.5.0 Rev1, April 2008.

[13] Martínez Guerrero, Esteban, Moreno Contreras, Alberto, “Tutorial (parte 3): Generación de layout en tecnología CMOS 180 nm (proceso IBM\_7sf) usando Virtuoso XL”, Tutorial de generación de layout para tecnología CMOS 180 nm (proceso IBM\_7sf), ITESO, Tlaquepaque, Jalisco, Abril 2015.

[14] Martínez-Guerrero, Esteban, “Tutorial (parte 4): Verificación de layout en tecnología CMOS 180nm (proceso IBM\_7sf) usando Assura-Cadence”, ITESO, Tlaquepaque, Jalisco, Abril 2015.

Juárez, Esdras, “Design of Analog Integrated Circuits, Lecture 3: General System Concepts”, Material de curso de diseño de circuitos integrados analógicos, segundo módulo. Freescale - ITESO, Tlaquepaque, Jalisco, Febrero 2013.

Juárez, Esdras, “Design of Analog Integrated Circuits, Lecture 4: Differential Amplifier Design”, Material de curso de diseño de circuitos integrados analógicos, segundo módulo. Freescale - ITESO, Tlaquepaque, Jalisco, Septiembre 2014.



Resultados de simulaciones transitorias del core del amplificador.

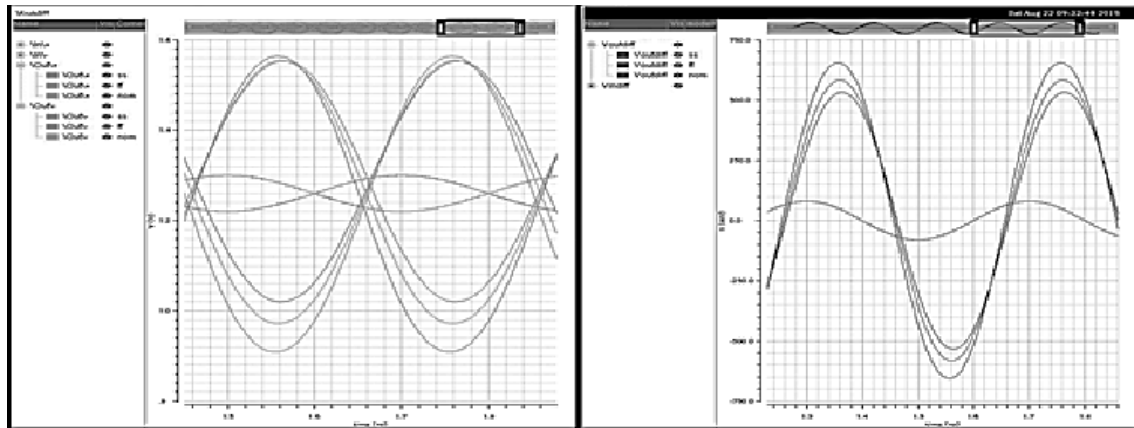


Figura 5.1. Respuesta transitoria a señal senoidal de 40mV@2.5GHz

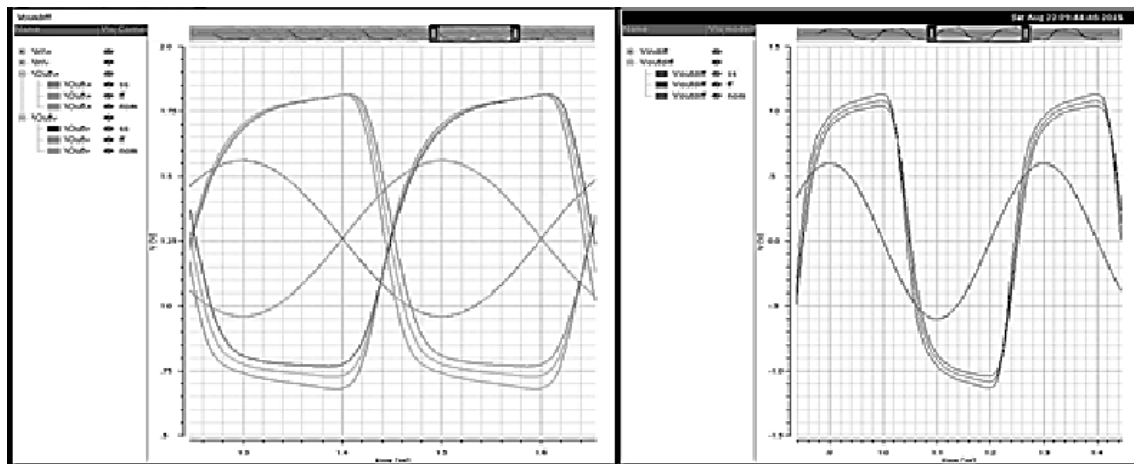


Figura 5.2. Respuesta transitoria a señal senoidal de 300mV@2.5GHz

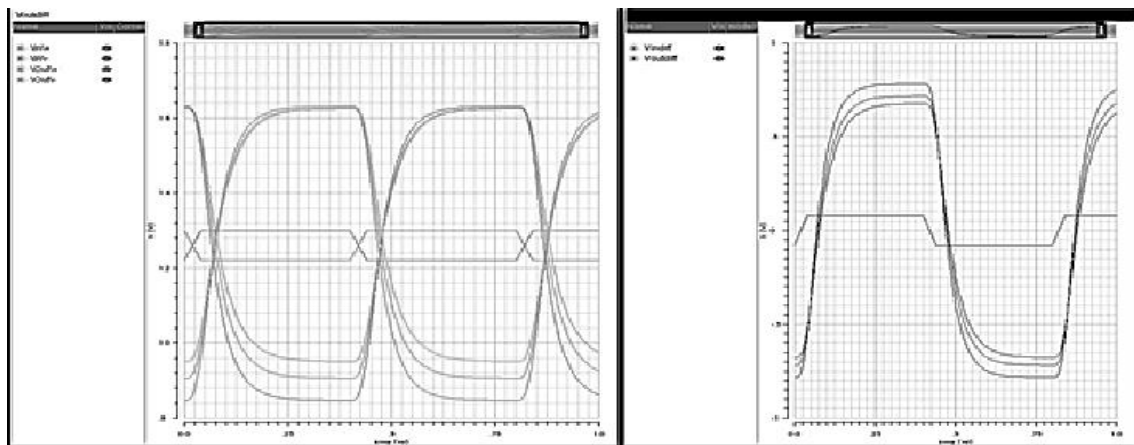


Figura 5.3. Respuesta transitoria a señal cuadrada de 40mV@1.25GHz

# Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

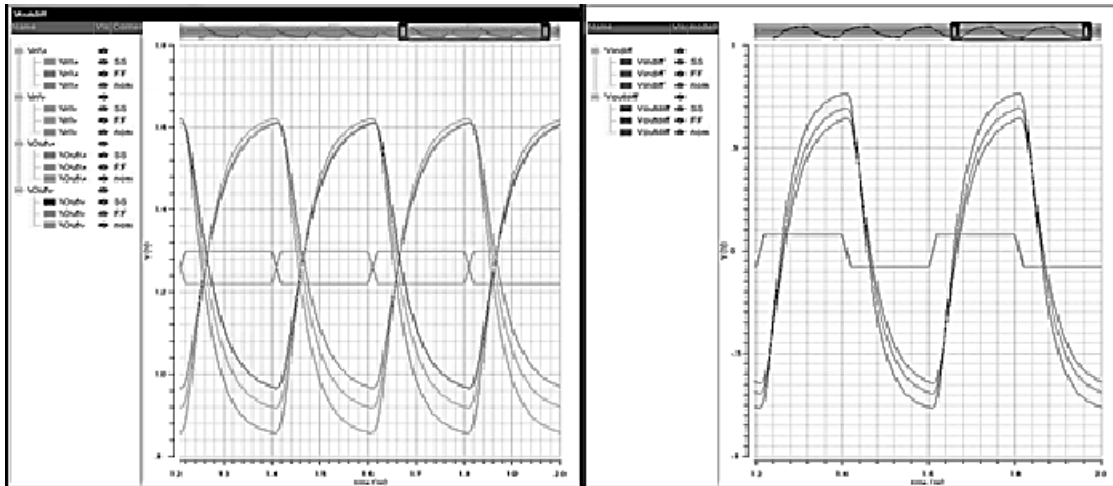


Figura 5.4. Respuesta transitoria a señal cuadrada de 40mV@2.5GHz

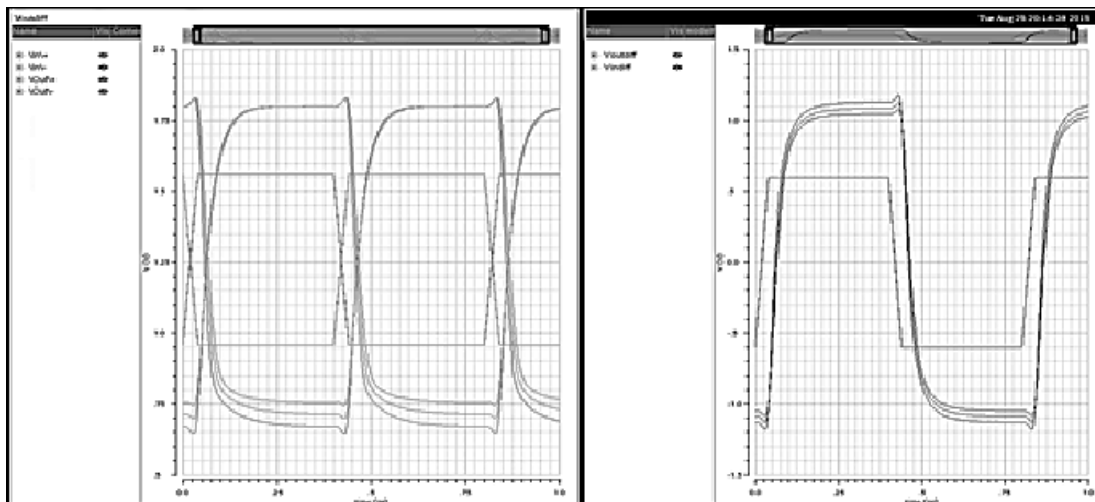


Figura 5.5. Respuesta transitoria a señal cuadrada de 300mV@1.25GHz

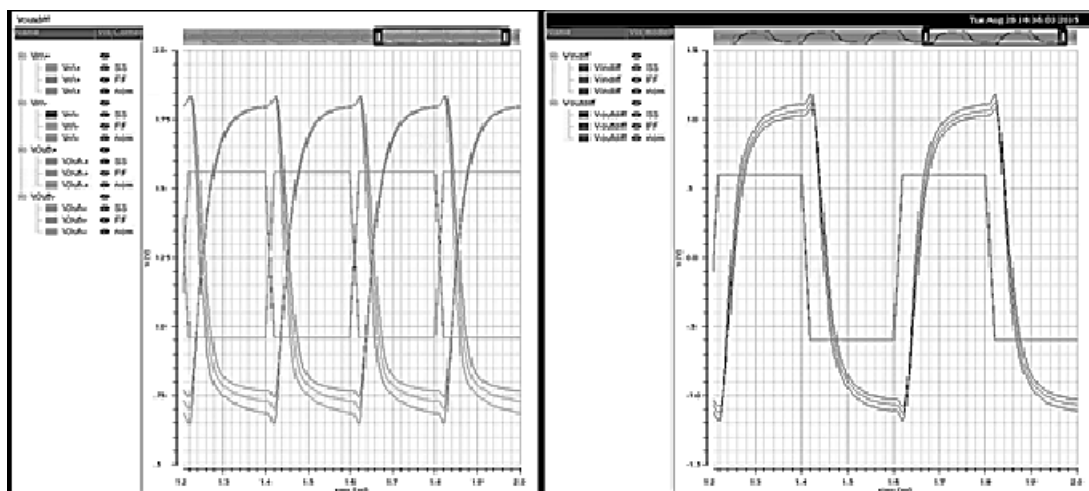


Figura 5.6. Respuesta transitoria a señal cuadrada de 300mV@2.5GHz

Resultados de simulaciones por variaciones de mismatch del core del amplificador

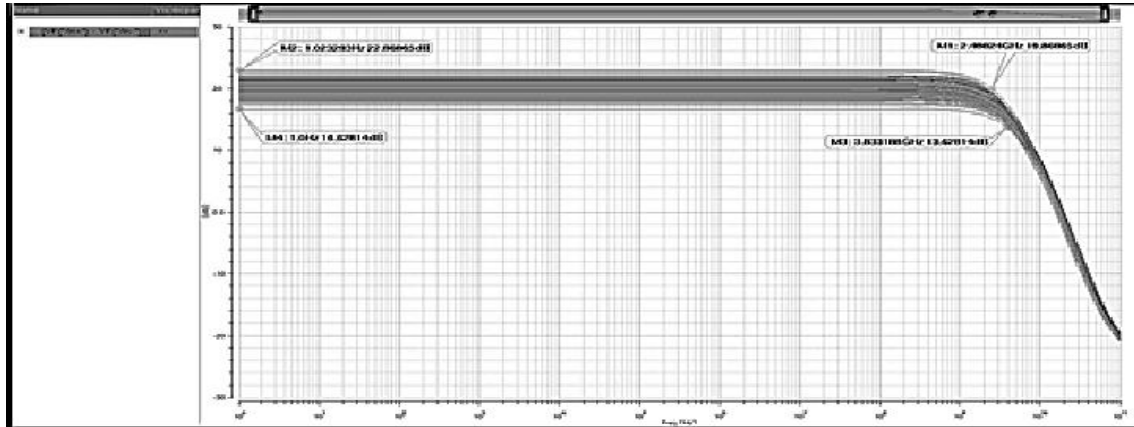


Figura 5.7. Respuesta en frecuencia con 200 variaciones de mismatch.

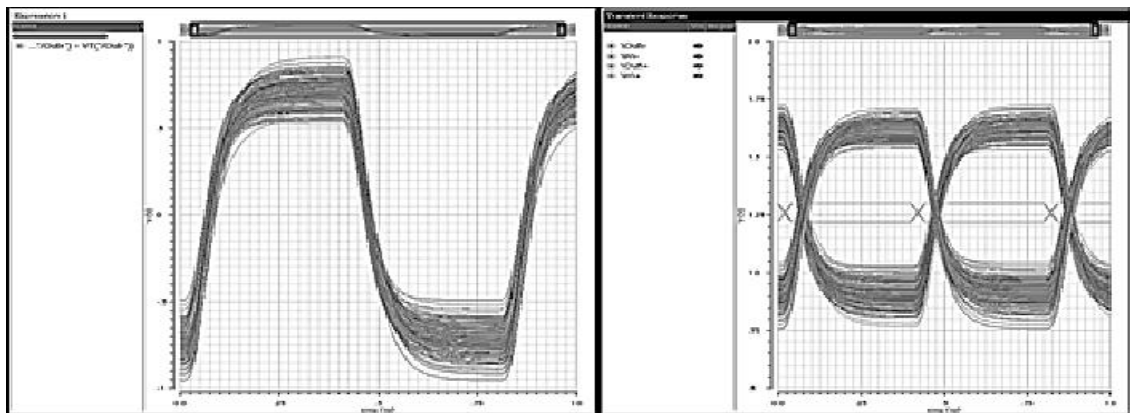


Figura 5.8. Respuesta transitoria de una señal cuadrada de 40mV@1.25GHz con 200 variaciones de mismatch.

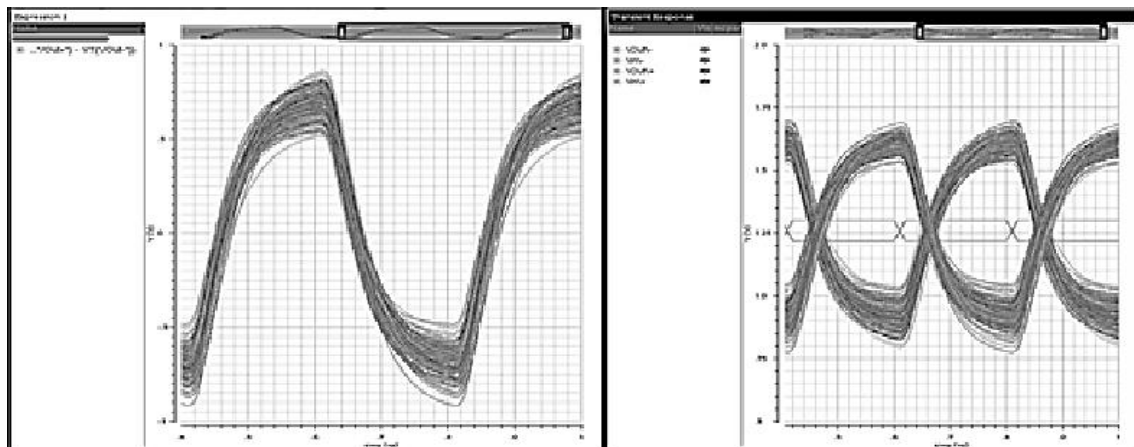


Figura 5.9. Respuesta transitoria de una señal cuadrada de 40mV@2.5GHz con 200 variaciones de mismatch.

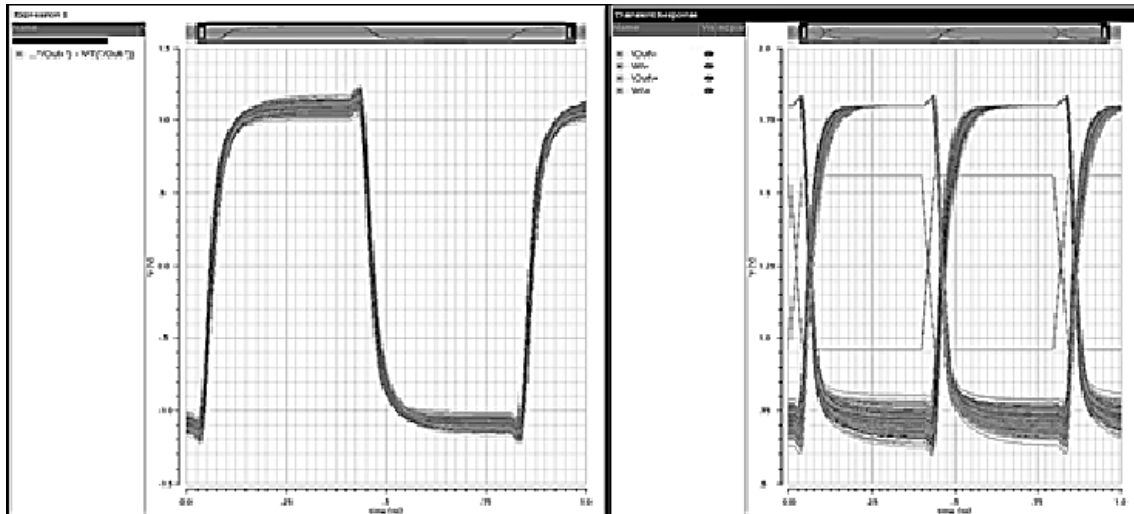


Figura 5.10. Respuesta transitoria de una señal cuadrada de 300mV@1.25GHz con 200 variaciones de mismatch.

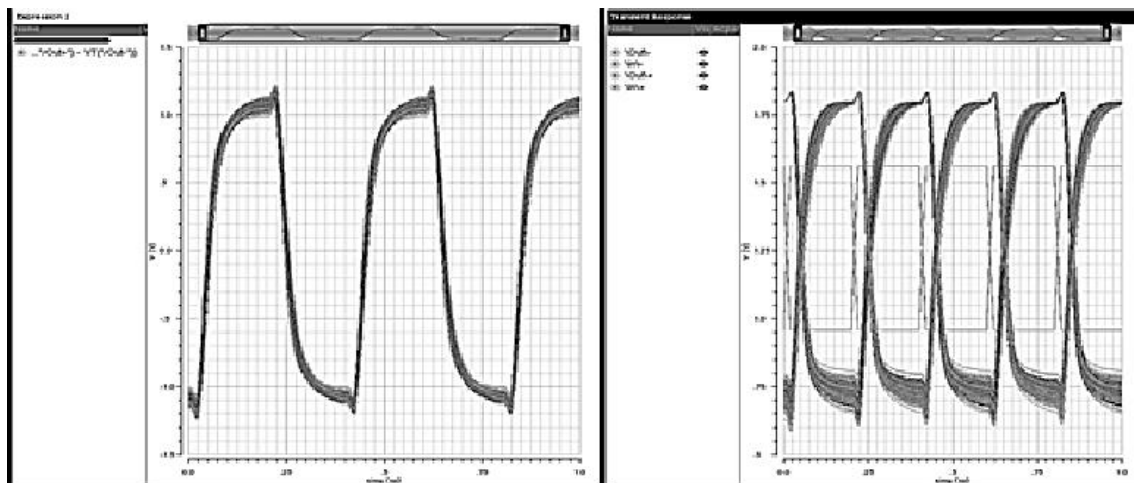


Figura 5.11. Respuesta transitoria de una señal cuadrada de 300mV@2.5GHz con 200 variaciones de mismatch.

*Resultados de simulaciones de primer patrón K28.5 con varias esquinas de prueba y variaciones de mismatch.*

En las siguientes imágenes se hace referencia a proceso tt cuando transistores tanto canal n como p son de velocidad típica, a ss cuando ambos transistores son lentos y ff cuando ambos son rápidos. Con respecto a los voltajes, se considera un voltaje bajo con un valor de 1.71V, un voltaje típico de 1.8V y uno alto de 1.89V.

*Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1*

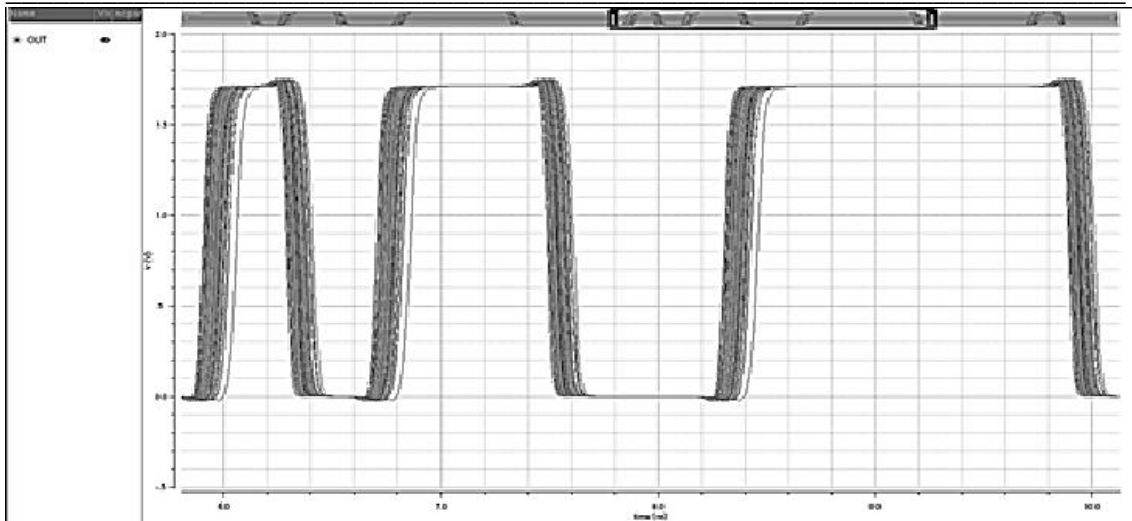


Figura 5.12. Simulación montecarlo de primer patrón K28.5 de esquina tt, bajo voltaje, 125°C

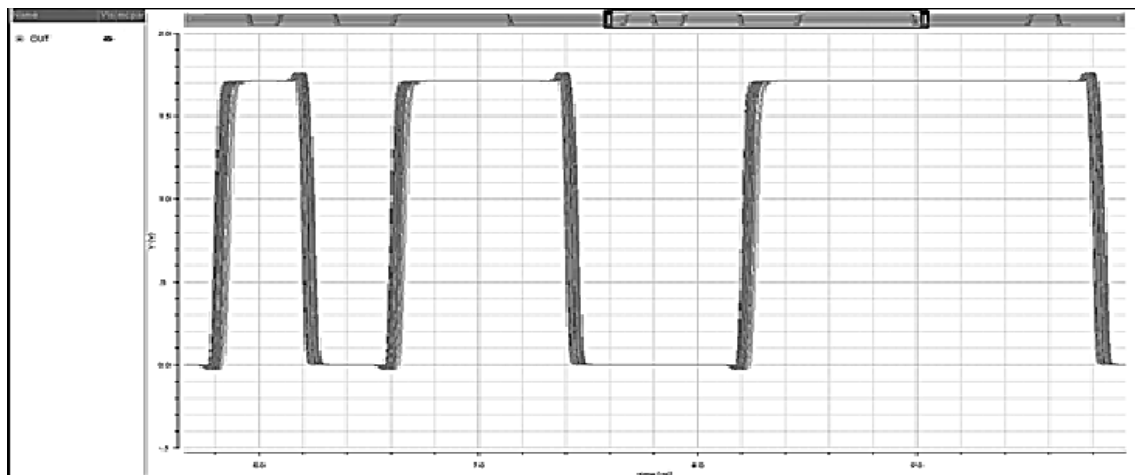


Figura 5.13. Simulación montecarlo de primer patrón K28.5 de esquina tt, bajo voltaje, -40°C

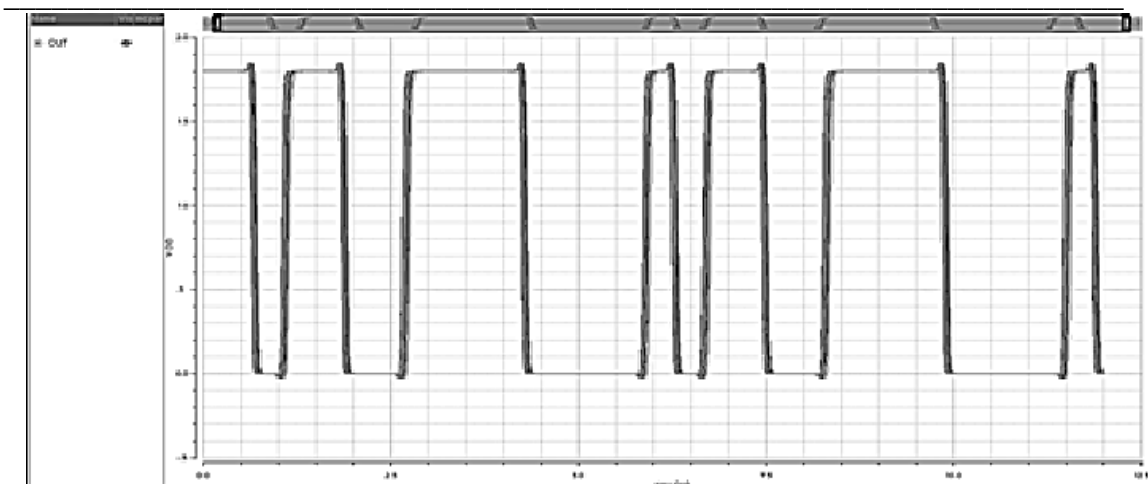


Figura 5.14. Simulación montecarlo de primer patrón K28.5 de esquina tt, voltaje nominal, 65°C

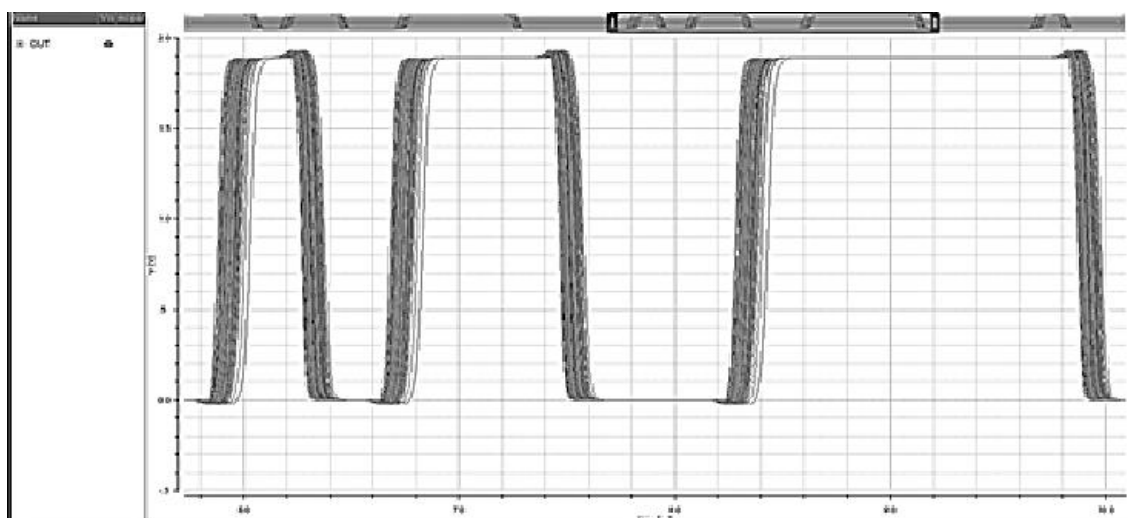


Figura 5.15. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, 125°C

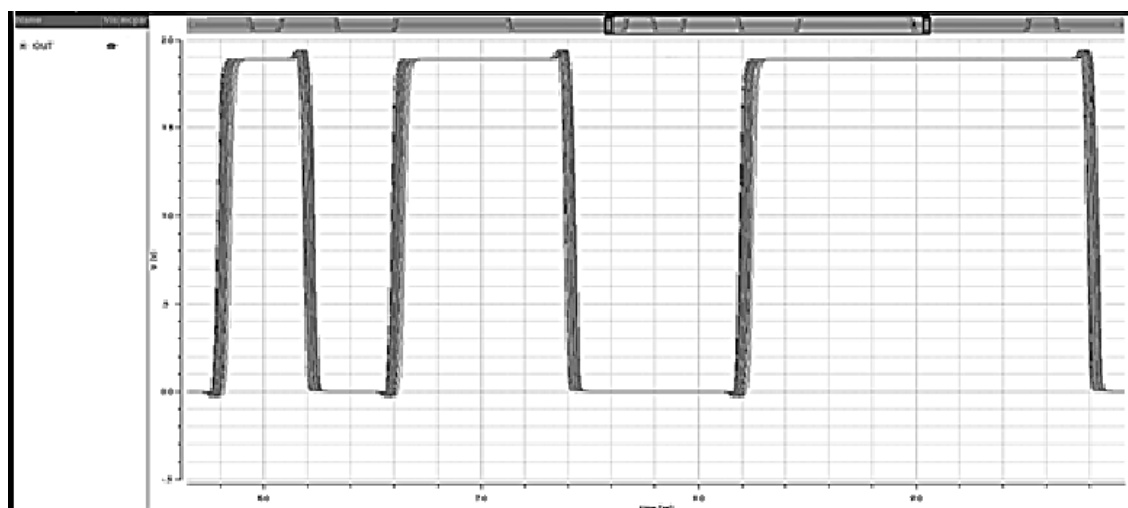


Figura 5.16. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, -40°C

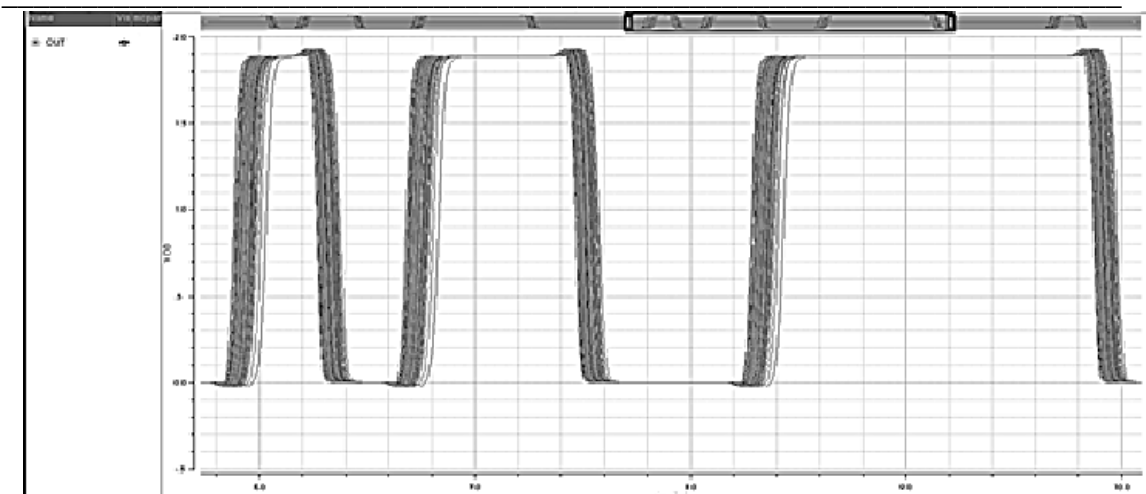


Figura 5.17. Simulación montecarlo de primer patrón K28.5 de esquina tt, alto voltaje, 65°C

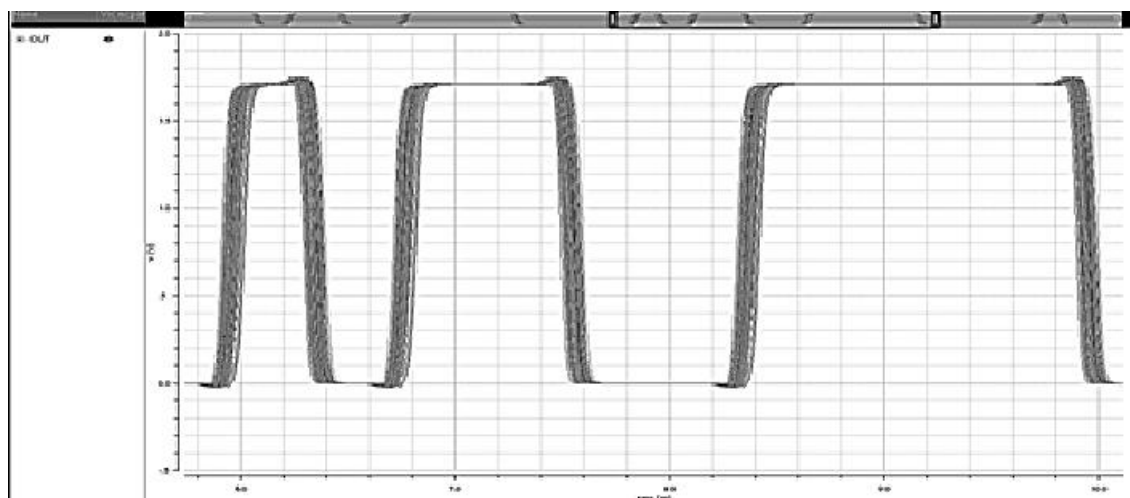


Figura 5.18. Simulación montecarlo de primer patrón K28.5 de esquina ss, bajo voltaje, 125°C

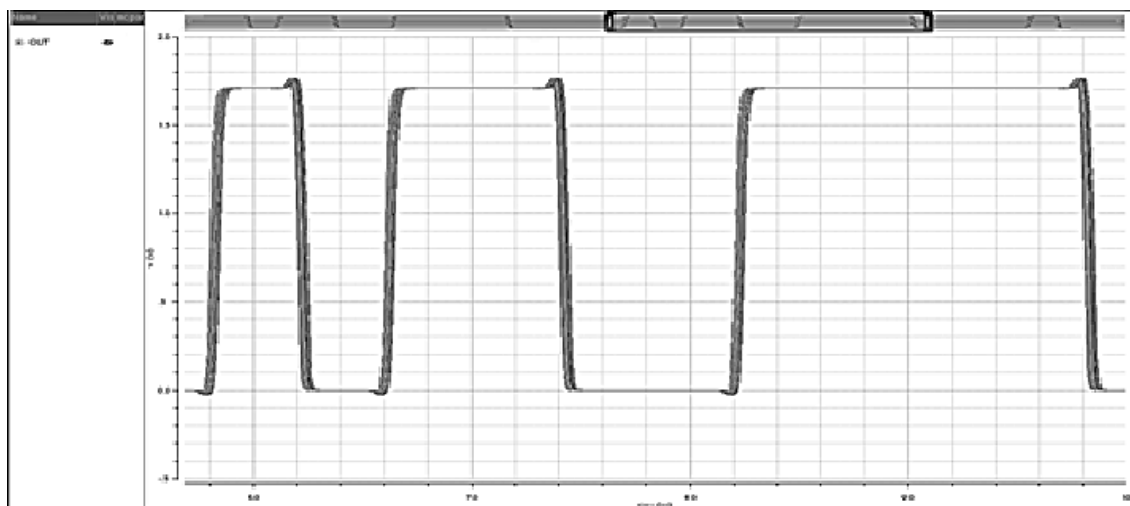


Figura 5.19. Simulación montecarlo de primer patrón K28.5 de esquina ss, bajo voltaje, -40°C

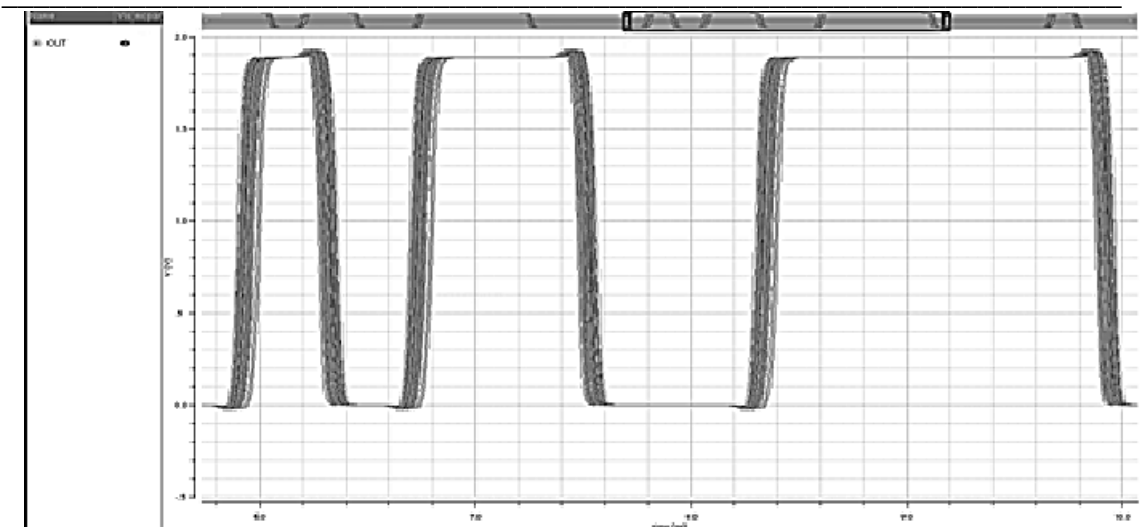


Figura 5.20. Simulación montecarlo de primer patrón K28.5 de esquina ff, alto voltaje, 125°C

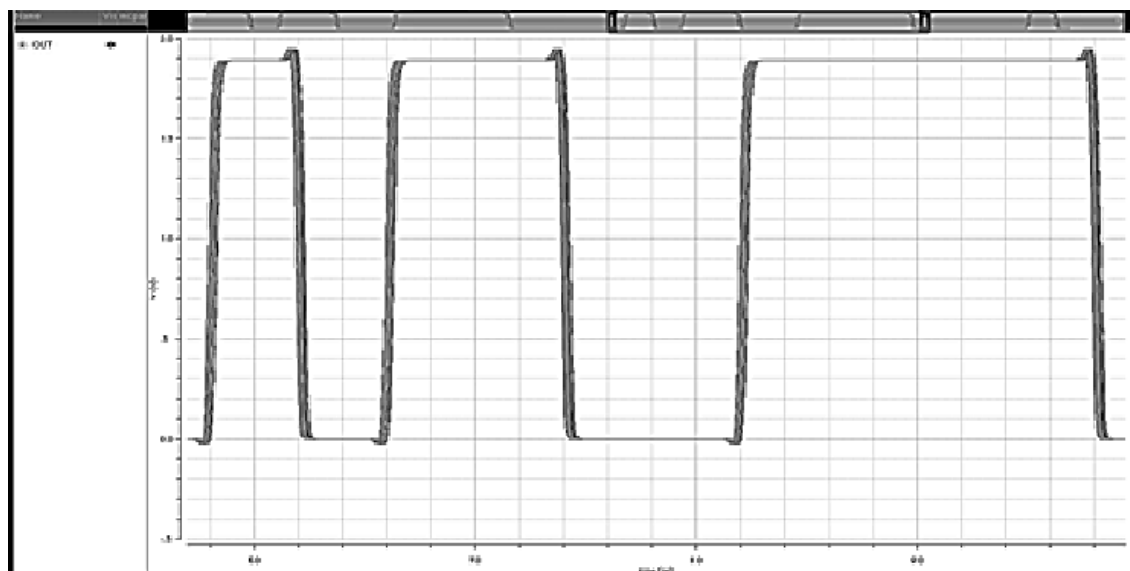


Figura 5.21. Simulación montecarlo de primer patrón K28.5 de esquina ff, alto voltaje, -40°C

*Resultados de simulaciones del segundo patrón K28.5 con varias esquinas de prueba y variaciones de mismatch.*



## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

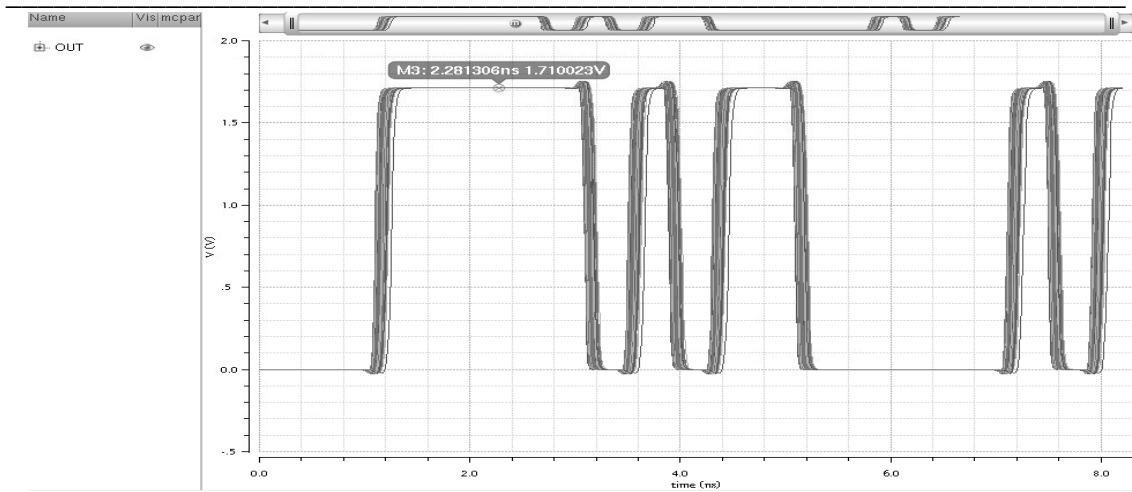


Figura 5.22. Simulación montecarlo de segundo patrón K28.5 de esquina tt, bajo voltaje, 125°C

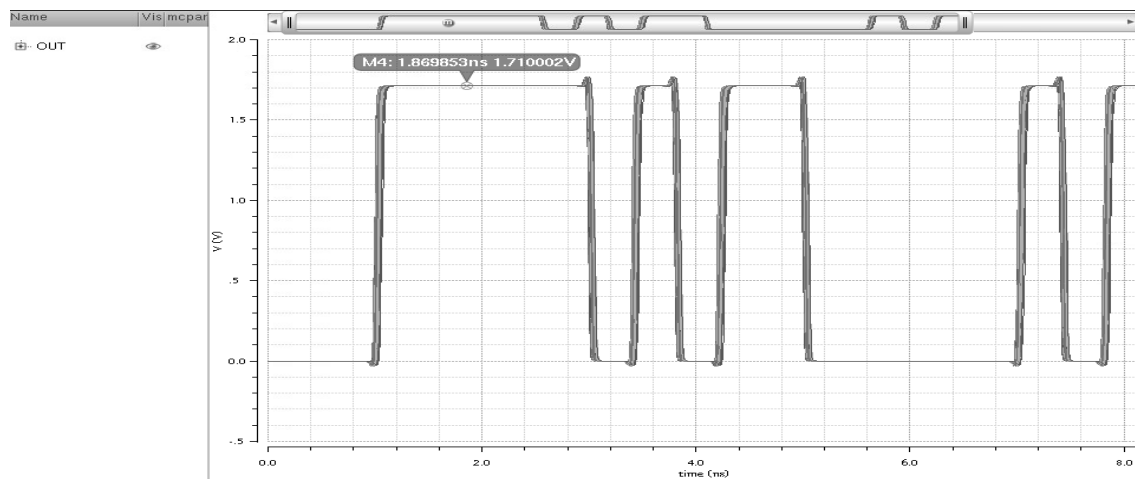


Figura 5.23. Simulación montecarlo de segundo patrón K28.5 de esquina tt, bajo voltaje, -40°C

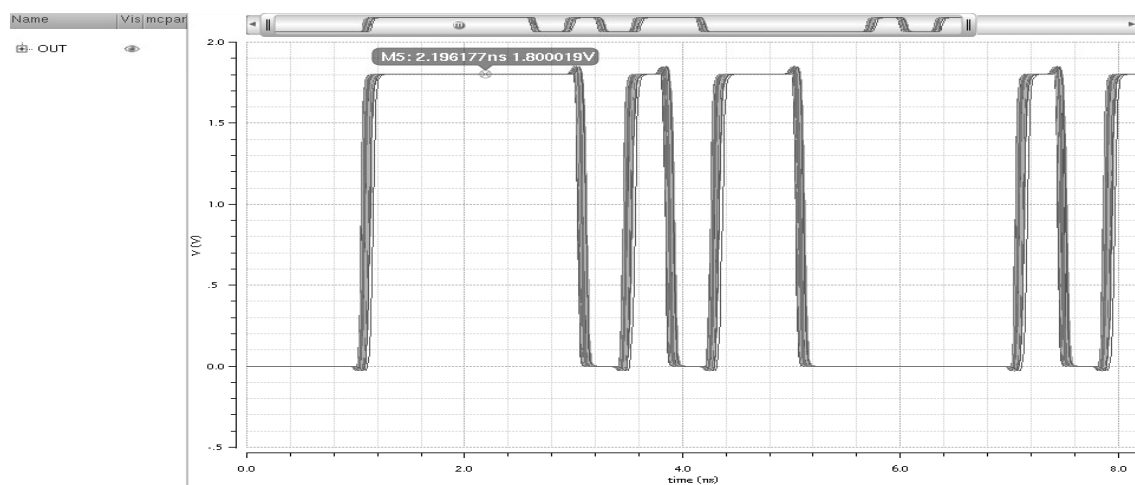


Figura 5.24. Simulación montecarlo de segundo patrón K28.5 de esquina tt, voltaje nominal, 65°C

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

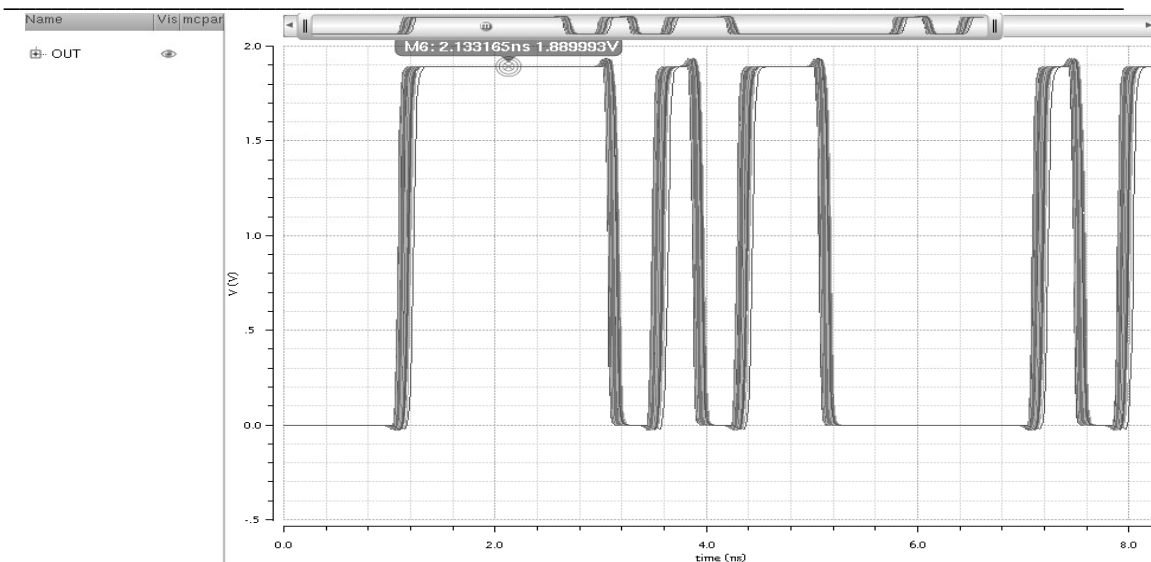


Figura 5.25. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, 125°C

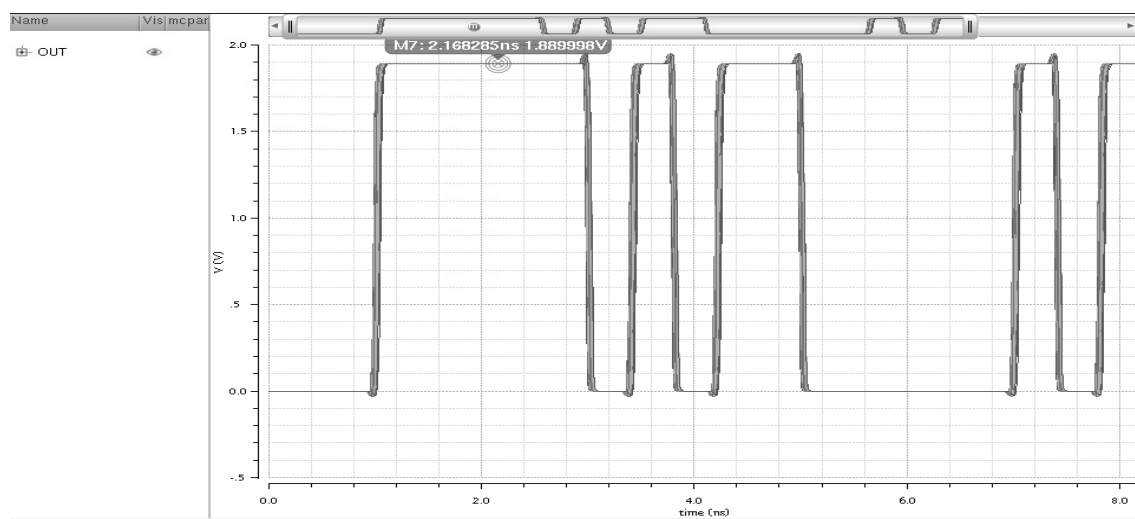


Figura 5.26. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, -40°C

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

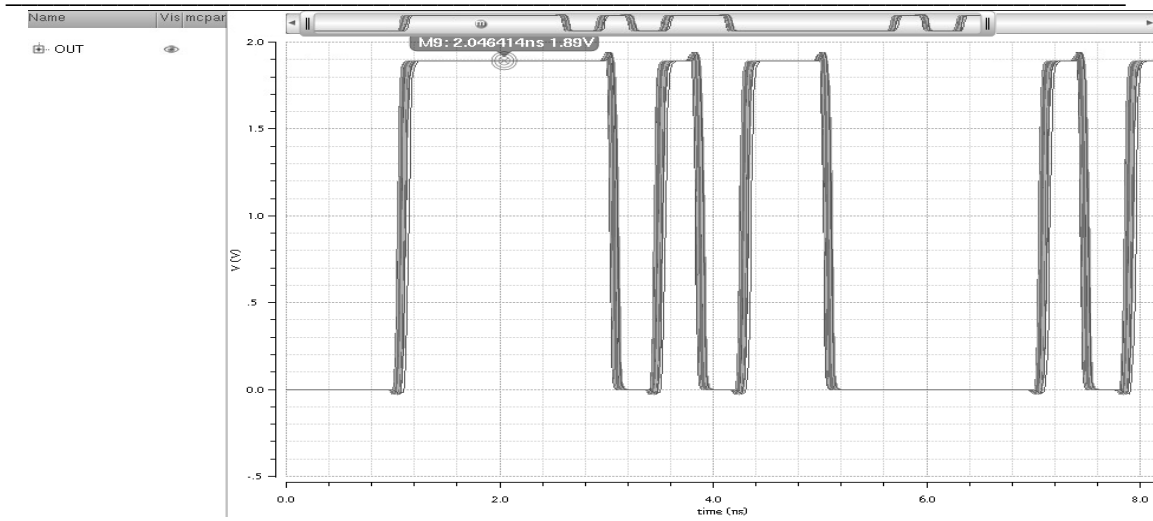


Figura 5.27. Simulación montecarlo de segundo patrón K28.5 de esquina tt, alto voltaje, 65°C

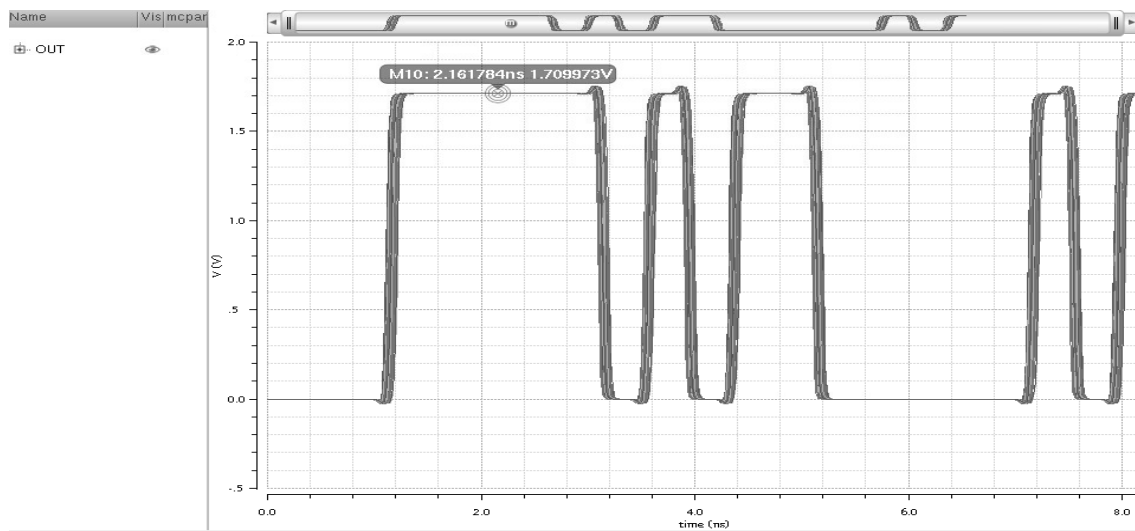


Figura 5.28. Simulación montecarlo de segundo patrón K28.5 de esquina ss, bajo voltaje, 125°C

## Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTVI

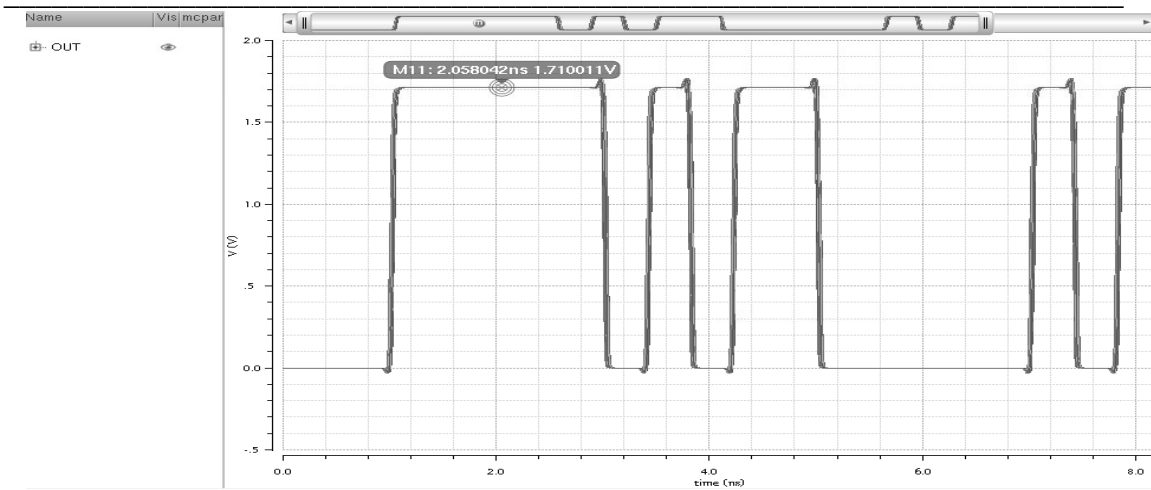


Figura 5.29. Simulación montecarlo de segundo patrón K28.5 de esquina ss, bajo voltaje, -40°C

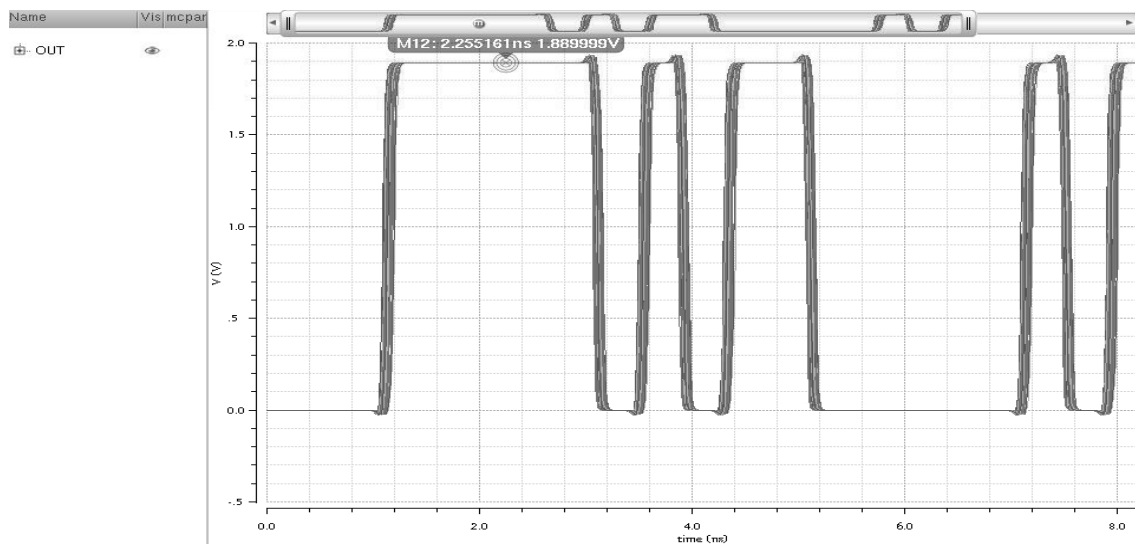


Figura 5.30. Simulación montecarlo de segundo patrón K28.5 de esquina ff, alto voltaje, 125°C

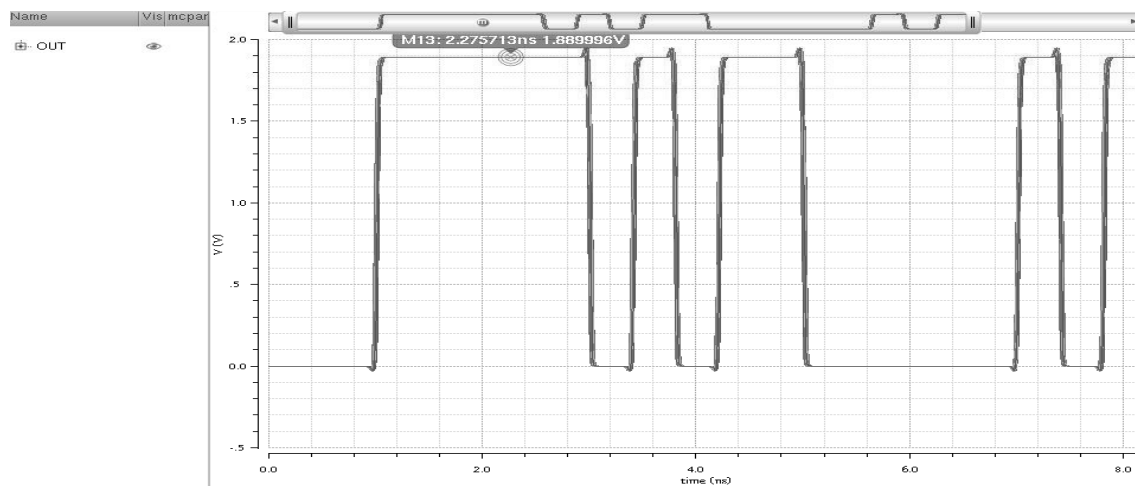


Figura 5.31. Simulación montecarlo de segundo patrón K28.5 de esquina ff, alto voltaje, -40°C