



Durcissement par conception d'ASIC analogiques

Yohan Piccin

► **To cite this version:**

Yohan Piccin. Durcissement par conception d'ASIC analogiques. Électronique. Université de Bordeaux, 2014. Français. <NNT : 2014BORD0145>. <tel-01148495>

HAL Id: tel-01148495

<https://tel.archives-ouvertes.fr/tel-01148495>

Submitted on 4 May 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ BORDEAUX

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Yohan, PICCIN

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

**DURCISSEMENT PAR LA CONCEPTION D'ASIC
ANALOGIQUES**

Directeur de thèse : Yann DEVAL

Co-directeur de thèse : Hervé LAPUYADE

Soutenue le : 27 juin 2014

Devant la commission d'examen formée de :

M.	H. BARNABY	Professeur, Arizona State University	Rapporteur
Mme	V. FERLET-CAVROIS	Ingénieur, ESA, Noordwijk	Rapporteur
M.	E. KERHERVE	Professeur, IMS, Bordeaux	Président du jury
M.	L. BECHOU	Professeur, IMS, Bordeaux	Examineur
M.	Y. DEVAL	Professeur, IMS, Bordeaux	Directeur de thèse
M.	H. LAPUYADE	Maître de conférences, IMS, Bordeaux	Co-directeur de thèse
M.	J.-Y. SEYLER	Ingénieur, CNES, Toulouse	Examineur
M.	F. GOUTTI	Ingénieur, STMicroelectronics, Grenoble	Examineur
Mme	C. MORCHE	Ingénieur, STMicroelectronics, Grenoble	Membre invité
M.	F. RIVET	Maître de conférences, IMS, Bordeaux	Membre invité

Résumé :

Les travaux de cette thèse sont axés sur le durcissement à la dose cumulée des circuits analogiques associés aux systèmes électroniques embarqués sur des véhicules spatiaux, satellites ou sondes. Ces types de circuits sont réputés pour être relativement sensibles à la dose cumulée, parfois dès quelques krad, souvent en raison de l'intégration d'éléments bipolaires. Les nouvelles technologies CMOS montrent par leur intégration de plus en plus poussée, un durcissement naturel à cette dose.

L'approche de durcissement proposée ici, repose sur un durcissement par la conception d'une technologie commerciale « full CMOS » du fondeur STMicroelectronics, appelée HCMOS9A. Cette approche permet d'assurer la portabilité des méthodes de durcissement proposées d'une technologie à une autre et de rendre ainsi accessible les nouvelles technologies aux systèmes spatiaux. De plus, cette approche de durcissement permet de faire face aux coûts croissants de développement et d'accès aux technologies durcies.

Une première technique de durcissement à la dose cumulée est appliquée à une tension de référence « full CMOS ». Elle ne fait intervenir ni jonction p-n parasites ni précautions de layout particulières mais la soustraction de deux tensions de seuil qui annulent leurs effets à la dose cumulée entre elles. Si les technologies commerciales avancées sont de plus en plus utilisées pour des applications spécialement durcies, ces dernières exhibent en contrepartie de plus grands offsets que les technologies bipolaires. Cela peut affecter les performances des systèmes. La seconde technique étudiée : l'auto zéro, est une solution efficace pour réduire les dérives complexes dues entre autres à la température, de l'offset d'entrée des amplificateurs opérationnels. Le but ici est de prouver que cette technique peut tout aussi bien contrebalancer les dérives de l'offset dues à la dose cumulée.

Mots clés : durcissement, Dose cumulée, technologie CMOS, référence de tension, amplificateur opérationnel.

Abstract:

The purpose of this thesis work is to investigate circuit design techniques to improve the robustness to Total Ionizing Dose (TID) of analog circuits within electronic systems embedded in space probes, satellites and vehicles. Such circuits often contain bipolar transistor components which are quite sensitive to cumulated radiation dose. However highly integrated CMOS technology has been shown to exhibit better natural TDI hardening.

The approach proposed here is a hardening by design using a full CMOS semiconductor technology commercially available from STMicroelectronics called HCMOS9A. The proposed generic hardening design methods will be seen to be compatible and applicable to other existing or future process technologies. Furthermore this approach addresses the issue of ever-increasing development cost and access to hardened technologies.

The first TID hardening technique proposed is applied to a full-CMOS voltage reference. This technique does not involve p-n junctions nor any particular layout precaution but instead is based on the subtraction of two different threshold voltages which allows the cancellation of TDI effects.

While the use of advanced commercial CMOS technologies for specific radiation-hardened applications is becoming more common, these technologies suffer from larger input offset voltage drift than their bipolar transistor counterparts, which can impact system performance. The second technique studied is that of auto-zeroing, which is an efficient method to reduce the complex offset voltage drift mechanisms of operational amplifiers due to temperature. The purpose here is to prove that this technique can also cancel input offset voltage drift due to TID.

Index term: hardening, cumulated dose, CMOS technology, voltage reference, operational amplifier.

Index term: hardening, cumulated dose, CMOS technology, voltage reference, operational amplifier.

*A la mémoire de mon père et à ma mère qui m'a
toujours soutenue dans tous les moments de ma vie.*

« Il ne sert de rien à l'homme de gagner la lune s'il vient à perdre la Terre. »

François Mauriac, 1885-1970

Remerciements

Une thèse est un aboutissement personnel qui ne pourrait arriver à son terme sans l'implication de près ou de loin d'un grand nombre de personnes qui, tant par leur encadrement, leurs compétences et leur soutien, contribuent à son bon déroulement. A l'heure d'achever ce manuscrit, il est donc temps pour moi de me retourner sur ces trois années de thèse et de les remercier...

Cette thèse s'est déroulée en tripartite au laboratoire IMS de l'université de Bordeaux 1, sous l'impulsion du CNES Toulouse et en collaboration avec STMicroelectronics Grenoble. Dans ce contexte, je tiens à remercier le Professeur Pascal FOUILLAT, directeur du laboratoire IMS et son successeur le Professeur Claude PELLET, pour m'avoir accueilli au sein de leur établissement et permis la réalisation de ces travaux. J'adresse mes chaleureux remerciements à mon directeur de thèse, le Professeur Yann DEVAL pour m'avoir accordé sa confiance en acceptant de diriger cette thèse, pour les conseils précieux dont j'ai bénéficiés, ainsi que son sens de l'humour, sa bonne humeur et sa joie de vivre que j'apprécie beaucoup. Ma gratitude et ma reconnaissance vont au Maître de Conférences Hervé LAPUYADE, co-directeur de la thèse, pour sa disponibilité, son soutien, ses suivis réguliers et sa patience qu'il a gardé jusqu'au bout. J'associe à ces remerciements Colette MORCHE et Frederick GOUTTI de chez STMicroelectronics pour leur collaboration et leur accueil au sein de leur groupe lors de mes nombreux séjours Grenoblois. Je remercie également Jean-Yves SEYLER responsable de la thèse pour le CNES pour son suivi notamment lors des tests aux radiations.

Je remercie ici le Maître de conférences (HDR) Thierry TARIS et le Professeur Jean-Baptiste BEGUERET, responsables de l'équipe conception de circuits dans laquelle j'ai passé une grande partie de la thèse, pour leur accueil, leur aide et leurs encouragements. De plus et pour les mêmes raisons, je tiens à remercier ici aussi le Maître de conférence François RIVET, chef de l'équipe conception and système dont j'ai intégré en fin de parcours.

Je remercie le Professeur Eric KERHERVE pour avoir participé et présidé le jury de ma soutenance. J'adresse mes sincères remerciements à Véronique FERLET-CAVROI ingénieur (HDR) à l'ESA, Eindhoven, Pays-Bas et Hugh BARNABY Professeur à l'Arizona State University d'avoir rapporté cette thèse et apporté leurs remarques constructives. Merci au Professeur Laurent BECHOU, à Monsieur Frédéric GOUTTI, à Monsieur Jean-Yves SEYLER, à

Madame Colette MORCHE et au Maître de conférences François RIVET d'avoir examiné cette thèse.

J'ai pu bénéficier lors de mes séjours à Grenoble chez STMicroelectronics, de toutes les compétences et du professionnalisme des membres du groupe Analog, MEMS and Sensors supervisée par Thierry FALQUE que je le remercie pour son accueil. Je remercie Hélène ESCH et Thierry MASSON pour leurs nombreux conseils, Thibaut LARDEAU pour son aide précieuse lors des phases de layout et Olivier CROISAT pour avoir mené à bien les mises en boîtier des circuits. J'adresse toute ma sympathie aux autres membres de l'équipe : Vincent, Pavel, Sandrine, Dominique, Serge, Bruno, Jean-François, Laurence... J'ajoute à ces remerciements Guillaume BERTRAND de l'équipe modélisation basée sur le site de Crolles, pour sa contribution qui nous a permis d'approfondir l'analyse des résultats de mesure.

La campagne de radiation s'est déroulée au laboratoire TRAD à Toulouse sous la direction d'Alexandre ROUSSET et le suivi de Benjamin RENAUD dont je remercie tous deux pour leur encadrement, leur disponibilité et leur écoute.

Merci particulièrement aux ingénieurs du groupe conception pour leurs disponibilités et leurs soutiens qui ont contribué à l'avancement de mes recherches : Olivier MAZOUFFRE (RTFM), Magali DEMATOS, Nejdat DEMIREL, Yohann LUQUE, André MARIANO.

Un grand merci à Simone VAN DANG pour sa gentillesse et tous ses petits trucs qui nous facilitent la vie au quotidien. Je remercie toute l'équipe informatique Patrice, Régis, auxquels j'associe Victor DUPUY. Je remercie à nouveau le Professeur Eric KERHERVE pour m'avoir fait confiance en me sollicitant pour encadrer des projets à l'ENSEIRB, ce fut une expérience très enrichissante. Puisque je suis à citer des membres de l'équipe CSH, je remercie également la Maître de conférences (HDR) Natalie DELTIMPE et le Maître de Conférences Anthony pour leur soutien. Je tiens aussi à remercier tout le personnel de l'ENSEIRB qui m'ont fait partager leurs expériences et de leurs savoir-faire : Dominique MARSAN, Jérôme GAL, Guy MORIZET, Jean-Marc MICOULOT, Arnaud CURUTCHET et Valery LEBRET, Philippe DONDON...

Je salue tous mes compagnons de route, ceux de longues dates : Dean KAROLAK, Aurélien LARIE, ceux qui m'ont intégré dans le laboratoire et partagé leur connaissances : Quentin BERAUD, Aya MABROUKI, Paolo LUCCHI, Yoann ABIVEN, Andrée FOUQUE, Pierre-Olivier LUCAS DE PESLOUAN, Diego ROSSONI MATOS, Raffaele SEVERINO,

Nicolas REGIMBAL, Sofiane ALOUI, Nejdât DEMIREL, Adrien TUFFERY, Sophie DREAN, Bernardo LEITE, Hassene KRIMIA, Kamal BARAKA, ceux qui m'ont rejoint en cours de route : François FADHUILE, Victor DUPUY, Dwight, Marcos, Jérémy PRADE, David POLGE, Yoann VERAC (encore un), ceux avec qui j'ai pu avoir des conversations autour d'un café (ou autre...) : Nogaye MBAYE, Mario WEISZ, Marcos, Pamela DEL VECCHIO, Rosario AMORIN, Julien MEIGE, Kamal EL BOUBKARI (mon camarade cycliste)...

Comment ne pas remercier mes camarades enseirbiens : mon cousin Jérémie COULOM, mon binôme Yoan BELAT (le dernier pour la route), Mathieu BETIZEAU, Nicolas TYTGAT tout comme Charlène MUÑOZ, Elise LATAST, Aurélie LE PIN'S, Sophie LELEUX, Amandine SCUIBA. Merci à vous tous pour les nombreux weekends passés ensemble et les traditionnels repas du dimanche soir qui resteront des moments inoubliables.

Mes plus profonds remerciements vont à ma famille qui a toujours été fière de moi, et toujours été là pour moi. En particulier à ma mère, à mon frère Franck, à ma sœur Mathilde et à mon grand-père. Merci aussi à celle qui a partagé ma vie tout au long de cette thèse : Henrike.

Enfin Merci à tous ceux qui m'ont apporté un jour support et soutien et dont j'ai oublié de mentionner dans ces lignes.

Sommaire

Introduction générale	1
Chapitre 1. L'environnement spatial et ses effets	5
1 L'environnement radiatif spatial	5
1.1 Les rayonnements cosmiques	5
1.2 Les rayonnements solaires	6
1.3 Les ceintures de radiation.....	8
2 Les effets des radiations sur les circuits électroniques.....	9
2.1 Les effets de dose TID	11
2.2 L'effet du débit de dose.....	12
2.3 Les effets de déplacement	13
2.4 Les effets singuliers.....	13
3 Rappel sur les transistors MOS	14
3.1 Généralités.....	14
3.2 Modes de fonctionnement	16
3.3 Coefficient d'inversion.....	19
4 Les effets des radiations sur les transistors MOS.....	20
4.1 Effet de dose : accumulation de charges dans les oxydes	20
4.2 Effets du débit de dose	25
4.3 Effets de déplacement	26
4.4 Effets singuliers.....	26
4.5 Effets des radiations considérés	27
5 Etat de l'art des techniques de durcissement.....	28
5.1 Durcissement au niveau technologique.....	28
5.2 Durcissement au niveau circuit	31

5.3	Durcissement au niveau système.....	33
6	Conclusion.....	35
Chapitre 2.	Référence de tension durcie à la dose cumulée.....	37
1	Etat de l'art des références de tension.....	38
1.1	Référence de tension bandgap.....	38
1.2	Référence de tension CMOS.....	51
1.3	Tensions de référence durcies aux radiations.....	52
1.4	Comparatif.....	53
2	Techniques de durcissement de la tension de référence.....	54
2.1	Variation de la tension de seuil avec la température.....	54
2.2	Compensation aux radiations.....	55
2.3	Différence de tensions de seuil.....	55
3	Conception du circuit et résultats de simulation.....	61
3.1	Obtention de la différence des tensions de seuil.....	61
3.2	Longueur de canal.....	63
3.3	Résultats de simulation.....	69
3.4	Architecture hybride.....	74
4	Résultats de mesure.....	76
4.1	Résultats de mesure pré-radiation.....	76
4.2	Résultats de mesure en environnement radiatif.....	78
4.3	Discussion des résultats expérimentaux.....	81
5	Conclusion.....	84
Chapitre 3.	Amplificateur opérationnel à faible offset durci à la dose cumulée.....	87
1	Sources d'erreurs statique des amplificateurs opérationnels.....	88
1.1	Offset.....	88
1.2	Bruit en 1/f.....	89
1.3	Contre-réaction.....	90

1.4	Drift	91
2	Techniques d'annulation d'offset.....	91
2.1	Trimming.....	91
2.2	Chopping	92
2.3	Auto-zéro.....	93
2.4	Effets sur le bruit	96
2.5	Techniques de minimisation de l'offset résiduel.....	98
2.6	Etat de l'art et orientation de l'étude	100
3	Réalisation d'un amplificateur ping-pong à auto-zéro	102
3.1	Principe.....	102
3.2	Conception	103
4	Réalisation d'un amplificateur à auto-zéro à temps continu	104
4.1	Principe.....	104
4.2	Conception	105
5	Résultats de mesures	125
5.1	Implémentation du circuit de mesure et banc de test	126
5.2	Recherche de la fréquence d'auto-zéro optimale	127
5.3	Caractérisations électriques.....	128
5.4	Résultats de mesure aux radiations	129
5.5	Comparaison avec l'état de l'art.....	132
6	Conclusion.....	134
	Conclusion générale.....	137
	Bibliographie.....	139
	Annexes.....	149
	Production scientifique	163

Introduction générale

Avec l'augmentation constante des besoins en télécommunications, des systèmes d'observation de la Terre et l'expansion continue de la conquête de l'espace, la place des circuits électroniques dédiés aux applications spatiales, ne cesse de croître. De par sa composition, l'environnement spatial est très contraignant vis-à-vis des circuits électroniques. Ces derniers sont soumis, d'une part à d'importants stress en température allant de -55°C à 125°C , d'autre part aux radiations qui peuvent provoquer leur dysfonctionnement voire leur destruction. Un cas récent de dysfonctionnement, est la panne survenue en février 2013 sur le rover Curiosity chargé d'explorer la planète Mars [1]. Cette panne est vraisemblablement due à des radiations issues de rayonnements cosmiques. L'enjeu aussi bien scientifique qu'économique d'une telle mission impose aux ingénieurs de prévoir des solutions de recours. Ainsi, ces contraintes constituent un frein dans le temps de développement. Des tests de certification devant être appliqués pour qualifier ces composants afin de déterminer s'ils peuvent être utilisés dans les applications spatiales. Ces composants qui, en général ont suivi une méthodologie de durcissement aux radiations, sont qualifiés de « Rad-Hard ».

Contrairement aux composants destinés entre autres à la téléphonie mobile, les composants dédiés aux applications spatiales, constituent un marché de niche. Ceci explique le fait que le coût des technologies réservées à ces applications est relativement important. De plus certaines méthodologies de durcissement requièrent des modélisations complémentaires, ce qui rallonge de nouveau la mise en œuvre de ces composants. Compte tenu de cette problématique de coût et de temps de développement, de plus en plus, une grande majorité des composants utilisés dans le spatial sont des COTS (commercial off-the-shelf). Toutefois, pour certaines fonctions critiques, l'utilisation de composants durcis reste privilégiée et toujours dans un souci

de coût de développement, il est préférable d'utiliser des technologies dédiées aux applications grand public, telle que la HCMOS9A 130 nm du fondeur STMicroelectronics, retenue pour ces travaux de thèse. Ce choix stratégique pousse les concepteurs à apporter des solutions de durcissement au niveau de la conception. C'est dans ce contexte que se situe la problématique de cette thèse, où, comme applications aux méthodes de durcissement proposées, nous nous focaliserons sur la réalisation d'une référence de tension et d'un amplificateur opérationnel.

Dans le premier chapitre de ce manuscrit, nous allons introduire les différents aspects de l'environnement spatial auquel sont soumis les circuits électroniques. Pour cela nous allons tout d'abord présenter les différentes sources de radiation. Cela va nous amener à décrire dans une deuxième partie, les principaux effets de ces radiations sur les circuits électroniques. En raison de la technologie utilisée dans le cadre de ces travaux de thèse, nous convergerons vers les effets des radiations sur les transistors MOS. Ces derniers auront fait au préalable l'objet d'une analyse pour d'une part faire le parallèle entre leurs caractéristique et les effets des radiations et d'autre part pour poser les conventions de notation prises au cours de ce manuscrit. Ce premier chapitre se termine par l'exposition de l'état de l'art des différentes techniques employées pour durcir les circuits intégrés analogiques tant aux niveaux technologique, circuit que système. Nous montrerons également comment s'oriente l'étude, que ce soit en termes des effets radiatifs considérés ou des circuits étudiés.

Le deuxième chapitre sera consacré à la réalisation de la tension de référence durcie aux radiations. Dans un premier temps, nous dresserons un état de l'art à propos de ces circuits. Habituellement les références de tension sont réalisées en utilisant la tension bandgap générée à l'aide de jonctions PN de diodes ou de transistors bipolaires. Ici, en raison du choix de la technologie, nous établirons des méthodes de durcissement au niveau circuit des références de tension implémentées en technologies CMOS. Dans la troisième partie de ce chapitre, nous détaillerons la conception d'une référence de tension utilisant une des méthodes proposées dans la partie précédente. En réalité, nous verrons deux références de tension, certes issues de la même méthode de durcissement, mais qui diffèrent dans la façon dont leur layout a été réalisé. Ces deux circuits ont été irradiés et leurs performances mesurées. Ces résultats de mesures et leur analyse sont présentés dans la quatrième partie. Nous concluons ce chapitre en évaluant la pertinence de notre méthode de durcissement au niveau circuit, tout en soulignant le rôle important que joue le layout en matière durcissement.

Le troisième chapitre est relatif à la conception de l'amplificateur opérationnel. Une attention toute particulière sera portée sur la compensation de son offset ; dont les radiations et, plus particulièrement, la dose peuvent causer la dégradation. Nous allons dans un premier temps identifier les principales erreurs sources d'offset. Dans un deuxième temps, nous présenterons différentes techniques de réduction de l'offset. Une étude comparative nous conduira ensuite au choix de la technique correspondant au mieux à nos besoins. Sa réalisation est détaillée dans la quatrième partie. Dans un but comparatif, conjointement aux tests aux radiations de notre circuit, nous avons irradié des amplificateurs opérationnels commerciaux, dont certains emploient des techniques de compensation de l'offset. Ainsi, le but premier de ce chapitre, est de valider le fonctionnement de ces techniques de compensation d'offset en milieu radiatif, afin de pouvoir s'ils peuvent être qualifiés de « Rad-Hard ». C'est sur cet aspect que nous concluons ce troisième et dernier chapitre.

Enfin, nous concluons ce manuscrit au travers d'un résumé des travaux menés. Des perspectives de recherche y sont également proposées.

Chapitre 1. L'environnement spatial et ses effets

Introduction

Le premier objectif de ce chapitre est de présenter l'environnement radiatif spatial. Cette description va nous permettre d'introduire dans un deuxième temps, les effets des radiations sur les circuits électroniques, à l'origine de leur dysfonctionnement. Que la technologie CMOS ait été retenue par STMicroelectronics pour la conception des circuits développés dans la cadre de cette thèse, nous amène à nous focaliser sur l'étude des transistors MOS. Ainsi nous récapitulons dans la troisième partie de ce chapitre les bases relatives à ces composants. Cela nous permettra, d'une part d'identifier leurs différents paramètres, d'autre part de poser les conventions qui seront prises dans la suite de ce manuscrit. La quatrième partie est dédiée à l'approfondissement des effets des radiations sur les transistors MOS. Un état de l'art des techniques de durcissement est dressé dans la cinquième partie. Enfin, ce chapitre se conclut en dévoilant l'orientation de l'étude tant au niveau des effets radiatifs considérés qu'au niveau des circuits développés au cours de la thèse.

1 L'environnement radiatif spatial

1.1 Les rayonnements cosmiques

Depuis la découverte de rayonnements cosmiques dans l'espace par Van HESS en 1912, leur origine a été souvent controversée. En 1938, Fritz ZWICHY émet l'idée que ces rayonnements ont pour origine les supernovas [2]. Cette hypothèse repose sur le fait que les énergies impliquées, ne peuvent être qu'occasionnellement produites par des étoiles comme notre Soleil et donc doivent l'être par des astres beaucoup plus actifs [3]. Cette théorie est

adoptée jusqu'en 1985, où des chercheurs mettent en évidence l'existence d'espèces chimiques, issues des rayonnements cosmiques qui diffèrent radicalement de la composition des supernovas [2]. Pourtant, depuis son lancement en 2008, le satellite Fermi qui observe les rayons gamma dans l'univers, fait un retour en arrière sur la provenance de ces rayonnements cosmiques [4]. Il a clairement identifié quatre supernovas dans notre galaxie comme étant des sources d'énergie très puissantes. Elles seraient à l'origine de l'essentiel des rayons cosmiques qui bombardent en permanence la Terre. L'origine de ces rayonnements serait donc principalement due aux supernovas mais aussi à certaines étoiles éruptives comme notre Soleil et même à des étoiles extragalactiques. La composition de ces rayonnements cosmiques est donnée dans le tableau 1.1 [5].

Particules	Pourcentage
Noyau d'hydrogène (protons)	85%
Noyau d'hélium (particules alpha)	12.5%
Noyau d'atomes plus lourds	1%
Electrons	1.5%

Tableau 1.1 : Composition des rayonnements cosmiques.

1.2 Les rayonnements solaires

Le soleil est le siège de deux sources de radiation : le vent solaire et les éruptions solaires.

1.2.1 Le vent solaire

Les effets du vent solaire ont été observés dès le VI^{ème} siècle par les Chinois qui ont constaté une déviation de la queue des comètes dans le sens Soleil-comète [6]. Ce n'est qu'en 1958 que le physicien américain Eugene PARKER trouve une explication à l'origine du vent solaire [7]. La haute atmosphère du Soleil est constituée d'un plasma très chaud, dont la température dépasse le million de degrés. Les particules de ce plasma sont donc animées d'une vitesse d'agitation thermique importante, ce qui permet aux électrons d'emmagasiner une énergie telle qu'elle devient supérieure à celle associée à la liaison gravitationnelle avec le Soleil. Ainsi ces électrons peuvent échapper à son attraction, entraînant avec eux les protons et les ions chargés positivement dans l'espace interplanétaire. La vitesse de ces particules est qualifiée de supersonique lors de la libération, puis elle se stabilise autour de 400 m/s [7]. La figure 1.1 illustre l'éjection de ces particules solaires [8].

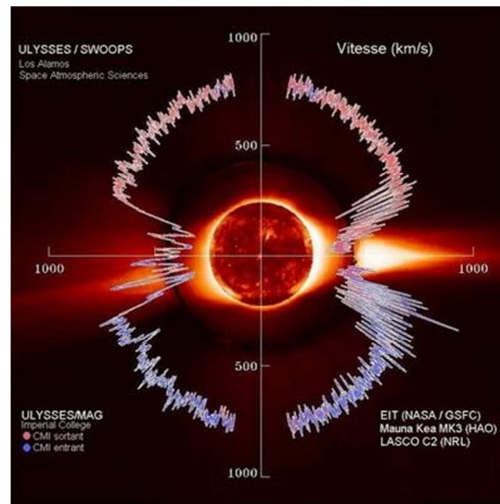


Figure 1.1 : Atmosphère et vent solaire.

1.2.2 Les éruptions solaires

Les éruptions solaires se situent à la surface de la photosphère du Soleil. Elles sont provoquées par une accumulation d'énergie magnétique dans des zones de champs magnétiques puissants au niveau de l'équateur solaire [9]. Les éruptions solaires suivent un cycle de 11 ans, appelé cycle solaire. Durant ce cycle, le Soleil passe d'une faible activité qui dure 4 ans à une forte activité durant les 7 années suivantes [9]. La figure 1.2 décrit les cycles solaires depuis 1700. Le système de numérotation des cycles solaires a été mis au point au milieu du XIXe siècle, plus particulièrement en 1848 par Rudolf Wolf de l'Observatoire de Zurich.

Les éruptions solaires sont classées en différentes catégories selon la nature des particules éjectées et l'intensité maximale de leur flux. Les deux cités ci-dessous sont celles qui ont le plus d'impact sur les systèmes spatiaux :

- Les éruptions solaires à protons, dont la durée va de quelques heures à quelques jours, vont émettre principalement des protons d'énergie importante (jusqu'à quelques centaines de MeV). On distingue les éruptions solaires ordinaires (OR : ORDinary events) qui ont lieu environ une dizaine de fois par an, et dont la fluence n'excède pas quelques centaines de protons/cm², et les éruptions majeures (ALE : Anomalously Large Event) telles que celle d'août 1972. A elle seule, cette dernière a produit 84% des protons solaires d'énergie supérieure à 30 MeV comptabilisés lors du 20^{ème} cycle solaire (il s'agissait en fait de 4 éruptions successives). Toutefois, les cycles solaires sont très variables. Certains ne présentent aucune ALE alors que d'autres en contiennent plusieurs.

- Les éruptions solaires à ions lourds envoient des ions de forte énergie (quelques dizaines de MeV, à quelques centaines de GeV) et leur composition est variable d'une éruption à l'autre. Les références en ce domaine sont l'éruption à ions lourds de septembre 1977 et celle du 24 octobre 1989. La dernière éruption importante à ce jour date de mai 1998.

La variation de l'activité solaire et de l'intensité du rayonnement cosmique sont décrites à la figure 1.2 pour la période 1953-2011. Ces données fournies par la NASA et interprétées par Berruyer [10] permettent d'identifier une corrélation entre ces deux effets. Lors d'importantes activités solaires, l'impact du rayonnement cosmique est moindre. Ceci s'explique par le fait que le rayonnement cosmique est repoussé par le vent solaire. Ainsi ces deux effets sont en opposition de phase.

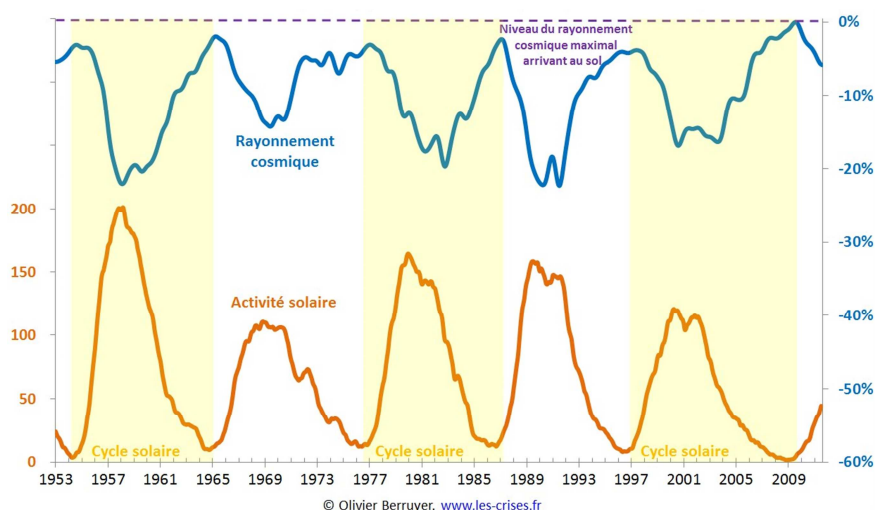


Figure 1.2 : Variation de l'activité solaire et de l'intensité du rayonnement cosmique au sol entre 2009 et 2011 (nombre moyen de taches solaires par jour et rayonnement cosmique en % du maximum sur la période).

1.3 Les ceintures de radiation

Le champ magnétique terrestre a pour effet de piéger les particules en provenance de l'espace comme celles issues du vent solaire ou des rayons cosmiques. Ces particules forment deux ceintures de radiations toriques à l'intérieur de la magnétosphère terrestre [11] comme représenté à la figure 1.3 [12]. La première, nommée « ceinture interne », est située entre 700 km et 10 000 km d'altitude. Elle est constituée principalement de protons d'énergie pouvant atteindre plusieurs centaines de MeV. Dans les zones les plus intenses, le flux de ces particules est de plusieurs dizaines de milliers de protons/cm²/s. La seconde, nommée « ceinture extérieure », est plus large et s'étend entre 13 000 km et 65 000 km d'altitude. Elle

est constituée majoritairement d'électrons. Leur énergie est de quelques MeV et le flux est de l'ordre du millier de particules/cm²/s. Les particules des deux ceintures se déplacent en permanence et rapidement entre les pôles nord et sud de la magnétosphère.



Figure 1.3 : Ceintures de Van Allen.

L'axe des pôles magnétiques terrestre est incliné d'un angle de 11° par rapport à l'axe de rotation de la Terre et est distant d'environ 450 km de celui-ci. Il en résulte que les ceintures de Van Allen sont plus proches de la Terre au niveau de la partie sud de l'Atlantique, et plus éloignées dans la partie nord du Pacifique [13]. En conséquence, pour une altitude donnée, le niveau de radiations en provenance de l'espace est plus élevé dans l'océan Atlantique au large des côtes de l'Amérique du sud. Ce phénomène est appelé anomalie magnétique de l'Atlantique Sud AMAS ou SAA en anglais pour : South Atlantic Anomaly.

2 Les effets des radiations sur les circuits électroniques

Les effets créés par le passage d'une particule sont liés à la quantité d'énergie perdue par celle-ci lors de son passage dans la matière. La quantification de cette interaction est caractérisée par le taux de perte d'énergie par unité de longueur appelé aussi pouvoir d'arrêt [14]. Ceci est le résultat de deux phénomènes d'interaction.

- Le premier est la perte d'énergie par ionisation directe ou indirecte causée par l'énergie transférée aux électrons par interaction coulombienne et par l'énergie perdue sous forme de radiation de Bremsstrahlung ou de Cherenkov, respectivement notées :

$$\left(-\frac{dE}{dx} \right)_{e^-} \quad (1.1)$$

$$\left(-\frac{dE}{dx} \right)_{rad.} \quad (1.2)$$

Cette perte d'énergie est communément appelée LET pour Linear Energy Transfer en anglais. Elle est fonction également de la masse volumique ρ de la matière bombardée. Son unité est le $J.m^2/kg$ ou plus communément le $MeV.cm^2/mg$ et elle s'exprime de la façon suivante :

$$LET = \frac{1}{\rho} \left(\left(-\frac{dE}{dx} \right)_{e^-} + \left(-\frac{dE}{dx} \right)_{rad.} \right) \quad (1.3)$$

- Le second phénomène d'interaction est dû aux collisions entre la particule et les noyaux des atomes du réseau cristallin. Il se quantifie par l'énergie transférée aux noyaux par l'interaction nucléaire :

$$\left(-\frac{dE}{dx} \right)_{nucl.} \quad (1.4)$$

Ces pertes sont non-ionisantes et ont pour sigle NIEL, se qui signifie Non Ionising Energy Loss [14] :

$$1NIEL = \frac{1}{\rho} \left(-\frac{dE}{dx} \right)_{nucl.} \quad (1.5)$$

Ces pertes d'énergie se traduisent chacune par un effet de dose : la dose ionisante TID (Total Ionizing Dose en anglais) et la dose de déplacement notée ici DDD. Les relations qui lient ces pertes aux doses sont reportées ci-dessous et s'expriment en fonction du flux de particules intégré au cours du temps par unité de surface Φ [15].

$$TID = \Phi LET \quad (1.6)$$

$$DDD = \Phi NIEL \quad (1.7)$$

L'unité officielle de la dose est le Gray noté Gy. Il est équivalent à un dépôt d'une énergie de un joule dans un kilogramme de matière.

$$1 \text{ Gy} = 1 \text{ J/kg} = 6,25 \text{ eV/g} \quad (1.8)$$

Dans la communauté des radiations appliquées aux circuits électroniques, l'unité couramment utilisée est le rad (Radiation Absorbed Dose), qui correspond à un centième de Gray :

$$1 \text{ rad} = 0,01 \text{ Gy} \quad (1.9)$$

C'est cette ancienne unité qui sera employée dans les chapitres deux et trois, à propos des doses ionisantes TID (Total Ionising Dose) auxquelles nos circuits électroniques ont été soumis.

2.1 Les effets de dose TID

Lors de l'irradiation ionisante d'un matériau, l'énergie de la particule ou du photon incident est transférée pour l'essentiel aux électrons. Une partie de cette énergie entraîne la création de paires électron-trou.

La densité de paires électron-trou, générées par seconde, par un rayonnement ionisant peut être considérée comme proportionnelle à l'énergie déposée [16]. Ainsi, à chaque instant, on constate une proportionnalité entre la dose exprimée en gray (Gy) et la quantité de charges générée. Cela se vérifie expérimentalement dans une large gamme de doses et dans presque tous les types de matériaux. Cette relation de proportionnalité entre la densité de paires électron-trou créées par seconde G et le débit de dose \dot{D} exprimé en gray par seconde, est traduite par l'équation ci-dessous :

$$G = b\dot{D} \quad (1.10)$$

La constante b est un coefficient multiplicateur qui exprime le nombre de paires électron-trou créées par Gy et par cm^3 . Pour qu'une paire électron-trou soit créée dans le silicium et dans l'oxyde de silicium, il faut respectivement apporter une énergie de 3.6 eV et de 18 eV [17]. Par conséquent, une dose de 1 Gy génère $1,7 \cdot 10^{15}$ paires électron-trou par gramme de silicium et $3,4 \cdot 10^{14}$ paires électron-trou par gramme d'oxyde de silicium.

En considérant la masse volumique du silicium ($2,33 \text{ g/cm}^3$) et de l'oxyde de silicium ($2,27 \text{ g/cm}^3$), un gray génère :

- $4 \cdot 10^{15}$ paires électron-trou/ cm^3 dans le silicium ;
- $7,8 \cdot 10^{14}$ paires électron-trou/ cm^3 dans l'oxyde de silicium ;

Dans le tableau 1.2, nous avons reporté les données de l'analyse précédente à la fois pour le silicium et l'oxyde de silicium pour un gray déposé à température ambiante.

Matériau	Energie de création de paires d'électron-trou E_{e-t} (eV)	Nombre de paires d'électron-trou créées par gramme	Masse volumique du matériau (g/cm^3)	Densité de paires d'électron-trou créées par cm^3 et par gray
Si	3,6	$1,7 \cdot 10^{14}$	2,33	$7,8 \cdot 10^{14}$
SiO ₂	18	$3,4 \cdot 10^{15}$	2,27	$4 \cdot 10^{15}$

Tableau 1.2 : Estimation de la densité de paires d'électron-trou créées par cm^3 et par gray relatives au silicium et à l'oxyde de silicium.

Nous venons de quantifier l'effet d'une dose de 1 Gy sur la création du nombre de paires électron-trou dans un centimètre cube de silicium et d'oxyde de silicium. En comparant ces densités à celle naturellement présente dans les métaux, les semi-conducteurs et les isolants, il est possible de prévoir la sensibilité de chacun d'eux. Il faut toutefois tenir compte du débit de dose rencontré et de la durée supposée de la mission. On se placera dans le cas d'une mission géostationnaire dont la dose reçue est de l'ordre de 1 kGy/an sur une durée de 7 ans, soit une dose cumulée de 7 kGy.

Les métaux ont une densité de porteurs de l'ordre de 10^{22} cm^{-3} , ce qui est trop important pour que la génération de paires électron-trou ait une influence sur eux. La densité de charges dans les semi-conducteurs est comprise entre 10^{14} et 10^{20} cm^{-3} . Toute charge piégée qui n'est pas libérée thermiquement reviendra à l'équilibre par recombinaison. De ce fait, nous pouvons considérer que l'équilibre est toujours réalisé dans les semi-conducteurs sur une période relativement courte (inférieure à la picoseconde). Ainsi, les métaux et les semi-conducteurs sont insensibles à l'effet de dose. En revanche, les isolants (SiO_2) possèdent une densité de porteurs libres excessivement faible en comparaison avec celle des semi-conducteurs. Le retour à l'équilibre par recombinaison des charges, comme c'est le cas pour les semi-conducteurs, n'est donc pas possible. Les charges qui ne sont pas libérées thermiquement restent donc piégées dans l'isolant. Au fur et à mesure que la dose déposée va s'accroître, le nombre de charges piégées dans l'isolant va augmenter. Ce sont ces charges piégées qui engendrent alors une des principales dégradations des caractéristiques des dispositifs électroniques [16].

2.2 L'effet du débit de dose

La dégradation des paramètres des composants électroniques suite à une dose ionisante, est principalement due à l'accumulation de charges dans les isolants, typiquement dans les oxydes. Les composants présentant des oxydes de mauvaise qualité et qui sont irradiés sous faible champ électrique sont les plus sensibles au débit de dose. C'est pourquoi, les technologies bipolaires sont réputées être très sensibles au débit de dose [18]. Leur niveau de dégradation va donc dépendre du débit auquel la dose est déposée. Ce niveau de dégradation se trouve être plus important à faible qu'à fort débit de dose [19]. Cet « effet de débit de dose » est désigné sous le sigle ELDRS pour « Enhanced Low Dose Rate Sensitivity ». L'identification et la compréhension des mécanismes donnant lieu à cette dépendance sont abordées dans la quatrième partie de ce chapitre pour les transistors MOS et

dans la première partie de second chapitre pour les transistors bipolaires dans la mesure où l'étude menée s'appuie sur une référence de tension de type bandgap.

Pour réduire la durée des tests aux radiations, les circuits sont irradiés à un débit de dose bien supérieur à celui rencontré dans le cadre des applications spatiales. De ce fait, dans certains cas, l'état de l'interface peut générer des défaillances qui ne se manifestent pas à fort débit de dose [20]. Pour mettre en évidence ces défaillances, un recuit ou annealing en anglais est appliqué après les irradiations. Durant ce recuit, les charges qui n'ont pas été piégées pendant l'irradiation sont évacuées puis piégées. Un circuit qui voit ses paramètres varier au cours du recuit, sera ainsi qualifié de sensible au débit de dose [21].

2.3 Les effets de déplacement

Lorsqu'une particule (ion, proton ou neutron) entre en collision avec le réseau cristallin, il se produit un déplacement atomique au sein de ce réseau. Ce déplacement va engendrer des modifications des propriétés électriques du matériau. Ces effets sont irréversibles et d'autant plus importants que ces particules ont une énergie importante [22], [23].

2.4 Les effets singuliers

Les effets singuliers SEE (Single event effects) sont provoqués par une seule particule qui peut être de type : ion lourd, proton, neutron ou alpha. Ce sont des effets localisés mais qui peuvent se propager dans l'ensemble du circuit et même être amplifiés. Le point d'impact de ces particules étant aléatoire, tous les composants sont susceptibles d'être concernés, ce qui nécessite a priori leur durcissement. Deux familles d'effets singuliers peuvent être distinguées :

- Les effets singuliers réversibles :

- Les SEU (Single Event Upset) sont caractéristiques d'un changement d'état d'un point mémoire. Ils ne sont pas destructeurs [24].
- Les SET (Single Event Transient) sont dus à des courants dits ionocourants provoqués par une particule. La propagation jusqu'à un point mémoire peut entraîner un SEU. Dans le cas des circuits analogiques, durant leur propagation, les SET causent la perte définitive de l'information, c'est-à-dire qu'il ne sera pas possible de récupérer le signal [25].

- Les MBU (Multiple Bit Upset) consistent en un basculement de plusieurs points mémoire voisins [26].
- Les effets singuliers irréversibles :
 - Les SEL (Single Event Latchup) il s'agit de la mise en conduction d'un thyristor parasite qui entraîne un court-circuit entre l'alimentation et la masse et provoque la destruction du composant [27].
 - Les SESB (Single Event Snap back) sont rencontrés principalement dans les NMOS. Ils sont dus à la conduction d'un transistor bipolaire parasite entre le drain, le substrat et la source. Les technologies sous faible tension sont peu sensibles à cet effet [28], [29].
 - Les SEGR (Single Event Gate Rupture) sont causés par la traversée de l'oxyde de grille d'une particule fortement énergétique. Celle-ci crée un court-circuit entre la grille et le substrat. Il en résulte une élévation de la température le long de la trace pouvant faire fondre le diélectrique localement [30].

3 Rappel sur les transistors MOS

3.1 Généralités

Le transistor MOS dont la vue 3D est représentée à la figure 1.4, est le quadripôle élémentaire des technologies CMOS et est largement utilisé en circuits numériques. Avec l'avancée des technologies CMOS, qui se traduit par une diminution de la longueur de canal L minimale des transistors MOS, la rapidité de ces derniers se voit fortement améliorée, les rendant ainsi tout aussi compétitifs que les transistors bipolaires, dans le cadre des applications analogiques.

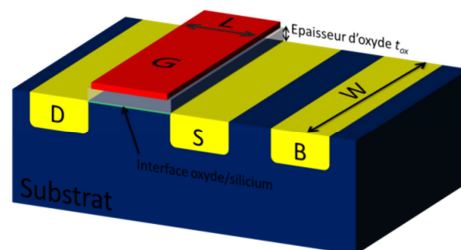


Figure 1.4 : Vue 3D d'un transistor MOS.

Le symbole du transistor NMOS le plus courant est représenté à la figure 1.5a. Habituellement, seuls les accès de grille (G), de drain (D) et de source (S) sont considérés. Le quatrième accès qui constitue le bulk (B) est généralement connecté au potentiel le plus bas

pour le transistor de type NMOS et au potentiel le plus haut pour les transistors de type PMOS. Cependant, nous verrons au chapitre suivant que cette polarisation n'est pas souhaitable pour les circuits dédiés aux applications spatiales. Ainsi nous considérerons à présent le symbole de la figure 1.5b où les potentiels de source et de bulk sont connectés entre eux.

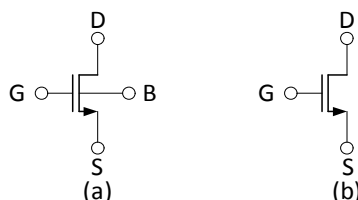


Figure 1.5 : Symbole complet du MOS (a) simplifié (b).

Le fonctionnement du transistor MOS repose notamment sur l'effet du champ électrique appliqué entre l'électrode de grille et l'électrode du bulk. Comme cette dernière est court-circuitée à celle de la source, lorsque la différence de potentiel entre la grille et la source est nulle, le transistor est bloqué. Quand une tension positive entre le drain et la source est appliquée, au fur et à mesure que cette différence de potentiel augmente, les charges libres dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde. Ces charges créent tout d'abord une zone dite de « déplétion ». Puis, lorsque la différence de potentiel est suffisamment grande, soit supérieure à la tension de seuil V_T , il apparaît une zone « d'inversion ». Suivant le type de transistor NMOS ou PMOS, il se crée dans cette zone un canal de conduction dont les porteurs majoritaires sont respectivement des électrons ou des protons. La caractéristique liant différents potentiels et le courant de drain est reportée à la figure 1.6.

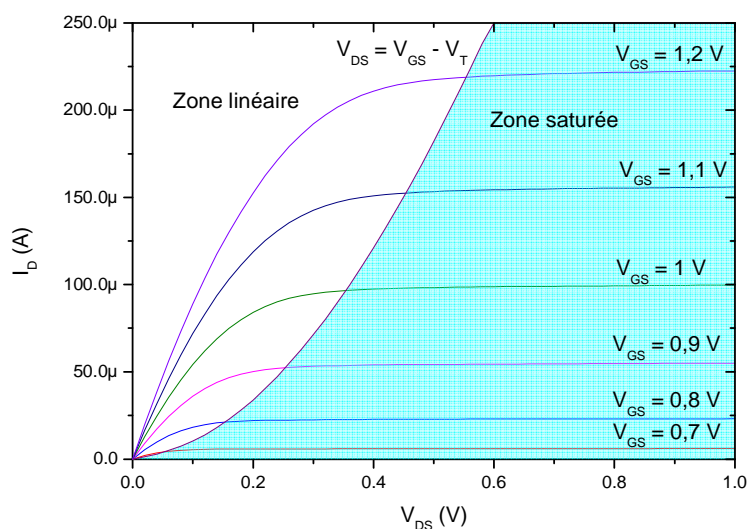


Figure 1.6 : Caractéristique du transistor MOS.

3.2 Modes de fonctionnement

A la figure 1.6 nous pouvons distinguer deux zones de fonctionnement : la zone linéaire en blanc et la zone saturée en bleu ciel. Elles sont séparées par une parabole correspondant à la condition $V_{DS} = V_{GS} - V_T$ [31]. Nous allons tout d'abord nous intéresser à la zone linéaire.

3.2.1 Le transistor MOS en zone linéaire

Les conditions pour que le transistor MOS se trouve dans la zone linéaire sont les suivantes :

$$V_{DS} < V_{GS} - V_T \quad (1.11)$$

$$V_{GS} > V_T + 4V_t \quad (1.12)$$

La tension V_t représente le potentiel thermodynamique défini à l'équation (1.13) où k est la constante de Boltzmann, T la température absolue et q la charge électrique élémentaire.

$$V_t = \frac{kT}{q} \quad (1.13)$$

Dans ces conditions, la relation entre le courant de drain I_D et les tensions V_{GS} et V_{DS} est exprimée par l'équation :

$$I_D = \beta \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad (1.14)$$

avec :

$$\beta = \mu C_{ox} \frac{W}{L} \quad (1.15)$$

où μ , C_{ox} , W et L sont respectivement, la mobilité des porteurs, la capacité d'oxyde par unité de surface, et la largeur et la longueur du canal. Cette zone est appelée également zone ohmique. En effet, si nous nous plaçons à faible V_{DS} , la caractéristique $I_D(V_{DS})$ est approximativement assimilée à une droite comme le serait la caractéristique associée à une résistance [31]. Ainsi, en supposant $V_{DS} \ll V_{GS}$, le transistor se comporte comme une résistance notée r_{on} ajustable par l'intermédiaire du contrôle de la tension V_{GS} :

$$r_{on} = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\beta (V_{GS} - V_T)} \quad (1.16)$$

3.2.2 Le transistor MOS en zone saturée

Dans la zone de saturation, nous pouvons distinguer trois régimes de fonctionnement du MOS : régime de faible inversion, régime de forte inversion et régime d'inversion modérée. Cette zone correspond à la zone jaune de la figure 1.6 soit à :

$$V_{DS} \geq V_{GS} - V_T \quad (1.17)$$

○ Régime de faible inversion :

Le transistor MOS est considéré fonctionner en faible inversion lorsque :

$$V_{GS} \leq V_T + 4V_t \quad (1.18)$$

Dans ces conditions, la relation qui lie le courant de drain aux tensions V_{GS} et V_{DS} est donnée par [32] :

$$I_D = I_S \left(1 - e^{-\frac{V_{DS}}{V_t}} \right) e^{\frac{V_{GS} - V_T}{nV_t}} \quad (1.19)$$

où n est le facteur de pente de faible inversion et I_S est le courant spécifique défini de la manière suivante :

$$I_S = 2n\mu C_{ox} \frac{W}{L} V_t^2 \quad (1.20)$$

La différence $V_{GS} - V_T$ porte le nom de tension d'overdrive. En conception de circuits analogiques le transistor MOS est largement utilisé comme amplificateur. Il convient donc de décrire son comportement en petits signaux. La transconductance d'un transistor MOS est définie comme la dérivée partielle du courant de drain I_D par rapport à la tension V_{GS} . D'après l'équation (1.19), celle-ci s'écrit :

$$gm = \frac{\partial I_D}{\partial V_{GS}} = \frac{I_D}{nV_t} \quad (1.21)$$

Cette transconductance qui est contrôlée par le courant de drain, ne peut atteindre des valeurs importantes dans la mesure où le courant de drain doit rester faible pour assurer le fonctionnement du transistor dans la région de faible inversion. Dans ces conditions de polarisation, le bruit et la rapidité se trouvent dégradés [31].

○ Régime de forte inversion :

Le transistor MOS est dit en régime de forte inversion si :

$$V_{GS} \geq V_T + 4V_t \quad (1.22)$$

Dans ce régime, la loi qui lie le courant I_D aux tensions V_{GS} et V_{DS} a une forme quadratique :

$$I_D = \frac{\beta}{2n} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1.23)$$

Le paramètre λ représente l'effet de la longueur de canal. Pour évaluer les performances du transistor MOS dans ce régime de fonctionnement, il convient tout d'abord de présenter son schéma aux petits signaux représenté à la figure 1.7 où la seule capacité que nous considérons, C_{GS} , est celle placée entre grille et source :

$$C_{GS} = \frac{2}{3} WLC_{ox} \quad (1.24)$$

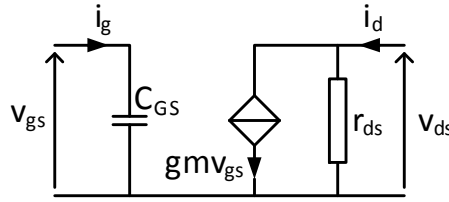


Figure 1.7 : Schéma équivalent aux petits signaux du transistor MOS.

A partir de l'équation (1.23), il est possible de déduire la transconductance gm et la résistance de sortie r_{ds} du transistor MOS :

$$gm = \frac{\partial I_D}{\partial V_{GS}} = \frac{2I_D}{(V_{GS} - V_T)} \quad (1.25)$$

$$r_{ds} = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} = \frac{V_E L}{I_D} \quad (1.26)$$

Le paramètre V_E est une constante technologique qui s'exprime en $V/\mu m$. La fonction de transfert entre v_{gs} et v_{ds} peut se mettre sous la forme :

$$\frac{v_{ds}}{v_{gs}} = \frac{2V_E L}{(V_{GS} - V_T)} \quad (1.27)$$

Nous venons de décrire le comportement du transistor aux basses fréquences. Il nous faut à présent évaluer son comportement en hautes fréquences en considérant les capacités parasites. Pour cela, nous allons exprimer la fréquence de transition du transistor. Elle est définie comme la fréquence à laquelle le courant d'entrée i_g est égal au courant de sortie i_d lorsque le transistor à ses sorties court-circuitées, soit [31] :

$$f_T = \frac{gm}{2\pi C_{GS}} = \frac{1}{2\pi} \frac{3}{2n} \frac{\mu}{L^2} (V_{GS} - V_T) \quad (1.28)$$

En comparant les équations (1.27) et (1.28), nous pouvons voir qu'une augmentation de la tension d'overdrive ou une diminution de la longueur de canal entraînent deux effets contraires. Le choix d'un gain important ou de la rapidité constitue le principal compromis

dans la conception de circuits analogiques. Néanmoins, cette région de fonctionnement constitue le meilleur compromis entre consommation et rapidité.

○ Régime d'inversion modérée :

Le régime d'inversion modérée correspond à la transition entre les régimes de faible et forte inversion :

$$V_T - 4V_t < V_{GS} < V_T + 4V_t \quad (1.29)$$

Dans cette zone, les paramètres de modélisation sont mal maîtrisés. C'est pourquoi, en conception de circuits analogiques il est déconseillé de se placer dans ce mode de polarisation [31]. En revanche, il a été montré que ce mode est bien approprié à la conception d'amplificateurs à faible bruit sous contrainte de faible consommation en raison du bon compromis entre linéarité et consommation [33].

3.3 Coefficient d'inversion

La notion de coefficient d'inversion IC , a été introduite par Vittoz [34]. Elle permet d'identifier le régime de fonctionnement du transistor MOS indépendamment de la technologie. Ce coefficient d'inversion est défini par :

$$IC = \frac{I_D}{I_S} \quad (1.30)$$

La correspondance entre le coefficient d'inversion et la tension d'overdrive pour la technologie HCMOS9A est présentée à la figure 1.8.

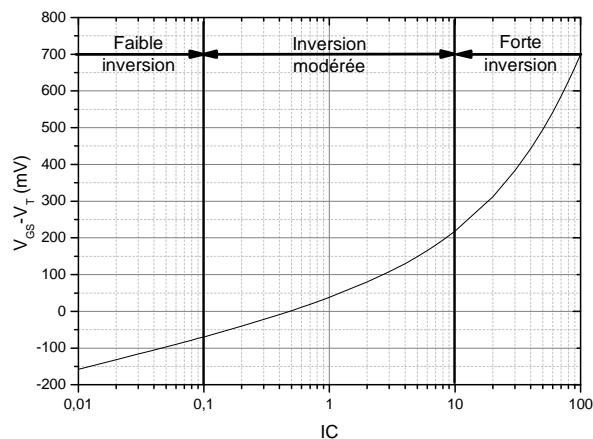


Figure 1.8 : Correspondance entre le coefficient d'inversion et la tension d'overdrive pour la technologie 130 nm.

4 Les effets des radiations sur les transistors MOS

4.1 Effet de dose : accumulation de charges dans les oxydes

Nous avons vu dans la deuxième partie de ce chapitre que, consécutivement à l'impact d'une particule, l'effet de dose provoque la création de paires électron-trou dans les oxydes. Après leur création, ces paires électron-trou se recombinent partiellement en quelques picosecondes. La proportion de trous non recombinés dépend en partie de la nature et de l'énergie de la particule incidente, ainsi que de l'amplitude du champ électrique dans l'oxyde [21]. La figure 1.9 représente le taux de paires électron-trou non recombinées en fonction du champ électrique dans l'oxyde pour des particules incidentes de différents types et de différentes énergies [35]. Pour un type de particule et d'énergie donnés, la recombinaison sera meilleure à champ électrique faible.

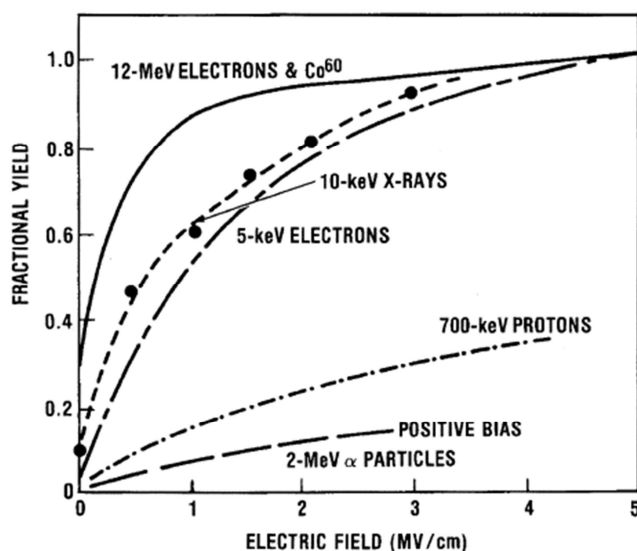


Figure 1.9 : Taux de paires électron-trou non recombinées en fonction du champ électrique dans l'oxyde pour différentes sources de radiation [35].

Les électrons qui ont une mobilité μ_n plus grande que celle des trous μ_p ($\mu_n \approx 3,22\mu_p$) [36] sont rapidement évacués de l'oxyde. En revanche, les trous ont tendance à rester piégés dans l'oxyde [37], notamment au niveau des défauts cristallins. Ainsi la qualité de l'oxyde joue un rôle important dans le degré de dégradation dû aux radiations. L'accumulation de ces charges va entraîner une dérive de la tension de seuil et de la mobilité des transistors MOS, mais aussi l'augmentation de leur courant de fuite. Nous allons voir ces dommages en détail dans cette partie.

4.1.1 Dérive de la tension de seuil

La tension de seuil des transistors MOS est donnée par :

$$V_T = V_{T0} + \gamma \left(\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F} \right) \quad (1.31)$$

avec :

$$V_{T0} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}}{C_{ox}} + 2\Phi_F + \gamma\sqrt{2\Phi_F} \quad (1.32)$$

où V_{T0} , V_{SB} , γ , Φ_F , Φ_{MS} , Q_{it} and Q_{ox} sont respectivement : la tension de seuil pour une tension source/bulk nulle, la tension source/bulk, le facteur de l'effet substrat, le potentiel de Fermi, la différence de potentiel métal/semi-conducteur, la densité surfacique de charges à l'interface oxyde/semi-conducteur et la densité surfacique de charges dans l'oxyde [38]–[40]. La dérive de la tension de seuil ΔV_T due à la dose est causée par deux phénomènes. Le premier est l'augmentation de la densité de charges dans l'oxyde ΔQ_{ox} et le second est l'augmentation de la densité de charges à l'interface oxyde/semi-conducteur ΔQ_{it} . Ce qui nous amène à écrire [41] :

$$\Delta V_T = -\frac{\Delta Q_{ox}}{C_{ox}} - \frac{\Delta Q_{it}}{C_{ox}} \quad (1.33)$$

La densité de charges dans l'oxyde est définie par l'équation (1.34), où ϵ_{ox} , ρ et t_{ox} sont respectivement la permittivité diélectrique de l'oxyde de silicium, la densité volumique de charges dans l'oxyde et l'épaisseur de l'oxyde [19], [42].

$$Q_{ox} = \frac{C_{ox}}{\epsilon_{ox}} \int_0^{t_{ox}} \rho(x) x dx \quad (1.34)$$

D'après cette équation, la dérive de la tension de seuil due à l'accumulation de charges dans l'oxyde est proportionnelle au carré de l'épaisseur de l'oxyde. Cependant, pour les épaisseurs d'oxyde inférieures à 20 nm, cet effet tend à diminuer et laisse place à l'effet tunnel [21]. Ce phénomène est illustré à la figure 1.10, où la tension de bande plate V_{FB} est définie comme suit :

$$V_{FB} = \Phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}}{C_{ox}} \quad (1.35)$$

Quelque soit le type de transistor, la dérive de la tension de seuil due à l'accumulation de charges dans l'oxyde, est toujours négative. Ceci s'explique par le fait que ces charges sont des trous. En revanche, en ce qui concerne la dérive de la tension de seuil due à l'accumulation de charges à l'interface, l'effet est opposé pour les deux types de transistors.

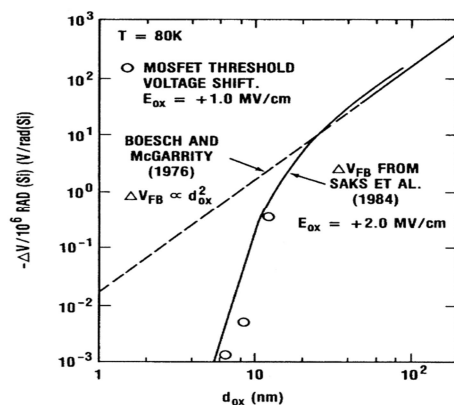


Figure 1.10 : Dérive de la tension de seuil par unité de dose (rad) en fonction de l'épaisseur de l'oxyde à 80 K [21].

Dans le cas du transistor PMOS, les charges accumulées à l'interface étant des trous, la dérive sera négative. Pour le transistor NMOS, c'est le contraire dans la mesure où les charges accumulées sont des électrons. Ainsi l'accumulation de charges dans l'oxyde et à l'interface des transistors NMOS entraîne deux effets antagonistes pouvant provoquer une compensation locale, comme illustré à la figure 1.11 [41]. L'interprétation de l'équation (1.33) et de la figure 1.11 permet de démontrer que la dérive de la tension de seuil est indépendante des dimensions des transistors, que ce soit pour les transistors de type NMOS ou PMOS. Toutefois, cela ne semble pas toujours se vérifier à très faible largeur de canal [43], [44].

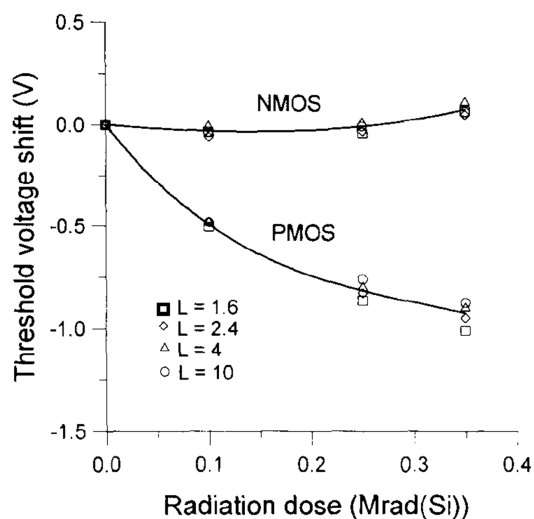


Figure 1.11 : Dérive de la tension de seuil due à la dose pour des transistors de type NMOS ($W=10$ nm) et PMOS ($W=20$ nm).

4.1.2 Dérive de la mobilité

Comme pour la tension de seuil, la dérive de la mobilité induite par la dose, est causée par le piégeage de charges dans l'oxyde et à l'interface [45], [46]. Initialement, la contribution des charges piégées dans l'oxyde n'était pas prise en compte, car jugée négligeable [47]. Une expression de la mobilité introduisant l'effet de dose est proposée dans la référence [48] et traduite par l'équation (1.36). Dans cette expression, μ_0 et N_{it} sont respectivement la mobilité avant radiation et la densité surfacique de charges à l'interface, tandis que α_{it} est un paramètre correctif.

$$\frac{\mu}{\mu_0} = \frac{1}{1 + \alpha_{it} N_{it}} \quad (1.36)$$

Par la suite, de nouveaux travaux ont mis en évidence l'impact de l'accumulation de charges dans l'oxyde et ont proposé un modèle plus complet [49]. Cette fois-ci, la mobilité est obtenue en combinant linéairement la densité surfacique de charges à l'interface et la densité surfacique de charges dans l'oxyde N_{ox} ; les coefficients de pondération étant les paramètres correctifs α_{it} et α_{ox} :

$$\frac{\mu}{\mu_0} = \frac{1}{1 + \alpha_{it} N_{it} + \alpha_{ox} N_{ox}} \quad (1.37)$$

Les paramètres correctifs α_{it} et α_{ox} sont techno-dépendants et doivent être déterminés expérimentalement. La figure 1.12 représente la dérive relative de la mobilité via le paramètre β [41]. Là aussi, la dérive de la mobilité est indépendante des dimensions des transistors.

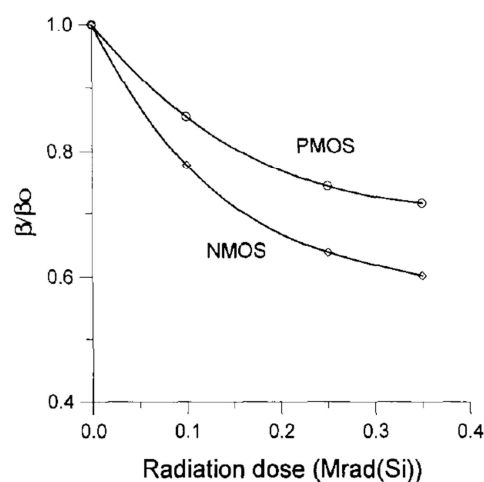


Figure 1.12 : Variation relative de la mobilité via le paramètre β en fonction de la dose pour les transistors NMOS et PMOS.

4.1.3 Courants de fuite

Dans la partie 3 de ce chapitre, nous avons vu qu'il était nécessaire d'avoir une tension grille/source supérieure à la tension de seuil pour que le courant de drain soit conséquent. Lorsque le transistor est polarisé sous la tension de seuil, le courant de drain obéit en théorie à l'équation (1.19). Cependant, à cause de la diffusion des porteurs minoritaires dans le canal, il apparaît des courants de fuite représentés à la figure 1.13. Dans cette figure, le courant de drain défini à l'équation (1.19) est noté I_{SUB} pour « sub-threshold ». Les autres courants sont répertoriés ci-dessous [50] :

- I_{REV} est le courant de fuite de polarisation inverse de la jonction.
- I_{GIDL} est le courant de fuite du drain induit par la grille. Il est causé par un champ important dans la jonction du drain.
- I_G est le courant de fuite de la grille créé par effet tunnel.

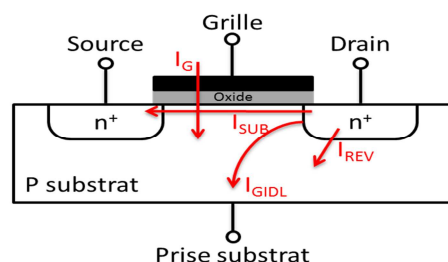


Figure 1.13 : Représentation des courants de fuite d'un transistor NMOS.

Ces courants de fuite entraînent une augmentation de la consommation mais peuvent également provoquer des courts-circuits ou latch-up. Les progrès en matière d'état de surface avant dépôt de l'oxyde lors de la fabrication des circuits intégrés et de qualité de cette dernière, ont permis de réduire significativement ces courants de fuite [51]. Le courant de fuite à travers le drain et la source est défini pour une tension V_{GS} nulle [52]. Le courant de drain est représenté à la figure 1.14 pour des transistors NMOS et PMOS irradiés [52].

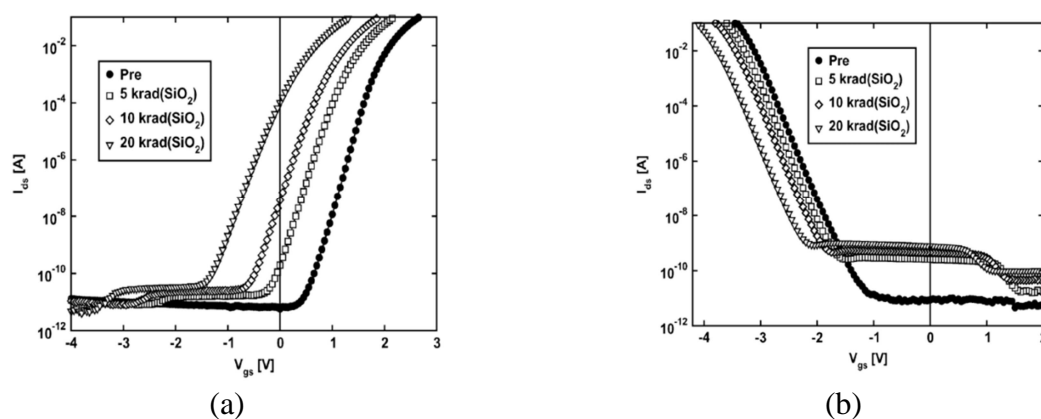


Figure 1.14 : Caractéristiques $I_D(V_{GS})$ de transistors NMOS (a) et PMOS (b) irradiés.

A la figure 1.14, indépendamment du type du transistor, nous pouvons clairement observer une augmentation du courant de fuite à $V_{GS}=0$ V. En revanche, pour une polarisation au-delà de la tension de seuil, l'impact des radiations est minime [53]. Ainsi, il sera préférable de polariser les transistors au-delà de leur tension de seuil voire même en forte inversion. En effet, comme nous l'avons vu précédemment, dans ce régime de fonctionnement, les transistors sont bien modélisés. Il a également été montré que le courant de fuite présente une dépendance à la largeur de canal W [53].

4.2 Effets du débit de dose

Nous venons de voir que les effets de l'accumulation de charges dans l'oxyde et à l'interface pouvaient se compenser l'une l'autre dans le cas des transistors NMOS. Nous allons voir ici que ce degré de compensation est dépendant du débit de dose.

Les technologies CMOS sont réputées insensibles au débit de dose. Néanmoins, dans le milieu des années 80, une équipe du Sandia National Laboratories a mis en évidence la variation de la tension de seuil des transistors NMOS avec le débit de dose [54]. A fort débit de dose, la variation de la tension de seuil s'opère vers les tensions négatives. Puis, un phénomène de saturation se manifeste. Cependant, à faible débit de dose mais toujours à un débit supérieur à celui rencontré dans l'espace ($\sim 0,5$ rad/h), une forte augmentation de la tension de seuil est constatée, comme illustré à la figure 1.15 [19].

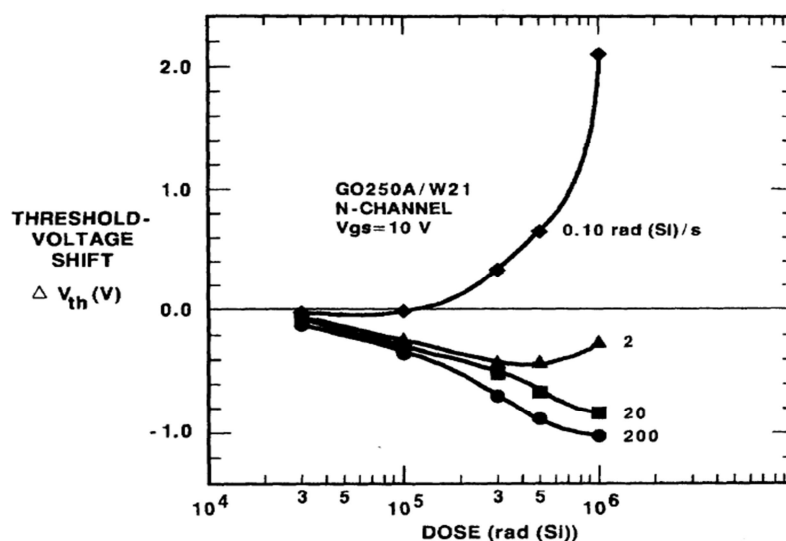


Figure 1.15 : Variation de la tension de seuil d'un transistor NMOS en fonction de la dose à différents débits de dose.

De la même façon, les transistors PMOS sont sensibles au débit de dose. Si nous prenons là-aussi le cas de leur tension de seuil, celle-ci présentera une dérive toujours

négative mais accentuée à faible débit de dose. Pour résumer, les paramètres des transistors MOS dépendent des caractéristiques de l'oxyde. Les effets des charges dans l'oxyde induites par les radiations peuvent être compensés par les effets des charges piégées à l'interface ou au contraire s'ajouter suivant le type de transistor. Dans les deux cas, la dégradation des paramètres sera plus importante à faible débit de dose.

4.3 Effets de déplacement

Les déplacements du réseau cristallin engendrent diverses modifications des propriétés des semi-conducteurs :

- Diminution de la durée de vie des porteurs : L'augmentation du nombre de défauts conduit naturellement à une intensification du processus de recombinaison. Il s'ensuit une diminution de la durée de vie des porteurs minoritaires [23]. Les premiers effets notables s'observent pour des protons ayant une énergie de 50 MeV.
- Modification du dopage : Les défauts de déplacement peuvent contrebalancer les dopants et diminuer par la même occasion le nombre de porteurs majoritaires en les piégeant [55].
- Diminution de mobilité : Ces mêmes défauts dégradent la mobilité des porteurs en agissant comme des centres de diffusion [23]. Les dispositifs dont le fonctionnement dépend fortement de la mobilité, comme les transistors MOS, sont sensibles à ce type d'effets.
- Création de courants de fuite.

La modification du dopage et l'apparition de courants de fuite causés par les déplacements, n'apparaissent qu'à forte fluence et sont visibles principalement sur des dispositifs à faible dopage. Les composants optoélectroniques, les détecteurs et les transistors bipolaires sont particulièrement sensibles aux effets de déplacement [56]. En ce qui concerne les transistors MOS, seuls des déplacements dus à des fluences bien supérieures à celles rencontrées dans l'espace (typiquement lors d'applications militaires) peuvent causer des dommages [57].

4.4 Effets singuliers

L'amélioration de la sensibilité des nouvelles technologies aux SEE ne va pas de pair avec leur intégration. Les nouvelles technologies sont de plus en plus sensibles aux SEE. La

figure 1.16 décrit la sensibilité des technologies CMOS aux SEU et SET en fonction de leur longueur de grille minimale.

On observe une diminution du LET avec l'intégration. Cela confirme bien une augmentation de la sensibilité aux SEE avec la réduction des dimensions des circuits intégrés, quelle que soit la technologie utilisée [27].

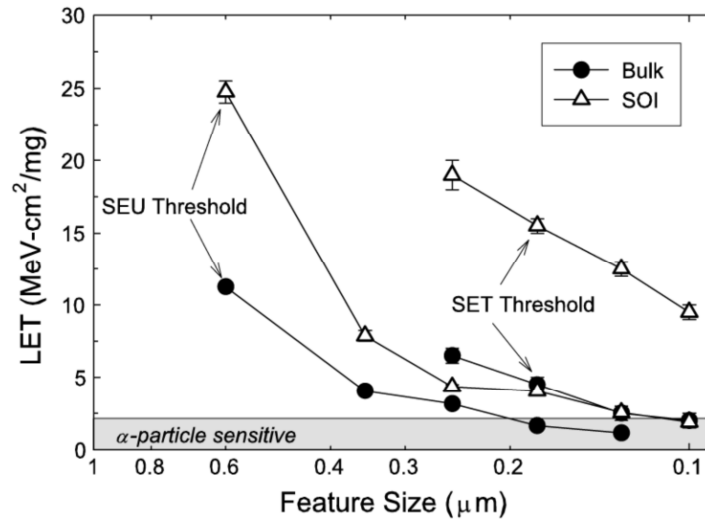


Figure 1.16: Simulation du seuil de propagation du LET pour un SET et un SEU en fonction de la longueur de grille pour les technologies SOI et bulk CMOS [27].

4.5 Effets des radiations considérés

Les effets des radiations introduits précédemment ne sont pas tous nécessairement à prendre en compte lors de la réalisation des circuits. La classification dans l'ordre de priorité du type de durcissement aux radiations est d'abord dictée par l'application à laquelle le circuit va être dédié. Dans le cas de notre étude qui vise des applications spatiales, il ne sera pas par exemple nécessaire de réaliser un durcissement aux effets de déplacement. En effet les technologies CMOS sont relativement bien immunisées face à ce type d'effets sous ces conditions d'applications.

Toujours dans le cadre de notre étude, nous nous intéressons à un durcissement par la conception. Cela nous amène à introduire la notion de niveaux de durcissement qui sera explicitée dans la partie suivante. Les SEE interviennent de façon localisée sur les circuits. C'est pourquoi il est plus facile de réduire leurs effets par un durcissement au niveau technologique dont certaines techniques peuvent être appliquées à n'importe quelle technologie plutôt qu'au niveau de la conception.

Ainsi les effets des radiations considérés dans ces travaux sont l'effet de dose ionisante et par extension l'effet du débit de dose.

5 Etat de l'art des techniques de durcissement

Dans les parties précédentes, nous avons identifié les différentes causes et effets des radiations sur les transistors MOS. Bien que nous nous orientions par la suite vers un durcissement à la dose et au débit, nous allons dresser ici un état de l'art des stratégies et techniques utilisées pour durcir les circuits CMOS indépendamment de cette orientation. Pour chacune des techniques et des stratégies, il sera distingué l'effet qu'elles sont destinées à contrecarrer.

Pour durcir une fonction électronique, il est possible d'agir à trois niveaux hiérarchiques. Le premier s'opère au niveau technologique. Il doit donc être pris en compte avant même le début de la conception. Le second qui peut, par exemple, faire appel à une association judicieuse de composants est le niveau dit circuit. Enfin, il est possible d'agir à plus haut niveau en procédant notamment à des auto-calibrations. Dans ce cas, nous parlons de durcissement au niveau système.

5.1 Durcissement au niveau technologique

5.1.1 Technologies à faible épaisseur d'oxyde de grille

Dans la partie dédiée aux effets des radiations sur les transistors MOS, nous avons vu que l'accumulation de charges dans l'oxyde pouvait entraîner une dérive de la tension de seuil et de la mobilité. Il est constaté que ces dégradations sont moins prononcées dans les technologies à faible épaisseur d'oxyde. En dessous de 15 nm d'épaisseur, cette accumulation de charges peut être considérée comme sans conséquence [21] et laisse place à l'effet tunnel. Les nouvelles technologies présentent des épaisseurs d'oxyde de plus en plus petites. Ainsi, les transistors issus de ces technologies sont de moins en moins sensibles à la dose. D'autre part, nous avons vu qu'avec la diminution des dimensions des transistors, les circuits étaient davantage sujets aux SEU et SET. Nous avons donc deux effets dont l'impact diverge l'un par rapport à l'autre avec l'avancée des nouvelles technologies. En fonction du type de mission, certains effets sont plus prépondérants que d'autres. Ainsi, le choix de la technologie est important suivant le type de la mission.

5.1.2 Utilisation de transistors MOS fermés

La conception de structures MOS fermées, figure 1.17 a pour intérêt principal de supprimer le transistor latéral parasite empêchant les courants de fuite entre le drain et la source engendrés par la dose [58], [59]. Comme la grille entoure entièrement le drain et que

la source se situe tout autour de cette grille, tout chemin entre le drain et la source passe sous la grille. Si source et drain sont interchangeables, il est préférable de définir l'élément interne comme étant le drain. En effet, d'une part, la surface du drain est minimisée dans cette configuration, ce qui permet de diminuer la capacité grille-drain, et donc aussi de limiter l'effet Miller [31]. D'autre part, il a été montré que cette configuration permet une diminution plus importante des courants de fuite entre le drain et la source [60]. L'autre intérêt majeur de ce type de transistor est de diminuer les courants de fuite inter-transistor en prenant soin de placer la source ou le drain à l'extérieur suivant la polarisation (masse ou alimentation) de l'électrode extérieure des transistors voisins. Ce qui peut aller à l'encontre de la configuration vue juste au-dessus.



Figure 1.17 : Représentation des transistors fermés à source centrale (a) et à drain central (b).

Cette structure présente cependant quelques inconvénients :

- Perte de la symétrie drain/source. Ainsi, suivant le cas, il peut être plus avantageux de mettre le drain à l'intérieur ou à l'extérieur (modification de la conductance et des capacités parasites) [61].
- Difficulté de la modélisation du rapport W/L effectif [61].
- Augmentation de la surface du circuit qui est approximativement multipliée par un facteur compris entre 1,5 et 3,5 [59].
- La valeur de la longueur minimale du canal possible est supérieure à la finesse de gravure ce qui a pour effet de limiter la fréquence de transition des transistors [62].
- Dégradation du facteur d'appariement des transistors [59].

Les design kits en général ne proposent pas ce type de transistors dans leur librairie. Dans le but de pouvoir simuler les circuits, il est nécessaire de modéliser chaque transistor. Cela engendre un temps de développement plus important.

5.1.3 Les anneaux de garde

Les courants de fuite inter-transistors sont dus au piégeage de charge dans les oxydes de champ et à la formation d'une zone d'inversion dans le substrat P ou dans le Pwell [63]. Ces fuites n'ont été observées en pratique qu'entre transistors NMOS, car la tension de seuil des inter-transistors parasites PMOS (liés à l'oxyde de champ) dérive « dans le bon sens », c'est-à-dire vers les tensions négatives, ce qui renforce l'isolation. Ainsi, les transistors uniquement transistors NMOS ont besoin d'être isolés entre eux. Cela peut être réalisé en dessinant un anneau de garde P+ tout autour du transistor NMOS afin de séparer les diffusions N+ que l'on souhaite isoler. Cette configuration est représentée à la figure 1.18.

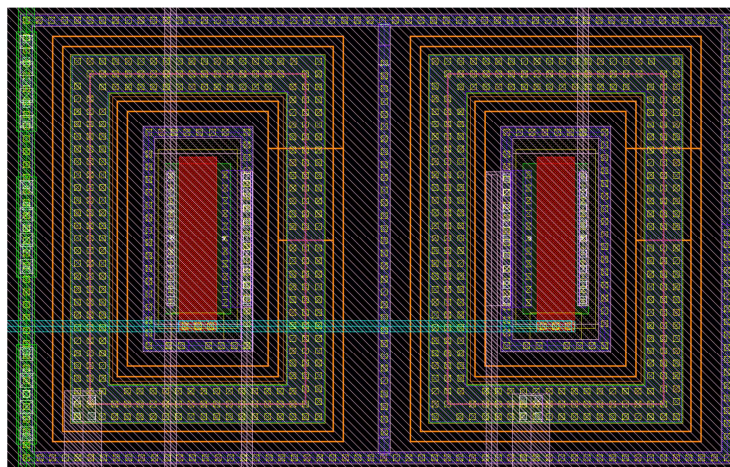


Figure 1.18 : Transistor NMOS avec un anneau de garde.

En favorisant l'évacuation des charges générées dans le silicium, les anneaux de garde permettent également un durcissement aux SEE.

5.1.4 Technologies SOI

Cette technologie était initialement dédiée aux applications militaires en raison de leur tolérance aux impulsions photoniques et dans un second temps aux SEE. Elle commence à s'étendre aux applications commerciales [40] bien que son coût est de 5 à 10 fois plus important qu'une technologie classique. Le principe consiste à introduire une couche isolante entre le substrat et le transistor MOS. Les circuits réalisés en technologie SOI présentent une bonne tolérance aux effets radiatifs singuliers tels que les SET. En fait, le problème du latchup n'existe plus en raison de l'utilisation de caissons d'isolement qui suppriment les thyristors parasites [64].

Cette technologie présente néanmoins des inconvénients. La couche d'oxyde de silicium servant d'isolant, se met en effet à jouer le rôle de deuxième grille de contrôle,

comme illustré en figure 1.19 rendant cette technologie sensible à la dose. C'est pourquoi des courants de fuite apparaissent. Un autre effet indésirable est l'auto-échauffement. L'auto-échauffement est dû à la faible conductivité thermique de l'isolant. L'auto-échauffement peut aboutir à de grandes fluctuations de température au sein des dispositifs.

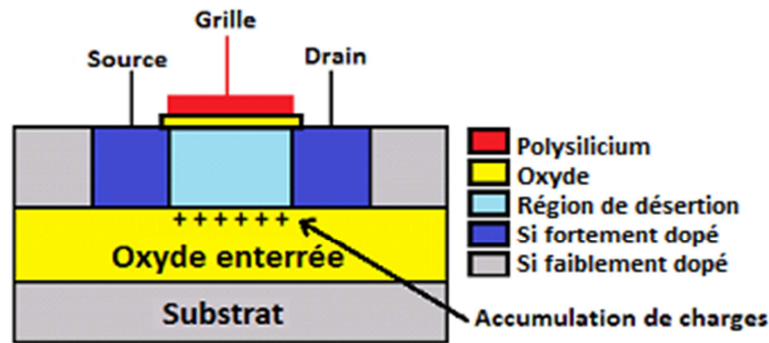


Figure 1.19 : Vue en coupe d'un transistor MOS en technologie SOI.

5.2 Durcissement au niveau circuit

5.2.1 Maîtrise des dérives

La compréhension des mécanismes de dégradation dus aux radiations et plus particulièrement ceux dus à la dose, est fondamentale pour pouvoir espérer une maîtrise des dérives des paramètres. Lors de la simulation, il est possible de modifier les paramètres des composants pour une dose donnée. Cela permet, d'une part, de déterminer le seuil de non-fonctionnalité du circuit, d'autre part, d'identifier la cause de cette non-fonctionnalité, pour pouvoir éventuellement y remédier [11]. Cependant, les lois de dérive des paramètres des transistors qui sont propres à chaque technologie, ne sont pas intégrées aux modèles SPICE. Le concepteur de circuits durcis doit donc se baser, soit sur une bibliothèque durcie intégrant les éléments décrits dans la partie 5.1, soit sur sa propre expérience lorsqu'une telle bibliothèque n'existe pas.

5.2.2 Capacité de couplage

Une capacité de couplage peut être ajoutée dans la couche de métallisation lors du processus de fabrication pour améliorer la désensibilisation aux SEE. La valeur de la capacité est amplifiée par effet Miller [65]. Cette capacité a un impact direct sur la charge critique, et donc sur l'amélioration globale de la tolérance du composant aux SEE. Des simulations SPICE ont permis de quantifier l'effet de ces capacités. Une capacité de 1 fF permet d'augmenter la charge critique de 19% lorsque le courant induit par la particule est d'une

durée de 150 ps. La charge critique est augmentée de 29% pour une impulsion de courant de 10 ps. Cette méthode permet de réduire le taux d'erreur SER jusqu'à 80% pour une épaisseur de diélectrique de 10 nm.

5.2.3 Augmentation des dimensions des transistors

L'augmentation des dimensions des transistors induit une meilleure évacuation des charges et donc améliore la tenue aux SEE. Le courant maximum pouvant circuler dans le transistor dépend de la largeur W et de la longueur L du canal. Plus W sera grand, plus le courant maximum sera grand. Ainsi, avec un fort W , les charges induites par le passage d'un ion lourd seront collectées plus rapidement, ce qui réduit la durée de l'impulsion transitoire. La relation $\Delta t = \Delta Q / I_D$ montre que pour un ΔQ constant, l'augmentation du courant de drain I_D réduit la durée Δt . Ainsi, il est possible par cette méthode de réduire la durée de l'impulsion transitoire afin qu'elle ne puisse pas se propager dans toute la chaîne logique. Cette solution a un impact sur la surface et sur la consommation.

5.2.4 Dissociation des polarisations

Le plus souvent, la polarisation des différents blocs d'un circuit intégré analogique est réalisée à partir d'une entrée commune puis recopiée, par exemple, par des miroirs de courant comme illustré à la figure 1.20. Cette architecture présente un inconvénient majeur. Lorsqu'un ion lourd provoque un SET dans la structure d'entrée, celui-ci peut se propager dans tous les autres blocs de polarisation.

Une solution à ce problème et plus généralement au problème de SEE, est de réaliser une structure de polarisation différente pour chacun des blocs, comme illustré à la figure 1.21. Bien entendu, cela se fait au détriment de la densité d'intégration et de la consommation.

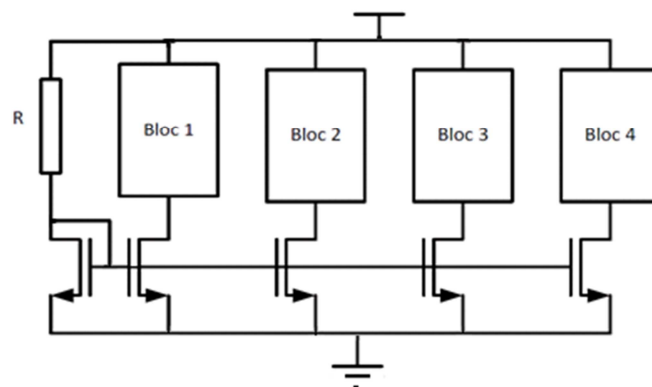


Figure 1.20 : Polarisation unique.

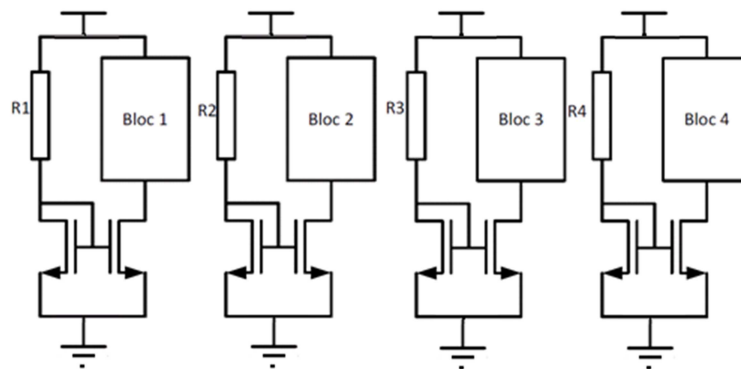


Figure 1.21 : Polarisations séparées.

5.3 Durcissement au niveau système

5.3.1 Auto-calibration

La technique d'auto-calibration permet une compensation dynamique des dérives des composants, aussi bien dues aux variations de fabrication, de polarisation, de température, qu'aux variations causées par les radiations. Nous désignerons ces contraintes sous le sigle PVTR pour Process, Voltage, Temperature and Radiation en anglais. Elle se déroule généralement en deux phases successives. La première phase consiste à mesurer la dérive, la seconde à compenser. L'exemple qui suit, est un convertisseur analogique-numérique (ADC) à double rampe auto-calibré [66]. Le principe de ce type d'ADC est de charger une capacité C avec un courant proportionnel à la tension d'entrée (gmV_e) durant un temps constant égal à $T.2^N$ où T est la période de l'horloge de conversion et N le nombre de bits de l'ADC. Après cette étape, la capacité est déchargée à courant constant (I_d). Il s'ensuit que la durée de la décharge Δt est proportionnelle à la tension d'entrée avec $\Delta t = T.N_c$ où N_c est le mot binaire correspondant à la conversion, ce qui donne :

$$N_c = \frac{gmV_e}{I_d} 2^N \quad (1.38)$$

Le courant de décharge et la transconductance gm sont tous deux susceptibles de varier au cours du temps. Ainsi, deux phases de calibration doivent être réalisées, elles-mêmes étant divisées en deux phases : une de mesure et une de correction, comme illustré à la figure 1.22. Pour commencer, le courant de décharge est calibré en chargeant la capacité à la tension maximale de conversion V_{Cmax} , ce qui correspond à la phase $\Phi 1$ de la figure 1.22. La capacité est ensuite déchargée à courant constant, ce qui correspond à la phase $\Phi 2$. Ces étapes sont répétées en faisant un ajustement par dichotomie sur le courant de décharge jusqu'à ce que la durée de la décharge soit égale à $2^N T$. Une fois le courant de

décharge calibré, c'est au tour de la transconductance. Pour cela, une tension connue, ici extraite d'une référence bandgap et notée V_{BG} , est appliquée en entrée. Il s'agit de la phase $\Phi 3$. Là aussi, la transconductance est ajustée par dichotomie de façon à ce que N_C converge vers N_{BG} , qui correspond à la conversion de la tension V_{BG} en mot binaire. Enfin la conversion de la tension d'entrée peut être réalisée par succession des phases $\Phi 4$ puis $\Phi 2$.

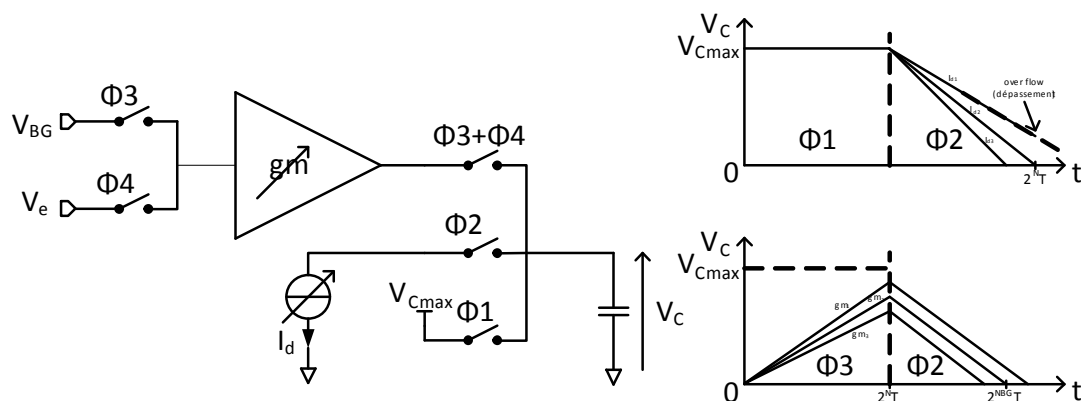


Figure 1.22 : Schéma de principe de l'ADC à double rampe auto-calibré.

5.3.2 Redondance

La technique de redondance consiste à implémenter plusieurs fois, souvent trois fois, la même fonction (les trois fonctions ayant la même entrée). Les trois sorties sont comparées et à l'aide d'un système de vote majoritaire, la sortie du système est déterminée [67].

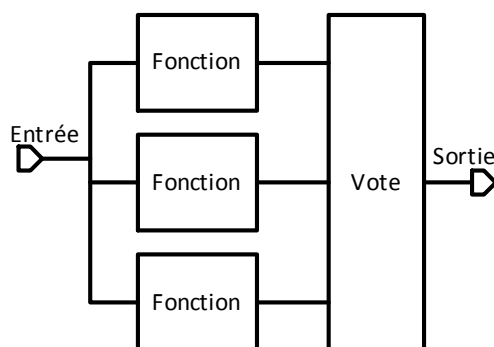


Figure 1.23 : Schéma bloc illustrant de la technique de redondance.

Cette technique est très efficace pour filtrer les effets singuliers. Son gros inconvénient est l'augmentation du coût en termes de surface de silicium. Il faut dans un premier temps réserver de la place pour les trois fonctions. Quant au bloc de vote, il peut convenir aux applications numériques, dans le cadre desquelles comparer des niveaux logiques est envisageable, mais ne convient guère aux applications analogiques. En effet,

dans ce dernier cas, entre chaque sortie redondante et le système de vote, il faudrait intercaler un convertisseur analogique-numérique.

5.3.3 Codage

Dans le cas de systèmes numériques, des algorithmes peuvent permettre de détecter des changements de bits intempestifs. Il s'agit d'une protection au niveau logiciel contre les SEE.

6 Conclusion

Dans ce premier chapitre, nous avons évoqué les différents effets des radiations inhérentes à l'environnement spatial. Trois effets se distinguent : l'effet de dose, l'effet de déplacement et l'effet d'événement singulier. Nous considérons que l'effet du débit de dose est inclus dans celui de dose. L'effet de déplacement dû à l'impact d'ions lourds est un effet cumulatif, qui n'est toutefois pas observable dans les transistors MOS dans l'environnement radiatif spatial usuel. Seules les technologies optoélectroniques, les détecteurs, ou les technologies bipolaires peuvent être affectées. L'effet de déplacement ne sera pas considéré dans le cadre de cette thèse ; la technologie utilisée étant purement CMOS. L'utilisation d'anneaux de garde et l'isolation de chaque transistor dans des caissons de substrats différents sont des techniques bien connues pour immuniser les circuits à la fois aux effets de dose et aux effets d'événements singuliers. La technologie utilisée pour la conception des circuits développés durant la thèse offre la possibilité de combiner ces deux techniques, anneaux de garde et isolation de chaque transistor dans des caissons différents ; possibilité que n'offrent pas toutes les technologies. C'est donc naturellement que nous les avons utilisées lors de la conception. L'effet de dose peut être minimisé en utilisant des MOS fermés, notamment pour réduire les courants de fuite. Or, il s'avère que ce type de transistor n'est quasiment jamais, ni modélisé, ni présent dans les design-kits des fondeurs. Ainsi, c'est au concepteur de modéliser chacun de ces transistors. Cette modélisation est un gros désavantage en termes de temps de développement. Dans cette problématique, l'un des objectifs de la thèse est de proposer et valider des techniques de conception en vue de durcir les circuits analogiques à la dose cumulée, et ce, sans à avoir recours à de nouvelles modélisations. Les blocs de polarisation sont indissociables des circuits analogiques. Ils sont généralement élaborés autour d'une référence de tension stable en température. Ainsi, le premier circuit présenté dans ce manuscrit est une référence de tension. Sa conception est

détaillée dans le chapitre deux. Elle repose principalement sur un durcissement au niveau circuit. L'un des circuits des plus conventionnels en conception analogique est certainement l'amplificateur opérationnel [31]. Utilisé en boucle fermée, il permet par exemple d'obtenir des gains prédictibles et précis. Toutefois, ces performances sont limitées par ses paramètres DC et notamment son offset, celui-ci pouvant être amené à varier avec les radiations. Dans le troisième chapitre, nous présentons un amplificateur opérationnel durci au niveau système, assurant la minimisation de l'offset au cours des radiations. Les deux circuits présentés ont été réalisés dans la technologie HCMOS9A du fondeur STMicroelectronics présentant une finesse de gravure de 130 nm.

Chapitre 2. Référence de tension durcie à la dose cumulée

Introduction

Les contraintes de consommation et l'avancée des technologies amènent à diminuer les tensions d'alimentation. Ceci a pour conséquence une dégradation des performances qui pousse les concepteurs à réaliser des circuits de plus en plus performants [68]. Cela commence par la réalisation de la polarisation des circuits. Dans le cas des convertisseurs numérique-analogique (DAC), leur résolution va être directement liée à la précision de la tension de référence servant à la génération de la tension de sortie. Soit V_{ref} la tension de référence et ΔV_{ref} les variations de cette tension. La résolution maximale n à laquelle pourra prétendre le DAC est donnée par résolution de l'inégalité (2.1).

$$\left| \frac{\Delta V_{ref}}{V_{ref}} \right| \leq \frac{1}{2^{n+1}} \quad (2.1)$$

La désignation de référence de tension regroupe (au moins) deux familles de circuits dont la première est la référence bandgap. Elle est basée directement sur la tension bandgap du silicium V_{g0} qu'une jonction PN, typiquement une jonction base-émetteur d'un transistor bipolaire, permet d'atteindre. C'est pourquoi elles fournissent la seule vraie tension de référence disponible. Elle avoisine les 1,2 V [31]. Hilbider est le premier à l'exploiter en 1964 [69]. Par la suite, Widlar, Kuijk, Brokaw, puis Meijer, proposent successivement des améliorations du circuit de Hilbider [70]–[73]. Ces circuits bandgap présentent une compensation au premier ordre. En 1978, Widlar introduit la compensation au second ordre [74]. Tous ces circuits utilisent la

jonction base-émetteur des transistors bipolaires. En technologie CMOS, il est possible, bien qu'elle ne soit pas destinée à cette fin, d'utiliser la diode substrat parasite des transistors PMOS pour réaliser des bandgaps en technologie CMOS. Il est également possible de réaliser des transistors PNP en technologie CMOS en utilisant les diffusions drain et source d'un transistor PMOS en tant qu'émetteur et collecteur [75]. Ce n'est qu'à la fin des années 70, quand les propriétés des transistors MOS en faible inversion sont développées par Vittoz [76], qu'une deuxième famille de référence apparaît [77], [78]. Cette deuxième famille ne faisant pas intervenir directement la tension bandgap du silicium, les circuits correspondants ne peuvent pas être qualifiés de référence bandgap mais tout simplement de référence de tension. Ils peuvent par exemple mettre en jeu les tensions de seuil des MOS [38].

La première partie de ce chapitre est consacrée à l'état de l'art des références de tension en technologies bipolaire et CMOS. Dans une seconde partie, l'aspect radiatif est abordé et plusieurs solutions au niveau circuit sont proposées pour durcir les références de tension CMOS. Dans la troisième partie, la réalisation et les simulations du circuit sont détaillées. Les résultats de mesure sont reportés dans la quatrième partie ainsi que leur analyse. Nous concluons ce chapitre sur les avantages qu'offrent les références de tension durcies aux radiations au niveau circuit par rapport à un durcissement technologique plus conventionnel.

1 Etat de l'art des références de tension

1.1 Référence de tension bandgap

1.1.1 Principe

Il convient tout d'abord de définir les caractéristiques d'une référence de tension idéale afin d'évaluer ses performances. Une tension de référence idéale présente les caractéristiques suivantes :

- Insensibilité à la température T : le Coefficient de Température (TC) nul. Il est le plus souvent exprimé en ppm/°C.

$$TC = \frac{\Delta V_{REF} \times 10^6}{V_{REF} \times \Delta T} \quad (2.2)$$

- Insensibilité à la tension d'alimentation V_{DD} : le taux de réjection de la tension d'alimentation ($PSRR$) est infini.

$$PSRR = 20 \log \left(\frac{\Delta V_{REF}}{\Delta V_{DD}} \right) \quad (2.3)$$

- Insensibilité à la charge : impédance de sortie (Z_S) est nulle.
- Le bruit joue également un rôle important sur la précision de la tension de référence. Il doit être le plus faible possible, dans l'idéal nul.

Les tensions de référence bandgap opèrent en combinant deux tensions ayant une dépendance à la température de signes opposés. La première de ces tensions est la tension aux bornes d'une diode polarisée en direct présentant un coefficient en température de l'ordre de $-2 \text{ mV}/^\circ\text{C}$ à la température ambiante. Dans le cas des technologies bipolaires, il s'agit de la tension base-émetteur V_{BE} d'un transistor bipolaire. Cette tension décroît donc avec la température, elle est qualifiée de CTAT. La deuxième tension est proportionnelle au potentiel thermodynamique V_t , lui-aussi extrait à partir de la loi de fonctionnement d'une jonction base-émetteur passante :

$$V_t = \frac{kT}{q} \quad (2.4)$$

où k est la constante de Boltzmann, q la charge élémentaire et T la température absolue. La tension V_t est proportionnelle à la température (PTAT). Un coefficient multiplicateur K est appliqué à cette dernière, de façon à obtenir un coefficient en température égal à $2 \text{ mV}/^\circ\text{C}$ à la température ambiante. Ainsi, la somme de ces deux tensions assure une tension de référence présentant une dérive à la température nulle dans l'idéal, tension d'équilibre dont la valeur correspond à la tension bandgap du silicium [79].

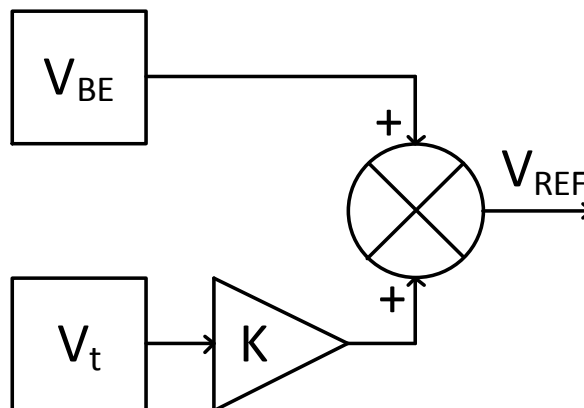


Figure 2.1: Principe du circuit bandgap.

Cependant, la dépendance de la tension V_{BE} à la température ne peut pas être modélisée par une simple fonction affine décroissante. En effet, des ordres supérieurs à 1 existent.

La loi en température liant la tension V_{BE} au courant de collecteur I_C est donnée par l'équation :

$$V_{BE}(T) = V_t \ln \left(\frac{I_C(T)}{I_S(T)} \right) \quad (2.5)$$

où I_S est le courant de saturation en inverse de la jonction base-émetteur. Considérons deux transistors Q_1 et Q_2 , dont, courants de collecteur d'une part, courants de saturation en inverse d'autre part, sont proportionnels entre eux :

$$I_{C1} = K_1 I_{C2} \quad (2.6)$$

$$I_{S2} = K_2 I_{S1} \quad (2.7)$$

K_1 et K_2 sont des constantes telles que $K_1 K_2 > 1$. La différence des tensions V_{BE} s'écrit :

$$V_{BE1}(T) - V_{BE2}(T) = V_t \ln \left(\frac{K_1 I_{C2}}{I_{S1}(T)} \right) - V_t \ln \left(\frac{I_{C2}}{K_2 I_{S1}(T)} \right) \quad (2.8)$$

$$V_{BE1}(T) - V_{BE2}(T) = \ln(K_1 K_2) V_t \quad (2.9)$$

$$\Delta V_{BE}(T) = \ln(K_1 K_2) V_t \quad (2.10)$$

La tension V_{BE} a été introduite à l'équation (2.5). Pour faire apparaître la tension bandgap, il faut prendre en compte l'expression suivante du courant de saturation :

$$I_S(T) = \frac{q A n_i^2(T) \bar{D}(T)}{N_B} \quad (2.11)$$

où A est l'aire de la jonction base-émetteur, $n_i(T)$ est la densité volumique de charges intrinsèques, $\bar{D}(T)$ est la constante de diffusion moyenne des porteurs minoritaires dans la base et N_B est le nombre de Gummel associé à la région de base. La concentration de charges intrinsèques est liée à la tension bandgap conformément à l'équation suivante :

$$n_i^2(T) = C T^3 e^{-\frac{V_{g0}}{V_t}} \quad (2.12)$$

où C est une constante. Quant à la dépendance à la température de \bar{D} , elle se déduit de la relation d'Einstein :

$$\bar{D}(T) = \frac{kT}{q} \bar{\mu}(T) \quad (2.13)$$

où $\bar{\mu}(T)$ est la mobilité moyenne des porteurs minoritaires dans la base. Sa dépendance à la température est modélisée de la manière suivante :

$$\bar{\mu}(T) = BT^{-n} \quad (2.14)$$

où B et n sont des constantes. En combinant (2.5), (2.11), (2.12), (2.13) et (2.14), la tension V_{BE} peut être réécrite comme suit :

$$V_{BE}(T) = V_{g0} + \frac{kT}{q} \ln \left(\frac{I_C(T)}{C \cdot T^\eta} \right) \quad (2.15)$$

où :

$$\eta = 4 - n \quad (2.16)$$

$$C' = \frac{ABC}{N_n} \quad (2.17)$$

Au voisinage d'une température T_0 de référence, la tension V_{BE} peut s'écrire sous la forme suivante :

$$V_{BE}(T) = V_{g0} \left(1 - \frac{T}{T_0} \right) + V_{BE}(T_r) \frac{T}{T_0} - \frac{kT}{q} \left(\eta \ln \left(\frac{T}{T_0} \right) - \ln \left(\frac{I_C(T)}{I_C(T_0)} \right) \right) \quad (2.18)$$

En partant de l'hypothèse que le courant de collecteur peut s'écrire comme suit :

$$I_C(T) = I_C(T_0) \left(\frac{T}{T_0} \right)^\theta \quad (2.19)$$

En soustrayant (2.19) de (2.18) :

$$V_{BE}(T) = V_{g0} \left(1 - \frac{T}{T_0} \right) + V_{BE}(T_0) \frac{T}{T_0} - \frac{kT}{q} (\eta - \theta) \ln \left(\frac{T}{T_0} \right) \quad (2.20)$$

Comme expliqué précédemment, la tension de référence V_{REF} est la somme de la tension V_{BE} définie dans (2.20) et de la différence ΔV_{BE} définie en (2.10) et pondérée par un coefficient K :

$$V_{REF} = V_{BE} + K \Delta V_{BE} \quad (2.21)$$

En choisissant :

$$V_{BE} = V_{BE1} \quad (2.22)$$

$$\Delta V_{BE} = V_{BE1} - V_{BE2} \quad (2.23)$$

la tension de référence s'écrit :

$$V_{REF}(T) = V_{g0} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \frac{T}{T_0} - \frac{kT}{q} (\eta - \theta) \ln \left(\frac{T}{T_0}\right) + V_t K \ln(K_1 K_2) \quad (2.24)$$

Pour une compensation à la température au premier ordre de V_{REF} au voisinage de T_0 , sa dérivée première doit s'annuler pour $T=T_0$:

$$\frac{\partial V_{REF}}{\partial T} = -\frac{V_{g0}}{T_0} + \frac{V_{BE1}(T_0)}{T_0} - \frac{k}{q} (\eta - \theta) \ln \left(\frac{T}{T_0}\right) - \frac{k}{qT_0} (\eta - \theta) + \frac{k}{q} K \ln(K_1 K_2) \quad (2.25)$$

En remplaçant T par T_0 dans (2.25) :

$$\left. \frac{\partial V_{REF}}{\partial T} \right|_{T=T_0} = -\frac{V_{g0}}{T_0} + \frac{V_{BE1}(T_0)}{T_0} - \frac{k}{qT_0} (\eta - \theta) + \frac{k}{q} K \ln(K_1 K_2) = 0 \quad (2.26)$$

La résolution de cette équation donne la solution suivante pour la constante K :

$$K = \frac{V_{g0} - V_{BE1}(T_0) + (\eta - \theta) \frac{k}{q}}{\frac{kT_0}{q} \ln(K_1 K_2)} \quad (2.27)$$

ou encore :

$$K = \frac{V_{g0} - V_{BE1}(T_0) + (\eta - \theta) \frac{k}{q}}{V_{BE1}(T_0) - V_{BE2}(T_0)} \quad (2.28)$$

En remplaçant (2.28) dans (2.24), l'expression de la tension de référence compensée à la température au premier ordre est la suivante :

$$V_{REF}(T) = V_{g0} + (\eta - \theta) \frac{kT}{q} \left(1 - \ln \left(\frac{T}{T_0}\right)\right) \quad (2.29)$$

Idéalement, la tension de référence est égale à la tension bandgap. Cependant, il subsiste un second terme présentant une dépendance non linéaire à la température :

$$V_{REFNL}(T) = (\eta - \theta) \frac{kT}{q} \left(1 - \ln \left(\frac{T}{T_0}\right)\right) \quad (2.30)$$

Pour minimiser ce second terme, il convient de choisir $\theta = \eta$. La valeur de η est fixée par le processus de fabrication et a une valeur proche de 4. Le raisonnement conduit précédemment est uniquement valable si l'hypothèse formulée par l'équation (2.19) est remplie. Il est facile

d'obtenir des courants I_C CTAT ($\theta = -1$), PTAT ($\theta = 1$) voire même PTAT2 ($\theta = 2$). En revanche, la réalisation de courants PTAT4 est relativement plus complexe. La tension V_{REFNL} ne peut être totalement annulée en utilisant cette méthode-là.

Dans cette partie, nous avons vu le principe des références bandgap et la dépendance à la température résiduelle après une compensation au premier ordre. Dans la partie suivante, nous verrons comment sont réalisés les circuits bandgap à travers différents circuits élémentaires. Nous étudierons également des circuits bandgap proposant une correction d'ordre deux et plus.

1.1.2 Références de tension bandgap classiques

a) Référence de tension bandgap de Widlar

Le premier circuit bandgap est représenté à la figure 2.2 [70]. Il reçoit un courant de polarisation I . Il est constitué de 3 résistances et de 3 transistors bipolaires.

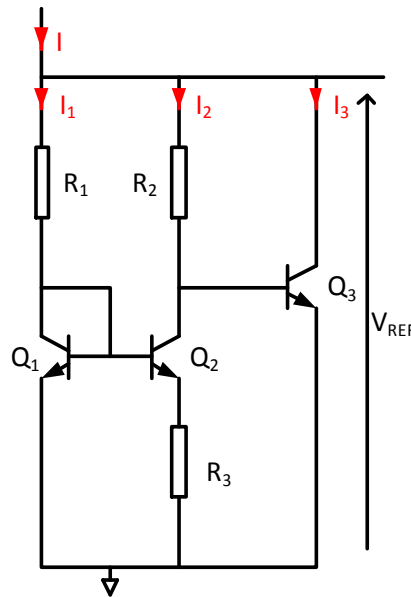


Figure 2.2 : Version simplifiée de la référence de tension bandgap de Widlar

Le transistor Q_1 présente un courant de saturation en inverse K_2 fois supérieur à celui de Q_2 . En faisant l'hypothèse simplificatrice que les transistors Q_1 et Q_3 ont leurs tensions base-émetteur égales, la relation liant les courants I_1 et I_2 est donnée par le rapport des résistances R_1 et R_2 :

$$\frac{I_1}{I_2} = \frac{R_2}{R_1} = K_1 \quad (2.31)$$

Ainsi, il apparait une différence de tension ΔV_{BE} aux bornes de R_3 :

$$\Delta V_{BE} = V_t \ln(K_1 K_2) \quad (2.32)$$

En négligeant tout courant de base devant tout courant de collecteur, la tension aux bornes de R_2 est elle-aussi proportionnelle à ΔV_{BE} :

$$V_{R2} = \frac{R_2}{R_3} \Delta V_{BE} \quad (2.33)$$

Le transistor Q_3 est l'étage qui, grâce-à son gain, régule la tension de référence V_{REF} . Cette tension est égale à la somme de la tension base-émetteur de Q_3 et de la tension aux bornes de la résistance R_2 :

$$V_{REF} = V_{BE3} + K \Delta V_{BE} \quad (2.34)$$

La compensation à la température se fait en réglant le facteur K , soit le rapport R_2/R_3 .

b) Référence de tension bandgap de Brokaw

Dans le circuit de Brokaw présenté à la figure 2.3, le miroir de courant formé de Q_3 et Q_4 impose l'égalité des courants de collecteur de Q_1 et Q_2 [72].

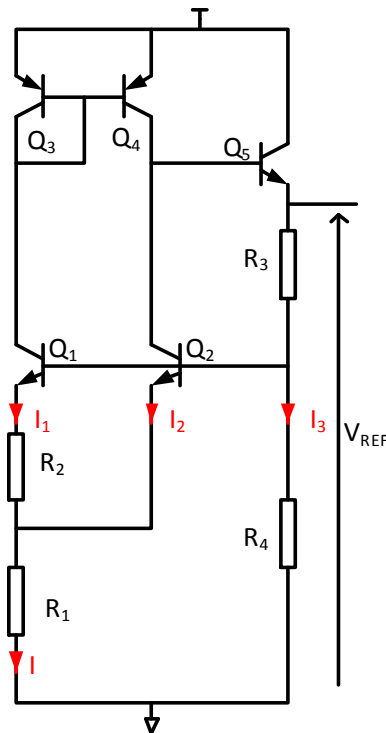


Figure 2.3 : Référence de tension bandgap de Brokaw

Le transistor Q_2 a un courant de saturation en inverse K_1 fois supérieur à celui de Q_1 . Une différence de tension ΔV_{BE} apparaît aux bornes de R_2 :

$$\Delta V_{BE} = V_t \ln(K_1) \quad (2.35)$$

Puisque les courants traversant Q_1 et Q_2 sont égaux, le courant traversant R_1 est le double de celui traversant la résistance R_2 et la tension aux bornes de R_1 est donnée par :

$$V_{R1} = 2 \frac{R_1}{R_2} V_t \ln(K_1) \quad (2.36)$$

Le transistor Q_5 réduit la résistance de sortie et contribue notamment à assurer une contre-réaction qui fournit un courant I_3 de telle sorte que la tension aux bornes de R_4 soit la somme des tensions V_{BE2} et V_{R1} . Cette somme est analogue à la tension de sortie d'un circuit bandgap classique dont la stabilité est obtenue en ajustant le rapport de résistances R_1/R_2 .

$$V_{REF} = \left(1 + \frac{R_4}{R_3}\right) \left(V_{BE2} + 2 \frac{R_1}{R_2} \ln(K_1) V_t\right) \quad (2.37)$$

La tension de référence est égale à la tension bandgap multipliée par un facteur supérieur à l'unité dépendant du rapport R_4/R_3 . Ainsi, elle peut prendre n'importe quelle valeur souhaitée supérieure à la tension bandgap de référence, sans avoir besoin d'être un multiple entier de cette dernière [Widlar71]. Cette amplification de la tension de bandgap était d'actualité quand les tensions d'alimentation des circuits étaient supérieures à dix volts.

c) Références de tension bandgap en technologie CMOS

Si, dans le bandgap présenté précédemment, Brokaw a cherché à obtenir une tension de référence supérieure à celle du bandgap du silicium, cela est aujourd'hui obsolète. En effet, les dimensions des composants des technologies CMOS avancées requièrent de faibles tensions d'alimentation pour assurer la fiabilité des dispositifs. En conséquence, les concepteurs de circuits analogiques doivent chercher de nouvelles façons de concevoir des circuits analogues aux références précédentes qui peuvent fonctionner à des tensions d'alimentation relativement basses tout en assurant le même type de performances [80]. Les références bandgap sont soumises à ces contraintes, en particulier quand la tension d'alimentation exigée s'approche de la tension bandgap du silicium. Le circuit étudié à présent, proposé par Banba *et al.*, est représenté à la figure 2.4. [81]. Il propose une solution pour créer une tension de référence égale à une fraction de la tension bandgap.

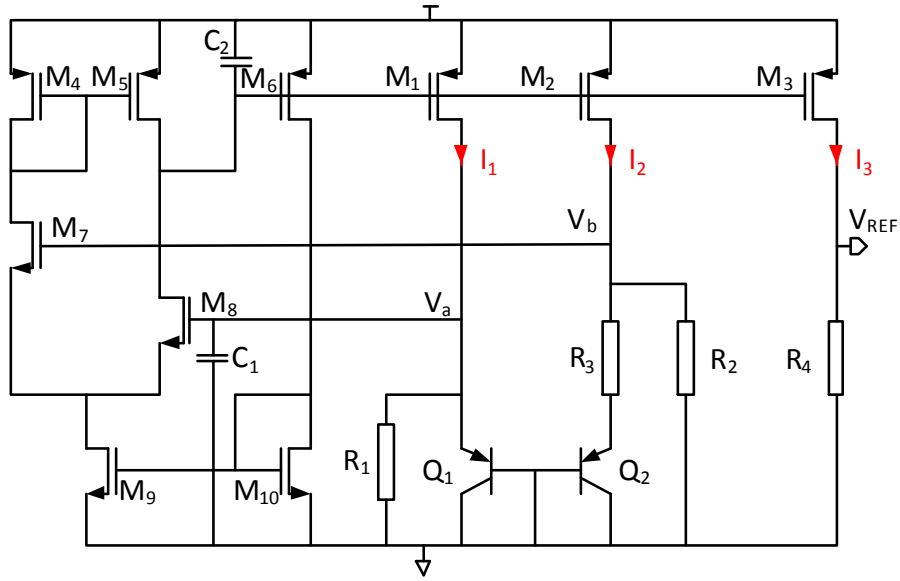


Figure 2.4 : Schéma de la référence bandgap proposée par Banba et al.

Ce circuit a été implémenté dans une technologie CMOS qui n'offrait pas de transistors bipolaires. Les jonctions PN sont réalisées à l'aide de diodes substrat de transistors PMOS, comme illustré à la figure 2.5.

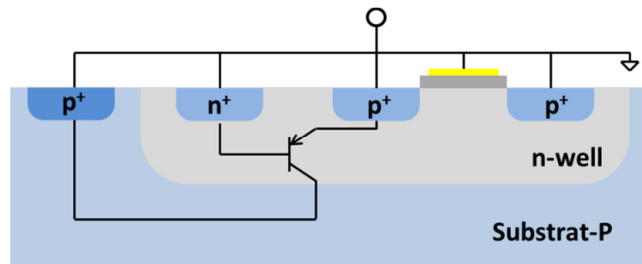


Figure 2.5 : Structure de la diode substrat

Les transistors M_4 - M_{10} et les capacités C_1 et C_2 , forment un amplificateur transconductance (OTA) auto-polarisé. Cet OTA permet de contrôler les grilles de M_1 et M_2 de telle façon que les potentiels V_a et V_b soient quasi-égaux entre eux. Les transistors M_1 - M_3 assurent l'égalité des courants I_1 , I_2 et I_3 et les résistances R_1 et R_2 sont égales. Dans ces conditions, nous pouvons écrire :

$$I_{R2} = \frac{V_{EB1}}{R_2} \quad (2.38)$$

$$I_{R3} = \frac{V_{EB1} - V_{EB2}}{R_3} = \frac{V_t \ln(K)}{R_3} \quad (2.39)$$

Le coefficient K correspond au coefficient K_I défini à l'équation (2.35). Le courant I_2 est égal à la somme des courant I_{R2} et I_{R3} :

$$I_2 = \frac{V_{EB1}}{R_2} + \frac{V_t \ln(K)}{R_3} \quad (2.40)$$

La valeur de la tension de référence délivrée par ce circuit bandgap est la suivante :

$$V_{REF} = R_4 \left(\frac{V_{EB1}}{R_2} + \frac{V_t \ln(K)}{R_3} \right) \quad (2.41)$$

Elle peut se mettre sous la forme :

$$V_{REF} = \frac{R_4}{R_2} \left(V_{EB1} + \frac{R_2}{R_3} V_t \ln(K) \right) \quad (2.42)$$

Le facteur entre parenthèses dans l'équation (2.42) correspond à la tension de référence d'un circuit bandgap classique (1,25 V). La valeur de la tension de référence et sa dépendance à la température se font à l'aide de rapports de résistances impliquant R_2 , R_3 et R_4 . Les transistors $M1-M3$ fonctionnent en régime saturé et permettent donc de faibles tensions drain-source. Ainsi, la tension d'alimentation peut être théoriquement abaissée à V_{EB1} si la tension de référence souhaitée est inférieure à cette valeur.

d) Références de tension bandgap d'ordre supérieur

Pour certaines applications, une référence de tension bandgap du premier ordre ne permet pas d'atteindre les performances souhaitées. Il est alors nécessaire d'utiliser des circuits bandgap d'ordre supérieur. Nous allons présenter ici trois circuits permettant une compensation au second ordre. Widlar en 1978 propose une solution dans laquelle, contrairement au bandgap du premier ordre où les courants de collecteur des transistors étaient égaux, cette fois l'un est polarisé par un courant PTAT, et l'autre par un courant constant, comme cela apparaît dans la figure 2.6 [82].

En ignorant dans un premier temps la différence de tension aux bornes de la résistance R_4 , la tension de référence peut s'écrire comme la somme de la tension aux bornes de R_3 et de la différence des tensions base-émetteur de Q_1 et Q_2 . La première est proportionnelle à V_{BE1} et donc décroît avec la température alors que la deuxième est proportionnelle à la température. Une compensation au premier ordre peut être obtenue en les additionnant dans les bonnes proportions. En admettant que le nœud du diviseur de courant (I , I_3 , I_4 et I_5) varie comme la tension base-émetteur de Q_1 , le courant I_4 est proportionnel à la température : $I_4=AT$.

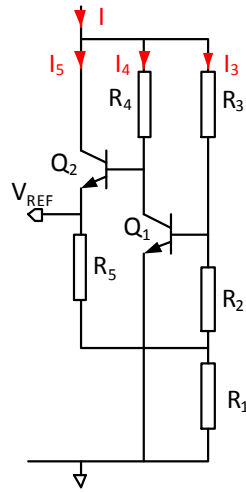


Figure 2.6 : Circuit de compensation de la non-linéarité [82].

En choisissant une valeur particulière de R_4 , le courant I_5 peut être indépendant de la température, pour la suite $B=I_5$. Les tensions base-émetteur de Q_1 et Q_2 peuvent se mettre sous la forme :

$$V_{BE1} = V_{g0} + \frac{kT}{q} \ln \left(\frac{AT}{C_1 T^\eta} \right) \quad (2.43)$$

$$V_{BE2} = V_{g0} + \frac{kT}{q} \ln \left(\frac{B}{C_2 T^\eta} \right) \quad (2.44)$$

La différence des tensions base-émetteur est donc égale à :

$$\Delta V_{BE} = \frac{kT}{q} \left(\ln \left(\frac{AC_2}{BC_1} \right) - \ln(T) \right) \quad (2.45)$$

La tension de référence prend la forme suivante :

$$V_{REF} = V_{BE} + K \Delta V_{BE} \quad (2.46)$$

$$V_{REF} = V_{g0} + \frac{kT}{q} \left((K - \eta) \ln(T) + \ln \left(\frac{BC_1^{k-1}}{C_2 A^{k-1}} \right) \right) \quad (2.47)$$

Le paramètre K est une constante définie par le rapport de résistances, R_2/R_1 . La compensation de la non-linéarité est donc obtenue si les contraintes suivantes sont remplies :

$$K = \eta \quad (2.48)$$

$$\frac{BC_1^{k-1}}{C_2 A^{k-1}} = 1 \quad (2.49)$$

Liu reprend le circuit de Banba et y apporte une correction au second ordre illustrée à la figure 2.7 [83].

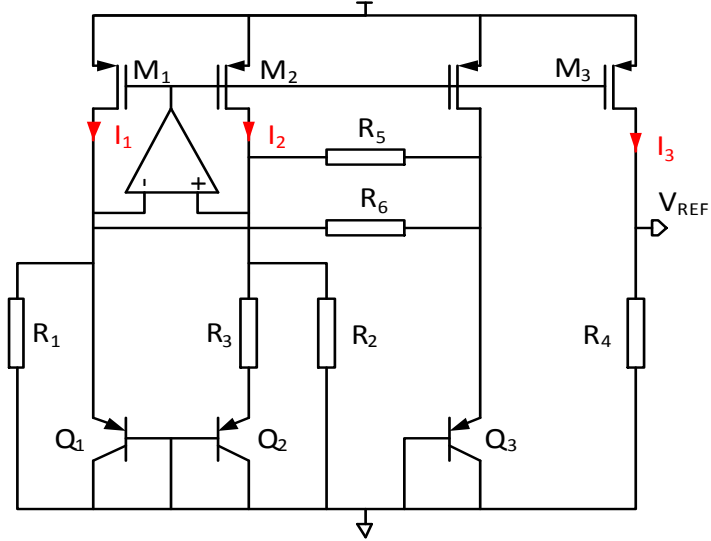


Figure 2.7 : Schéma du bandgap de Liu.

Comme le circuit de Banba, le courant qui traverse les transistors Q_1 et Q_2 est PTAT. Le transistor Q_3 est polarisé par une recopie du courant I_1 . Il est donc indépendant de la température.

$$V_{BE1,2} = V_{g0} + \frac{kT}{q} \ln \left(\frac{AT}{C_{1,2} T^\eta} \right) \quad (2.50)$$

$$V_{BE3} = V_{g0} + \frac{kT}{q} \ln \left(\frac{B}{C_3 T^\eta} \right). \quad (2.51)$$

La tension aux bornes des résistances R_5 et R_6 est égale à :

$$V_{NL}(T) = V_{BE1}(T) - V_{BE3}(T) = V_t \ln \left(\frac{AC_3}{BC_1} T \right) \quad (2.52)$$

Les résistances R_5 et R_6 étant égales, le courant qui les traverse vaut :

$$I_{NL} = \frac{V_{NL}}{R_{5,6}} \quad (2.53)$$

Ce courant vient s'ajouter à l'expression donnée par (2.40) pour donner :

$$I_2 = \frac{V_{BE1}}{R_2} + \frac{V_t \ln(K)}{R_3} + V_t \frac{1}{R_5} \ln \left(\frac{AC_3}{BC_1} T \right) \quad (2.54)$$

La tension de référence peut être exprimée comme suit :

$$V_{REF} = \frac{R_4}{R_2} \left(V_{BE1} + \frac{R_2}{R_3} \ln(K) V_t + \frac{R_2}{R_5} V_t \ln \left(\frac{AC_3}{BC_1} T \right) \right). \quad (2.55)$$

La tension V_{BE1} peut se mettre sous la forme :

$$V_{BE1} = V_{g0} + V_t \ln \left(\frac{A}{C_1} \right) - (\eta - 1) V_t \ln(T). \quad (2.56)$$

En choisissant :

$$\frac{R_2}{R_5} = \eta - 1 \quad (2.57)$$

$$\frac{R_2}{R_3} \ln(K) = \ln \left(\frac{C_1}{A} \right) \quad (2.58)$$

$$\frac{AC_3}{BC_1} = 1 \quad (2.59)$$

la non-linéarité de $V_{BE1}(T)$ peut être éliminée et la tension de référence ne présente en théorie aucune dépendance à la température.

La tension V_{BE} peut être décomposée en une série de Taylor autour de la température T_0 . Les coefficients sont notés a_i où i désigne l'ordre :

$$V_{BE}(T) = V_{BE}(T_0) + \sum_{i=1}^{\infty} a_i (T - T_0)^i \quad (2.60)$$

Ainsi, en la combinant au courant PTAT vu précédemment et à un courant PTAT2 généré par le circuit présenté à la figure 2.8, la compensation du second ordre est possible [84].

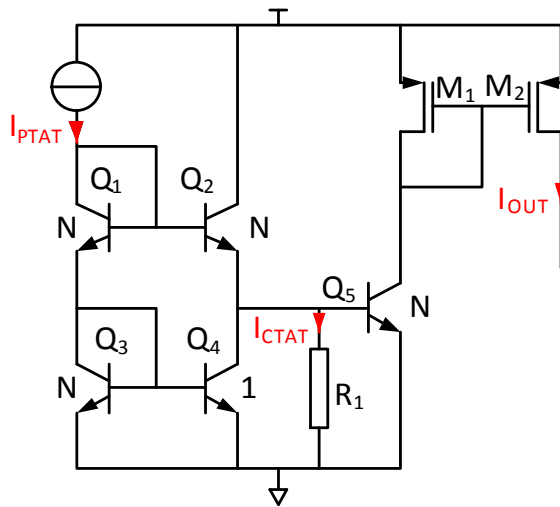


Figure 2.8 : Générateur de courant I_{PTAT2} [84].

$$I_{OUT} = \frac{I_{PTAT}^2}{I_{CTAT} + \frac{I_{PTAT}}{N}} = \frac{I_{PTAT}^2}{K} \quad (2.61)$$

En utilisant des résistances ayant des coefficients de température différents, il est également possible d'obtenir des bandgaps du second ordre [85] et même du troisième ordre avec des coefficients de température inférieurs à 1 ppm/°C [86], [87].

1.2 Référence de tension CMOS

Les références de tensions présentées précédemment étaient basées sur l'utilisation de jonctions PN de transistors bipolaires ou sur celle de diodes substrat parasites des transistors MOS. Dans le cadre de l'utilisation de technologies « full CMOS », il est possible de contourner l'utilisation des diodes substrat parasites des transistors MOS, qui ne sont pas de très bonne qualité. Tout comme la tension base-émetteur des bipolaires, la tension de seuil des transistors NMOS décroît avec la température [40]. En polarisant les transistors MOS sous le seuil, l'équation qui régit le courant I_D et la tension V_{GS} fait intervenir le potentiel thermodynamique :

$$V_{GS} = V_T + nV_t \ln\left(\frac{I_D}{I_s S}\right) \quad (2.62)$$

$$S = \frac{W}{L} \quad (2.63)$$

Là encore, par analogie avec les transistors bipolaires, en faisant la soustraction entre deux tensions grille-source, il est possible d'extraire le potentiel thermodynamique :

$$V_{GS1} - V_{GS2} = nV_t \ln\left(\frac{S_2}{S_1}\right) \quad (2.64)$$

En considérant le facteur de fitting n indépendant de la température et en additionnant dans les bonnes proportions la tension de seuil d'un transistor MOS et la différence des deux tensions V_{GS} , une tension de référence peut être obtenue. C'est ce qui est réalisé dans le circuit de la figure 2.9 [88],[89].

Les transistors M_1 et M_2 fonctionnent sous le seuil. Le transistor M_3 qui fonctionne en régime linéaire convertit la différence des tensions grille-source de M_1 et M_2 en un courant I_0 . Cette architecture correspond à une cellule de Widlar ici réalisée en MOS. Le courant PTAT qui en résulte polarise la charge active formée par les transistors M_4 - M_5 polarisés respectivement en

régime linéaire et saturé. Le transistor M_6 , en contribuant à égaliser les potentiels de drain de M_1 et M_2 améliore le comportement aux variations de la température de la tension d'alimentation. Les transistors PMOS forment un double miroir de courant cascadé de gain G_1 et G_2 .

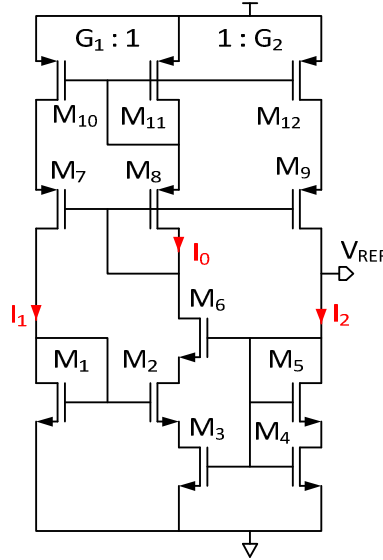


Figure 2.9 : Tension de référence de Matsuda et al.[89] : désensibilisation de la tension de seuil à la température.

La résolution des équations qui régissent ce circuit donne [90] :

$$V_{REF} = V_T + KnV_t \quad (2.65)$$

$$K = \left(1 + \sqrt{1 - \frac{S_4 // S_5}{S_3} \frac{1}{G_2}} \right) \frac{S_3}{S_4 // S_5} G_2 \ln \left(\frac{S_2}{S_1} G_1 \right) \quad (2.66)$$

Une autre possibilité pour réaliser une tension de référence « full-CMOS » est d'utiliser la compensation mutuelle entre la tension de seuil et la mobilité [91].

1.3 Tensions de référence durcies aux radiations

La sensibilité des références bandgaps à la dose a été étudiée par Raw [92]. Dans ces travaux, des cellules de Widlar du premier ordre et des cellules de Brokaw du second ordre ont été irradiées par une source de cobalt-60 à un débit de dose de 5 mrad(Si)/s. Il a été observé que les bandgaps faisant intervenir des transistors PNP latéraux ou substrat étaient plus sensibles aux radiations que ceux faisant intervenir de « vrais » transistors NPN. Ceci est dû en partie à l'augmentation non négligeable des courants de fuite des transistors latéraux et substrat avec les radiations. Pour réduire fortement ces courants de fuites, des MOS fermés et des anneaux de

garde peuvent être utilisés [93], [94]. Cette technique a permis de diminuer par trois la dérive de la tension de référence sur une cellule de type Banba [93].

Une autre étude menée par Barnaby *et al.* [95] a mis en évidence la dépendance au débit de dose de la tension de référence fournie par une référence bandgap. L'analyse des résultats présentés a démontré qu'à fort débit de dose la dérive de la tension de référence est due à la superposition de deux phénomènes. Le premier qui est l'apparition d'un courant fuite entre le collecteur et l'émetteur, est prépondérant à faible dose. Alors qu'à forte dose, le second phénomène identifié comme étant la dégradation du gain des transistors prend le dessus. A faible débit de dose, seule la dégradation du gain engendre une dérive de la tension de référence tout au long des irradiations. Ce phénomène a tendance à saturer au-delà d'une certaine dose déposée. Dans la mesure où ces deux phénomènes engendrent des effets antagonistes sur la tension de référence (dérive positive pour le courant de fuite et négative pour la dégradation du gain), il s'ensuit une dégradation moyenne moindre à fort débit de dose, comme cela est souvent observé dans la plupart des circuits linéaires réalisés en technologie bipolaire.

1.4 Comparatif

Après avoir décrit les principaux circuits délivrant une tension de référence, nous dressons dans le tableau 2.1 un comparatif de leurs performances, tel que le coefficient de température et la réjection de l'alimentation. Dans la première partie de ce chapitre, nous avons vu différentes façons de réaliser une référence de tension. Les meilleures références de tension exploitent la tension bandgap du silicium et pour cela des transistors bipolaires doivent être employés. Or, ce type de transistors n'est pas disponible dans notre technologie qui est dite « full CMOS ». L'utilisation des jonctions PN parasites de MOS permettraient d'exploiter cette tension bandgap. Cependant, celles-ci ne sont pas de très bonne qualité [75] et leur utilisation n'est pas souhaitable pour les applications radiatives à cause de leur courant de fuite, bien que l'utilisation de transistors MOS fermés et d'anneaux de garde permettent d'atténuer ce phénomène. De plus, dans la mesure où ce type de référence de tension fait intervenir des jonctions PN, tout comme les références de type bandgap, une dépendance au débit de dose est attendue. Les paramètres des MOS sur lesquels agissent les radiations sont bien connus et notamment ceux de leur tension de seuil. Ainsi l'axe de recherche va porter sur le durcissement au niveau circuit d'une référence de tension exploitant la tension de seuil des transistors MOS.

	Han 08	Paul 04	Guang 11	Gromov 07	Ueno 07	Filano 01
Type de référence	Références bandgap		Bandgaps CMOS		Références CMOS	
Type de compensation	1er ordre	2nd ordre	1er ordre	Rad-hard	V_T	V_T et μ_n
Technologie		BiCMOS	CMOS 160 nm	CMOS 130 nm	CMOS 350 nm	CMOS 350 nm
Tension d'alimentation (V)	1,2	5	$1,8 \pm 10\%$	0,85 à 1,4	1,4 à 3	3 à 3,3
Tension de référence (V)	630 m	1,15823	1,088	412 m	745 m	799 m
Plage de température (°C)	-10 à 100	-40 à 120	-40 à 125	0 à 80	-20 à 80	-20 à 100
TC (ppm/°C)	29	2.49	5-12	7	7	15
DC PSRR (dB)	-	-	74	50	60	-
$3\sigma/\mu$ (%)	-	-	$\pm 0,15\%$	4,5	21	-

Tableau 2.1 : Comparatif des différentes références de tension.

2 Techniques de durcissement de la tension de référence

2.1 Variation de la tension de seuil avec la température

Avant d'aborder l'aspect radiatif, nous allons détailler comment varie la tension de seuil avec la température. Les deux seuls paramètres qui causent une dépendance à la température de la tension de seuil sont : le potentiel d'extraction métal-semiconducteur Φ_{MS} et le potentiel de Fermi Φ_F . Ainsi la dérivée de la tension de seuil par rapport à la température est donnée par [91] :

$$\frac{\partial V_T}{\partial T} = \frac{\partial \Phi_{MS}}{\partial T} + 2 \frac{\partial \Phi_F}{\partial T} + \frac{\gamma}{\sqrt{2\Phi_F - V_{BS}}} \frac{\partial \Phi_F}{\partial T} \quad (2.67)$$

Les dérivées respectives du potentiel d'extraction métal-semiconducteur et du potentiel de Fermi sont données ci-dessous :

$$\frac{\partial \Phi_{MS}}{\partial T} = \frac{1}{T} (\Phi_{MS} + V_{g0} + 3V_t) \quad (2.68)$$

$$\frac{\partial \Phi_F}{\partial T} = \frac{1}{T} \left(\Phi_F - \frac{V_{g0}}{2} + \frac{3V_t}{2} \right) \quad (2.69)$$

Le coefficient en température de la tension de seuil s'écrit donc :

$$\frac{\partial V_T}{\partial T} = \frac{1}{T} \left(\Phi_{MS} + 2\Phi_F + \frac{\gamma}{2\sqrt{2\Phi_F - V_{BS}}} (2\Phi_F - V_{g0} - 3V_t) \right) \quad (2.70)$$

2.2 Compensation aux radiations

Il a été montré dans le chapitre 1 que la dérive due à la dose des tensions de seuil des transistors MOS s'explique par l'accumulation de charges dans l'oxyde Q_{ox} et à l'interface Q_{it} :

$$V_T = \Phi_{MS} - \frac{Q_{it}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} + 2\Phi_F + \gamma\sqrt{2\Phi_F - V_{BS}} \quad (2.71)$$

La compensation à la dose de la tension de seuil nécessite l'annulation de ces variations de charges. Cependant, il est relativement difficile en pratique, de prédire la dérive d'une tension de seuil. D'une part, celle-ci dépend de l'épaisseur de l'oxyde et donc du procédé de fabrication. D'autre part, les accumulations de charges Q_{ox} et Q_{it} peuvent se compenser entre elles. Le degré de compensation dépend du débit de dose auquel est soumis le transistor, ce qui rend la dérive dépendante de l'application spatiale.

Pour l'annulation complète de la dérive, une solution consiste à soustraire deux tensions de seuils différentes tout en maintenant égales entre elles les dérives à la dose de chacune. La problématique relative à notre circuit réside dans la réalisation de ces deux tensions de seuil. Celles-ci bien sûr ne doivent pas être égales pour que leur différence ne soit pas nulle. Dans le paragraphe qui suit nous exposons quatre techniques, dont une qualifiée d'hybride, pour générer des valeurs de tensions de seuil différentes.

2.3 Différence de tensions de seuil

2.3.1 Transistors low et high V_T

Les transistors low et high- V_T (V_{T-Low} et V_{T-High} respectivement) sont largement utilisés dans le cadre de la conception de circuits numériques pour allier rapidité et faible consommation [96]. Pour réaliser ces technologies à multi-tensions de seuil, différentes concentrations de

dopage de la région de canal N_a sont utilisées [97]. La différence entre ces deux tensions de seuil donne :

$$\Delta V_T = \Phi_{MS-Higt} - \Phi_{MS-Low} + 2(\Phi_{F-Higt} - \Phi_{F-Low}) + \gamma_{Higt} \sqrt{2\Phi_{F-Higt}} - \gamma_{Low} \sqrt{2\Phi_{F-Low}} \quad (2.72)$$

$$\Delta V_T = \frac{3kT}{q} \ln\left(\frac{N_{a-High}}{N_{a-Low}}\right) + \sqrt{\frac{kT}{q} \frac{\sqrt{2q\epsilon_{si}}}{C_{ox}}} \left(\sqrt{N_{a-High} \ln \frac{N_{a-High}}{n_i}} - \sqrt{N_{a-Low} \ln \frac{N_{a-Low}}{n_i}} \right) \quad (2.73)$$

Ce procédé de fabrication nécessite l'utilisation de masques et des étapes de fabrication supplémentaires. Pour des raisons de coût, ces transistors ne sont pas disponibles dans toutes les technologies. La technologie HCMOS9A que nous utilisons n'offrant pas ce type de transistors, nous ne suivrons pas cette piste.

2.3.2 L'effet substrat

L'effet substrat ou « body-effect » en anglais est la polarisation du quatrième accès du MOS : le bulk (V_{BS}). Cette polarisation a été rendue possible grâce aux progrès des technologies « triple-well ». L'ajout d'un caisson N lors de la fabrication du transistor NMOS isole le substrat de la masse du circuit et permet ainsi d'appliquer une tension non nulle sur le « bulk ».

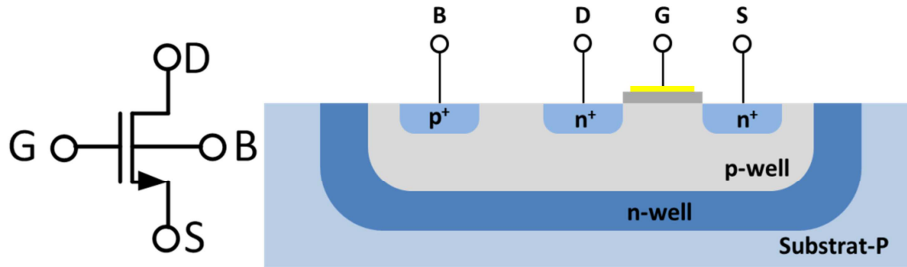


Figure 2.10 : Contrôle de la polarisation du bulk en technologies CMOS triple-well.

Le contrôle du bulk a déjà montré son efficacité, notamment lors de la réalisation de mélangeurs [98] et de LNA [99]. Il permet également le réglage d'une tension de référence [38]. Cette référence de tension est basée sur la compensation à la température de la tension de seuil d'un transistor NMOS. La tension de seuil étant liée à la tension V_{BS} , le réglage de la valeur tension de référence et de sa dépendance à la température sont possibles. En exploitant cette dépendance de la tension de seuil à la tension V_{BS} , il est possible d'obtenir des valeurs de tensions de seuils distinctes. La figure 2.11 donne les variations de la tension de seuil et du courant de bulk en fonction de la tension V_{BS} .

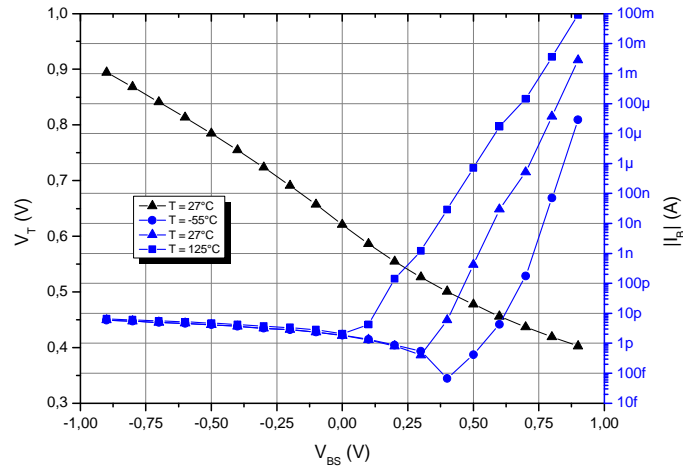


Figure 2.11 : Evolution de la tension de seuil et de la valeur absolue du courant du bulk en fonction de la polarisation du potentiel de bulk référencé à la source d'un transistor NMOS de dimensions $W = 2 \text{ um}$ et $L = 1 \text{ um}$.

Deux observations peuvent être faites grâce à ces courbes. Quand la tension V_{BS} augmente, la tension de seuil diminue et le courant de bulk augmente. Ce dernier phénomène qui est dû à la mise en conduction de la jonction PN bulk-source s'accroît avec la température. La polarisation positive du bulk doit être réalisée avec précaution pour que l'augmentation du courant du I_B ne vienne pas perturber la fonction en amont qui le polarise.

Considérons deux tensions de seuils V_{T1} et V_{T2} issues de deux transistors de mêmes dimensions dont le second a son bulk polarisé par une tension V_{BS} positive. Il s'agit là d'une polarisation inhabituelle dont la justification sera donnée dans la partie suivante. Cela entraîne une valeur de V_{T2} inférieure à celle de V_{T1} . Leur différence notée ΔV_T est égale à :

$$\Delta V_T = \gamma_1 \sqrt{2\Phi_F} - \gamma_2 \sqrt{2\Phi_F - V_{BS}} \quad (2.74)$$

En supposant que $\gamma_1 = \gamma_2$, on a :

$$\Delta V_T = \gamma_{1,2} \left(\sqrt{2\Phi_F} - \sqrt{2\Phi_F - V_{BS}} \right) \quad (2.75)$$

Ainsi la dépendance aux radiations des V_T a été annulée. Cependant, pour que cette différence de tension existe et reste indépendante des radiations, il est nécessaire de polariser le bulk par une tension également indépendante des radiations. Pour cela, une rétroaction de gain B , avec $B > 0$, est réalisée entre ΔV_T et le bulk de telle sorte que :

$$\Delta V_T = \gamma_{1,2} \left(\sqrt{2\Phi_F} - \sqrt{2\Phi_F - B\Delta V_T} \right) \quad (2.76)$$

La résolution de cette équation donne :

$$\Delta V_T = \gamma \left(2\sqrt{2\Phi_F} - B\gamma \right) \quad (2.77)$$

En considérant le facteur B indépendant de la température et des radiations, la dépendance à la température de ΔV_T est déterminée uniquement par celle de γ et Φ_F . Il a été montré dans la partie précédente que le paramètre γ ne présente aucune dépendance à la température, alors que le paramètre Φ_F , lui, décroît [40]. Quand la température augmente, il en résulte que la différence des tensions de seuil décroît elle aussi avec la température. Elle est de type CTAT. Pour obtenir une compensation à la température, une combinaison linéaire entre la tension ΔV_T et une tension PTAT (typiquement V_t) doit être réalisée. Un coefficient correctif noté K est également appliqué à V_t .

$$V_{REF} = \Delta V_T + KV_t \quad (2.78)$$

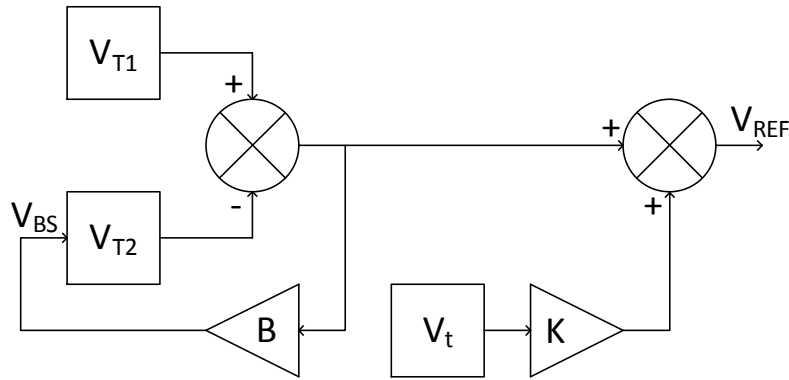


Figure 2.12 : Principe de la référence de tension basée sur l'effet substrat.

2.3.3 L'effet de la longueur de canal

La dépendance du facteur d'effet substrat avec la longueur de canal est également une solution pour obtenir des valeurs de tensions de seuil distinctes. Cet effet du second ordre, souvent non souhaité, est modélisé par l'équation suivante [39] :

$$\gamma(L) = \gamma_{long} \left(1 - \frac{x_j}{L} \ln \left(\frac{eL}{x_j} \right) \right) \quad (2.79)$$

où γ_{long} , x_j et e sont respectivement le facteur de l'effet substrat défini à la partie précédente, la profondeur de jonction et la constante d'Euler. Ainsi, en choisissant différentes longueurs de canal, différentes tensions de seuil peuvent être obtenues tout en ayant la même dépendance aux radiations (2.81).

$$\Delta V_T = V_{T1} - V_{T2} \quad (2.80)$$

$$\Delta V_T = (\gamma_1 - \gamma_2) \sqrt{2\Phi_F} \quad (2.81)$$

La dépendance à la température de cette différence de tensions de seuil est déterminée par celles de Φ_F et de γ . Dans une approche au premier ordre, Φ_F peut être considéré comme décroissant avec la température, alors que γ indépendant de [40]. Ainsi, la variation à la température de ΔV_T procède comme la racine carrée de Φ_F et, donc, au premier ordre est de type CTAT. Comme précédemment, une tension PTAT doit être ajoutée pour réaliser la désensibilisation à la température.

2.3.4 Solution hybride : effet longueur de canal et effet substrat

Cette solution hybride combine l'effet de substrat et la dépendance à la longueur de canal du facteur de l'effet substrat du MOS. Considérons à présent un transistor M_1 de facteur d'effet substrat γ_1 et un transistor M_2 de facteur d'effet substrat γ_2 qui a son bulk polarisé par une tension V_{BS} positive. La différence de leurs tensions de seuil s'écrit comme suit :

$$\Delta V_T = V_{T1} - V_{T2} \quad (2.82)$$

$$\Delta V_T = \gamma_1 \sqrt{2\Phi_F} - \gamma_2 \sqrt{2\Phi_F - V_{BS}} \quad (2.83)$$

Comme précédemment, la tension de référence est élaborée en apportant un coefficient multiplicateur A à ΔV_T et une rétroaction de gain B positif entre elle-même et la tension V_{BS} .

$$V_{REF} = A \left(\gamma_1 \sqrt{2\Phi_F} - \gamma_2 \sqrt{2\Phi_F - BV_{REF}} \right) \quad (2.84)$$

La dérivée par rapport à la température de la tension de référence est égale à :

$$\frac{\partial V_{REF}}{\partial T} = A \left(\frac{\partial \Phi_F}{\partial T} \frac{\gamma_1}{\sqrt{2\Phi_F}} - \left(\frac{\partial \Phi_F}{\partial T} - \frac{B}{2} \frac{\partial V_{REF}}{\partial T} \right) \frac{\gamma_2}{\sqrt{2\Phi_F - BV_{REF}}} \right) \quad (2.85)$$

Pour une compensation à la température au premier ordre au voisinage de T_0 de la tension de référence, il faut que soit satisfaite l'équation suivante :

$$\left. \frac{\partial \Delta V_{REF}}{\partial T} \right|_{T=T_0} = A \frac{\partial \Phi_F}{\partial T} \left(\frac{\gamma_1}{\sqrt{2\Phi_F}} - \frac{\gamma_2}{\sqrt{2\Phi_F - BV_{REF}}} \right) = 0 \quad (2.86)$$

Soit :

$$\frac{\gamma_1}{\sqrt{2\Phi_F(T_0)}} - \frac{\gamma_2}{\sqrt{2\Phi_F(T_0) - BV_{REF}(T_0)}} = 0 \quad (2.87)$$

$$V_{REF}(T_0) = \frac{2\Phi_F(T_0)}{B} \left(1 - \left(\frac{\gamma_2}{\gamma_1} \right)^2 \right) \quad (2.88)$$

Puisque cette analyse s'applique à V_{REF} à toute température, au voisinage de la température T_0 , les valeurs de V_{REF} et Φ_F sont aussi incluses. En remplaçant T par T_0 dans l'équation (2.84), la tension de référence s'écrit :

$$V_{REF}(T_0) = A \left(\gamma_1 \sqrt{2\Phi_F(T_0)} - \gamma_2 \sqrt{2\Phi_F(T_0) - BV_{REF}(T_0)} \right) \quad (2.89)$$

Les équations (2.88) et (2.89) doivent être satisfaites, ce qui donne la contrainte suivante :

$$A\gamma_1 \sqrt{2\Phi_F(T_0)} \left(1 - \left(\frac{\gamma_2}{\gamma_1} \right)^2 \right) = \frac{2\Phi_F(T_0)}{B} \left(1 - \left(\frac{\gamma_2}{\gamma_1} \right)^2 \right) \quad (2.90)$$

$$AB = \frac{\sqrt{2\Phi_F(T_0)}}{\gamma_1} \quad (2.91)$$

Ainsi, il existe une valeur du produit AB telle que la tension de référence présente une dépendance à la température théoriquement nulle au voisinage de T_0 . La tension de référence est alors égale à :

$$V_{REF}(T_0) = A\gamma_1 \sqrt{2\Phi_F(T_0)} \left(1 - \left(\frac{\gamma_2}{\gamma_1} \right)^2 \right) \quad (2.92)$$

En comparaison avec les deux méthodes précédentes, il n'est pas nécessaire de compenser la dérive de la différence des tensions de seuil par l'ajout d'une tension PTAT extérieure. En effet, deux degrés de liberté s'offrent à nous : le choix de la longueur de canal et le potentiel du bulk. Cela permet une compensation en interne. La résolution complète de l'équation (2.84) donne l'expression suivante de la tension de référence :

$$V_{REF} = A \left(\gamma_1 \sqrt{2\Phi_F} - \frac{AB\gamma_2^2}{2} \right) \left(1 + \sqrt{1 - \frac{8(\gamma_1^2 - \gamma_2^2)\Phi_F}{(AB\gamma_2^2 - 2\gamma_1\sqrt{2\Phi_F})^2}} \right) \quad (2.93)$$

3 Conception du circuit et résultats de simulation

Pour annuler la dépendance à la dose des tensions de référence CMOS, il a été montré dans la deuxième partie de ce chapitre que la différence entre deux tensions de seuil répond bien à la désensibilisation aux radiations. Différentes méthodes ont ensuite été présentées pour obtenir des valeurs de tension de seuil distinctes. La première méthode s'appuie sur des transistors « Low- V_T » et « High- V_T ». A cause du coût important de ces technologies provoqué par l'ajout de masques et d'étapes de fabrication supplémentaires, cette option n'est pas proposée dans toutes les technologies. Ce type de transistors n'étant pas disponible dans la technologie HCMOS9A utilisée pour la conception de ce circuit, cette première méthode a été d'emblée écartée. Les méthodes utilisant l'effet substrat et le facteur d'effet substrat nécessitent une désensibilisation externe à la température. Dans cette partie, nous verrons comment est réalisé le circuit générant le courant CTAT issu de la différence des tensions de seuil. Le circuit PTAT sera réalisé à partir de la cellule de Widlar en MOS présentée dans l'état de l'art. Ensuite, nous développerons la réalisation du circuit global pour les méthodes reposant sur le facteur substrat et la méthode hybride. La méthode basée sur le seul effet substrat n'est pas abordée, car ses performances ne sont pas compétitives par rapport à celles de l'état de l'art.

3.1 Obtention de la différence des tensions de seuil

Pour extraire la différence des tensions de seuil des transistors MOS, la soustraction de leur tension V_{GS} doit être réalisée. Plusieurs, circuits dont ceux présentés en figure 2.13, permettent cette opération.

$$I_1 = \frac{V_{GS1} - V_{GS2}}{R_1} \quad (2.94)$$

Dans le cadre du contrôle du « bulk » du transistor M_2 , la cellule de la figure 2.13(a) n'est pas souhaitable. En effet, le potentiel de source de M_2 est nécessairement strictement positif puisqu'il est égal à la tension aux bornes de R_1 . Pour contrôler le potentiel de bulk de M_2 , il faut tenir compte de cette tension, ce qui rend difficile ce réglage.

Les deux transistors M_1 et M_2 de la cellule (b) ont leur source connectée à la masse. Le contrôle du potentiel de bulk, quand la source du transistor est à la masse est bien plus aisé. Pour éviter d'avoir à créer une tension négative, le potentiel de bulk sera polarisé positivement

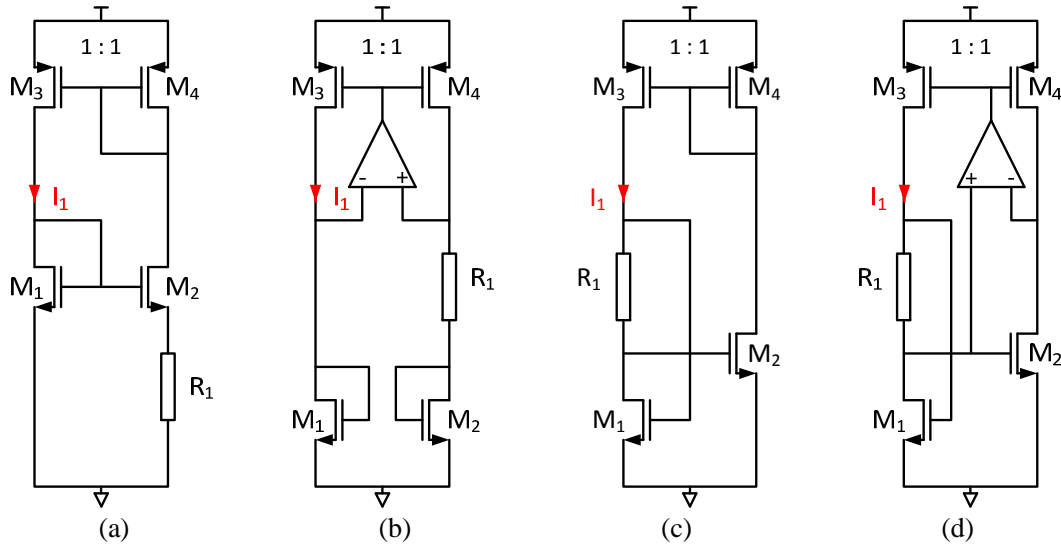


Figure 2.13 : Soustracteurs de V_{GS} : cellule de Widlar (a), cellule de Banba (b), cellule de Chen¹ (c), cellule proposée (d).

Dans cette cellule, la soustraction des tensions V_{GS} est assurée par l'amplificateur opérationnel transconductance (OTA) qui, de fait, fonctionne en OPA. Ceci permet de diminuer la tension minimale d'alimentation. En revanche, les variations du gain A et de l'offset V_{OS} de l'OTA ont une répercussion directe sur la différence des tensions de seuil ΔV_T et donc sur le courant I_1 [79].

$$I_1 = \frac{V_{GS1} - V_{GS2} + V_{OS} + V(A)}{R_1} \quad (2.95)$$

Dans la figure 2.13c, la soustraction des tensions V_{GS} est immédiate. Tout comme dans la cellule (b), les deux transistors M_1 et M_2 ont leur source connectée à la masse.

Initialement, ces cellules ont été prévues pour extraire le potentiel thermodynamique, les transistors M_1 et M_2 fonctionnant sous le seuil. Or, nous avons vu dans le premier chapitre que ce régime de fonctionnement n'est pas approprié aux applications radiatives. En faisant travailler ces transistors en régime saturé, le courant I_1 est égal à :

$$I_1 = \frac{1}{R_1} \left(V_{T1} - V_{T2} + \sqrt{\frac{2I_1}{\beta_1(1 + \lambda_1 V_{DS1})}} - \sqrt{\frac{2I_2}{\beta_2(1 + \lambda_2 V_{DS2})}} \right) \quad (2.96)$$

¹ Cette cellule est inspirée d'un circuit présenté dans un ouvrage de Chen où aucune référence n'est reportée. Pour des raisons de clarté, elle a été nommée ici cellule de Chen sans que pour autant celle-ci lui appartienne.

En imposant que les tensions « overdrive » soient égales entre elles, nous obtenons un courant I_1 proportionnel à la différence des tensions de seuil de M_1 et M_2 .

$$I_1 = \frac{V_{T1} - V_{T2}}{R_1} \quad (2.97)$$

La cellule (d) que nous proposons dans cette thèse va permettre d'annuler au mieux les tensions « overdrive ». Les courants I_1 et I_2 traversant les transistors M_1 et M_2 sont égalisés grâce au miroir de courant à gain unitaire formé par M_3 et M_4 . L'OTA impose que la tension drain-source du transistor M_2 soit égale à celle du transistor M_1 . Ainsi, l'influence de la modulation de la longueur de canal est considérablement minimisée, contrairement à ce qui se produit dans la cellule (c), où le potentiel du drain du transistor M_2 est imposé par le transistor M_3 monté en diode. Enfin, pour l'égalité des β , un choix approprié des dimensions des transistors M_1 et M_2 doit être réalisé.

3.2 Longueur de canal

La figure 2.14 donne la dépendance de la tension de seuil d'un transistor NMOS en fonction de la longueur de canal.

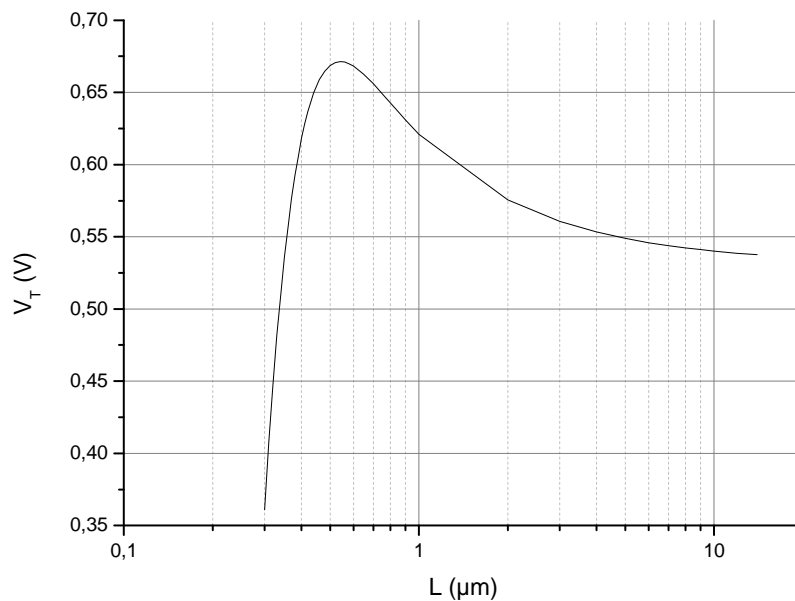


Figure 2.14 : Tensions de seuil en fonction de la longueur de canal pour un transistor NMOS de largeur de canal W de $2 \mu\text{m}$ en technologie HCMOS9A, 130 nm .

Une différence maximale de tensions de seuil peut être obtenue en choisissant des valeurs de L de $0,55 \mu\text{m}$ pour M_1 et $0,3 \mu\text{m}$ pour M_2 . Si, pour M_1 , la tension de seuil est peu sensible aux variations du procédé de fabrication, parce que sa dérivée par rapport à la longueur de canal est nulle en ce point, il en est autrement pour M_2 . Le choix d'avoir la plus grande différence de tension de seuil n'est donc pas souhaitable, en raison de la sensibilité à la dispersion technologique. De plus, ces longueurs de canal sont inférieures à $0,8 \mu\text{m}$, ce qui correspond à la zone dite de faible longueur de canal. Dans cette zone, les effets de bord ne peuvent pas être négligés [100], [101]. Au-delà de cette zone, la tension de seuil est strictement décroissante. Pour s'affranchir de ces effets et pour toutefois avoir une différence de tension de seuil conséquente, nous avons choisi une valeur de L_1 égale à $1 \mu\text{m}$. La valeur de la tension de seuil tendant vers une valeur fixe pour les longueurs de canal supérieures à $10 \mu\text{m}$, nous avons choisi de prendre L_2 égale à $10 \mu\text{m}$.

Le schéma complet de la référence de tension est représenté à la figure 2.15. Il s'agit d'une architecture en mode courant. Ce mode permet une combinaison plus souple entre les termes CTAT et PTAT que son analogue en tension. Ce circuit peut être décomposé en cinq sous-circuits.

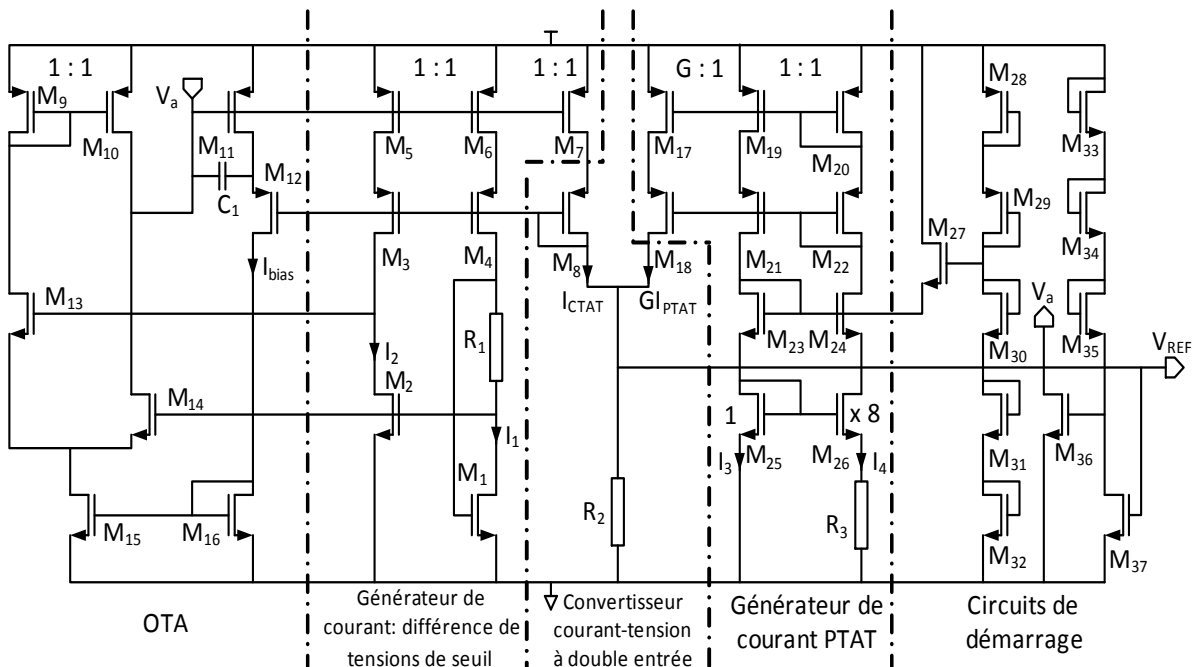


Figure 2.15 : Schéma complet de la référence de tension.

- Le premier est le générateur de courant proportionnel à la différence de tensions de seuil. Il est formé des transistors M_1 - M_7 et de la résistance R_1 . Sa sortie est le courant I_{CTAT} qui est égal à :

$$I_{CTAT} = \frac{V_{T1} - V_{T2}}{R_1} \quad (2.98)$$

- Le deuxième est l'amplificateur opérationnel transconductance composé des transistors M_9 - M_{16} . Comme il a été mentionné précédemment, l'OTA force la tension drain-source de M_2 à être égale à celle de M_1 afin de diminuer l'influence de la modulation de longueur de canal. Tout comme dans le circuit de la figure 2.13b, l'utilisation de l'OTA permet de réduire la tension minimale d'alimentation. Les transistors M_9 et M_{10} ont été dimensionnés pour qu'ils présentent eux-aussi une même tension drain-source, ce qui améliore les performances de la paire différentielle et, en particulier, son offset d'entrée. De plus, cet OTA est auto-polarisé grâce à un rebouclage assuré par les transistors M_{11} , M_{12} , M_{15} et M_{16} [81]. Le condensateur C_1 est ajouté pour garantir la stabilité de l'OTA.
- Le troisième sous-circuit est le générateur de courant PTAT formé des transistors M_{17} - M_{26} et de la résistance R_3 . Comme dans la cellule de Widlar, la résistance R_3 convertit la différence des tensions grille-source des transistors M_{25} et M_{26} polarisés en faible inversion :

$$I_{PTAT} = \frac{nV_t}{R_3} \ln(8) \quad (2.99)$$

Les transistors M_{25} et M_{26} sont identiques et ont leur jonction bulk-source court-circuitée. Aussi ont-ils la même tension de seuil. Cependant, le transistor M_{26} est un duplicata de huit transistors identiques placés en parallèle les uns aux autres, ce qui entraîne l'apparition du chiffre 8 dans le logarithme népérien de l'équation (2.99). Le gain en courant G du miroir de courant cascodé formé par les transistors M_{20} , M_{22} , M_{17} et M_{18} constitue le facteur de pondération appliqué au courant I_{PTAT} avant d'être combiné avec le courant I_{CTAT} . Cette cellule présente l'importante propriété d'être naturellement durcie aux radiations au niveau circuit, dans la mesure où la dérive des paramètres des transistors MOS peuvent se compenser mutuellement.

- Le transistor M_8 monté en diode et la résistance R_2 forment le quatrième sous-circuit, qui convertit la somme des courants I_{CTAT} et GI_{PTAT} en tension de référence V_{REF} . Les courants I_{CTAT} et I_{PTAT} sont considérés comme indépendants des effets TID. Par ailleurs, ils présentent des coefficients de dérive en température de signes opposés, de sorte que leur combinaison linéaire à l'aide du facteur de pondération G permet la génération d'un courant présentant un faible coefficient de dérive en température. La résistance R_2 convertit la somme des courant I_{CTAT} et GI_{PTAT} en la tension de référence V_{REF} :

$$V_{REF} = R_2 (I_{CTAT} + GI_{PTAT}) \quad (2.100)$$

$$V_{REF} = \frac{R_2}{R_1} (V_{T1} - V_{T2}) + G \frac{R_2}{R_3} \ln(8) nV_t \quad (2.101)$$

Comme le montre l'équation (2.101), deux rapports de résistances interviennent dans l'expression de la tension V_{REF} . Leur dérive en température est suffisamment faible pour être négligée. Le transistor M_8 monté en diode fournit la tension de grille des cascodes M_3 , M_4 , M_{18} , M_{21} et M_{24} , pour améliorer la précision de la recopie des courants.

- Le dernier sous-circuit composé des transistors M_{27} - M_{37} est en fait constitué de deux circuits de démarrage (ou « startup » en anglais). Le générateur de courant proportionnel à la différence des tensions de seuil associé à l'OTA, d'une part, le générateur de courant PTAT, d'autre part, présentent chacun, deux points de fonctionnement. En effet, ces deux sous-circuits présentent un point de polarisation à courant nul qui est stable. Deux circuits de démarrage doivent ainsi être ajoutés. Une fois que le point de fonctionnement à courant non nul souhaité est atteint, ces circuits n'interagissent plus avec le reste du circuit [102].

Dans le tableau 2.2, nous avons reporté les dimensions des transistors du circuit, sauf celles des transistors M_1 et M_2 qui sont discutées plus loin. Chaque transistor est constitué d'une combinaison en parallèle de M transistors identiques. Les valeurs des composants passifs sont données dans le tableau 2.3.

Transistors	W (μm)	L (μm)	M
$M_3 M_4 M_8 M_{12}$	10	3	1
$M_5 M_6 M_7 M_{11}$	10	3	3
$M_{13} M_{14} M_{15} M_{16}$	10	3	2
$M_9 M_{10}$	2,5	3	2
M_{17}	2	1	16
$M_{19} M_{20}$	2	1	10
$M_{23} M_{24}$	10	1	1
M_{25}	40	1	1
M_{26}	40	1	8
M_{27}	10	1	11
$M_{28} M_{29} M_{33} M_{34} M_{35}$	1	1	1
M_{30}	20	0,7	1
$M_{31} M_{32}$	10	0,7	1
$M_{36} M_{37}$	2	1	1

Tableau 2.2 : Dimensions des transistors.

Composants	Valeurs
R_1	4 k Ω
R_2	48 k Ω
R_3	16 k Ω
C_1	4 pF

Tableau 2.3 : Valeurs des composants passifs.

Comme il a été mentionné précédemment, les transistors M_1 et M_2 doivent avoir le même rapport largeur sur longueur. Par ailleurs, leurs longueurs de canal L_1 et L_2 doivent être différentes pour obtenir une différence de tension de seuil $V_{T1}-V_{T2}$ non nulle. Nous avons choisi respectivement 1 μm et 10 μm pour L_1 et L_2 . Dans ces conditions, la largeur W_2 du transistor M_2 doit être dix fois plus importante que celle du transistor M_1 . Les valeurs des largeurs retenues sont respectivement de 4 μm et 40 μm pour W_1 et W_2 . Nous avons subdivisé chacun de ces transistors, afin de réaliser un layout centroïde réputé améliorer leur appariement [103]. Tout d'abord, le transistor M_1 consiste en la mise en parallèle de deux transistors identiques, chacun

ayant une largeur de canal de $2\ \mu\text{m}$. Deux layouts sont proposés dans cette thèse et diffèrent dans la façon dont le transistor M_2 est subdivisé. Dans la première version présentée à la figure 2.16b et qualifiée de « proportionnelle », le transistor M_2 est constitué de deux transistors identiques placés en parallèle et de largeur $20\ \mu\text{m}$. Dans la seconde version présentée à la figure 2.16c et dite « conservative », le transistor M_2 est fait de 20 transistors identiques de $2\ \mu\text{m}$ de large, comme ceux qui forment le transistor M_1 , et tous sont placés en parallèle les uns aux autres.

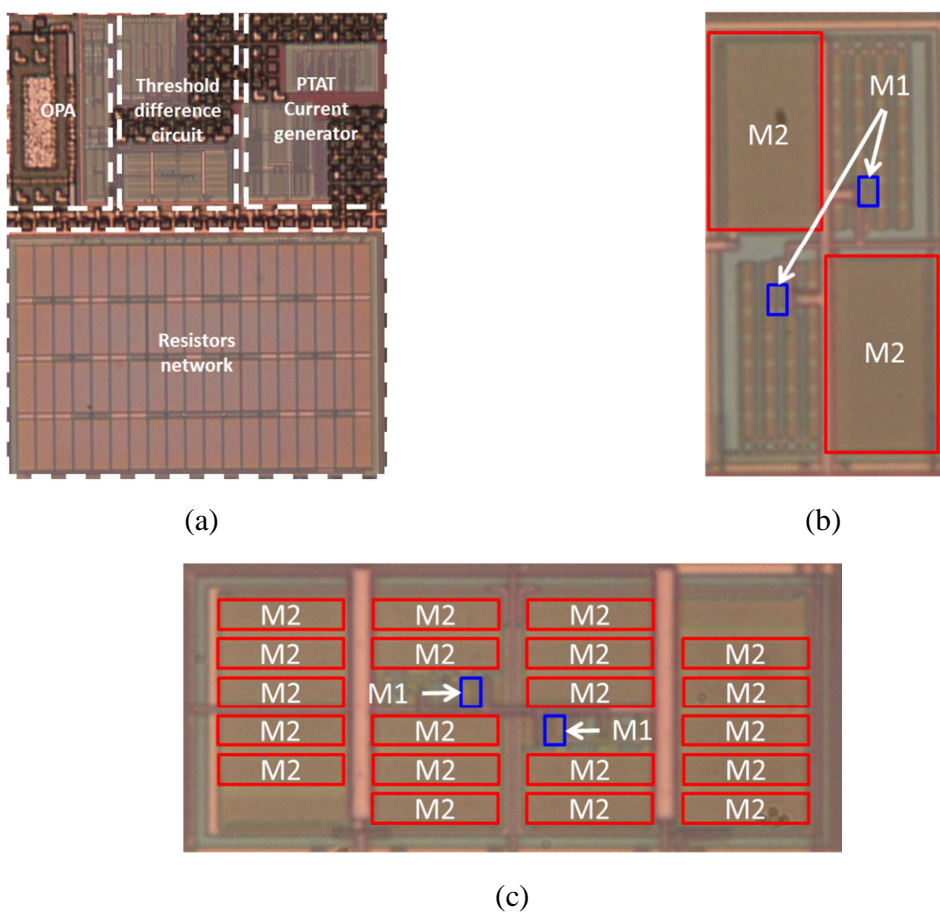


Figure 2.16 : Vue layout de la référence de tension dite conservative (a), zoom du réseau M_1 - M_2 des configurations proportionnelle (b) et conservative (c).

Ces deux tensions de référence ont été réalisées dans la technologie HCMOS9A 130 nm du fondeur STMicroelectronics. Le layout de la référence de tension conservative est représenté à la figure 2.16a. Il a une surface de $0,037\ \text{mm}^2$. Pour chacune des références de tension, en plus de l'utilisation d'anneaux de garde, tous les transistors ont été isolés les uns des autres. Cela a pour effet de diminuer les courants de fuites causés par les radiations. Bien que la topologie ELT soit une technique de durcissement efficace pour durcir un circuit électronique, qui plus est bien

applicable aux références de tension CMOS [93], cette technique n'a pas été mise en œuvre ici. En effet, ce type de transistors n'est pas disponible dans notre design kit. Il est donc nécessaire de les modéliser au préalable. Cette modélisation se révèle être délicate, notamment dans notre cas, où la dépendance de la tension de seuil des MOS à la longueur de canal doit être bien maîtrisée.

3.3 Résultats de simulation

Pour évaluer la robustesse des circuits, nous avons réalisé des simulations Monte-Carlo sur 1000 runs. La répartition statistique des résultats est présentée à la figure 2.17. La valeur moyenne (μ) et l'écart-type (σ) extraits de ces simulations nous permettent de trouver les dispersions normalisées ($3\sigma/\mu$) égales à 12,7% et 11,5% pour les configurations proportionnelle et conservative, respectivement. Au vu de ces deux résultats, nous constatons que ces deux circuits sont aussi robustes l'un que l'autre. Nous observons un écart significatif de 20 mV entre les deux valeurs de la tension de référence. Ceci s'explique en partie par le fait que les tensions d'overdrive des transistors M_1 et M_2 ne sont pas rigoureusement annulées dans chacune des configurations. Dans le cas de la configuration conservative, la tension résiduelle causée par la différence des tensions « overdrive » est de 2,3 mV, soit quatre fois plus faible que celle induite par la configuration proportionnelle. Cela laisse prévoir un meilleur comportement en termes de tenue aux radiations de la configuration conservative, dans la mesure où la soustraction des tensions de seuil est mieux assurée.

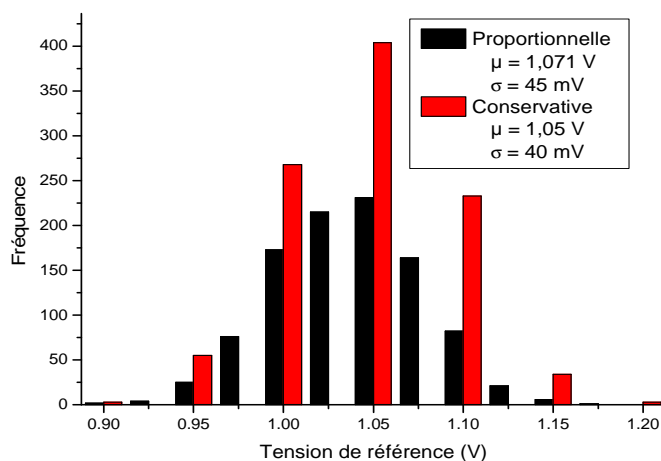


Figure 2.17 : Simulation Monte-Carlo relative à la tension de référence pour les deux configurations.

La dépendance à la température des références de tension est montrée à la figure 2.18. Dans la configuration proportionnelle, le coefficient de dérive en température TC est estimé à 4 ppm/°C. La désensibilisation à la température obtenue est du type second ordre. En effet, il existe une valeur optimale de la largeur de canal L_1 (2 μm) par laquelle la tension d'overdrive compense la courbure du second ordre due à la différence des tensions de seuil. Cet optimum de désensibilisation à la température n'est pas observé dans le cas de la configuration conservative pour laquelle le TC est estimé à 16 ppm/°C.

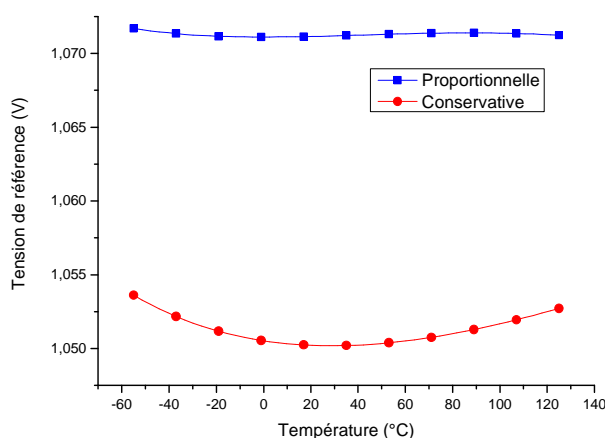


Figure 2.18 : Variation de la tension de référence à la température pour les deux configurations.

Hormis les différences que nous venons d'évoquer, du point de vue électrique, ces deux circuits sont rigoureusement identiques. Dans le but de simplifier la présentation des résultats de simulation qui suivent, nous considérerons uniquement la configuration conservative. La figure 2.19 et la figure 2.20 décrivent le comportement de la tension de référence vis-à-vis de la tension d'alimentation.

La fonctionnalité du circuit est assurée pour des tensions d'alimentation supérieures à 2,3 V. Cette valeur est bien supérieure à celles trouvées dans les références de tension actuelles, tableau 2.1. Toutefois, dans notre application qui est dédiée au spatial, nous disposons d'une tension d'alimentation confortable de 3,3 V. Si, pour une raison ou une autre, il se révèle que la contrainte de la tension d'alimentation est plus sévère, il est possible de diminuer cette tension d'alimentation minimale en abandonnant le cascodage des miroirs de courant et en remplaçant l'OTA par un simple transistor polarisé par une recopie du courant I_1 , comme cela est fait dans d'autres travaux : [104] mais au prix d'une dégradation des performances. Les circuits présentent une bonne réjection de l'alimentation jusqu'à 1 kHz estimée à 80 dB.

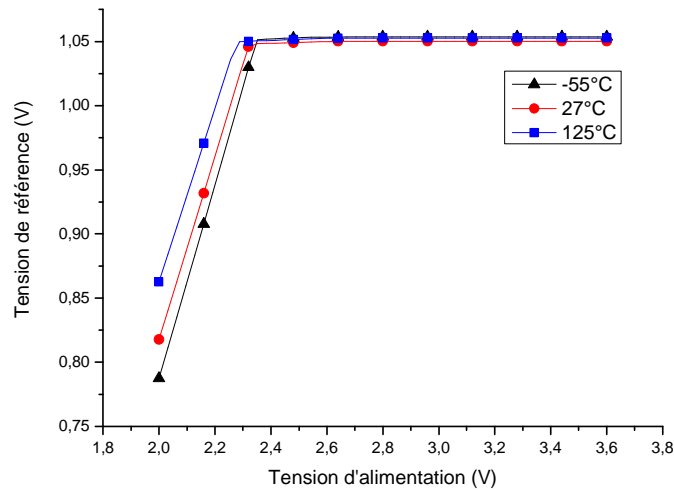


Figure 2.19 : Variation de la tension de référence en fonction de la tension d'alimentation à -55°C, 27°C et 125°C.

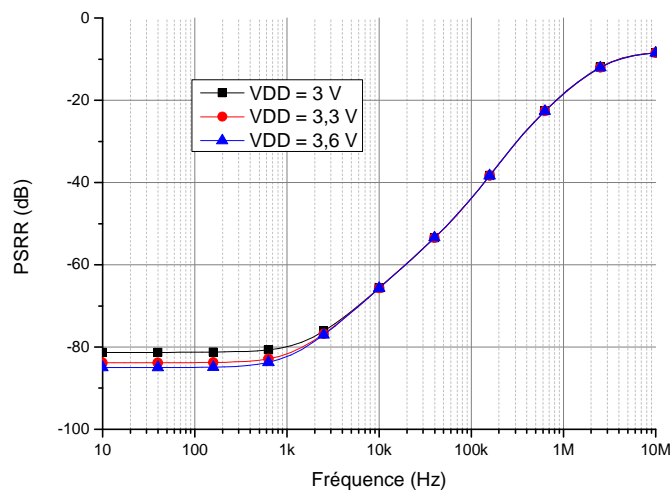


Figure 2.20 : Réjection de l'alimentation pour VDD égale à 3 V, 3,3 V et 3,6 V.

Puisque l'effet de dose provoque une même dérive des tensions de seuil des transistors M_1 et M_2 , pour évaluer cet effet sur la tension de référence, le schéma de la figure 2.21a a été réalisé. Comme illustré sur cette figure, un générateur de tension nommé ΔV_{RAD} a été ajouté sur chacune des grilles des transistors M_1 et M_2 . Ces générateurs modélisent les dérives des tensions de seuil. Nous définissons le coefficient de sensibilité aux radiations RC comme suit :

$$RC = \frac{\Delta V_{REF} / V_{REF}}{\Delta V_{RAD} / V_{T1}} \quad (2.102)$$

Les variations de la tension de référence en fonction de celles des tensions de seuil sont reportées à la figure 2.22. Le RC obtenu est estimé à environ 6%.

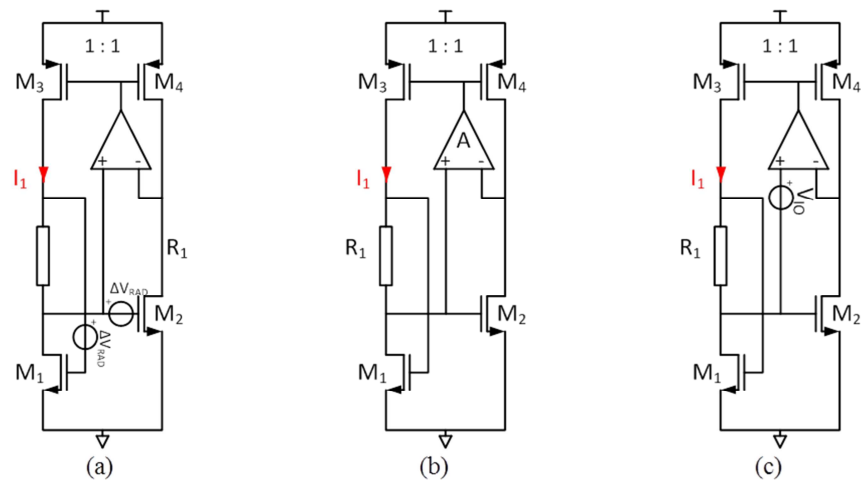


Figure 2.21 : Schémas de simulation de la sensibilité aux TID (a), au gain de l'OTA (b) et à la tension d'offset de l'OTA (c).

Le gain en tension A et l'offset d'entrée V_{IO} de l'OTA vont être sensibles à la température et aux radiations, ce qui va entraîner une dérive de la tension de référence. Pour évaluer ces dérives, deux schémas de simulation ont été réalisés. Ils sont représentés respectivement aux figure 2.21b et figure 2.21c. Dans le premier circuit, les transistors M_9-M_{16} de l'OTA ont été remplacés par un OTA parfait de gain en tension fini, noté A . Dans la mesure où les variations d'offset sont relativement faibles, elles peuvent être étudiées en régime de petits signaux et donc en simulation AC. Dans ce contexte, une source de tension idéale a été connectée en série avec l'entrée non-inverseuse de l'OTA réel. Les résultats de simulations présentés aux figure 2.23 et figure 2.24 permettent d'évaluer ces performances et de les comparer à celles obtenues pour une cellule de Banba présentée à la figure 2.13b. Les variations de la tension de référence en fonction de celles du gain A pour un balayage entre 100 à 10000 sont infimes pour la cellule retenue en comparaison avec celles obtenues pour l'architecture de Banba. Nous relevons une variation de seulement 0,2 mV. La différence de 6 mV entre les deux tensions de référence lorsque le gain A tend vers l'infini, est uniquement due à la tension résiduelle d'overdrive qui est plus importante (en valeur absolue) dans le cas de la cellule de Banba. Plus précisément, cela est dû à l'effet de longueur de canal, attendu que, dans cette cellule, les tensions V_{DS} des transistors M_1 et M_2 ne sont pas égales entre elles. La réjection de l'offset (ORR) est estimée à -33 dB pour la cellule retenue, alors qu'elle est de 22 dB pour la cellule de Banba, où l'offset de l'OTA se retrouve intégralement amplifié d'un facteur égal au rapport de résistances R_2 et R_1 , soit de 12, ce qui explique les 22 dB d'amplification.

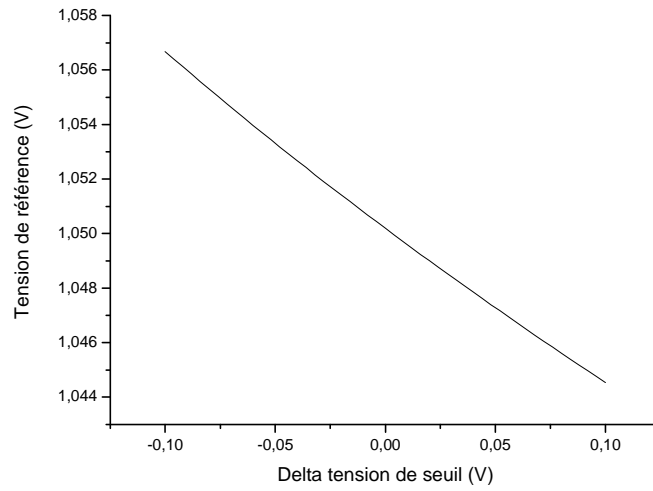


Figure 2.22 : Simulation de la sensibilité aux radiations.

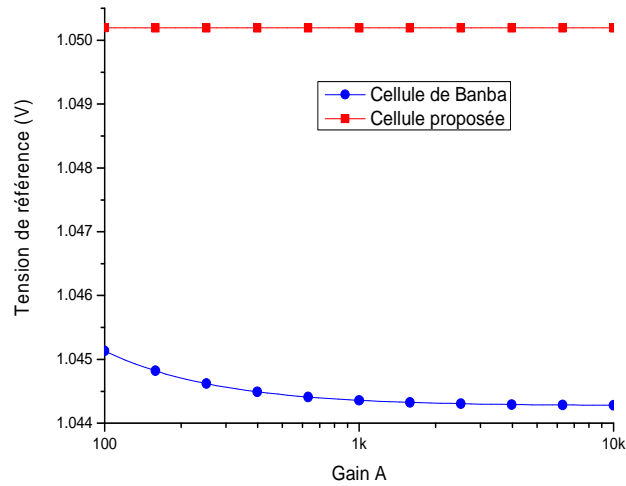


Figure 2.23 : Simulation de la sensibilité du gain A de l'OTA.

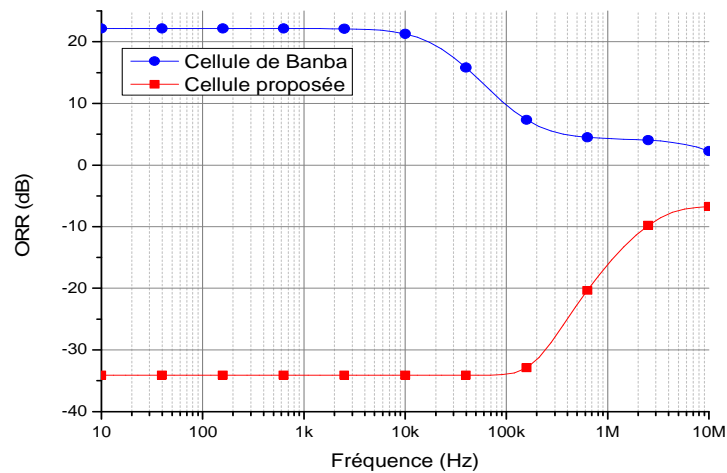


Figure 2.24 : Simulation de la réjection de l'offset d'entrée de l'OTA.

3.4 Architecture hybride

Cette méthode hybride est basée à la fois sur l'effet substrat et sur l'effet du facteur de substrat des transistors MOS. Le schéma de ce circuit est représenté en figure 2.25. Bien qu'ils ne soient pas représentés sur cette figure, tout comme dans le cas du circuit précédent, les transistors M_3 - M_5 sont cascodés pour améliorer la recopie des courants. L'OTA a la même architecture que précédemment.

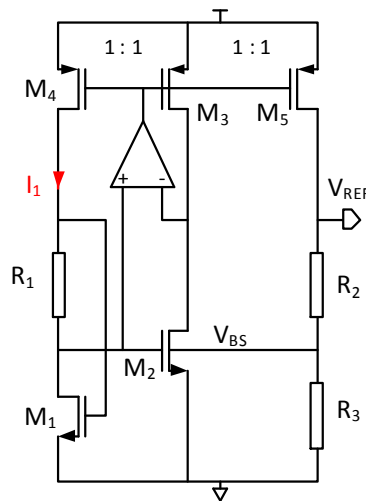


Figure 2.25 : Schéma simplifié de la tension de référence hybride.

En imposant la tension V_{BS} à l'aide d'une source de tension idéale, nous pouvons trouver une valeur de celle-ci pour laquelle les variations de la tension de référence sont minimisées. Cela est illustré à la figure 2.26. Cette valeur qui est estimée à 196 mV, est suffisamment faible pour que le courant I_b soit considéré comme nul (figure 2.11).

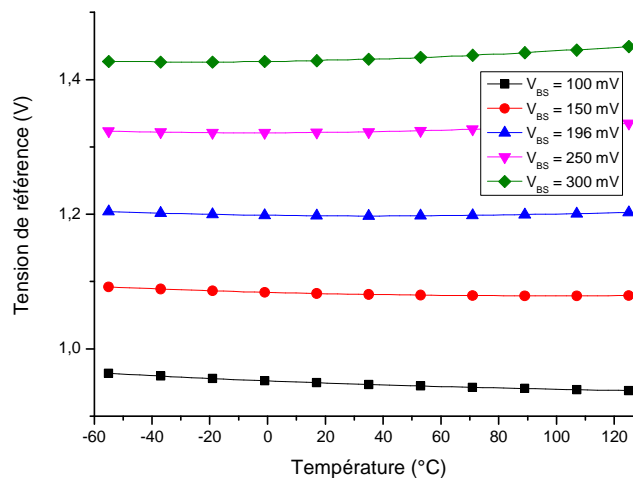


Figure 2.26 : Recherche de la tension V_{BS} pour obtenir la désensibilisation à la température.

La rétroaction sur le contact du bulk est assurée par la tension aux bornes de la résistance R_3 . Et la tension de référence se retrouve aux bornes des résistances R_2 et R_3 en série. Les coefficients A et B introduits précédemment sont égaux respectivement à :

$$A = \frac{R_2 + R_3}{R_1} \quad (2.103)$$

$$B = \frac{R_3}{R_2 + R_3} \quad (2.104)$$

En choisissant A et B de telle sorte que la tension V_{BS} soit égale à 196 mV, l'évolution de la tension de référence avec la température après rétroaction est montrée à la figure 2.27.

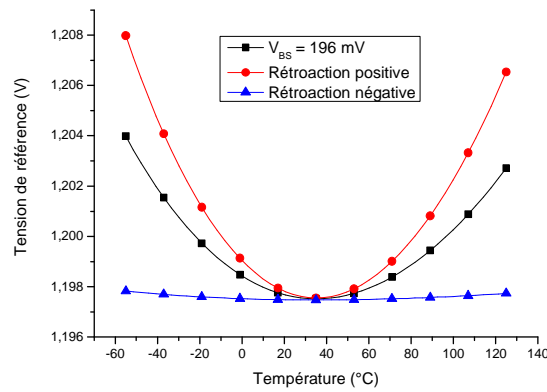


Figure 2.27 : Evolution de la tension de référence en fonction de la température.

Nous constatons une dégradation du TC après rétroaction : 48,4 ppm/°C contre 29,9 ppm/°C. Ceci est dû au fait que la rétroaction est positive, ce qui provoque une amplification des variations de la tension de référence. Cela peut faire craindre une instabilité du système. Or, d'après la figure 2.28, nous constatons que le gain de boucle est inférieur à l'unité, ce qui est une condition suffisante pour assurer la stabilité.

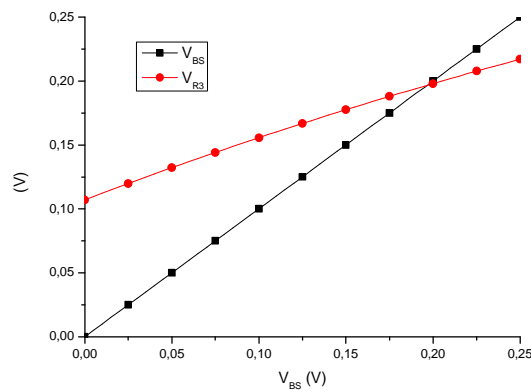


Figure 2.28 : Etude en boucle ouverte du système.

Pour améliorer les performances, il faut créer une opposition de phase dans la chaîne de retour tout en maintenant la tension de retour positive. Ceci est typiquement le rôle d'une résistance négative [105] (figure 2.29).

Le problème de cette solution est que la valeur de la résistance est tributaire de la polarisation : ici le courant I_0 . Ce courant doit satisfaire les conditions PVTR. Or, nous cherchons à réaliser une référence de tension PVTR. De nombreux circuits ont été imaginés et simulés durant la thèse, mais aucun d'entre eux ne permettait de répondre aux quatre contraintes. Pourtant, un tel circuit permettrait d'obtenir un TC simulé théorique de seulement : 1,6 ppm/°C (figure 2.27).

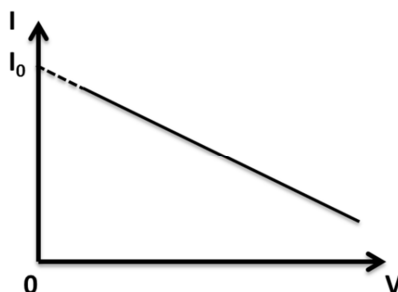


Figure 2.29 : Caractéristique d'une résistance négative.

4 Résultats de mesure

4.1 Résultats de mesure pré-radiation

Nous disposons de 16 puces contenant chacune les deux configurations de référence de tension. La mise en commun des mesures à 27°C de ces circuits nous a permis de réaliser un début d'analyse statistique. Des mesures à température ambiante (27°C) ont permis de caractériser la sensibilité aux dispersions technologiques de ces références de tension. Ces résultats de mesure sont récapitulés dans le tableau 2.4 aux côtés de ceux relatifs à deux références CMOS présentées dans d'autres travaux.

Pour commencer, pour les deux circuits, nous retrouvons expérimentalement la même dépendance à la tension d'alimentation qu'en simulation. Les dispersions normalisées des tensions de référence issues chacune des 16 circuits non triés, sont similaires à celles rencontrées dans les références de tension CMOS basées sur la compensation des tensions de seuil [106], [107]. Comme attendu, ces résultats ne sont pas aussi bons que ceux qui peuvent être obtenus

avec des références de tension basées sur la tension bandgap [83], [93]. Une explication de cette différence est qu'il est difficile de contrôler la valeur de la tension de seuil dans l'état de l'art, car elle est dispersive [107]. De plus, les circuits proposés reposent sur la dépendance de la tension de seuil à la longueur de canal qui est difficile à modéliser. C'est pourquoi, les valeurs des tensions de référence et leur dépendance à la température (TC) sont éloignées de celles trouvées en simulation. Pour obtenir de meilleurs résultats, il aurait fallu implémenter des techniques de réglage par trimming, comme cela est fait dans la plupart des références de tension précises [94].

Paramètres	Proportionnelle		Conservative		Ueno [106]	Gronov [93]
	Simulation	Mesure	Simulation	Mesure	Mesure	
CMOS technologie (nm)	130				350	130
Surface (mm ²)	0,037				0,052	0,64
V_{DD} (V)	2,3 à 4,8	2,4 à 4,8	2,3 à 4,8	2,4 à 4,8	1,4 à 3	0,85 à 1,4
V_{REF} (mV)	1050	781	1050	718	745	412
TC (ppm/°C)	4	471	16	625	7	30,3
$PSRR @ DC$ (dB)	80	78	79	80	54	50
$3\sigma/\mu$ (%)	12,7	12,3	11,5	14,6	21	4,2

Tableau 2.4 : Comparaison avec des résultats de travaux antérieurs.

L'un des objectifs principaux de ce travail de thèse était de durcir par la conception une référence de tension vis-à-vis de la dose. Pour faciliter les tests, mais au prix de la sensibilité à la température, nous avons pris la décision de ne pas implémenter de trimming.

A l'aide d'une étuve, les tensions de référence ont été soumises à des stress en température allant de -55°C à 125°C. Les variations des tensions de référence sont présentées à la figure 2.30.

Une importante décroissance avec la température est observée pour les deux circuits. La régulation à la température n'est pas suffisamment assurée et les TC moyens respectifs (proportionnelle et conservative) sont de 471 ppm/°C et de 625 ppm/°C.

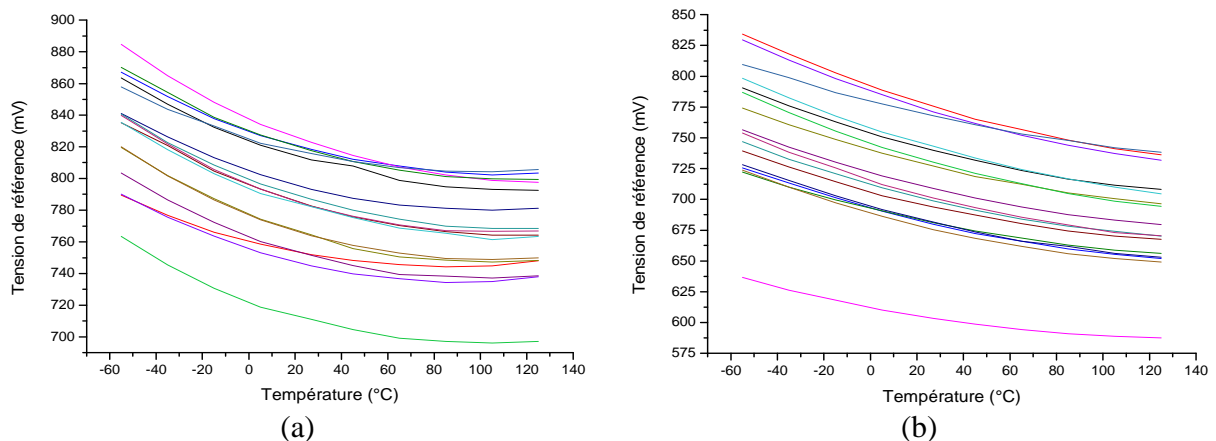


Figure 2.30 : Dépendance à la température des configurations proportionnelle (a) et conservative (b).

4.2 Résultats de mesure en environnement radiatif

4.2.1 Procédure de test

Les résultats de mesure en environnement radiatif présentés dans cette partie ont été réalisés au laboratoire TRAD à Toulouse. La source de radiations utilisée est une source de rayons gamma au Cobalt-60. Deux débits de dose ont été réalisés : un premier que nous qualifierons de faible débit de dose de 310 rad(Si)/h et un deuxième que nous qualifierons de fort débit de dose de 650 rad(Si)/h. Toutes les mesures ont été réalisées dans un intervalle de temps entre deux irradiations successives inférieur à 2 heures. Les irradiations ont été suivies par deux étapes de recuit successives : l'une à température ambiante durant 24 heures et l'autre à 100°C pendant 168 heures. Cette méthode d'annealing appelée 1019.4 [108], permet d'évaluer l'effet du très faible débit de dose rencontré dans l'espace, tout en écourtant considérablement la durée des tests en laboratoire [21]. Pour chaque débit de dose, huit circuits ont été exposés aux radiations. Deux d'entre eux étaient non polarisés, c'est-à-dire que leurs bornes d'alimentation étaient court-circuitées entre elles et connectées à la masse du circuit de test.

4.2.2 Résultats TID

Les figure 2.31 et figure 2.32 décrivent la variation relative de la tension de référence due à la dose, respectivement à faible et fort débits de dose. Les tests à faible et fort débits de dose ont été réalisés jusqu'à 40 krad et 150 krad respectivement. Il convient de noter que ces doses

cumulées sont supérieures à celles rencontrées aux cours des applications spatiales visées (30 krad au maximum). Aucun effet significatif entre les composants polarisés et non polarisés n'a été observé en termes de dépendance à la dose. Pour cette raison, toutes les données présentées dans ces figures, sont obtenues en moyennant les tensions de référence des huit circuits, qu'ils soient polarisés ou non. La configuration proportionnelle présente une dérive seize fois plus importante que la configuration conservatrice, et ce, quel que soit de débit de dose. Par conséquent, les résultats de mesure donnés ci-dessous font référence seulement à la configuration conservatrice. La dégradation de la tension de référence à faible et fort débits de dose est respectivement de 0,5% à 41 krad(Si) et de 1% à 150 krad(Si). La tension de référence voit également son coefficient en température dégradé. Nous estimons cette dégradation de 0,5% et 12,5% à faible et fort débits de dose, respectivement.

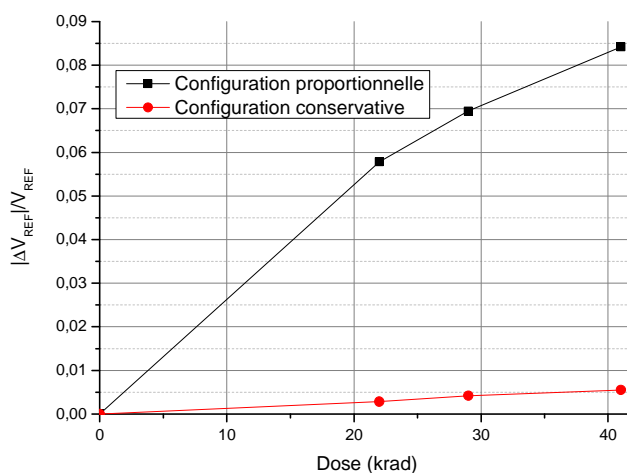


Figure 2.31 : Effet de la dose sur la tension de référence à faible débit de dose.

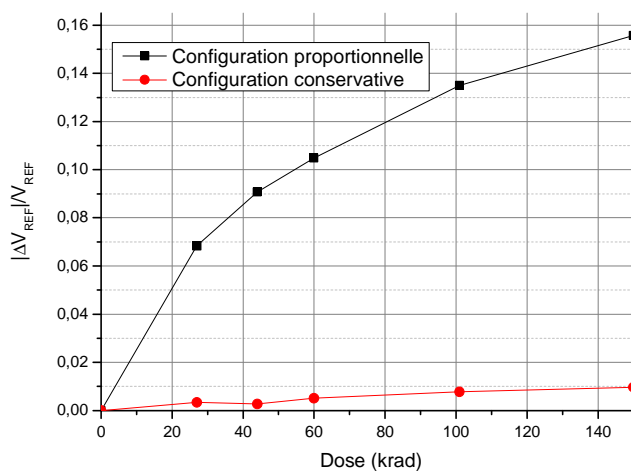


Figure 2.32 : Effet de la dose sur la tension de référence à fort débit de dose.

Dans le tableau 2.5, les performances de la configuration conservative sont mentionnées et comparées à trois références de tension en technologie bipolaire : le LM185B-2.5 de type shunt [109], le LM2941J et le L4913, deux régulateurs à faible tension de décalage [109], [110]. Toutes ces données sont fournies pour une dose de 40 krad, suite à une exposition aux rayons gamma au Cobalt-60. En termes de tolérance aux radiations, la configuration conservative est clairement plus performante que les circuits LM185BY-2.5 et LM2941J. Cependant, elle montre une plus grande dégradation que la référence L4913, particulièrement conçue elle aussi pour être durcie aux radiations.

Composant	Fonderie	Débit de dose (rad/h)	$ \Delta V_{REF} /V_{REF}$ (%)
Configuration conservative	ST Microelectronics	310	0,5
		650	0,4
LM185BY-2.5	Texas Instruments	496	30
LM2941J	National Semiconductor	496	>6
L4913	STMicroelectronics	223	0,05

Tableau 2.5 : Dérive de la tension de référence due à la dose à 40 krad pour différentes références de tension.

4.2.3 Résultat du recuit

Les résultats relatifs aux phases de recuit apparaissent à la figure 2.33. Les points situés dans la partie négative de l'axe des temps correspondent aux mesures pré-irradiation. Il est clair que ces points ne sont pas représentés à l'échelle, dans la mesure où la durée de radiation diffère selon le débit de dose.

En ce qui concerne la configuration proportionnelle, une guérison est observée durant l'annealing. Cela laisse prévoir une dégradation de la tension de référence moins importante lors d'applications spatiales (à faible débit de dose) que celles apparaissant dans les figure 2.31 et figure 2.32. Au contraire, la configuration conservative peut être considérée comme insensible au débit de dose. En effet, aucune variation significative n'est observée durant les phases d'annealing.

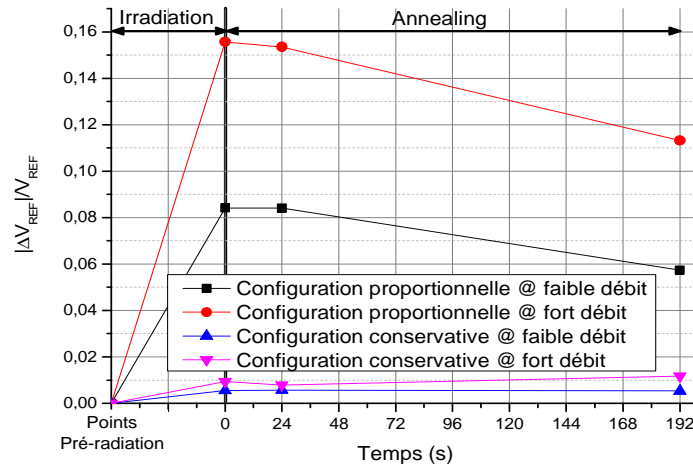


Figure 2.33 : Variation relative de la tension de référence en fonction du temps durant les phases de radiation et de recuit.

4.3 Discussion des résultats expérimentaux

Pour les deux références de tension, nous observons un décalage de l'ordre de 50% à 27°C entre les simulations et les mesures pré-radiation. Ces mêmes résultats ont été observés à l'issue de deux runs réalisés à des périodes différentes. Cet écart entre résultats de simulation et résultats de mesure pré-radiation est donc reproductible d'un run à un autre. Par conséquent, l'écart n'est pas dû à un problème de processus de fabrication. Les transistors M_1 et M_2 des deux configurations ont été implémentés séparément sur les puces pour pouvoir être caractérisés. Afin de trouver le point de fonctionnement du circuit, le schéma de la figure 2.34 a été réalisé et ses performances caractérisées à l'aide du logiciel ICCAP. Il s'agit des transistors M_1 et M_2 de la configuration conservative avec la résistance R_1 .

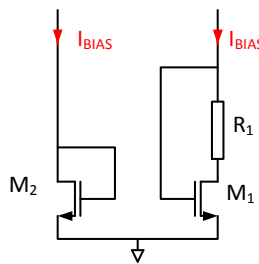


Figure 2.34 : Schéma de test.

En injectant un courant I_{BIAS} dans les deux transistors, le point de fonctionnement est obtenu à l'intersection des tensions drain-source des transistors. A la figure 2.35, nous avons représenté ces résultats de mesure avec leur équivalent en simulation.

Comme prévu, nous observons deux points de fonctionnement, à la fois en simulation et en mesure. Un premier point de fonctionnement commun aux deux, correspond à une polarisation à courant nul des deux transistors. Cela explique la nécessité d'implémenter un circuit de start-up pour se placer au second point de fonctionnement. Il n'y a pas un bon accord entre résultats de simulation et de mesure pour ce second point. Ceci est dû au fait que la courbe de mesure relative au transistor M_2 dérive par rapport à celle de simulation, alors que les courbes relatives au transistor M_1 sont parfaitement confondues. Dans la figure 2.36, les points de fonctionnement respectifs des transistors M_1 et M_2 sont reportés sur les caractéristiques mesurées $I_D(V_{DS})$ pour différentes valeur de V_{GS} .

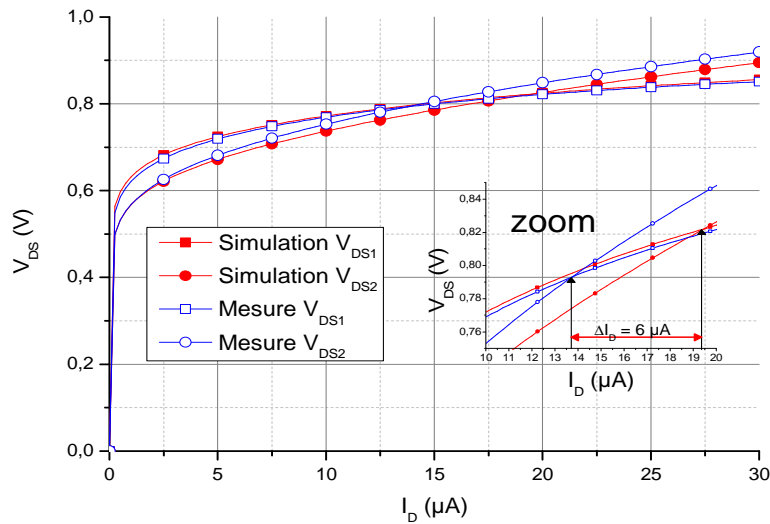


Figure 2.35 : Points de fonctionnement. Comparaison entre simulation et mesure.

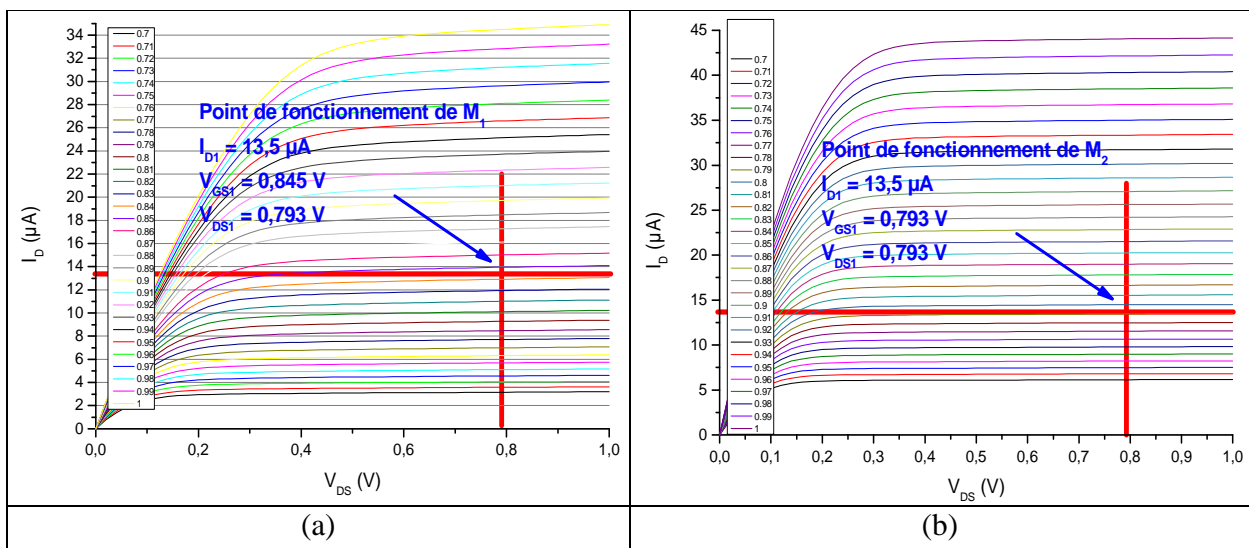


Figure 2.36 : Détermination par mesure des points de polarisation de M_1 (a) et M_2 (b).

D'après l'équation (2.101) et en prenant la valeur simulée pour la partie $PTAT$, il est possible de retrouver la valeur de la tension de référence correspondant aux points de polarisation trouvés à la figure 2.36 :

$$V_{REF} = 12(V_{GS1} - V_{GS2}) + V_{PTAT} \quad (2.105)$$

$$V_{REF} = 12(845 - 793) + 120 = 744 \text{ mV} \quad (2.106)$$

Cette valeur de tension de référence est en accord avec celle mesurée, qui est mentionnée au tableau 2.4. Il est à présent possible de déterminer dans quel régime de fonctionnement se trouvent les transistors. Pour cela, nous faisons appel au coefficient d'inversion IC . Le coefficient d'inversion IC est une normalisation du courant drain-source I_D des transistors MOS, qui permet de décrire le niveau d'inversion dans la zone de saturation, quelle que soit la technologie. Voici sa définition :

$$IC = \frac{I_D}{I_S} \quad (2.107)$$

Le courant I_S correspond au courant spécifique défini à l'équation (1.19) [34]. Ce courant peut être déterminé en suivant la méthode décrite par [32], [111], en extrayant la transconductance en fonction du courant drain-source. La détermination du coefficient d'inversion, à la fois dans le cadre de la simulation et dans celui de la mesure, se fait à l'aide du tableau 2.6.

Condition	Simulation		Mesure	
	M_1	M_2	M_1	M_2
Transistor				
Nombre m de transistors identiques en parallèles	2	20	2	20
W (μm)	2			
L (μm)	1	10	1	10
Courant total (μA)	19,5		13,5	
Courant par transistor (μA)	9,75	0,975	6,75	0,675
Courant spécifique (μA)	0,3	0,3	0,3	0,3
Coefficient d'inversion	16,3	16,3	11,3	11,3

Tableau 2.6 : Détermination du coefficient d'inversion

Bien que le courant de polarisation des transistors mesuré ne soit pas correct, d'après l'extraction du coefficient d'inversion, les transistors M_1 et M_2 sont bien polarisés en forte inversion $IC > 10$. De ce fait, la théorie vue précédemment s'applique toujours au circuit. L'écart entre les simulations et les mesures semble provenir uniquement du transistor M_2 , dont la tension de seuil semble présenter un décalage systématique, estimé à 5%, entre les simulations et les mesures.

A présent, en ce qui concerne le comportement des références de tension à la dose, bien que les transistors fonctionnent en régime de forte inversion, ils sont polarisés au voisinage de la zone d'inversion modérée. Or, il est bien connu que les radiations induisent des courants de fuite. Cette dégradation est, non seulement amplifiée lorsque les transistors sont polarisés vers la faible inversion, mais aussi sensible à la largeur du canal [53]. Ce dernier point peut expliquer pourquoi la configuration conservative présente une meilleure tolérance aux radiations que la configuration proportionnelle. En effet, la compensation mutuelle des courants de fuite des transistors M_1 et M_2 doit être meilleure lorsque les transistors formant M_2 ont la même largeur de canal que ceux qui forment M_1 . Pourtant, les courants de fuite ne dépendent pas uniquement de la largeur de canal, mais également de la longueur de canal et plus généralement de la façon dont le layout des transistors est réalisé [53], [112].

Pour finir, des études ont montré qu'en plus des effets d'accumulation de charge dans l'oxyde et dans l'interface, un autre effet pouvait causer une dérive de la tension de seuil des transistors MOS : l'effet de charges piégées à la frontière [113], [114]. Dépendant de la largeur et de la longueur de canal, il peut contribuer à l'explication des résultats de mesures observés. Quoiqu'il en soit, cette hypothèse doit être vérifiée et requiert de nouvelles investigations sortant du cadre de cette thèse.

5 Conclusion

Dans ce chapitre, nous avons détaillé différentes techniques de conception de références de tension en vue de leur durcissement. Toutes ces techniques reposent sur la compensation mutuelle de deux tensions de seuil de transistors MOS et ceci, sans utiliser de jonctions PN ni de transistors MOS fermés. Cela constitue un avantage majeur. En effet, les jonctions PN en technologie MOS sont de mauvaise qualité. Par ailleurs, bien que les transistors MOS fermés, soient performants en termes de réduction des effets des radiations, ils nécessitent une

modélisation préalable. Ainsi, en utilisant les techniques proposées dans ce chapitre, il est possible de réduire considérablement le temps et le coût de production de tensions de référence CMOS.

Parmi les techniques proposées, une seule a été implémentée. Elle repose sur l'effet de la longueur du canal sur la tension de seuil. A partir de cette technique, nous avons réalisé deux circuits basés sur le même schéma, mais différents quant à leur layout. L'irradiation de ces circuits a montré clairement une différence en termes de sensibilité, ce qui confirme l'importance du layout en matière de durcissement de circuit à la dose. L'un d'entre eux présente à 40 krad une dérive relative de 0,5%, et ce, quel que soit le débit de dose. Ce résultat est tout à fait satisfaisant au regard de ce qui se fait dans le commerce.

Chapitre 3. Amplificateur opérationnel à faible offset durci à la dose cumulée

Introduction

Dans ce chapitre est présenté un amplificateur opérationnel dédié aux applications spatiales. Les amplificateurs opérationnels font partie des circuits incontournables dans les chaînes de traitement du signal. Il est possible d'en extraire deux catégories de paramètres : les paramètres statiques et les paramètres dynamiques. Dans le tableau 3.1 sont listées les principales caractéristiques d'un amplificateur opérationnel. Les paramètres DC et, en particulier l'offset, constituent une limite en termes de précision. Avec la diminution des plages de variation des signaux avec les tensions d'alimentation actuelles, les concepteurs de circuits électroniques doivent veiller à minimiser cet offset. Dans la première partie de ce chapitre, nous présentons tout d'abord les principales causes d'offset. Nous y abordons également la dépendance de l'offset, notamment à la température et aux radiations. Différentes techniques de compensation d'offset sont proposées dans la deuxième partie. Dans la mesure où l'offset présente un caractère temporel, puisque température et radiations varient au cours du temps, nous exposons deux techniques de compensation d'offset dynamiques dans la troisième partie. L'une d'entre elles faisant l'objet de la thèse est détaillée dans la quatrième partie. La cinquième partie est dédiée à la présentation des résultats de mesure aux radiations. En plus des circuits développés durant la thèse, des amplificateurs opérationnels du commerce ont été irradiés. Cela a permis de faire une comparaison rigoureuse avec l'état de l'art. Enfin, ce chapitre se conclut sur l'évaluation de la pertinence du choix des techniques d'auto-zéro pour minimiser l'offset en milieu radiatif.

Paramètre	Abréviation	Unité	Description
Offset	V_{OS}	V	Tension continue à appliquer en entrée pour annuler la tension de sortie.
Gain en boucle ouverte	A	dB	Rapport entre la tension de sortie et la tension de d'entrée différentielle.
Tension d'alimentation	V_{DD}	V	Tension de d'alimentation du circuit, généralement notée $\pm V_{DD}$ et référencée par rapport à la masse.
Courant de consommation	I_{DD}	A	Courant traversant la terminaison V_{DD} lorsque le circuit est alimenté.
Bruit en tension en entrée	V_n	nV/ $\sqrt{\text{Hz}}$	Bruit en tension interne référencé en entrée et modélisé par une source de tension placée en série avec l'une des entrées.
Bruit en courant en entrée	I_n	pA/ $\sqrt{\text{Hz}}$	Bruit en courant interne référencé en entrée et modélisé par une source de courant placée en parallèle avec l'entrée.
Produit gain bande	GBW	MHz	Produit du gain en tension en boucle ouverte et de la fréquence à laquelle celui-ci a été mesuré.
Slew rate	SR	V/ μs	Rapport entre la variation de la tension de sortie et le temps, pour une variation de type échelon en entrée.
Taux de réjection de l'alimentation	$PSRR$	dB	Valeur absolue du rapport entre la variation de la tension d'alimentation et la variation de l'offset induite.
Taux de réjection du mode commun	$CMRR$	dB	Rapport entre le gain en tension en mode différentiel et le gain en tension en mode commun.
Marge de phase	Φ_m	°	Différence entre, la phase à la fréquence la plus faible pour laquelle le module du gain en boucle ouverte est unitaire, et -180° .
Marge de gain	A_m	dB	Inverse du gain en tension en boucle ouverte à la fréquence où la phase en boucle ouverte passe pour la première fois par -180° .

Tableau 3.1 : Principaux paramètres d'un amplificateur opérationnel.

1 Sources d'erreurs statique des amplificateurs opérationnels

1.1 Offset

Il est bien connu que l'offset des amplificateurs opérationnel est principalement dû à son étage d'entrée : la paire différentielle. Les technologies CMOS en comparaison avec les technologies bipolaires, présentent des offsets plus importants [115]. Celui-ci peut dépasser la dizaine de millivolts. Cependant, en raison de la bonne tenue aux radiations des technologies CMOS, le circuit réalisé dans le cadre de la thèse a été implémenté en technologie CMOS. La figure 3.1 présente une paire différentielle CMOS à charge résistive, constituée des transistors

M_1 et M_2 et des résistances R_1 et R_2 . Le but d'une paire différentielle est d'amplifier la tension différentielle d'entrée ($V_{e+}-V_{e-}$). Idéalement, lorsque cette tension d'entrée est nulle, la tension différentielle de sortie ($V_{s+}-V_{s-}$) l'est également. Cependant, à cause des dispersions technologiques dues aux variations de concentration de dopage et aux erreurs lors du procédé de lithographie, les transistors et les résistances ne sont pas rigoureusement identiques ou, plus exactement, appariés [116].

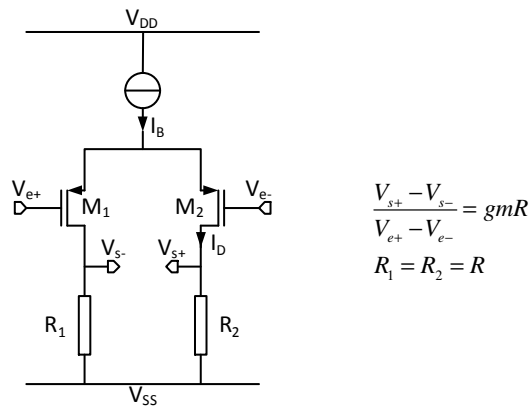


Figure 3.1 : Paire différentielle CMOS à charge résistive.

Ainsi, même si la tension d'entrée est nulle, il subsiste une tension en sortie de la paire différentielle. La valeur de l'offset en entrée correspond à la tension à appliquer en entrée pour obtenir une tension de sortie nulle. Cet offset peut être modélisé comme suit :

$$V_{IO} = \delta(V_{TH}) + \frac{I_D}{gm} \left(\frac{\delta R}{R} + \frac{\delta \beta}{\beta} \right) \quad (3.1)$$

Le premier terme correspond au désappariement des tensions de seuil des deux transistors MOS dû à un dopage non uniforme et aléatoire du canal et de la grille. Le second terme rend compte du fait que deux composants identiques ne peuvent avoir exactement les mêmes dimensions : ici, R_1 - R_2 d'une part, et M_1 - M_2 d'autre part. Pour minimiser cet effet, il faut augmenter leurs dimensions au prix de l'utilisation d'une plus grande surface de silicium [117].

1.2 Bruit en 1/f

Le bruit de scintillement (flicker noise en anglais) a son énergie principalement concentrée en basses fréquences. Son origine provient des charges piégées à l'interface entre oxyde de grille et silicium [31], [118]. Sa densité spectrale est inversement proportionnelle à la fréquence f [118] et peut être modélisée pour les transistors MOS de la façon suivante :

$$V_{n,1/f}^2 = \frac{K}{WLC_{ox}f} \quad (3.2)$$

Le paramètre K traduit comment le bruit en $1/f$ dépend de la technologie. Comme ce bruit est inversement proportionnel aux dimensions des transistors, pour minimiser son impact sur les circuits, des transistors de grandes dimensions doivent être implémentés. Là encore, ceci se fait au prix de l'utilisation d'une plus grande surface de silicium. La figure 3.2 représente la densité spectrale de puissance (DSP) du bruit d'un amplificateur opérationnel. Elle est la combinaison du bruit en $1/f$ et du bruit blanc, ou bruit thermique, $V_{n,blanc}$. La fréquence de transition entre ces deux bruits se trouve généralement entre le kHz et la dizaine de kHz. Ainsi, le bruit en $1/f$ est la principale source de bruit en basses fréquences des amplificateurs opérationnels.

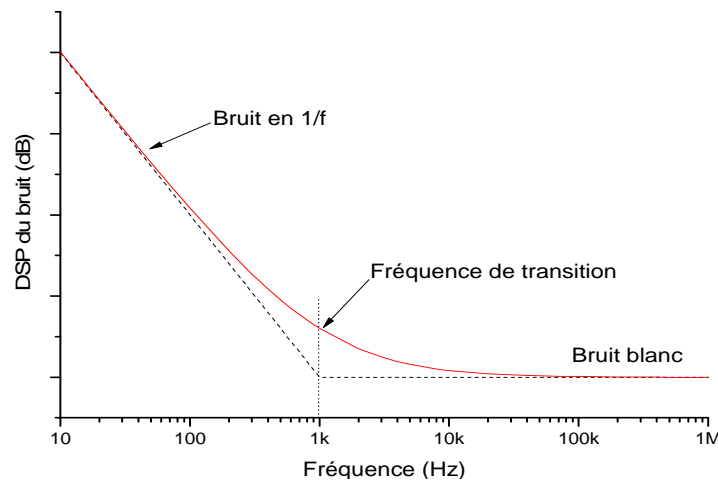


Figure 3.2 : DSP de bruit d'un amplificateur opérationnel.

1.3 Contre-réaction

La contre-réaction a été inventée dans le but de désensibiliser le gain d'un amplificateur aux variations des paramètres des composants actifs, que celles-ci soient induites par les dispersions technologiques ou les conditions ambiantes. Dans son principe, la technique consiste à comparer une image du signal de sortie au signal de consigne. La différence entre ces deux informations, communément appelée signal d'erreur, est amplifiée. Si son gain de boucle est suffisamment élevé, le système voit sa fonction de transfert globale ne dépendre pratiquement que de la transmittance de la chaîne de retour. La figure 3.3 montre le schéma-bloc de Black où $H(p)$ et β sont respectivement la fonction de transfert de la chaîne allée du système (dans notre cas l'AOP) et le gain de retour du bloc de contre-réaction. Ce dernier est généralement passif.

Dans le paragraphe précédent, il a été indiqué que la relation entre le signal de sortie et celui d'entrée dépendait essentiellement de la boucle de retour. Cependant, il subsiste une erreur $E(p)$ donnée par :

$$E(p) = X(p) - \beta Y(p) = \frac{1}{1 + \beta H(p)} \quad (3.3)$$

Pour minimiser l'erreur statique, le produit $\beta H(p)$ doit être très grand lorsque p tend vers 0. Cela implique dans notre cas que l'AOP doit avoir un gain statique le plus élevé possible.

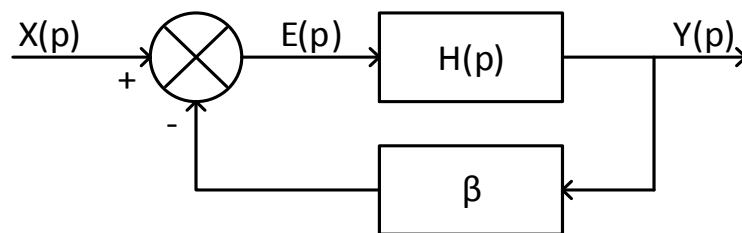


Figure 3.3 : Modèle de Black d'un système contre-réactionné.

1.4 Drift

Nous venons de qualifier les principales sources d'erreurs statiques relatives aux amplificateurs opérationnels. D'après l'équation (3.1), il apparaît que l'offset dépend du rapport I_D/gm fixé par la polarisation. De ce fait, l'offset peut varier en fonction de la température [119], du vieillissement des composants et, dans notre application, des radiations. Il en est de même pour le bruit en $1/f$ que l'accumulation de charges à l'interface due aux radiations peut dégrader [120]. Il est donc nécessaire de trouver des méthodes de compensation d'offset dynamiques afin d'assurer la précision des amplificateurs opérationnels au cours des missions spatiales. Ces méthodes sont développées dans la partie suivante.

2 Techniques d'annulation d'offset

Les techniques de réduction d'offset peuvent être classées en trois catégories : trimming, chopping et auto-zéro.

2.1 Trimming

La technique de trimming consiste à mesurer l'offset au cours du processus de fabrication du composant et, grâce à un réseau de correction interne au circuit, d'ajuster l'offset pour le

minimiser [119]. Cette technique s'opérant une seule fois ne permet pas de corriger les dérives temporelles de l'offset. Pour ce faire, des techniques d'auto-correction doivent être mises en œuvre, comme les techniques de chopping et d'auto-zéro.

2.2 Chopping

La technique de chopping est illustrée à la figure 3.4. Elle est basée sur la modulation du signal d'entrée à une fréquence dite fréquence de chopping, notée f_{ch} . Ce signal modulé est ensuite amplifié. L'amplificateur réalisant cette opération va également amplifier son propre offset. En sortie de l'amplificateur, le signal passe à nouveau dans un chopper. Cela a pour effet, d'une part de démoduler le signal, d'autre part de moduler l'offset à la fréquence de chopping. Pour récupérer le signal en bande de base, un filtre passe-bas (FPB) est inséré en sortie, supprimant ainsi les harmoniques dus à la modulation de l'offset [121].

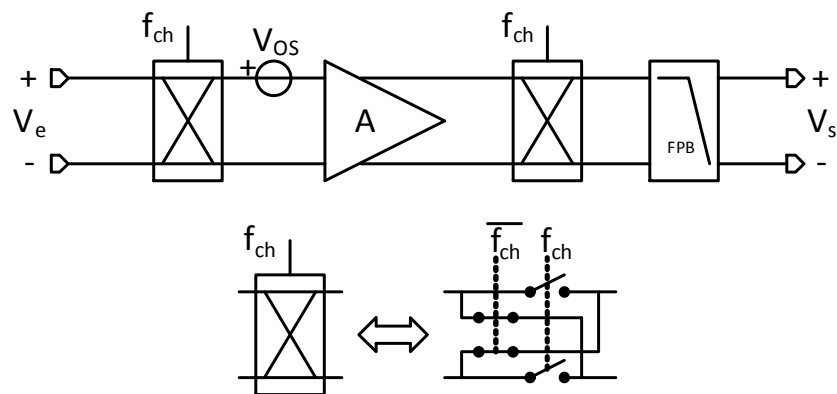


Figure 3.4 : Schéma de principe de la technique de chopping.

La représentation fréquentielle de la technique de chopping est donnée à la figure 3.5. L'analyse de ces courbes fait ressortir deux contraintes. La première contrainte consiste à choisir une fréquence de chopping supérieure à la fréquence de transition du bruit. Dans le cas contraire où celle-là est inférieure à celle-ci, lors de l'amplification, il y aura un recouvrement entre le bruit en $1/f$ et le signal modulé comme le montrent les figure 3.5a et figure 3.5b. La seconde contrainte intervient au niveau du second chopper. Cette fois-ci, la fréquence de chopping doit être supérieure à la bande passante du signal pour éviter un recouvrement entre son spectre et celui de l'offset modulé (figure 3.5c). De ces deux contraintes, la dernière est généralement la plus contraignante. En effet, la fréquence de transition du bruit se situant au maximum à 10 kHz, il est courant de devoir traiter des signaux dont la bande passante est supérieure à cette valeur.

Ainsi, d'après le théorème de Shannon, la fréquence de chopping doit être égale au moins au double de la bande passante du signal à traiter. Une des limites de cette technique survient lorsque la bande passante du signal s'approche de la fréquence maximale de commutation des interrupteurs.

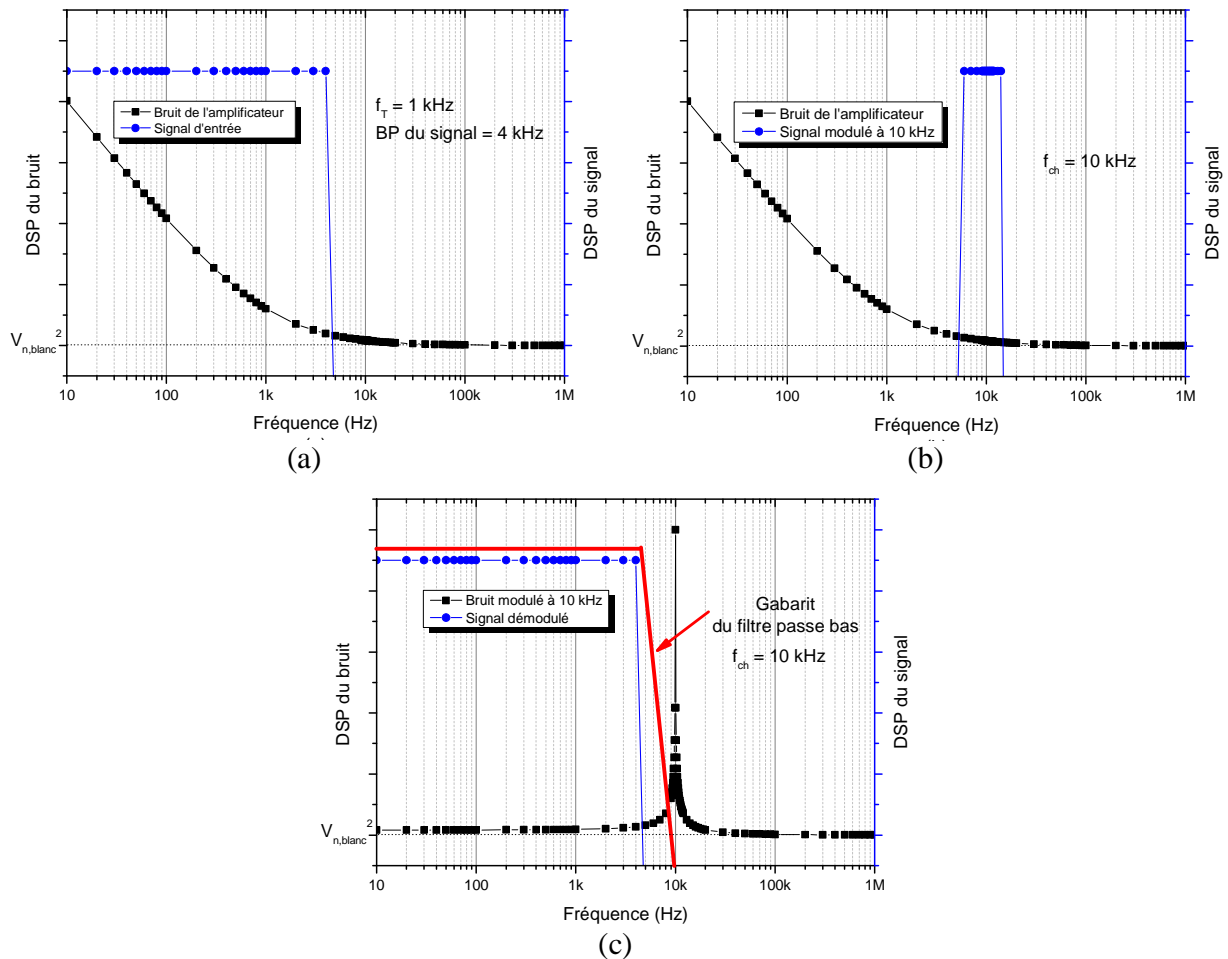


Figure 3.5 : Densité spectrale de puissance du bruit référencé en entrée et du signal : avant modulation (a), après modulation (b) et après démodulation (c).

2.3 Auto-zéro

La technique d'auto-zéro s'opère en deux phases alternatives et successives. Durant la première phase notée $\Phi 1$, l'offset est mesuré et mémorisé grâce à un condensateur. Durant la seconde phase notée $\Phi 2$, l'offset préalablement mémorisé aux bornes du condensateur est soustrait au signal instantané, soit en entrée soit en sortie, de l'amplificateur. Il est également possible d'effectuer cette annulation *via* une entrée auxiliaire. L'alternance de ces phases se fait à

la fréquence d'auto-zéro notée f_{az} . Au cours de la phase $\Phi 1$, la fonction amplification n'est pas assurée. Ainsi, contrairement à la technique de chopping, les techniques d'auto-zéro telles que présentées dans cette sous-partie ne permettent pas d'assurer une amplification continûment au cours du temps.

2.3.1 Auto-zéro en boucle ouverte

Dans cette configuration d'auto-zéro, l'offset est stocké en sortie de l'amplificateur, comme représenté à la figure 3.6 [122]. Durant la phase $\Phi 1$, les entrées de l'amplificateur sont court-circuitées entre elles et connectées à une tension de mode commun V_{CM} choisie de manière appropriée. De cette manière, l'offset se retrouve en sortie amplifié par le gain A de l'amplificateur. Dans un même temps, l'interrupteur de sortie est fermé ; ainsi l'offset amplifié est stocké aux bornes du condensateur de capacité C . Durant la phase $\Phi 2$, les entrées de l'amplificateur sont connectées aux signaux d'entrée et les autres interrupteurs sont ouverts. Ainsi, le signal d'entrée et l'offset sont tous deux amplifiés et comme ce dernier a été mémorisé par le condensateur de capacité C lors de la phase précédente, il n'est pas « transféré » en sortie.

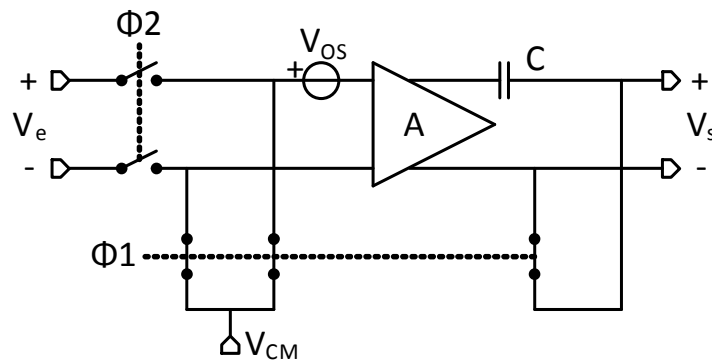


Figure 3.6 : Schéma de principe de la technique d'auto-zéro en boucle ouverte.

Pendant la transition entre les phases une et deux, ou plus précisément lorsque l'interrupteur de sortie s'ouvre, des charges q_{inj} sont libérées par l'interrupteur, puis injectées dans le condensateur. Ceci est un effet inhérent aux interrupteurs MOS et a pour conséquence l'apparition d'un offset résiduel en entrée qui est donné par l'équation (3.4) [115].

$$V_{IO} = \frac{1}{A} \frac{q_{inj}}{C} \quad (3.4)$$

Une des limites de cette technique vient de la valeur du gain A de l'amplificateur. Si celui-ci est trop grand, lors de la phase de stockage de l'offset, l'amplificateur peut se mettre à saturer. Ainsi, ce montage impose d'avoir un gain en boucle ouverte relativement faible, typiquement inférieur à 10 [115], Comme nous l'avons vu dans la partie précédente, cette contrainte n'est pas appropriée pour les applications de précision.

2.3.2 Auto-zéro en boucle fermée

A la figure 3.7 est représenté le schéma de principe de l'amplificateur auto-zéro en boucle fermée [123]. Le fait de réaliser l'annulation de l'offset en opérant une contre-réaction permet de s'affranchir du problème de gain vu précédemment. Dans cette approche, lors de la phase $\Phi 1$, l'offset est stocké à nouveau par l'intermédiaire d'un condensateur de capacité C mais, cette fois-ci, à l'entrée de l'amplificateur, phase $\Phi 1$. Cette étape est effectuée lorsque l'amplificateur est déconnecté du signal et monté en suiveur de tension. En considérant que le gain A de l'amplificateur est beaucoup plus grand que l'unité, la tension V_C aux bornes de la capacité de stockage s'exprime de la façon suivante :

$$V_C = \frac{A}{1+A} V_{os} \approx V_{os} \quad (3.5)$$

Durant la phase $\Phi 2$, le signal est appliqué en entrée et, étant donné que l'offset a été stocké dans le condensateur, au cours de la phase $\Phi 1$, celui-ci est soustrait au signal d'entrée avant d'être amplifié. Cela a pour effet de l'annuler. Toutefois, il subsiste un offset résiduel dû, d'une part au fait que l'amplificateur ne présente pas un gain infini, d'autre part, comme précédemment, à l'injection de charges dans le condensateur. L'offset résiduel est de la forme [115] :

$$V_{io} \approx \frac{V_{os}}{A} + \frac{q_{inj}}{C} \quad (3.6)$$

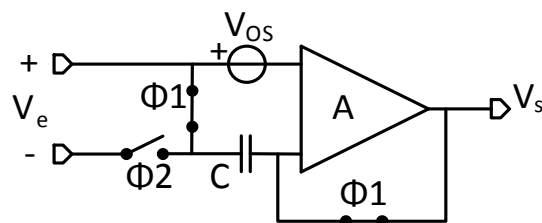


Figure 3.7 : Schéma de principe de l'auto-zéro en boucle fermée.

2.3.3 Auto-zéro à entrée auxiliaire

Les deux techniques précédentes nécessitant l'intervention d'un condensateur dans la chaîne de traitement du signal. Ce condensateur a pour effet de diminuer la bande passante de l'amplificateur et ainsi de dégrader la marge de phase et par conséquent la stabilité [124], [125]. En stockant l'offset par l'intermédiaire d'une entrée auxiliaire, comme représenté à la figure 3.8, le problème de stabilité est résolu. Dans cette configuration il faut distinguer deux gains. Le premier est celui associé à l'entrée primaire noté A et le deuxième est celui relatif à l'entrée auxiliaire noté A' .

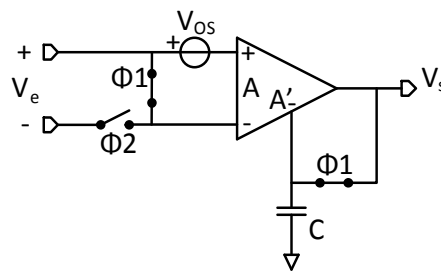


Figure 3.8 : Schéma de principe de la technique d'auto-zéro à entrée auxiliaire.

Comme pour les deux autres techniques d'auto-zéro, l'offset résiduel est obtenu lors de la phase $\Phi2$. En se référant à l'annexe 1, nous trouvons que l'offset résiduel de ce circuit est égal à :

$$V_{io} \approx -\frac{V_{os}}{A'} + \frac{A'}{A} \Delta V_C \quad (3.7)$$

La tension ΔV_C correspondant à la tension est due à l'injection dans le condensateur lors de l'ouverture de l'interrupteur de retour. Son influence sur l'offset résiduel peut être minimisée en choisissant un gain A supérieur au gain A' , puisque celui-ci est pondéré par le rapport A'/A . Toutefois, l'offset introduit par l'entrée primaire doit être pris en considération si l'on réduit le gain A' , toutes chose égales par ailleurs.

2.4 Effets sur le bruit

Le principe d'auto-zéro en plus d'annuler l'offset de l'amplificateur, a pour effet de réduire son bruit en $1/f$. Cependant, en raison de la variation temporelle et aléatoire de la largeur de bande du bruit thermique notée $BP_{n,blanc}$, l'efficacité de cette technique va dépendre fortement de la corrélation entre la valeur du bruit mémorisé et la valeur du bruit instantané [115]. La

conséquence d'une décorrélation va être une augmentation du plancher du bruit thermique pour les fréquences inférieures à $2f_{az}$. La démonstration de ce résultat est détaillée dans les travaux de Enz [115] et aboutit à la nouvelle valeur du plancher du bruit donnée par l'équation (3.8) pour les fréquences inférieures à $2f_{az}$.

$$V_{n,az}^2 = V_{n,blanc}^2 \frac{2BP_{n,blanc}}{f_{az}} \quad (3.8)$$

Les figure 3.9a et figure 3.9b représentent respectivement la *DSP* du bruit d'un amplificateur avec et sans auto-zéro. Pour une annulation complète du bruit en $1/f$, la fréquence d'auto-zéro doit être supérieure à la fréquence de transition du bruit de l'amplificateur. L'effet du chopping sur le bruit d'un amplificateur a été abordé précédemment.

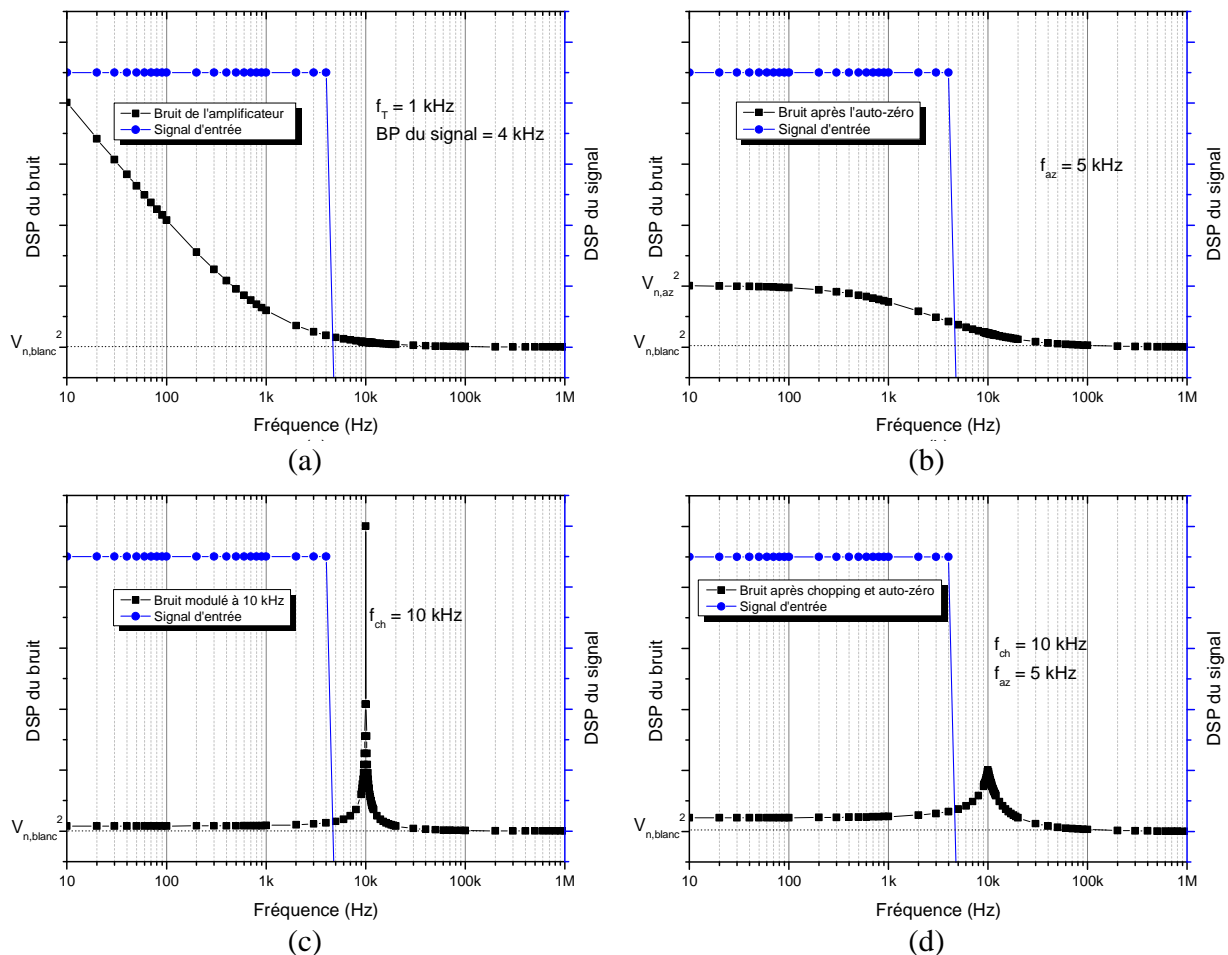


Figure 3.9 : Densité spectrale de puissance du bruit référencé en entrée et du signal d'entrée (a), pour l'auto-zéro (b), pour le chopping (c) et pour la combinaison des deux (d).

La modulation du bruit en $1/f$ à la fréquence de chopping, contrairement à la technique d'auto-zéro, n'entraîne pas une augmentation du plancher du bruit aux basses fréquences. En revanche, elle cause une ondulation à la fréquence de chopping, qui est représentée en figure 3.9c par une raie infinie à cette fréquence-là. La combinaison des deux techniques permet de tirer avantage de chacune d'elles [126]. Nous obtenons une faible augmentation du bruit aux basses fréquences et une ondulation modérée, comme illustré à la figure 3.9d. Pour cela, il faut que le chopper soit placé en entrée et que sa fréquence de chopping soit au moins le double de celle de l'auto-zéro.

2.5 Techniques de minimisation de l'offset résiduel

Nous avons vu précédemment qu'une des limites des amplificateurs à auto-zéro résultait de l'injection de charges dans la capacité de mémorisation. En effet, lorsque l'interrupteur MOS passe de l'état *on* à l'état *off*, la libération des porteurs provenant du canal, induit un flux de charges vers la capacité de stockage, causant ainsi une erreur de mémorisation. Plusieurs solutions existent pour canaliser ces charges.

La plus commune d'entre elles représentée à la figure 3.10a, consiste à utiliser des interrupteurs factices commandés complémentaires [127]. Elle repose sur l'hypothèse empirique que la libération de charges entre le drain et la source se fait de manière égale. Ainsi, la charge que doit collecter l'interrupteur factice est divisée par deux. Il convient donc de choisir une largeur de canal du transistor qui constitue l'interrupteur factice deux fois plus faible que celle du transistor qui joue le rôle d'interrupteur. Une autre approche souvent utilisée pour sa capacité à traiter des signaux « rail-to-rail », consiste à utiliser un transistor NMOS et un transistor PMOS montés tête-bêche, comme illustré à la figure 3.10b [128]. Le signe opposé des charges libérées par chacun des transistors fait que leur somme s'annule. Cependant, cela est valable uniquement si, d'une part le signal d'entrée est centré sur la tension du mode commun, et si d'autre part la relation mentionnée à la figure 3.10b entre leur dimensions et leurs mobilités respectives est respectée.

Les deux techniques que nous venons de voir sont délicates à mettre en œuvre dans la mesure où elles dépendent fortement de l'appariement des transistors. Dans la première solution, les deux transistors n'ont pas les mêmes dimensions et, dans la seconde, les deux transistors sont de type différent. La technique sans doute la plus efficace consiste à d'utiliser des circuits

différentiels, comme celui de la figure 3.11a [129]. Dans la mesure où l'injection de charges se fait de manière égale sur les deux moitiés du circuit, ces charges produisent uniquement une variation de la tension de mode commun. L'erreur de tension sera due uniquement à un désappariement des deux moitiés du circuit supposées à la base identiques.

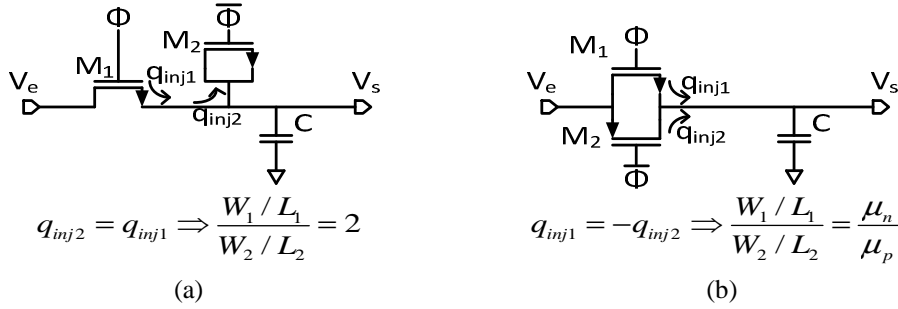


Figure 3.10 : Compensation de l'injection de charges par l'ajout d'un transistor factice (a) et d'un transistor complémentaire (b).

Un autre effet qui engendre un offset résiduel et qui affecte à la fois la technique d'auto-zéro et la technique de chopping, est le couplage de l'horloge [65]. Ce couplage est dû en partie aux capacités parasites C_{gs} des transistors MOS représentés à la figure 3.11b, où nous considérons toujours un circuit différentiel. Au moment de la transition du signal d'horloge, sur chaque moitié du circuit, il apparaît un courant dynamique. Ce courant est ensuite intégré par les condensateurs de capacité C . Il en résulte un offset résiduel dépendant de l'appariement des capacités C_{gs} :

$$V_{IO} = \frac{C_{gs1} - C_{gs2}}{C} V_{clk} \quad (3.9)$$

En conséquence, les circuits différentiels sont également bien appropriés pour diminuer l'effet du couplage de l'horloge.

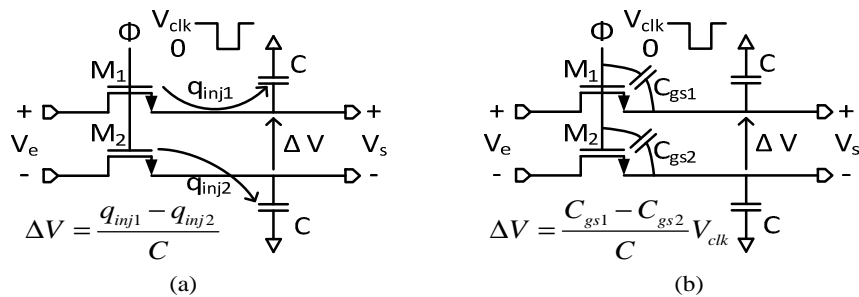


Figure 3.11 : Effet de l'injection de charge (a) et effet du couplage de l'horloge (b) sur un circuit différentiel.

Dans le cas du chopper, les courants induits par le couplage de l'horloge sont injectés dans une résistance que nous noterons R modélisant la résistance de contact des interrupteurs et la résistance de la source du signal d'entrée [130]. L'offset résiduel engendré est de la forme :

$$V_{IO} \propto R \Delta C_{gs} V_{clk} f_{ch} \quad (3.10)$$

Le terme ΔC_{gs} rend compte du désappariement entre les capacités C_{gs} des transistors MOS. Cet offset résiduel est proportionnel à la fréquence de chopping.

2.6 Etat de l'art et orientation de l'étude

Au cours des deux premières parties de ce chapitre, nous avons vu les principales sources d'erreurs statiques des amplificateurs opérationnels, tels que l'offset et le bruit en $1/f$. Ensuite, nous avons présenté différentes techniques de compensation d'offset : trimming, chopping et auto-zéro. Ces techniques de compensation ne sont pas nouvelles et la plupart des constructeurs de circuits intégrés en font usage. Le tableau 3.2 liste les caractéristiques de quatre AOP du commerce utilisant ces techniques de compensation.

Référence AOP	ILS28134	OPA335	MCP6V01	AD8628
Fabriquant	Intersil	Texas instruments	Microchip	Analog Devices
Type de compensation	Chopper	Auto-zéro à temps continu	Auto-zéro à temps continu	Chopper + Auto-zéro à temps continu
Offset (μV)	$\pm 2,5$	1 (Typ) - 5 (Max)	± 2	1 (Typ) - 5 (Max)
Bruit (nV/\sqrt{Hz})	10	60	45	22
Gain DC (dB)	174	130	145	140
GBWP (MHz)	3,5	2	1.3	2,5
CMRR (dB)	135	130	142	130
PSRR (dB)	-	120	143	130
SR- ($\mu V/s$)	1	1,6	0,5	1
SR+ ($\mu V/s$)	1,5	1,6	0,5	1

Tableau 3.2 : Exemples d'AOP commerciaux utilisant une technique de compensation d'offset.

Outre l'effet de la température et les dérives dues au vieillissement, dans le cadre des applications spatiales, l'offset va être impacté par les radiations au cours de la mission spatiale. Attendu que la technique de trimming permet de corriger l'offset uniquement avant la commercialisation du circuit, celle-ci ne répond pas aux contraintes de notre application. La technique de chopping impose d'avoir, d'après le théorème de Shannon, une fréquence de

chopping au moins deux fois supérieure à la bande passante du signal d'entrée. Ainsi, la fréquence maximale de commutation des transistors MOS va limiter la bande passante du signal. La technique d'auto-zéro n'est pas concernée par cette limitation et offre ainsi une plus grande flexibilité. Dans ce contexte, bien que cette technique soit moins performante en termes d'annulation du bruit en basse fréquence, elle a été retenue pour être implémentée et faire l'objet de cette thèse. L'objectif principal de cette étude est de valider la capacité qu'a la technique d'auto-zéro à compenser l'offset en milieu radiatif. Ainsi, une attention particulière devra être accordée à la minimisation de l'offset. Afin d'être compétitif avec l'état de l'art, nous tenterons de nous rapprocher des performances des AOP du commerce mentionnées dans le tableau 3.2. De plus, pour élargir le champ d'applications de l'amplificateur, nous le concevrons de telle sorte qu'il soit « rail-to-rail » en entrée et en sortie. Cela nous amène aux spécifications requises données dans le tableau 3.3.

Paramètres	Spécifications
Type de compensation	Auto-zéro à temps continu
Offset (μV)	< 5
Bruit ($\text{nV}/\sqrt{\text{Hz}}$)	< 60
Gain DC (dB)	130
GBWP (MHz)	> 2
CMRR (dB)	> 130
PSRR (dB)	> 120
SR- ($\mu\text{V/s}$)	> 1,6
SR+ ($\mu\text{V/s}$)	> 1,6

Tableau 3.3 : Spécifications requises.

Telles qu'elles ont été présentées dans cette partie, les techniques d'auto-zéro ne permettent pas d'assurer la fonction amplification lors de la phase de mesure de l'offset. Or, il arrive, que dans certaines applications, la fonction amplification soit assurée en continu. En d'autres termes, l'amplificateur ne peut pas être déconnecté du signal, et ce, même durant la phase de mesure de l'offset. Ce problème peut être contourné en dupliquant l'amplificateur auto-zéro. Pendant que l'un est utilisé comme amplificateur, l'autre est auto-compensé et *vice-versa*. Cette technique appelée « ping-pong » est détaillée dans la partie suivante. Nous verrons que cette technique est vraiment efficace si la transition entre chaque phase se fait de manière très précise. C'est pourquoi, une seconde technique d'auto-zéro dite « à temps continu » est présentée

par la suite permettant de pallier ces contraintes de transition. Cette dernière fait l'objet de la thèse et, tout comme la technique de ping-pong, elle fait intervenir des amplificateurs à auto-zéro à entrée auxiliaire.

3 Réalisation d'un amplificateur ping-pong à auto-zéro

3.1 Principe

Le schéma-bloc de la structure ping-pong est représenté à la figure 3.12. Il est constitué de deux amplificateurs aux entrées identiques notées A et B , connectés *via* des interrupteurs à un amplificateur de sortie nommé C . Les amplificateurs A et B correspondent à l'auto-zéro à entrée auxiliaire étudié dans la partie 2 de ce chapitre. Leur entrée auxiliaire est de type différentiel pour diminuer l'effet d'injection de charges.

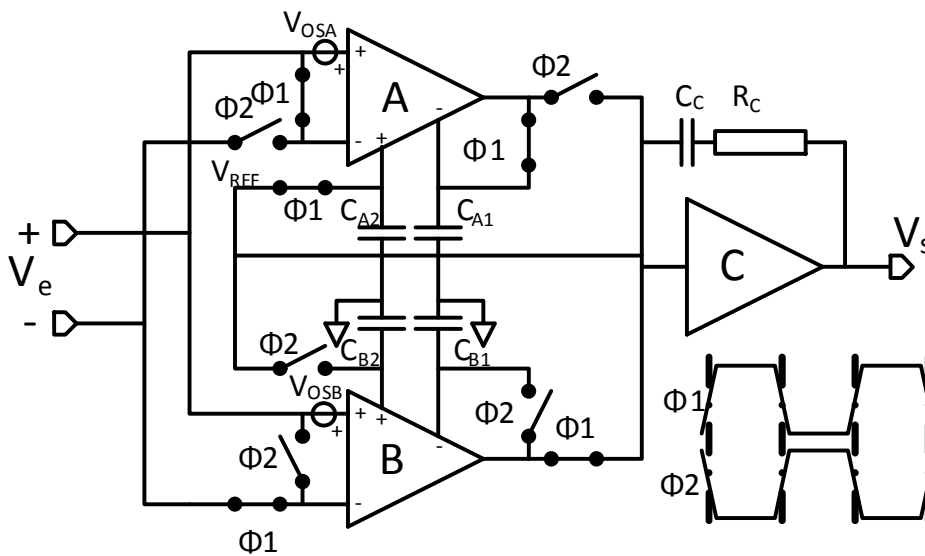


Figure 3.12 : Schéma bloc de la structure ping-pong.

L'annulation de l'offset est obtenue après deux phases alternatives. Durant la première phase $\Phi 1$, les entrées principales de l'amplificateur A sont court-circuitées entre elles et leur tension de mode commun V^+ est supposée déterminée. De plus, la boucle de retour pour l'annulation de l'offset est fermée. Dans ces conditions, l'annulation de l'offset de cet amplificateur est réalisée. La tension d'offset est stockée par le condensateur C_{A1} . Le mode commun de l'entrée auxiliaire de l'amplificateur A est fixé par la tension de sortie de l'amplificateur B et stocké dans le condensateur C_{A2} . Dans un même temps, l'amplificateur B est

inséré entre les terminaux d'entrée et l'entrée de l'amplificateur C . Durant la seconde phase $\Phi 2$, le rôle des amplificateurs A et B est inversé, d'où la dénomination « ping-pong ». La transition entre les deux phases doit être réalisée avec précaution pour assurer l'amplification en permanence. Premièrement, un recouvrement des deux phases induirait un court-circuit entre les amplificateurs A et B , ce qui exclurait une amplification continue, comme cela vient d'être mentionné. Deuxièmement, si un temps mort apparaît entre deux phases successives, le chemin permettant l'amplification entre les terminaux d'entrée et de sortie est rompu. Le diagramme d'horloge commandant les interrupteurs est représenté à la figure 3.12. L'offset résultant de la phase $\Phi 2$ est donné par l'équation (3.11) et est similaire à celui trouvé à l'équation (3.7) pour l'auto-zéro à entrée auxiliaire.

$$V_{IO\Phi 2} = -\frac{V_{OSA}}{A'} + \Delta V_{CA} \quad (3.11)$$

Durant la phase $\Phi 1$, l'offset résiduel est donné par cette même formule, à ceci près que ce sont les paramètres de l'amplificateur B qui doivent être pris en considération.

3.2 Conception

La structure ping-pong présentée ici est extraite d'une propriété intellectuelle de STMicroelectronics. Elle a été implémentée dans le cadre de la thèse à titre de comparaison avec notre amplificateur auto-zéro à temps continu étudié par la suite. Le schéma au niveau transistors des amplificateurs A et B est représenté à la figure 3.13a. Il est constitué de deux paires différentielles de type PMOS. Les courants provenant de la paire différentielle auxiliaire sont injectés dans le miroir de courant formé par les transistors M_6 - M_7 et les résistances R_3 - R_4 . Ce miroir de courant constitue la charge active de la paire différentielle primaire. Ainsi, la commande de l'entrée auxiliaire permet d'ajuster la polarisation des transistors de la paire primaire et par conséquent de régler son offset. L'amplificateur de sortie C est représenté à la figure 3.13b. Son étage de sortie opère en classe AB. Sa polarisation se fait par l'intermédiaire de la source de courant flottante formée par les transistors M_8 et M_9 commandé par les tensions de polarisation V_{BIAS1} et V_{BIAS3} . Le schéma de polarisation n'est pas représenté pour des raisons de clarté. Le condensateur C_C et la résistance R_C montrés à la figure 3.12 assurent la stabilité fréquentielle de l'association de ces trois étages.

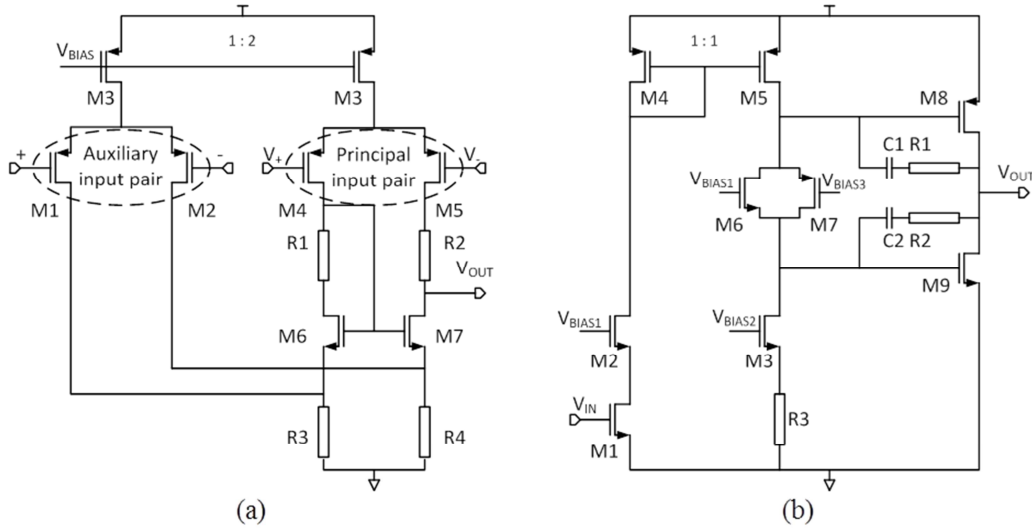


Figure 3.13 : Schéma au niveau transistors des amplificateurs d'entrées A et B (a) et de l'amplificateur de sortie C (b).

4 Réalisation d'un amplificateur à auto-zéro à temps continu

4.1 Principe

Malgré toutes les précautions prises pour générer les signaux d'horloge de la structure ping-pong, il subsistera toujours des perturbations en sortie dues à la commutation alternée des amplificateurs A et B. Une solution alternative initialement introduite par [131] permet d'éviter ces perturbations. Cette structure nommée auto-zéro à temps continu est représentée à la figure 3.14. Elle utilise également deux amplificateurs à auto-zéro à entrée auxiliaire. L'amplificateur *main* a toujours son entrée primaire connectée au signal d'entrée. L'amplificateur *null* qui est auto-compensé, mesure l'offset de *main* et opère la compensation de l'offset du *main* grâce à son entrée auxiliaire. La compensation de l'offset se fait là-encore au cours de deux phases. L'annexe 2 décrit cette séquence de compensation et donne pour résultat final l'offset résiduel suivant :

$$V_{IO} = \begin{cases} -\frac{1}{A_n} \left(\frac{A_m}{A_m'} V_{OSM} + \frac{A_n}{A_n'} V_{OSN} \right) + \frac{A_n'}{A_n} \Delta V_{Cn} - \frac{A_m'}{A_m} \Delta V_{Cm} & \text{si phase } \Phi 1 \\ -\frac{1}{A_n} \left(\frac{A_m}{A_m'} V_{OSM} + \frac{A_n}{A_n'} V_{OSN} \right) + \frac{A_n'}{A_n} \Delta V_{Cn} & \text{si phase } \Phi 2 \end{cases} \quad (3.12)$$

où A_m , A_m' , A_n , A_n' , V_{OSM} et V_{OSN} , ΔV_{Cm} et ΔV_{Cn} sont respectivement les gains primaire et auxiliaire de l'amplificateur *main*, les gains primaire et auxiliaire de l'amplificateur *null*, les tensions d'offset des entrée principales des amplificateurs *main* et *null* et, enfin, les tensions qui rendent compte de l'effet d'injection de charges dans les capacités C_{m1} et C_{m2} , d'une part, C_{n1} et C_{n2} , d'autre part.

Pour diminuer l'effet des injections de charges, il est possible de concevoir les auto-zéro avec un gain primaire supérieur au gain auxiliaire. Cependant, cela a pour effet d'augmenter la contribution des offsets de chacun des amplificateurs sur l'offset résiduel final. Ainsi, l'avantage qu'a l'auto-zéro seul sur la réduction de l'effet d'injection de charges n'est pas évident. En effet, ici, le choix des gains doit se faire en faisant un compromis : qui des offsets intrinsèques des amplificateurs ou de l'injection de charges dégrade le plus l'offset résiduel ? La réponse à cette question n'est pas intuitive, car les deux effets ont une part aléatoire, ce qui les rend imprévisibles. Il est donc préférable de choisir des gains égaux. Les valeurs des capacités de stockage de la correction de l'offset influent elles-aussi sur l'effet d'injection de charges. Plus celles-ci seront grandes, plus l'effet sera minime. Nous avons opté pour des valeurs de 100 nF. Il n'est pas possible d'implémenter sur le silicium des capacités de telle valeurs. Elles seront donc externes au circuit.

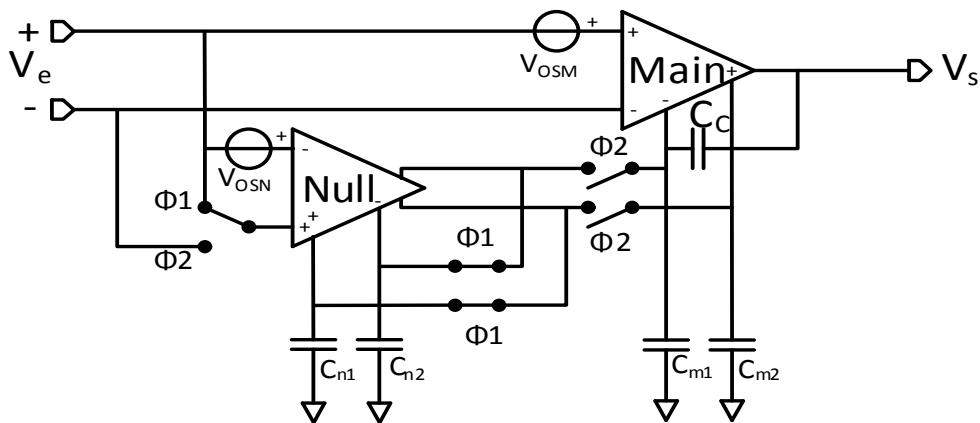


Figure 3.14 : Schéma-bloc de la structure auto-zéro à temps continu.

4.2 Conception

Nous venons de voir que l'offset résiduel des structures auto-zéro dépend en grande partie des offsets intrinsèques à la fois de l'amplificateur *main* et de l'amplificateur *null*. Une attention toute particulière doit être portée sur la minimisation de leur offset, tant au niveau

circuit qu'au niveau layout. De plus, l'offset résiduel sera d'autant plus petit que le gain en boucle ouverte de l'amplificateur *null* sera grand. Il a été montré au chapitre précédent que la soustraction de deux tensions grille-source, pouvait présenter une bonne robustesse vis-à-vis des variations PVTR. Cette propriété qui peut être considérée comme un durcissement au niveau circuit, se retrouve présente dans les miroirs de courant et, plus généralement dans les boucles translinéaires. Les amplificateurs de type folded cascode tels que représentés à la figure 3.15a, de par leur topologie qui regroupe miroirs de courant et boucles translinéaires [132], présentent une robustesse « naturelle » vis-à-vis des variations PVTR. De plus, ils permettent d'obtenir un gain relativement important en un seul étage. Pour finir, ils offrent la possibilité de connecter à leur sortie des capacités de fortes valeurs telles que celles utilisées en sortie du *null*. Pour ces trois raisons, l'amplificateur folded cascode a été considéré comme point de départ pour la conception.

La polarisation des circuits analogiques est cruciale pour garantir de bonnes performances [133]. Il est habituel de séparer les blocs de polarisation des fonctions principales, notamment pour rendre la consommation indépendante de la tension d'alimentation. Ce type de polarisation requiert de longs fils d'interconnexion. Dans le cas des amplificateurs folded cascode où le nombre de potentiels de tension à polariser est conséquent [132], en plus de consommer une surface de silicium importante, cela peut engendrer une augmentation du bruit et du couplage [133], [134]. Une solution est de réaliser une auto-polarisation du folded cascode, tel que représenté à la figure 3.15b [133]. Dans cette approche, le point de polarisation est peu sensible aux variations de fabrication dans la mesure où celui-ci est déterminé uniquement par des rapports de dimensions de transistors [133]. De plus, les performances sont comparables à celles obtenues lorsque les blocs de polarisation et d'amplification sont séparés [133]. Il est à noter que la polarisation des transistors M_3 et M_{3a} met en œuvre deux contre-réactions. Mais, compte tenu du fait que les transistors M_4 et M_{10} sont montés en diode, ils atténuent les variations aux nœuds 1 et 2 à tel point que le gain de boucle devient inférieur à l'unité et la stabilité fréquentielle du circuit est assurée [133]. Enfin, des paires différentielles de type NMOS et PMOS permettent de gérer des signaux rail-to-rail en entrée. Ainsi, les amplificateurs *main* et *null* ont été réalisés sur cette base d'amplificateur.

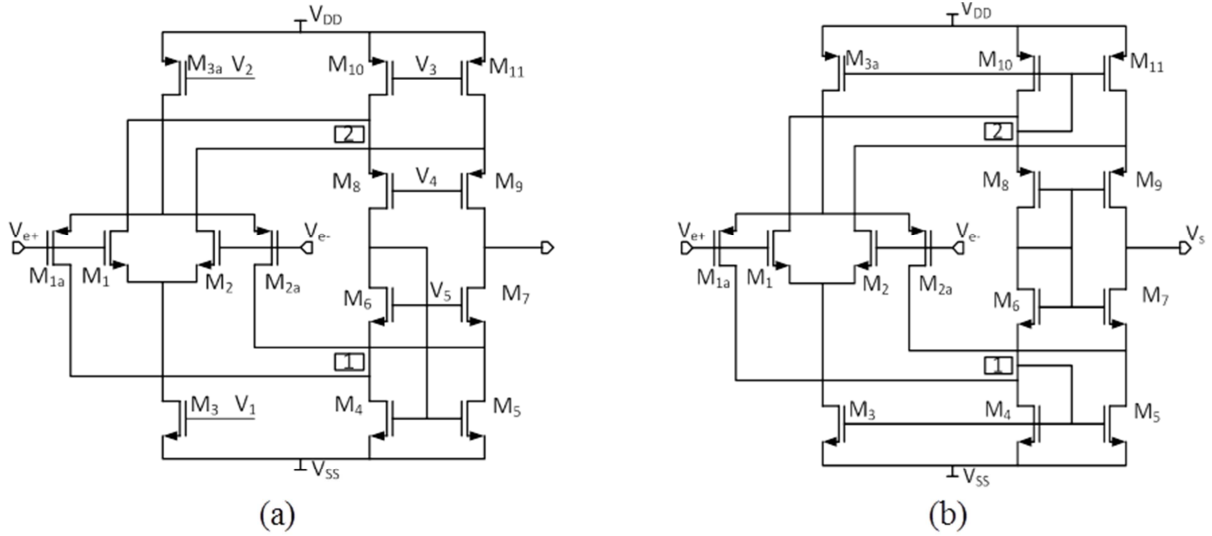


Figure 3.15 : Amplificateur folded cascode polarisé en externe (a) et auto-polarisé(b).

4.2.1 L'amplificateur *null*

L'amplificateur proposé à la figure 3.15b, a sa polarisation basée sur la mise en cascade de transistors NMOS et PMOS montés en diode. En vue d'applications à faible tension d'alimentation, l'amplificateur que nous proposons à la figure 3.16, présente une polarisation fondée sur un folded cascode à larges variations [134]. Les résistances R_1 - R_4 permettent de réguler le courant de polarisation. Les transistors M_{16} - M_{28} forment l'étage d'entrée auxiliaire. Tout comme l'étage d'entrée principal, l'auxiliaire comporte des paires différentielles de type NMOS et PMOS. Elles sont polarisées par une recopie de gain d du courant de la branche de polarisation de telle sorte que :

$$\frac{I_{D15}}{I_{D7}} = \frac{I_{D22}}{I_{D13}} = \frac{\beta_{15}}{\beta_7} = \frac{\beta_{22}}{\beta_{13}} = d \quad (3.13)$$

Ces paires différentielles sont connectées, *via* des miroirs de courant, aux paires différentielles de l'entrée primaire. De cette façon, elles leur prélèvent des courants permettant la compensation de l'offset. Quant aux paires différentielles de l'entrée primaire, elles sont polarisées par une recopie de gain q du courant de la branche de polarisation de telle sorte que :

$$\frac{I_{D6}}{I_{D7}} = \frac{I_{D3}}{I_{D13}} = \frac{\beta_6}{\beta_7} = \frac{\beta_3}{\beta_{13}} = q \quad (3.14)$$

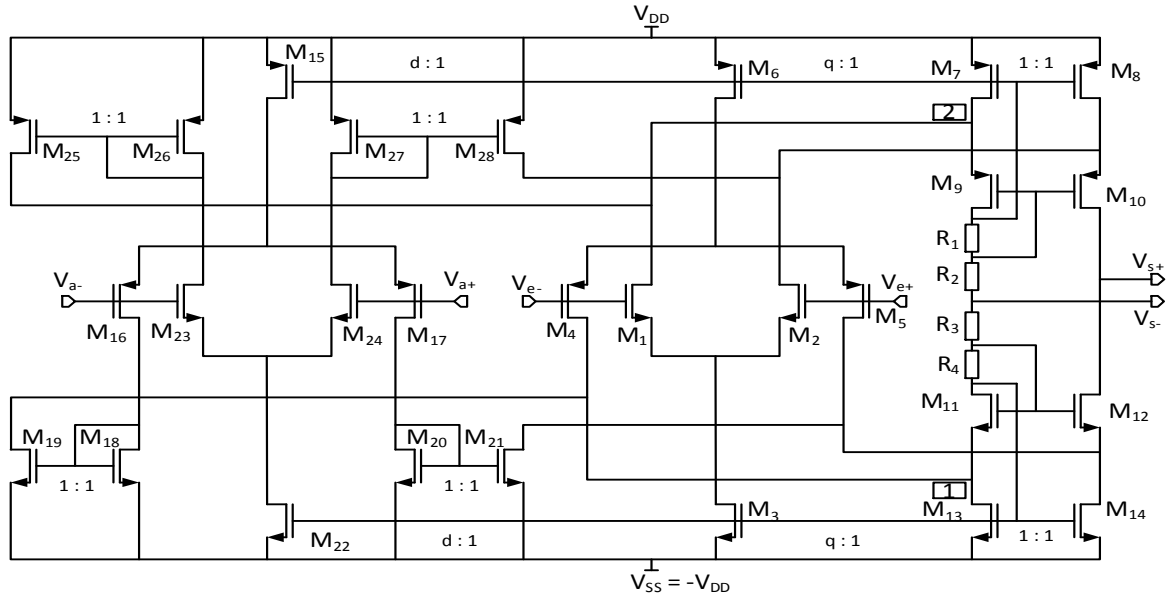


Figure 3.16 : Schéma de l'amplificateur null.

Le point milieu entre les résistances R_2 et R_3 est utilisé pour extraire la tension V_{s-} qui sert de tension de référence pour le mode commun des entrées différentielles auxiliaires.

Les propriétés physiques des transistors NMOS et PMOS sont différentes, notamment les mobilités de leurs porteurs majoritaires. Dans la technologie 130 nm HCMOS9A, la mobilité des électrons est environ trois fois plus grande que celle des trous. Ainsi, pour avoir des performances uniformes en termes de variations du mode commun, les transistors PMOS devront avoir une largeur de canal W trois fois plus grande que celle de leurs analogues NMOS. Il faut préciser que nous considérons que ces transistors ont la même longueur de canal L . Les tensions de seuil des transistors NMOS et PMOS sont notées respectivement V_{Tn} et V_{Tp} . L'analyse présente peut se traduire par les équations suivantes :

$$\beta_1 = \beta_2 = \beta_4 = \beta_5 = \beta_{16} = \beta_{17} = \beta_{23} = \beta_{24} \quad (3.15)$$

$$\beta_3 = \beta_6 \quad (3.16)$$

$$\beta_7 = \beta_8 = \beta_4 = \beta_{13} \quad (3.17)$$

$$\beta_{18} = \beta_{19} = \beta_{20} = \beta_{21} = \beta_{25} = \beta_{26} = \beta_{27} = \beta_{28} \quad (3.18)$$

$$\beta_{15} = \beta_{22} \quad (3.19)$$

$$\beta_9 = \beta_{10} = \beta_{11} = \beta_{12} \quad (3.20)$$

○ Conditions de polarisation :

Pour obtenir de bonnes performances, tous les transistors doivent fonctionner en forte inversion. Les calculs permettant d'aboutir à ces conditions de polarisation sont donnés dans l'annexe 3. En raison de la symétrie du montage évoquée précédemment, seul le cas des transistors NMOS y est abordé. Les contraintes entre les dimensions des transistors et les résistances issues de l'analyse de l'annexe 3 sont résumées ci-dessous :

$$0 < q - d < 2 \quad (3.21)$$

$$\frac{1}{R\beta_{11}} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp} - 2(V_{GS13} - V_{Tn})}{8} \quad (3.22)$$

$$\frac{\beta_3}{\beta_1} \leq \frac{2q}{q-d} \quad (3.23)$$

$$\frac{\beta_{22}}{\beta_{23}} \leq \frac{2d}{q-d} \quad (3.24)$$

$$\left(\sqrt{\frac{2}{2-q+d}} - \frac{1}{3} \right)^2 \leq \frac{\beta_{13}}{\beta_{11}} \leq \frac{2}{2-q+d} \left(\frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \frac{1}{2} \right)^2 \quad (3.25)$$

$$\frac{\beta_{13}}{\beta_{18}} \leq \frac{1}{d} \left(\frac{1}{2} + \frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \sqrt{\frac{\beta_{13}}{\beta_{11}} \frac{2-q+d}{2}} \right)^2 \quad (3.26)$$

Ces résultats constituent les conditions de polarisation de l'amplificateur *null* et sont valables uniquement si :

$$\frac{2V_{DD} - 3V_{Tn} - V_{Tp}}{2} \leq V_{GS13} \leq \frac{2V_{DD} + V_{Tn} - V_{Tp}}{2} \quad (3.27)$$

○ Optimisation des performances :

La réalisation d'un AOP passe par un compromis entre rapidité, stabilité, précision et consommation [31]. Pour évaluer les performances d'un système, la mise en œuvre d'un facteur de mérite (*FOM*) est couramment utilisée. Le facteur de mérite caractéristique des AOP est défini comme le produit de son gain et de sa bande passante, il est noté *GBW*. Ainsi ce *FOM* donne une indication sur la rapidité et la précision de l'AOP. Nous verrons plus tard dans la partie consacrée à l'étude de la stabilité, que la bande passante de l'amplificateur *null* n'intervient pas dans la fonction de transfert du système global. Dans ces conditions, l'intervention de ce paramètre dans le *FOM* n'est pas pertinente. Toutefois, sa rapidité à

compenser l'offset, notamment lors de larges variations du signal d'entrée, est un point important. Cette faculté est limitée par la vitesse de variation maximale de la tension de sortie que peut avoir l'AOP et est caractérisée par son slew rate : SR_n . En ce qui concerne la précision, son gain A_n (nous supposons dans un premier temps $A_n = A_n'$) joue un double rôle. D'un côté, il détermine la précision de l'AOP *null* en lui-même, et d'un autre coté, il contribue à minimiser l'offset résiduel du système (3.12). L'augmentation des performances de ces deux caractéristiques se fait au détriment de la consommation : I_{DDn} . Pour estimer les performances de l'AOP *null*, nous avons créé un facteur de mérite qui prend en compte le slew rate, le gain et la consommation. Il est défini par l'expression (3.28).

$$FOM1 = \frac{SR_n}{I_{DDn}} A_n \quad (3.28)$$

Nous avons vu ci-dessus que les dimensions des transistors étaient liées entre elles par les paramètres q et d . Ces relations ont pour conséquence une interdépendance entre le slew rate, le gain et la consommation. Dans le but d'optimiser les performances, nous allons exprimer ces différentes caractéristiques en fonction des paramètres q et d .

- Mise en équation du slew rate :

Par définition, le slew rate est la vitesse maximale de variation de la tension de sortie de l'amplificateur. Dans le cas présent le SR représente la rapidité avec laquelle l'amplificateur *null* compense l'offset lors de variations quasi-instantanées du signal d'entrée. Le rôle des paires différentielles d'entrée est de fournir au folded cascode, un courant proportionnel à la tension différentielle d'entrée. Lors de ces variations rapides, la différence de tension en entrée devient telle que les paires différentielles fournissent leur courant maximal. Dans ces conditions, le folded cascode ne se comporte plus comme un amplificateur de tension, mais comme une source de courant. Ce courant est injecté dans la capacité de charge C_L . Pour résumer, le slew rate sera limité par le courant maximal I_{Snmax} que pourra délivrer l'AOP et sa capacité de charge C_L [135]. Compte tenu des symétries que nous nous sommes imposées, l'AOP a une réponse transitoire symétrique, que ce soit pour une transition positive ou négative du signal d'entrée. L'expression du slew rate est la suivante :

$$SL_n = \frac{I_{Snmax}}{C_L} \quad (3.29)$$

Le courant maximum que peut délivrer l'AOP en fonction du courant de polarisation I_{D11} est le suivant :

$$I_{Sn \max} = \frac{4q(2+q)}{4+d(q-d)} I_{D11} \quad (3.30)$$

Ce qui donne l'expression suivante du slew rate :

$$SL_n = \frac{4q(2+q)}{4+d(q-d)} \frac{I_{D11}}{C_L} \quad (3.31)$$

- Mise en équation du gain :

Le second critère à prendre en considération est la précision. Dans notre système, un grand gain en boucle ouverte de l'AOP est essentiel pour garantir un offset résiduel relativement faible. Pour un mode commun nul, l'expression du gain en boucle ouverte est donnée par :

$$A_n = gm_1 gm_{12} r_{ds12} r_{ds14} \quad (3.32)$$

En fonction des paramètres des transistors cette expression devient :

$$A_n = \frac{4q}{\lambda_{12} \lambda_{14} (V_{GS1} - V_{Tn})(V_{GS12} - V_{Tn})} \quad (3.33)$$

- Mise en équation de courant de consommation :

Enfin, le dernier critère qui nous intéresse est la consommation. La relation qui lie le courant de consommation aux paramètres q et d et au courant de polarisation I_{D11} est la suivante :

$$I_{DDn} = \frac{2(2+q+3d)}{2-q+d} I_{D11} \quad (3.34)$$

Ici, le courant de polarisation I_{D11} est défini par l'équation (3.35).

$$I_{D11} = \frac{1}{4R} (2V_{DD} - V_{Tn} - V_{Tp} - 2(V_{GS13} - V_{Tn})) \quad (3.35)$$

- Mise en équation du facteur de mérite.

En conception de circuits analogiques, la première étape consiste à fixer les tensions $V_{GS}-V_T$ des transistors [31]. Cela implique, d'une part que les courants I_{D11} des équations (3.30) et (3.34) soient indépendants des paramètres q et d , et d'autre part que le gain exprimé en (3.33) est simplement proportionnel au paramètre q . Dans ce contexte, une expression simplifiée du *FOM* est donnée par :

$$FOM \propto \frac{q^2 (2+q)(2-q+d)}{(4+d(2q-d))(2+q+3d)} \quad (3.36)$$

Dans la figure 3.17, nous avons tracé le facteur de mérite de l'équation (3.36) en 3D. Nous obtenons une surface réduite limitée par la condition de polarisation définie à l'équation (3.21). D'après celle-ci, il n'est pas permis de se placer sur les extrémités de la surface bien que dans certains cas la valeur du FOM soit maximale. La position optimale présentant le meilleur compromis entre variation du FOM due aux dispersions des paramètres q et d , et sa valeur propre se trouve être en $(q,d)=(4/3,2/3)$.

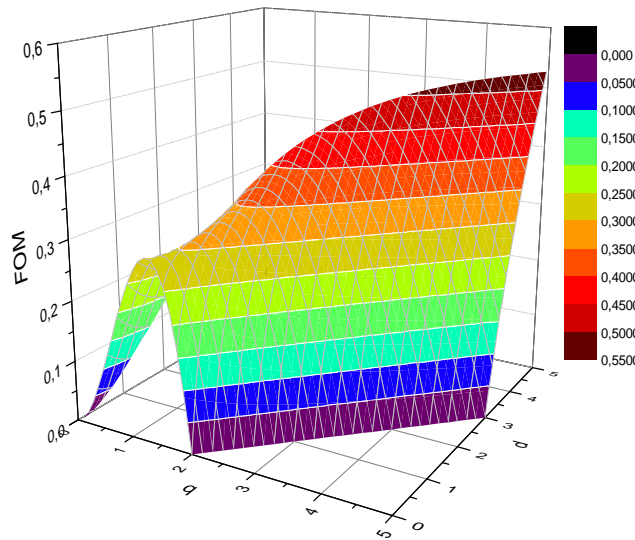


Figure 3.17 : Variation du FOM en fonction de q et d .

Dans ces conditions, les transistors des paires différentielles primaires, sont polarisés par un courant deux fois plus important que celui qui polarise les transistors des paires différentielles secondaire. Dans le but de maintenir l'égalité entre les gains primaire et auxiliaire, les transistors de la paire auxiliaire, devraient avoir une largeur de canal deux fois plus grande que celle de leurs analogues de la paire primaire. Pour des raisons de layout, nous avons préféré conserver des dimensions de transistors identiques pour toutes les paires différentielles, comme le suggère l'équation (3.15). Ainsi, il apparait un rapport entre ces deux gains sans grandes conséquences sur la valeur théorique de l'offset résiduel :

$$A_n = \sqrt{2}A_n' \quad (3.37)$$

4.2.2 L'amplificateur *main*

L'amplificateur *main* a été conçu à partir de l'amplificateur *null*, lui-même conçu à partir d'un amplificateur folded cascode. Cette structure d'amplificateur n'est en général jamais utilisée seule. D'une part, elle admet une faible excursion en tension à sa sortie, et d'autre part, elle ne permet pas de piloter des résistances de faibles valeurs. Pour ces raisons, un étage tampon doit être inséré en sortie. Cet étage est constitué de transistors montés en source commune. En les polarisant en classe AB, il est possible d'obtenir un bon rendement. La conception d'AOP à deux étages se fait généralement en mettant en cascade ces deux étages [136]. Un inconvénient de ce type d'association est une augmentation significative du bruit et de l'offset en entrée de l'amplificateur [136]. La solution que nous adopterons ici s'appuie sur un AOP développé par Hogervost [136]. Dans ces travaux, l'étage de sortie est incorporé dans le folded cascode, comme illustré à la figure 3.18. La source de courant flottante constituée des transistors M_{29} et M_{30} permet de minimiser la contribution de l'offset et du bruit de l'étage de sortie. L'association de cette source de courant avec les transistors montés en diode et les transistors de sortie forme deux boucles translinéaires : $M_{36}, M_{35}, M_{29}, M_{38}$ et $M_{33}, M_{32}, M_{30}, M_{37}$. Elles déterminent le courant de repos des transistors de sortie tout en présentant une bonne robustesse vis-à-vis des variations PVTR.

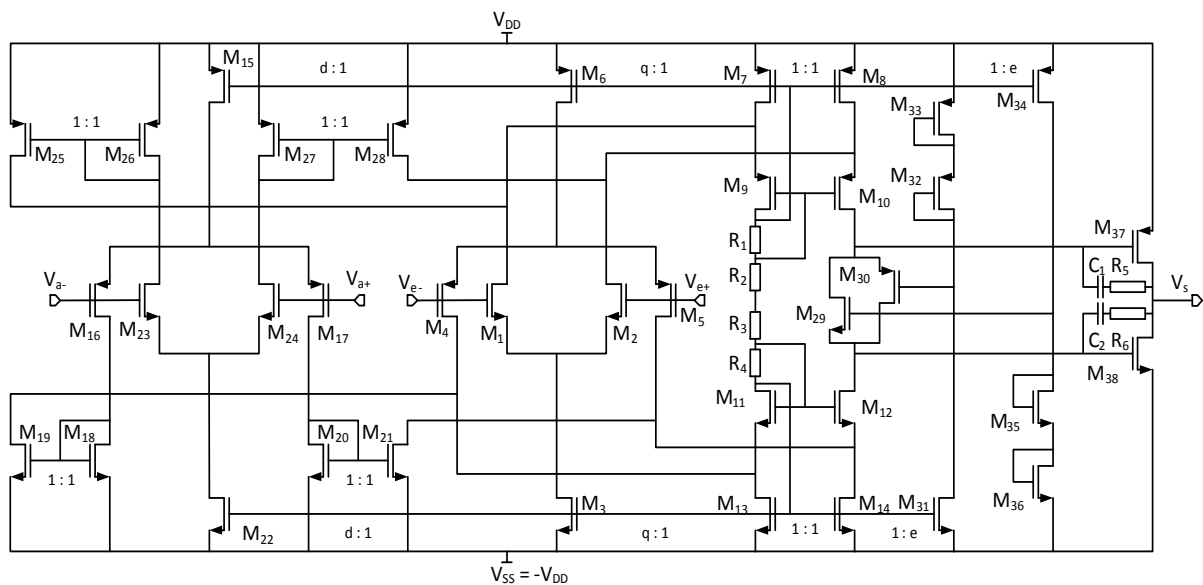


Figure 3.18 : Schéma de l'amplificateur *main*.

○ Conditions de polarisation de l'étage de sortie :

Comme pour le folded cascode, tous les transistors de l'étage de sortie doivent être polarisés en forte inversion et seuls les transistors NMOS sont considérés en raison des symétries réalisées. En supposant leur courant de polarisation suffisamment élevé pour que leur tension grille-source soit supérieure à leur tension de seuil, les transistors M_{35} et M_{36} étant montés en diode, sont automatiquement polarisés en forte inversion. L'expression de leur courant de polarisation est définie de telle manière que :

$$I_{35} = I_{36} = eI_{13} \quad (3.38)$$

Pour améliorer les performances du folded cascode, d'une part, pour assurer la polarisation en forte inversion des transistors M_{10} et M_{12} , d'autre part, nous allons imposer que les potentiels de drain de ces deux transistors soient respectivement égaux à ceux des transistors M_9 et M_{11} . Pour les transistors M_{11} et M_{12} , cela revient à écrire :

$$V_{GS13} + V_{GS29} = V_{GS35} + V_{GS36} \quad (3.39)$$

ce qui conduit à l'égalité suivante :

$$\sqrt{\frac{e\beta_{13}}{\beta_{35}}} + \sqrt{\frac{e\beta_{13}}{\beta_{36}}} = 1 + \sqrt{\frac{(2-q+d)\beta_{13}}{4\beta_{29}}} \quad (3.40)$$

Suite à cette contrainte de conception, la condition de polarisation de la source de courant flottante, dont le détail des calculs est reporté en annexe3, est donné par :

$$\frac{\beta_{13}}{\beta_{29}} \leq \frac{1}{2-q+d} \left(\frac{2V_{DD} - V_{Tn} - V_{Tp}}{2(V_{GS13} - V_{Tn})} - 1 \right)^2 \quad (3.41)$$

Dans la mesure où les transistors M_{29} , M_{35} , et M_{36} sont polarisés en forte inversion et que ces transistors forment avec le transistor M_{38} une boucle translinéaire, ce dernier transistor est *a fortiori* lui aussi polarisé en forte inversion. Son courant de drain est exprimé ci-dessous :

$$I_{38} = \left[\sqrt{e \left(1 - \frac{q}{2}\right)} \left(\sqrt{\frac{\beta_{38}}{\beta_{35}}} + \sqrt{\frac{\beta_{38}}{\beta_{36}}} \right) - \sqrt{\frac{\beta_{38}}{2\beta_{29}}} \right]^2 I_{11} \quad (3.42)$$

Nous posons :

$$b = \left[\sqrt{e \left(1 - \frac{q}{2}\right)} \left(\sqrt{\frac{\beta_{38}}{\beta_{35}}} + \sqrt{\frac{\beta_{38}}{\beta_{36}}} \right) - \sqrt{\frac{\beta_{38}}{2\beta_{29}}} \right]^2 \quad (3.43)$$

○ Optimisation de l'étage de sortie :

Nous verrons dans la partie dédiée à l'étude de la stabilité de l'amplificateur global, que les performances dynamiques de l'amplificateur global sont régies uniquement par celles de l'amplificateur *main*. Notre stratégie de conception a été de conserver la partie folded cascode de l'amplificateur *null*, pour concevoir l'amplificateur *main*. Par conséquent, l'étage de sortie porte à lui-seul les contraintes de conception pour satisfaire les performances référencées au tableau 3.3 de l'amplificateur global que nous nous sommes fixés. Ainsi, nous allons à présent mettre en équation le slew rate et le produit gain-bande, tout en donnant les conditions de stabilité de l'amplificateur *main* :

- Mise en équation du slew rate :

L'étage de sortie classe AB est capable de fournir un courant relativement important à la capacité de charge C_L , qui, en comparaison avec celle de l'amplificateur *null*, est 10000 fois plus petite. Ainsi, le slew rate de l'amplificateur *main* est limité par les capacités de compensation $C_{1,2}$ et par le courant maximal que peuvent délivrer les paires différentielles. Ce courant a été défini à l'équation (3.30), ce qui nous permet d'écrire directement l'expression de slew rate :

$$SR_m = \frac{4q(2+q)}{4+d(2q-d)} \frac{I_{D11}}{C_{1,2}} \quad (3.44)$$

- Mise en équation du produit gain-bande :

Pour obtenir le produit gain-bande souhaité, il est nécessaire d'évaluer le gain et la bande passante de l'amplificateur. Pour cela, nous allons faire l'étude aux petits signaux de l'AOP. Son schéma équivalent aux petits signaux est présenté à la figure 3.19.

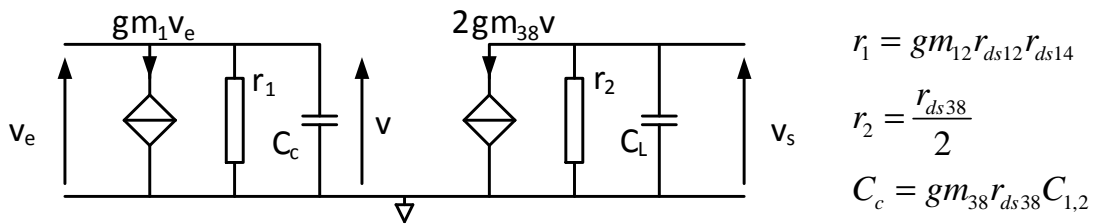


Figure 3.19 : Schéma équivalent aux petits signaux de l'amplificateur *main*.

Les résistances r_1 et r_2 représentent respectivement les résistances équivalentes de sortie du folded cascode et de l'étage de sortie. La capacité C_c représente la capacité équivalente de Miller du réseau de compensation. Cette capacité de Miller engendre l'apparition d'un zéro dans la fonction de transfert. L'inconvénient de ce zéro positif est qu'il crée un retard de phase. Il

arrive que ce zéro soit proche du produit gain-bande souhaité et, dans ce cas-là, des problèmes de stabilité peuvent apparaître. Pour cela, des résistances sont placées en série avec les capacités de Miller. Elles ont pour effet de créer une avance de phase en transformant le zéro positif en zéro négatif. Dans notre schéma, ces résistances sont notées R_5 et R_6 . Dans la suite, nous considérons que la capacité de Miller est négligeable devant la capacité de charge. La fonction de transfert de cet amplificateur est de la forme :

$$H_m(f) = gm_1 gm_{12} r_{ds12} r_{ds14} gm_{38} r_{ds38} \frac{\left(1 + j2\pi \left(R_{4,5} - \frac{1}{gm_{38}}\right) C_c f\right)}{\left(1 + j2\pi gm_{12} r_{ds12} r_{ds14} C_c f\right) \left(1 + j2\pi \frac{r_{ds38}}{2} C_L f\right)} \quad (3.45)$$

Nous allons, dans un premier temps, ignorer l'effet du zéro. Cela permet de dire que la stabilité de l'amplificateur sera assurée si le produit gain-bande du folded cascode est supérieur à la bande passante de l'étage de sortie :

$$\frac{gm_1}{2\pi gm_{38} r_{ds38} C_{1,2}} \leq \frac{1}{2\pi \frac{r_{ds38}}{2} C_L} \quad (3.46)$$

ce qui est équivalent à :

$$\frac{gm_{38}}{gm_1} \geq \frac{1}{2} \frac{C_L}{C_{1,2}} \quad (3.47)$$

ou encore à :

$$\frac{\beta_1}{\beta_{38}} \geq \frac{1}{4} \frac{q}{(2-q+d)b} \left(\frac{C_L}{C_{1,2}}\right)^2 \quad (3.48)$$

Dans ces conditions, le produit-gain bande de l'amplificateur *main* est donné par l'équation suivante :

$$GBW_m = \frac{gm_1}{2\pi C_{1,2}} \quad (3.49)$$

A présent, nous allons considérer le zéro induit par l'effet Miller. Nous avons introduit ci-dessus que, pour assurer la stabilité, ce zéro devait être négatif. D'un autre côté, nous devons le positionner au-delà du produit gain-bande de l'amplificateur. Généralement, un rapport de 3 est pris [31]. Ce qui nous donne l'intervalle suivant :

$$\frac{1}{gm_{38}} \leq R_{5,6} \leq \frac{1}{3gm_1} \quad (3.50)$$

Le courant I_{D11} et la transconductance gm_1 ont été fixés lors de la conception du folded cascode. Ainsi, le seul paramètre sur lequel il est possible de jouer pour régler le SR et le GBW_m est la valeur des capacités de compensation. En d'autres termes, fixer la valeur de l'un revient à fixer la valeur de l'autre. Une diminution de la valeur des capacités de compensation entraîne une augmentation à la fois du slew rate et du produit gain-bande. Malheureusement, cela a pour effet de rendre l'amplificateur instable. Obligeant ainsi d'augmenter la transconductance de l'étage de sortie en augmentant son courant de polarisation pour assurer à nouveau la stabilité de l'amplificateur.

4.2.3 Dimensionnement des transistors

Les conditions de polarisation des transistors des amplificateurs *main* et *null* viennent d'être posées. La procédure de conception d'un circuit analogique CMOS commence par le choix indépendant des paramètres L et $V_{GS}-V_T$ [31]. Dans le cas des applications qui requièrent un gain important, un faible niveau de bruit et un faible offset, comme les amplificateurs opérationnels, le concepteur doit choisir une grande valeur de L et une faible valeur de $V_{GS}-V_T$. Ces deux choix sont contraires de ceux qu'il convient de prendre pour les applications hautes fréquences. Ainsi le choix de ces deux paramètres est probablement l'un des plus basiques compromis entre précision et rapidité en conception de circuits analogiques CMOS. Nous avons fait le choix dans notre cas de prendre une valeur de $V_{GS}-V_T$ relativement faible (3.51) et une longueur de canal de l'ordre de dix fois la longueur de canal minimale de la technologie (3.52).

$$V_{GS} - V_T = 0,2V \quad (3.51)$$

$$L = 1 \mu m \quad (3.52)$$

A partir de ces valeurs, des conditions de polarisation et du cahier des charges, il est possible de dimensionner les transistors du circuit. Dans le tableau 3.4, nous avons donné les dimensions des transistors NMOS. Chaque transistor est constitué d'une combinaison parallèle de m transistors identiques. Les dimensions des transistors PMOS, sont obtenues en appliquant un facteur multiplicatif de trois sur leur largeur de canal en comparaison avec leurs analogues NMOS. Les valeurs des paramètres des composants passifs sont répertoriées dans le tableau 3.5.

Transistor	W (μm)	L (μm)	m
$M_1 M_2$	15	1	2
M_3	2	1	4
$M_{11} M_{12} M_{35}$	4	1	1
$M_{13} M_{14}$	2	1	3
$M_{18} M_{19} M_{20} M_{21} M_{22}$	2	1	2
M_{29}	2	1	1
$M_{31} M_{36}$	2	1	2
M_{38}	40	1	1

Tableau 3.4 : Récapitulatif des dimensions des transistors NMOS.

Composants	Valeurs
$R_1 R_2 R_3 R_4$	40 k Ω
$R_5 R_6$	10 k Ω
$C_1 C_2$	20 pF

Tableau 3.5 : Valeur des composants passifs.

4.2.4 Stabilité

Les amplificateurs opérationnels sont, dans la majorité des cas, utilisés en contre-réaction pour obtenir un gain stable et prédictible [31]. Cependant, cette configuration peut entraîner des risques d'instabilité fréquentielle. C'est pourquoi, un réseau de compensation doit être incorporé sans toutefois détériorer la rapidité du système ou de l'amplificateur. C'est dans cela que réside une bonne partie de la difficulté de conception d'un amplificateur opérationnel.

○ *Stabilité durant la phase $\Phi 1$:*

Lors de la phase $\Phi 1$, l'amplificateur *null* est chargé par une capacité de 100 nF. Son impédance de sortie étant relativement importante, l'association de cette impédance de sortie avec la capacité de charge, engendre une bande passante suffisamment petite. La stabilité est donc garantie, sans à avoir à ajouter un réseau de compensation. L'amplificateur *main* durant cette phase garantit à lui seul la fonction amplificatrice du système. Sa stabilité a déjà été étudiée. La fonction de transfert globale se réduit donc à celle de l'amplificateur *main*, plus précisément, à celle entre son entrée principale et sa sortie. Elle peut être approximativement modélisée par un

filtre passe-bas du premier ordre, où A_m et f_m sont respectivement le gain DC et la fréquence de coupure :

$$H_{\Phi_1}(f) = \frac{A_m}{1 + j \frac{f}{f_m}} \quad (3.53)$$

○ Stabilité durant la phase Φ_2 :

Pour étudier la stabilité de l'amplificateur durant la phase Φ_2 , nous allons nous baser sur un schéma-bloc. Nous avons représenté le schéma-bloc de notre amplificateur à la figure 3.20, dans lequel nous pouvons constater que le signal d'entrée suit deux chemins au sein de celui-ci. Le premier passe directement à travers l'amplificateur *main via* son entrée principale. Le second passe à travers l'amplificateur *null via* son entrée principale, puis à travers l'amplificateur *main via* son entrée auxiliaire. La figure 3.20 représente le schéma-bloc de l'amplificateur global durant cette phase. Les fonctions de transfert en tension, $A_m(f)$ et $A_m'(f)$, sont celles de l'amplificateur *main* quand sont respectivement considérées les entrées principale et auxiliaire. La fonction de transfert $A_n(f)$ correspond à l'amplificateur *null*, lorsque son entrée principale est considérée. Le paramètre $C(f)$ est la fonction de transfert associée au réseau de compensation, qui consiste en un filtre passe-bas passif formé par la résistance de sortie de l'amplificateur *null*, la capacité de maintien C_{m1} et la capacité équivalente de Miller C_c .

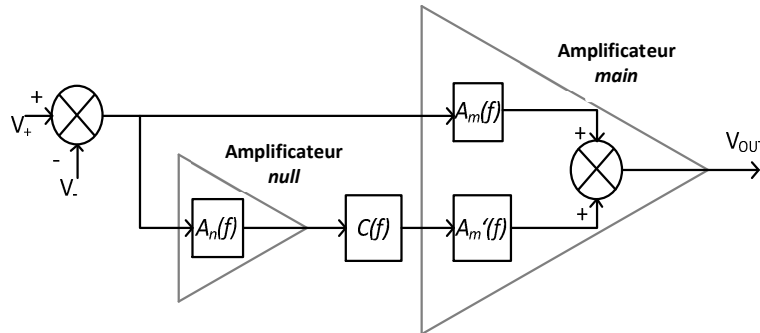


Figure 3.20 : Schéma-bloc de l'amplificateur auto-zéro.

En considérant que chacune des fonctions de transfert peut être modélisée en utilisant un filtre passe-bas du premier ordre, l'expression de la fonction de transfert global est la suivante :

$$H_{\Phi_2}(f) = \frac{A_m}{\left(1 + j \frac{f}{f_m}\right)} + \frac{A_m' A_n}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (3.54)$$

où $A_{m,m',n}$ et $f_{m,m',n,c}$ sont respectivement le gain DC en boucle ouverte et la fréquence de coupure associés à chaque bloc. Idéalement, pour assurer la stabilité de l'amplificateur, il faudrait que cette fonction de transfert soit ramenée au premier ordre. C'est ce que nous allons voir ci-dessous, en commençant par les suppositions suivantes :

$$f_c \ll f_n \quad (3.55)$$

$$f_m = f_{m'} \quad (3.56)$$

A partir de là, en suivant la démonstration de l'annexe 3, nous pouvons réécrire la fonction de transfert de la façon qui suit :

$$H_{\Phi_2}(f) = (A_m + A_m' A_n) \frac{\left(1 + j \frac{f}{f_1}\right) \left(1 + j \frac{f}{f_2}\right)}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (3.57)$$

où :

$$f_1 = \frac{f_n}{2} \left(1 - \sqrt{1 - 4 \left(1 + \frac{A_m' A_n}{A_m} \right) \frac{f_c}{f_n}} \right) \quad (3.58)$$

$$f_2 = \frac{f_n}{2} \left(1 + \sqrt{1 - 4 \left(1 + \frac{A_m' A_n}{A_m} \right) \frac{f_c}{f_n}} \right) \quad (3.59)$$

Dans l'hypothèse où :

$$4 \left(1 + \frac{A_m' A_n}{A_m} \right) \frac{f_c}{f_n} \ll 1 \quad (3.60)$$

La linéarisation de (3.58) et (3.59) donne respectivement :

$$f_1 = \left(1 + \frac{A_m' A_n}{A_m} \right) f_c \quad (3.61)$$

$$f_2 = f_n \quad (3.62)$$

Nous pouvons voir dès à présent, d'après l'équation (3.62), que naturellement les parties dépendantes de la fréquence de coupure de l'amplificateur *null* s'annulent. Pour finir, en choisissant une valeur de f_c telle que $f_1 = f_m$, soit :

$$f_c = \frac{f_m}{1 + \frac{A_m \cdot A_n}{A_m}} \quad (3.63)$$

La fonction de transfert (3.54) peut se mettre sous la forme canonique d'un filtre passe-bas du premier ordre, la stabilité étant garantie :

$$H_{\Phi_2}(f) = \frac{A_m + A_m \cdot A_n}{1 + j \frac{f}{f_c}} \quad (3.64)$$

Nous pouvons en déduire le produit gain-bande de l'amplificateur global durant cette phase Φ_2 qui est égal à :

$$GWB_{\Phi_2} = \frac{A_m + A_m \cdot A_n}{1 + \frac{A_m \cdot A_n}{A_m}} f_m \approx A_m f_m \quad (3.65)$$

Au regard de cette expression et de l'équation (3.53), le produit gain-bande est conservé d'une phase à l'autre.

4.2.5 Générateur d'horloge

Dans la deuxième partie de ce chapitre, différentes techniques de compensation de l'effet d'injection de charges et de l'effet du couplage de l'horloge ont été exposées. Parce que l'utilisation de circuits différentiels tels que ceux représentés à la figure 3.11a, est la technique la plus efficace pour réduire ces effets, les entrées auxiliaires des amplificateurs à auto-zéro ont été conçues pour être connectées à ce type de circuit différentiel. Une des particularités de ces entrées auxiliaires est qu'elles sont toujours polarisées au milieu de la plage de variation du mode commun. Ainsi, en plus de l'utilisation de circuits différentiels, les interrupteurs ont été réalisés autour de deux transistors NMOS et PMOS montés tête-bêche. En effet, dans ces conditions de polarisation, ils assurent une compensation optimale de l'injection de charges. Ce même type de montage a été retenu pour les interrupteurs d'entrée. Mais, cette fois-ci, leur but premier n'est pas de minimiser l'injection de charges, mais de permettre la gestion de l'excursion rail-to-rail du signal d'entrée. Ici, l'injection de charges a été limitée par l'ajout d'interrupteurs factices. Comme mentionné précédemment, les signaux de commande des interrupteurs doivent être non-recouvrants. Le circuit permettant de générer ces signaux Φ_1 et Φ_2 est représenté à la figure 3.21a.

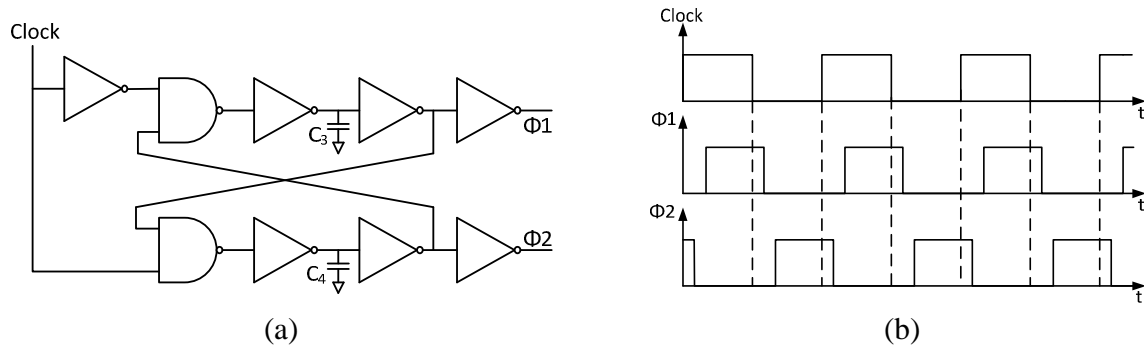


Figure 3.21 : Schéma du générateur d'horloge non-recouvrante (a) et chronogramme des signaux (b).

4.2.6 Résultats de simulation

Les performances de l'amplificateur proposé dans cette thèse ont d'abord été estimées par simulation en utilisant le design kit de la technologie HCMOS9A 130 nm de STMicroelectronics pour une tension d'alimentation de $\pm 1,65$ V. Les gains DC et les fréquences de coupure relatifs aux amplificateurs *main* et *null* sont indiqués dans le tableau 3.6.

Amplificateur	Entrée	Caractéristiques	Valeur
<i>Main</i>	Primaire	Gain (A_m)	125 dB
		Fréquence de coupure (f_m)	5,86 Hz
	Auxiliaire	Gain (A_m')	120 dB
		Fréquence de coupure (f_m')	5,84 Hz
<i>Null</i>	Primaire	Gain (A_n)	84 dB
		Fréquence de coupure (f_n)	265 kHz
	Auxiliaire	Gain (A_n')	79 dB
		Fréquence de coupure (f_n')	232 kHz

Tableau 3.6 : Gains en boucle ouverte et fréquences de coupure des amplificateurs *main* et *null*.

La fréquence de coupure du réseau de compensation pour garantir la stabilité de l'amplificateur global peut être déduite de l'équation (3.63) et des données du tableau 3.6 :

$$f_C = \frac{5,86}{1 + \frac{10^{20} 10^{20}}{10^{\frac{125}{20}}}} \approx 657 \mu\text{Hz} \quad (3.66)$$

L'impédance de sortie R_S de l'amplificateur *null* donnée par la simulation est estimée à 58 MΩ. La capacité virtuelle C_C' que doit voir le nœud de sortie de l'amplificateur *null* pour avoir une fréquence f_C égale à celle déterminée à l'équation précédente est :

$$C_C' = \frac{1}{2\pi R_S f_C} \approx 4,2 \mu\text{F} \quad (3.67)$$

En tenant compte de la contribution de la capacité de stockage C_{ml} et de l'effet Miller, la valeur de la capacité de Miller C_C peut être calculée :

$$C_C = \frac{C_C' - C_{ml}}{A_m'} \approx 4,1 \text{ pF} \quad (3.68)$$

La figure 3.22 représente le diagramme de gain de la fonction de transfert au cours de la phase Φ_2 pour trois valeurs de C_C . La valeur de 4,1 pF permet d'avoir le comportement d'un filtre passe-bas du premier ordre en accord avec l'équation (3.68). De plus, la valeur de la fréquence de coupure est évaluée à 631 μHz, ce qui avait été prévu au plan théorique, notamment par l'équation (3.66).

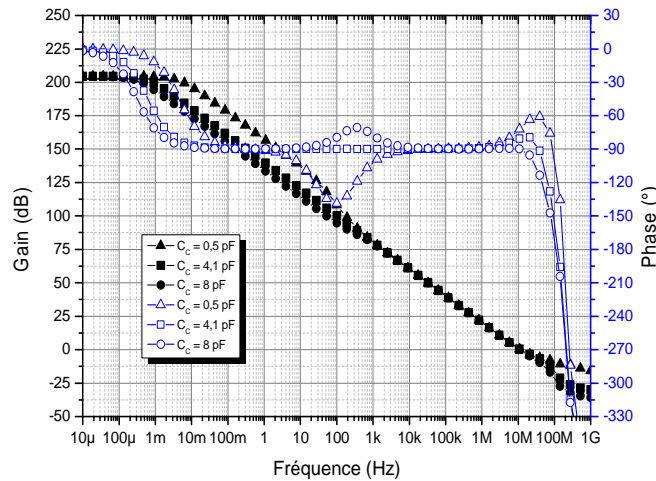


Figure 3.22 : Etude de la stabilité lors de la phase Φ_2 .

Les diagrammes de Bode de l'amplificateur global lors de chacune des deux phases sont superposés à la figure 3.23. Les produits gain-bande de ces deux fonctions de transfert sont bien égaux et valent 10 MHz.

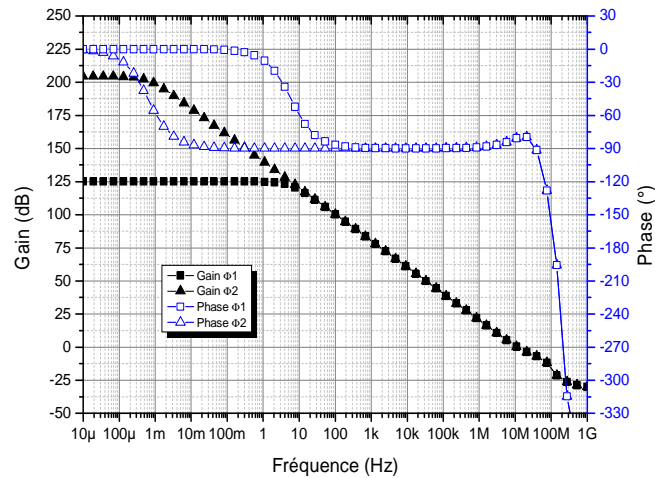


Figure 3.23 : Diagrammes de Bode des phases $\Phi 1$ et $\Phi 2$.

Les tensions d'offset des amplificateurs peuvent être causées par des effets aléatoires et des erreurs systématiques dus à la conception. Par conséquent il peut être envisageable que les offsets des amplificateurs *main* et *null* aient des valeurs opposées. Cependant, d'après l'équation (0.14), l'offset résiduel sera maximal (en valeur absolue) si ces deux offsets ont le même signe. Pour évaluer la robustesse du système, ce pire cas est celui choisi dans les simulations qui suivent. Nous supposons qu'une valeur d'offset de 10 mV sur chacun des amplificateurs *main* et *null* issus de la fabrication est une valeur réaliste. Ainsi, en simulation, un générateur fictif de 10 mV a été placé à l'entrée de chaque amplificateur pour rendre compte de cet offset. La réponse transitoire de l'annulation de l'offset est représentée à la figure 3.24.

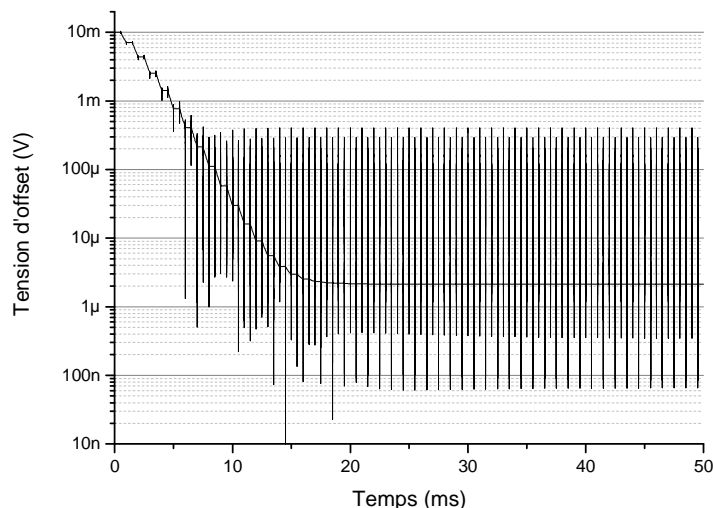


Figure 3.24 : Réponse temporelle de l'annulation de l'offset.

Dans cette simulation, l'amplificateur global a été monté en suiveur de tension. L'offset résiduel est obtenu après 20 ms et est proche de $2 \mu\text{V}$. Ce résultat de simulation se vérifie en théorie pour un gain auxiliaire de l'amplificateur *null* présenté au tableau 3.6 estimé à 79 dB :

$$V_{io} = \frac{0,01+0,01}{10^{\frac{79}{20}}} \approx 2,2 \mu\text{V} \quad (3.69)$$

Les principales caractéristiques obtenues par simulation de l'amplificateur opérationnel sont données dans le tableau 3.7 pour une charge capacitive de 10 pF.

Caractéristiques	$\Phi 1$	$\Phi 2$
Tension d'alimentation (V)	3.3	
Gain DC (dB)	125	204
GBWP (MHz)	10	10
Marge de phase (°)	82	80
Marge de gain (dB)	26	25
CMRR (dB)	164	
PSRR (dB)	161	
Slew rate descente (V/ μs)	6,7	6,9
Slew rate montée (V/ μs)	6,8	7
Consommation (μA)	300	

Tableau 3.7 : Principales caractéristiques obtenues par simulation de l'amplificateur global.

5 Résultats de mesures

Les deux amplificateurs à auto-zéro présentés dans la partie précédente, ont été implémentés en technologie HCMOS9A 130 nm. Des précautions au niveau du layout telles que l'utilisation de cellules centroïdes pour les paires différentielles ont été prises pour minimiser l'offset intrinsèque de chaque AOP. Tout comme pour la référence de tension, des anneaux de garde ont été placés autour de chaque transistor pour limiter les courants de fuite causés par les radiations. Dans la suite du manuscrit, nous désignerons l'amplificateur ping-pong par le sigle PP et l'amplificateur à auto-zéro à temps continu par le sigle CTAZ. La figure 3.25 donne le layout de l'amplificateur CTAZ. Ses dimensions sont de $300 \mu\text{m}$ par $190 \mu\text{m}$.

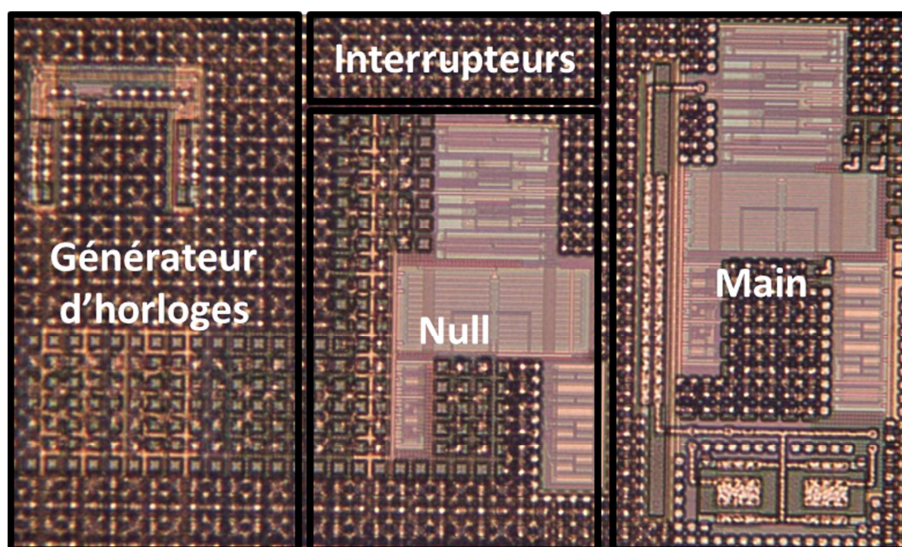


Figure 3.25 : Photographie du layout de la structure CTAZ.

5.1 Implémentation du circuit de mesure et banc de test

Nous allons présenter ici la méthode utilisée pour mesurer l'offset des amplificateurs opérationnels. D'après sa définition, l'offset correspond à la tension à appliquer à l'entrée de l'amplificateur pour obtenir une tension nulle à sa sortie. La technique qui a été utilisée pour réaliser cette mesure est basée sur un rebouclage entre la sortie de l'AOP à tester, nommé pour l'occasion DUT, et son entrée à travers un second AOP noté A. Le schéma de principe est représenté à la figure 3.26.

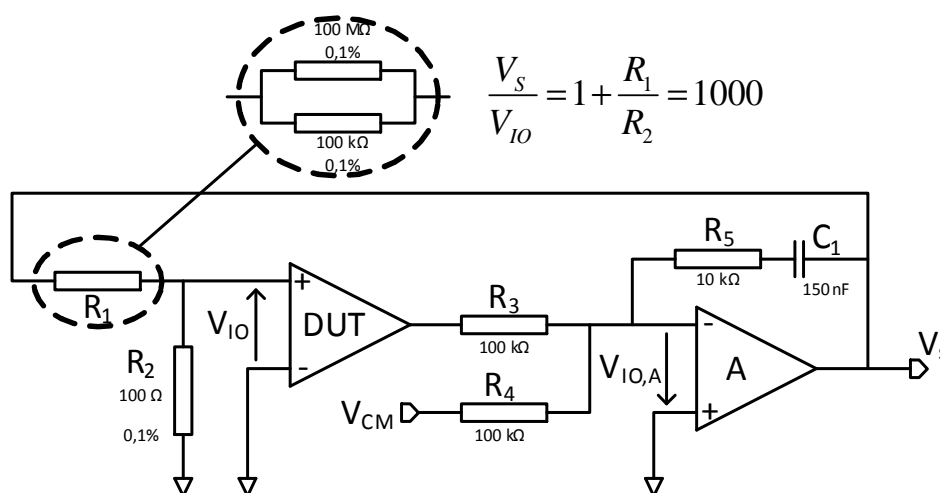


Figure 3.26 : Schéma dédié à la mesure de la tension d'offset d'entrée.

Le rôle de l'amplificateur A associé aux résistances R_3 et R_4 est de fixer la sortie du DUT à zéro. L'amplificateur A ayant lui aussi un offset ici noté $V_{IO,A}$, pour assurer une tension nulle en sortie du DUT, une tension V_{CM} doit être appliquée de telle sorte que :

$$V_{CM} = -\left(1 + \frac{R_4}{R_3}\right)V_{IO,A} \quad (3.70)$$

La contre-réaction conduit à ce que la tension fournie par la sortie V_S de l'amplificateur A soit égale à :

$$V_S = \left(1 + \frac{R_1}{R_2}\right)V_{IO} \quad (3.71)$$

Ainsi, la tension V_S est une image de la tension d'offset du DUT pondérée par un gain de façon à ce que qu'elle soit suffisamment élevée pour pouvoir être mesurée. La résistance R_5 et le condensateur C_1 garantissent la stabilité fréquentielle du système. Le multimètre utilisé pour mesurer l'offset est un HP3458A, il permet de faire une mesure moyenne sur 1000 acquisitions.

5.2 Recherche de la fréquence d'auto-zéro optimale

Les circuits à auto-zéro requièrent une horloge externe pour assurer leur fonction. La valeur de cette fréquence d'horloge va impacter directement les performances des amplificateurs. Prenons le cas de l'amplificateur CTAZ et supposons tout d'abord que la fréquence d'auto-zéro qui lui est appliquée soit relativement faible. A cause des courants de fuite inhérents aux circuits intégrés, les capacités de stockage peuvent avoir le temps de se décharger entre chaque phase d'auto-zéro et ainsi entrainer la perte de la compensation de l'offset. De plus, nous avons vu dans la première partie de ce chapitre que, pour réduire la contribution du bruit, la fréquence d'auto-zéro devait être choisie supérieure à la fréquence de transition entre le bruit en $1/f$ et le bruit blanc. Plaçons-nous maintenant dans le cas contraire où la fréquence d'auto-zéro est très grande. Dans la mesure où la charge en sortie des interrupteurs n'est pas purement capacitive à cause des résistances parasites, tout comme dans la technique de chopping, une partie de l'offset résiduel due au couplage de l'horloge sera proportionnelle à la fréquence de l'horloge. Ces deux effets antagonistes laissent prédire une fréquence d'auto-zéro optimale pour laquelle l'offset résiduel sera minimal. Avant de caractériser les amplificateurs, un balayage en fréquence a été réalisé pour trouver cette fréquence optimale.

La variation de l'offset en fonction de fréquence pour l'auto-zéro à temps continu est représentée à la figure 3.27 pour quatre puces choisies au hasard. Ce balayage fréquentiel met bien en évidence l'existence d'une fréquence d'auto-zéro optimale.

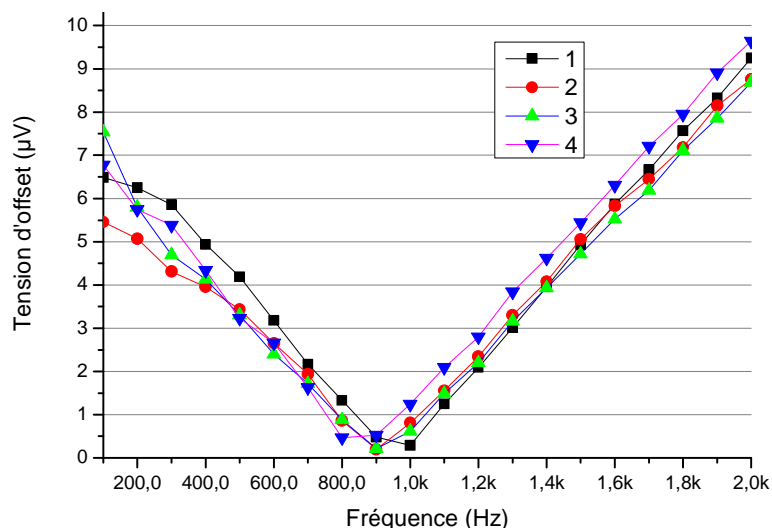


Figure 3.27 : Mise en évidence de la dépendance de l'offset à la fréquence d'auto-zéro pour quatre circuits à auto-zéro à temps continu non sélectionnés au préalable.

De ces premières mesures de l'offset, nous en déduisons que la fréquence optimale d'auto-zéro se situe à 900 Hz. Par conséquent, cette fréquence a été appliquée à ce circuit tout au long des mesures dont les résultats sont rapportés par la suite. La même analyse a été menée pour l'amplificateur PP et a conduit à l'obtention d'un offset minimal situé à une fréquence d'auto-zéro de 1 kHz. Cette fréquence a donc été utilisée au cours de ces mesures.

5.3 Caractérisations électriques

Nous avons à notre disposition 32 puces comprenant chacune les deux types d'amplificateur à auto-zéro. La mesure de l'offset de chacune de ces pièces a permis d'en faire une description statistique présentée à la figure 3.28.

La compensation d'offset de ces deux amplificateurs fonctionne bien. En effet ils montrent tous deux un offset moyen inférieur à 10 µV. La répartition de l'offset de l'auto-zéro à temps continu présentée à la figure 3.28b montre quatre cas isolés autour de 4 µV. Pour ces puces, la fréquence optimale n'est pas centrée à 900 Hz. En faisant un nouveau balayage en fréquence, il est possible de trouver des valeurs d'offset comparables à celles obtenues pour d'autres puces à leur fréquence optimale propre.

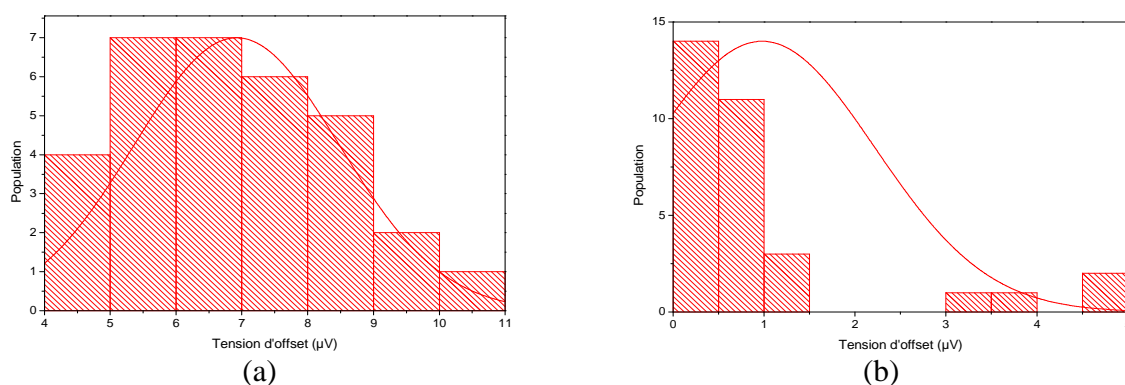


Figure 3.28 : Répartition statistique de l'offset des amplificateurs PP (a) et CTAZ (b).

Les caractéristiques dynamiques ont été mesurées à l'aide du testeur M3000, prêté pour l'occasion par l'équipe Communications & Security Components Engineering Laboratory de THALES, Toulouse, France. Elles sont récapitulées dans le tableau 3.8. Les performances de l'auto-zéro à temps continu sont légèrement inférieures à celles trouvées en simulation. L'explication de ces écarts est que les résultats de simulation présentés ne tiennent pas compte du layout. Pour avoir une meilleure correspondance, des simulations post-layout auraient dû être réalisées.

Caractéristiques	Amplificateur CTAZ	Amplificateur PP
Offset (μV)	0,6	7
Variance de l'offset (μV)	0,3	1,3
GBWP (MHz)	7,2	1,1
SR- (V/μs)	7,3	0,4
SR+ (V/μs)	6,7	0,3

Tableau 3.8 : Performances mesurées des amplificateurs.

5.4 Résultats de mesure aux radiations

5.4.1 Procédure de test

Les tests aux radiations ont été effectués au laboratoire TRAD à Toulouse, France. Les circuits ont été placés devant une source de rayon gamma au Cobalt-60, de telle sorte qu'une partie de ces circuits étaient soumis à un débit de dose de 310 rad/h, alors que les autres circuits subissaient un débit de dose de 650 rad/h. La durée des mesures entre chaque palier de radiation était inférieure à deux heures. Les irradiations ont été suivies par un recuit (anneal en anglais) à

température ambiante durant 24 heures puis à 100°C pendant 168 heures. Cette méthode de recuit qui porte la dénomination 1019.4 [109], permet d'estimer les effets de très faibles débits de dose rencontrés dans l'espace, et, ainsi, de diminuer la durée des tests [110]. Pour chaque débit de dose, douze circuits ont été irradiés. Deux d'entre eux n'étaient pas polarisés (OFF), cinq avaient leur signal d'horloge forcé à l'état '0' et cinq autres étaient polarisés dans les conditions nominales (CLK).

5.4.2 Résultats TID

La figure 3.29 présente les résultats aux radiations des deux amplificateurs opérationnels à faible et fort débits de dose. Dans tous les cas, aucune distinction de comportement entre les différents types de polarisation n'est observée.

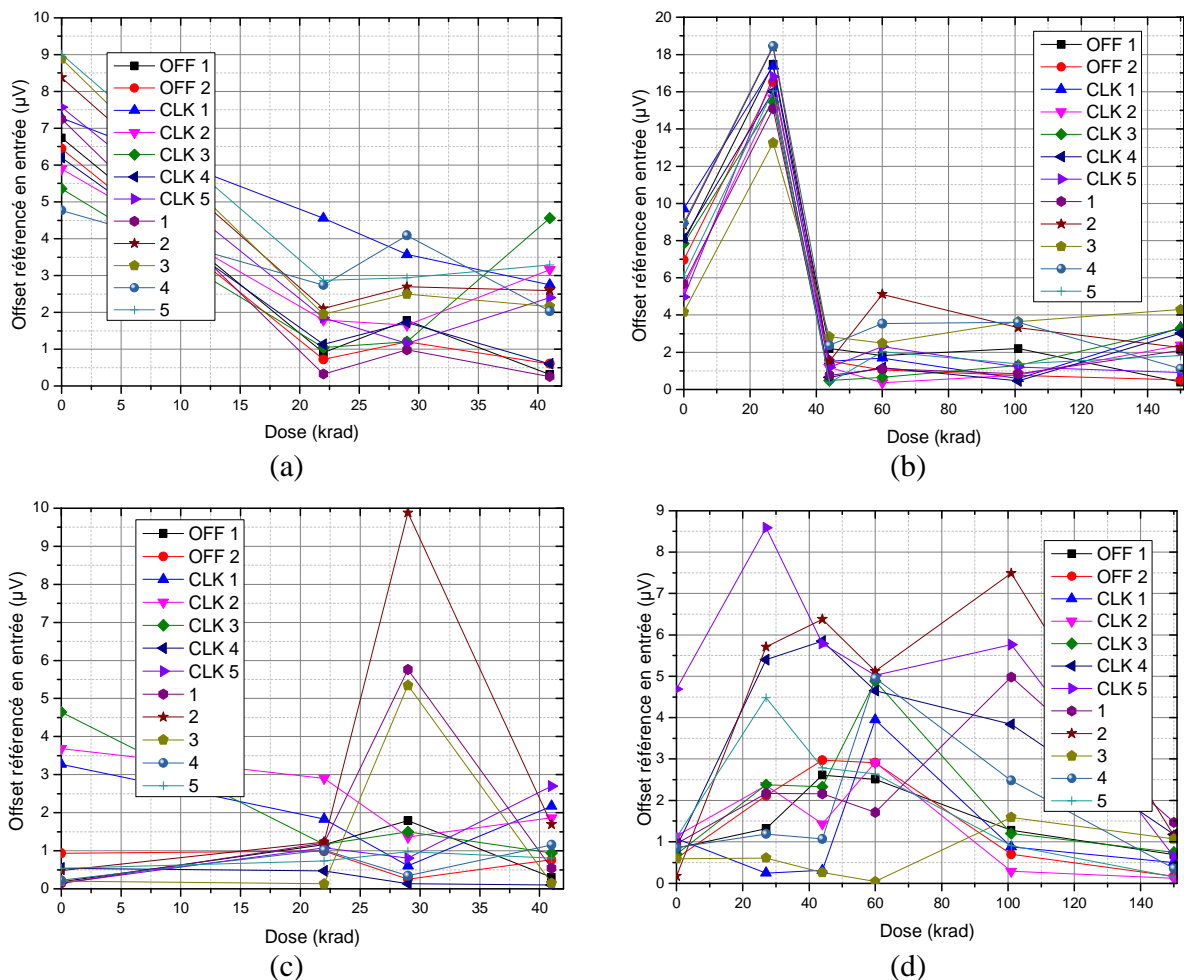


Figure 3.29 : Variation de l'offset des amplificateurs PP à faible (a) et fort (b) débit de dose et de l'amplificateur CTAZ à faible (c) et fort (d) débit de dose.

Que ce soit à faible ou à fort débit de dose, l'offset de l'amplificateur PP a tendance à diminuer et atteint une valeur moyenne de $1,5 \mu\text{V}$. En ce qui concerne l'amplificateur CTAZ, la majeure partie des offsets reste inférieure au microvolt. Ces valeurs d'offset très faibles sont à relativiser en raison de leur proximité avec le niveau du plancher du bruit. La moindre perturbation peut engendrer des erreurs de mesure. Quoiqu'il en soit, ces deux amplificateurs présentent une bonne robustesse vis-à-vis de la dose.

5.4.3 Résultats de l'annealing

Le principe et la méthode utilisés pour l'annealing ont été respectivement introduits dans le chapitre 1 et dans la partie présentant la procédure de test de ce chapitre. Les phases d'irradiations et d'annealing en fonction du temps sont décrites à la figure 3.30.

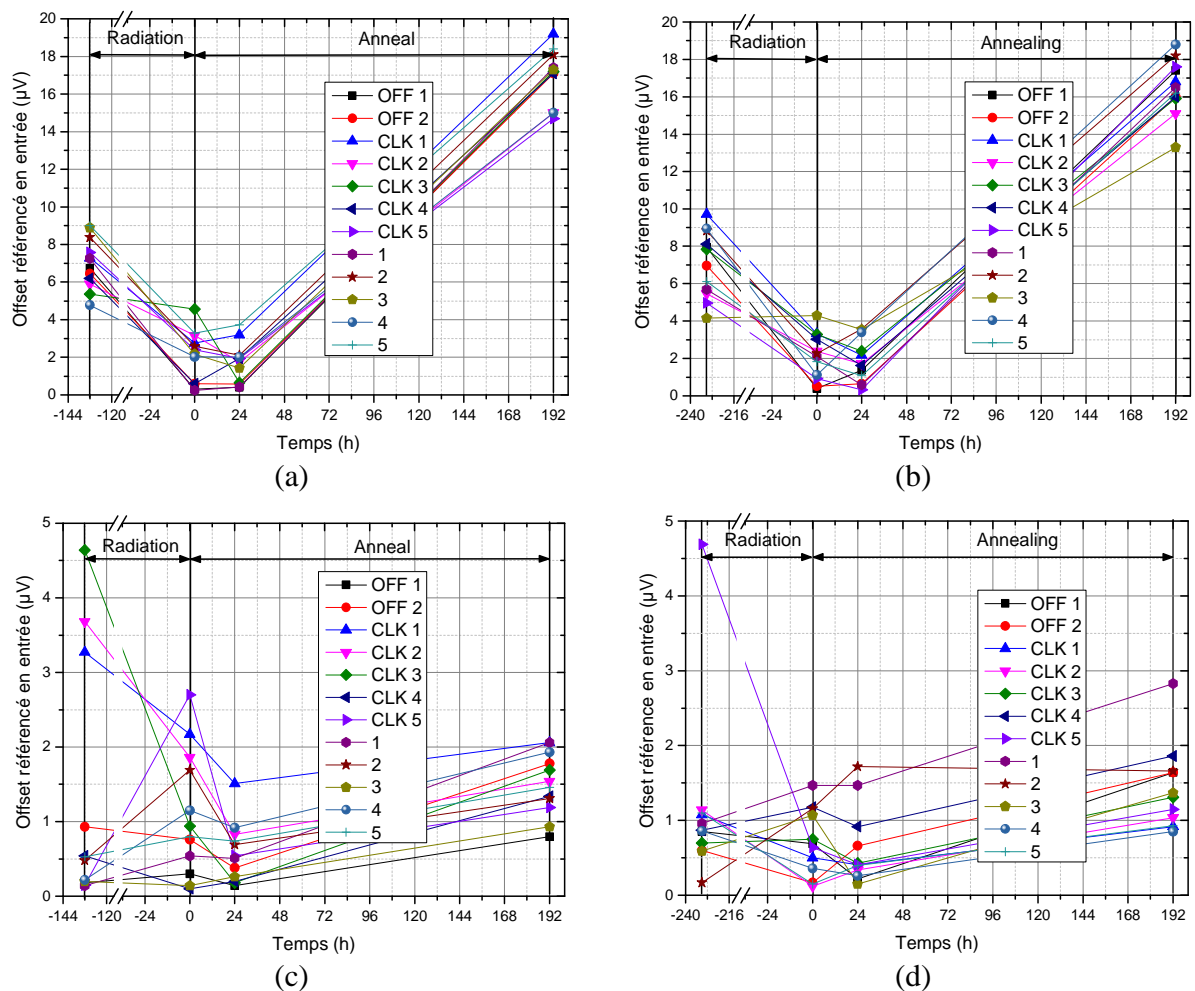


Figure 3.30 : Phases d'annealing de l'amplificateur PP à faible (a) et fort (b) débits de dose et de l'amplificateur CTAZ à faible (c) et fort (d) débits de dose.

Aussi bien à faible débit qu'à fort débit, l'offset de l'amplificateur CTAZ ne présente pas de variations significatives durant l'annealing. Par conséquent, cet amplificateur n'est pas sensible au débit de dose et peut convenir aux missions spatiales. Au contraire, l'amplificateur PP, par le fait que son offset augmente d'un facteur huit durant la phase d'annealing, devrait lui présenter une dégradation plus importante lors des missions spatiales.

5.5 Comparaison avec l'état de l'art

Dans la littérature, très peu d'études présentent le comportement de l'offset des AOP en fonction des radiations. Afin de positionner les deux amplificateurs implémentés durant la thèse dans la cadre de l'état de l'art, quatre amplificateurs du commerce ont également été irradiés au cours des tests aux radiations. Deux de ces circuits reprennent la technique d'auto-zéro. Un troisième combine les techniques de chopping et d'auto-zéro. Afin de voir l'intérêt de ces techniques, le quatrième circuit irradié est un AOP « classique » à « très faible offset ». Autrement dit, seules des précautions aux niveaux circuit et layout ont été prises pour assurer de faibles offsets. Dans le tableau 3.9, nous avons reporté les offsets respectifs attendus d'après la documentation constructeur de chacun des quatre types d'AOP.

Référence	Constructeur	Type	Offset typ. / max. (μV)
AD8628	Analog Devices	Chopper + Auto-zéro	1 / 5
MCP6V01	Microchip	Auto-zéro	- / ± 2
OPA335	Texas instruments	Auto-zéro	1 / 5
MAX4236	Maxim	A très faible offset	± 5 / ± 20

Tableau 3.9 : AOP du commerce.

Le fait d'irradier simultanément nos amplificateurs et ceux du commerce, permet de garantir les mêmes conditions de tests. Toutefois, pour des raisons pratiques, seule une puce de chaque amplificateur du commerce a été irradiée. Cela peut mener à une discussion sur la pertinence des valeurs des offsets indiquées au tant que telles, sans pour autant remettre en cause leur comportement global vis-à-vis des radiations. De plus, seuls les résultats à faible débit de dose sont reportés ici. En effet, les circuits du commerce censés être irradiés à fort débit de dose ont malencontreusement subi dès le début de la campagne d'irradiation, une dose bien trop importante pour pouvoir fonctionner après celle-ci. Dans la figure 3.31, sont superposés les

comportements des offsets durant les phases de radiations et d'annealing, à la fois des circuits implémentés dans le cadre de la thèse et ceux des AOP du commerce. Dans a mesure où aucune dépendance des offsets aux conditions de polarisation des AOP n'a été observée, les courbes des offsets représentent la moyenne de ces derniers pour chaque type d'AOP.

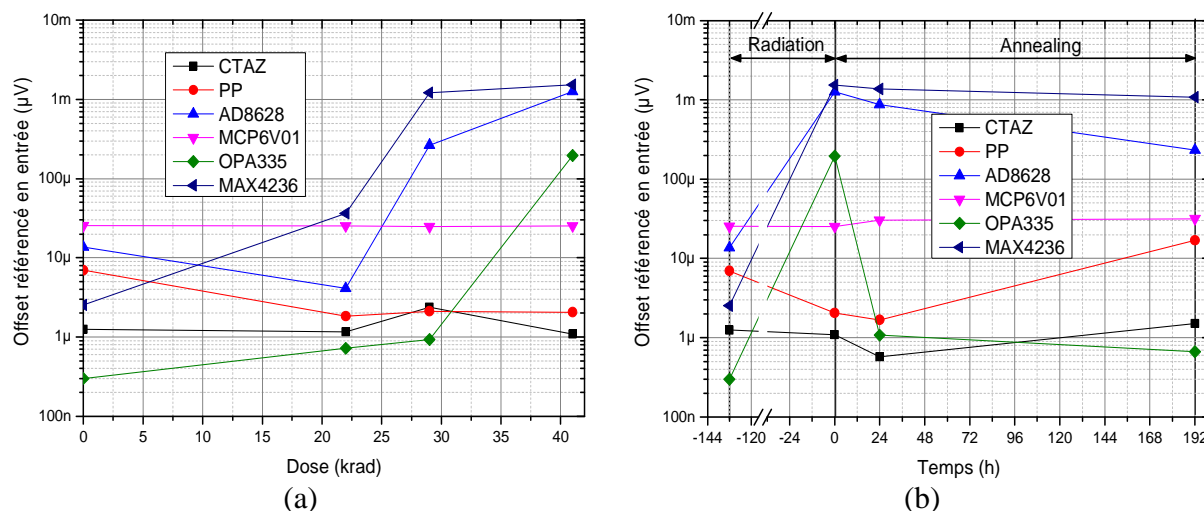


Figure 3.31 : Comparatif de tous les AOP lors des radiations et des phases d'annealing.

Les mesures pré-radiation des offsets réalisées sur les AOP du commerce, concordent avec les données du constructeur résumées au tableau 3.9 pour les deux derniers circuits. Les offsets des deux autres circuits ne sont pas dans les spécifications du constructeur, en particulier en ce qui concerne le circuit MCP6V01. Hormis cela, comme nous pouvions nous y attendre, l'AOP à très faible offset est très sensible à la dose. Celui-ci, qui présentait un offset pré-radiation relativement faible pour un AOP non-auto-compensé, a vu son offset multiplié par 1000 après irradiation. Il est resté quasiment stable durant les phases d'annealing. Le circuit AD8628 qui combine les deux techniques reste robuste pour les doses inférieures à 21 krad. Mais, au-delà de cette dose, la compensation de l'offset est altérée à tel point que l'offset après irradiation atteint la même valeur que celle dégradée de l'AOP à très faible offset. Une légère guérison est observée au cours de l'annealing. Le comportement du circuit MCP6V01 est assez inattendu. En effet, son offset ne présente aucune variation, que ce soit durant l'irradiation ou les phases d'annealing. La tendance de la variation de l'offset du circuit OPA335 est plus conventionnelle. Jusqu'à 30 krad, l'offset augmente mais reste inférieur au microvolt. Au-delà, une brusque augmentation est constatée qui, comme pour le circuit MAX4236, conduit à un

facteur 1000 entre les mesures pré et post-radiation. Seulement, cette fois-ci une guérison *quasi*-complète est constatée après l’annealing : l’offset mesuré redevient inférieur au microvolt.

Au vu de ces résultats, bien que le circuit OPA335 présente une forte augmentation de son offset au cours des radiations, sa guérison durant l’annealing laisse prédire de faibles variations lors des missions spatiales. Ainsi, contrairement à la technique associant auto-zéro et chopping, la technique d’auto-zéro utilisée seule a démontré son efficacité par rapport à un AOP à faible offset. Le tableau 3.10 résume les valeurs pré-radiation et post-annealing, ainsi que les principales performances mesurées. Nous pouvons apprécier la compétitivité de l’amplificateur CTAZ développé durant cette thèse en comparaison avec les amplificateurs du commerce.

	CTAZ	PP	OPA335	MCP6V01	MAX4236	AD8628
Offset pré-radiation (μV)	1,2	7	0,3	25	2.5	14
Offset post-annealing (μV)	1,5	17	0,67	32	1090	233
Bruit ($\text{nV}/\sqrt{\text{Hz}}$) @ 1 kHz	-	-	60	45	14	22
Gain DC (dB)	-	-	130	145	128	140
GBWP (MHz)	7,2	1,1	2	1,3	1,7	2,5
CMRR (dB)	-	-	130	142	102	130
PSRR (dB)	-	-	120	143	120	130
SR- ($\mu\text{V}/\text{s}$)	7,3	0,4	1,6	0,5	0,3	1
SR+ ($\mu\text{V}/\text{s}$)	6,7	0,3	1,6	0,5	0,3	1

Tableau 3.10 : Tableau comparatif des performances des AOP.

6 Conclusion

Dans ce chapitre nous avons présenté l’amplificateur durci aux radiations réalisé au cours de cette thèse. Il est basé sur la technique d’auto-zéro à temps continu pour assurer un rafraîchissement continu de l’offset. Habituellement utilisé pour compenser les erreurs d’offset dues aux variations de procédure de fabrication, de température voire de tension d’alimentation, la technique de réduction de l’offset mise en œuvre dans notre circuit a montré une très bonne robustesse vis-à-vis de la dose et même du débit de dose.

Dans un même temps, en plus de notre circuit, deux autres techniques de compensation d’offset développées hors du cadre de la thèse, ont été testées aux radiations. Une de ces techniques, appelée ping-pong, est basée sur le même principe que notre circuit. Cependant, elle ne permet pas une fonctionnalité rigoureusement continue. La seconde technique combine

l'auto-zéro à temps continu et une modulation d'offset, technique appelée chopping. Le couplage de ces deux techniques permet de garantir un faible plancher de bruit en basses fréquences, tout en minimisant les ondulations dues au chopping. Il a été mis en évidence que la technique d'auto-zéro à temps continu est plus tolérante aux radiations comparativement aux deux autres techniques. Ces résultats peuvent s'expliquer en partie par le fait que les techniques ping-pong et chopping nécessitent des transitions relativement précises entre les phases d'annulation de l'offset. Or, les blocs qui génèrent ces signaux d'horloge sont eux-aussi sensibles aux radiations et sont donc amenés à être dispersifs.

Quoi qu'il en soit, toutes les techniques dynamiques de compensation de l'offset ont prouvé leur efficacité à désensibiliser l'offset aux radiations. Cette conclusion s'appuie également sur des tests aux radiations menés sur des amplificateurs classiques dans le cadre de cette thèse.

Conclusion générale

Les travaux présentés dans ce mémoire de thèse entrent dans le cadre de la mise au point d'une méthodologie de durcissement à la dose cumulée de circuits analogiques par la conception, et non par la technologie, comme cela est fait le plus souvent. Cette démarche est suivie dans le but d'une part de réduire les coûts de fabrication, d'autre part de permettre un accès aux technologies les plus avancées proposées par les industriels du semiconducteur.

Pour comprendre les effets de radiations sur les circuits électroniques, nous avons dans le premier chapitre commencé par présenter l'environnement spatial. Par la suite, nous nous sommes focalisés sur la technologie CMOS, dans la mesure où celle-ci a servi de support pour la réalisation des circuits développés au cours de la thèse. A partir de là, nous nous sommes intéressés en détail aux effets des radiations sur cette technologie. Enfin, un éventail des techniques et des méthodologies utilisées pour durcir les circuits intégrés a été présenté.

Dans le deuxième chapitre, nous avons passé en revue différents types de références de tension, aussi bien en technologie CMOS qu'en technologie bipolaire. Nous avons discuté les avantages et les inconvénients de chacune d'entre elles. Forts de cette étude comparative et de l'analyse des effets des radiations réalisée dans le premier chapitre, nous avons proposé une méthode de durcissement au niveau circuit des références de tension CMOS. Cette technique repose sur la compensation mutuelle de deux tensions de seuil de transistors MOS. Pour cela, nous avons dû trouver un moyen d'obtenir des valeurs de tensions de seuil différentes. Ainsi, nous avons pu dégager trois techniques, dont chacune d'elles présentaient des avantages et des inconvénients. La première reposait sur l'utilisation de transistors « low- V_T » et high- V_T ». Ce type de transistor est couramment implémenté dans les technologies récentes, mais n'était malheureusement pas fourni dans le cadre de la technologie choisie. Par conséquent, cette

technique a immédiatement été écartée. La seconde technique consistait à utiliser l'effet substrat en polarisant le potentiel de bulk. Or, cette polarisation n'est pas conseillée dans le cas d'applications radiatives, surtout si celle-ci doit être supérieure à celle de la source. Cette technique a donc dû elle-aussi être écartée. La dernière technique que nous avons proposée et qui a été retenue utilise la dépendance de la tension de seuil à la longueur de canal, cet effet est communément appelé effet de longueur de canal. Une fois ce choix réalisé, nous sommes passés à la présentation de la réalisation du circuit. Là, nous avons distingué deux références de tension, certes basées toutes les deux sur l'effet de la longueur de canal, mais qui se distinguaient par leur layout. Ces deux références de tension ont été irradiées. L'une d'entre elles présentait une dérive de sa tension de seuil relativement faible et comparable à l'état de l'art, contrairement à l'autre qui avait une dérive huit fois plus importante. Nous avons pu conclure quant à l'efficacité de notre méthode de durcissement, tout en soulignant le fait que le layout joue lui-aussi un rôle important en terme de durcissement. Aussi bien avant qu'après irradiation, nous avons constaté un écart significatif de la valeur de la tension de référence entre les simulations et les mesures. De même, la compensation en température de la tension de référence obtenue ne peut être considérée comme étant à l'état de l'art. De plus, ces résultats ont été observés lors de deux runs différents. Ainsi, si notre méthode qui consiste à jouer sur la longueur de canal pour durcir une tension de référence CMOS a fait ses preuves, il nous faudrait encore améliorer la compensation à la température en intégrant des techniques de trimming.

Quant au troisième chapitre, nous l'avons consacré à la réalisation d'un amplificateur opérationnel à auto-zéro à temps continu. Avant de valider ce choix d'amplificateur pour désensibiliser son offset à la dose, nous avons passé en revue diverses techniques de compensation d'offset. Son caractère temps continu et surtout le fait que cette technique admette un temps mort entre ses phases de compensation, nous l'a fait distinguer. En effet, cela permet de relâcher les contraintes temporelles de commande des phases de compensation, qui, elle-aussi, est soumise aux radiations et donc susceptible d'être dégradée. Des amplificateurs du commerce exploitant les autres techniques de compensation ont également fait l'objet de tests aux radiations. Il en est ressorti que toutes les techniques de compensation d'offset sont toujours efficaces, même après irradiation, avec tout de même, un large avantage pour la technique retenue dans cette thèse. Des améliorations peuvent être apportées comme par exemple en intégrant les capacités de compensation en jouant sur l'effet Miller.

Bibliographie

- [1] « Des radiations cosmiques seraient à l'origine de la panne du rover Curiosity », *Gentside Découverte*. [En ligne]. Disponible sur: http://www.maxisciences.com/rover-curiosity/des-radiations-cosmiques-seraient-a-l-039-origine-de-la-panne-du-rover-curiosity_art28794.html. [Consulté le: 18-avr-2014].
- [2] Mark EGDALL, « The Remarkable Discoveries of Fritz Zwicky », *Decoded Science*, 02-juill-2012. [En ligne]. Disponible sur: <http://www.decodedscience.com/the-remarkable-discoveries-fritz-zwicky/15456>. [Consulté le: 21-avr-2014].
- [3] O. Kryakunova, « Rayons cosmiques galactiques et restes de supernovae », *Newtron Monitor Database*, 13-févr-1919. [En ligne]. Disponible sur: <http://www.nmdb.eu/?q=node/338>.
- [4] P. Henarejos, « Les supernovae, sources de rayons cosmiques ? » [En ligne]. Disponible sur: http://www.cieletespace.fr/evenement/4861_les-supernovae-sources-de-rayons-cosmiques. [Consulté le: 19-févr-2013].
- [5] R. R. L. Fleischer, P. B. Price, et R. M. Walker, *Nuclear Tracks in Solids: Principles and Applications*. University of California Press, 1975.
- [6] « La chine ». [En ligne]. Disponible sur: http://perso.numericable.fr/jlconstant/zportail/recits_de_cathy/sphere/chine4.htm. [Consulté le: 19-févr-2013].
- [7] S. Bert et B. Pirep, « Le vent solaire ». [En ligne]. Disponible sur: <http://mp01.free.fr/soleil/windsol.htm>. [Consulté le: 19-févr-2013].
- [8] NASA, « Global measurements of solar wind pressure by Ulysses », *NASA SCIENCE*. [En ligne]. Disponible sur: http://science.nasa.gov/science-news/science-at-nasa/2008/23sep_solarwind/. [Consulté le: 19-févr-2013].
- [9] S. Bert et B. Pirep, « Les éruptions solaires ». [En ligne]. Disponible sur: <http://mp01.free.fr/soleil/erupsol.htm>. [Consulté le: 19-févr-2013].
- [10] « Les-crise.fr », *L'imposture de « l'hypothèse Svensmark »*. [En ligne]. Disponible sur: <http://robotter.free.fr/wp/>. [Consulté le: 19-avr-2014].
- [11] J.-C. Boudenot, *L'environnement spatial*. Presses Universitaires de France (PUF), 1996.
- [12] « Lexique : C ». [En ligne]. Disponible sur: <http://www.cosmodixi.fr/lexique/c.php>. [Consulté le: 19-avr-2014].
- [13] E. G. Stassinopoulos, « Forty-Year Drift and Change of the SAA. » NASA Goddard Spaceflight Center, 2007.
- [14] C. Inguimberg, *Radiation-matter interaction, in space radiation environment and its effects on spacecraft components and systems*. Cépaduès éd., 2004.
- [15] J. R. Srour et D. H. Lo, « Universal damage factor for radiation-induced dark current in silicon devices », *IEEE Trans. Nucl. Sci.*, vol. 47, n° 6, p. 2451 -2459, déc. 2000.

- [16] F. Saigne, « Une Nouvelle Approche de la Sélection des Composants de Type MOS pour l'Environnement Radiatif Spatial = A new approach to select MOS devices for the radiative space environment », Text, Université de Montpellier 2, Montpellier, 1998.
- [17] G. A. Ausman, « Field Dependence of Geminate Recombination in a Dielectric Medium. », janv. 1987.
- [18] J. Boch, F. Saigne, T. Maurel, F. Giustino, L. Dusseau, R. D. Schrimpf, K. F. Galloway, J.-P. David, R. Ecoffet, J. Fesquet, et J. Gasiot, « Dose and dose rate effects on NPN bipolar junction transistors irradiated at high temperature », in *6th European Conference on Radiation and Its Effects on Components and Systems, 2001*, 2001, p. 357-362.
- [19] D. M. Fleetwood et H. A. Eisen, « Total-dose radiation hardness assurance », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 552 - 564, juin 2003.
- [20] T. Carriere, J. Beaucour, A. Gach, B. Johlander, et L. Adams, « Dose rate and annealing effects on total dose response of MOS and bipolar circuits », *IEEE Trans. Nucl. Sci.*, vol. 42, n° 6, p. 1567-1574, déc. 1995.
- [21] T. R. Oldham et F. B. McLean, « Total ionizing dose effects in MOS oxides and devices », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 483 - 499, juin 2003.
- [22] C. Virmontois, V. Goiffon, P. Magnan, O. Saint-Pe, S. Girard, S. Petit, G. Rolland, et A. Bardoux, « Total Ionizing Dose Versus Displacement Damage Dose Induced Dark Current Random Telegraph Signals in CMOS Image Sensors », *IEEE Trans. Nucl. Sci.*, vol. 58, n° 6, p. 3085 -3094, déc. 2011.
- [23] J. R. Srour, C. J. Marshall, et P. W. Marshall, « Review of displacement damage effects in silicon devices », *IEEE Trans. Nucl. Sci.*, vol. 50, n° 3, p. 653 - 670, juin 2003.
- [24] N. Z. Butt et M. Alam, « Modeling single event upsets in Floating Gate memory cells », in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, 2008, p. 547 -555.
- [25] D. . Kobayashi, H. . Saito, et K. . Hirose, « Estimation of Single Event Transient Voltage Pulses in VLSI Circuits From Heavy-Ion-Induced Transient Currents Measured in a Single MOSFET », *IEEE Trans. Nucl. Sci.*, vol. 54, n° 4, p. 1037 -1041, août 2007.
- [26] T. Merelle, F. Saigne, B. Sagnes, G. Gasiot, P. Roche, T. Carriere, M.-C. Palau, F. Wrobel, et J.-M. Palau, « Monte-Carlo simulations to quantify neutron-induced multiple bit upsets in advanced SRAMs », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 5, p. 1538 - 1544, oct. 2005.
- [27] P. E. Dodd, J. R. Schwank, M. R. Shaneyfelt, J. A. Felix, P. Paillet, V. Ferlet-Cavrois, J. Baggio, R. A. Reed, K. M. Warren, R. A. Weller, R. D. Schrimpf, G. L. Hash, S. M. Dalton, K. Hirose, et H. Saito, « Impact of Heavy Ion Energy and Nuclear Interactions on Single-Event Upset and Latchup in Integrated Circuits », *IEEE Trans. Nucl. Sci.*, vol. 54, n° 6, p. 2303 -2311, déc. 2007.
- [28] P. E. Dodd, M. R. Shaneyfelt, D. S. Walsh, J. R. Schwank, G. L. Hash, R. A. Loemker, B. L. Draper, et P. S. Winokur, « Single-event upset and snapback in silicon-on-insulator devices and integrated circuits », *IEEE Trans. Nucl. Sci.*, vol. 47, n° 6, p. 2165 -2174, déc. 2000.
- [29] R. Koga et W. A. Kolasinski, « Heavy ion induced snapback in CMOS devices », *IEEE Trans. Nucl. Sci.*, vol. 36, n° 6, p. 2367 -2374, déc. 1989.
- [30] F. W. Sexton, D. M. Fleetwood, M. R. Shaneyfelt, P. E. Dodd, et G. L. Hash, « Single event gate rupture in thin gate oxides », *IEEE Trans. Nucl. Sci.*, vol. 44, n° 6, p. 2345 - 2352, déc. 1997.
- [31] W. Sansen, *Analog Design Essentials*, vol. 859. .

- [32] C. Enz et E. A. Vittoz, *Charge-based MOS transistor modeling: the EKV model for low-power and RF IC design*. Chichester, England; Hoboken, NJ: John Wiley, 2006.
- [33] B. Toole, C. Plett, et M. Cloutier, « RF circuit implications of moderate inversion enhanced linear region in MOSFETs », *IEEE Trans. Circuits Syst. Regul. Pap.*, vol. 51, n° 2, p. 319-328, 2004.
- [34] D. Foty, M. Bucher, et D. Binkley, « Re-interpreting the MOS transistor via the inversion coefficient and the continuum of gms/Id », in *9th International Conference on Electronics, Circuits and Systems, 2002*, 2002, vol. 3, p. 1179-1182 vol.3.
- [35] T. R. Oldham et J. M. McGarrity, « Comparison of 60Co Response and 10 KeV X-Ray Response in MOS Capacitors », *IEEE Trans. Nucl. Sci.*, vol. 30, n° 6, p. 4377 -4381, déc. 1983.
- [36] R. A. B. Devine, J.-P. Duraud, et E. Dooryhee, *Structure and Imperfections in Amorphous and Crystalline Dioxide*. John Wiley & Sons Ltd, 2000.
- [37] R. Hughes, « Charge-Carrier Transport Phenomena in Amorphous SiO₂: Direct Measurement of the Drift Mobility and Lifetime », *Phys. Rev. Lett.*, vol. 30, n° 26, p. 1333-1336, juin 1973.
- [38] L. Testa, H. Lapuyade, M. Cimino, Y. Deval, J. L. Carbonero, et J. B. Begueret, « A bulk-controlled temperature and power supply independent CMOS voltage reference », in *2008 Joint 6th International IEEE Northeast Workshop on Circuits and Systems and TAISA Conference, 2008. NEWCAS-TAISA 2008*, 2008, p. 109 -112.
- [39] M. Simard-Normandin, « Channel Length Dependence of the Body-Factor Effect in NMOS Devices », *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 2, n° 1, p. 2 - 4, janv. 1983.
- [40] G. Groeseneken, J. Colinge, H. E. Maes, J. C. Alderman, et S. Holt, « Temperature dependence of threshold voltage in thin-film SOI MOSFETs », *IEEE Electron Device Lett.*, vol. 11, n° 8, p. 329-331, 1990.
- [41] E. G. Moreno, B. Iniguez, M. Roca, J. Segura, et S. Sureda, « CMOS radiation sensor with binary output », *IEEE Trans. Nucl. Sci.*, vol. 42, n° 3, p. 174 -178, juin 1995.
- [42] R. S. Muller, T. I. Kamins, et M. Chan, *Device electronics for integrated circuits*. New York, NY: John Wiley & Sons, 2003.
- [43] S. Put, E. Simoen, M. Jurczak, M. Van Uffelen, P. Leroux, et C. Claeys, « Influence of Fin Width on the Total Dose Behavior of p-Channel Bulk MuGFETs », *IEEE Electron Device Lett.*, vol. 31, n° 3, p. 243-245, mars 2010.
- [44] B. Djezzar, A. Smatti, A. Amrouche, et M. Kachouane, « Channel length impact on radiation-induced threshold voltage shift in N-MOSFET devices at low gamma rays radiation doses », in *1999 IEEE Nuclear Science Symposium, 1999. Conference Record*, 1999, vol. 1, p. 401-407 vol.1.
- [45] D. Zupac, K. F. Galloway, P. Khosropour, S. R. Anderson, R. D. Schrimpf, et P. Calvel, « Separation of effects of oxide-trapped charge and interface-trapped charge on mobility in irradiated power MOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 40, n° 6, p. 1307 -1315, déc. 1993.
- [46] N. Stojadinovic, S. Golubovic, V. Davidovic, S. Djoric-Veljkovic, et S. Dimitrijevic, « Modeling of radiation-induced mobility degradation in MOSFETs », in *1997 21st International Conference on Microelectronics, 1997. Proceedings*, 1997, vol. 1, p. 355 -356 vol.1.

- [47] D. Zupac, K. F. Galloway, R. D. Schrimpf, et P. Augier, « Effects of radiation-induced oxide-trapped charge on inversion-layer hole mobility at 300 and 77 K », *Appl. Phys. Lett.*, vol. 60, n° 25, p. 3156 -3158, juin 1992.
- [48] K. F. Galloway, M. Gaitan, et T. J. Russell, « A Simple Model for Separating Interface and Oxide Charge Effects in MOS Device Characteristics », *IEEE Trans. Nucl. Sci.*, vol. 31, n° 6, p. 1497-1501, 1984.
- [49] S. Golubovic, S. Dimitrijevic, D. Zupac, M. Pejovic, et N. Stojadinovic, « Gamma-Radiation Effects in CMOS Transistors », in *Solid State Device Research Conference, 1987. ESSDERC '87. 17th European*, 1987, p. 725 -728.
- [50] F. Fallah et M. Pedram, « Standby and Active Leakage Current Control and Minimization in CMOS VLSI Circuits », *IEICE Trans. Electron.*, vol. E88-C, n° 4, p. 509-519, avr. 2005.
- [51] M. A. Alam, D. Das, M. H. Azarian, B. Sood, et M. G. Pecht, « Influence of Molding Compound on Leakage Current in MOS Transistors », *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 1, n° 7, p. 1054 -1063, juill. 2011.
- [52] J. A. Felix, M. R. Shaneyfelt, P. E. Dodd, B. L. Draper, J. R. Schwank, et S. M. Dalton, « Radiation-induced off-state leakage current in commercial power MOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 6, p. 2378 - 2386, déc. 2005.
- [53] N. Rezzak, R. D. Schrimpf, M. L. Alles, E. X. Zhang, D. M. Fleetwood, et Y. A. Li, « Layout-Related Stress Effects on Radiation-Induced Leakage Current », *IEEE Trans. Nucl. Sci.*, vol. 57, n° 6, p. 3288-3292, 2010.
- [54] P. S. Winokur, F. W. Sexton, J. R. Schwank, D. M. Fleetwood, P. V. Dressendorfer, T. F. Wrobel, et D. C. Turpin, « Total-Dose Radiation and Annealing Studies: Implications for Hardness Assurance Testing », *IEEE Trans. Nucl. Sci.*, vol. 33, n° 6, p. 1343 -1351, déc. 1986.
- [55] R. L. Pease, E. W. Enlow, G. L. Dinger, et P. Marshall, « Comparison of Proton and Neutron Carrier Removal Rates », *IEEE Trans. Nucl. Sci.*, vol. 34, n° 6, p. 1140-1146, déc. 1987.
- [56] J. R. Srour et J. W. Palko, « Displacement Damage Effects in Irradiated Semiconductor Devices », *IEEE Trans. Nucl. Sci.*, vol. 60, n° 3, p. 1740-1766, juin 2013.
- [57] F. Faccio, B. Allongue, G. Blanchot, C. Fuentes, S. Michelis, S. Orlandi, et R. Sorge, « TID and displacement damage effects in vertical and lateral power MOSFETs for integrated DC-DC converters », in *2009 European Conference on Radiation and Its Effects on Components and Systems (RADECS)*, 2009, p. 46-53.
- [58] L. Chen et D. M. Gingrich, « Study of N-Channel MOSFETs With an Enclosed-Gate Layout in a 0.18 m CMOS Technology », *IEEE Trans. Nucl. Sci.*, vol. 52, n° 4, p. 861-867, 2005.
- [59] G. Anelli, M. Campbell, M. Delmastro, F. Faccio, S. Floria, A. Giraldo, E. Heijne, P. Jarron, K. Kloukinas, A. Marchioro, P. Moreira, et W. Snoeys, « Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies for the LHC experiments: practical design aspects », *IEEE Trans. Nucl. Sci.*, vol. 46, n° 6, p. 1690-1696, 1999.
- [60] S. Binzaid, J. O. Attia, et R. D. Schrimpf, « Enclosed Layout Transistor with Active Region Cutout », in *2008 IEEE Region 5 Conference*, 2008, p. 1-5.
- [61] K. S. M N Martin, « Analog rad-hard by design issues ».

- [62] P. Lopez, M. Oberst, H. Neubauer, J. Hauer, et D. Cabello, « Performance analysis of high-speed MOS transistors with different layout styles », in *IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005*, 2005, p. 3688-3691 Vol. 4.
- [63] W. Snoeys, F. Faccio, M. Burns, M. Campbell, E. Cantatore, N. Carrer, L. Casagrande, A. Cavagnoli, C. Dachs, S. Di Liberto, F. Formenti, A. Giraldo, E. H. M. Heijne, P. Jarron, M. Letheren, A. Marchioro, P. Martinengo, F. Meddi, B. Mikulec, M. Morando, M. Morel, E. Noah, A. Paccagnella, I. Ropotar, S. Saladino, W. Sansen, F. Santopietro, F. Scarlassara, G. F. Segato, P. M. Signe, F. Soramel, L. Vannucci, et K. Vleugels, « Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip », *Nucl. Instrum. Methods Phys. Res. Sect. Accel. Spectrometers Detect. Assoc. Equip.*, vol. 439, n° 2-3, p. 349-360, janv. 2000.
- [64] W.-B. Choi, W.-J. Sung, Y.-I. Lee, et M. Y. Sung, « Dual-channel SOI LIGBT with improved latch-up and forward voltage drop characteristics », in *Device Research Conference, 2001*, 2001, p. 53-54.
- [65] W. Xu et E. G. Friedman, « Clock feedthrough in CMOS analog transmission gate switches », in *ASIC/SOC Conference, 2002. 15th Annual IEEE International*, 2002, p. 181-185.
- [66] F. PEREIRA ALVES DE SOUSA, J. A. PEIXOTO MACHADO, et P. RODRIGUES SIMOES MO, « Radiation Tolerant Low Power 12-bit ADC in 130 nm CMOS Technology », présenté à TWEPP 2011 Topical Workshop on Electronics for Particle Physics, Vienna, Austria, 2011.
- [67] B. Pratt, M. Fuller, M. Rice, et M. Wirthlin, « Reduced-Precision Redundancy for Reliable FPGA Communications Systems in High-Radiation Environments », *IEEE Trans. Aerosp. Electron. Syst.*, vol. 49, n° 1, p. 369-380, 2013.
- [68] R. Gonzalez, B. M. Gordon, et M. A. Horowitz, « Supply and threshold voltage scaling for low power CMOS », *IEEE J. Solid-State Circuits*, vol. 32, n° 8, p. 1210 -1216, août 1997.
- [69] D. Hilbiber, « A new semiconductor voltage standard », in *Solid-State Circuits Conference. Digest of Technical Papers. 1964 IEEE International*, 1964, vol. VII, p. 32 - 33.
- [70] R. J. Widlar, « New developments in IC voltage regulators », *IEEE J. Solid-State Circuits*, vol. 6, n° 1, p. 2 - 7, févr. 1971.
- [71] K. E. Kuijk, « A precision reference voltage source », *IEEE J. Solid-State Circuits*, vol. 8, n° 3, p. 222 -226, juin 1973.
- [72] A. P. Brokaw, « A simple three-terminal IC bandgap reference », *IEEE J. Solid-State Circuits*, vol. 9, n° 6, p. 388 -393, déc. 1974.
- [73] G. C. M. Meijer et J. B. Verhoeff, « An integrated bandgap reference », *IEEE J. Solid-State Circuits*, vol. 11, n° 3, p. 403 -406, juin 1976.
- [74] R. Widlar, « Low voltage techniques », in *Solid-State Circuits Conference. Digest of Technical Papers. 1978 IEEE International*, 1978, vol. XXI, p. 238 - 239.
- [75] H. Camenzind, *Designing Analog Chips*. Virtualbookworm.com Publishing, 2005.
- [76] E. Vittoz et J. Fellrath, « CMOS analog integrated circuits based on weak inversion operations », *IEEE J. Solid-State Circuits*, vol. 12, n° 3, p. 224 - 231, juin 1977.
- [77] E. A. Vittoz et O. Neyroud, « A low-voltage CMOS bandgap reference », *IEEE J. Solid-State Circuits*, vol. 14, n° 3, p. 573 -579, juin 1979.
- [78] G. Tzanateas, C. A. T. Salama, et Y. P. Tsvividis, « A CMOS bandgap voltage reference », *IEEE J. Solid-State Circuits*, vol. 14, n° 3, p. 655 -657, juin 1979.

- [79] A. Cabrini, G. De Sandre, L. Gobbi, P. Malcovati, M. Pasotti, M. Poles, F. Rigoni, et G. Torelli, « A 1 V, 26 μ W extended temperature range band-gap reference in 130-nm CMOS technology », in *Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European*, Sept., p. 503-506.
- [80] R. T. Perry, S. H. Lewis, A. P. Brokaw, et T. R. Viswanathan, « A 1.4 V Supply CMOS Fractional Bandgap Reference », *IEEE J. Solid-State Circuits*, vol. 42, n° 10, p. 2180 - 2186, oct. 2007.
- [81] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, et K. Sakui, « A CMOS bandgap reference circuit with sub-1-V operation », *IEEE J. Solid-State Circuits*, vol. 34, n° 5, p. 670-674, mai 1999.
- [82] R. J. Widlar, « Low voltage techniques », *IEEE J. Solid-State Circuits*, vol. 13, n° 6, p. 838 - 846, déc. 1978.
- [83] J. Liu, P. Niu, et T. Gao, « A second-order temperature compensated bandgap reference for analog -to -digital converter », in *2010 International Conference on Computer Design and Applications (ICCD)*, 2010, vol. 1, p. V1-354-V1-356.
- [84] R. Paul, A. Patra, S. Baranwal, et K. Dash, « Design of second-order sub-bandgap mixed-mode voltage reference circuit for low voltage applications », in *18th International Conference on VLSI Design, 2005*, 2005, p. 307-312.
- [85] C. Avoinne, T. Rashid, V. Chowdhury, W. Rahajandraibe, et C. Dufaza, « Second-order compensated bandgap reference with convex correction », *Electron. Lett.*, vol. 41, n° 5, p. 276-277, mars 2005.
- [86] J. M. Audy, « 3rd order curvature corrected bandgap cell », in *Proceedings of the 38th Midwest Symposium on Circuits and Systems, 1995.*, *Proceedings*, 1995, vol. 1, p. 397-400 vol.1.
- [87] Z. Hao, Z. Bo, L. Zhao-ji, et L. Ping, « A New CMOS Current Reference with High Order Temperature Compensation », in *2006 International Conference on Communications, Circuits and Systems Proceedings*, 2006, vol. 4, p. 2189-2192.
- [88] H. J. Oguey et D. Aebischer, « CMOS current reference without resistance », *IEEE J. Solid-State Circuits*, vol. 32, n° 7, p. 1132-1135, juill. 1997.
- [89] T. Matsuda, R. Minami, A. Kanamori, H. Iwata, T. Ohzone, S. Yamamoto, T. Ihara, et S. Nakajima, « A VDD and Temperature Independent CMOS Voltage Reference Circuit », in *Proceedings of the 2004 Asia and South Pacific Design Automation Conference*, Piscataway, NJ, USA, 2004, p. 559-560.
- [90] L. Testa, *Contribution to the Built-In Self-Test for RF VCOs*. Bordeaux 1, 2010.
- [91] I. M. Filanovsky et A. Allam, « Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits », *IEEE Trans. Circuits Syst. Fundam. Theory Appl.*, vol. 48, n° 7, p. 876-884, 2001.
- [92] B. G. Rax, C. I. Lee, et A. H. Johnston, « Degradation of precision reference devices in space environments », *IEEE Trans. Nucl. Sci.*, vol. 44, n° 6, p. 1939-1944, déc. 1997.
- [93] V. Gromov, A. J. Annema, R. Kluit, J. L. Visschers, et P. Timmer, « A Radiation Hard Bandgap Reference Circuit in a Standard 0.13 μ m CMOS Technology », *IEEE Trans. Nucl. Sci.*, vol. 54, n° 6, p. 2727-2733, déc. 2007.
- [94] E. Vilella et A. Diéguez, « Design of a Bandgap Reference Circuit with Trimming for Operation at Multiple Voltages and Tolerant to Radiation in 90nm CMOS Technology », in *2010 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 2010, p. 269-272.

- [95] H. Barnaby, H. J. Tausch, R. Turfler, P. Cole, P. Baker, et R. L. Pease, « Analysis of bipolar linear circuit response mechanisms for high and low dose rate total dose irradiations », *IEEE Trans. Nucl. Sci.*, vol. 43, n° 6, p. 3040-3048, déc. 1996.
- [96] M. Anis, S. Areibi, et M. Elmasry, « Design and optimization of multithreshold CMOS (MTCMOS) circuits », *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 22, n° 10, p. 1324-1342, Oct.
- [97] X. Shi et M. Wong, « Effects of substrate doping on the linearly extrapolated threshold voltage of symmetrical DG MOS devices », *IEEE Trans. Electron Devices*, vol. 52, n° 7, p. 1616-1621, juill. 2005.
- [98] T. Taris, J.-B. Begueret, H. Lapuyade, et Y. Deval, « A 0.9V body effect feedback 2 GHz low noise amplifier », in *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European*, 2003, p. 659-662.
- [99] H. J. Hee-Sauk Jhon, « 0.7 V supply highly linear subthreshold low-noise amplifier design for 2.4 GHz wireless sensor network applications », *Microw. Opt. Technol. Lett.*, vol. 51, n° 5, p. 1316 - 1320, 2009.
- [100] J. S. T. Huang et J. W. Schrankler, « Flat-band voltage dependence on channel length in short-channel threshold model », *IEEE Trans. Electron Devices*, vol. 32, n° 5, p. 1001-1002, May.
- [101] B. S. Nataraj et R. Kumar, « Threshold-voltage variations in VLSI MOSFETs due to short channel lengths », *IEEE J. Solid-State Circuits*, vol. 22, n° 5, p. 905-908, Oct.
- [102] R. Bei, « Design of a Low-Power Bandgap Current Reference », in *2010 International Conference on E-Product E-Service and E-Entertainment (ICEEE)*, Nov., p. 1-3.
- [103] D. Long, X. Hong, et S. Dong, « Optimal two-dimension common centroid layout generation for MOS transistors unit-circuit », in *IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005*, May, p. 2999-3002 Vol. 3.
- [104] M. Yue, « A 46.468 μ W low-power bandgap voltage reference », in *2010 3rd IEEE International Conference on Computer Science and Information Technology (ICCSIT)*, 2010, vol. 8, p. 256-258.
- [105] A. Sunca, O. Cicekoglu, et G. Dundar, « MOS only simulated grounded negative resistors », in *2011 34th International Conference on Telecommunications and Signal Processing (TSP)*, 2011, p. 328-331.
- [106] K. Ueno, T. Hirose, T. Asai, et Y. Amemiya, « A 0.3 μ W, 7 ppm/ $^{\circ}$ C CMOS Voltage reference circuit for on-chip process monitoring in analog circuits », in *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, 2008, p. 398-401.
- [107] D. Colombo, G. Wirth, S. Bampi, et P. Srinivasan, « Voltage reference design using 1 V power supply in 0.13 μ m CMOS technology », in *2013 IEEE Fourth Latin American Symposium on Circuits and Systems (LASCAS)*, 2013, p. 1-4.
- [108] P. Khosropour, K. F. Galloway, D. Zupac, R. D. Schrimpf, et P. Calvel, « Application of test method 1019.4 to nonhardened power MOSFETs », *IEEE Trans. Nucl. Sci.*, vol. 41, n° 3, p. 555-560, juin 1994.
- [109] W. Abare, F. Brueggeman, R. Pease, J. Krieg, et M. Simons, « Comparative analysis of low dose-rate, accelerated, and standard cobalt-60 radiation response data for a low-dropout voltage regulator and a voltage reference », in *2002 IEEE Radiation Effects Data Workshop*, 2002, p. 177-180.

- [110] S. S. McClure, J. L. Gorelick, R. L. Pease, B. G. Rax, et R. L. Ladbury, « Total dose performance of radiation hardened voltage regulators and references », in *2001 IEEE Radiation Effects Data Workshop*, 2001, p. 1-5.
- [111] A. Mangla, M.-A. Chalkiadaki, F. Fadhuile, T. Taris, Y. Deval, et C. C. Enz, « Design methodology for ultra low-power analog circuits using next generation BSIM6 MOSFET compact model », *Microelectron. J.*, vol. 44, n° 7, p. 570-575, juill. 2013.
- [112] V. Joshi, B. Cline, D. Sylvester, D. Blaauw, et K. Agarwal, « Stress aware layout optimization », in *Proceedings of the 2008 international symposium on Physical design*, New York, NY, USA, 2008, p. 168-174.
- [113] B. Djezzar, « What are these border traps: introduced by radiation and seen by charge pumping technique? », in *2001 IEEE Nuclear Science Symposium Conference Record*, 2001, vol. 1, p. 234-239 vol.1.
- [114] B. Nadji, H. Tahiri, et B. Djezzar, « Fast and simple method for estimation and separation of radiation-induced traps in MOSFETs devices », in *2011 IEEE International Conference on Quality and Reliability (ICQR)*, 2011, p. 469-472.
- [115] C. C. Enz et G. C. Temes, « Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization », *Proc. IEEE*, vol. 84, n° 11, p. 1584-1614, nov. 1996.
- [116] R. W. Gregor, « On the relationship between topography and transistor matching in an analog CMOS technology », *IEEE Trans. Electron Devices*, vol. 39, n° 2, p. 275-282, 1992.
- [117] J. Bastos, M. S. J. Steyaert, A. Pergoot, et W. M. Sansen, « Influence of die attachment on MOS transistor matching », *IEEE Trans. Semicond. Manuf.*, vol. 10, n° 2, p. 209-218, 1997.
- [118] B. Razavi, *Design of analog CMOS integrated circuits*. Boston, MA: McGraw-Hill, 2001.
- [119] M. Bolatkale, M. A. P. Pertijs, W. J. Kindt, J. H. Huijsing, et K. A. A. Makinwa, « A Single-Temperature Trimming Technique for MOS-Input Operational Amplifiers Achieving 0.33 V/ C Offset Drift », *IEEE J. Solid-State Circuits*, vol. 46, n° 9, p. 2099-2107, 2011.
- [120] D. M. Fleetwood, T. L. Meisenheimer, et J. H. Scofield, « 1/f noise and radiation effects in MOS devices », *IEEE Trans. Electron Devices*, vol. 41, n° 11, p. 1953-1964, 1994.
- [121] M. A. T. Sanduleanu, A. J. M. Van Tuijl, R. F. Wassenaar, M. C. Lammers, et H. Wallinga, « A low noise, low residual offset, chopped amplifier for mixed level applications », in *1998 IEEE International Conference on Electronics, Circuits and Systems*, 1998, vol. 2, p. 333-336 vol.2.
- [122] R. Poujois et J. Borel, « A low drift fully integrated MOSFET operational amplifier », *IEEE J. Solid-State Circuits*, vol. 13, n° 4, p. 499-503, 1978.
- [123] G.-T. Hong et C.-H. Shen, « A Low Offset High Voltage Swing Rail-to-Rail Buffer Amplifier with for LCD Driver », in *IEEE Conference on Electron Devices and Solid-State Circuits, 2007. EDSSC 2007*, 2007, p. 1025-1030.
- [124] R. Wu, J. H. Huijsing, et K. A. A. Makinwa, « Dynamic Offset Cancellation Techniques for Operational Amplifiers », in *Precision Instrumentation Amplifiers and Read-Out Integrated Circuits*, Springer New York, 2013, p. 21-49.

- [125] R. Wu, J. H. Huijsing, et Makinwa, *Precision instrumentation amplifiers and read-out integrated circuits*. New York, NY: Springer, 2013.
- [126] M. A. P. Pertijs et W. J. Kindt, « A 140 dB-CMRR Current-Feedback Instrumentation Amplifier Employing Ping-Pong Auto-Zeroing and Chopping », *IEEE J. Solid-State Circuits*, vol. 45, n° 10, p. 2044-2056, 2010.
- [127] C. Eichenberger et W. Guggenbuhl, « On charge injection in analog MOS switches and dummy switch compensation techniques », *IEEE Trans. Circuits Syst.*, vol. 37, n° 2, p. 256-264, 1990.
- [128] M. Keskin, « A low-voltage CMOS switch with a novel clock boosting scheme », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 52, n° 4, p. 185-188, 2005.
- [129] G. K. Balachandran et P. E. Allen, « Fully differential switched-current memory cell with low charge-injection errors », *Circuits Devices Syst. IEE Proc. -*, vol. 148, n° 3, p. 157-164, 2001.
- [130] ProRISC, SAFE, et S. workshop ProRISC workshop, « Proceedings SAFE & ProRISC 2004: November 25-26 2004, Veldhoven, the Netherlands. » STW, Technology Foundation, 2004.
- [131] M. C. W. Coln, « Chopper stabilization of MOS operational amplifiers using feed-forward techniques », *IEEE J. Solid-State Circuits*, vol. 16, n° 6, p. 745-748, 1981.
- [132] R. S. Assaad et J. Silva-Martinez, « The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier », *IEEE J. Solid-State Circuits*, vol. 44, n° 9, p. 2535-2542, 2009.
- [133] P. Mandal et V. Visvanathan, « A self-biased high performance folded cascode CMOS op-amp », in , *Tenth International Conference on VLSI Design, 1997. Proceedings*, 1997, p. 429-434.
- [134] B. G. Song, O. J. Kwon, I. K. Chang, H. J. Song, et K. D. Kwack, « A 1.8 V self-biased complementary folded cascode amplifier », in *The First IEEE Asia Pacific Conference on ASICs, 1999. AP-ASIC '99*, 1999, p. 63-65.
- [135] J.-H. Wang, J.-C. Qiu, H.-Y. Zheng, C.-H. Tsai, C.-Y. Wang, C.-C. Lee, et C.-T. Chang, « A Compact Low-Power High Slew-Rate Rail-to-Rail Class-AB Buffer Amplifier for LCD Driver ICs », in *IEEE Conference on Electron Devices and Solid-State Circuits, 2007. EDSSC 2007*, 2007, p. 397-400.
- [136] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, et J. H. Huijsing, « A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries », *IEEE J. Solid-State Circuits*, vol. 29, n° 12, p. 1505-1513, déc. 1994.

Annexes

Annexe 1

○ Détermination de l'offset résiduel de l'auto-zéro à entrée auxiliaire :

Lors de la phase $\Phi 1$, l'entrée primaire est court-circuitée et la sortie est rebouclée sur l'entrée auxiliaire. La tension de sortie de l'amplificateur peut être trouvée :

$$V_s = AV_{OS1} - A'V_s \quad (0.1)$$

$$V_s = \frac{A}{1+A'}V_{OS1} \quad (0.2)$$

Cette tension est mémorisée par le condensateur C lors de la phase d'annulation de l'offset, $\Phi 2$, à laquelle s'ajoute une tension ΔV_C correspondant à la tension due à l'injection de charges lors de l'ouverture des interrupteurs :

$$V_C = \frac{A}{1+A'}V_{OS1} + \Delta V_C \quad (0.3)$$

Le signal d'entrée est à présent appliqué à l'entrée primaire de l'amplificateur. Par définition, l'offset résiduel en entrée est obtenu pour une valeur nulle de la tension de sortie :

$$V_s = A(V_e + V_{OS1}) - \frac{AA'}{1+A'}V_{OS1} - A'\Delta V_C \quad (0.4)$$

$$V_s = AV_e + \frac{A}{1+A'}V_{OS1} - A'\Delta V_C \quad (0.5)$$

Pour $V_s = 0$:

$$V_e = -\frac{1}{1+A'}V_{OS1} + \frac{A'}{A}\Delta V_C = V_{IO} \quad (0.6)$$

$$V_{IO} \approx -\frac{V_{OS1}}{A'} + \frac{A'}{A}\Delta V_C \quad (0.7)$$

○ Détermination de l'offset résiduel de l'amplificateur à auto-zéro à temps continu :

Pendant la première phase $\Phi 1$, l'amplificateur *null* est déconnecté du signal d'entrée et s'auto-compense. Comme précédemment, durant la seconde phase $\Phi 2$, la tension de compensation est mémorisée aux bornes d'un condensateur de capacité ici notée C_{n1} :

$$V_{Cn1} = \frac{A_n}{1+A_n'}V_{OSn} + \Delta V_{Cn} \quad (0.8)$$

où A_n, A_n' , et V_{OSn} sont respectivement le gain primaire, le gain auxiliaire et l'offset primaire de l'amplificateur *null*. ΔV_{Cn} est la tension qui traduit l'effet d'injection de charges dans les

condensateurs C_{n1} et C_{n2} . La capacité C_{n2} a pour rôle de mémoriser la tension du mode commun. Celle-ci est issue du point milieu de l'amplificateur *null*. A présent, les entrées primaires des deux amplificateurs sont connectées en parallèle et la sortie du *null* est connectée à l'entrée auxiliaire de *main*. La tension de sortie du *main* est donnée par :

$$V_S = A_m (V_E + V_{OSM}) + A_m' V_{Cm1} \quad (0.9)$$

où A_m , A_m' , et V_{OSM} sont respectivement le gain primaire, le gain auxiliaire et l'offset primaire de l'amplificateur *main*. La tension V_{Cm1} est la tension de correction apportée par le *null*. Elle est donnée par :

$$V_{Cm1} = A_n (V_E + V_{OSN}) - A_n' V_{Cn1} \quad (0.10)$$

$$V_{Cm1} = A_n V_E + \frac{A_n}{1 + A_n'} V_{OSN} - A_n' \Delta V_{Cn} \quad (0.11)$$

En remplaçant (0.11) dans (0.9) et en faisant l'hypothèse que $A_n' \gg 1$, nous obtenons :

$$V_S = (A_m + A_n A_m') V_E + A_m V_{OSM} + \frac{A_n A_m'}{A_n'} V_{OSN} - A_n' A_m' \Delta V_{Cn} \quad (0.12)$$

L'offset résiduel à la fin de la phase $\Phi 2$ est obtenu en forçant la sortie à zéro. En admettant que $A_n A_m' \gg A_m$ nous obtenons :

$$V_{IO2} = -\frac{1}{A_n} \left(\frac{A_m}{A_m'} V_{OSM} + \frac{A_n}{A_n'} V_{OSN} \right) + \frac{A_n'}{A_n} \Delta V_{Cn} \quad (0.13)$$

Lors de la transition de la phase $\Phi 2$ vers la phase $\Phi 1$, il se produit là encore des injections de charges, mais cette fois-ci dans les capacités C_{m1} et C_{m2} et modélisées par la tension ΔV_{Cm} . En suivant une analyse analogue à la précédente, l'offset résiduel correspondant à la phase $\Phi 1$ est :

$$V_{IO1} = -\frac{1}{A_n} \left(\frac{A_m}{A_m'} V_{OSM} + \frac{A_n}{A_n'} V_{OSN} \right) + \frac{A_n'}{A_n} \Delta V_{Cn} - \frac{A_m'}{A_m} \Delta V_{Cm} \quad (0.14)$$

Annexe 2

Cette annexe se réfère au folded cascode de la figure 3.16.

- Conditions sur les gains en courant :

D'après les conditions de symétrie, il est possible d'écrire :

$$I_{D3} = I_{D6} \quad (0.15)$$

$$I_{D15} = I_{D22} \quad (0.16)$$

$$I_{D7} = I_{D13} \quad (0.17)$$

Nous notons les relations suivantes :

$$\frac{I_{D3}}{I_{D13}} = \frac{I_{D6}}{I_{D7}} = q \quad (0.18)$$

$$\frac{I_{D22}}{I_{D13}} = \frac{I_{D15}}{I_{D7}} = d \quad (0.19)$$

Les rapports de ces courants peuvent être imposés uniquement par les dimensions des transistors, soit :

$$\frac{\beta_3}{\beta_{13}} = \frac{\beta_6}{\beta_7} = q \quad (0.20)$$

$$\frac{\beta_{22}}{\beta_{13}} = \frac{\beta_{15}}{\beta_7} = d \quad (0.21)$$

Comme les courants de polarisation I_{D6} et I_{D15} se divisent en parts égales entre les deux transistors de leur paire différentielle respective, la relation qui lie les courants de drain des transistors M_7 , M_{11} et M_{13} est la suivante :

$$I_{D13} = I_{D11} + \frac{q}{2} I_{D7} - \frac{d}{2} I_{D7} \quad (0.22)$$

Comme le courant I_{D11} ne doit jamais être nul :

$$I_{D13} > \frac{q-d}{2} I_{D7} \quad (0.23)$$

D'après l'équation (0.84), et dans la mesure où la différence entre q et d ne peut pas être négative, nous obtenons la double contrainte suivante :

$$0 < q - d < 2 \quad (0.24)$$

- Polarisation de la branche de polarisation :

Nous allons tout d'abord nous intéresser à la polarisation de la branche de polarisation constituée des transistors M_7 , M_9 , M_{11} et M_{13} et des résistances R_1 - R_4 . Ces quatre résistances ont toutes la même valeur, notée R . En raison de la symétrie du montage évoquée précédemment, uniquement la polarisation des transistors M_{11} et M_{13} sera étudiée. Leurs tensions drain-source respectives peuvent s'exprimer de la façon suivante :

$$V_{DS13} = V_{GS13} + RI_{11} - V_{GS11} \quad (0.25)$$

$$V_{DS11} = V_{GS11} - RI_{11} \quad (0.26)$$

En introduisant les conditions de polarisation en régime de forte inversion, nous obtenons les inéquations suivantes :

$$RI_{11} \geq V_{GS11} - V_{Tn} \quad (0.27)$$

$$RI_{11} \leq V_{Tn} \quad (0.28)$$

D'après la relation qui régit le fonctionnement du transistor M_{11} :

$$V_{GS11} - V_{Tn} = \sqrt{\frac{2I_{11}}{\beta_{11}}} \quad (0.29)$$

La condition (0.27) peut s'écrire :

$$\frac{2}{R\beta_{11}} \leq RI_{11} \quad (0.30)$$

Nous définissons le courant I_{11} dans l'équation (0.29). Celui-ci sera maintenu constant tout au long de la conception.

$$I_{11} = \frac{1}{4R} (2V_{DD} - |V_{GS7}| - V_{GS13}) \quad (0.31)$$

La variation du mode commun influe peu sur la variation de ce courant en raison des contre-réactions locales aux points 1 et 2. Dans ce contexte, nous allons procéder à l'analyse de la polarisation de cette branche en se positionnant à un mode commun centré. Cela permet de réécrire le courant I_{11} sous la forme :

$$I_{11} = \frac{1}{4R} (2V_{DD} - V_{Tn} - V_{Tp} - 2(V_{GS13} - V_{Tn})) \quad (0.32)$$

Si nous prenons la condition à partir de l'inéquation (0.27), en remplaçant le courant I_{11} donné par (0.32), nous pouvons trouver :

$$V_{GS11} - V_T \leq \frac{2V_{DD} - V_{Tn} - V_{Tp} - 2(V_{GS13} - V_{Tn})}{4} \quad (0.33)$$

Soit :

$$\frac{\beta_{13}}{\beta_{11}} \leq \frac{2}{2 - q + d} \left(\frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \frac{1}{2} \right)^2 \quad (0.34)$$

Les équations (0.33) et (0.34) constituent les conditions de polarisation du transistor M_{13} et sont valables uniquement si :

$$V_{GS13} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp}}{2} \quad (0.35)$$

La condition de polarisation du transistor M_{11} , est contrainte par l'équation (0.28). En introduisant le courant I_{11} de l'équation (0.32) la contrainte devient :

$$V_{GS13} \geq \frac{2V_{DD} - 3V_{Tn} - V_{Tp}}{2} \quad (0.36)$$

○ Polarisation des courants de polarisation des paires différentielles :

Maintenant que les conditions de fonctionnement en régime de forte inversion de la branche de polarisation ont été posées, nous allons à présent voir celles qui sont imposées dans le cadre de la polarisation des paires différentielles. Nous allons nous focaliser uniquement sur l'entrée primaire. Les conditions relatives aux paires différentielles auxiliaires seront déduites par analogie. De plus, nous nous focaliserons uniquement sur les conditions relatives à M_3 , celles propres à M_6 en découleront par le fait de la symétrie. Le fonctionnement en régime de forte inversion du transistor M_3 doit être assuré pour un mode commun supérieur ou égal à 0. Un mode commun nul est le pire cas pour maintenir ce mode de polarisation. Dans ce cas, la tension drain-source du transistor M_3 peut s'écrire de la manière suivante :

$$V_{DS3} = V_{GS3} + 2RI_{11} - V_{GS1} \quad (0.37)$$

La condition de polarisation en régime de forte inversion donne :

$$2RI_{11} - V_{GS1} \geq -V_{Tn} \quad (0.38)$$

Ou encore :

$$2R \frac{V_{GS13} - V_{Tn}}{V_{GS13} - V_{Tn}} I_{11} \geq V_{GS1} - V_{Tn} \quad (0.39)$$

De même :

$$2R \frac{V_{GS13} - V_{Tn}}{V_{GS1} - V_{Tn}} I_{11} \geq V_{GS13} - V_{Tn} \quad (0.40)$$

En exprimant $\frac{V_{GS13} - V_T}{V_{GS1} - V_T}$ en fonction des dimensions de M_{13} et M_1 d'une part :

$$\frac{V_{GS13} - V_{Tn}}{V_{GS1} - V_{Tn}} = \sqrt{\frac{2\beta_1}{(q-d)\beta_{13}}} \quad (0.41)$$

et le courant I_{11} donné par l'équation (0.32) d'autre part, l'inéquation (0.40) peut se réécrire de la manière suivante :

$$\sqrt{\frac{2\beta_1}{(q-d)\beta_{13}}} \geq \frac{V_{GS13} - V_{Tn}}{V_{DD} - V_{GS13}} \quad (0.42)$$

Le terme de droite peut être majoré par 1. Ainsi une condition suffisante pour assurer la bonne polarisation de M_3 s'en déduit finalement :

$$\frac{\beta_3}{\beta_1} \leq \frac{2q}{q-d} \quad (0.43)$$

Comme présenté précédemment, par analogie, nous déduisons les conditions de polarisation la source de courant qui polarise les paires différentielles secondaires, soit M_{22} :

$$\frac{\beta_{22}}{\beta_{23}} \leq \frac{2d}{q-d} \quad (0.44)$$

○ *Polarisation des transistors constituant les paires différentielles :*

Enfin, il reste à établir les conditions de polarisation des transistors des paires différentielles. Une fois de plus, en raison des symétries, seul le transistor M_1 sera considéré. Il faut noter également que les transistors des paires auxiliaires sont assurés d'être polarisés en forte inversion, dans la mesure où le mode commun de cette entrée reste centré sur 0. Pour le transistor M_1 , la polarisation critique est obtenue pour un mode commun égal à la tension d'alimentation positive. Dans cette configuration, sa tension drain-source est égale à :

$$V_{DS1} = V_{GS1} + V_{GS9} - RI_9 - V_{GS7} \quad (0.45)$$

Pour que M_1 fonctionne en régime de forte inversion, il faut que :

$$V_{GS9} - V_{GS7} - RI_9 \geq -V_{Tn} \quad (0.46)$$

Nous allons tout d'abord chercher à exprimer V_{GS7} en fonction de V_{GS9} :

$$I_9 = \frac{\beta_9}{2} (V_{GS9} - V_{Tp})^2 \quad (0.47)$$

$$I_7 = \frac{2}{2-q+d} I_9 \quad (0.48)$$

$$V_{GS7} = V_{Tp} + \sqrt{\frac{2}{2-q+d} \frac{\beta_9}{\beta_7}} (V_{GS9} - V_{Tp}) \quad (0.49)$$

En combinant les équations (0.46) et (0.49) nous obtenons :

$$(V_{GS9} - V_{Tp}) - \sqrt{\frac{2}{2-q+d} \frac{\beta_9}{\beta_7}} (V_{GS9} - V_{Tp}) - RI_9 \geq -V_{Tn} \quad (0.50)$$

$$1 - \sqrt{\frac{2}{2-q+d} \frac{\beta_9}{\beta_7}} - \frac{RI_9}{(V_{GS9} - V_{Tp})} \geq \frac{-V_{Tn}}{(V_{GS9} - V_{Tp})} \quad (0.51)$$

L'expression du courant I_9 en fonction de la tension d'alimentation peut s'écrire :

$$I_9 = \frac{1}{4R} \left(2V_{DD} - V_{Tn} - V_{Tp} - \left(\sqrt{\frac{\beta_9}{\beta_{13}}} + \sqrt{\frac{2}{2-q+d} \frac{\beta_9}{\beta_7}} \right) (V_{GS9} - V_{Tp}) \right) \quad (0.52)$$

Si nous injectons l'expression de ce courant dans l'inéquation (0.51), nous obtenons :

$$4 - 3 \sqrt{\frac{2}{2-q+d} \frac{\beta_9}{\beta_7}} + \sqrt{\frac{\beta_9}{\beta_{13}}} \geq \frac{2V_{DD} - 5V_{Tn} - V_{Tp}}{(V_{GS9} - V_{Tp})} \quad (0.53)$$

Le terme de droite peut être majoré par 1, à supposer que la condition suivante s'applique :

$$V_{GS9} \geq 2V_{DD} - 5V_{Tn} \quad (0.54)$$

En raison de la symétrie entre les transistors NMOS et PMOS, les transistors M_7 et M_{13} ont la même valeur de paramètre β . La condition de polarisation du transistor M_I se réduit donc à :

$$\frac{\beta_{13}}{\beta_{11}} \geq \left(\sqrt{\frac{2}{2-q+d}} - \frac{1}{3} \right)^2 \quad (0.55)$$

- Polarisation des miroirs de courants faisant la liaison entre les paires auxiliaires et primaires :

Les transistors montés en diode sont automatiquement polarisés en forte inversion, dès lors que leur tension V_{GS} est supérieure à leur tension de seuil. Pour les autres transistors, nous

allons nous appuyer sur le transistor M_{I9} pour établir leur condition de polarisation en forte inversion. Cela donne :

$$V_{DS19} \geq V_{GS19} - V_{Tn} \quad (0.56)$$

Nous pouvons réécrire chacun des deux membres de cette inéquation, comme suit :

$$V_{DS19} = V_{GS13} + RI_{11} - V_{GS11} \quad (0.57)$$

$$V_{GS19} - V_{Tn} = \sqrt{\frac{\beta_{13}}{\beta_{18}}} d (V_{GS13} - V_{Tn}) \quad (0.58)$$

La condition de polarisation devient donc :

$$V_{GS13} + RI_{11} - V_{GS11} \geq \sqrt{\frac{\beta_{13}}{\beta_{18}}} d (V_{GS13} - V_{Tn}) \quad (0.59)$$

Ou encore :

$$(V_{GS13} - V_{Tn}) + RI_{11} - (V_{GS11} - V_{Tn}) \geq \sqrt{\frac{\beta_{13}}{\beta_{18}}} d (V_{GS13} - V_{Tn}) \quad (0.60)$$

En introduisant le courant I_{I1} de l'équation (0.32) et en divisant les deux membres par $V_{GS13} - V_{Tn}$, nous en déduisons :

$$1 + \frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \frac{1}{2} - \frac{(V_{GS11} - V_{Tn})}{(V_{GS13} - V_{Tn})} \geq \sqrt{\frac{\beta_{13}}{\beta_{18}}} d \quad (0.61)$$

Ou encore :

$$\frac{1}{2} + \frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \sqrt{\frac{\beta_{13}}{\beta_{11}}} \frac{2 - q + d}{2} \geq \sqrt{\frac{\beta_{13}}{\beta_{18}}} d \quad (0.62)$$

Finalement nous trouvons la condition suivante :

$$\frac{\beta_{13}}{\beta_{18}} \leq \frac{1}{d} \left(\frac{1}{2} + \frac{2V_{DD} - V_{Tn} - V_{Tp}}{4(V_{GS13} - V_{Tn})} - \sqrt{\frac{\beta_{13}}{\beta_{11}}} \frac{2 - q + d}{2} \right)^2 \quad (0.63)$$

Annexe 3

Cette annexe est relative à l'amplificateur de la figure 3.18.

○ Polarisation de la source de courant flottante :

Concernant la source de courant flottante, compte tenu de la symétrie, nous allons voir seulement les conditions de polarisation du transistor M_{29} . La tension drain-source de ce transistor est égale à :

$$V_{DS29} = V_{DD} - V_{GS36} - V_{GS35} + V_{GS29} + V_{GS30} - V_{GS32} - V_{GS33} \quad (0.64)$$

La condition de polarisation de M_{29} donne :

$$2V_{DD} - V_{GS36} - V_{GS35} + V_{GS29} + V_{GS30} - V_{GS32} - V_{GS33} \geq V_{GS29} - V_{Tn} \quad (0.65)$$

Suite à la démonstration de l'annexe 2, la condition (0.65) devient :

$$2\sqrt{\frac{e\beta_{13}}{\beta_{35}}} + 2\sqrt{\frac{e\beta_{13}}{\beta_{36}}} - \sqrt{\frac{(2-q+d)\beta_{13}}{4\beta_{29}}} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp}}{V_{GS13} - V_{Tn}} \quad (0.66)$$

Pour assurer la polarisation en forte inversion des transistors M_{10} et M_{12} , d'une part, pour améliorer les performances du folded cascode, d'autre part, nous allons imposer le potentiel de drain de ces transistors respectivement égaux à ceux de M_9 et M_{11} . Pour le transistor M_{12} , cela revient à écrire :

$$V_{GS13} + V_{GS29} = V_{GS35} + V_{GS36} \quad (0.67)$$

Ce qui aboutit à l'égalité suivante :

$$\sqrt{\frac{e\beta_{13}}{\beta_{35}}} + \sqrt{\frac{e\beta_{13}}{\beta_{36}}} = 1 + \sqrt{\frac{(2-q+d)\beta_{13}}{4\beta_{29}}} \quad (0.68)$$

En combinant les équations (0.66) et (0.68), nous trouvons la condition de polarisation du transistor M_{15} :

$$\frac{\beta_{13}}{\beta_{29}} \leq \frac{16}{2-q+d} \left(\frac{2V_{DD} - V_{Tn} - V_{Tp}}{2(V_{GS13} - V_{Tn})} - 1 \right)^2 \quad (0.69)$$

Ce résultat est valable si et seulement si la relation suivante est respectée :

$$V_{GS13} < \frac{2V_{DD} + V_{Tn} - V_{Tp}}{2} \quad (0.70)$$

Cette inégalité est identique à celle trouvée en (3.27).

○ Polarisation de la source de courant flottante:

La condition de polarisation de M_{15} donne :

$$2V_{DD} - V_{GS36} - V_{GS35} + V_{GS29} + V_{GS30} - V_{GS32} - V_{GS33} \geq V_{GS29} - V_{Tn} \quad (0.71)$$

En introduisant les tensions de seuil relatives à chaque tension grille-source et compte tenu des symétries :

$$(V_{GS30} - V_{Tn}) - 2(V_{GS35} - V_{Tn}) - 2(V_{GS36} - V_{Tn}) + \geq -2V_{DD} + V_{Tn} + V_{Tp} \quad (0.72)$$

En divisant les termes de droite et de gauche par $V_{GS13} - V_{Tn}$:

$$2 \frac{V_{GS35} - V_{Tn}}{V_{GS13} - V_{Tn}} + 2 \frac{V_{GS36} - V_{Tn}}{V_{GS13} - V_{Tn}} - \frac{V_{GS30} - V_{Tn}}{V_{GS13} - V_{Tn}} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp}}{V_{GS13} - V_{Tn}} \quad (0.73)$$

Soit :

$$2\sqrt{\frac{e\beta_{13}}{\beta_{35}}} + 2\sqrt{\frac{e\beta_{13}}{\beta_{36}}} - \sqrt{\frac{(2-q+d)\beta_{13}}{4\beta_{30}}} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp}}{V_{GS13} - V_{Tn}} \quad (0.74)$$

Dans la mesure où :

$$\beta_{29} = \beta_{30} \quad (0.75)$$

la condition de polarisation devient :

$$2\sqrt{\frac{e\beta_{13}}{\beta_{35}}} + 2\sqrt{\frac{e\beta_{13}}{\beta_{36}}} - \sqrt{\frac{(2-q+d)\beta_{13}}{4\beta_{29}}} \leq \frac{2V_{DD} - V_{Tn} - V_{Tp}}{V_{GS13} - V_{Tn}} \quad (0.76)$$

○ Polarisation des boucles translinéaires :

La boucle translinéaire formée par les transistors M_{22} , M_{21} , M_{15} , M_{24} donne l'équation suivante :

$$V_{GS36} + V_{GS35} = V_{GS29} + V_{GS38} \quad (0.77)$$

En exprimant les tensions V_{GS} en fonction de leurs courants respectifs, l'équation ci-dessus devient :

$$\sqrt{\frac{2I_{36}}{\beta_{36}}} + \sqrt{\frac{2I_{35}}{\beta_{35}}} = \sqrt{\frac{2I_{29}}{\beta_{29}}} + \sqrt{\frac{2I_{38}}{\beta_{38}}} \quad (0.78)$$

Les équations liant les courants I_{35} , I_{36} , I_{29} au courant I_{11} sont données ci-dessous :

$$I_{35} = I_{36} = e \left(1 - \frac{q}{2} \right) I_{11} \quad (0.79)$$

$$I_{29} = \frac{1}{2} I_{11} \quad (0.80)$$

Des équations (0.78), (0.79) et (0.80), nous déduisons que la relation entre I_{24} et I_{11} est la suivante :

$$I_{38} = \left[\sqrt{e \left(1 - \frac{q}{2}\right)} \left(\sqrt{\frac{\beta_{38}}{\beta_{35}}} + \sqrt{\frac{\beta_{38}}{\beta_{36}}} \right) - \sqrt{\frac{\beta_{38}}{2\beta_{29}}} \right]^2 I_{11} \quad (0.81)$$

Annexe 4

$$H(f) = \frac{A_m}{1 + j \frac{f}{f_m}} + \frac{A_m \cdot A_n}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (0.82)$$

En réduisant l'équation au même dénominateur :

$$H(f) = \frac{A_m \left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right) + A_m \cdot A_n \left(1 + j \frac{f}{f_m}\right)}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (0.83)$$

En considérant que $f_m' = f_m$:

$$H(f) = \frac{A_m \cdot A_n + A_m \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (0.84)$$

Si nous développons le numérateur :

$$H(f) = (A_m \cdot A_n + A_m) \frac{1 + j \frac{A_m}{A_m \cdot A_n + A_m} \left(\frac{f}{f_c} + \frac{f}{f_n}\right) + j^2 \frac{A_m}{A_m \cdot A_n + A_m} \frac{f^2}{f_c f_n}}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (0.85)$$

Nous allons à présent chercher à mettre l'équation (0.85) sous la forme :

$$H(f) = (A_m \cdot A_n + A_m) \frac{\left(1 + j \frac{f}{f_1}\right) \left(1 + j \frac{f}{f_2}\right)}{\left(1 + j \frac{f}{f_m}\right) \left(1 + j \frac{f}{f_c}\right) \left(1 + j \frac{f}{f_n}\right)} \quad (0.86)$$

En supposant $f_c \ll f_n$ par identification entre (0.85) et (0.86), nous trouvons le système d'équations suivant :

$$\begin{cases} \frac{1}{f_1} + \frac{1}{f_2} = \frac{A_m}{A_m \cdot A_n + A_m} \frac{1}{f_c} \\ \frac{1}{f_1} \frac{1}{f_2} = \frac{A_m}{A_m \cdot A_n + A_m} \frac{1}{f_c} \frac{1}{f_n} \end{cases} \quad (0.87)$$

La résolution de ce système revient à trouver les racines de l'équation du second degré suivante :

$$f_{1,2}^2 - f_{1,2}f_n + \left(1 + \frac{A_m A_n}{A_m}\right) f_c f_n = 0 \quad (0.88)$$

Soit :

$$f_{1,2} = \frac{f_n}{2} \left(1 \pm \sqrt{1 - 4 \left(1 + \frac{A_m A_n}{A_m}\right) \frac{f_c}{f_n}} \right) \quad (0.89)$$

Production scientifique

Conférence :

Y. Piccin, H. Lapuyade, Y. Deval, C. Morche, J-Y. Seyler, F. Goutti, T. Taris, "Design of a TID-tolerant low-level offset operational amplifier," *IEEE 11th International Conference New Circuits and Systems, NEWCAS 2013*, pp. 1-4, 16-19 Jun. 2013.

Revues :

Y. Piccin, H. Lapuyade, Y. Deval, C. Morche, J-Y. Seyler, F. Goutti, "Radiation-hardening technique for voltage reference circuit in a standard 130 nm CMOS," *IEEE Trans. on Nucl. Sci.*, pp. 1-8, Mar. 2014.

Y. Piccin, H. Lapuyade, Y. Deval, C. Morche, J-Y. Seyler, F. Goutti, "Radiation-hardened low-level offset operational amplifiers," *IEEE Trans. on Nucl. Sci.*, pp. 1-8, Apr. 2014.