



Etude de l'intégration du collage direct cuivre/oxyde pour l'élaboration d'une architecture 3D-SIC

Yann Beilliard

► **To cite this version:**

Yann Beilliard. Etude de l'intégration du collage direct cuivre/oxyde pour l'élaboration d'une architecture 3D-SIC. Matériaux. Université Grenoble Alpes, 2015. Français. <NNT : 2015GREAI008>. <tel-01170533>

HAL Id: tel-01170533

<https://tel.archives-ouvertes.fr/tel-01170533>

Submitted on 1 Jul 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Matériaux, Mécanique, Génie Civil, Électrochimie**

Arrêté ministériel : 7 août 2006

Présentée par

« **Yann BEILLIARD** »

Thèse dirigée par « **Rafael ESTEVEZ** » et « **Guillaume PARRY** » et
codirigée par « **Léa DI CIOCCIO** » et « **Perceval COUDRAIN** »

préparée au sein du **Laboratoire des Substrats Avancés (LSA)** du
CEA-Léti et du **Laboratoire de Science et Ingénierie des**
Matériaux et Procédés (SIMaP)
dans l'**École Doctorale Matériaux, Mécanique, Environnement,**
Énergétique, Procédés, Production

Étude de l'intégration du collage direct cuivre/oxyde pour l'élaboration d'une architecture 3D-SIC

Thèse soutenue publiquement le « **2 avril 2015** »,
devant le jury composé de :

M. Abdelkader SOUFI

Professeur des Universités, INL Lyon, Président

Mme Hélène FREMONT

Maître de Conférences HDR, IMS Bordeaux, rapporteur

M. Frédéric LEBON

Professeur des Universités, LMA, CNRS Marseille, rapporteur,

M. Alain BOSSEBOEUF

Directeur de Recherche CNRS, IEF Université Paris Sud, examinateur

M. Rafael ESTEVEZ

Professeur des Universités, UJF Grenoble, directeur de thèse

M. Guillaume PARRY

Maître de Conférences, Grenoble-INP, co-directeur de thèse

Mme Léa DI CIOCCIO

Directeur de Recherche, CEA-Léti Grenoble, encadrant

M. Perceval COUDRAIN

Docteur Ingénieur, STMicroelectronics Crolles, encadrant



À mes familles de sang et de cœur.

Remerciements

Mon travail de thèse a été rythmé par les pauses-café, certes, mais aussi et surtout par les moments d'enthousiasme, de stress, de doute, de travail intense, d'émerveillement, de désespoir et finalement de joie. D'une manière générale, ces trois années passées à STMicroelectronics, au SIMaP et au CEA-LETI constituent une expérience professionnelle et humaine exceptionnelle.

Je souhaite tout d'abord remercier Alexis FARCY de m'avoir permis de faire cette thèse. Tes conseils éclairés ont été d'une aide précieuse dans les débuts et durant mes périodes de doute et de questionnement.

Je suis reconnaissant envers Abdelkader SOUFI d'avoir accepté de présider ma soutenance de thèse. Que de chemin parcouru depuis notre première rencontre à Évian en 2013 ! Sincères remerciements à Hélène FREMONT et Frédérique LEBON pour leur rapport précis et critique sur ce manuscrit malgré sa longueur ! Merci enfin à Alain BOSSEBOEUF d'avoir examiné ce travail avec intérêt et attention.

J'ai eu la chance de bénéficier d'un encadrement formidable, assuré par de belles personnes, extrêmement compétentes, positives et très ouvertes. Dans un premier temps, je désire remercier profondément Rafael ESTEVEZ et Guillaume PARRY du laboratoire SIMaP pour leur disponibilité et leur apport scientifique très riche. Chacune de nos discussions a fait l'objet de nouvelles idées de recherche, de partage de connaissances et d'éclats de rire. Comme tu dis Rafael, travailler dans la bonne humeur ne coûte pas plus cher ! Je remercie ensuite chaleureusement Léa DI CIOCCIO et Perceval COUDRAIN du CEA-LETI et de STMicroelectronics respectivement. Vos qualités humaines et professionnelles combinées m'ont permis d'en apprendre énormément en un temps record ! Grâce à votre encadrement sans faille, j'ai pu aborder avec confiance la quantité importante de travail requise pour répondre aux enjeux de la thèse. Aussi, nos innombrables discussions et tempêtes de cerveaux font partie des souvenirs les plus agréables et épanouissants de ma thèse. Enfin, je tiens à remercier sincèrement Stéphane MOREAU qui a toujours été présent pour moi et avec qui j'ai adoré travailler.

Ce travail n'aurait pu être réalisé sans l'aide des experts et des chefs ! Je remercie donc vivement François AUSSENAC, Laurent BALLY, David BONNARD, Chantal CHANTRE, Cedrick CHAPPAZ, Séverine CHERAMY, Jean-Philippe COLONNA, Maryline CORDEAU, Robert CUCHET, Thierry ENOT, Frank FOURNEL, Olivier GIRARD, Pierre-Henry JOUINEAU, Armelle LAGRANGE, Vincent LARREY,

Christophe LECOUCVEY, Laurent MILLET, Christophe MORALES, Antoine NOWODZINSKI, Frédéric RITTON, Maurice RIVOIRE, Emmanuel ROLLAND, Giovanni ROMANO, Roseline SEGAUD, Loïc SANCHEZ, Daniel SCEVOLA, Thomas SIGNAMARCHEIX... et tant d'autres !

Judou, Sebou, Seb, JS, Lamine, Lyvia, M. Wellebrouck, Julie, Thomas L., Élo, Polo, Bastien, Béa, Aurélie, Claire, Toshi, Bruno, Flo, Cédric M'Bala M'Bala, Flavia, Marianne, Michel, Angel, Caro, Yann, Simon, Romain, Benjamin, Kim, Nordine... Merci pour tous ces moments de plaisir autour d'un café ou d'une pinte, par tous les temps !

Selon le proverbe, "*on ne peut donner que deux choses à ses enfants : des racines et des ailes*". C'est exactement ce que m'ont apporté mes parents, ma famille, ma belle-famille et mes amis. Je les remercie donc très affectueusement pour tout ce qu'ils ont fait pour moi durant mes études et dans la vie.

Finalement, je remercie de tout cœur ma fiancée Valérie pour son soutien inconditionnel durant ces trois années ! Je lui suis très reconnaissant de m'avoir supporté dans les moments difficiles que sont la rédaction et la soutenance ! Je n'aurais jamais pu réaliser un tel travail sans toi à mes côtés. En route maintenant pour le Québec !

Table des matières

Liste des abréviations	1
Introduction générale	3
Chapitre I.....	5
I.1 Intérêts de l'intégration tridimensionnelle des circuits	6
I.1.1 Les limitations de l'intégration bidimensionnelle.....	6
I.1.1.1 Loi de Moore et longueur d'interconnexions.....	6
I.1.1.2 Fiabilité des interconnexions	10
I.1.1.3 Évolution des techniques de mise en boîtier.....	10
I.1.2 L'intégration 3D : une technologie de rupture	13
I.1.2.1 Principe général.....	14
I.1.2.2 Atouts de l'intégration 3D.....	15
I.1.2.3 Un large domaine d'applications.....	17
I.2 Les techniques d'intégration 3D.....	21
I.2.1 Les options d'intégration	21
I.2.1.1 Plaque-à-plaque vs puce-à-plaque.....	21
I.2.1.2 Influence de l'orientation des substrats	24
I.2.2 Réalisation d'interconnexions à haute densité par collage.....	25
I.2.2.1 Collage hybride CuSn-adhésif par thermocompression.....	28
I.2.2.2 Collage de micro-piliers de cuivre par thermocompression.....	29
I.2.2.3 Collage direct hybride Cu-SiO ₂	31
I.3 Introduction au collage direct hybride Cu-SiO₂.....	33
I.3.1 Principe général.....	33
I.3.2 Prérequis et mécanismes des collages SiO ₂ /SiO ₂ et Cu/Cu.....	34
I.3.2.1 Critères morphologiques	34
I.3.2.2 Critères de propreté.....	35
I.3.2.3 Mécanismes du collage SiO ₂ /SiO ₂	36
I.3.2.4 Les mécanismes du collage Cu/Cu	38
I.3.3 Mécanismes du collage direct hybride Cu-SiO ₂	42
I.4 Enjeux et méthodologie de la thèse	43
Chapitre II.....	47
II.1 Description des véhicules de tests	48
II.1.1 Règles de dessin générales	49
II.1.2 Véhicule de test à deux niveaux d'interconnexions.....	50
II.1.2.1 Présentation générale	50
II.1.2.2 Procédé de fabrication général.....	51
II.1.2.3 Intégration puce-à-plaque.....	54
II.1.3 Véhicule de test à quatre niveaux d'interconnexions	55

II.1.3.1	Présentation générale	55
II.1.3.2	Procédé de fabrication	57
II.1.4	Présentation des structures de tests électriques	62
II.1.4.1	Description des structures NIST	62
II.1.5	Description des chaînes de connexions.....	63
II.2	Techniques de caractérisations morphologiques	67
II.2.1	Microscope à force atomique (AFM)	67
II.2.2	Microscopie infrarouge (IR) et acoustique (SAM).....	69
II.2.3	Usinage ionique (FIB) et microscopie électronique (SEM).....	69
II.2.3.1	Tomographie FIB-SEM	70
II.2.4	Microscope électronique en transmission (TEM)	71
II.2.4.1	Les modes d'imageries STEM-HAADF	72
II.2.4.2	Analyse dispersive en énergie de rayons X (EDX).....	72
II.2.5	Spectrométrie de masse des ions secondaires (SIMS).....	72
II.2.6	Synthèse.....	73
II.3	Caractérisations électriques et études de fiabilité.....	74
II.3.1	Détermination de la résistivité du cuivre.....	75
II.3.2	Résistivité de contact de l'interface de collage.....	75
II.3.3	Mise en boîtier des structures de tests.....	76
II.3.4	Méthodologie d'analyses de défaillances.....	77
II.3.5	Chaleur humide.....	77
II.3.6	Cyclage thermique.....	78
II.3.7	Stockage en température	78
II.3.8	Électromigration.....	79
II.3.9	Synthèse.....	89
II.4	Conclusion	90
Chapitre III	91
III.1	Validation du procédé de collage puce-à-plaque.....	92
III.1.1	Procédé de fabrication des véhicules de tests.....	92
III.1.2	Méthodologie de caractérisation électrique et de fiabilité.....	95
III.2	Collages puce-à-plaque vs plaque-à-plaque en 200 mm	98
III.2.1	Caractérisations électriques des structures NIST.....	102
III.2.2	Caractérisations électriques des chaînes de connexions.....	104
III.2.3	Cyclage thermique	107
III.3	Collages puce-à-plaque 300 mm	110
III.3.1	Caractérisations électriques des structures NIST.....	111
III.3.2	Caractérisations électriques des chaînes de connexions.....	113
III.4	Conclusions	116

Chapitre IV	119
IV.1 Qualité de collage et intégrité structurelle.....	120
IV.1.1 Mesure du désalignement à l'échelle de la plaque.....	121
IV.1.2 Microscopie acoustique à balayage	123
IV.1.3 Intégrité de l'intégration finale.....	130
IV.2 Caractérisations morphologiques des plots de collage.....	137
IV.2.1 Comparaison après recuits à 200 °C et 400 °C.....	137
IV.2.2 Cavités à l'interface Cu/Cu : observations et origines.....	140
IV.2.3 Diffusion du cuivre dans l'oxyde en bord de plots de collage.....	145
IV.2.3.1 Caractérisation TEM-EDX de l'interface Cu/SiO ₂	149
IV.2.3.2 Caractérisation SIMS de l'empilement.....	154
IV.3 Caractérisations électriques des structures de tests.....	158
IV.3.1 Intégration à quatre niveaux : impact sur la résistance.....	159
IV.3.2 Influence de la température de recuit et résistivité de contact.....	161
IV.3.3 Variation de la résistance à l'échelle du collage.....	167
IV.4 Études de fiabilité environnementale	170
IV.4.1 Stockage en chaleur humide.....	170
IV.4.2 Cyclage thermique	171
IV.4.3 Stockage en température.....	173
IV.4.4 Résistance à l'électromigration : TiN vs TaN/Ta.....	175
IV.5 Conclusion.....	180
Chapitre V.....	183
V.1 Contexte de l'étude	184
V.2 Description du modèle d'interactions cohésives.....	185
V.3 Modélisation du collage direct.....	189
V.3.1 Description de la simulation.....	189
V.3.2 Comportement mécanique du cuivre	192
V.3.3 Estimations des paramètres δ_n et σ_{max} du modèle d'interactions cohésives	195
V.4 Simulation du procédé de collage direct	199
V.4.1 Contact unilatéral (MCU) vs interactions cohésives (MIC).....	199
V.4.2 Cuivre élastique vs élastique-plastique avec le modèle MIC.....	204
V.4.3 Discussion	207
V.5 Influence du comportement élastique-plastique du cuivre.....	208
V.6 Conclusion	214
Chapitre VI.....	217

VI.1 État de l'intégration 3D par collage en 2015.....	218
VI.2 Cavités à l'interface Cu/Cu et plasticité du cuivre.....	219
VI.2.1 Influence de la taille des grains sur la formation des cavités.....	220
VI.2.2 Synthèse.....	223
VI.3 Cas du collage direct hybride à très basse température.....	224
VI.3.1 Limitation du sur-polissage du cuivre.....	225
VI.3.2 Retrait total de l'oxyde de cuivre Cu ₂ O avant le collage.....	226
VI.3.3 Favorisation de la diffusion du cuivre à l'interface de collage.....	227
VI.4 Importance de la précision d'alignement.....	228
VI.5 Conclusion.....	230
Conclusion générale.....	231
Bibliographie	237

Liste des abréviations

BEoL	<i>Back End of Line</i>	Niveaux d'interconnexions en cuivre destinés à faire communiquer les structures actives avec le monde extérieur.
CMP	<i>Chemical Mechanical Polishing</i>	Polissage mécano-chimique
CVD	<i>Chemical Vapor Deposition</i>	Dépôt chimique en phase vapeur
ECD	<i>Electrochemical Deposition</i>	Dépôt électrochimique
FIB-SEM	<i>Focus Ion Beam – Scanning Electron Microscopy</i>	Sonde d'ions focalisés – Microscopie électronique à balayage
ITRS	<i>International Technology Roadmap for Semiconductors</i>	Feuille de route technologique internationale pour les semi-conducteurs
MTTF	<i>Mean Time To Failure</i>	Temps moyen à la défaillance
PCB	<i>Printed Circuit Board</i>	Circuit imprimé
PVD	<i>Physical Vapor Deposition</i>	Dépôt physique en phase vapeur
RDL	<i>ReDistribution Layer</i>	Niveau de redistribution électrique
SiP	<i>System-in-Package</i>	Système en boîtier
SoC	<i>System-on-Chip</i>	Système sur puce
TEM-EDX	<i>Transmission Electron Microscopy - Energy Dispersive X-Ray Analysis</i>	Microscope électronique en transmission – analyse dispersive en énergie
TSV	<i>Through Silicon Via</i>	Via traversant le silicium
SIMS	<i>Secondary ion mass spectrometry</i>	Spectrométrie de masse à ionisation secondaire

Introduction générale

L'industrie de la microélectronique est caractérisée par son évolution spectaculaire, dont les moteurs sont principalement l'augmentation des performances, la diversification des fonctionnalités et la réduction des coûts de fabrication. Ces améliorations sont essentiellement le fait de la course à la miniaturisation des transistors, débutée à la naissance de ce dernier en 1951.

Dans ce contexte, l'intégration tridimensionnelle des circuits électroniques représente une véritable révolution. Cette approche consiste à empiler les puces les unes sur les autres et à les interconnecter à l'aide de lignes de cuivre verticales. Bon nombre de problèmes liés à l'intégration bidimensionnelle traditionnelle (augmentation des délais de transmission des signaux) et aux dimensions nanométriques des nœuds technologiques (effets quantiques, dissipation thermique, diaphonie) peuvent ainsi être résolus durablement. Par ailleurs, ce nouveau paradigme autorise la conception et la fabrication de dispositifs regroupant une multitude de fonctionnalités.

L'intégration tridimensionnelle repose sur la maîtrise de briques technologiques, incluant l'assemblage des substrats par collage avec alignement, l'amincissement des substrats une fois empilés et la réalisation des connexions électriques verticales traversant les différents niveaux de silicium.

Parmi les différentes méthodes de collage existantes, le collage direct de surfaces mixtes Cu-SiO₂ est particulièrement prometteur. Cette technique, bénéficiant d'une bonne maturité grâce aux travaux antérieurs réalisés dans le cadre de l'alliance STMicroelectronics/CEA-Léti, est réalisée à température ambiante et à pression atmosphérique. Elle offre une adhésion mécanique forte entre les substrats et permet de réaliser des interconnexions électriques à haute densité. Les performances électriques et la fiabilité de structures de cuivre à deux niveaux réalisées par collage direct ont été étudiées lors d'une précédente thèse. Les résultats très encourageant obtenus permettent désormais de commencer le transfert de cette technique d'assemblage vers le secteur industriel.

L'objectif de cette thèse est de démontrer la compatibilité du procédé de collage direct hybride Cu-SiO₂ avec des intégrations et des architectures proches de circuits réels. Dans ce but, des véhicules de tests intégrant des structures de cuivre à deux et quatre niveaux d'interconnexions seront étudiés. De plus, des simulations par éléments finis du procédé collage direct développées au sein du logiciel Abaqus seront conduites.

Dans un premier temps, nous présenterons dans le chapitre I comment l'intégration tridimensionnelle des circuits permettra de dépasser les limitations de l'intégration bidimensionnelle. Des exemples d'applications bénéficiant des avantages de l'approche

tridimensionnelle et les mécanismes mis en jeu dans le procédé de collage direct seront ensuite décrits. Enfin, nous détaillerons les enjeux et la méthodologie de la thèse à la fin de ce chapitre.

Le chapitre II sera destiné à la description des intégrations technologiques employées et à la méthodologie de leur caractérisation. Les différents véhicules de tests, les structures de tests embarquées et leurs procédés de fabrication seront explicités. Les techniques permettant de caractériser la morphologie, les performances électriques et la fiabilité des structures de tests réalisées par collage direct seront enfin présentées.

Dans le chapitre III seront présentés les résultats d'études contribuant à valider l'intégration puce-à-plaque par collage direct hybride Cu-SiO₂. Dans ce but, les performances électriques de structures de tests présentes sur des véhicules réalisés par collage plaque-à-plaque et puce-à-plaque seront comparées. Les résistivités de contact de l'interface de collage Cu/Cu seront extraites dans chaque cas. L'influence sur la résistance d'un test de cyclage thermique et de la position des puces sur la plaque sera aussi étudiée.

Le chapitre IV sera dédié à une étude complète de la morphologie, des performances électriques et de la fiabilité d'interconnexions à quatre niveaux réalisées par collage direct hybride Cu-SiO₂. Des observations par microscopie électronique à balayage et en transmission seront conduites pour déterminer la qualité de collage des interfaces Cu/Cu et SiO₂/SiO₂. Par ailleurs, les mécanismes de formation des cavités nanométriques à l'interface Cu/Cu et le phénomène de diffusion du cuivre dans le SiO₂ seront étudiés. Pour finir ce chapitre, des études de fiabilité incluant des tests de stockage en chaleur humide, de cyclage thermique, de stockage en température et d'électromigration permettront d'évaluer la résistance à la corrosion et la robustesse mécanique des empilements à quatre niveaux d'interconnexions.

Dans le chapitre V, des simulations par éléments finis du procédé de collage direct développées au sein du logiciel Abaqus seront présentées. Les effets sur la fermeture de l'interface de collage Cu/Cu des interactions cohésives entre les surfaces de cuivre et de la dilatation thermique de ce dernier pendant le recuit seront notamment étudiés. En outre, l'influence de la déformation plastique macroscopique du cuivre sur le processus de scellement sera mise en évidence.

Le chapitre VI sera consacré à une discussion générale concernant dans un premier temps l'influence de la taille des grains de cuivre sur la formation des cavités à l'interface Cu/Cu. Dans le cadre du collage direct hybride Cu-SiO₂, l'effet du sur-polissage du cuivre, de la couche d'oxyde de cuivre Cu₂O et de la diffusion du cuivre à l'interface de collage sera ensuite discuté.

Une conclusion générale sur les principaux résultats ainsi qu'une réflexion sur les différentes perspectives de ces travaux termineront ce manuscrit.

Chapitre I

Contexte de l'étude

I.1 Intérêts de l'intégration tridimensionnelle des circuits	6
I.1.1 Les limitations de l'intégration bidimensionnelle.....	6
I.1.1.1 Loi de Moore et longueur d'interconnexions.....	6
I.1.1.2 Fiabilité des interconnexions	10
I.1.1.3 Évolution des techniques de mise en boîtier.....	10
I.1.2 L'intégration 3D : une technologie de rupture	13
I.1.2.1 Principe général	14
I.1.2.2 Atouts de l'intégration 3D.....	15
I.1.2.3 Un large domaine d'applications.....	17
I.2 Les techniques d'intégration 3D.....	21
I.2.1 Les options d'intégration	21
I.2.1.1 Plaque-à-plaque vs puce-à-plaque.....	21
I.2.1.2 Influence de l'orientation des substrats	24
I.2.2 Réalisation d'interconnexions à haute densité par collage.....	25
I.2.2.1 Collage hybride CuSn-adhésif par thermocompression.....	28
I.2.2.2 Collage de micro-piliers de cuivre par thermocompression.....	29
I.2.2.3 Collage direct hybride Cu-SiO ₂	31
I.3 Introduction au collage direct hybride Cu-SiO₂.....	33
I.3.1 Principe général.....	33
I.3.2 Prérequis et mécanismes des collages SiO ₂ /SiO ₂ et Cu/Cu.....	34
I.3.2.1 Critères morphologiques	34
I.3.2.2 Critères de propreté.....	35
I.3.2.3 Mécanismes du collage SiO ₂ /SiO ₂	36
I.3.2.4 Les mécanismes du collage Cu/Cu	38
I.3.3 Mécanismes du collage direct hybride Cu-SiO ₂	42
I.4 Enjeux et méthodologie de la thèse	43

Introduction

Dans la première partie de ce chapitre, nous passerons en revue les principales limitations concernant la réalisation de composants électroniques par une intégration classique en deux dimensions. Nous verrons ensuite comment l'intégration tridimensionnelle (3D) peut dépasser ces limitations, en précisant quels sont les avantages de cette nouvelle approche et les applications qui peuvent en bénéficier.

La deuxième partie sera dédiée à une comparaison des différentes options d'intégrations 3D, chacune étant adaptée à un type d'application. Dans le cadre des applications nécessitant une haute densité d'interconnexions, nous nous focaliserons par la suite sur les structures métalliques permettant de connecter mécaniquement et électriquement les puces.

La troisième partie sera quant à elle consacrée à la description du procédé de collage direct hybride Cu-SiO₂. Nous développerons notamment les avantages, les conditions de réalisation et les mécanismes mis en jeu liés à cette technologie

Dans la quatrième et dernière partie, nous présenterons les enjeux et les défis liés à l'utilisation du collage direct dans un contexte industriel. La méthodologie de ce travail de thèse destiné à relever une partie de ces défis sera enfin détaillée.

I.1 Intérêts de l'intégration tridimensionnelle des circuits

Le but de cette première partie est de présenter le contexte industriel de la thèse. Le constat des différentes limitations liées à l'intégration bidimensionnelle traditionnellement employée en microélectronique sera d'abord établi. Nous verrons ensuite en quoi l'intégration tridimensionnelle des circuits intégrés (*three dimensional integrated circuit* - 3DIC) permet non seulement de dépasser ces limitations, mais aussi d'offrir de nouvelles architectures de dispositifs comprenant un nombre de fonctionnalités encore inégalé. Ce dernier point sera explicité à l'aide de quelques exemples d'applications réalisées par intégration 3D.

I.1.1 Les limitations de l'intégration bidimensionnelle

I.1.1.1 Loi de Moore et longueur d'interconnexions

Depuis l'invention du transistor en 1951 par W. Shockley, et jusqu'à la fin des années 90, l'augmentation de la puissance des puces électroniques et la diminution de leur coût de fabrication furent principalement régies par la miniaturisation des transistors. C'est en 1965 que G. E. Moore proposa une première loi empirique prédisant la multiplication par 2 de la densité de transistors tous les ans [Moore'65]. En 1975, cette loi fut révisée pour mieux s'adapter à l'évolution réelle des performances offertes par les processeurs commerciaux, doublant finalement tous les 2 ans [Moore'75]. La courbe verte de la Figure I.1 illustre la justesse de cette loi.

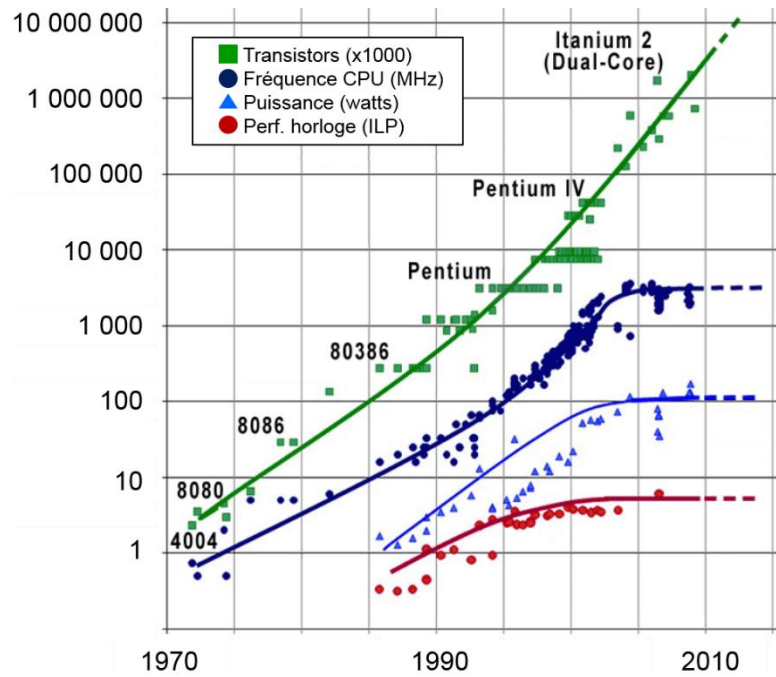


Figure I.1. Évolution du nombre de transistors dans les processeurs Intel grand public, suivant rigoureusement la loi de Moore révisée en 1975 [Astrosurf].

Cependant, au début des années 2000, l'augmentation des délais d'accès dans les interconnexions acheminant le courant vers les transistors, appelées *back end of line* ou BEOl en anglais (Figure I.2), a commencé à devenir le principal facteur limitant l'amélioration des performances des composants.

En effet, la miniaturisation des transistors, ainsi que le désir de connecter des circuits de natures différentes au sein d'une même puce ont entraîné une densification et une augmentation importante des longueurs d'interconnexions. À cela s'est ajoutée l'amplification d'effets parasites autrefois négligeables, tel que le couplage entre les interconnexions. La conséquence de cette tendance a été une augmentation des délais de transmission de l'information à partir du nœud 350 nm, ce qui a dégradé les performances globales des circuits à partir du nœud 180 nm, comme indiqué dans la Figure I.3.

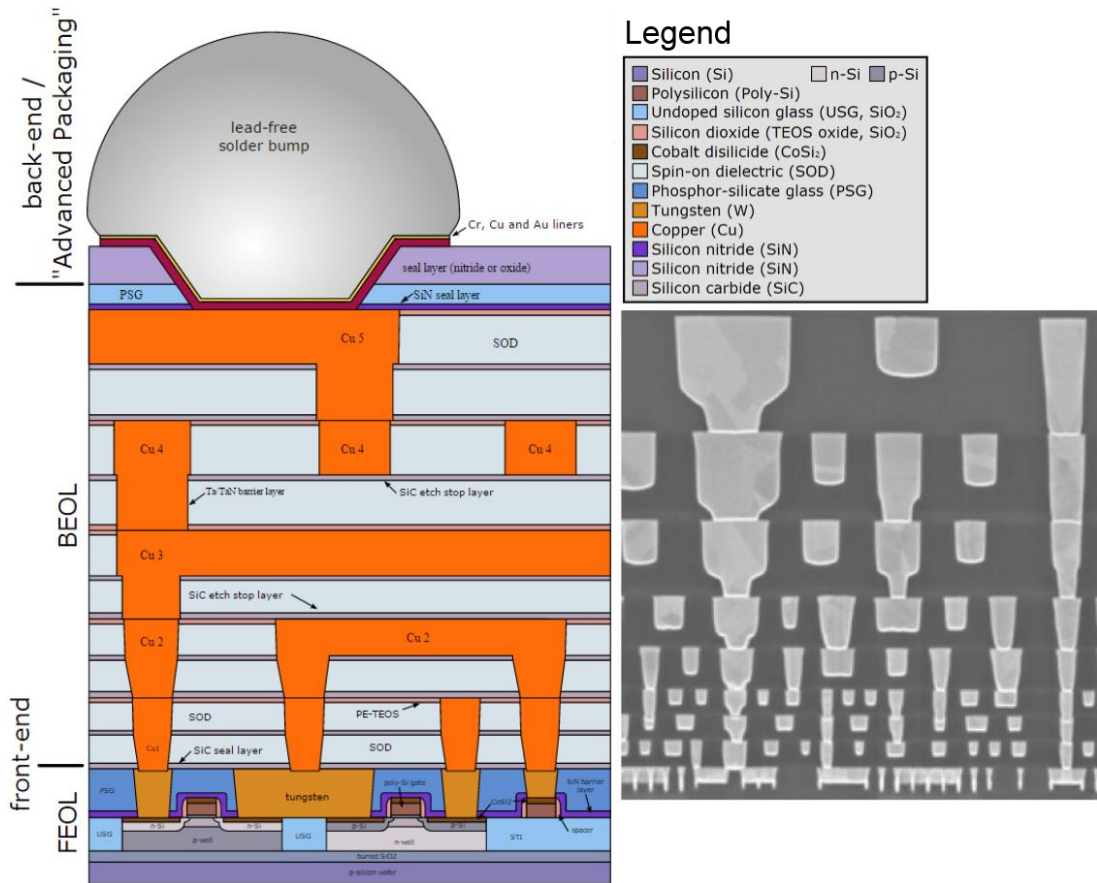


Figure I.2. Représentation schématique et image au microscope électronique à balayage d'un circuit logique composé des transistors (*front end of line – FEOl*) et des interconnexions en cuivre au-dessus (*back end of line – BEoL*) [Wikipedia, Realworldtech].

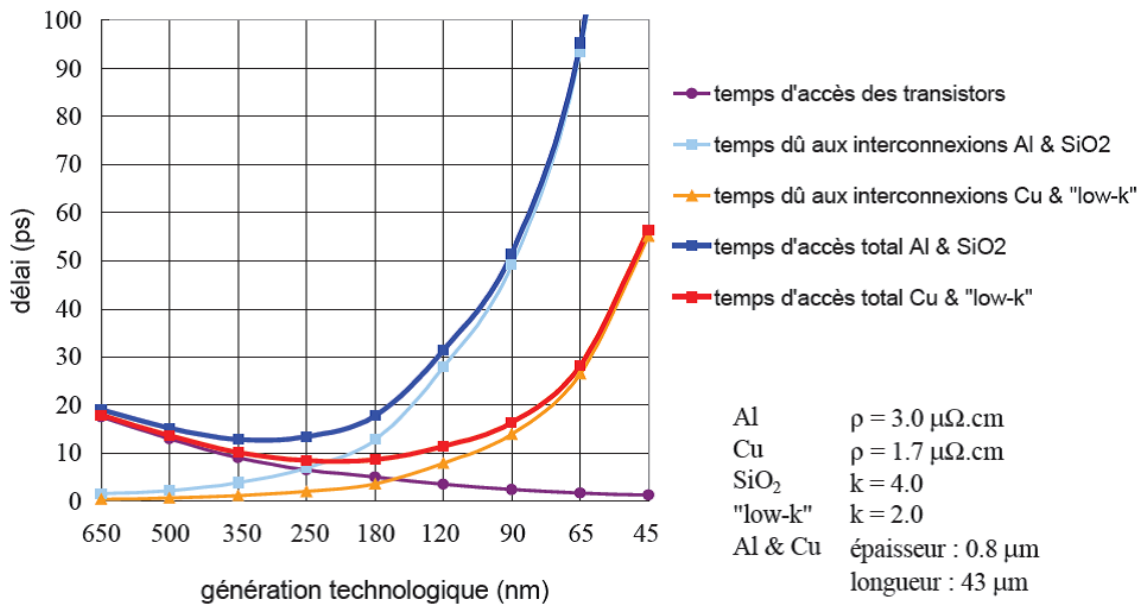


Figure I.3. Évolution des délais d'accès des transistors et des interconnexions en fonction du nœud technologique. À partir de la génération 250 nm, la somme des deux augmente rapidement du fait de la longueur des interconnexions, dégradant ainsi les performances des composants [Bohr'95].

Afin de mieux comprendre la contribution de la longueur et de la densité des interconnexions dans l'augmentation des délais d'accès, considérons deux lignes de cuivre de résistance R et de capacité C , au sein d'un diélectrique de permittivité relative ϵ_r et séparées d'une distance L_s . Le temps de propagation d'un signal est alors caractérisé par le produit RC , qui s'écrit

$$RC = \rho_{Cu} \frac{L}{wh} \epsilon_0 \epsilon_r \frac{Lh}{s} \quad (1)$$

où ρ_{Cu} est la résistivité des lignes en cuivre, L leur longueur, w leur largeur, h leur épaisseur, s la distance les séparant et ϵ_0 la permittivité du vide (Figure I.4). Dans ce cas, l'augmentation des délais est directement liée à l'augmentation de la longueur L des interconnexions et la diminution de leur espacement s et de leur largeur w , induite par leur densification.

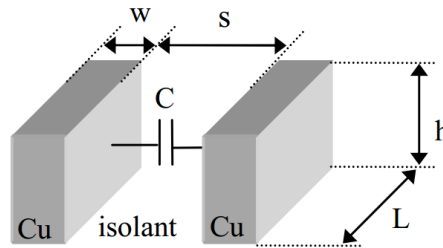


Figure I.4. Illustration du phénomène de couplage entre deux lignes métalliques.

Il n'est dorénavant plus possible d'ignorer ces délais et l'augmentation des performances des dispositifs ne peut plus passer uniquement par la miniaturisation des transistors. Il est donc nécessaire de diminuer le temps de propagation de l'information dans les interconnexions afin de réduire non seulement les effets de couplage, mais aussi le bruit et la dissipation de puissance dans le circuit [Plansky'03].

C'est en 1997 qu'IBM remplaça pour la première fois l'aluminium des interconnexions par du cuivre dans le but de réduire leur résistance R . Cette évolution importante a permis de réaliser des processeurs plus rapides, plus petits et moins chers. De nos jours, une autre solution consiste à réduire la permittivité diélectrique ϵ_r des isolants dans lesquelles se trouvent les interconnexions. Cela explique la démocratisation de l'utilisation de certains matériaux poreux, tel que le SiOCH possédant une permittivité relative de 3, dans le but de diminuer la capacité totale [Gosset'05, Hoofman'06, Gras'08].

D'autres solutions sont en perpétuel développement, à l'instar des répéteurs, ces composants actifs intégrés aux circuits pour réduire la résistance des lignes. Cependant, du fait de leur grande taille, l'utilisation de répéteurs devient incompatible avec la miniaturisation constante des dispositifs. D'une manière générale, ces solutions ne

constituent au mieux que des optimisations intéressantes, mais en aucun cas des réponses viables à long terme. Il est donc nécessaire de se tourner vers des approches et des architectures de rupture susceptibles de réduire significativement la longueur et la complexité des interconnexions.

I.1.1.2 Fiabilité des interconnexions

La miniaturisation intensive des circuits induit une augmentation des contraintes thermiques, électriques et mécaniques subies par les lignes de cuivre. Ces facteurs impactent directement la durée de vie des dispositifs, avec en première cause de défaillance le phénomène d'électromigration [Wang'01]. Ce dernier se traduit par le déplacement d'atomes de cuivre au sein de la ligne sous l'effet du passage du courant, induisant la formation de cavités jusqu'à la rupture électrique de la ligne. Nous détaillerons plus avant ce phénomène dans le chapitre II.

L'électromigration est d'autant plus importante que la densité de courant transportée par les interconnexions est grande. Or la miniaturisation des transistors entraîne la réduction des dimensions des premiers niveaux de métallisation, ce qui aboutit à une augmentation de la densité de courant au fil des générations de circuits.

Jusqu'à présent l'amélioration et l'optimisation des procédés de fabrication ont permis d'atteindre les spécifications requises en termes de fiabilité. Cependant, cela devient de plus en plus difficile et coûteux pour les nouveaux nœuds technologiques. Par conséquent, le développement de nouvelles méthodes d'intégration et de procédés de fabrication pour les interconnexions a pour objectifs d'améliorer à la fois la vitesse de propagation du signal et la fiabilité des dispositifs.

I.1.1.3 Évolution des techniques de mise en boîtier

Nous venons de voir que de nombreux défis technologiques sont à relever si nous voulons continuer sur la voie de la miniaturisation et de la diversification de fonctionnalités. Les techniques d'intégration sont en constante évolution pour répondre au mieux à ces besoins tout en augmentant les performances des systèmes électroniques.

Ainsi, l'augmentation des applications utilisant des composants à fonctions multiples a fait apparaître deux grands types d'architectures complexes : Les *system-on-chip* (SoC) et les *system-in-package* (SiP). Ces deux approches sont radicalement différentes et répondent à des besoins distincts bien définis. La première joue sur la densification des fonctionnalités, tandis que l'autre s'oriente vers leur diversification, aussi appelée intégration hétérogène. Les deux sous-parties ci-dessous sont consacrées à la description de ces deux types d'intégration ainsi qu'à l'énumération de leurs avantages et inconvénients principaux.

❖ **System on Chip (SoC)**

Tandis que les systèmes électroniques traditionnels sont composés d'un assemblage de plusieurs puces aux fonctionnalités différentes, les *system-on-chip* (SoC) sont conçus pour embarquer sur une même puce de nombreuses fonctionnalités différentes, fabriquées de manière collective (CMOS, analogique, radiofréquence...). De par leur compacité, les SoC sont d'excellents candidats aux applications nomades comme les téléphones intelligents, les GPS ou les tablettes (Figure I.5). Toutefois, ils sont aussi utilisés pour des appareils domestiques, tels que le matériel électroménager, la télévision ou l'ordinateur.

Dans le but de rester compétitifs, les SoC doivent intégrer toujours plus de fonctionnalités différentes au sein d'une même puce. Cependant, plus le nœud technologique est avancé et l'architecture complexe, plus il faut produire de puces pour que cette technologie reste rentable. Or, le rendement de fabrication peut être pénalisé par la grande taille des puces. Aussi, l'augmentation des fonctions sur une même surface, couplée à la densification des transistors et des interconnexions induisent des problèmes de performances et de fiabilité.

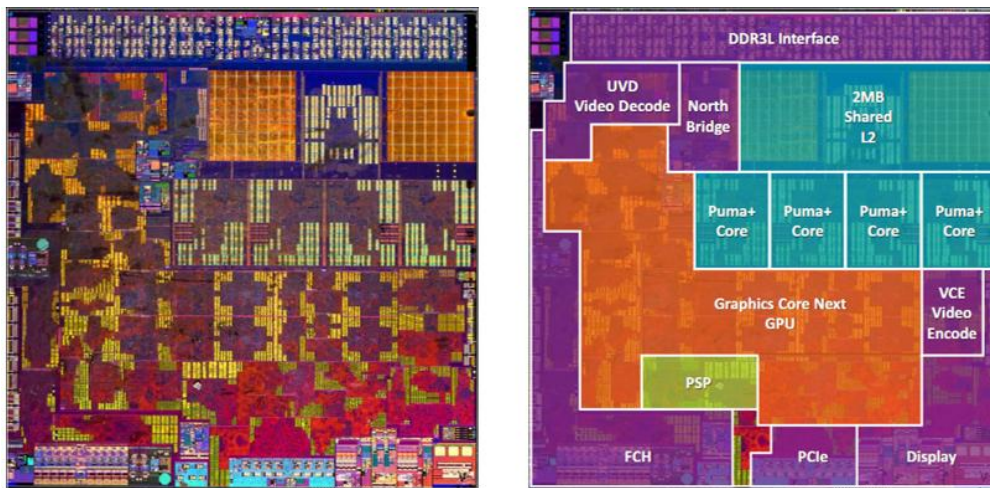


Figure I.5. Cartographie du SoC *Mullins* développé par AMD et destiné à être utilisé dans les tablettes.

❖ **System in Package (SiP)**

Le *system-in-package* (SiP), aussi appelé *multi-chip module*, est constitué de plusieurs puces provenant de technologies parfois très différentes, intégrées au sein d'un même boîtier. La connexion entre les puces peut être faite à l'aide de fils métalliques externes ou de microbilles (Figure I.6).

L'avantage principal des SiP est de pouvoir interconnecter de nombreuses puces différentes dans le but d'obtenir un dispositif aux multiples fonctions. À titre d'exemple, il est possible de trouver un processeur, des microsystèmes électromécaniques (MEMS), des batteries, des mémoires ou encore des composants radiofréquence au sein d'un même

dispositif. Cette grande diversité de technologies serait impossible à atteindre via une fabrication collective de type SoC. De cette manière, les dispositifs offrent une haute densité d'intégration tout en simplifiant la conception individuelle de chaque puce, ce qui permet d'avoir un temps de mise sur le marché plus court.

Malgré son faible coût et sa relative simplicité de fabrication, la technique de connexion filaire constitue un obstacle à la miniaturisation et à l'augmentation des performances. En effet, les plots de contact les accueillant occupent une surface considérable autour de la puce, à tel point que certaines architectures voient leur taille limitée par la place des fils. De plus, des effets parasites et des problèmes de fiabilité apparaissent à haute fréquence.

La technique dite *flip chip*, évolution directe de la connexion filaire, a été développée pour s'affranchir de ces problèmes. Elle consiste à établir la connexion avec la matrice de billes (*ball grid array* – BGA) chargée de communiquer avec le monde extérieur à l'aide d'une série de billes métalliques situées sous la puce. Cette architecture permet de réduire la taille des puces et les coûts de fabrication tout en augmentant les performances et la fiabilité. Cependant, contrairement au système de connexion par fils, il est impossible d'empiler et de connecter les puces avec la technique *flip chip*.

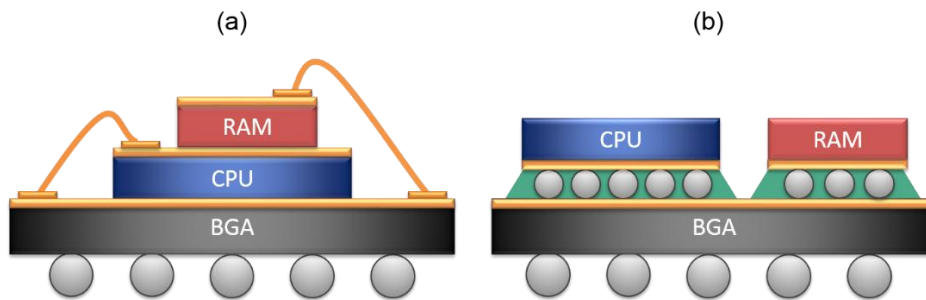
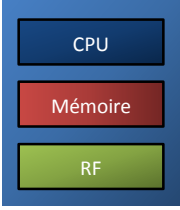
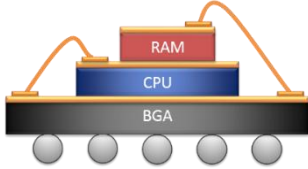
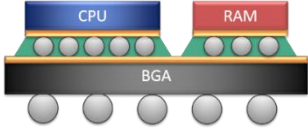


Figure I.6. Exemples de *system-in-package* utilisant (a) des connexions par fils ou (b) des microbilles pour relier la puce au boîtier.

Le choix d'utilisation du *system-on-chip* ou du *system-in-package* est directement lié au type d'application visé et à la vitesse à laquelle le produit doit être mis sur le marché. Ainsi, ces deux intégrations matérialisent les deux grandes approches empruntées ces dernières années par l'industrie de la microélectronique, à savoir la poursuite de la miniaturisation ("*more-Moore*", SoC) ou la diversification des fonctionnalités au sein d'un même boîtier ("*more-than-Moore*", SiP). Le Tableau I.1 résume les informations principales caractérisant les SoC et les SiP.

Cependant, il existe dorénavant une troisième voie qui consiste à combiner les avantages des intégrations SoC et SiP en empilant les puces les unes sur les autres et en les reliant entre elles à l'aide de connexions verticales. Nous allons décrire dans la partie suivante cette méthode révolutionnaire de fabrication des dispositifs électroniques, appelée intégration 3D.

Tableau I.1. Comparaison des caractéristiques associées aux *system-on-chip* et *system-in-package*.

Type de circuit	SoC	SiP	
Principe	(Vue de	(Vue de côté)	(Vue de côté)
		Connexion filaire 	Microbilles 
Intégration hétérogène	Non	Oui (2D ou 3D)	Oui (2D)
Temps sur le marché	Lent	Rapide	Rapide
Coût faible quantité	Moyenne	Élevé	Élevé
Coût grosse quantité	Élevé	Faible	Faible
Performances	Bonnes	Mauvaises	Standards

I.1.2 L'intégration 3D : une technologie de rupture

Comme nous venons de le voir, les problèmes liés à la taille des transistors et au type d'intégration limitent significativement les bénéfices de la miniaturisation sur l'amélioration des performances des circuits intégrés. Il devient donc nécessaire de changer de paradigme afin de continuer à suivre, voire même de dépasser la loi de Moore.

Dans ce cadre, l'avènement de l'intégration 3D, à mi-chemin entre le SoC et le SiP (Figure I.7), apparaît comme une solution prometteuse à la densification des transistors et à la diversification des fonctionnalités [Garrou'12]. Ce concept permet en effet d'augmenter les performances des circuits sans faire usage de la miniaturisation des composants (*more-Moore*), tout en augmentant la diversité des fonctionnalités à l'aide d'assemblages de puces hétérogènes (*more-than-Moore*).

Nous allons aborder dans cette partie le principe général de l'intégration 3D des puces électroniques, les avantages principaux de cette approche ainsi que quelques exemples d'applications.

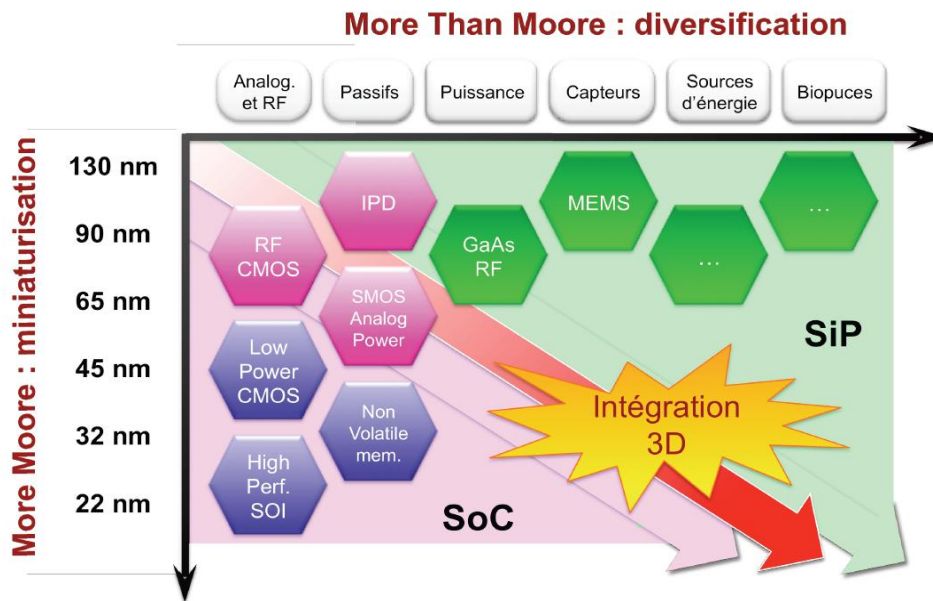


Figure I.7. Position de l'intégration 3D par rapport aux approches SoC et SiP [Yole'08].

I.1.2.1 Principe général

L'intégration 3D consiste à empiler plusieurs composants, pouvant provenir de technologies différentes, puis à les interconnecter verticalement à l'aide de lignes de cuivre les traversant entièrement. Cette configuration de connexion verticale est communément appelée TSV, pour *through silicon via* en anglais.

Bien qu'il existe de nombreuses façons de réaliser les dispositifs tridimensionnels, certaines briques technologiques doivent être maîtrisées dans tous les cas pour assurer la réussite de la fabrication au niveau de la plaque, comme indiqué dans la Figure I.8.

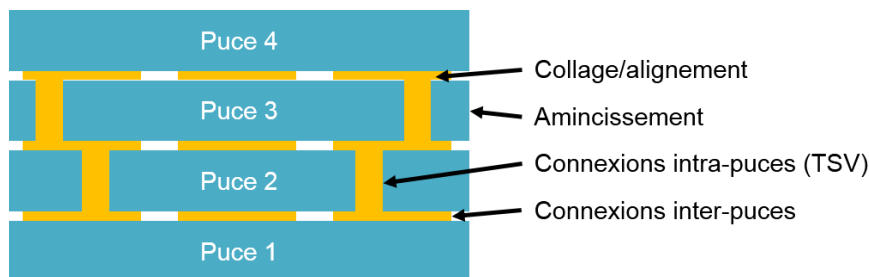


Figure I.8. Représentation schématique d'un empilement 3D avec les briques technologiques à maîtriser pour la réussite de la fabrication.

- Le procédé de collage :** Les liaisons mécaniques et électriques entre les puces s'établissent de manière simultanée grâce à des procédés de collage. Les trois techniques principalement étudiées actuellement sont le collage adhésif [Ko'12b], le collage eutectique par thermocompression [Tan'11, Taluy'11] et le collage direct [Gueguen'09, Di Cioccio'11]. Les performances et la fiabilité sont directement dépendantes de la qualité de collage, d'où l'importance de maîtriser cet aspect.

- **L'alignement** : L'alignement entre les substrats est essentiel au bon fonctionnement des circuits, particulièrement dans le cas d'une haute densité d'interconnexions. Les dimensions des structures de connexions étant de l'ordre du micromètre, la précision d'alignement doit être du même ordre de grandeur.
- **L'amincissement** : Dans le but de réduire l'encombrement final des dispositifs et la longueur des interconnexions verticales (TSV), les substrats doivent être amincis, avant ou après l'empilement. Dans ce dernier cas, le collage doit être suffisamment robuste pour supporter un amincissement pouvant aller jusqu'à 5 μm .
- **La réalisation des TSV** : Comme décrit précédemment, les puces sont connectées entre elles à l'aide de lignes de cuivre traversant verticalement la totalité de leur épaisseur. La fabrication de telles interconnexions doit être maîtrisée et optimisée, sans quoi l'intégration 3D des puces ne peut être effectuée.

I.1.2.2 Atouts de l'intégration 3D

Une architecture tridimensionnelle offre de nombreux avantages liés à sa géométrie verticale. Le premier concerne l'amélioration des performances des circuits grâce à l'optimisation des longueurs d'interconnexions.

En effet, comme illustré dans la Figure I.9, la distance entre deux points d'accès peut être considérablement réduite par rapport à une intégration 2D traditionnelle. Cela constitue un avantage très important dans le contexte des problèmes de délais de transmission de l'information décrit plus tôt.

Davis *et al.* [Davis'05] ont par exemple montré qu'il était possible de réduire de 42 % la longueur des interconnexions en l'absence de TSV. Une autre étude prenant en compte les TSV indique que la réduction globale des lignes de cuivre pourrait s'élever à 30 % [Zhang'01].

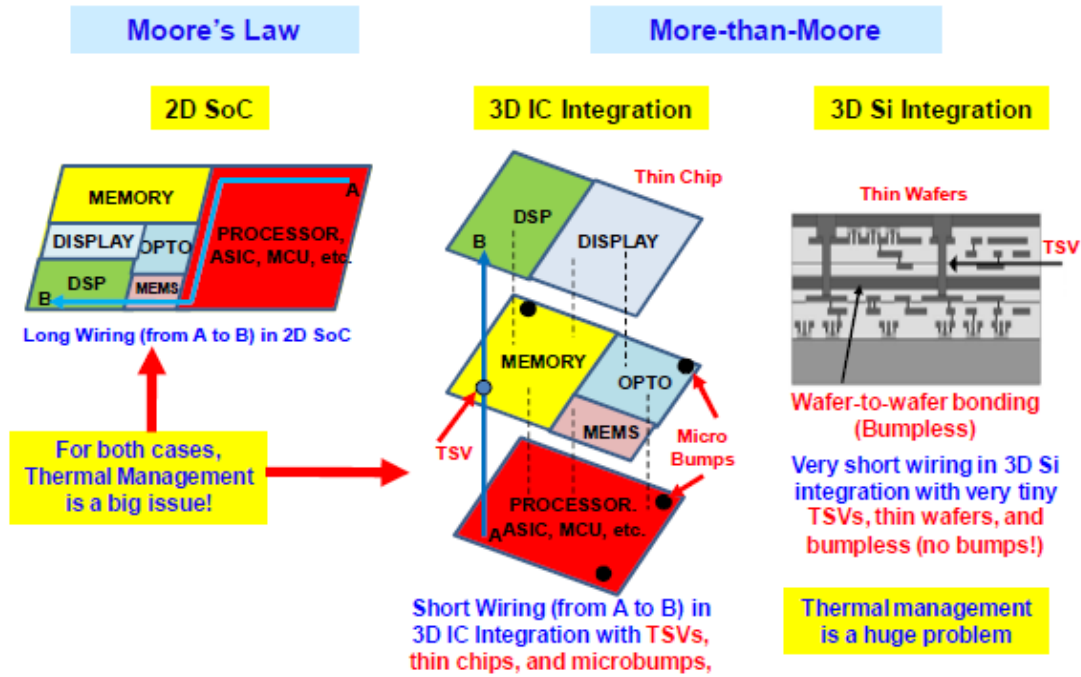


Figure I.9. Comparaison entre les intégrations suivant la loi de Moore et celles dites *more-than-Moore*, intégrant les interconnexions de type TSV [Lau'10].

Un des autres avantages de l'intégration 3D est la possibilité d'assembler des puces issues de technologies très différentes, comme illustré dans la Figure I.10. L'architecture hétérogène ainsi obtenue s'apparente à une extension verticale de l'approche SiP, possédant toutefois une densité d'interconnexions beaucoup plus élevée. De plus, l'augmentation de la compacité résultant de l'empilement des puces se traduit par une augmentation de la densité de structures actives et une augmentation des performances grâce à la communication par TSV. Par conséquent, l'intégration 3D permet de fabriquer des dispositifs bénéficiant de plus de fonctionnalités qu'un SiP, tout en offrant une vitesse et des débits de transferts d'informations plus importants qu'une architecture SoC. Nous allons voir dans la prochaine partie que de nombreuses applications peuvent bénéficier de ces avantages.

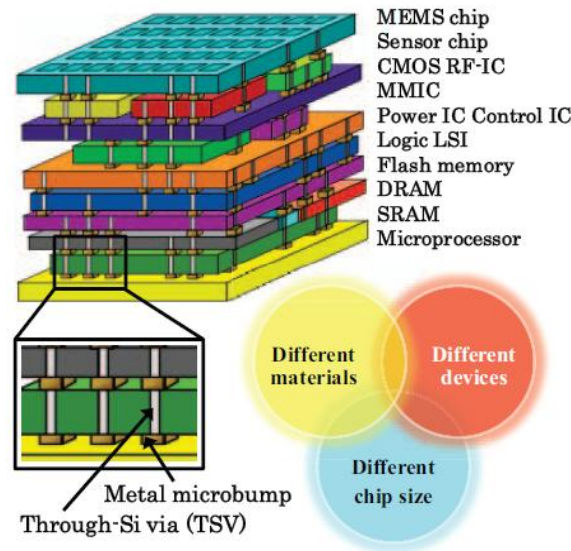


Figure I.10. Exemple d'architecture 3D ultime intégrant de nombreuses technologies différentes, connectées par des TSV [Fukushima'10].

I.1.2.3 Un large domaine d'applications

L'augmentation des performances, la diversité des fonctionnalités et la miniaturisation sont les moteurs principaux du développement de l'intégration 3D. Depuis quelques années, un nombre toujours plus important de laboratoires s'attelle à caractériser les performances et la fiabilité de dispositifs 3D fonctionnels réalisés selon différentes techniques de collage. Par ailleurs, certains appareils mobiles ou professionnels disposent déjà de composants 3D tels que des blocs mémoire RAM ou des unités de calcul. Dans le futur, les champs d'applications n'auront de cesse de se diversifier, notamment dans les secteurs demandant une haute densité d'intégration et des performances supérieures à celles des circuits 2D actuels.

Dans cette partie, quatre exemples d'applications bénéficiant largement des avantages offerts par l'intégration 3D sont présentés. Nous pouvons commencer par le secteur des capteurs d'images, aussi appelés imageurs, destinés à être utilisés dans les appareils mobiles. En 2013, Sony a commercialisé un imageur 3D composé d'une matrice de pixels reportée sur un circuit logique par collage direct $\text{SiO}_2/\text{SiO}_2$ [Sukegawa'13]. La proximité directe des pixels avec le circuit chargé du traitement du signal permet d'obtenir des images de meilleure qualité. Comme nous pouvons le voir dans la Figure I.11, les deux niveaux sont connectés à l'aide de TSV en cuivre de hauteur variable. Une évolution directe de cette architecture consisterait à réaliser la connexion électrique directement au niveau de l'interface de collage, grâce à des surfaces mixtes Cu- SiO_2 ou Cu-adhésif par exemple.

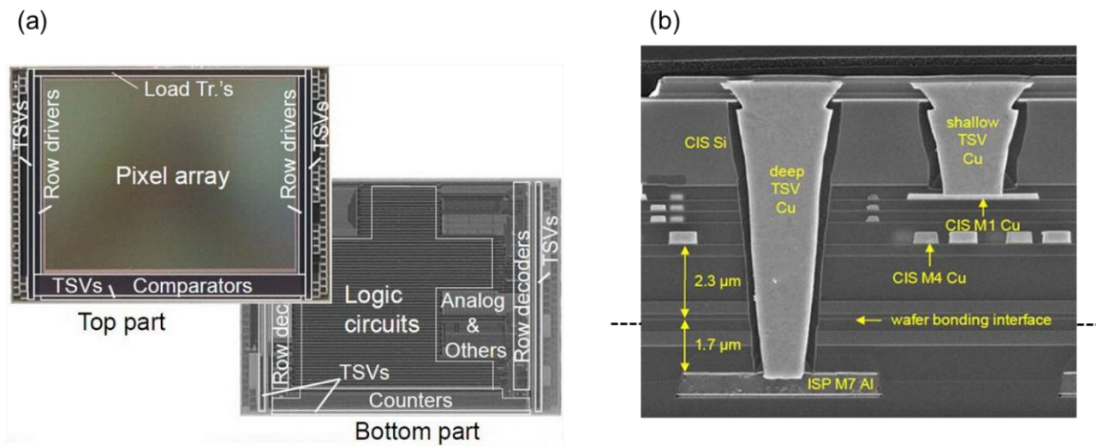


Figure I.11. (a) Photographie du niveau de détection destiné à être reporté sur le niveau chargé de traiter l'information captée par les pixels. (b) Image en coupe de l'empilement final, réalisée par microscopie électronique à balayage. Nous pouvons y voir l'interface de collage $\text{SiO}_2/\text{SiO}_2$ ainsi que les TSV permettant de connecter le niveau supérieur au niveau inférieur [Sukegawa'13].

Un autre secteur bénéficiant largement des possibilités d'optimisation offertes par l'intégration 3D est celui des unités de calcul à hautes performances. Ainsi, en 2011, STMicroelectronics et le CEA-Léti ont démontré la faisabilité d'empiler une puce numérique sur une puce analogique, à l'aide de piliers de cuivre et de TSV assurant les connexions inter-puce et intra-puce respectivement [Druais'11] (Figure I.12). Cette architecture est particulièrement intéressante d'un point de vue conception et financièrement. Dans un contexte où les nœuds CMOS avancés coûtent de plus en plus cher, il est impératif de fabriquer le plus grand nombre de puces possible sur une même plaque pour rester compétitif. Or, dans le cadre d'un SoC, les parties analogiques des circuits ne suivent pas la même cadence de miniaturisation que les puces numériques et prennent donc plus de place. L'intégration 3D permet de fabriquer les parties CMOS et analogiques séparément, dans leur nœud technologique respectif, et de les connecter par la suite. Cela conduit à une réduction des coûts de production de chaque niveau et une augmentation du nombre d'interconnexions.

En 2012, STMicroelectronics et le CEA-Léti sont parvenus à empiler et connecter une puce mémoire sur un SoC dans le respect du standard "wide IO" (Figure I.13) [Coudrain'12]. Ce dernier a été créé par Samsung dans le but de faciliter la conception et la programmation des dispositifs à l'échelle mondiale. Cette architecture 3D mémoire-sur-logique, compatible avec les standards commerciaux, offre un débit de communication entre les puces accru pour une consommation moindre.

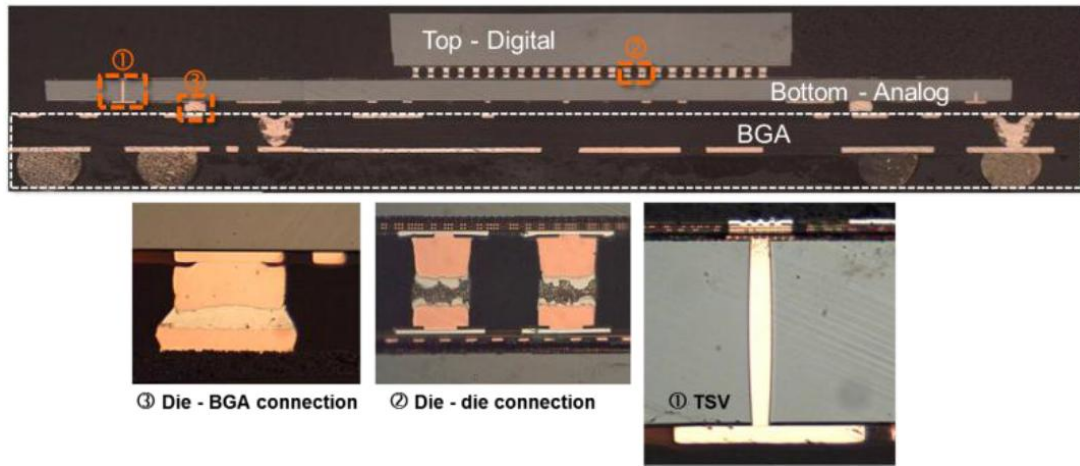


Figure I.12. Démonstration d'un circuit 3D composé d'une puce numérique sur une puce analogique [Druais'11].

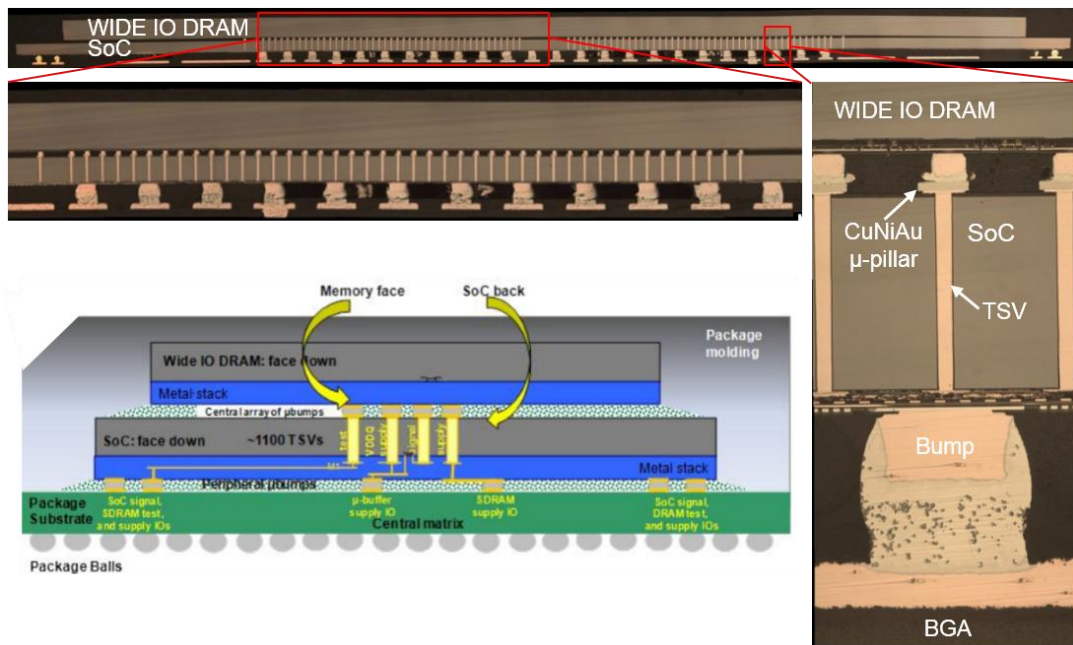


Figure I.13. Démonstration d'un circuit 3D composé d'une puce mémoire sur une puce logique suivant le standard wide IO [Coudrain'12].

En dernier lieu nous pouvons citer un exemple d'application concernant le secteur de la photonique. STMicroelectronics et Luxtera sont en effet parvenus à réaliser un dispositif optoélectronique intégrant un interposer dit photonique (PIC) [Bœuf'13]. Comme visible dans la Figure I.14, ce dernier est en charge des conversions lumière-signal et signal-lumière afin de faire communiquer la fibre optique avec le circuit électronique intégré. A l'instar des autres applications, attribuer un rôle spécifique à chaque puce permet d'optimiser les performances du dispositif global et de réduire les coûts de fabrication.

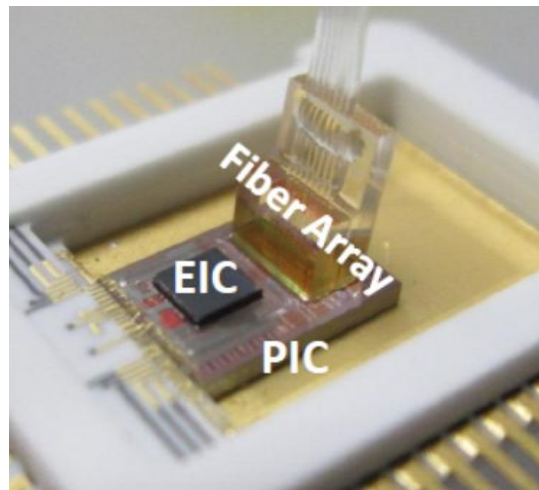


Figure I.14. Photographie d'un interposer photonique assurant la communication entre la fibre optique, le EIC (circuit électronique intégré) et le PIC (circuit photonique intégré) [Bœuf'13].

Comme nous pouvons le constater, le développement de l'intégration 3D est guidé par les applications hautes performances ayant besoin de larges bandes passantes, d'une haute densité de transistors et d'une grande diversité de fonctionnalités. Cette évolution des circuits n'en est qu'à son balbutiement, comme l'indique la feuille de route établie par Yole Développement [Yole'13] dans la Figure I.15. Il y apparaît clairement que le développement des solutions 3D pour chaque type d'application mène à terme à la réalisation d'un dispositif hétérogène ultime, combinant réellement et pour la première fois hautes performances et grande diversité des fonctions.

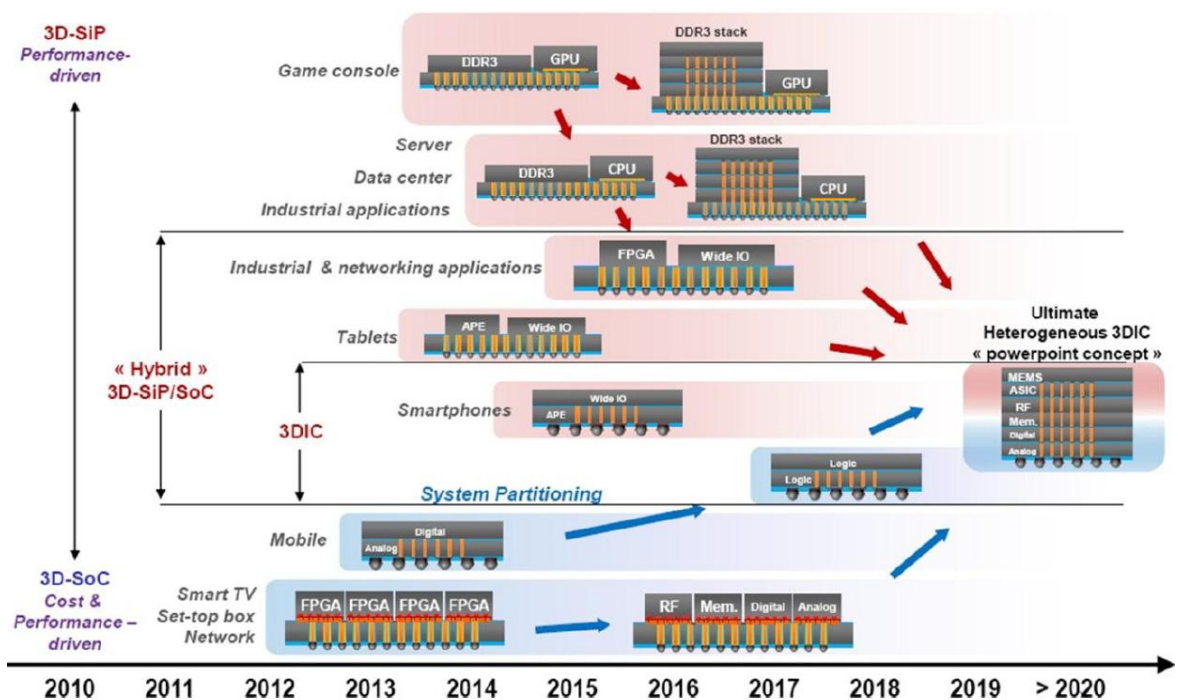


Figure I.15. Feuille de route de l'intégration 3D [Yole'13].

I.2 Les techniques d'intégration 3D

À chaque application 3D correspond des techniques d'intégration spécifiques. Dans cette partie, nous allons d'abord nous intéresser aux options d'intégration incluant la méthode d'empilement des substrats et leur orientation. Dans un deuxième temps, les différents types de collage et de connexions inter-puce seront comparés dans le cadre des applications à hautes performances. Dans chaque partie, nous prendrons soin de présenter les avantages et inconvénients des différentes techniques.

I.2.1 Les options d'intégration

Lorsqu'il s'agit de faire un choix quant à la méthode d'empilement à utiliser, l'orientation des puces ou les structures d'interconnexion, c'est en général l'application visée et les quantités de puces à produire qui sont déterminantes. En effet, il existe une multitude de stratégies d'empilement qui présentent chacune leurs avantages dans les domaines tels que le débit de production, les performances ou l'hétérogénéité technologique. Cette partie se focalise sur ces techniques et leurs caractéristiques.

I.2.1.1 Plaque-à-plaque vs puce-à-plaque

Dans le but de fabriquer un composant 3D, il existe trois méthodes différentes pour empiler les substrats, appelées plaque-à-plaque (*wafer-to-wafer* – WtW), puce-à-plaque (*chip-to-wafer* – CtW) et puce-à-puce (*chip-to-chip* – CtC). La Figure I.16 illustre ces trois processus d'empilement, débutant chacun à partir de deux plaques entières.

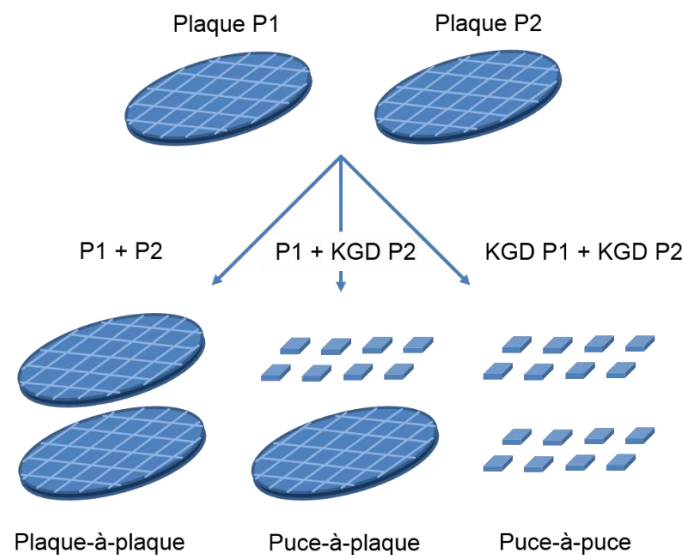


Figure I.16. Schéma représentatif des trois types d'empilement plaque-à-plaque, puce-à-plaque et puce-à-puce. Dans les deux derniers cas, seules des puces fonctionnelles sont reportées (*kown good dies* – KGD).

À l'heure actuelle, le collage plaque-à-plaque offre le débit de fabrication le plus important grâce à son aspect collectif. Cependant, les puces doivent être de même taille, ce qui limite la versatilité de cette méthode. De plus, comme indiqué dans la Figure I.17, le rendement de fabrication du collage plaque-à-plaque est beaucoup plus faible que le rendement offert par les techniques de collage de puces.

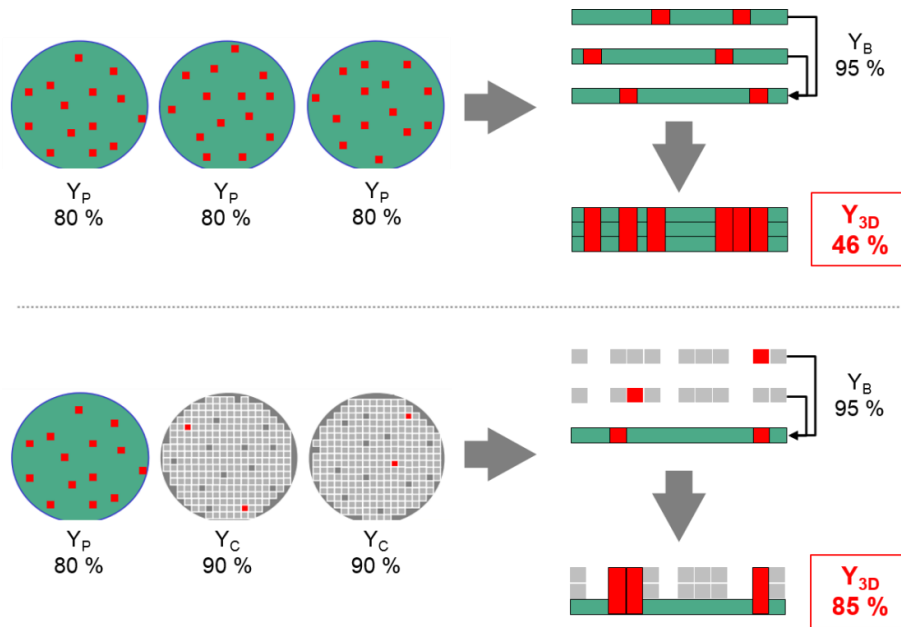


Figure I.17. Exemples de différences de rendements entre un empilement plaque-à-plaque et puce-à-plaque. En rouge sont représentées les puces non fonctionnelles. [Yole'08]

Le rendement de fabrication plaque-à-plaque est principalement impacté par la plaque ayant le plus faible taux de fonctionnement et le rendement de collage. Le rendement total Y_{3D-wtW} de l'empilement de $n = 3$ plaques réalisé par collage plaque-à-plaque peut être calculé selon

$$Y_{3D-wtW} = Y_P^n \cdot Y_B^{n-1} \quad (2)$$

où Y_P est le rendement de fabrication des plaques, Y_B le rendement de collage et n le nombre de plaques. Ainsi, avec un rendement de fabrication de plaque de 80 % et un rendement de collage de 95 %, le rendement total Y_{3D-wtW} de puces fonctionnelles est de seulement 46 %.

Les méthodes d'empilement dites puce-à-plaque et puce-à-puce permettent d'augmenter de façon significative le rendement car seules les puces fonctionnelles sont reportées (méthode *know good dies* – KGD). Le rendement total Y_{3D-clW} de l'empilement de $n = 3$ strates réalisé par collage puce-à-plaque peut être calculé selon

$$Y_{3D-ctW} = (1 - (1 - Y_P) \cdot (1 - Y_C))^n \cdot Y_B^{n-1} \quad (3)$$

où Y_C est le rendement de fabrication des puces. Dans le cas d'un rendement de fabrication de plaque de 80 %, d'un rendement de fabrication de puce de 90 % et d'un rendement de collage de 95 %, le rendement total Y_{3D-ctW} s'élève alors à 85 %.

Les techniques de collage utilisant des puces présentent aussi l'avantage de pouvoir empiler des puces de tailles et de technologies très différentes. Or, comme nous l'avons vu dans la partie précédente, les composants 3D hétérogènes constituent un objectif ultime à long terme. Pour cette raison, les techniques de collage puce-à-plaque et puce-à-puce sont considérées comme les plus prometteuses et intéressantes à long terme.

Cependant, les débits de fabrication sont encore trop faibles pour que ces techniques puissent être utilisées massivement par l'industrie. Les puces sont en effet reportées une par une, et la rapidité des équipements actuels est inversement proportionnelle à leur précision d'alignement. Dans le cadre de cette thèse, les collages puce-à-plaque ont été effectués à l'aide de l'équipement *FC300* du CEA-Léti fabriqué par *SET*, permettant de coller une puce toutes les deux minutes avec une précision sub-micrométrique.

Le Tableau I.2 donne un résumé des avantages et inconvénients des méthodes de collage plaque-à-plaque et puce-à-plaque/puce-à-puce.

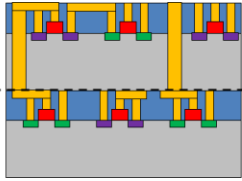
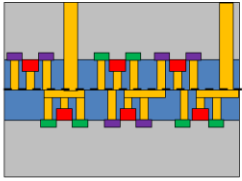
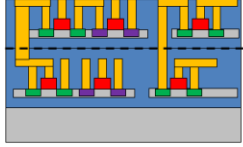
Tableau I.2. Récapitulatif des avantages et inconvénients principaux liés aux procédés de collage plaque-à-plaque et puce-à-plaque/puce-à-puce [Yole'08]

	Plaque-à-plaque	Puce-à-plaque/Puce-à-puce
Avantages	<ul style="list-style-type: none"> ▪ Les plaques supérieures et inférieures peuvent être facilement alignées, et être fabriquées avec le même masque. ▪ Haut débit de fabrication, indépendamment de la taille des puces/plaques. ▪ Cycle de fabrication court. ▪ Possibilité d'amincir à quelques micromètres, permettant d'avoir des vias plus courts. ▪ Toute la chaîne de fabrication peut être prise en charge par une seule entreprise. 	<ul style="list-style-type: none"> ▪ Seules les puces fonctionnelles sont reportées, résultant en un plus haut rendement de fabrication. ▪ Des puces de technologies, de tailles ou de formes très différentes peuvent être combinées. ▪ Possibilité d'intégration de différents types de substrats (Si, GaAs). ▪ Possibilité de travailler avec plus d'acteurs de l'industrie pour l'approvisionnement des différentes puces.
Inconvénients	<ul style="list-style-type: none"> ▪ Seules les puces de même taille peuvent être empilées (ex : puces RAM) : contraintes sur la conception. ▪ Plus faible rendement de fabrication par rapport au collage puce-à-plaque : le rendement total dépend de la plaque ayant le moins bon rendement. ▪ Les plaques supérieures et inférieures doivent avoir des coefficients de dilatation thermique similaires. ▪ Les puces ayant les mêmes dimensions, la connexion par fil est impossible. ▪ Prérequis exigeants quant à la topographie de surface. 	<ul style="list-style-type: none"> ▪ Manque de flexibilité et d'autonomie. ▪ Débit de fabrication très dépendant du nombre de puces et de la précision d'alignement : moins compétitif que le collage plaque-à-plaque dans les cas de hautes densités de puces et sur plaques 300 mm. ▪ Plus de manipulations requises : préhension et positionnement des puces, collage par retournement : temps de fabrication très long pour des hautes précisions d'alignement (~2 min /puce pour une précision < 1 μm).

I.2.1.2 Influence de l'orientation des substrats

L'orientation de différentes strates des niveaux supérieurs par rapport au substrat de base constitue un des points essentiels d'une architecture 3D. Si l'on considère l'empilement de deux puces actives, le niveau CMOS de la puce supérieure peut soit tourner le dos à celui de la puce inférieure (*face-to-back*), soit lui faire face (*face-to-face*). Une variante de l'option *face-to-back*, s'apparentant à l'intégration 3D monolithique [Batude'11], permet d'atteindre une densité de transistors très élevée sur une même puce. Le procédé consiste à reporter un deuxième niveau CMOS, fabriqué à partir d'un substrat silicium-sur-isolant (*silicon-on-insulator* – SOI), sur celui du substrat d'accueil. Le Tableau I.3 regroupe les caractéristiques principales de ces trois options d'intégration.

Tableau I.3. Comparaison des caractéristiques des différentes architectures et orientation des substrats.

Schéma d'intégration			
Orientation	Face-to-back	Face-to-face	À base de SOI
Distance entre tous les composants	Grande	Moyenne	Faible
Poignée temporaire	Oui	Non	Oui
Alignement requis	Relaxé	Quelques micromètres et submicronique	Submicronique
Pas d'espacement (TSV)	20 – 50 μm	~ 10 μm	$\sim 0,4$ μm
Densité d'interconnexions	Moyenne $\sim 10^5/\text{cm}^2$	Grande $\sim 10^6/\text{cm}^2$	Très grande $\sim 10^8/\text{cm}^2$
Substrat	Si ou SOI	Si ou SOI	SOI seulement
Stratégie de collage	Plaque-à-plaque et puce-à-plaque	Plaque-à-plaque et puce-à-plaque	Plaque-à-plaque seulement
Nombre de niveaux visé	> 2	$= 2$	> 2

Tandis que la troisième option offre la plus grande densité d'interconnexions et de transistors, la nécessité d'avoir une précision d'alignement submicronique et d'utiliser des substrats SOI au prix élevé constitue un obstacle à sa démocratisation.

C'est pourquoi l'approche face-to-face reste une excellente candidate pour satisfaire les besoins des applications à hautes performances en ce qui concerne la densité d'interconnexions. Nous allons maintenant voir dans la prochaine partie quels sont les types d'interconnexions existantes et les techniques de collage associées dans le cadre d'interconnexions à haute densité ($\sim 10^6/\text{cm}^2$).

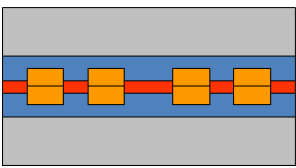
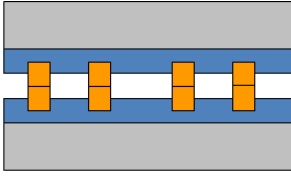
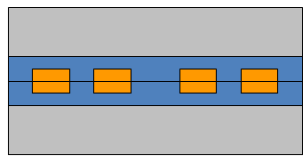
I.2.2 Réalisation d'interconnexions à haute densité par collage

Ce qui détermine le nombre maximal de transistors pouvant être intégrés dans une puce logique, ainsi que la vitesse à laquelle ceux-ci peuvent communiquer avec le reste d'une architecture 3D, est le nombre d'interconnexions entre les différentes puces. Dans ce cadre, la feuille de route de l'ITRS (*international technology roadmap for semiconductors*) prévoit que la densité d'interconnexion visée pour les cinq prochaines années sera supérieure à $10^6/\text{cm}$, du fait de la diminution constante du pas d'espacement des TSV [ITRS'13].

Il est donc nécessaire de travailler à l'augmentation de la densité d'interconnexions en diminuant non seulement la taille mais aussi le pas d'espacement des structures métalliques servant aux connexions inter-puce. Dans le même temps, les technologies de collage doivent voir leur efficacité et leur précision d'alignement s'améliorer afin de garantir des performances électriques et une fiabilité des interconnexions optimales.

Parmi la multitude de méthodes de collage servant à la réalisation des connexions inter-puce au niveau *front-end* (voir Figure I.2), les trois plus étudiées actuellement sont les collages métal-polymère, métal-métal et métal-diélectrique. Le Tableau I.4 ci-dessous regroupe les principales caractéristiques de ces trois différentes techniques.

Tableau I.4. Comparaison des trois principales technologies d'interconnexions par collage [Ko'12a].

	Collage métal-polymère	Collage métal-métal	Collage métal-diélectrique
Technologie			
Acteurs majeurs	WOW Alliance	Tezzaron, Intel, MIT, IMEC	CEA-Léti, STMicroelectronics, Ziptronix
Interfaces et matériaux	Polymère tels que SU-8 et BCB, Cu/Cu, CuSn	Cu/Cu, Alliages eutectiques tels que AuIn, CuSn et InSn	Si/Si, SiO ₂ /SiO ₂ , Cu/Cu
Technique de collage	Thermocompression		Thermocompression ou collage direct
Température de collage	Température ambiante - 350 °C	200 °C – 350 °C	200 °C – 300 °C ou Température ambiante
Prérequis spécifiques	Usage de polymères compatibles avec les procédés de fabrications de la microélectronique	Usage d'alliages binaires ayant un point de fusion bas	Rugosité ~0,5 nm RMS (collage direct) Absence de contamination organique et particulaire
Pas d'espacement démontré	8 µm [Ohyama'14]	6 µm [Shigetou'08, Peng'12]	7 µm [Taibi'11] 2 µm [Enquist'12] 5 µm [Temple'14]

Le collage de surfaces planes mixtes métal-polymère permet d'établir la conduction électrique grâce à des plots de cuivre ou d'alliage CuSn. L'adhésion polymère-polymère tout autour des plots offre une protection à la corrosion ainsi qu'une bonne tolérance aux variations de topologie. Cependant, le polymère peut aussi être la source de problèmes de fiabilité à cause de la formation de cavités aux endroits où la contrainte est la plus forte.

L'approche métal-métal par micro-piliers a quant à elle la particularité de ne pas remplir l'espace entre les plots de collage. Par conséquent, cette configuration est mécaniquement plus faible que la méthode employant du polymère. En revanche, ce volume d'air peut être un atout d'un point de vue thermique, en bloquant ou canalisant la diffusion de la chaleur par exemple. De plus, l'absence de matériau de remplissage autorise une miniaturisation plus poussée des plots de connexion [Peng'12].

Enfin, l'interface métal-diélectrique offre la plus grande robustesse mécanique et la plus grande densité d'interconnexions, du fait que les plots de collage sont réalisés par procédé damascène. Ce dernier, décrit dans la Figure I.18, consiste en une succession d'étapes de gravure, de dépôt et de polissage mécano-chimique (CMP). Dans le cadre de cette architecture, le seul aspect limitant les dimensions latérales des plots, et donc le pas d'espacement des interconnexions, est la précision de la photolithographie et de l'alignement de collage. En revanche, les coefficients de dilatation thermique des matériaux à l'interface de collage doivent être semblables afin d'éviter toute dégradation de type délaminage ou fissure lors de variations importantes de température.

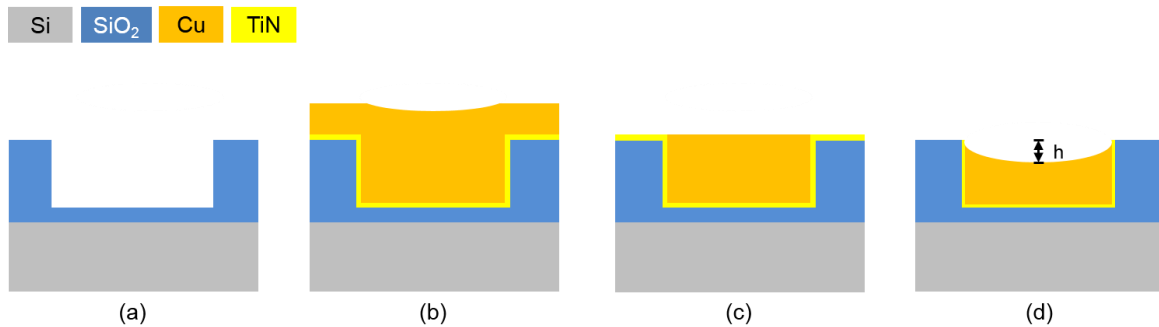


Figure I.18. Représentation schématique du procédé damascène incluant des étapes successives de (a) gravure du diélectrique, (b) dépôt d'une barrière de diffusion et de cuivre, (c) polissage du cuivre jusqu'à la barrière et (d) retrait de la barrière par une nouvelle étape de CMP. Le sur-polissage du cuivre, d'une amplitude maximale h , est dû à la vitesse d'enlèvement supérieure de ce matériau.

Ces trois types de structures sont majoritairement fabriqués à l'aide de la technique de thermocompression. Son principe repose sur l'application simultanée d'une pression de l'ordre du MPa et d'un budget thermique, généralement compris entre 200 et 300 °C, sur la puce à coller. Les principaux mécanismes physiques mis en jeu sont la diffusion

et le fluage du cuivre [Chen'02]. La qualité du collage obtenue dépend ainsi de la température, de la pression appliquée et de son homogénéité à l'échelle de la plaque, de la durée du collage et de son environnement [Chen'04]. Le moindre écart de température entre les deux plaques/puces ou de pression peut induire un désalignement lors du procédé de collage. Cela explique les difficultés rencontrées ces dernières années pour obtenir des interconnexions à petit pas d'espacement avec cette technique.

La deuxième technologie de collage mentionnée dans le Tableau I.4 est le collage direct de surfaces mixtes métal-diélectrique. Ce procédé, utilisé au cours de cette thèse, offre de nombreux avantages par rapport aux autres techniques présentées précédemment : compatibilité avec les procédés standards de la microélectronique (dépôts, polissage, nettoyage), réalisation à température et pression ambiantes sans besoin de pression, recuit de consolidation collectif et haute énergie de collage. En revanche, comme nous le verrons dans la partie I.3.1., les prérequis à la réussite du collage sont drastiques. Les surfaces doivent notamment pouvoir former des liaisons faibles à température ambiante pour assurer un début d'adhésion. Pour que le collage soit possible, il est aussi nécessaire de contrôler la flèche des plaques, la planéité et la microrugosité des surfaces. Enfin, toute contamination particulaire ou organique doit être évitée pour garantir une bonne qualité de collage.

Dans la suite de cette partie, nous allons voir quelques exemples d'interconnexions à haute densité réalisées par collage hybride CuSn-adhésif, de micro-piliers Cu/Cu et direct hybride Cu-SiO₂.

I.2.2.1 Collage hybride CuSn-adhésif par thermocompression

Le collage Cu/Cu par thermocompression en atmosphère ambiante nécessite une température de collage généralement supérieure à 300 °C afin d'obtenir une bonne qualité de collage [Chen'04]. Une des méthodes utilisées pour réduire cette température est de former un matériau intermétallique. L'alliage cuivre-étain (CuSn) est l'un des plus courants, du fait de la faible température de fusion de l'étain de 232 °C. De ce fait, les collages eutectiques par thermocompression des interconnexions à base de CuSn sont typiquement conduits entre 250 et 270 °C.

Cette température de collage autorise alors l'usage d'un polymère tel que le benzocyclobutène (BCB) à l'interface de collage pour renforcer cette dernière et protéger les interconnexions de la corrosion. Par ailleurs, cette architecture CuSn-adhésif autorise un amincissement du substrat supérieur jusqu'à quelques dizaines de micromètres.

À titre d'exemple, Ko *et al.* [Ko'12b] présentent un collage CuSn-adhésif plaque-à-plaque incluant des TSV de 40 µm de hauteur dans la plaque supérieure (Figure I.19). Dans ce cas, la couche de polymère est déposée par centrifugation puis structurée par photolithographie pour révéler les piliers de CuSn.

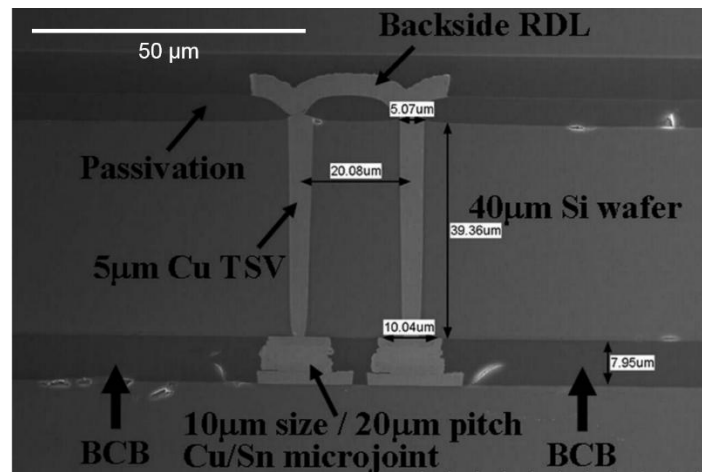


Figure I.19. Image réalisée au microscope électronique à balayage de deux connexions CuSn-adhésif reliées à deux TSV, d'un pas d'espacement de 20 μm [Ko'12b].

Tout récemment, Ohyama *et al.* [Ohyama'14] sont parvenus à réaliser des interconnexions ayant un pas d'espacement de 8 μm à l'aide d'une étape de thermocompression à 250 °C pendant 60 secondes. Dans cette intégration, la surface mixte CuSn-adhésif est réalisée par étalement du polymère suivi d'une étape de CMP permettant de planariser ce dernier avec les structures de collage.

I.2.2.2 Collage de micro-piliers de cuivre par thermocompression

Comme nous l'avons vu, l'espace entre les micro-piliers de cuivre peut ne pas être comblé avec un matériau de type polymère. Bien que cette architecture soit moins robuste, l'absence de contact entre les piliers offre une bonne résistance aux déformations thermomécaniques dans le cas de coefficients de dilatation thermique différents entre les puces. De plus, les piliers de cuivre étant réalisés par un procédé damascène et une gravure sèche du diélectrique, leur encombrement est inférieur aux billes d'alliage ou aux piliers de cuivre réalisés par croissance électrochimique.

Ainsi, en 2008, Shigetou *et al.* [Shigetou'08] ont fait la démonstration d'interconnexions à quatre niveaux réalisées par collage activé par plasma et sous ultra-vide (Figure I.20). Cette méthode particulière permettant d'obtenir une forte adhésion à température ambiante, le recuit de consolidation n'est pas nécessaire. La précision d'alignement est ici inférieure au micromètre, malgré l'application d'une pression de 64 MPa pendant 30 secondes. L'espace entre les deux substrats est de quelques nanomètres seulement.

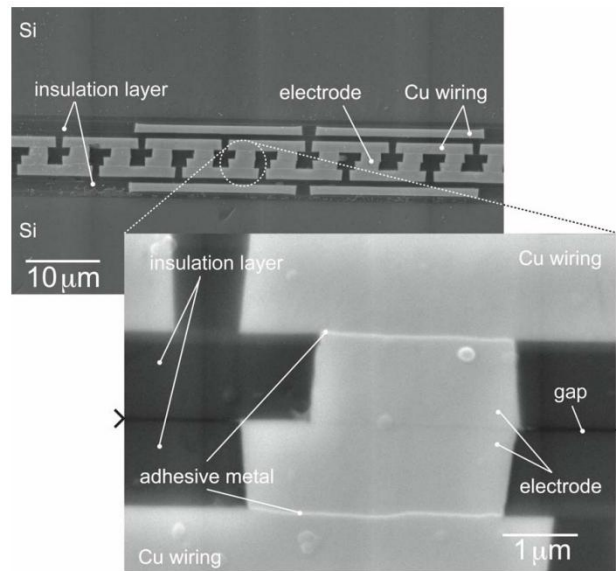


Figure I.20. Vues en coupe d'interconnexions composées de micro-piliers de cuivre collés par thermocompression. Nous pouvons remarquer un interstice de quelques nanomètres entre les deux surfaces de diélectrique. Le pas d'espacement est de 6 μm [Shigetou'08].

Plus récemment, Peng *et al.* [Peng'12] ont réalisé des interconnexions similaires par thermocompression en atmosphère ambiante. Comme indiqué dans la Figure I.21, les différences résident dans l'espacement plus important entre les substrats, et l'utilisation d'une couche à base d'alcanethiol auto-assemblée (*self assembled monolayer* – SAM) sur les surfaces de cuivre. Le rôle de ce SAM est de protéger le cuivre de toute oxydation avant le collage. Le cuivre ainsi préservé peut être collé à plus basse température ($\sim 300\text{ }^\circ\text{C}$), avec une reconstruction complète de l'interface grâce à la croissance des grains de cuivre à travers elle.

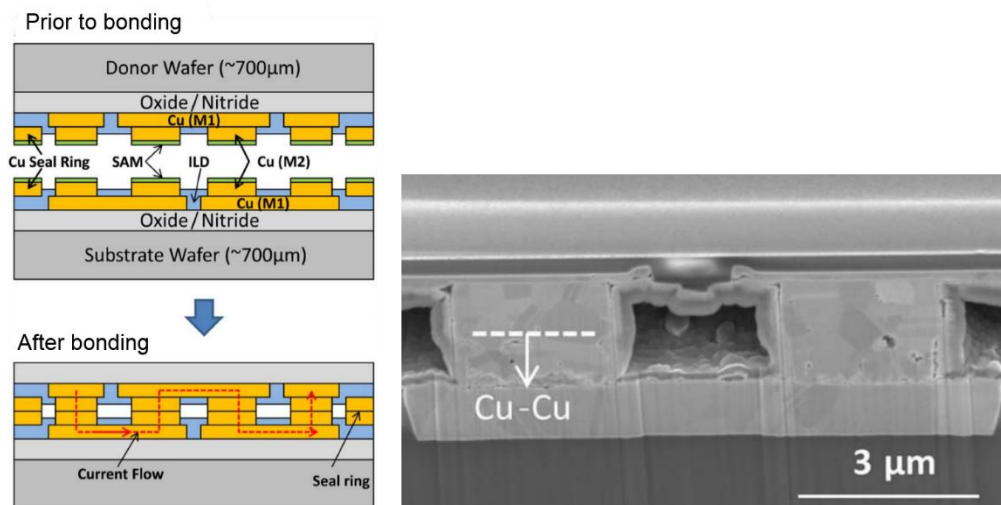


Figure I.21. Représentation schématique du procédé de collage de micro-piliers par thermocompression et image en coupe des interconnexions correspondantes. Le pas d'espacement est de 6 μm [Peng'12]

I.2.2.3 Collage direct hybride Cu-SiO₂

Le collage direct de surfaces mixtes Cu-SiO₂ permet de résoudre le problème lié aux contraintes mécaniques du collage adhésif tout en offrant une densité d'interconnexions supérieure au collage par micro-piliers. Cela est possible grâce à un traitement thermique permettant la reconstruction totale de l'interface de collage, composée de structures métalliques réalisées par procédé damascène. Ainsi, comme mentionné dans la partie I.2.2, seules les précisions de photolithographie et de l'alignement de collage limitent la densité d'interconnexions.

La société Ziptronix commercialise depuis la fin des années 2000 une technologie de collage direct hybride Cu-SiO₂ appelée *direct bonding with interconnect* (DBI®). Compatible avec des applications telles que les imageurs, les mémoires 3D ou les pico-projecteurs [Enquist'12], le procédé de collage est conduit à température et pression ambiantes et nécessite un recuit compris entre 150 et 300 °C. La Figure I.22 présente un exemple d'une interconnexion à quatre niveaux réalisée avec cette technologie. Nous pouvons notamment y voir la barrière de diffusion en SiN disposée à l'interface de collage, afin d'éviter toute diffusion de cuivre dans le SiO₂ en bord de plot.

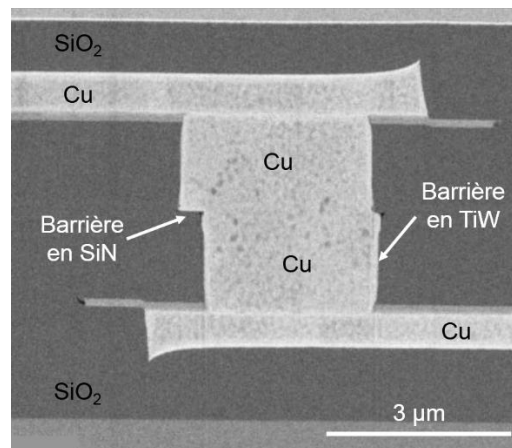


Figure I.22. Vue en coupe d'une interconnexion en cuivre réalisée par collage direct hybride Cu-SiO à température ambiante et recuite à 300 °C [Enquist'12].

Le procédé de collage direct hybride Cu-SiO₂ que nous utilisons dans cette thèse a été développé et étudié dans le cadre de l'alliance STMicroelectronics/CEA-Léti [Taibi'12]. Les séries de caractérisations morphologiques et électriques attestent de la reconstruction complète des interfaces SiO₂/SiO₂ et Cu/Cu ainsi que des excellentes performances qui en découlent [Taibi'10, Taibi'11].

En effet, il a été montré que deux lignes collées de 500 nm d'épaisseur chacune se comportaient comme une seule ligne monolithique de 1 µm d'épaisseur (Figure I.23). Cela s'explique par une faible résistivité de contact de l'interface de collage Cu/Cu, estimée à une valeur maximale de $\rho_c = 22,5 \text{ m}\Omega \cdot \mu\text{m}^2$ après un recuit à 400 °C [Taibi'10].

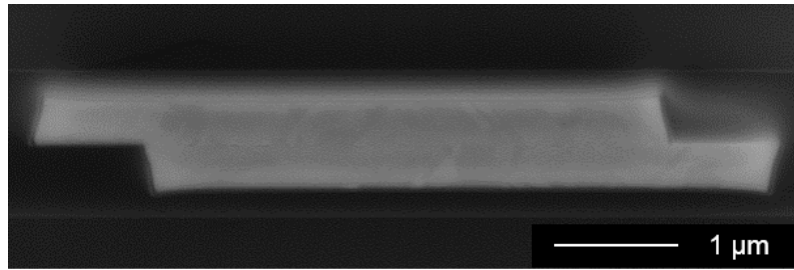


Figure I.23. Vue en coupe d'une ligne de cuivre de 1 μm de largeur réalisée par collage direct hybride Cu-SiO₂. Le désalignement est d'environ 500 nm.

De plus, des tests d'électromigration ont montré que la valeur de l'énergie d'activation E_a était similaire à celle obtenue pour des lignes monolithiques et correspondait à un chemin de diffusion du cuivre à l'interface Cu/TiN [Taibi'11]. Par ailleurs, la dégradation induite par ce type de test conduit sur des chaînes de connexions se caractérise par la formation de cavités en début de chaîne, et d'extrusion de cuivre en fin de chaîne (Figure I.24). Cela montre que le gradient de contrainte imposé par le passage des électrons est réparti sur toute la structure, comme si celle-ci avait été fabriquée à partir d'un seul morceau de cuivre.

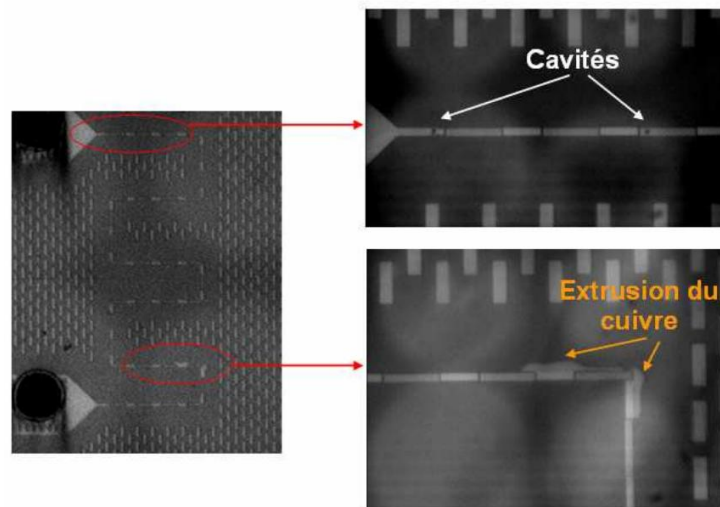


Figure I.24. Vue de dessus d'une chaîne de 64 connexions après un test d'électromigration. Nous pouvons remarquer la présence de cavités en début de chaîne et des zones d'extrusion de cuivre en fin de chaîne [Taibi'11].

Ainsi, nous pouvons constater que dans le cadre de l'intégration 3D à hautes performances, l'option de connexion métal-diélectrique réalisée par collage direct Cu-SiO₂ est une voie prometteuse. Nous allons voir dans la prochaine partie les mécanismes de collage associés à cette technologie.

I.3 Introduction au collage direct hybride Cu-SiO₂

L'objectif de cette partie est de définir dans un premier temps les principes généraux des collages directs pleine plaque SiO₂/SiO₂ et Cu/Cu ainsi que les conditions nécessaires à leur réalisation. Les mécanismes et les prérequis du collage direct de surfaces mixtes Cu-SiO₂ seront ensuite décrits en détails dans une seconde partie.

I.3.1 Principe général

Le collage direct consiste en l'adhésion spontanée de deux surfaces préparées spécifiquement, sans ajout de matériau intermédiaire (colle, polymère ou métal). De manière générale, les deux conditions primordiales pour le succès d'une telle opération sont le nettoyage et l'activation des surfaces. Ces étapes rendent les surfaces extrêmement lisses et éliminent toute contamination organique et particulaire, susceptible de générer des défauts de collage. De cette manière, des liaisons faibles de types Van Der Waals et hydrogène sont formées lors de la mise en contact des plaques à température et pression ambiantes [Lasky'85]. L'adhésion spontanée peut être initiée au bord ou au centre des plaques et se propage sous la forme d'une onde de collage, chassant l'air présent entre celles-ci. Une illustration de ce phénomène est proposée dans la Figure I.25.

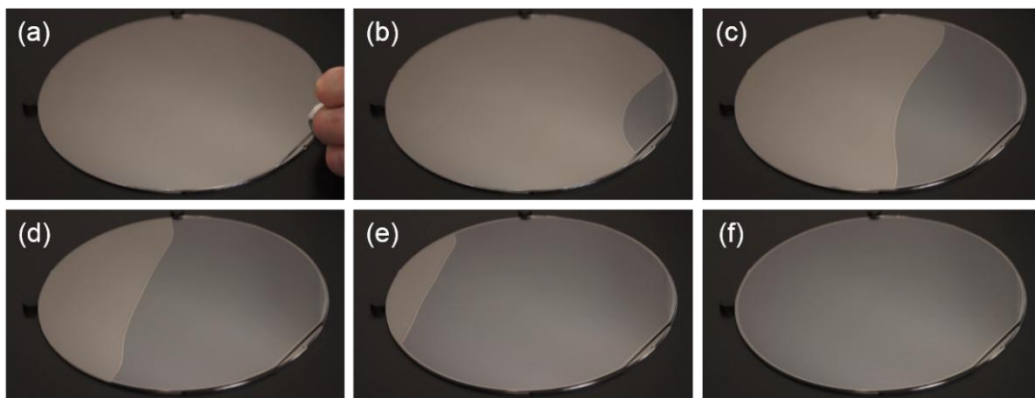


Figure I.25. Propagation d'une onde de collage dans le cas d'un collage Quartz/Si.
L'onde est initiée sur le bord des plaques et se propage sur toute leur surface en quelques secondes.

L'énergie à apporter pour séparer les plaques est appelée énergie d'adhérence. Sa valeur dépend de la nature hydrophobe ou hydrophile des surfaces. Dans le cadre de nos études, tous les véhicules de tests ont été réalisés par collage hydrophile, qui est considéré comme de meilleure qualité et qui offre plus d'options d'intégration [Moriceau'07, Tong'98].

A température ambiante, les plaques collées peuvent être séparées du fait de la faible énergie de collage. Dans le but de renforcer les interactions présentes à l'interface, et ainsi augmenter l'énergie de collage, les liaisons faibles peuvent être remplacées par

des liaisons fortes grâce à un traitement thermique, aussi appelé recuit de collage ou de consolidation. Dans ce cas, le collage devient irréversible.

I.3.2 Prérequis et mécanismes des collages $\text{SiO}_2/\text{SiO}_2$ et Cu/Cu

Cette partie est dédiée à la description des prérequis concernant la morphologie et la propreté des plaques, nécessaires à la bonne conduite des collages $\text{SiO}_2/\text{SiO}_2$ et Cu/Cu . Ces deux types de collages partagent les mêmes critères d'état de surface, au même titre que les collages d'autres matériaux tels que les III-V, les nitrures, les carbures ou les fluorures [Haisma'95, Tong'99, Plöbl'99, Dargent'11]. Ces études montrent en effet que la réussite du collage ne dépend pas de la nature des matériaux assemblés mais de leur état de surface, en particulier de leur rugosité. C'est ce critère qui détermine la possibilité pour les liaisons faibles initiales de s'établir massivement entre les surfaces à température ambiante. Un traitement thermique permet ensuite de les transformer en liaisons fortes.

Par ailleurs, une étude a montré la faisabilité du collage direct de couches de cuivre déposées sur silicium [Guéguen'09]. Il y est précisé que, à température ambiante, le collage est réalisé en présence d'une couche d'oxyde cuivreux Cu_2O , très hydrophile, à la surface du cuivre. Cette couche est due à l'exposition du cuivre à l'air ambiant avant le collage, ce qui induit la croissance d'un oxyde natif de quelques nanomètres d'épaisseur. Ce sont ainsi deux couches d'oxydes métalliques qui sont réellement mises en contact lors du collage Cu/Cu . Il semble donc cohérent que certaines propriétés du collage $\text{SiO}_2/\text{SiO}_2$ puissent être étendues au collage de couches de cuivre.

Cependant, les mécanismes physico-chimiques se produisant aux interfaces $\text{SiO}_2/\text{SiO}_2$ et Cu/Cu en température étant très différents, une partie sera consacrée à chaque cas de figure. Nous y décrirons les mécanismes mis en jeu dans la fermeture et le renforcement des interfaces à température ambiante et pendant le recuit.

I.3.2.1 Critères morphologiques

La morphologie des plaques doit répondre à des spécifications précises sans lesquelles le collage ne peut avoir lieu. Ces critères concernent la flèche, la planéité et la microrugosité des plaques, correspondant aux échelles macro, méso et microscopiques (Figure I.26).

La flèche d'une plaque désigne sa déformation à l'échelle macroscopique, induite par les contraintes dans le matériau. Celle-ci peut être mesurée à l'aide de techniques de profilométrie. Lors du collage, un équilibre s'établit entre l'énergie élastique à fournir aux deux substrats permettant l'établissement du contact intime et l'énergie fournie par les forces de collage. Lorsque la flèche des plaques est trop importante, cet équilibre n'est pas réalisé et les plaques se décollent [Turner'02]. Il a été montré expérimentalement que, pour des substrats de silicium de 200 mm de diamètre et de 725 μm d'épaisseur, la flèche maximale doit être de l'ordre de 30 μm [Rayssac'99].

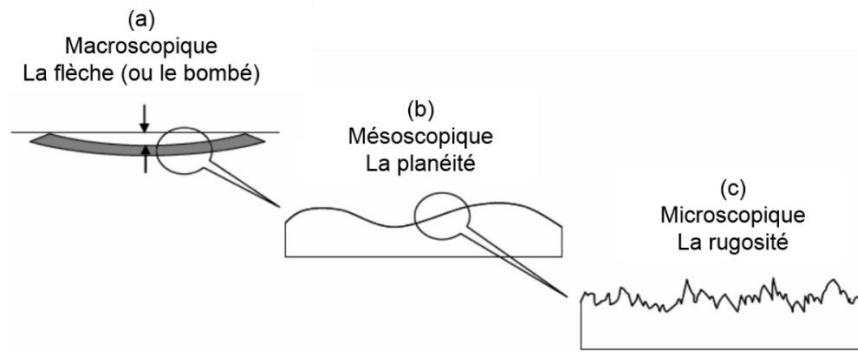


Figure I.26. Critères morphologiques requis pour un collage de bonne qualité concernant (a) la flèche, (b) la planéité et (c) la microrugosité des plaques.

La planéité correspond aux variations de topologie à l'échelle mésoscopique pouvant être générées par l'étape de polissage mécano-chimique par exemple. Bien que ce paramètre, mesurable à l'aide d'un profilomètre mécanique, peut induire des défauts de collage locaux ou en bord de plaque, il n'existe pas à ce jour de critère défini comme limite pour prévenir leur formation.

Enfin, la rugosité caractérise les ondulations à l'échelle micrométrique. Comme nous le verrons dans le chapitre IV, cet aspect a un impact direct sur la qualité de collage. La rugosité se mesure à l'aide d'un microscope à force atomique (AFM) et est exprimée par sa valeur quadratique en nanomètre RMS, pour *root mean square*. Cette technique sera détaillée dans le chapitre II. La limite de rugosité pour un collage direct de qualité est comprise entre 0,5 et 0,65 nm RMS [Tong'99, Moriceau'03].

I.3.2.2 Critères de propreté

Le procédé de collage étant basé sur le contact intime de deux surfaces extrêmement lisses, ces dernières doivent être exemptes de toute contamination organique et particulaire. Cependant, bien que les collages soient réalisés en salle blanche, des particules issues de l'environnement ou des étapes technologiques précédentes peuvent se retrouver piégées à l'interface. Dans ce cas, un défaut de collage sera généré comme illustré dans la Figure I.27. Il a été montré qu'une particule de 1 μm de hauteur donne lieu à un défaut de 5 mm de diamètre pour des collages impliquant des substrats de 525 μm d'épaisseur [Tong'99].

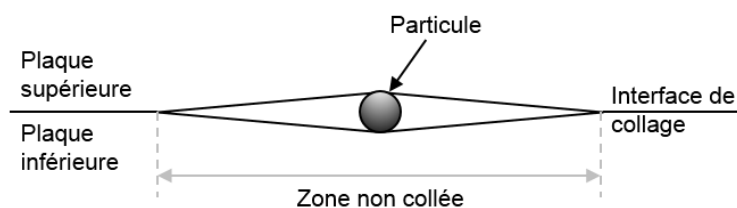


Figure I.27. Défaut de collage provoqué par la présence d'une particule.

Les contaminants organiques sont quant à eux composés de molécules issues de la famille des hydrocarbures ($-CH_x$), provenant de l'environnement extérieur ou des résidus de polissage. Lors des recuits de consolidation, ces contaminants se décomposent en sous-produits gazeux et entraînent la formation de bulles à l'interface de collage [Mitani'92].

I.3.2.3 Mécanismes du collage SiO_2/SiO_2

Les mécanismes du collage hydrophile d'oxyde de silicium ont fait l'objet de révisions et sont aujourd'hui encore au centre de nombreuses discussions. La première approche, abordant le phénomène d'un point de vue chimique, est initialement proposée par Stengl en 1989 [Stengl'89]. Celle-ci prend en compte l'hydrophilie des surfaces et explique le renforcement de l'interface par la création de liaisons covalentes de type siloxanes $Si-O-Si$ lors du recuit (Figure I.28). Ce processus a pour conséquence de diminuer l'espacement théorique entre les surfaces. La révision de ce modèle par Tong et Gösele en 1999 [Tong'99] aboutit à un nouveau calcul de ces largeurs d'interface, comme indiqué dans la Figure I.29.

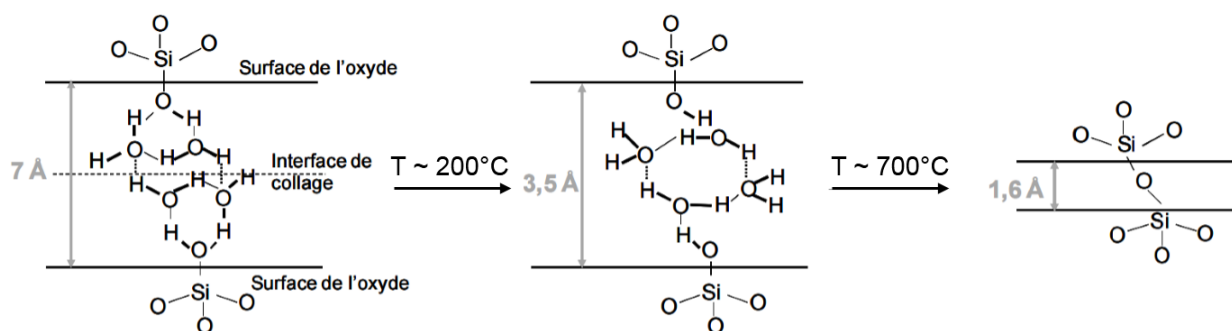


Figure I.28. Modèle de Stengl décrivant la fermeture de l'interface SiO_2/SiO_2 d'un collage hydrophile en fonction de la température de recuit [Stengl'89].

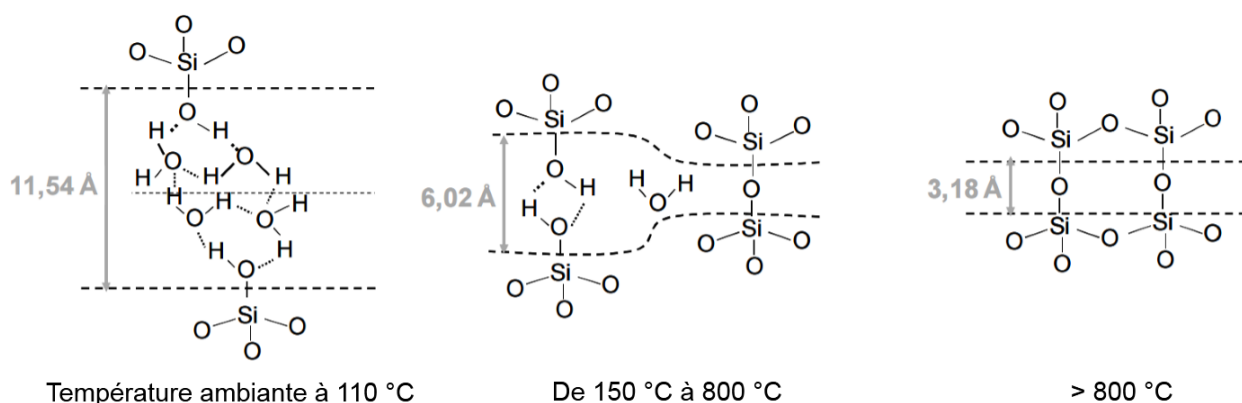


Figure I.29. Modèle de Stengl précisé par Tong et Gösele qui propose un nouveau calcul de la largeur d'interface [Tong'99].

Plus récemment, le CEA-Léti et le CEA-Inac ont proposé un modèle de contact par aspérité [Rieutord'06], remettant en cause le mécanisme de rapprochement des surfaces décrit par Stengl, Tong et Gösele. Ce modèle a la particularité de prendre en compte la rugosité nanométrique des surfaces mises en contact. L'interaction entre deux surfaces rugueuses peut quant à elle être décrite par l'interaction entre une surface plane, parfaitement lisse et rigide, et une surface rugueuse [Greenwood'66].

Dans ce cas, le contact entre les deux surfaces se produit au niveau des aspérités les plus hautes. Après collage à température ambiante, l'adhérence entre les deux surfaces est uniquement due à l'équilibre entre les forces attractives et répulsives présentes à l'interface de collage [Hertz'81]. Durant le recuit de collage, la formation de liaisons covalentes au niveau de la surface de contact et l'augmentation de cette dernière, grâce à l'élargissement des aspérités, conduit à une augmentation de l'énergie de collage. Ce mécanisme de collage par extension des points de contact a été développé par Johnson, Kendall et Roberts (JKR) dans les années 70 [Johnson'71], et est illustré dans la Figure I.30.

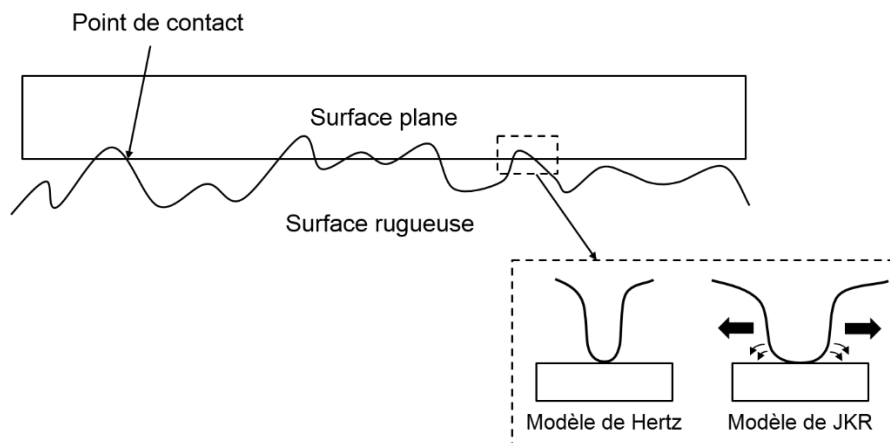


Figure I.30. Illustration schématique des modèles décrivant les mécanismes associés au collage direct hydrophile : le sommet des aspérités entre en contact (modèle de Hertz) et la fermeture de l'interface se produit par élargissement des points de contact (modèle de JKR).

Dernièrement, à l'aide de caractérisations de l'interface de collage par réflectivité des rayons X, Ventosa *et al.* [Ventosa'08] ont montré que la largeur de l'interface de collage, correspondant à la distance entre les aspérités les plus hautes de chaque surface, est constante jusqu'à 900 °C et diminue au-delà. De plus, le rôle des molécules d'eau adsorbées à la surface des plaques a été mis en évidence.

En effet, pour des températures de recuit inférieures à 150 °C, la présence de l'eau limite l'élargissement des aspérités et donc le renforcement de l'interface. En revanche, au-dessus de 150 °C, l'eau diffuse hors de l'interface de collage à travers le SiO₂ et vient oxyder le substrat de silicium. De ce fait, l'interface se renforce plus encore avec

l'élargissement des aspérités rendu plus facile en l'absence de l'eau. Enfin, au-delà de 900 °C, l'interface de collage se ferme entièrement grâce à la diffusion de matière activée à cette température, laissant place à une fine couche homogène.

La Figure I.31 offre un résumé des mécanismes de fermeture de l'interface SiO₂/SiO₂ en fonction de la température.

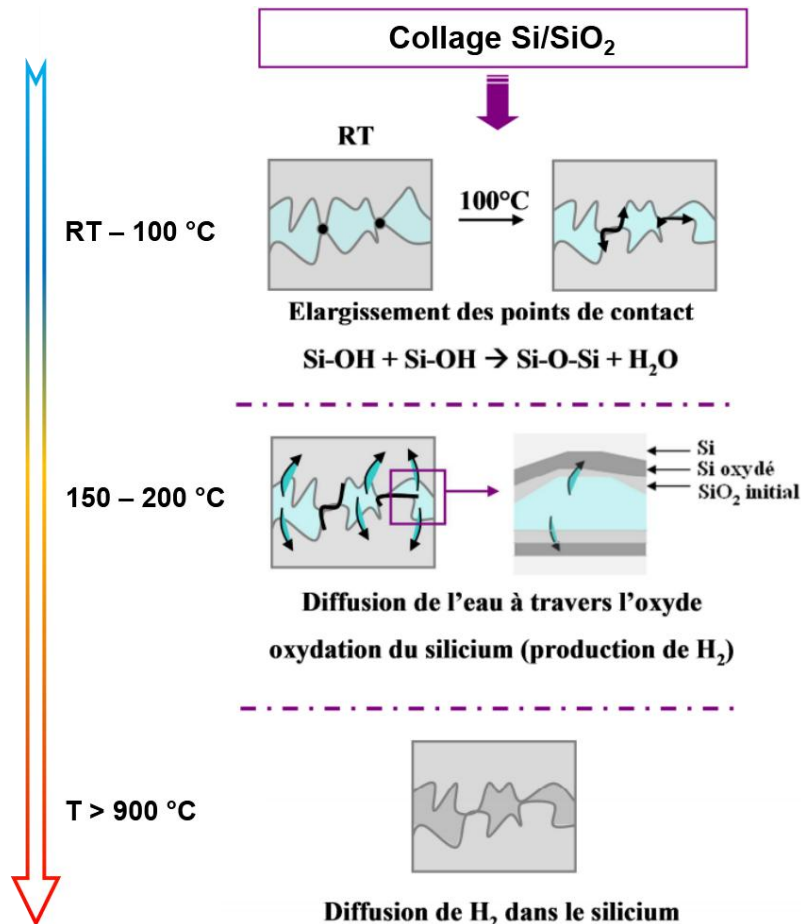


Figure I.31. Résumé des mécanismes de collage au niveau de l'évolution structurale de l'interface de collage [Baudin'13]. Les trois principales phases de l'évolution suivant les températures de recuit sont mises en évidence [Ventosa'08].

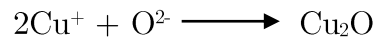
I.3.2.4 Les mécanismes du collage Cu/Cu

Les études réalisées par Gueguen *et al.* [Gueguen'08, Gueguen'09, Gueguen'10] ont porté sur la faisabilité du collage pleine plaque Cu/Cu à température ambiante et les mécanismes de renforcement de cette interface à l'aide d'un traitement thermique.

Dans un premier temps, les surfaces de cuivre sont activées à l'aide d'étapes de CMP et de nettoyage. Le caractère fortement hydrophile des surfaces à coller, caractérisée par un angle de goutte inférieur à 5°, induit l'adsorption de quelques monocouches d'eau. En résulte la formation d'un oxyde natif Cu₂O de 1 à 2 nanomètres d'épaisseur, dont les liaisons pendantes Cu-OH préservent le caractère hydrophile des plaques.

De ce fait, une couche de Cu_2O d'une épaisseur comprise entre 4 et 5 nm est formée à l'interface lors du collage à température ambiante [Gueguen'09]. A l'instar du collage $\text{SiO}_2/\text{SiO}_2$, il a été montré que le processus de collage suit le modèle de contact de surface rugueuse. A cet instant, l'adhésion est possible grâce aux forces de van der Waals et des liaisons hydrogènes. La rugosité de surface d'environ 0,5 nm RMS obtenue par CMP est suffisamment faible pour que les plaques restent collées.

Au cours du temps, du fait de la présence d'eau et d'oxygène piégés à l'interface Cu/Cu , un phénomène de croissance du Cu_2O se produit selon la réaction



La Figure I.32 illustre ce phénomène ayant lieu principalement dans les cavités à l'interface, dont l'origine principale est la rugosité initiale des surfaces. Ce processus de croissance d'oxyde à température ambiante mène à un élargissement des zones de contact, ce qui se traduit par une augmentation de l'énergie de collage au cours du temps.

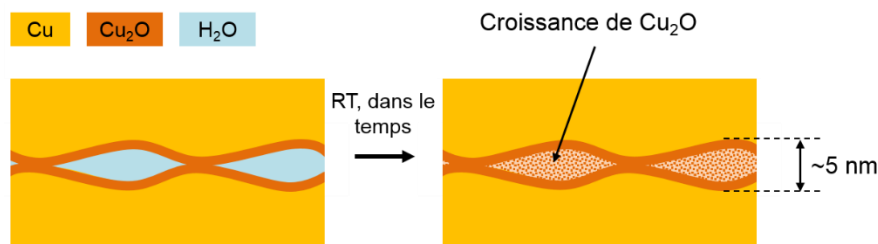


Figure I.32. Représentation schématique de la croissance de Cu_2O entre les zones de contact au sommet des aspérités, due à la présence d'eau et d'oxygène.

L'énergie de collage passe en effet de $0,8 \text{ J/m}^2$ juste après collage à environ $2,5 \text{ J/m}^2$ après une centaine de jours de stockage à température ambiante [Di Cioccio'11]. La Figure I.33 montre une image par microscopie électronique en transmission (*transmission electron microscopy* – TEM) à haute résolution de l'interface après stockage à température ambiante, composée uniquement d'une couche homogène d'une épaisseur d'environ 4 nm. Des analyses par spectroscopie de perte d'énergie électronique (*energy electron loss spectroscopy* – EELS) et de réflectivité de rayons X effectuées à l'aide de l'installation européenne de rayonnement synchrotron à Grenoble ont pu déterminer qu'il s'agissait bien d'une couche d'oxyde de cuivre de type Cu_2O .

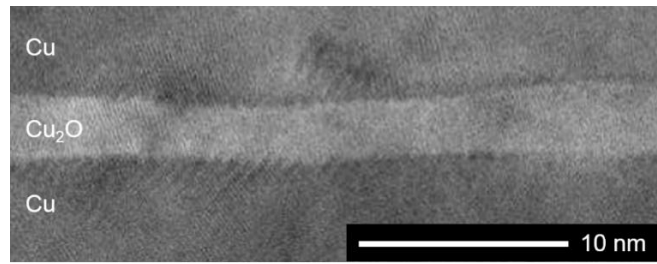


Figure I.33. Image TEM haute résolution de l'interface d'un collage Cu/Cu réalisé à température ambiante après stockage à température ambiante pendant plusieurs semaines. L'interface de collage est une couche de Cu_2O homogène d'environ 4 nm d'épaisseur.

Durant le recuit servant au renforcement de l'interface de collage, des mécanismes de fluage ainsi que de diffusion du cuivre se produisent. Les études menées par Gueguen *et al.* [Gueguen'10] et Di Cioccio *et al.* [Di Cioccio'11] ont montré que la morphologie et l'énergie de collage évoluaient en fonction de la température de recuit. La Figure I.34 montre une succession d'images TEM de l'interface pour des températures de recuit allant de 100 à 400 °C

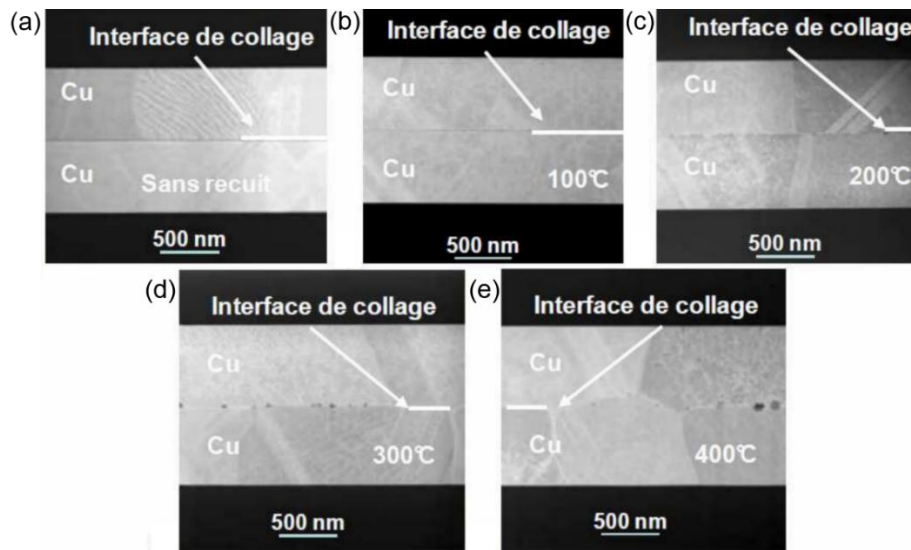


Figure I.34. Imagerie TEM en champ sombre de collages directs Cu/Cu (a) à température ambiante et après recuit à (b) 100 °C, (c) 200 °C, (d) 300 °C et (e) 400 °C. La linéarité de l'interface disparaît après 300°C du fait de la croissance des grains de cuivre. Des cavités en forme de nodules apparaissent alors au niveau de l'interface de collage [Di Cioccio'11].

Tout d'abord, nous pouvons observer qu'à température ambiante et après un recuit à 100 °C, la couche de Cu_2O est intacte et l'interface de collage est linéaire. Ce n'est qu'au-dessus de 150 °C que la couche d'oxyde de cuivre commence à se dissocier, ce qui permet l'établissement de ponts de cuivre Cu-Cu. Ce phénomène est dû à l'instabilité de l'oxyde à haute température, en premier lieu à cause de la croissance des grains de cuivre à l'interface qui viennent casser la couche d'oxyde. A ce stade, il existe une

compétition entre l'énergie de l'interface Cu/Cu₂O γ_{Cu/Cu_2O} et l'énergie des joints de grain γ_{JdG} . Lorsque $2\gamma_{Ox/Cu_2O} > \gamma_{JdG}$, l'oxyde de cuivre diffuse alors le long des joints de grain pour former des cavités circulaires partiellement remplies d'oxyde de cuivre à l'interface Cu/Cu [Gueguen'10, Di Cioccio'14] (Figure I.34(d)). La Figure I.35 montre une image TEM et des cartographies chimiques TEM-EDX d'une cavité remplie d'oxygène.

Au-dessus de 300°C, la diffusion du Cu₂O à l'interface et du cuivre aux joints de grains se poursuit. Progressivement, la croissance des grains s'effectue majoritairement aux points triples dans le but de minimiser l'énergie de surface des grains [Martinez'12]. Finalement, après un recuit à 400 °C, l'interface linéaire a totalement disparu au profit d'une morphologie en dents de scie, rappelant un morceau de cuivre monolithique.

La Figure I.36 ci-après offre un résumé des mécanismes de fermeture de l'interface Cu/Cu en fonction de la température de recuit.

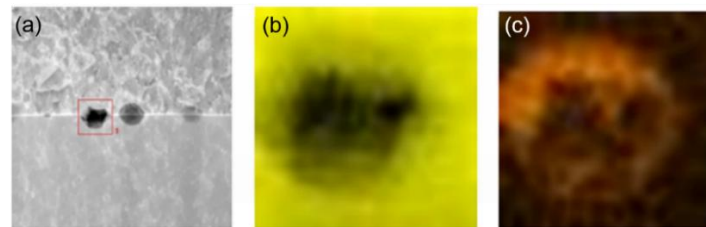


Figure I.35. (a) Image TEM de l'interface Cu/Cu après un recuit à 400 °C et cartographies TEM-EDX d'une cavité montrant (b) le cuivre autour et (c) l'oxygène à l'intérieur [Guéguen'10].

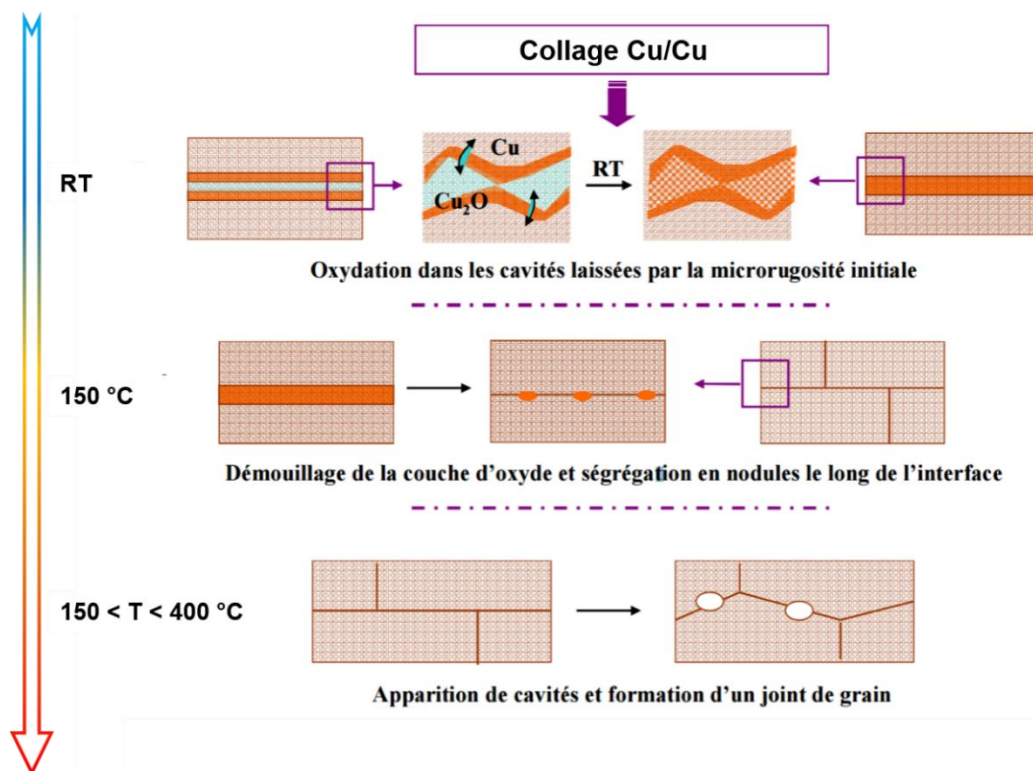


Figure I.36. Résumé des mécanismes de collage au niveau de l'évolution structurale de l'interface de collage [Guéguen'10, Baudin'13].

I.3.3 Mécanismes du collage direct hybride Cu-SiO₂

Bien que les réactions physico-chimiques aux interfaces SiO₂/SiO₂ et Cu/Cu soient les mêmes dans le cas d'un collage de surfaces homogènes ou de surfaces mixtes, nous allons voir que le procédé de collage direct hybride Cu-SiO₂ employé durant cette thèse possède des mécanismes de scellement propres.

La Figure I.37 représente les points clés du procédé de collage. La création des structures de cuivre consiste en un procédé damascène tel que décrit dans la Figure I.18. La maîtrise de l'étape de polissage par CMP est ici essentielle à la réussite du collage des différentes interfaces (Figure I.37(b)). Son rôle est d'activer les surfaces et de les rendre compatibles avec les prérequis morphologiques du collage direct. De plus, la gestion du sur-polissage du cuivre (appelé *dishing effect* en anglais), induit par une vitesse de polissage du cuivre plus élevée, est un aspect crucial.

En effet, lorsque les structures sont mises en contact à température ambiante, seules les surfaces de SiO₂ sont collées, et un espace $2h$ réside entre les surfaces de cuivre (Figure I.37(c)). Le recuit de consolidation, servant habituellement à transformer les liaisons faibles en liaisons fortes à l'interface, a dans ce cas pour objectif de faire contacter les surfaces de cuivre grâce à la dilatation de ce dernier. Ainsi, il est impératif que l'amplitude h du sur-polissage du cuivre soit suffisamment faible pour que l'espace $2h$ puisse être comblé par la dilatation du cuivre.

Une fois les surfaces de cuivre en contact, les mécanismes de diffusion du cuivre et de croissance de grains peuvent avoir lieu au cours du recuit. Une des particularités du collage hybride est que la dilatation du cuivre a tendance à fragiliser davantage la couche de Cu₂O, ce qui induit son instabilité à une température inférieure à 150 °C.

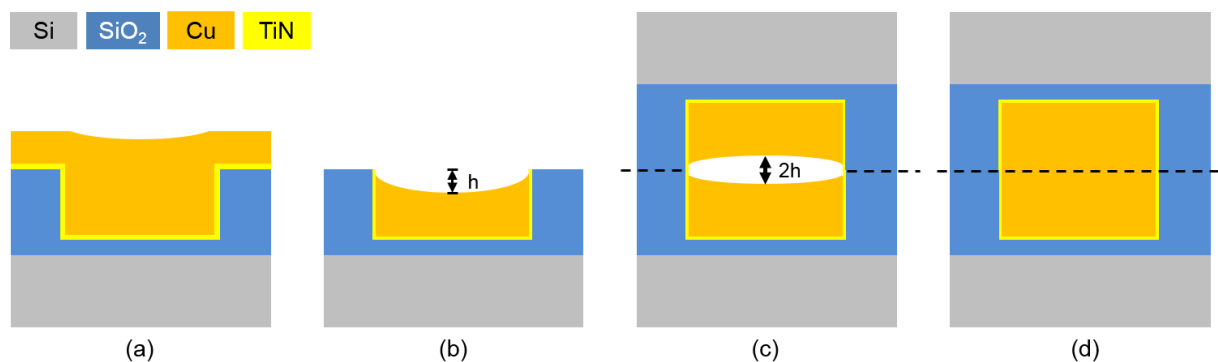


Figure I.37. Représentation schématique du procédé de collage direct hybride Cu-SiO₂.

Les étapes successives incluent (a) le dépôt de la barrière de diffusion et du cuivre, (b) la préparation des surfaces pour le collage par CMP qui induit un sur-polissage du cuivre d'une amplitude maximale h , (c) le collage à température ambiante où seules les surfaces de SiO₂ sont en contact et (d) le recuit qui permet l'établissement du contact des surfaces de Cu grâce à la dilatation thermique.

I.4 Enjeux et méthodologie de la thèse

De nos jours, l'intégration 3D est considérée comme la meilleure solution permettant non seulement d'augmenter les ratios performance/coût et performance/puissance des circuits intégrés, mais aussi d'autoriser la fabrication de nouveaux types de dispositifs combinant de multiples fonctionnalités.

Suite à de récentes démonstrations faisant état de la faisabilité et des excellentes performances des circuits 3D [Druais'11, Coudrain'12], la majorité des études récentes porte désormais sur le développement de procédés de fabrication et d'intégration plus performants [Fukushima'13a, Ko'14], sur la densification des connexions inter-puces [Made'11, Peng'12, Chang'13] ou encore sur la réalisation, la caractérisation et la modélisation de prototypes [Parès'13].

L'objectif commun et à long terme de ces études est de réaliser des dispositifs 3D à hautes performances, basse consommation, faible coût et regroupant un maximum de fonctionnalités dans un minimum de volume. Ce dernier point implique que l'on reporte les unes sur les autres des puces de nature et de dimensions latérales différentes. La technique de collage puce-à-plaque étant la seule à permettre de réaliser de tels empilements, c'est celle-ci qui sera massivement utilisée dans le futur.

Cependant, en raison de sa maturité, de sa plus grande facilité de mise en œuvre et de son débit de fabrication supérieur, la technique de collage plaque-à-plaque est encore au cœur d'une grande partie des nouvelles études proposées dans la littérature. De plus, certaines applications telles que les mémoires DRAM ou les MEMS feront toujours appel à cette technique, du fait de la similarité de dimensions entre les strates [Garrou'12].

Il est donc très probable que les techniques d'assemblage plaque-à-plaque et puce-à-plaque cohabiteront au cours des prochaines années, chacune dédiée à certains types d'applications spécifiques. Il convient donc de continuer à caractériser et optimiser les performances électriques et la fiabilité des interconnexions inter-puces dans le cadre des deux types d'assemblages.

Parmi tous les types d'interconnexions inter-puces, le collage direct hybride Cu-SiO₂ est considéré depuis quelques années comme le meilleur candidat pour les applications à haute densité d'interconnexions. Cette technique de collage a pour avantages principaux d'être menée à température ambiante et de ne pas demander d'appui ni d'ajout de matériaux additionnels à l'interface de collage (alliage, polymère). Ce dernier aspect a contribué à obtenir de très faibles résistivités de contact dans le cas de structures de tests à deux niveaux.

Dans le cadre des applications à hautes performances, les densités d'interconnexions visées pour les cinq prochaines années sont supérieures à 10⁶/cm, ce qui va de pair avec le pas d'espacement des connexions verticales intra-puces (TSV)

toujours plus petits [ITRS'13]. Or, contrairement aux interconnexions en protrusion (piliers, micro-piliers ou micro-inserts), le pas d'espacement des structures métalliques damascènes servant au collage direct n'est pas limité par leurs dimensions latérales. Par conséquent, la densité d'interconnexion maximale atteignable dans ce cadre n'est théoriquement limitée que par la précision d'alignement des machines de collage. Il est donc encourageant de constater qu'une étude récente vient de démontrer la faisabilité d'une précision d'alignement reproductible d'environ 250 nm en collage plaque-à-plaque [Sugaya'14].

Au vu de ces avantages en accord avec les besoins de l'industrie, il n'est pas étonnant que des acteurs majeurs de la microélectronique tels qu'Intel, Sony ou Sematech portent un intérêt de plus en plus important à la technologie de collage direct hybride Cu-SiO₂ [Ramm'12, Sukegawa'13, Cho'13]. Cependant, bien que cette dernière soit mature dans le cadre de structures de tests à deux niveaux d'interconnexions réalisées par collage plaque-à-plaque, de nombreuses études restent à mener avant de pouvoir intégrer le collage direct dans une chaîne de production dédiée à l'intégration 3D.

Ce travail de thèse se veut être la dernière ligne droite avant le transfert de la technologie de collage direct hybride Cu-SiO₂ vers le secteur industriel. Cette étude s'inscrit ainsi dans une volonté de répondre aux enjeux que nous venons de citer concernant les intégrations plaque-à-plaque et puce-à-plaque. Cependant, aux caractérisations et validations technologiques doivent s'ajouter le développement de simulations par éléments finis aidant à la compréhension et à l'optimisation du procédé de collage.

La poursuite de ces objectifs intègre un large spectre d'activités, telles que la conception de structures de tests, le dessin de masques de photolithographie, le développement de nouvelles intégrations, la fabrication de véhicules de tests, la caractérisation morphologique et électrique des structures, les tests de fiabilité et la simulation du collage. La méthodologie de travail se compose de trois axes principaux :

- **Le premier se concentre sur la validation d'une intégration puce-à-plaque réalisée par collage direct.** Ce procédé doit en effet gagner en maturité afin que les empilements hétérogènes puissent bénéficier des avantages du collage direct en termes de densité d'interconnexions et de robustesse mécanique. Cette étude se propose donc de caractériser dans un premier temps la qualité et la précision d'alignement de collages puce-à-plaque comportant des structures de tests à deux niveaux. La maîtrise de ces étapes permet de garantir de bonnes performances électriques et assurer la fiabilité des interconnexions. Les résistances

électriques et la résistance de contact de l'interface Cu/Cu sont ensuite caractérisées par mesures 4 pointes et comparées aux résultats obtenus sur des structures de tests à deux niveaux présentes dans l'intégration plaque-à-plaque maintenant bien connue [Taibi'10, Taibi'11]. Enfin, des tests de cyclage thermique sont conduits dans le but de tester la résistance de l'interface de collage aux contraintes thermomécaniques.

- **Le deuxième axe est dédié à une étude complète d'une architecture à quatre niveaux d'interconnexions réalisée par collage direct hybride Cu-SiO₂, dont les procédés de fabrication et la géométrie se veulent proche d'un BEOI industriel.** Le procédé de collage ayant été validé dans le cadre d'interconnexions à deux niveaux, il est maintenant important de porter notre attention sur la faisabilité d'une architecture plus réaliste. Pour ce faire, un nouveau véhicule de tests est conçu et fabriqué, afin de caractériser la qualité de collage, les performances électriques et la fiabilité d'un tel empilement.

En termes de qualité de collage et de morphologie, l'ajout de deux niveaux d'interconnexions supplémentaires a une grande importance. En effet, cela implique la présence de nombreuses couches de matériaux aux propriétés thermomécaniques différentes ainsi qu'une quantité de cuivre plus importante. Lors d'une élévation de température (recuit de collage, effet joule, stockage en température), les contraintes thermomécaniques et la dilatation des matériaux peuvent induire des défauts de collage et de dégradations telles que des délaminages et des fissures. Dans ce cadre, il est nécessaire de travailler sur les règles de dessins et les procédés de fabrication dans le but d'assurer la planéité et la robustesse des couches et ainsi obtenir une bonne qualité de collage. Enfin, et pour la première fois, la répartition des cavités à l'interface de collage Cu/Cu et la diffusion du Cu dans le SiO₂ en bord de plots de collage sont étudiées grâce à des techniques de caractérisation avancées.

Les études portant sur les performances électriques et la fiabilité des interconnexions à quatre niveaux incluent des mesures 4 pointes de lignes et de chaînes de connexions pour différentes conditions de recuit ainsi que des tests de fiabilité environnementale et de résistance à l'électromigration. L'objectif de ces tests est dans un premier temps de pouvoir comparer les résistances globales et les résistivités de contact avec les résultats obtenus sur l'intégration à deux niveaux. Ensuite, ce sont la robustesse mécanique, la résistance à la corrosion et à la formation de cavité sous contraintes thermomécaniques qui sont étudiées. Enfin, les tests d'électromigration permettent d'étudier le comportement des lignes collées lors de tests de vieillissement accélérés, dans le but de le comparer avec des lignes

fabriqué avec des procédés monolithiques.

- **Le dernier axe d'étude consiste en la simulation thermomécanique par éléments finis du procédé de collage direct hybride Cu-SiO₂, en tenant compte de l'adhésion à température ambiante, du recuit de collage et de la descente à température ambiante.** Les limitations des techniques de caractérisation morphologique *in-situ* ne permettent pas d'observer en temps réel la fermeture de l'interface de collage. C'est pourquoi nous développons des modèles par éléments finis au sein du logiciel Abaqus [Simulia'11] pour étudier le collage direct de deux lignes de cuivre en retrait par rapport au SiO₂ en raison de l'effet de sur-polissage précédemment abordé. Sont inclus les interactions cohésives entre les surfaces pour modéliser le collage et un modèle élastique-plastique avec écrouissage cinématique pour le cuivre. L'influence des propriétés plastiques de ce dernier ainsi que l'amplitude du sur-polissage résultant de la CMP sont au centre de cette étude de simulation, dont l'objectif à long terme est de servir d'outil prédictif quant au comportement en température d'une structure et par extension d'aider à l'optimisation des règles de dessins et des fenêtres de procédés.

Chapitre II

Intégrations technologiques et méthodologie de leur caractérisation

II.1 Description des véhicules de tests	48
II.1.1 Règles de dessin générales	49
II.1.2 Véhicule de test à deux niveaux d'interconnexions.....	50
II.1.2.1 Présentation générale	50
II.1.2.2 Procédé de fabrication général.....	51
II.1.2.3 Intégration puce-à-plaque.....	54
II.1.3 Véhicule de test à quatre niveaux d'interconnexions	55
II.1.3.1 Présentation générale	55
II.1.3.2 Procédé de fabrication.....	57
II.1.4 Présentation des structures de tests électriques.....	62
II.1.4.1 Description des structures NIST	62
II.1.5 Description des chaînes de connexions.....	63
II.2 Techniques de caractérisations morphologiques	67
II.2.1 Microscope à force atomique (AFM)	67
II.2.2 Microscopie infrarouge (IR) et acoustique (SAM).....	69
II.2.3 Usinage ionique (FIB) et microscopie électronique (SEM).....	69
II.2.3.1 Tomographie FIB-SEM.....	70
II.2.4 Microscope électronique en transmission (TEM)	71
II.2.4.1 Les modes d'imageries STEM-HAADF	72
II.2.4.2 Analyse dispersive en énergie de rayons X (EDX).....	72
II.2.5 Spectrométrie de masse des ions secondaires (SIMS).....	72
II.2.6 Synthèse.....	73
II.3 Caractérisations électriques et études de fiabilité.....	74
II.3.1 Détermination de la résistivité du cuivre.....	75
II.3.2 Résistivité de contact de l'interface de collage.....	75
II.3.3 Mise en boîtier des structures de tests.....	76
II.3.4 Méthodologie d'analyses de défaillances.....	77
II.3.5 Chaleur humide.....	77
II.3.6 Cyclage thermique.....	78
II.3.7 Stockage en température	78
II.3.8 Électromigration.....	79
II.3.9 Synthèse.....	89
II.4 Conclusion	90

Introduction

Les axes de recherches technologiques choisis lors de cette thèse s'intègrent dans la continuité des études menées par le passé sur le collage direct. Celles-ci ont notamment montré que le procédé de collage direct hybride Cu-SiO₂ était mature dans le cadre d'une intégration plaque-à-plaque à deux niveaux d'interconnexions.

Cependant, des aspects tels que l'impact du type d'intégration et le nombre de niveaux d'interconnexions sur la qualité de collage, les performances électriques et la fiabilité restent à étudier. Dans le but de répondre à ces questions, de nouveaux véhicules de tests ont été spécialement conçus et caractérisés morphologiquement et électriquement.

Ce chapitre présente dans un premier temps les masques de photolithographie servant à fabriquer ces véhicules de tests, contenant jusqu'à quatre niveaux d'interconnexions en cuivre. Les procédés de fabrication, les options d'intégration et les structures de tests seront décrits en détails.

Nous listerons et expliquerons dans un deuxième temps les techniques de caractérisations morphologiques et physico-chimiques utilisées afin d'investiguer la qualité de collage et le comportement des interfaces en fonction de la température de recuit.

Enfin, les méthodes de caractérisations électriques seront exposées, ainsi que les conditions de tests de fiabilité environnementales et de résistance à l'électromigration.

II.1 Description des véhicules de tests

Dans le cadre de cette thèse et de travaux antérieurs, des véhicules de tests ont été fabriqués afin de caractériser la qualité de collage, les performances électriques et la fiabilité de structures de cuivre réalisées par collage direct. Ces véhicules de tests ont été réalisés à l'aide des jeux de masques de photolithographie appelés FICO et PICA, spécialement conçus et fabriqués pour ces travaux.

Tandis que le premier possède deux niveaux d'interconnexions en cuivre, le second en possède quatre, ce qui permet la conception de structures de test plus complexes et plus proches des interconnexions de circuits réels. Dans les deux cas, le processus de fabrication est principalement basé sur le procédé damascène. Cependant, des différences importantes résident entre les deux types de véhicules de tests, tant au niveau des méthodes de fabrication que de l'intégration finale.

Dans cette partie, seront d'abord explicitées les règles de dessin générales à respecter lors de la conception d'un masque afin de garantir une qualité de collage optimale. Nous expliquerons par la suite les procédés de fabrication généraux des véhicules de tests utilisant les masques FICO et PICA. Les caractéristiques de chacune des intégrations seront notamment données. Les détails les plus spécifiques, tels que le

nombre de véhicules de tests, les machines de collage utilisées ou les conditions de recuit seront donnés dans les chapitres III et IV. Enfin, le rôle et les dimensions des structures de tests en cuivre seront décrits. Le code couleur utilisé pour identifier chaque matériau dans les schémas décrivant les différents procédés de fabrication sera utilisé tout au long de ce manuscrit.

II.1.1 Règles de dessin générales

Dans le cadre du collage direct de surface mixte Cu-SiO₂, l'étape déterminant la qualité de collage finale est le polissage mécano-chimique (CMP). En effet, l'homogénéité de l'action de polissage doit être assurée afin de garantir une rugosité et une topologie compatibles avec le collage sur la totalité de la surface des plaques. La largeur des structures de cuivre et leur densité jouent alors un rôle prépondérant. Pour cette raison, le dessin des niveaux de collage, mais aussi des niveaux inférieurs dans le cas de PICA, a été effectué suivant des règles précédemment établies.

La première règle est l'ajout de rectangles de cuivre de $5 \times 15 \mu\text{m}^2$ sur la face avant, en respectant des zones d'exclusions de 20 et 100 μm autour des structures de tests et au niveau des chemins de découpe respectivement. Les dimensions de ces structures, appelées ici factices de cuivre ou *dummies* en anglais, ont été choisies afin de correspondre aux dimensions moyennes des structures de tests. Leur but est d'obtenir une densité moyenne de Cu d'environ 25 % à tous les niveaux de métallisation. La vitesse de polissage du Cu étant plus grande que celle du SiO₂, il est en effet impératif d'homogénéiser la répartition du Cu afin de maîtriser l'amplitude de son sur-polissage et de l'érosion du SiO₂ qui en découle et ainsi garantir une bonne qualité de collage à l'échelle du substrat. De plus, l'énergie de collage de l'interface Cu/Cu étant plus importante que celle de l'interface SiO₂/SiO₂ pour une même température de recuit, l'ajout de factices de Cu alignés à l'interface de collage permet d'augmenter l'énergie de collage des véhicules de tests.

Toujours dans un souci de contrôler le sur-polissage du Cu, la deuxième règle de dessin concerne la taille des structures de test. Ainsi, l'amplitude du sur-polissage étant dépendante de la largeur des structures, cette dimension ne doit pas dépasser 25 μm afin de limiter le retrait du Cu à une dizaine de nanomètres. Dans le cas de structures plus grandes, telles que les plots d'amenées de courant, il est impératif de partitionner la surface de Cu avec des factices de SiO₂ cette fois. De cette manière, la structure garde la taille requise pour des raisons technologiques et l'effet de sur-polissage reste à une valeur compatible avec le collage direct.

II.1.2 Véhicule de test à deux niveaux d'interconnexions

Dans cette partie, nous présentons de manière générale l'intérêt et la composition du masque de photolithographie FICO ainsi que le procédé de fabrication des véhicules de tests utilisant ce masque.

II.1.2.1 Présentation générale

Les premiers véhicules de tests utilisés durant cette thèse ont été fabriqués avec le masque de photolithographie FICO, développé et étudié pour la première fois par R. Taibi *et al.* [Taibi'10, Taibi'11]. Ces véhicules de tests comportent deux niveaux d'interconnexions en cuivre réalisées par collage direct et un niveau de redistribution électrique (*redistribution layer* – RDL).

Les structures de test consistent en des lignes collées, appelées structures NIST (*National Institute of Standards and Technology*), et des chaînes de connexions. Celles-ci permettent d'étudier la qualité de collage via la résistance de contact de l'interface collage, la faisabilité et la reproductibilité d'interconnexions à haute densité et la résistance à l'électromigration de lignes collées.

Grâce à la relative rapidité de fabrication des véhicules de tests l'utilisant et à son adaptabilité, le masque FICO a été principalement employé afin de mener des études comparatives nécessitant un grand nombre d'échantillons différents. Ainsi, des structures NIST ayant des barrières de diffusion différentes ont été soumises à des tests d'électromigration afin d'étudier leurs mécanismes de défaillance. Aussi, l'impact de l'intégration puce-à-plaque sur les performances électriques des structures réalisées par collage direct a été étudié. Plusieurs véhicules de tests plaque-à-plaque et puce-à-plaque ont été fabriqués, à la fois en 200 et 300 mm, afin de mener des études comparatives entre ces différentes intégrations.

La Figure II.1 montre le champ concepteur composé de la superposition des quatre niveaux du masque FICO. La position et la nature des structures de tests employées dans nos études, décrites plus avant dans la partie II.1.4., sont aussi indiquées.

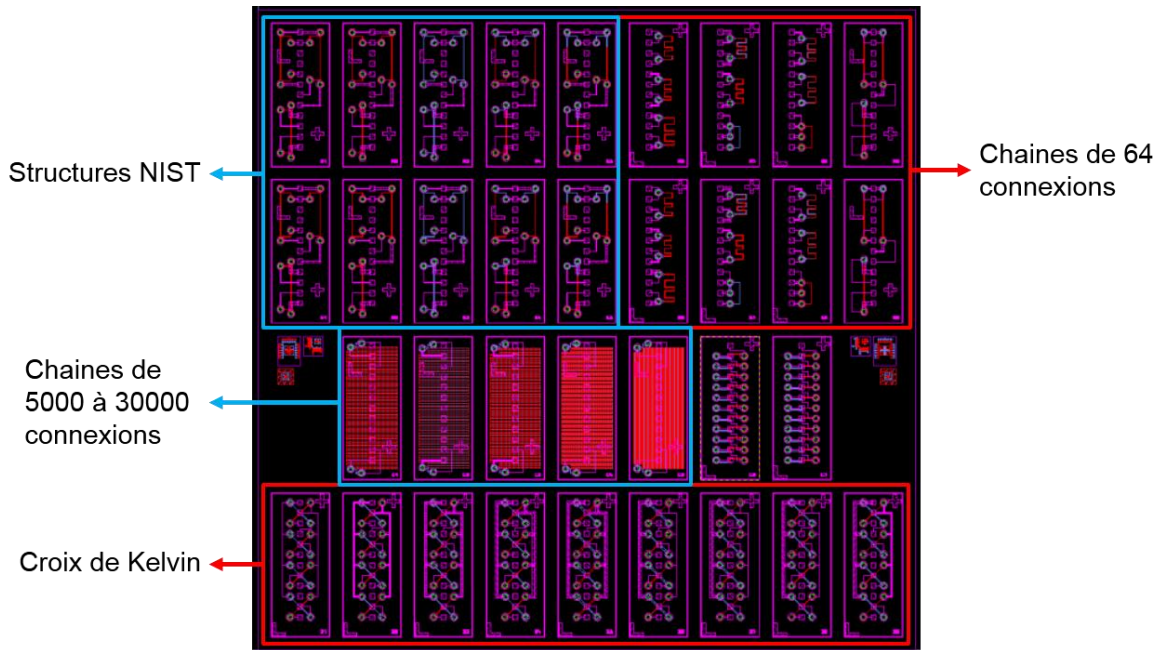
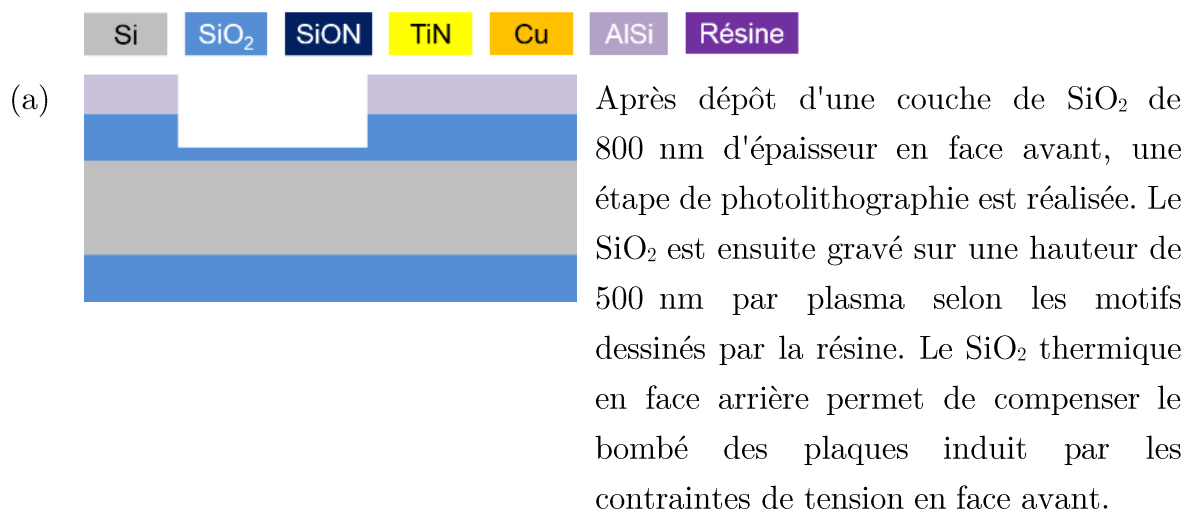



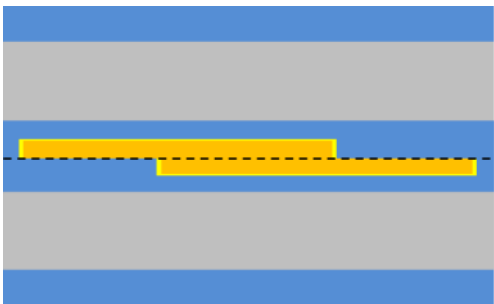

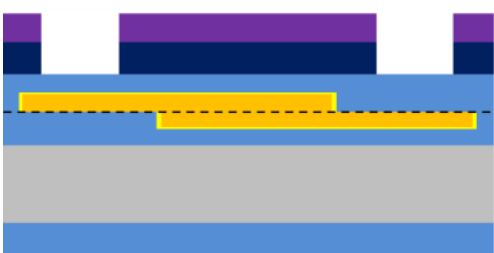



Figure II.1. Champ concepteur du masque FICO montrant l'emplacement et la nature des structures de tests. Les structures entourées en bleu sont celles que nous avons employées dans nos travaux.

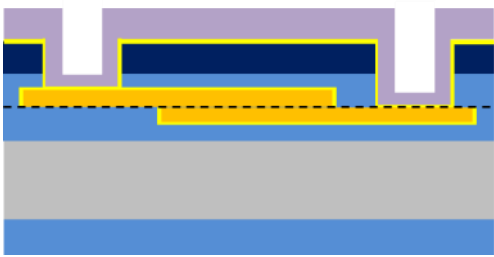
II.1.2.2 Procédé de fabrication général

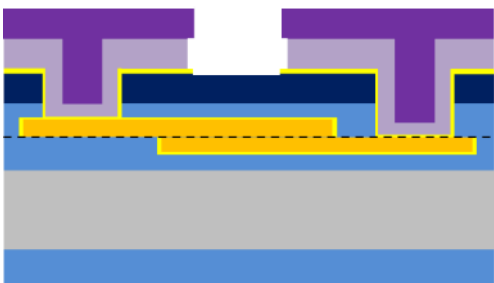
Nous détaillons ci-dessous le procédé de fabrication général de la plupart des véhicules de tests FICO utilisés dans nos études. Toutes les variantes de fabrication ou d'intégration auxquelles nous avons eu recours étant basées sur ce procédé, nous ne décrivons ici que l'intégration plaque-à-plaque en 200 mm avec barrière de diffusion en TiN et reprise de contact en Ti/TiN/AlSi. Plus de détails seront donnés dans le chapitre III traitant de la validation de l'intégration puce-à-plaque.




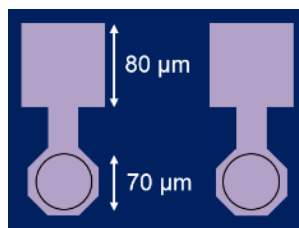
- (b)  La résine est retirée pour permettre le dépôt de 20 nm de TiN et de 200 nm de Cu par PVD. Cette double couche constitue à la fois une barrière de diffusion et une couche d'accroche pour le prochain dépôt de Cu
- (c)  Une croissance de 1 µm de Cu est effectuée par dépôt ECD. Un recuit à 400 °C est ensuite effectué afin de stabiliser cette couche et de renforcer son adhésion avec la barrière TiN [Kang'01]
- (d)  Les couches de Cu et de TiN sur le SiO₂ sont retirées par CMP. Cette étape laisse les surfaces planes et préparées pour le collage direct. Le Cu est en retrait de quelques nanomètres par rapport au SiO₂.
- (e)  Le collage aligné est conduit à température et pression ambiantes en salle blanche. Un recuit de consolidation est ensuite réalisé à 200 ou 400 °C pendant 2 heures.
- (f)  Le Si de la plaque supérieure est aminci à 40 µm par meulage grossier et fin, puis totalement retiré par gravure humide avec du TMAH (25 % à 90 °C).
- (g)  Une couche de SiON de 500 nm d'épaisseur est déposée puis gravée afin de commencer la réalisation des vias de 70 µm de diamètre au-dessus des amenées de courant des structures.

(h)  La résine est retirée et le SiO₂ est gravé jusqu'au cuivre. Une sur-gravure est nécessaire pour atteindre le niveau de Cu inférieur.

(i)  Après un traitement par plasma H₂ servant à désoxyder et nettoyer le Cu, le niveau RDL composé de 90 nm de Ti/TiN et de 1,2 μm d'AlSi est déposé. L'emploi de l'aluminium garantit la passivation naturelle du niveau RDL.

(j)  Les lignes du niveau RDL sont réalisées par gravures chimique et plasma des couches d'AlSi et de Ti/TiN respectivement.

(k)  La fabrication se conclut par le retrait de la résine présente sur l'AlSi restant.



Vue de dessus des lignes d'AlSi sur le SiON de la plaque supérieur

Certains véhicules de tests utilisés dans nos études possèdent une intégration différente, développée par R. Taibi durant sa thèse et basée sur des vias de 70 μm de largeur et 50 μm de hauteur, traversant le silicium de la plaque supérieure. La reprise de contact est ici assurée par une couche de TiN/Cu.

Dans ce cadre, afin d'éviter toute corrosion du cuivre lors des tests de fiabilité, des étapes de passivation sont nécessaires. La première consiste à couvrir le cuivre de BCB, puis à réaliser une ouverture au niveau des plots de contact. Ces derniers sont recouverts

d'un alliage titane-nickel-or aussi appelé UBM pour *under bump metallization* en anglais. De cette manière, le cuivre n'est plus en contact avec l'air ambiant et les plots en UBM sont utilisés pour caractériser électriquement les structures collées. L'intégration complète est illustrée dans la Figure II.2.

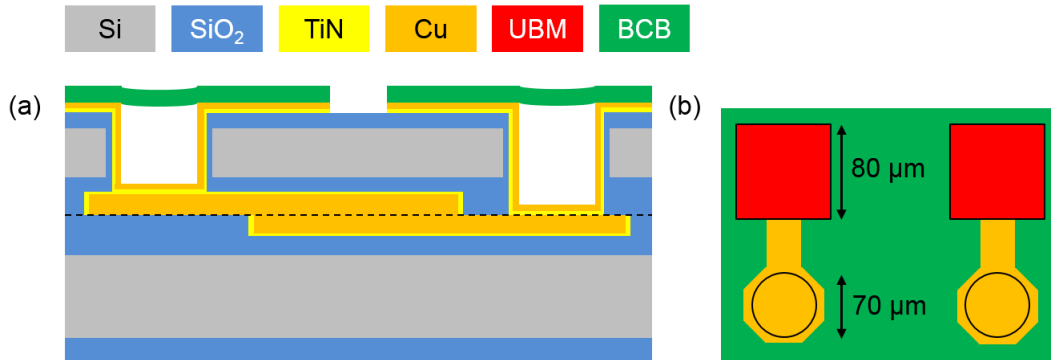


Figure II.2. Représentation schématique de l'intégration utilisant des vias dans le silicium et un niveau de redistribution en cuivre (a) vue en coupe et (b) vue de dessus.

II.1.2.3 Intégration puce-à-plaque

L'intégration puce-à-plaque des VT FICO utilise le même procédé de fabrication des structures de cuivre que l'intégration plaque-à-plaque. Une fois cette étape effectuée, les plaques supérieures sont sciées en puces de dimensions $14,2 \times 10,2$ mm². Les puces ainsi créées doivent subir une préparation de surface spécifique, composée d'étapes de traitement UV/O₃, de désoxydation du cuivre et de brossage mécanique.

Après le collage, des plots de cuivre présents sur la plaque et distants de 500 μm des puces permettent une caractérisation électrique manuelle des structures, sans aucune étape technologique post-collage (Figure II.3). Il est toutefois nécessaire de passiver l'empilement avec un dépôt de 40 nm de SiN avant d'effectuer le recuit de collage à 200 ou 400 °C afin d'éviter toute oxydation des amenées de courant en cuivre. Cette faible épaisseur de SiN a le double avantage d'encapsuler efficacement les lignes de cuivre et de permettre la caractérisation électrique, la couche étant facilement percée par les pointes de test.

Concernant les tests de fiabilité, cette intégration permet de conduire des tests de contraintes environnementales (cyclage thermique, stockage en température) mais pas de tester la résistance à l'électromigration des structures.

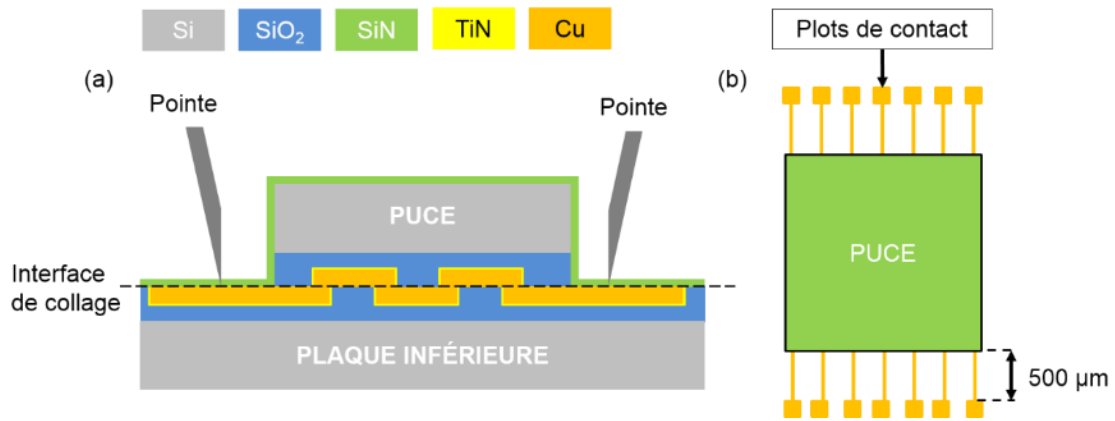


Figure II.3. Représentation schématique de l'intégration puce-à-plaque des VT utilisant le masque FICO (a) vue en coupe et (b) vue de dessus.

II.1.3 Véhicule de test à quatre niveaux d'interconnexions

Cette partie est dédiée à la présentation de l'intérêt et de la composition du nouveau masque de photolithographie PICA ainsi que du procédé de fabrication des véhicules de tests l'utilisant.

II.1.3.1 Présentation générale

Dans le but d'étudier le procédé de collage direct dans un contexte plus proche d'une architecture industrielle, pouvant comporter de nombreux niveaux d'interconnexions et matériaux différents, le masque PICA a été conçu et fabriqué durant cette thèse. Il consiste en quatre niveaux d'interconnexions en cuivre réalisées par collage direct et d'un niveau de RDL en aluminium.

La fabrication des niveaux d'interconnexions de chaque plaque servant au collage est basée sur une succession de deux procédés simples damascènes. Ceux-ci incluent des dépôts de couches de SiN servant de couches d'arrêt à la gravure du SiO₂, ainsi que de barrières à la diffusion du cuivre dans le SiO₂ du niveau supérieur.

Grâce à la présence de structures NIST à deux niveaux et de chaînes de connexions à quatre niveaux, le masque PICA permet d'étudier la qualité de collage via la faisabilité et la reproductibilité d'interconnexions à haute densité réalisées par collage direct. Cependant, il permet aussi d'obtenir des informations supplémentaires concernant le comportement et la fiabilité des structures, seulement accessibles à l'aide de quatre niveaux d'interconnexions.

Ainsi, des structures capacitives planes et en peigne ont été conçues afin de détecter une éventuelle diffusion du Cu dans le SiO₂ à l'interface de collage, caractérisée par une augmentation de la capacité. D'autre part, des structures dites asymétriques comportant des vias formés de deux plots de collage permettent d'étudier l'influence du sens du courant dans leur dégradation par électromigration. La comparaison avec les résultats d'études précédentes menées sur des vias fabriqués de façon standard mettrait en

évidence dans quelle mesure des structures de cuivre collées se comportent comme des structures en cuivre monolithique.

Cependant, nous verrons dans le chapitre IV que des problèmes survenus lors de la conception du masque PICA ont engendré des dégradations lors de la fabrication des véhicules de tests, empêchant l'utilisation des structures capacitives et asymétriques. Ainsi, seules les structures NIST et les chaînes de connexions ont pu être caractérisées.

La Figure II.4 montre le champ concepteur du masque PICA et indique la position et la nature des structures de tests utilisées.

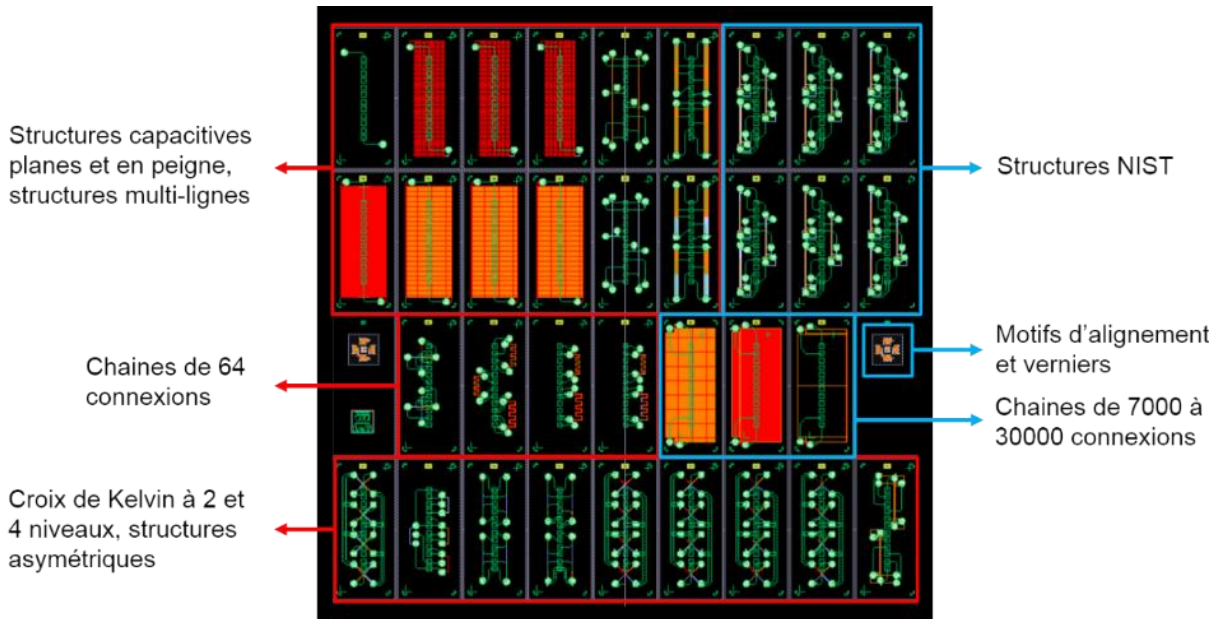


Figure II.4. Champ concepteur du masque PICA montrant l'emplacement et la nature des structures de tests. Les structures entourées en bleu sont celles que nous avons employées dans nos travaux.

En plus des règles de dessins générales énoncées plus tôt, une intégration à quatre niveaux d'interconnexions réalisée par collage direct nécessite des étapes technologiques et des règles de dessins spécifiques.

Ainsi, une attention toute particulière a été portée à la planéité de chaque niveau de métallisation afin que le niveau de collage possède une topologie compatible avec les prérequis du collage direct. Cela a aussi été assuré par l'usage de factices de cuivre aux quatre niveaux, en prenant soin d'y reporter leur zone d'exclusion afin d'éviter les courts-circuits avec les structures de tests et les problèmes de lectures des motifs servant à l'alignement des étapes de photolithographie et de collage.

Enfin, contrairement à FICO, il était ici impossible de reprendre un contact sur les différents niveaux de cuivre à l'aide d'une sur-gravure du SiO_2 de la plaque supérieure. En effet, sur certaines structures, il peut exister une différence de hauteur allant jusqu'à $1,5 \mu\text{m}$ entre les plots de cuivre des plaques inférieure et supérieure. Cette

différence ne peut être compensée par sur-gravure sans endommager de manière irréversible le cuivre des plots de contact de la plaque supérieure.

Par conséquent, des plots de remontée de courant partant des niveaux inférieurs vers les niveaux supérieurs ont été ajoutés, comme illustré dans la Figure II.5. Ces plots se présentent sous la forme de matrices 3×3 et ont des tailles différentes à l'interface de collage. Cette configuration permet de limiter les risques de défaillance de ces structures en cas de désalignement, de mauvaise qualité de collage ou pendant les tests de fiabilité.

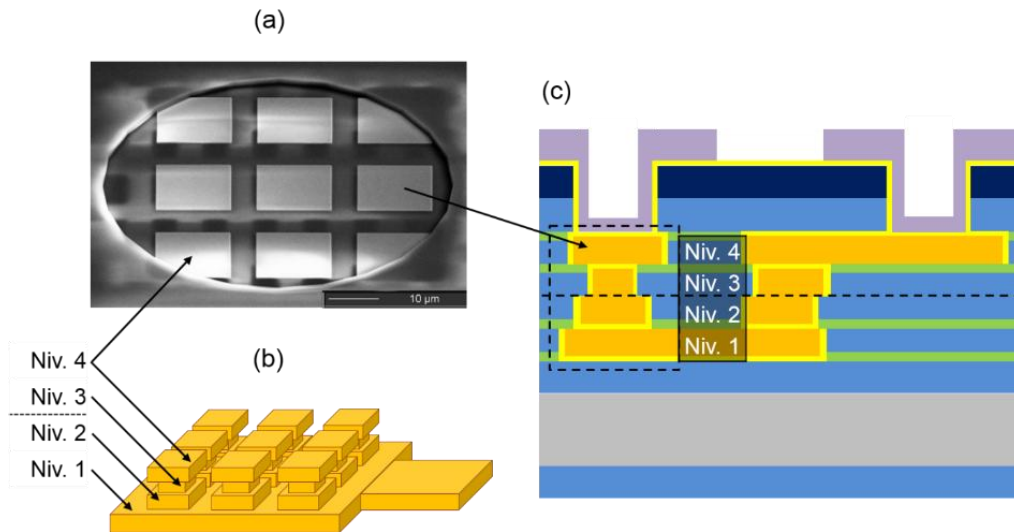
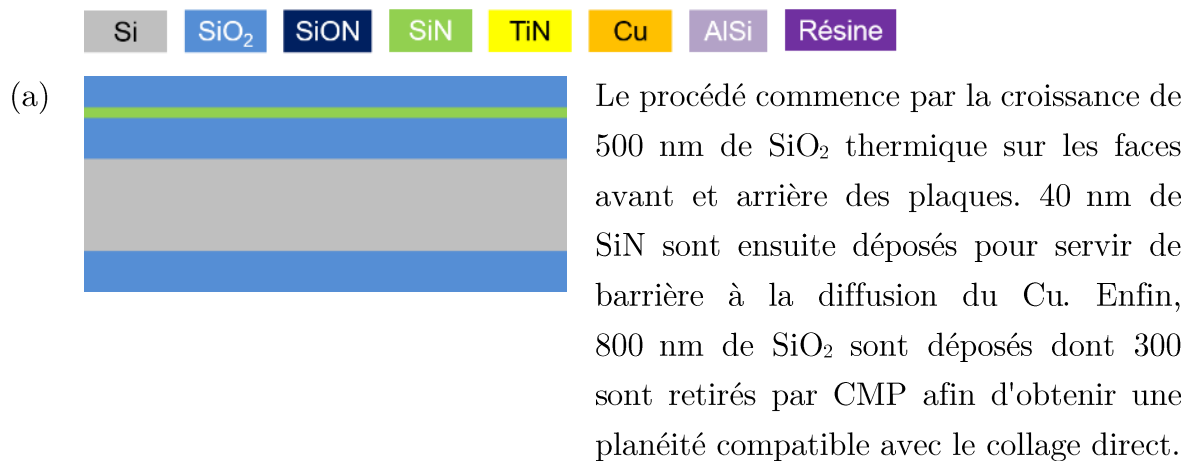





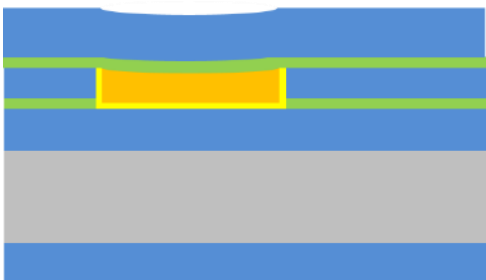


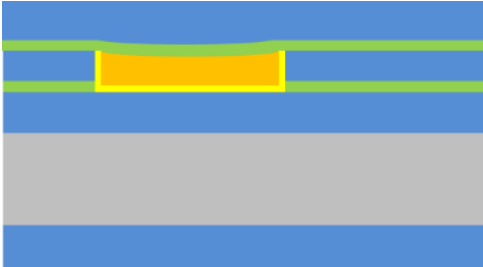



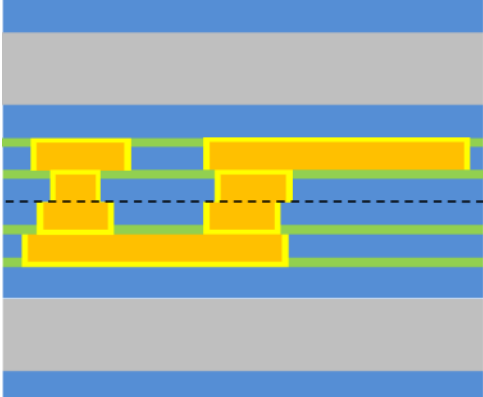
Figure II.5. (a) Image SEM d'un via dans le SiO₂ débouchant sur les plots de remontée de courant. (b) Représentation schématique des plots et (c) vue en coupe de l'intégration PICA.

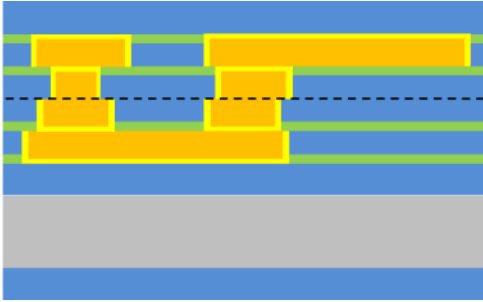
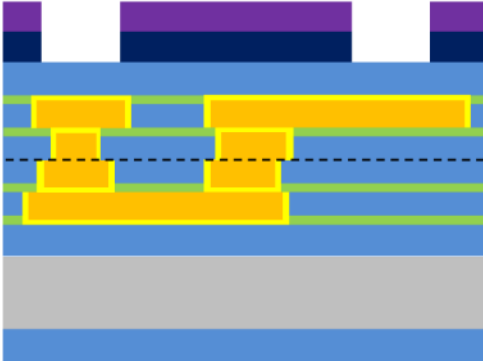
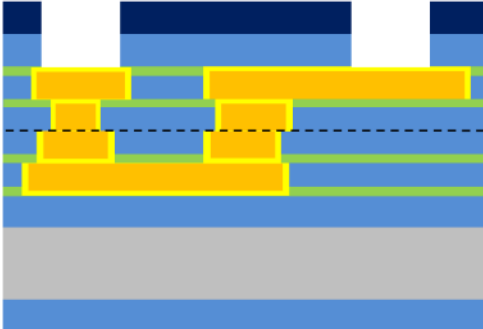
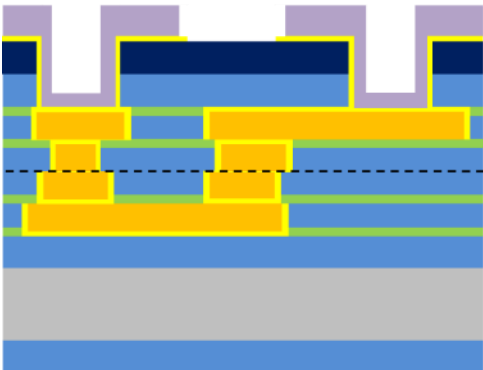
II.1.3.2 Procédé de fabrication

Nous détaillons ci-dessous les étapes principales du procédé de fabrication des véhicules de tests utilisant le masque PICA, dans le cadre de l'intégration plaque-à-plaque en 200 mm utilisée.



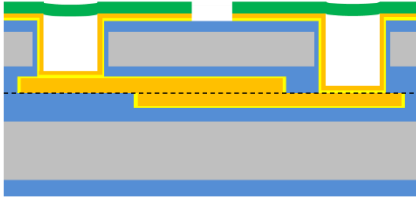

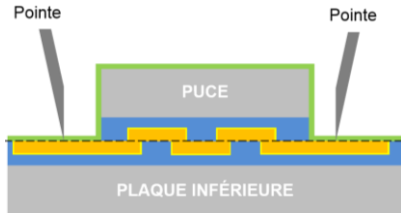
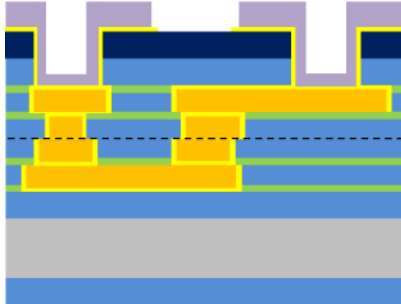
- (b)  Les 500 nm de SiO₂ sont gravés par plasma après une étape de photolithographie. Le SiN sert ici de couche d'arrêt à la gravure du SiO₂.
- (c)  La résine est retirée et le SiN au fond de la tranchée de SiO₂ est gravé par plasma.
- (d)  Le même procédé de remplissage métallique que pour le masque FICO est employé. 20 nm de TiN et 200 nm de Cu sont ainsi déposés par PVD.
- (e)  Une croissance d'environ 1 μm de Cu est effectuée par dépôt ECD. Un recuit à 400 °C est ensuite effectué afin de stabiliser cette couche et de renforcer son adhésion avec la barrière TiN.
- (f)  Les surplus de Cu et de TiN sont retirés par CMP. Le Cu est en retrait de quelques nanomètres par rapport au SiO₂.
- (g)  40 nm de SiN et 700 nm de SiO₂ sont déposés sur le premier niveau de Cu. La topologie de surface du SiO₂ est affectée par la topologie du Cu du niveau inférieur.

- (h)  Une étape de CMP retire 200 nm de SiO₂ afin de compenser cette topologie et ainsi retrouver une planéité compatible avec le collage direct.
- (i)  Le SiO₂ est gravé de la même manière que pour le premier niveau de Cu.
- (j)  Le retrait de la résine s'effectue avant la gravure du SiN afin d'éviter toute oxydation majeure du Cu en fond de plot.
- (k)  Le deuxième niveau est métallisé et poli de la même manière que précédemment.
- (l)  Le collage aligné est conduit à température et pression ambiantes en salle blanche.

- (m)  Le Si de la plaque supérieure est entièrement retiré par une succession de meulage et de gravure chimique au TMAH (25 % à 90 °C).
- (n)  Le masque dur en SiON de 500 nm d'épaisseur est déposé puis gravé après une étape de photolithographie.
- (o)  Après retrait de la résine, le SiO₂ est gravé jusqu'au TiN du premier niveau de Cu de la plaque supérieure en utilisant le SiON comme masque dur. Là aussi, l'oxydation du Cu est évitée par ce procédé.
- (p)  Le niveau RDL en Ti/TiN/AlSi est enfin réalisé grâce aux gravures chimique et sèche successives et au retrait de la résine.

Le Tableau II.1 résume les différents types d'intégrations employées dans le cadre des véhicules de tests FICO et PICA fabriqués par collages plaque-à-plaque et puce-à-plaque. Les avantages et inconvénients de chaque intégration sont aussi donnés.

Tableau II.1. Récapitulatif des intégrations employées avec les masques FICO et PICA pour toutes les études morphologiques et électriques conduites durant la thèse.

Intégration	Schémas en coupe	Avantages	Inconvénients
Véhicule de test FICO			
<p>Plaque-à-plaque <i>Vias dans le silicium, redistribution électrique en cuivre</i></p>		<ul style="list-style-type: none"> - Intégration fiable et industrialisable - Compatible avec des mesures électriques automatiques sur plaque - Possibilité de mise en boîtier des structures 	<ul style="list-style-type: none"> - Procédé de passivation du niveau RDL long et complexe - Structures de test non-visibles au microscope - Dégradation du BCB au-delà de 250 °C
<p>Plaque-à-plaque <i>Vias dans l'oxyde, redistribution électrique en aluminium</i></p>		<ul style="list-style-type: none"> - Intégration fiable et rapide - Le niveau RDL n'a pas besoin d'être passivé - Mesures électriques auto. sur plaque - Possibilité de mise en boîtier des structures 	<ul style="list-style-type: none"> - Intégrité finale très dépendante de la qualité de collage
<p>Puce-à-plaque <i>Plots de contact en dehors des puces</i></p>		<ul style="list-style-type: none"> - Caractérisation électrique possible immédiatement après collage - Intégration visée par les dispositifs à hautes performances 	<ul style="list-style-type: none"> - Mesures automatiques sur plaques difficiles - Mise en boîtier des structures non disponible
Véhicule de test PICA			
<p>Plaque-à-plaque <i>Vias dans l'oxyde, redistribution électrique en aluminium</i></p>		<ul style="list-style-type: none"> - Intégration fiable et proche d'un BEoL standard - Le niveau RDL n'a pas besoin d'être passivé - Profondeur de gravure unique - Mesures électriques auto. sur plaque - Possibilité de mise en boîtier des structures 	<ul style="list-style-type: none"> - Intégrité finale très dépendante de la qualité de collage

II.1.4 Présentation des structures de tests électriques

Cette partie est dédiée à la description des structures de tests électriques, conçues et fabriquées dans le but d'étudier la qualité de collage dans le cadre d'intégrations à deux et quatre niveaux d'interconnexions, réalisées par collage plaque-à-plaque et puce-à-plaque. Nous détaillerons d'abord le rôle et les caractéristiques des structures NIST, puis ceux des chaînes de connexions.

II.1.4.1 Description des structures NIST

Les motifs de test les plus couramment utilisés pour des études de résistances électriques et d'électromigration sont développés sur la base de structures dites NIST. Il s'agit de structures dont les caractéristiques ont été standardisées par le comité JEDEC (*joint electron device engineering council*) et destinées à effectuer des tests de résistance à l'électromigration, permettant *in fine* de déterminer la durée de vie de la ligne [JESD87].

La géométrie générale consiste en une ligne de métal munie de deux amenées de courant et deux sondes de tension permettant de mesurer la résistance de la ligne par méthode 4 pointes (aussi appelée mesure Kelvin). Cette configuration permet de mesurer avec une grande précision la résistance de la ligne tout en s'affranchissant des résistances parasites des fils acheminant le courant. Ainsi, la moindre variation de résistance durant un test de vieillissement accéléré, pouvant être due à la germination de cavités, au délaminage ou à l'extrusion de cuivre, sera détectée facilement.

Pour les besoins des études sur l'impact de l'intégration et du type de barrière de diffusion sur la résistance électrique et la fiabilité des lignes réalisées par collage direct, quatre structures NIST différentes ont été utilisées. La Figure II.6 décrit la géométrie et les dimensions de celles-ci.

Les structures A0 sont utilisées pour extraire la résistivité du cuivre des plaques via une mesure de résistance de la ligne. Les structures collées A1, A2 et A3 sont particulièrement utiles pour mener des tests de résistance à l'électromigration et observer notamment l'impact de la taille de la surface collée sur la durée de vie (structure A2). La particularité majeure de la NIST A3 réside dans le positionnement des amenées de courant se trouvant toutes deux au même niveau. Cette configuration n'obligeant pas le passage du courant par l'interface de collage, celui-ci restera sur la ligne supérieure si la résistivité de contact est trop importante. La comparaison des résistances théoriques et expérimentales des structures A1 et A3 permettra d'éclaircir ce point et ainsi évaluer la qualité de collage.

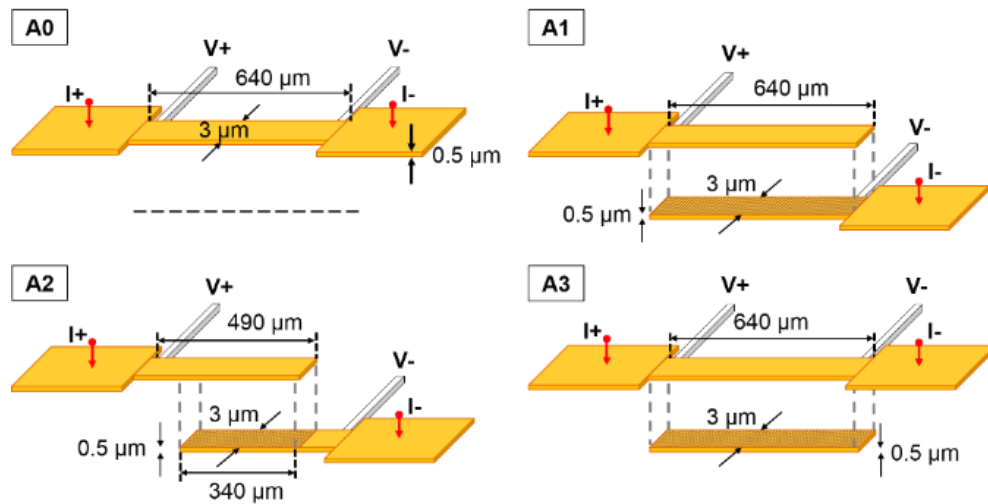


Figure II.6. Géométries et dimensions des structures NIST unitaire (A0) et collées (A1, A2, A3).

II.1.5 Description des chaînes de connexions

Les chaînes de connexions, appelées *daisy chains* en anglais, sont communément utilisées en microélectronique pour caractériser la faisabilité, la reproductibilité, le rendement ou encore la résistivité de contact d'interconnexions. Dans notre cas, ces structures consistent en une succession de lignes de cuivre connectées en série, disposées en quinconce de part et d'autre de l'interface de collage.

La possibilité pour le courant de passer d'un bout à l'autre des chaînes est directement conditionnée par le bon fonctionnement de chaque connexion. Le rendement de fonctionnement et les performances électriques témoignent donc de la maîtrise des procédés de fabrication, de l'alignement et de la qualité de collage. Pour cette raison, nos études portant sur ces aspects sont essentiellement basées sur les caractérisations morphologiques et électriques des chaînes de connexions.

Les connexions entre les lignes de cuivre s'effectuent soit directement à l'interface de collage dans l'intégration FICO, soit par l'intermédiaire de plots de collage dans l'intégration PICA, comme illustré dans la Figure II.7. Dans ce dernier cas, l'utilisation de plots de connexion permet de réduire significativement la quantité d'interfaces Cu/SiO₂ et de se rapprocher d'une architecture industrielle standard fabriquée par procédé double damascène [Wolf'04].

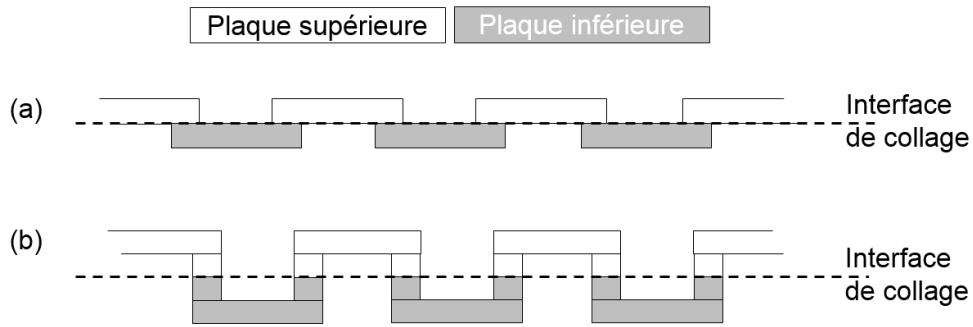


Figure II.7. Représentation schématique en coupe des chaînes de connexions intégrées dans les véhicules de tests (a) FICO et (b) PICA.

Les véhicules de tests FICO et PICA intègrent tous deux des chaînes ayant jusqu'à 30000 connexions avec un pas d'espacement de $7 \mu\text{m}$, ce qui correspond à une densité d'environ 2.10^6 interconnexions par cm^2 . Ces caractéristiques sont en adéquation avec les objectifs visés par les futurs dispositifs électroniques 3D à hautes performances, établis par la feuille de route de l'ITRS présentée dans le chapitre I [ITRS'13].

Ce grand nombre de connexions par chaîne permet notamment d'extraire des valeurs moyennes de résistances de contact R_c et par extension d'aboutir à des estimations de la résistivité de contact ρ_c de l'interface de collage Cu/Cu. Enfin, la conduite de tests de fiabilité environnementale sur de telles structures permet de caractériser la robustesse mécanique et la résistance à la corrosion de l'intégration. Nous détaillons ci-dessous les spécificités de chaque type de chaîne de connexion dans leur intégration respective.

❖ Intégration FICO

Le masque FICO comprend cinq chaînes de connexions à deux niveaux, dénommées DCF1 à DCF5, possédant chacune des caractéristiques spécifiques en nombre de connexions, dimensions et pas d'espacement. La Figure II.8 montre des images optiques de différents types de chaînes, prises par transparence à travers le SiO_2 de la plaque supérieure après retrait total du silicium.

Les caractéristiques des cinq chaînes sont répertoriées dans le Tableau II.2. La chaîne DCF5 possédant un nombre de connexions et un pas d'espacement similaires à la feuille de route de l'ITRS, nous porterons une attention spéciale sur les performances de cette structure lors de nos études.

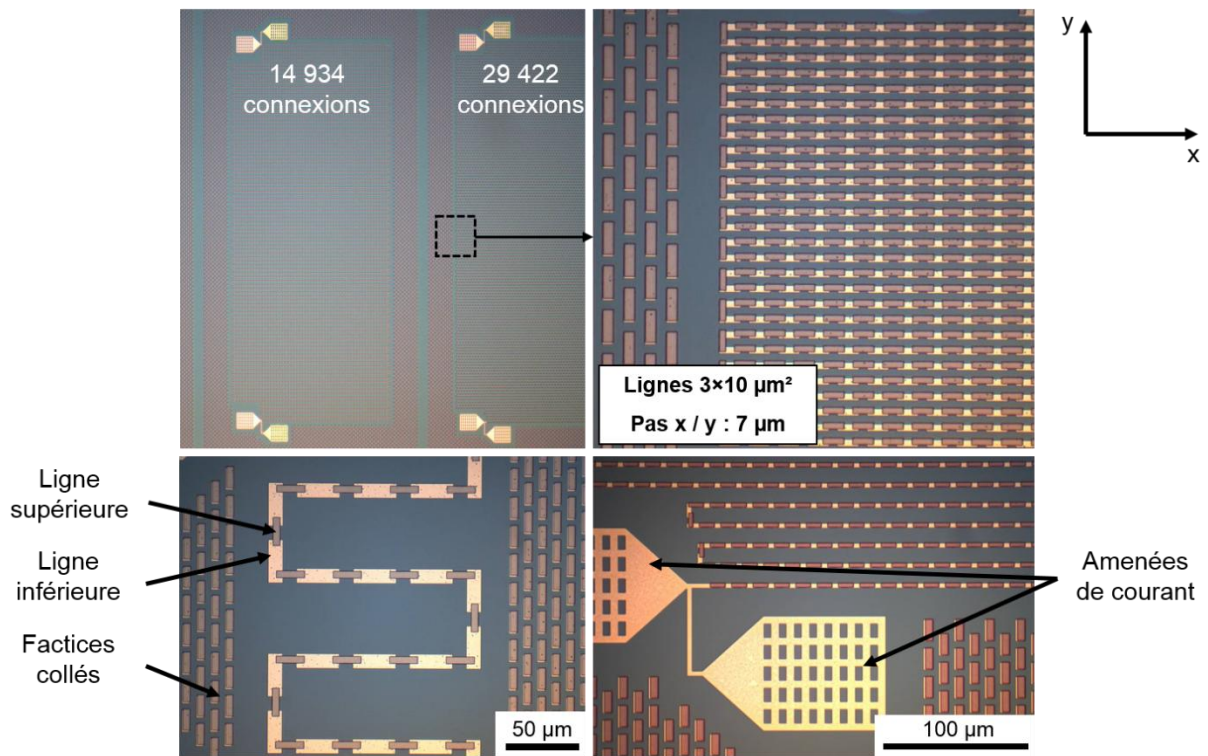





Figure II.8. Images optiques des chaînes de connexions présentes sur les véhicules de tests FICO après retrait total du silicium de la plaque supérieure.

Tableau II.2. Caractéristiques des cinq chaînes de connexions à deux niveaux présentes sur le masque FICO.

Chaîne	DCF1	DCF2	DCF3	DCF4	DCF5
Interconnexions	10136	4872	10772	14934	29422
Largeur de la ligne supérieure (μm)	3	5	3	3	3
Largeur de la ligne inférieure (μm)	3	5	5	3	3
Aire de contact (μm^2)	9	25	9	9	9
Pas d'espacement x / y (μm)	7 / 21	10 / 30	7 / 21	7 / 14	7 / 7
Lignes collées vues du dessus					

❖ **Intégration PICA**

Le masque PICA comprend trois chaînes de connexions à quatre niveaux, dénommées DCP1 à DCP3, possédant chacune des caractéristiques spécifiques en matière de nombre de connexions, de dimensions et de pas d'espacement. La connexion entre les deux plaques se fait à l'aide de plots de collage carrés en cuivre. Tandis que ces plots sont symétriques dans le cas des chaînes DCP2 et DCP3, la chaîne DCP1 possède des plots de tailles différentes entre la plaque inférieure et la plaque supérieure. Cette configuration assure une surface de contact constante indépendamment du désalignement entre les plaques. Nous utiliserons ces structures pour calculer la résistivité de contact de l'interface de collage Cu/Cu dans le chapitre IV.

La Figure II.9 montre des images optiques de différents types de chaînes, prises par transparence à travers le SiO_2 de la plaque supérieure après retrait total du silicium. Les caractéristiques des trois chaînes sont regroupées dans le Tableau II.3. De la même façon que la chaîne DCF5, les chaînes DCP3 possèdent des caractéristiques correspondant à la feuille de route de l'ITRS. Les résultats des caractérisations morphologiques et électriques concerneront donc principalement cette structure.

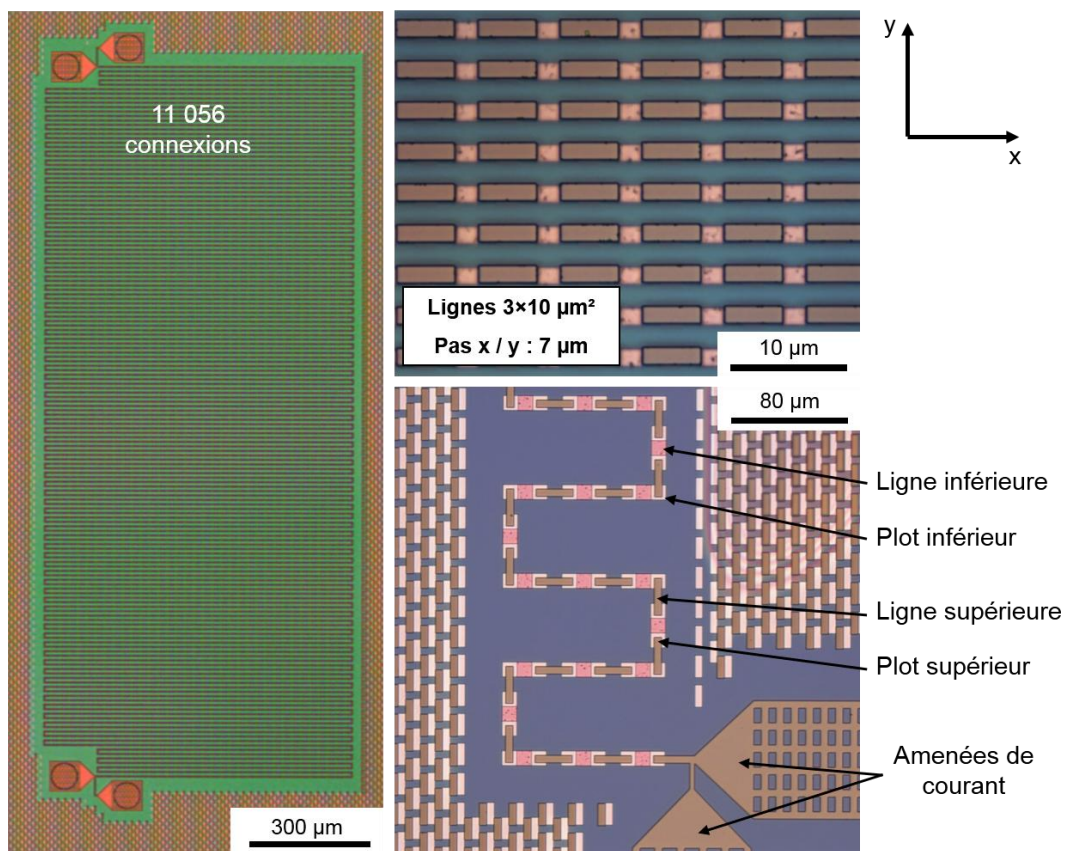
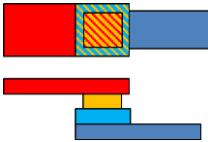
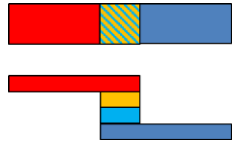
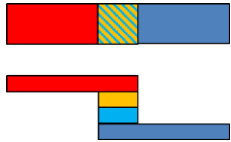


Figure II.9. Images optiques des chaînes de connexions présentes sur les véhicules PICA après retrait total du silicium de la plaque supérieure.

Tableau II.3. Caractéristiques des trois chaînes de connexions à quatre niveaux présentes sur le masque PICA.

Chaîne	DCP1	DCP2	DCP3
Interconnexions	7068	11056	32160
Largeur du plot supérieur (μm)	3	3	3
Largeur du plot inférieur (μm)	5	3	3
Aire de contact (μm^2)	9	9	9
Pas d'espacement x / y (μm)	15 / 15	12 / 12	7 / 7
Lignes collées vues du dessus et de côté			

II.2 Techniques de caractérisations morphologiques

Cette partie a pour but de décrire les techniques de caractérisations physiques et morphologiques employées sur les structures de tests décrites dans la partie précédente. Les caractéristiques des interfaces Cu/Cu, Cu/SiO₂ et SiO₂/SiO₂ sont étudiées grâce à des techniques d'inspection à l'échelle nanométrique. Les axes d'études s'orientent vers l'influence de la température de recuit sur la fermeture de l'interface Cu/Cu, la répartition des cavités et la diffusion du Cu à cette interface ainsi que l'impact des tests de fiabilité.

II.2.1 Microscope à force atomique (AFM)

La microrugosité est un paramètre déterminant dans le procédé de collage direct. En effet, dans le cas des collages Si/SiO₂ et SiO₂/SiO₂, des études ont montré que la rugosité maximale acceptable pour que le collage ait lieu doit être comprise entre 0,5 nm et 0,65 nm RMS sur une surface de $1 \times 1 \mu\text{m}^2$ [Tong'99, Moriceau'03].

Nous verrons dans la suite de ce manuscrit que la rugosité de surface du cuivre a aussi une incidence sur la morphologie de l'interface de collage. Dans le cadre de surfaces hybrides Cu-SiO₂, il est primordial que l'étape de polissage par CMP soit optimisée afin de limiter le sur-polissage du Cu et d'obtenir une rugosité compatible avec le procédé de collage direct pour les deux matériaux.

La technique de caractérisation la plus adaptée pour mesurer la rugosité d'une

surface à l'échelle nanométrique est la microscopie à force atomique (*atomic force microscopy* – AFM). La Figure II.10 illustre le principe de l'AFM, basé sur l'interaction électrostatique entre une pointe en Si et la surface d'un échantillon.

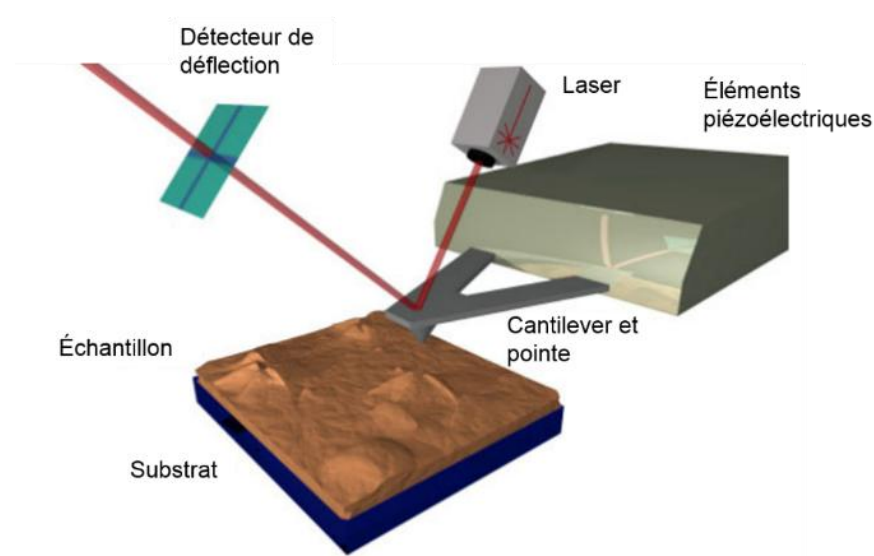


Figure II.10. Schéma de principe du microscope à force atomique. Une pointe en Si balaye la surface d'un échantillon, dont la variation de hauteur, correspondant à la topologie de surface, est enregistrée grâce à un laser.

Le mode d'acquisition utilisé dans nos études est appelé *tapping* et consiste à faire entrer en résonance la pointe à une fréquence constante afin que le contact avec la surface se fasse par intermittence. L'interaction avec la surface est détectée grâce à la modification de cette fréquence de résonance. Un asservissement déplace la pointe en z d'une valeur équivalente à la rugosité de la surface pour ramener la fréquence de résonance à sa valeur nominale.

Grâce à cette configuration, l'usure de la pointe est réduite par rapport au mode de contact permanent, ce qui permet d'utiliser des pointes plus fines et atteindre ainsi des résolutions latérale et verticale de l'ordre de la dizaine de nanomètres et de l'angström respectivement.

Deux paramètres pertinents sont à considérer pour les applications de collage direct. Le premier est la racine carrée de la moyenne des écarts des hauteurs par rapport au plan moyen, appelée "*Root Mean Square*" (RMS), et décrit comme

$$RMS = \sqrt{\sum_1^N (Z_j)^2 / N} \quad (4)$$

avec Z_j la hauteur des aspérités (nm) et N le nombre d'aspérités. Le deuxième paramètre

est la valeur maximale R_{max} entre le point le plus bas et le point le plus haut, aussi appelé *peak to valley* en anglais.

II.2.2 Microscopie infrarouge (IR) et acoustique (SAM)

Dans le cas d'un collage de plaques composées de matériaux transparents dans la gamme de longueur d'onde 1-5 μm , tels que le Si et le SiO_2 , l'outil le plus simple et le plus rapide pour visualiser d'éventuels défauts de collage est le microscope à lumière infra-rouge. Les défauts apparaissent alors sous forme de franges d'interférences ou d'une différence de contraste, avec une résolution verticale de 0,5 μm environ.

Cependant, l'emploi de matériaux métalliques au niveau de l'interface de collage pour réaliser les connexions électriques ne permet pas une observation aisée, étant donné que le métal est opaque dans la gamme des IR et que les défauts peuvent se confondre avec les motifs métalliques. La microscopie acoustique à balayage (*scanning acoustic microscopy* – SAM) peut alors être employée en complément. Cette technique est basée sur la transmission et la réflexion d'une onde acoustique dans les matériaux et fait appel à l'impédance acoustique, propriété intrinsèque des milieux traversés par l'onde et décrite comme

$$Z = \rho \cdot c \tag{5}$$

où Z l'impédance acoustique ($\text{g}/\text{m}^2 \cdot \text{s}$), ρ la masse volumique du matériau (g/m^3) et c la vitesse de propagation de l'onde dans le matériau (m/s). La détection d'un défaut à l'interface de collage est due à la rupture brutale d'impédance imposée par le défaut de collage, pouvant être composé d'eau, d'air ou de vide.

II.2.3 Usinage ionique (FIB) et microscopie électronique (SEM)

Les caractérisations morphologiques en coupe de l'interface de collage sont possibles grâce à un équipement combinant un faisceau d'ions focalisés (*focused ion beam* – FIB) et un système de microscopie électronique à balayage (*scanning electron microscopy* – SEM).

La partie FIB est constituée d'une colonne à faisceau d'ions galium Ga^+ permettant d'usiner les zones d'intérêts de manière perpendiculaire à la surface des plaques. Il est aussi alors possible de réaliser des images FIB à électrons secondaires, dont le contraste des images est hautement sensible à l'orientation des grains des matériaux cristallins.

La partie SEM consiste quant à elle à sonder la matière à l'aide d'un faisceau électronique. Après émissions spontanées à partir d'un filament chauffé par un courant électrique, les électrons sont accélérés par un champ électrique dont le potentiel peut varier entre 1 et 30 kV. Un ensemble de lentilles, de diaphragmes et de bobines

défectrices permet alors de focaliser et de diriger le faisceau sur la zone à observer. Les images électroniques obtenues permettent de contrôler dans un premier temps l'abrasion par la partie FIB, et de réaliser des images en coupe des structures collées, avec une résolution latérale d'une dizaine de nanomètres.

II.2.3.1 Tomographie FIB-SEM

En conservant le principe des premières techniques de tomographie, basées sur une succession d'abrasions mécaniques ou chimiques et d'acquisitions d'images, la tomographie FIB-SEM a été mise au point dans les années 1990. Comme le montre la Figure II.11(a), elle consiste à effectuer des abrasions perpendiculaires à la surface de la plaque au FIB et à acquérir des images électroniques au SEM.

Bien que cette technique ne requiert que peu de préparation, un travail important de post-traitement est nécessaire afin de réaliser la reconstruction des images obtenues (Figure II.11(b)). La zone caractérisée est alors reproduite en trois dimensions sur ordinateur, comme l'illustre la Figure II.11(c) avec une reconstruction tomographique d'une anode en Ni et zircone ZrO_2 stabilisé par yttrium Y_2O_3 (YSZ) [Vivet'11].

À partir de cette reconstruction, il devient possible de réaliser des images en coupe dans n'importe quelle direction de l'espace. De cette manière, des informations telles que le volume et la distribution des différents matériaux et des défauts aux interfaces sont accessibles. La résolution dans les plans (xz) et (yz) dépend de l'espacement entre chaque abrasion FIB, estimé entre 2 et 3 nm dans notre cas. La résolution dans le plan (xy) est quant à elle d'environ 1 nm, correspondant à la résolution du SEM employé.

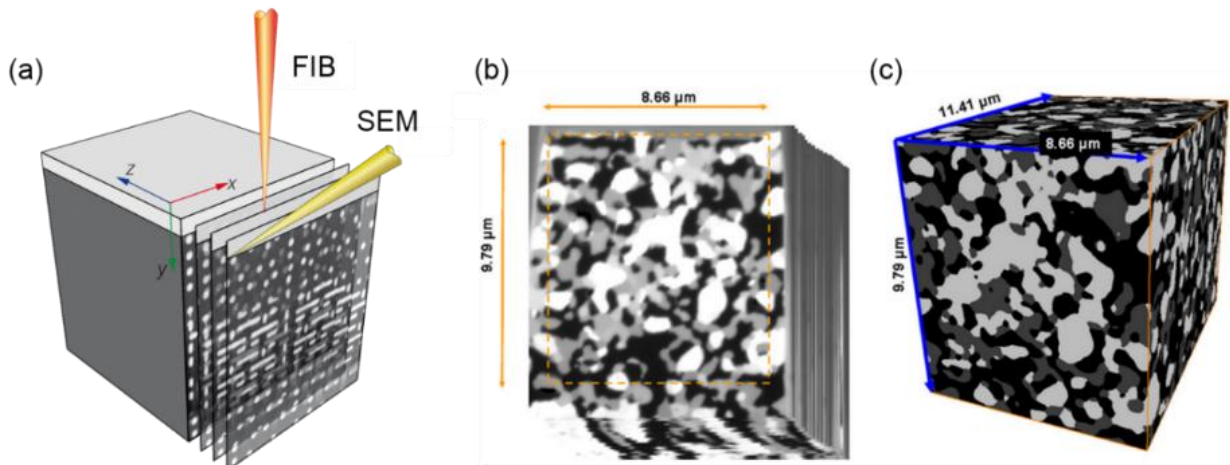


Figure II.11. (a) Schéma de principe de la tomographie FIB-SEM, montrant la succession d'abrasions FIB et d'acquisitions d'images SEM. (b) Exemple de 115 vues en coupe brutes, montrant du Ni en blanc, du YSZ en gris et des cavités en gris. (c) Reconstruction 3D du matériau obtenue après alignement et recadrage des images [Vivet'11].

II.2.4 Microscope électronique en transmission (TEM)

La microscopie électronique en transmission (*transmission electron microscopy* – TEM) est une technique de microscopie basée sur l'interaction entre un échantillon et un faisceau d'électrons le traversant. Cette interaction étant très forte et la profondeur de pénétration des électrons dans la matière étant très faible, le faisceau électronique ne peut être transmis et analysé que si l'échantillon est suffisamment mince (~ 100 nm maximum). Une préparation par FIB est donc nécessaire afin d'obtenir un échantillon sous forme de lame. Un schéma montrant les éléments principaux d'un TEM est visible dans la Figure II.12.

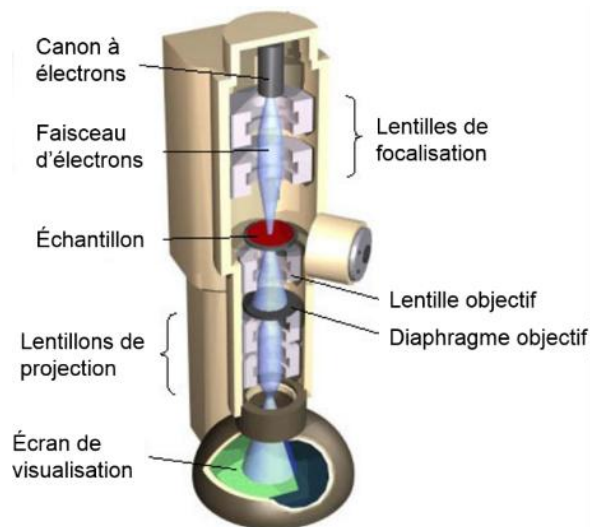


Figure II.12. Représentation schématique d'un microscope électronique en transmission.

Au sommet de la colonne se trouvent un canon à électrons et un ensemble de lentilles électromagnétiques et de diaphragmes, dont les fonctions de corrections du faisceau sont analogues à celles d'un microscope optique. Dans le mode de fonctionnement standard, un système de lentilles rend le faisceau parallèle afin qu'il puisse éclairer la totalité de la lame. Ainsi, le TEM réalise une image directe de l'échantillon, observable sur un écran ou une caméra CCD en fin de colonne. Le contraste visible à cet instant traduit à la fois la diffusion des électrons, liée à l'épaisseur du matériau, et la diffusion cohérente ou incohérente des électrons, liée à sa structure cristallographique.

Grâce à la longueur d'onde nanométrique des électrons, la résolution dans ce mode d'observation est de l'ordre de $0,2$ nm. Nous allons voir dans la suite qu'il existe deux autres modes d'observation donnant chacun des informations importantes pour nos travaux.

II.2.4.1 Les modes d'imageries STEM-HAADF

Un mode d'imagerie à balayage est possible avec le TEM (*scanning transmission electron microscopy* – STEM). Dans cette configuration, similaire au SEM, la sonde électronique est focalisée et balaye la surface de l'échantillon afin de réaliser une image reconstruite de ce dernier, contrairement à la visualisation directe du mode standard. La résolution de l'image est alors directement liée au diamètre de la sonde, de l'ordre de 0,2 nm. En mode de diffusion incohérente HAADF (*high-angle annular dark field*), ce sont les électrons diffusés aux angles supérieurs à 10° qui sont collectés et analysés. L'image obtenue présente alors un contraste dépendant du numéro atomique Z : les éléments les plus lourds apparaîtront en clair sur l'image.

II.2.4.2 Analyse dispersive en énergie de rayons X (EDX)

La microscopie électronique en transmission peut être associée à la spectroscopie de dispersion d'énergie des rayons X (*energy dispersive X-ray analysis* – EDX). Grâce à cette analyse, il est possible d'obtenir des informations sur la composition chimique de l'objet considéré et donc de déterminer la nature des différents matériaux le composant. Dans le cadre de nos travaux, le TEM-EDX est employé pour détecter une éventuelle présence d'atomes de Cu dans le SiO₂ à l'interface de collage, ce qui mettrait en évidence un phénomène de diffusion.

Le principe de l'analyse EDX repose sur l'éjection d'électrons des niveaux de cœur des atomes interagissant avec le faisceau d'électrons incident. La désexcitation des atomes ainsi ionisés est caractérisée par la transition des électrons des niveaux externes vers les niveaux de cœur libres. L'énergie disponible est alors libérée sous la forme d'un photon X ou d'un électron Auger. La mesure de l'énergie des photons X permet de déterminer les niveaux de transitions impliqués dans leur création et donc la nature de l'élément chimique concerné.

II.2.5 Spectrométrie de masse des ions secondaires (SIMS)

En plus de l'analyse TEM-EDX à l'interface de collage, le phénomène de diffusion du Cu dans le SiO₂ est caractérisé au cours de cette étude par la spectroscopie de masse des ions secondaires (*secondary ion mass spectroscopy* – SIMS). Cette technique permet en effet d'obtenir des profils de concentration en profondeur des éléments chimiques présents dans un film.

Son principe repose sur la pulvérisation des atomes d'un échantillon par bombardement de faisceaux d'ions d'abrasion et d'ions dits primaires de quelques keV (ions Cs⁺ ou O²⁺). Une partie des atomes éjectés de cette manière est ionisée par les ions primaires, et porte alors le nom d'ions secondaires. Ces derniers sont ensuite analysés au cours de l'abrasion par spectrométrie de masse, qui permet de déterminer la nature

et la concentration des espèces en fonction de la profondeur (Figure II.13).

Tandis que la résolution latérale est d'environ 50 nm, la résolution en profondeur est de l'ordre du nanomètre. La sensibilité de détection de l'équipement que nous avons employé est quant à elle d'environ 10^{17} atomes.cm⁻³.

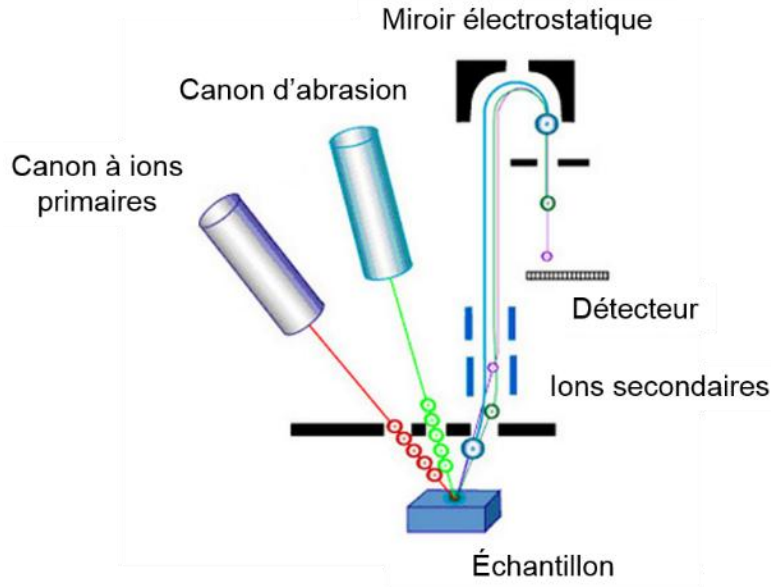


Figure II.13. Représentation schématique du fonctionnement de la technique SIMS.

II.2.6 Synthèse

Dans cette partie ont été décrites les méthodes de caractérisations morphologiques et physico-chimiques permettant d'investiguer l'état de surface des plaques avant le collage et la qualité ainsi que le comportement de l'interface avant et après recuit. Le Tableau II.4 résume ces différentes techniques en précisant leurs avantages et inconvénients ainsi que la résolution de chacune d'elle.

Tableau II.4. Récapitulatif des techniques de caractérisations morphologiques et physico-chimiques des véhicules de tests.

Technique	Echelle étudiée	Information obtenue	Information absente	Résolution
AFM	<ul style="list-style-type: none"> ▪ Nanométrie ▪ Taille de scan : $10 \times 10 \mu\text{m}^2$ 	<ul style="list-style-type: none"> ▪ Topographie de surface ▪ Rugosité 	<ul style="list-style-type: none"> ▪ Pas de sensibilité chimique 	<ul style="list-style-type: none"> ▪ Latérale : 3 nm ▪ Verticale : 0,1 nm
Microscopie acoustique	<ul style="list-style-type: none"> ▪ Macrométrie ▪ Micrométrie 	<ul style="list-style-type: none"> ▪ Taille et localisation des défauts de collage 	<ul style="list-style-type: none"> ▪ Pas de détection sous la limite de résolution 	<ul style="list-style-type: none"> ▪ Latérale : 10 μm ▪ Verticale : ~ 15 nm
SEM	<ul style="list-style-type: none"> ▪ Nanométrie ▪ Champ d'observation de quelques micromètres 	<ul style="list-style-type: none"> ▪ Morphologie de l'interface de collage ▪ Taille de grain ▪ <i>FIB</i> : <i>contraste de grain</i> 	<ul style="list-style-type: none"> ▪ Pas d'information structurale ▪ Pas d'information statistique 	<ul style="list-style-type: none"> ▪ Environ 30 nm
Tomographie FIB-SEM	<ul style="list-style-type: none"> ▪ Nanométrie ▪ Volume de plusieurs μm^3 	<ul style="list-style-type: none"> ▪ Morphologie 3D des structures collées ▪ Distribution des cavités aux interfaces 	<ul style="list-style-type: none"> ▪ Pas de sensibilité chimique 	<ul style="list-style-type: none"> ▪ Plans (xz) et (yz) : ~ 3 nm ▪ Plan (xy) : 1 nm
TEM	<ul style="list-style-type: none"> ▪ Nanométrie 	<ul style="list-style-type: none"> ▪ Morphologie de l'interface de collage ▪ EDX : distribution des espèces chimiques 	<ul style="list-style-type: none"> ▪ Préparation des lames fastidieuse ▪ Expertise requise pour l'interprétation des résultats ▪ Pas d'information statistique 	<ul style="list-style-type: none"> ▪ TEM : 0,2 nm ▪ STEM : 0,2 nm ▪ EDX : 2 nm
SIMS	<ul style="list-style-type: none"> ▪ Nanométrie 	<ul style="list-style-type: none"> ▪ Composition chimique d'un empilement 	<ul style="list-style-type: none"> ▪ Pas de reconstruction 3D ici 	<ul style="list-style-type: none"> ▪ Latérale : 50 μm ▪ Verticale : quelques nanomètres

II.3 Caractérisations électriques et études de fiabilité

Bien que les études morphologiques de l'interface de collage permettent d'obtenir des informations importantes sur l'état de fermeture de l'interface Cu/Cu, seules les caractérisations électriques et les études de fiabilité peuvent apporter la confirmation que la technologie de collage direct peut être compatible avec les exigences industrielles.

De plus, les études précédentes portant sur le collage direct pleine plaque Cu/Cu et hybride Cu-SiO₂ ont montré que la morphologie de l'interface de collage, évoluant avec la température de recuit, avait une influence directe sur la résistance électrique des

structures de tests [Gueguen'10, Gueguen'11, Taibi'10].

En conséquence, une part importante des travaux de cette thèse est basée sur la caractérisation des performances électriques et de la fiabilité des nouveaux véhicules de tests à deux et quatre niveaux d'interconnexions, et ce en fonction de la température de recuit. Ces investigations sont conduites à l'échelle de la plaque et après mise en boîtier, à l'aide de machines de test manuelles et automatiques.

Cette partie sera d'abord consacrée à la description des méthodes d'investigation électriques, incluant la détermination de la résistivité du cuivre et de l'interface de collage Cu/Cu. Après avoir expliqué le procédé de mise en boîtier des structures de tests, nous présenterons ensuite les tests de fiabilité employés et les méthodes d'analyse de défaillance associées.

II.3.1 Détermination de la résistivité du cuivre

La stratégie mise en place pour valider les différents procédés de collage et d'intégration est d'abord basée sur la comparaison des résistances électriques expérimentales R_{exp} avec les calculs de résistances théoriques R_{th} . Pour cela, il est nécessaire d'extraire en premier lieu la résistivité ρ_{Cu} des lignes de cuivre, pouvant être différente de la valeur de référence de $\rho_{ref} = 1,725.10^{-2} \Omega.\mu m$ [Lide'09], du fait des variations de fabrication, de la taille des grains ou encore des impuretés dans le cuivre.

L'extraction de la résistivité du cuivre se fait à l'aide de la structure NIST A0 décrite précédemment, dont la résistance est mesurée par méthode 4 pointes. Connaissant les dimensions de la structure, la résistivité ρ_{Cu} est déduite à l'aide de l'équation

$$\rho_{Cu} = \frac{(R_{exp} \times S)}{l} \quad (6)$$

où R_{exp} est la résistance de la structure (Ω), l sa longueur (μm) et S sa section (μm^2).

II.3.2 Résistivité de contact de l'interface de collage

Une fois la résistivité du cuivre connue, la résistance théorique R_{th} peut ensuite être calculée pour chaque type de structure à l'aide de l'équation

$$R_{th} = \frac{(\rho_{Cu} \times l)}{S} \quad (7)$$

L'écart ΔR entre la résistance expérimentale R_{exp} et la résistance théorique R_{th} correspond, au maximum, à l'apport de l'interface de collage à la résistance totale, que l'on peut appeler résistance de contact R_c . Ainsi, plus il y aura de défauts de collage à l'interface Cu/Cu, plus elle sera résistive et plus la valeur de $\Delta R = R_c$ sera grande.

La résistivité de contact ρ_c est plus communément utilisée pour démontrer et comparer les performances de connexions électriques. Dans notre cas, la résistivité de contact maximale de l'interface de collage Cu/Cu découle de la résistance de contact via l'expression

$$\rho_c = R_c \times A_c \quad (8)$$

où A_c est l'aire de contact de l'interface (μm^2). La valeur de ρ_c représente un bon indicateur de l'état de fermeture de l'interface de collage ainsi que de sa conductivité. Les détails des calculs de R_{th} et ρ_c seront explicités dans les chapitres III et IV, notamment concernant les chaînes de connexions.

A noter que l'écart ΔR entre R_{exp} et R_{th} peut également être dû à d'autres facteurs, tels que le désalignement des plots de collage entraînant une diminution de A_c , et des variations dans les procédés de fabrication non pris en compte dans le calcul de R_{th} (inhomogénéité dans les dimensions des lignes, impureté du cuivre, variation de taille des grains, présence de cavités aux interfaces...)

II.3.3 Mise en boîtier des structures de tests

À la suite des caractérisations de la résistance électrique à l'échelle de la plaque, les structures de tests fonctionnelles sont mises en boîtier. Celles-ci sont découpées par une scie selon les chemins prévus à cet effet, exempts de factices de cuivre et éloigné d'au moins 150 μm des structures afin d'éviter leur endommagement.

Les puces ainsi formées sont ensuite prélevées et collées dans un boîtier comptant 16 connectiques. Les plots en aluminium du niveau RDL sont alors reliés aux boîtiers par des fils en aluminium, soudés par ultrasons. La Figure II.14 illustre une puce en boîtier avec le plan de câblage.

Ce dispositif permet de conduire des tests de fiabilité environnementale et d'électromigration tout en mesurant et enregistrant la résistance électrique par méthode 4 pointes.

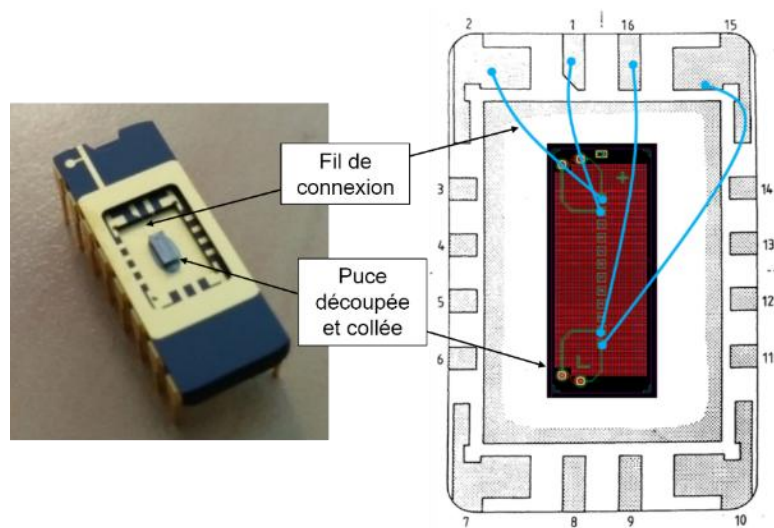


Figure II.14. Photographie et représentation schématique d'une chaîne de connexions mise en boîtier et câblée à l'aide de fils en aluminium.

II.3.4 Méthodologie d'analyses de défaillances

Afin de mettre en évidence les éventuelles dégradations induites par les tests de fiabilité, des analyses statistiques et morphologiques sont conduites avant, pendant et après les tests. Dans le cas des tests menés au niveau de la plaque, une comparaison est faite entre les valeurs de résistances mesurées avant et après les tests. De cette manière, les variations de résistance et les défaillances sont observables. Concernant les tests en boîtiers, l'évolution de la résistance peut être mesurée et enregistrée en temps réel durant les tests. Cela permet d'avoir une information temporelle quant à l'apparition de la dégradation.

Dans tous les cas, le critère de défaillance retenu est une augmentation de résistance relative de 10 %, correspondant à l'augmentation maximale du délai de propagation jugée acceptable dans le circuit industriel.

Des observations par microscopie optique et électronique peuvent ensuite être réalisées et comparées aux observations faites avant les tests dans le but d'identifier les causes de dégradations ou de défaillance (corrosion, délaminage, fils d'aluminium dessoudés...).

II.3.5 Chaleur humide

Le test de vieillissement non polarisé en condition de chaleur humide (*unbiased highly accelerated stress test* – uHAST) a pour but d'évaluer la fiabilité d'un dispositif électronique lors d'un stockage longue durée dans des conditions climatiques humides. Dans notre cas, l'objectif est d'accélérer le phénomène de corrosion des interconnexions en cuivre par infiltration d'humidité ou de contaminants dans les matériaux, au niveau RDL et le long des interfaces entre les différents matériaux. Ces dernières étant des

chemins d'infiltration privilégiés, ce test permet aussi de tester l'herméticité de l'interface de collage $\text{SiO}_2/\text{SiO}_2$ au niveau des flancs de l'empilement.

Le test est conduit sur des structures en boîtiers pendant 168 heures (7 jours). Les conditions environnementales consistent en une température constante de 85 °C et une humidité relative élevée de 85 % HR [JESD22-A118A]. Bien que les structures ne soient pas polarisées pendant le test, la résistance électrique est mesurée et enregistrée à intervalles réguliers afin de pouvoir observer son évolution et le moment de la défaillance le cas échéant.

II.3.6 Cyclage thermique

Le cyclage thermique est un traitement permettant d'étudier la robustesse thermomécanique d'une structure à l'aide de nombreux cycles de chauffage et de refroidissement, simulant les cycles jour/nuit, marche/arrêt ou été/hiver. Les dégradations généralement observées sont des déformations et des délaminages aux interfaces les plus faibles. Ce dernier phénomène est dû à la différence entre les coefficients de dilatation thermique des matériaux présents dans l'intégration, engendrant des contraintes thermomécaniques en traction et/ou en compression dans les couches.

Les conditions de test utilisées sont des conditions standardisées, dédiées à tester la fiabilité des procédés technologiques de la microélectronique [JESD22-A104D]. La plage de température s'étend -50 à +150 °C, pour une moyenne de 500 cycles à raison de deux cycles par heure.

II.3.7 Stockage en température

Outre l'électromigration, une des causes principales de dégradation des interconnexions en cuivre est le phénomène de nucléation et de migration de cavités sous contrainte [Hu'95, Børgesen'92]. Ce phénomène, observé pour la première fois en 1984 [Curry'84], est activé thermiquement et est favorisé par les contraintes thermomécaniques qui découlent des différences de coefficients de dilatation thermique des matériaux en présence.

La dégradation caractéristique associée prend la forme de cavités au centre des lignes ou à l'interface avec la barrière de diffusion. Ces défauts ont pour effet de relaxer les contraintes là où elles sont les plus fortes, mais aussi de diminuer la section des lignes, ce qui induit une augmentation de leur résistance électrique. Dans le pire des cas, les cavités peuvent grossir et amorcer des fissures jusqu'à rupture totale de la ligne.

Le test de stockage en température a donc pour but d'étudier l'occurrence de ce phénomène dans le cadre des structures réalisées par collage direct. Il repose sur une procédure standardisée [JESD22-A103D] et est conduit sur une plaque entière, stockée

à 300 °C pendant 336 heures (14 jours) en atmosphère ambiante.

II.3.8 Électromigration

Le terme électromigration traduit un phénomène de déplacement de matière au sein d'une ligne de métal. Il est activé thermiquement et est induit par le passage d'un courant électrique. Au cours du temps, ce déplacement entraîne une accumulation de matière d'un côté de la ligne, et de l'autre une croissance de cavités jusqu'à la ouverture complète du circuit. Ce dernier phénomène est d'autant plus rapide et important que la densité de courant est élevée. Or, de par la miniaturisation des transistors et donc des premiers niveaux d'interconnexions, la densité de courant ne cesse d'augmenter. Il est donc important de caractériser et de maîtriser ce phénomène, particulièrement dans le cadre du collage direct.

❖ Mécanismes de diffusion

Le déplacement de matière dans les métaux fait intervenir les lacunes présentes dans la maille cristalline. De manière générale, ces défauts sont toujours présents dans un cristal à l'équilibre thermodynamique et se présentent sous la forme de sites atomiques vacants autorisant la migration de matière. Comme illustré dans la Figure II.15, un atome peut en effet se déplacer vers un site voisin si celui-ci est inoccupé. C'est par cette succession de déplacements d'une position d'équilibre à une autre qu'un atome peut se déplacer au sein d'un cristal et, par extension, d'une ligne métallique.

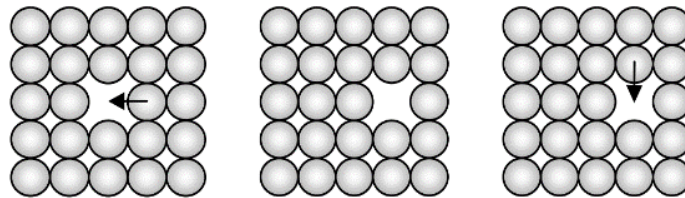


Figure II.15. Migration de lacune dans une maille cristalline

Bien que la diffusion soit autorisée par la présence de lacunes, les défauts linéaires ou bidimensionnels, tels que les dislocations et les joints de grains respectivement, constituent des régions où la migration sera favorisée, voir localisée.

Le déplacement d'un atome dépend de la fraction de lacunes n à l'équilibre thermodynamique. Celle-ci s'exprime en fonction de l'enthalpie libre de formation de lacune ΔG_f tel que

$$n = n_0 \exp\left(-\frac{\Delta G_f}{RT}\right) \quad (9)$$

où R est la constante des gaz parfaits (8,314 J/mol.K), T la température du cristal (K)

et n_0 la fraction de lacunes à la température T_0 .

Pour pouvoir changer de site, un atome doit posséder une énergie thermique suffisante. À l'équilibre thermodynamique, celui-ci vibre autour de sa position à la fréquence de Debye ν_0 avec une amplitude dépendant de son énergie thermique. Ainsi, si cette dernière est supérieure à la barrière ΔG_m correspondant à l'enthalpie libre de migration, l'atome peut se déplacer dans son nouveau site. Dans ce cadre, la probabilité pour un atome de migrer vers un site voisin inoccupé s'écrit

$$p = \exp\left(-\frac{\Delta G_m}{RT}\right) \quad (10)$$

À l'aide des équations (9) et (10), la fréquence Γ liée au saut des atomes dans le cristal s'écrit

$$\Gamma = \nu_0 \exp\left(-\frac{\Delta G_m}{RT}\right) \exp\left(-\frac{\Delta G_f}{RT}\right) \quad (11)$$

Il est alors possible d'en déduire les coefficients de diffusion D et D_0 caractéristiques d'une espèce

$$D = D_0 \exp\left(-\frac{\Delta H}{RT}\right) \quad (12)$$

$$D_0 = \beta \alpha^2 \nu_0 \exp\left(\frac{\Delta S}{R}\right) \quad (13)$$

D_0 regroupe les termes indépendants de la température, où α est le paramètre de maille (m), β un facteur de corrélation dépendant de la structure cristalline et égal à 1 pour une structure cubique centrée ou cubique face centrée, ΔS est l'entropie (J/K) et $\Delta H = \Delta H_f + \Delta H_m$ est l'enthalpie correspondant à l'énergie d'activation de la diffusion (J).

À l'équilibre, la diffusion moyenne des atomes (ou des lacunes) activée par la température est nulle. Il n'y a en effet pas de direction privilégiée de diffusion étant donné que la barrière de potentiel au voisinage des atomes est isotrope. Ainsi, comme indiqué dans la Figure II.16, les probabilités pour un atome de passer d'un site i vers un site $i+1$ ou $i-1$ sont strictement identiques. Le déplacement de matière dans une direction privilégiée est obtenu par l'application d'une force extérieure. Celle-ci a pour conséquence de baisser la barrière de potentiel et ainsi augmenter la probabilité de saut vers un site donné.

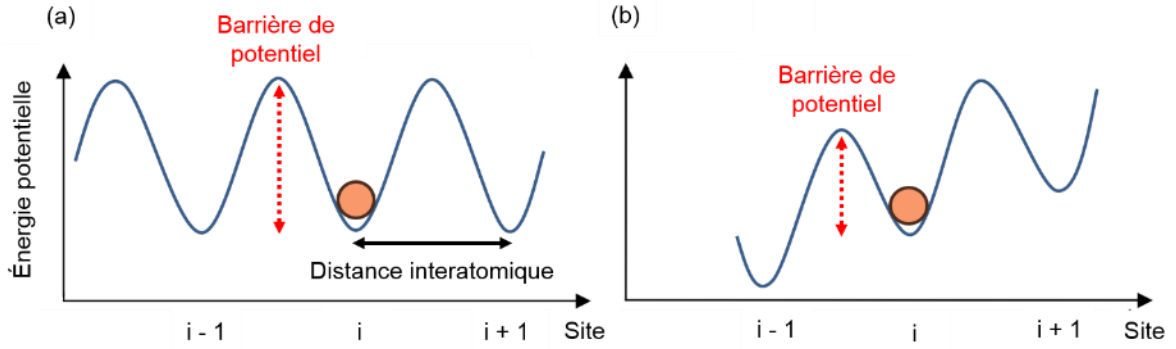


Figure II.16. Représentation schématique de l'énergie potentielle dans un cristal (a) en l'absence de force extérieure et (b) en présence d'une force extérieure.

❖ Flux d'électromigration

Le déplacement de matière généré par une force extérieure unidirectionnelle induit la création d'un gradient de concentration dans la ligne. Ce gradient constitue la force motrice pour un second flux dans la direction opposée. Le flux de matière total est donc la somme du flux induit par la force extérieure et de celui causé par le gradient de concentration.

Lorsqu'un champ électrique \vec{E} est appliqué à un matériau conducteur, une force électrostatique \vec{F}_e s'exerce alors sur les ions et les électrons présents dans la maille. Cette force est proportionnelle à \vec{E} et à la charge élémentaire q de la particule ou de l'ion considéré

$$\vec{F}_e = q\vec{E} \quad (14)$$

En considérant les ions comme des atomes de charge positive, cette force est donc dirigée vers la cathode. Cependant, après application de cette force, l'expérience montre que le flux de matière s'est dirigé vers l'anode. Ce phénomène, dont la force motrice est appelée force de friction $F_{friction}$, est causé par les collisions entre les électrons de conduction et les atomes de la maille.

L'expression de cette force de friction, initialement proposée par Ficks et Huntington [Ficks'59, Huntington'61], considère que le déplacement de matière est dû au transfert de quantité de mouvement des électrons accélérés aux atomes, qui possèdent alors une énergie suffisante pour migrer. La force de friction s'écrit

$$F_{friction} = -n_{collisions}\Delta p \quad (15)$$

où $n_{collisions}$ est le nombre de collisions entre électrons et atomes par unité de temps et p

la quantité de mouvement transférée à chaque collision (kg.m/s). En supposant que la quantité de mouvement des électrons acquise entre deux collisions successives est entièrement transmise aux atomes, la force de friction peut s'écrire en fonction du champ électrique

$$\vec{F}_{friction} = -n_{collisions}q\vec{E}\Delta t = -qZ^*\vec{E} \quad (16)$$

où Z^* est la charge effective correspondant aux interactions entre les électrons et les atomes de la maille.

Sous l'effet du champ électrique extérieur et du travail de la force motrice qui en résulte, la barrière de potentiel est abaissée d'une quantité $\Delta W = qZ^*d_aE$. Dans ces conditions, le flux atomique J dans un milieu homogène et infini s'écrit

$$J = \frac{cD_0}{kT} \exp\left(-\frac{\Delta G - \Delta W}{RT}\right) F_{total} = \frac{cD_0}{kT} qZ^*E \quad (17)$$

où c est la concentration des espèces, k la constante de Boltzman ($m^2.kg/s^2.K$) et $(\Delta G - \Delta W)$ l'énergie apportée à l'atome pour qu'il puisse quitter son site, aussi appelée énergie d'activation E_a (eV). La Figure II.17 illustre ce phénomène dans le cas du cuivre.

Finalement, en considérant l'énergie d'activation E_a et le champ électrique E en fonction de la densité de courant j , le flux d'électromigration devient

$$J = \frac{cD_0}{kT} \exp\left(-\frac{E_a}{RT}\right) qZ^*\rho j \quad (18)$$

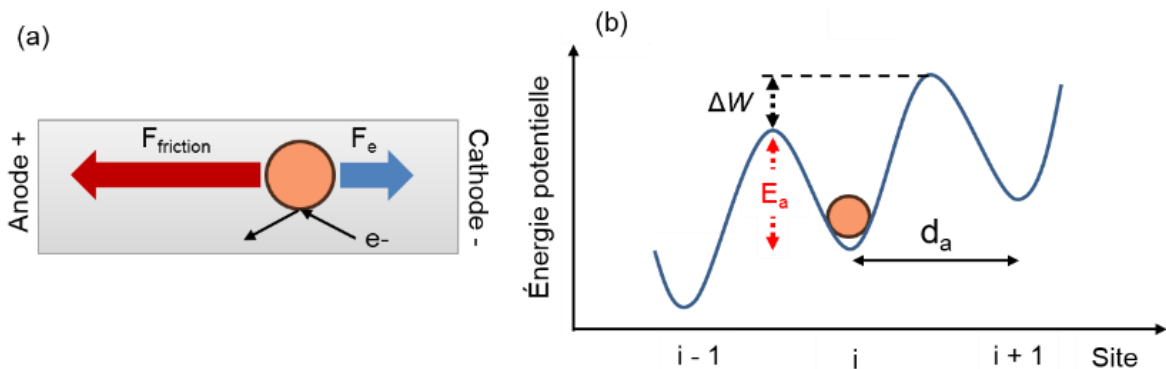


Figure II.17. (a) Représentation schématique des forces exercées sur un ion de cuivre dans une ligne soumise à un champ électrique extérieur et (b) barrière de potentiel correspondante, montrant notamment l'énergie d'activation $E_a = \Delta G - \Delta W$ à apporter pour qu'un ion ou un atome de Cu migre vers le site $i-1$.

❖ **Chemin de diffusion et énergie d'activation**

Le formalisme présenté précédemment donne une description générale du déplacement d'atomes et d'ions par électromigration dans un milieu homogène et infini. Dans le cas des interconnexions en cuivre, nous sommes en présence de structures aux dimensions finies, possédant plusieurs types d'interfaces entre métaux et diélectriques. De plus, le cuivre est constitué de défauts et de multiples grains sans orientation préférentielle. Ces caractéristiques morphologiques influencent le comportement et la résistance à l'électromigration des lignes.

Par conséquent, le déplacement atomique généré par électromigration ne se limite pas au transport volumique. Les interfaces, les joints de grains et les dislocations sont autant de chemins potentiels à la diffusion du cuivre. Ceux-ci sont représentés sur la Figure II.18, où les chemins notés *vol*, *b*, *e*, *j* et *disl* correspondent respectivement au volume, à l'interface cuivre/diélectrique, à l'interface cuivre/barrière, aux joints de grains et aux dislocations. Dans ce cadre, chaque mode de diffusion est associé à une charge effective Z^* particulière étant donné que la force de friction varie fortement avec l'environnement électronique des atomes susceptibles de migrer [Sorbello'96].

Bien que tous les chemins de diffusion possibles soient empruntés par la matière lors du phénomène d'électromigration, leur contribution n'est pas égale. Par conséquent, le mécanisme de dégradation principale de la ligne sera lié au chemin de diffusion préférentiellement emprunté par les atomes. Il est donc de première importance de déterminer la localisation de ce chemin.

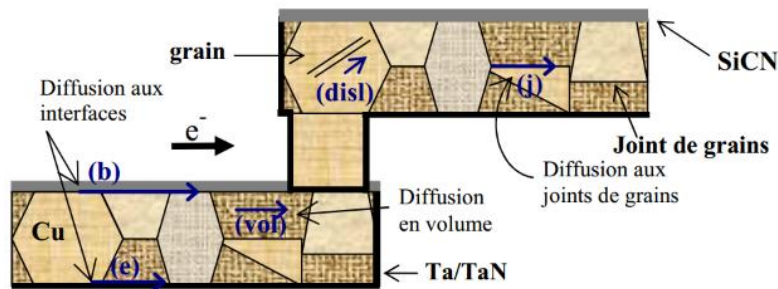


Figure II.18. Représentation schématique des chemins d'électromigration potentiels dans une interconnexion en cuivre possédant une barrière de diffusion en Ta/TaN et étant recouverte d'une couche de SiCN [Doyen'09].

Cela peut être réalisé par l'introduction de marqueurs radioactifs ou en conduisant des caractérisations physiques des cavités créées après défaillance. En effet, en étudiant la morphologie de ces dégradations et leur environnement, il est possible de corréler leur apparition avec un chemin de diffusion particulier. Il est alors possible de relier l'énergie d'activation E_a mesurée à un chemin de diffusion en particulier. Le Tableau II.5 présente des exemples d'énergies d'activations associées aux différents modes de diffusion dans le

cuivre. La dispersion des valeurs est due notamment aux variations de procédés de fabrication et à la variabilité de la qualité des interfaces.

Tableau II.5. Énergies d'activation données dans la littérature pour une diffusion dans le cuivre massif [Philibert'86], aux joints de grains [Burton-Greenwood'70, Surholt'94, Gupta'95] et aux interfaces [Arnaud'03].

Chemin de diffusion	Énergie d'activation (eV)
Cuivre massif	2,15
Joints de grains	1,2 ; 0,85 ; 0,92
Interfaces	0,8 - 1,06

De précédentes études ont montré que les interfaces faibles constituaient les chemins de diffusions préférentielles dans les interconnexions en cuivre, à l'instar de l'interface Cu/SiCN [Hu'99, Ogawa'02, Chang'02, Zszech'03]. Dans ce cas, la faible adhésion du Cu avec la couche de SiCN est à l'origine du flux de matière majoritaire à cet endroit. À noter que les dislocations sont généralement négligées du fait de leur discontinuité le long de la ligne, particulièrement aux joints de grains. Nous verrons par la suite que dans le cas du collage direct, une étude comparative des valeurs de E_a avec des lignes monolithiques nous permet de désigner l'interface Cu/barrière comme chemin de diffusion dominant.

❖ **Nucléation des cavités et accumulation de matière**

Un transport de matière parfaitement uniforme induit par électromigration ne peut pas engendrer seul la défaillance d'une ligne. En effet, si le flux de matière sortant d'un élément de volume dV de la ligne est égal au flux de matière entrant, la concentration locale de matière est conservée et rien ne se passe. L'expérience montre que ce sont les discontinuités et défauts présents dans le métal qui perturbent le flux et créent des divergences à l'origine des dégradations. La Figure II.19 illustre ce phénomène de discontinuité de flux.

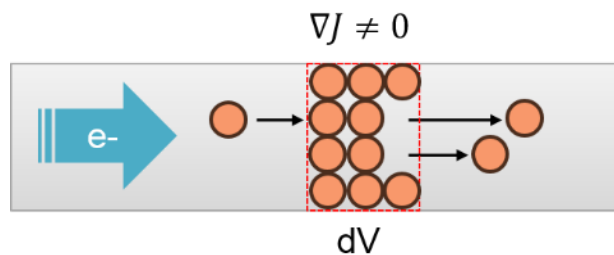


Figure II.19. Discontinuité de flux au sein d'un élément de volume dV conduisant à une dégradation.

L'équation de continuité associé à ce problème à pour expression

$$\frac{\partial c}{\partial t} = -\vec{\nabla} \cdot \vec{J} \quad (19)$$

et indique que plus l'amplitude de ces divergences est grande, plus la dégradation de la ligne sera rapide. Aussi, d'après le signe de cette divergence, deux types de défaillance peuvent avoir lieu :

- Une divergence positive correspond à une déplétion de matière jusqu'à formation d'une cavité.
- Une divergence négative correspond à une accumulation de matière entraînant une extrusion de métal et un possible court-circuit avec les lignes voisines.

❖ Test de durée de vie et loi de Black

L'électromigration étant un phénomène régi par une loi statistique, l'approche standard utilisée pour étudier ce phénomène est de conduire des tests de durée de vie. Le principe de ces tests repose sur une dégradation accélérée de lignes de cuivre et une mesure du temps à la défaillance (*Time To Failure* – TTF). Ce temps est défini par une augmentation relative de la résistance causée par la présence de cavités réduisant la section de la structure testée.

Le temps médian à la défaillance (*Median Time To Failure* – MTF) dépend à la fois des propriétés des lignes et des conditions de fonctionnement. J. R. Black a établi en 1969 une relation empirique faisant intervenir une dépendance en température de type Arrhenius, et une dépendance en densité de courant via l'introduction d'un exposant noté n [Black'69] :

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right) \quad (20)$$

où A est un coefficient de proportionnalité qui prend en compte les propriétés microstructurales de la ligne.

La loi de Black est très largement utilisée dans le secteur de la microélectronique afin de prédire la durée de vie pour n'importe quelles conditions de température et de courant. La précision et la justesse de cette extrapolation nécessitent une connaissance précise des paramètres E_a et n . L'énergie d'activation E_a intervenant dans l'équation de Black est une valeur apparente reflétant l'ensemble des mécanismes de diffusion à l'origine de la dégradation. Elle est extraite en conduisant des tests d'électromigration à densité de courant constante et grâce à l'expression

$$E_a = - \left. \frac{d \ln(MTF)}{d(1/kT)} \right|_{J \text{ constant}} \quad (21)$$

De la même manière, il est possible de déterminer la valeur de l'exposant n à l'aide de tests conduits à température constante et grâce à l'expression

$$n = - \left. \frac{d \ln(MTF)}{d \ln(J)} \right|_{T \text{ constant}} \quad (22)$$

L'extraction de ces paramètres se fait généralement par des tests en boîtier et en étuve pour lesquels la température et l'intensité de courant débitée par les sources de courant sont complètement indépendantes, afin d'éviter tout effet d'auto-échauffement.

❖ Représentation de Henry des TTF

La distribution des temps à la défaillance correspondant à un phénomène d'électromigration est supposée suivre une loi lognormale dont la densité de probabilité $f(t)$ et la probabilité cumulée $F(t)$ s'expriment respectivement

$$f(t) = \frac{1}{s_d t \sqrt{2\pi}} \left(-\frac{1}{2} \left(\frac{\ln(TTF) - \ln(MTF)}{S_d} \right)^2 \right) \quad (23)$$

$$F(t) = \int_0^t f(t') dt' \quad (24)$$

où S_d est l'écart type. Le MTF et S_d sont caractéristiques de la distribution.

Dans le cadre de nos études, nous utiliserons la représentation de Henry permettant de linéariser graphiquement la probabilité cumulée $F(t)$ avec t . Elle permet également la lecture rapide des données MTF et de l'écart type S_d . Cette représentation consiste à tracer la probabilité cumulée en échelle gaussienne en fonction du logarithme du temps à la défaillance. La Figure II.20 montre un exemple d'une droite de Henry.

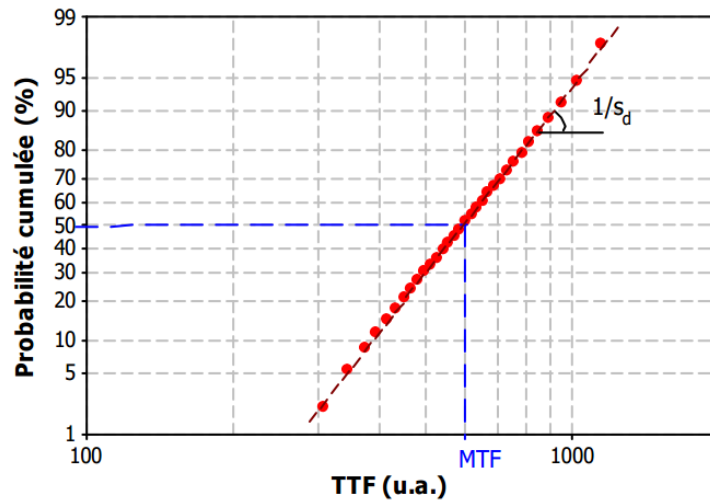


Figure II.20. Exemple de représentation de Henry des TTF [Doyen'09].

❖ Caractérisation de la résistance à l'électromigration

Les tests d'électromigration sont conduits sur des structures NIST mises en boîtier. Le dispositif expérimental est composé d'une carte électronique pouvant accueillir plusieurs boîtiers, placée dans une étuve disposant d'une commande de température. Comme indiqué par les équations (21) et (22), la densité de courant et la température doivent être décorréelées pour que l'extraction des paramètres de Black soit correcte. Par conséquent, les densités de courant sont limitées de sorte que l'échauffement par effet Joule ne dépasse pas 5 °C. Bien que cette condition permette de se rapprocher des conditions réelles de fonctionnement, elle induit aussi des temps de test pouvant dépasser le millier d'heures.

En pratique, l'extraction des paramètres E_a et n nécessite au minimum trois conditions de tests, comprenant deux températures et deux densités de courant différentes. Comme mentionné plus tôt, les temps à la défaillance sont obtenus pour une variation de résistance relative de 10 %. Une fois les tests terminés, la distribution des TTF est tracée suivant une représentation de Henry.

Chaque mécanisme de défaillance étant associé à une pente, correspondant à l'écart type S_d , une comparaison des valeurs de S_d entre les différentes structures, mais aussi au sein d'une même structure, nous renseigne sur le nombre de mécanismes de défaillance mis en jeu. La Figure II.21 montre un exemple de distribution des TTF de deux structures possédant deux mécanismes de dégradation différents.

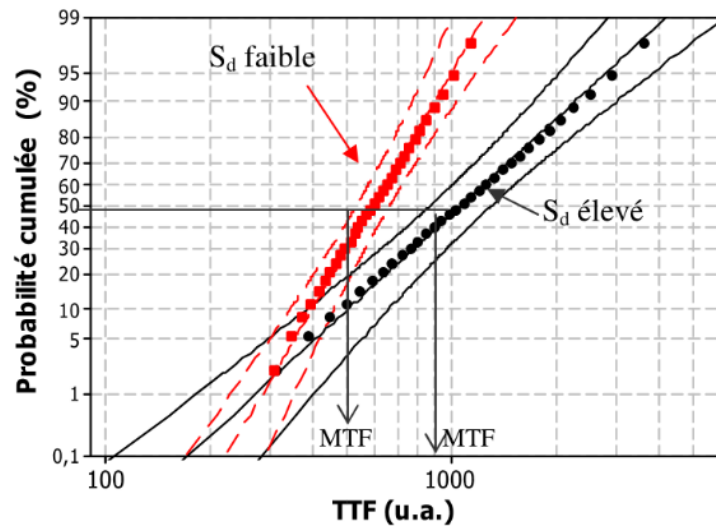


Figure II.21. Exemple de distribution de TTF mettant en évidence deux mécanismes de dégradation, chacun étant caractérisé par l'écart type S_d [Doyen'09]

Bien que le tracé des distributions des TTF nous renseigne sur le nombre de mécanismes de dégradation associés aux tests d'électromigration, il ne fournit aucune information sur la taille et la localisation des cavités formées. Pour accéder à ces données, il est nécessaire de faire appel à des techniques de caractérisation morphologique complémentaires :

- Microscopie infrarouge : étant donné que certaines structures de tests se trouvent sous plusieurs dizaines de micromètres de silicium, seule la microscopie infrarouge permet d'observer les lignes de métal et de localiser les éventuelles dégradations prenant la forme de cavités ou d'extrusions de cuivre.
- Changement de résistance induit par un laser (*optical beam induce resistance change* – OBIRCH) : Cette méthode permet de repérer les zones de plus haute résistivité, telles que les cavités dans les structures, à l'aide d'un laser balayant les échantillons [Nikawa'03]
- Thermographie infrarouge active ("*Lock-in*" *thermography* – LIT) : cette méthode consiste à repérer les zones de défaillance à l'aide de leur signature thermique lors de l'injection d'un courant électrique [Breitenstein'10].
- FIB-SEM : une fois la dégradation localisée, des observations FIB-SEM permettent d'en réaliser des images en coupe ou tridimensionnelles.

II.3.9 Synthèse

Nous venons de voir dans cette partie les différentes méthodes et techniques permettant la caractérisation des performances électriques et de la fiabilité des structures réalisées par collage direct. Celles-ci sont regroupées dans le Tableau II.6, qui précise aussi les informations obtenues grâce à elles.

Tableau II.6. Récapitulatif des techniques permettant la caractérisation des performances électriques et de la fiabilité des structures de tests.

Test	Intégration	Information obtenue
Mesure 4 pointes manuelle	<ul style="list-style-type: none"> ▪ Collage puce-à-plaque 	<ul style="list-style-type: none"> ▪ Résistivité du cuivre ▪ Résistance électrique des structures NIST et chaînes de connexions
Mesure 4 pointes automatique	<ul style="list-style-type: none"> ▪ Collage plaque-à-plaque 	<ul style="list-style-type: none"> ▪ Extraction de la résistivité de contact de l'interface Cu/Cu
Chaleur humide	<ul style="list-style-type: none"> ▪ Structure en boîtier 	<ul style="list-style-type: none"> ▪ Résistance à la corrosion de l'intégration ▪ Herméticité de l'interface de collage
Cyclage thermique	<ul style="list-style-type: none"> ▪ Plaque entière 	<ul style="list-style-type: none"> ▪ Robustesse mécanique de l'intégration et de l'interface de collage
Stockage en température	<ul style="list-style-type: none"> ▪ Structure en boîtier 	<ul style="list-style-type: none"> ▪ Résistance des structures collées à la formation de cavités sous contraintes thermomécaniques
Electromigration	<ul style="list-style-type: none"> ▪ Structure en boîtier 	<ul style="list-style-type: none"> ▪ Résistance à l'électromigration, durée de vie : distribution des TTF. ▪ Mécanisme de défaillance et chemin de diffusion préférentiel : détermination de E_a et n

II.4 Conclusion

L'objectif de ce chapitre était de décrire les moyens mis en œuvre afin de répondre aux enjeux et objectifs de la thèse.

Ainsi, nous avons vu dans un premier temps les descriptions et procédés de fabrication des diverses intégrations plaque-à-plaque et puce-à-plaque, à deux et quatre niveaux d'interconnexions utilisant les masques FICO et PICA.

Les différentes techniques et méthodologies de caractérisations morphologiques et électriques ont ensuite été présentées. Ont aussi été décrits les protocoles de tests de fiabilité environnementale et de résistance à l'électromigration, avec les mécanismes physiques responsables des dégradations correspondantes.

Nous disposons donc maintenant de tous les outils et méthodes nécessaires aux études visant à caractériser la morphologie de l'interface de collage, les performances électriques et la fiabilité des véhicules de tests.

Chapitre III

Caractérisation de l'intégration puce-à-plaque

III.1 Validation du procédé de collage puce-à-plaque.....	92
III.1.1 Procédé de fabrication des véhicules de tests.....	92
III.1.2 Méthodologie de caractérisation électrique et de fiabilité.....	95
III.2 Collages puce-à-plaque vs plaque-à-plaque en 200 mm	98
III.2.1 Caractérisations électriques des structures NIST.....	102
III.2.2 Caractérisations électriques des chaînes de connexions.....	104
III.2.3 Cyclage thermique	107
III.3 Collages puce-à-plaque 300 mm	110
III.3.1 Caractérisations électriques des structures NIST.....	111
III.3.2 Caractérisations électriques des chaînes de connexions.....	113
III.4 Conclusions	116

Introduction

L'intégration 3D par collage puce-à-plaque devrait s'imposer à long terme, de par ses avantages sur l'intégration plaque-à-plaque. Elle seule permet en effet de reporter des puces de tailles variées issues de technologies distinctes, tout en autorisant un rendement de fabrication plus élevé que l'intégration plaque-à-plaque.

Il reste toutefois des limitations intrinsèques à cette technologie, parmi lesquelles figure en premier lieu la faible cadence de fabrication. De plus, des questions liées au procédé de collage direct lui-même subsistent, telles que la qualité de collage, les performances électriques ou encore la fiabilité thermomécanique.

Dans une volonté de valider le collage puce-à-plaque comme une solution viable pour fabriquer des dispositifs 3D sur des plateformes 200 et 300 mm, ce chapitre se propose donc d'étudier ces trois aspects au travers de caractérisations physiques, électriques et d'études de fiabilité environnementale de structures de tests en cuivre.

III.1 Validation du procédé de collage puce-à-plaque

De précédentes études portant sur la réalisation de structures de cuivre par collage direct hybride Cu-SiO₂ plaque-à-plaque ont montré que cette technologie offrait des performances électriques excellentes, et ce de manière reproductible et fiable [Taibi'10, Taibi'11]. Cela conforte l'aspect prometteur de cette technologie quant à la réalisation d'interconnexions tridimensionnelles (3D) à haute densité.

Cependant, ces caractérisations ayant été menées uniquement sur des structures réalisées par collage plaque-à-plaque (WtW), il reste à valider les performances électriques et la fiabilité offertes par le collage puce-à-plaque (CtW), à la fois en 200 mm et 300 mm, afin de garantir sa pérennité dans un cadre industriel.

Cette partie est donc dédiée dans un premier temps à la description des véhicules de tests utilisés dans cette étude, puis dans un deuxième temps à l'exposition de la méthodologie mise en place pour la validation de l'intégration CtW par comparaison des performances électriques avec les résultats obtenus avec les échantillons de référence (WtW).

III.1.1 Procédé de fabrication des véhicules de tests

Par le passé, l'intégration WtW a été étudiée à l'aide du masque de photolithographie FICO. Celui-ci permet la fabrication par collage direct et la caractérisation électrique (résistance globale, résistivité de contact) de structures de tests en cuivre, comprenant notamment des lignes et des chaînes de connexions. Afin de faire de même pour l'intégration CtW, il convient de réaliser de nouveaux échantillons avec ce même masque et de comparer par la suite les performances électriques des structures ainsi créées avec celles obtenues par collage WtW.

Pour les besoins de cette étude, ce sont donc trois véhicules de tests utilisant le masque FICO qui sont fabriqués et caractérisés, incluant un collage WtW servant de référence et deux collages CtW sur plaques 200 et 300 mm respectivement. La nature de chaque VT ainsi que les caractéristiques des lignes de cuivre présentes sur les plaques et les puces sont regroupées dans le Tableau III.1 ci-dessous.

Tableau III.1. Description des véhicules de tests employés dans cette étude.

Appellation	Diamètre	Intégration	Épaisseur du Cu / Barrière de diffusion	
			Plaques	Puces
VT1	200 mm	WtW	500 nm / TiN 20 nm	500 nm / TiN 20 nm
VT2	200 mm	CtW	500 nm / TiN 20 nm	500 nm / TiN 20 nm
VT3	300 mm	CtW	500 nm / TaN/Ta 25 nm	350 nm / TiN 20 nm

La fabrication des plaques 200 mm des véhicules VT1 et VT2 est basée sur le procédé damascène standard, incluant les étapes de photolithographie, de gravure, de métallisation par CVD, PVD et ECD et de planarisation par CMP. Cette dernière étape, ainsi que les règles de dessin du masque FICO, sont spécialement optimisées et conçues pour limiter le sur-polissage du cuivre par rapport à l'oxyde et ainsi assurer une bonne fermeture de l'interface Cu/Cu lors du recuit. Par nécessités technologiques, les plaques utilisées pour les collages WtW et CtW en 200 mm ont été métallisées au CEA-Léti avec une barrière de diffusion en TiN de 20 nm, tandis que les plaques 300 mm servant à la fabrication du véhicule VT3 ont été métallisées à ST Crolles avec une barrière en TaN/Ta de 25 nm.

Les puces des véhicules VT2 et VT3, de dimensions $14,2 \times 10,2 \text{ mm}^2$, sont découpées à partir de plaques 200 mm à la suite de l'étape de CMP damascène. La préparation de surface des puces et des plaques précédant le collage est composée d'étapes de traitement UV/O₃, de désoxydation du cuivre et de brossages mécaniques.

Tous les collages de cette étude sont conduits à température et pression ambiantes, dans l'atmosphère de la salle blanche, et sont soumis à un recuit à 400 °C pendant 2 heures. L'équipement *EVG SmartView*® est utilisé pour la fabrication du véhicule VT1. Dans ce cadre, après un alignement avec une précision submicronique, le collage est initié au centre des plaques avec une propagation de l'onde de collage vers l'extérieur. Les collages CtW pour les véhicules VT2 et VT3 sont possibles grâce à la machine de préhension et de placement de puce *FC300* (Figure III.1), développée par *SET (Smart Equipment Technology)*. Cet équipement possède un support aspirant compatible avec les plaques 200 mm et 300 mm, une tête permettant de saisir et de coller les puces avec appui et un bloc optique destiné à aligner avec une grande précision les puces avec la plaque.

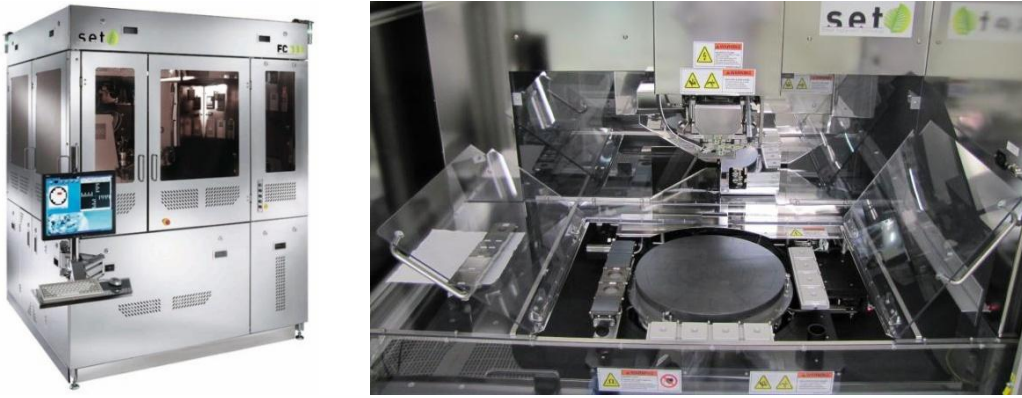


Figure III.1. Photographies de la machine de collage puce-à-plaque *SET FC300* ayant servi à la fabrication des véhicules de tests VT2 et VT3.

À l'aide de verniers situés de part et d'autre des puces, une étude de mesure d'alignement post-collage a en effet démontré que le désalignement en x et en y était en moyenne de 500 nm (Figure III.2). Cette valeur est en bon accord avec les prérequis d'alignement visés par les futurs dispositifs industriels à haute densité d'interconnexions [ITRS'13].

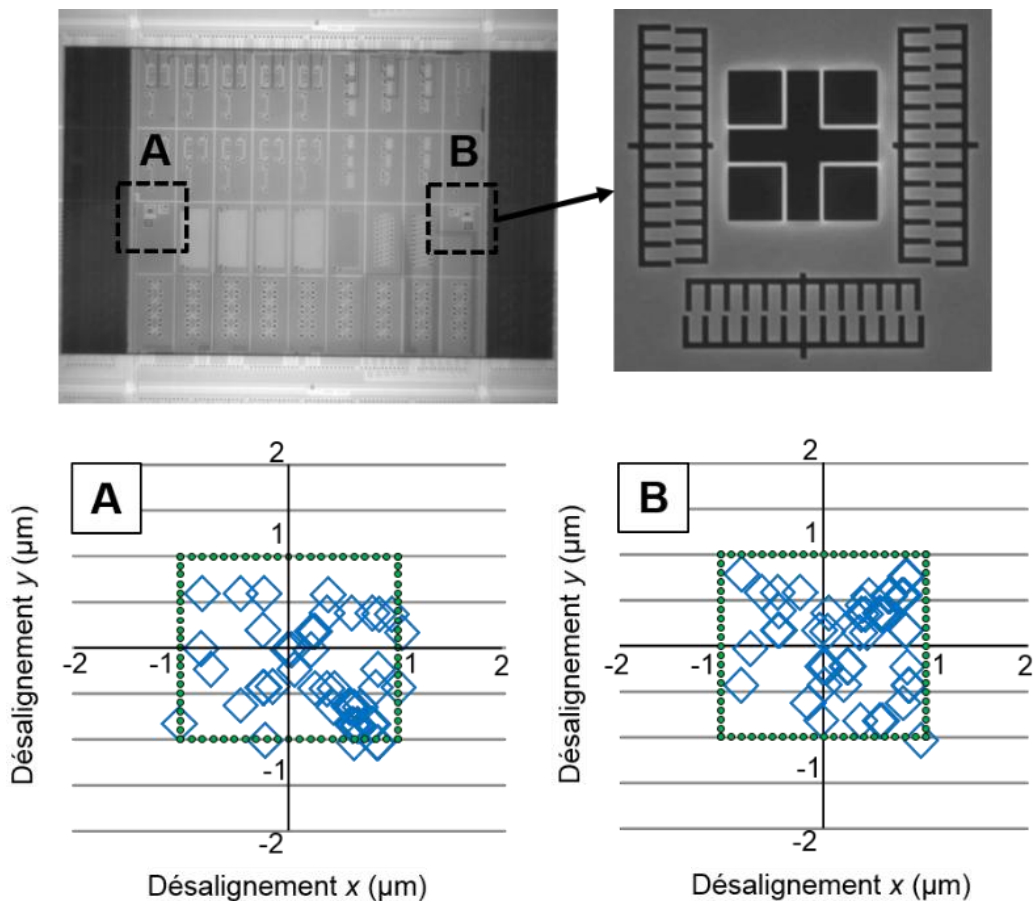


Figure III.2. Observation infrarouge d'une puce collée et mesures d'alignement sur les mirettes situées de part et d'autre de celle-ci. Sur 50 puces collées, aucune ne possède un désalignement supérieur à 1 μm .

Une représentation schématique de l'intégration complète ainsi qu'une photographie de chaque VT sont disponibles dans la Figure III.3. La reprise de contact en face arrière du véhicule VT1 permet une caractérisation électrique automatique des structures de test. Dans le cas des échantillons VT2 et VT3, l'agencement des plots de contact présents sur la plaque et distants de 500 μm des puces impose une caractérisation manuelle de chaque structure.

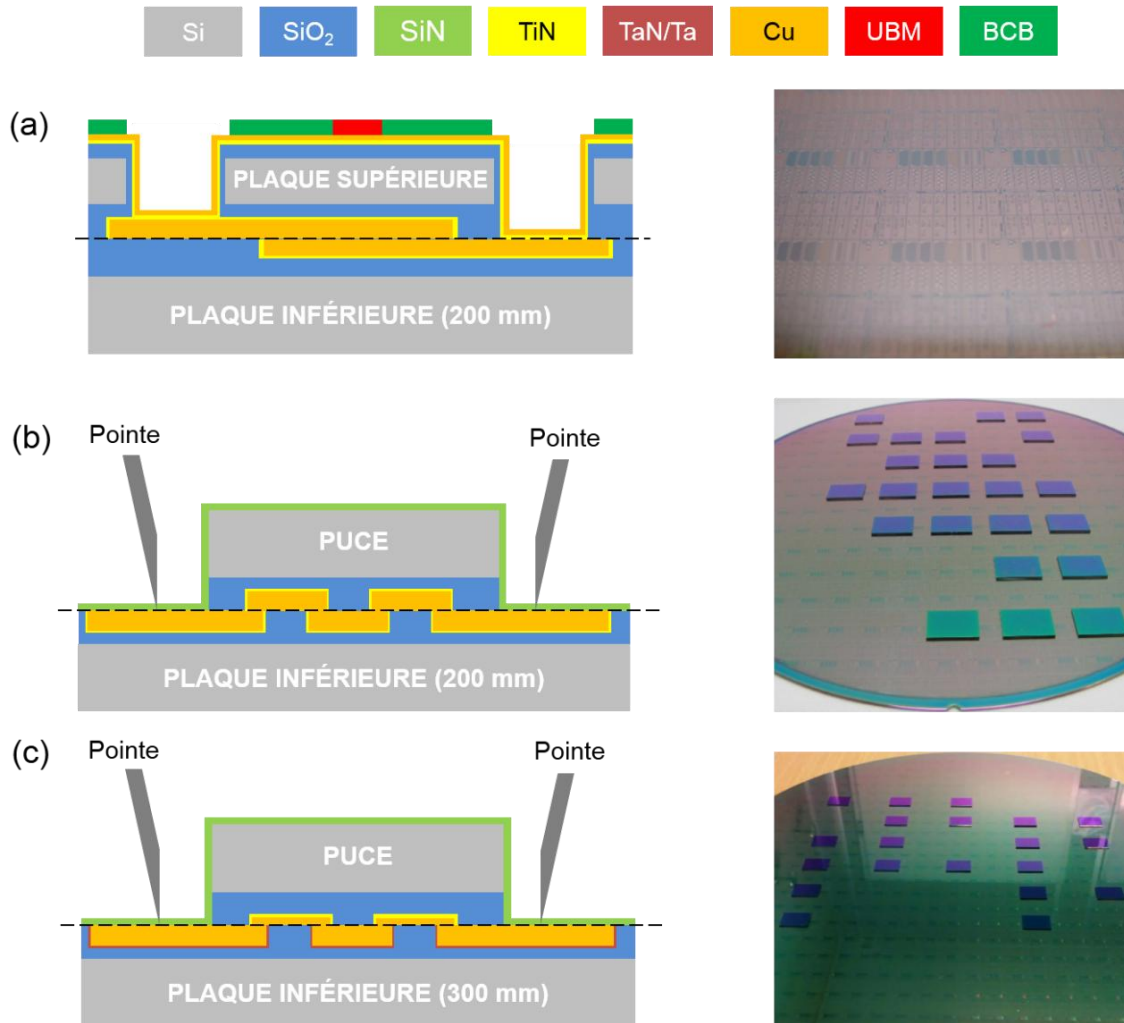


Figure III.3. Représentations schématiques en coupe et photographies des véhicules de test réalisés pour cette étude : (a) VT1 réalisé par collage WtW servant de référence ; (b) VT2 réalisé par collage CtW sur plaque 200 mm ; (c) VT3 réalisé par collage CtW sur plaque 300 mm.

III.1.2 Méthodologie de caractérisation électrique et de fiabilité

Les structures de tests de type NIST et chaînes de connexions, déjà largement étudiées dans le cadre de l'intégration WtW par Taibi *et al.* [Taibi'10], ont été identifiées comme les plus pertinentes pour conduire notre étude. Ces structures permettent en effet de caractériser facilement la résistance électrique et la résistivité de contact de l'interface de collage. La faisabilité et la reproductibilité d'interconnexions possédant

un pas d'espacement de 7 μm , constituant l'état de l'art dans notre domaine, sont aussi évaluées, notamment grâce aux chaînes de connexions possédant les dimensions les plus agressives. Nous rappelons dans la Figure III.4 et le Tableau III.2 la géométrie et les caractéristiques des structures NIST et des chaînes de connexions.

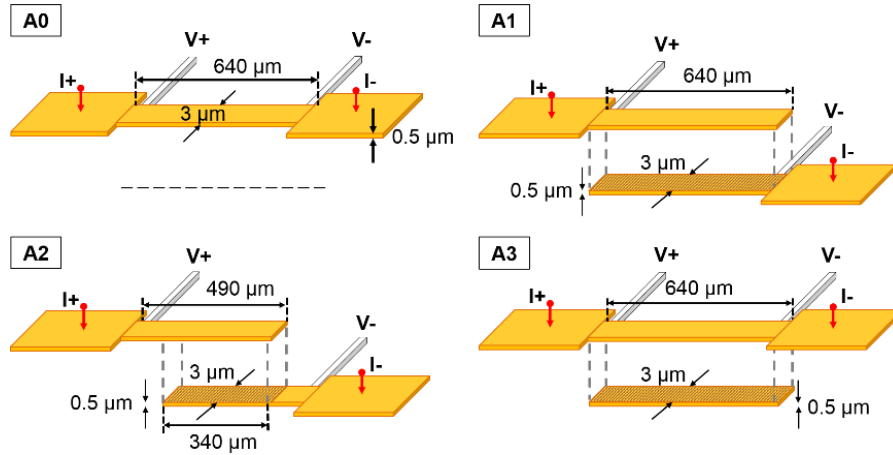


Figure III.4. Représentation schématique des quatre structures NIST caractérisées dans cette étude.

Tableau III.2. Descriptions des cinq chaînes de connexions utilisées lors de cette étude.

Chaîne	DCF1	DCF2	DCF3	DCF4	DCF5
Interconnexions	10 136	4872	10 772	14 934	29 422
Largeur de la ligne supérieure (μm)	3	5	3	3	3
Largeur de la ligne inférieure (μm)	3	5	5	3	3
Aire de contact (μm^2)	9	25	9	9	9
Pas d'espacement x / y (μm)	7 / 21	10 / 30	7 / 21	7 / 14	7 / 7
Lignes collées vues du dessus					

La stratégie mise en place pour valider le procédé de collage CtW en tant qu'intégration viable est d'abord basée sur la comparaison des résultats électriques expérimentaux R_{exp} avec les calculs de résistances théoriques R_{th} . Le détail des calculs des résistances théoriques, pouvant varier suivant la forme de la structure et le type de barrière de diffusion, sera donné au cas par cas dans les parties III.2. et III.3. traitant des caractérisations des collage puce-à-plaque en 200 et 300 mm.

La deuxième étape de validation de l'intégration CtW passe par la comparaison des résistances électriques expérimentales entre les échantillons réalisés par collages WtW et CtW. Cela permettra en effet de déterminer si le procédé CtW a une quelconque influence sur la fermeture de l'interface Cu/Cu et par extension les performances électriques, par rapport au procédé standard WtW bien documenté. Enfin, la résistivité de contact ρ_c sera extraite selon la méthode décrite dans le chapitre II et comparée aux échantillons WtW. La contribution du désalignement dans la valeur de ρ_c sera notamment étudiée.

Cependant, nous avons vu dans la partie précédente que tous les véhicules de tests ne disposaient pas des mêmes conditions de métallisations et de la même hauteur de ligne de cuivre. La nature de la barrière et la hauteur des lignes de cuivre a une influence non négligeable sur la résistance totale. De plus, les chimies et recettes utilisées pour l'étape de remplissage du cuivre par ECD ne sont pas les mêmes au CEA-Léti et à ST Crolles, ce qui implique des variations de composition et de tailles de grains et donc de résistivité entre les plaques 200 et 300 mm. Le Tableau III.3 regroupe les résistivités mesurées des différents matériaux en fonction de leur lieu de dépôt.

Ainsi, compte tenu de ces variations, les résultats électriques expérimentaux des véhicules VT1 et VT2, comparables entre eux, ne pourront pas être comparés aux valeurs trouvées pour le véhicule VT3. Ces dernières seront cependant confrontées aux résistances théoriques calculées à partir des résistivités mesurées.

Tableau III.3. Résistivités mesurées du Cu, du TiN et du TaN/Ta déposés au CEA-Léti et à ST Crolles.

	Résistivité mesurée ($10^{-2} \Omega \cdot \mu\text{m}$)		
	Cu	TiN	TaN/Ta
CEA-Léti	2,01	3,5	-
ST Crolles	1,75	-	3

Un autre aspect important de la validation de l'intégration CtW réside dans la fiabilité environnementale des structures, notamment en termes de résistances aux contraintes thermomécaniques. En effet, dans le cadre du collage direct où toute la surface de la puce est solidaire de la plaque, la nature des matériaux, la taille ou encore l'épaisseur de la puce peuvent être sources de défaillances structurelles lors de contraintes thermiques prolongées ou périodiques.

Par exemple, l'emploi de matériaux ayant des coefficients de dilatation thermique très différents entre la puce et la plaque peut conduire à des fissures, des délaminages ou même des décollements partiels ou complets de la puce si l'énergie de collage est trop

faible. Les effets de bords constituent aussi un facteur de risque supplémentaire par rapport au collage WtW. En effet, la contrainte maximale, se situant dans les coins de la puce, est d'autant plus importante que la puce est petite. C'est pourquoi un test de cyclage thermique a été mené sur les échantillons VT2 afin d'étudier d'éventuelles détériorations de la résistance électrique ou de l'intégrité des structures de test.

III.2 Collages puce-à-plaque vs plaque-à-plaque en 200 mm

Après collages et recuits de consolidation de l'interface à 400 °C pendant 2 h, des caractérisations de la qualité de collage des véhicules VT1 et VT2 sont conduites à l'aide de microscopies acoustiques et infrarouges. Les résultats de ces observations, représentés dans les Figure III.5 et Figure III.8, sont commentés et comparés ci-dessous.

Dans le cas du véhicule VT1, la majorité de l'empilement apparaît en noir sur l'image acoustique des Figure III.5(a) et Figure III.5(b), traduisant un scellement complet de l'interface (voir Chapitre II). Des défauts sont cependant visibles, sous la forme de disques et de carrés blancs. Les défauts circulaires, appelés A sur la Figure III.5(a), sont liés à la présence de particules à la surface des substrats. En effet, la moindre contamination par une particule de rayon h entraîne un défaut circulaire de rayon R à l'interface de collage. L'équation reliant ces deux grandeurs, initialement établie de manière empirique par Q. Y. Tong et U. Gösele [Tong'99], est

$$R = \left(\frac{2 E' t_w^3}{3 \gamma} \right)^{\frac{1}{4}} h^{\frac{1}{2}} \quad (25)$$

où γ est l'énergie de surface de chaque substrat, $E' = \frac{E}{(1-\nu^2)}$ avec E et ν respectivement le module d'Young et le coefficient de Poisson du substrat et t_w son épaisseur. Ainsi, si l'on considère le défaut de collage A de diamètre $2R = 1$ cm, l'équation (25) nous permet d'estimer que la particule à l'origine de ce défaut a un diamètre $2h = 2$ μm .

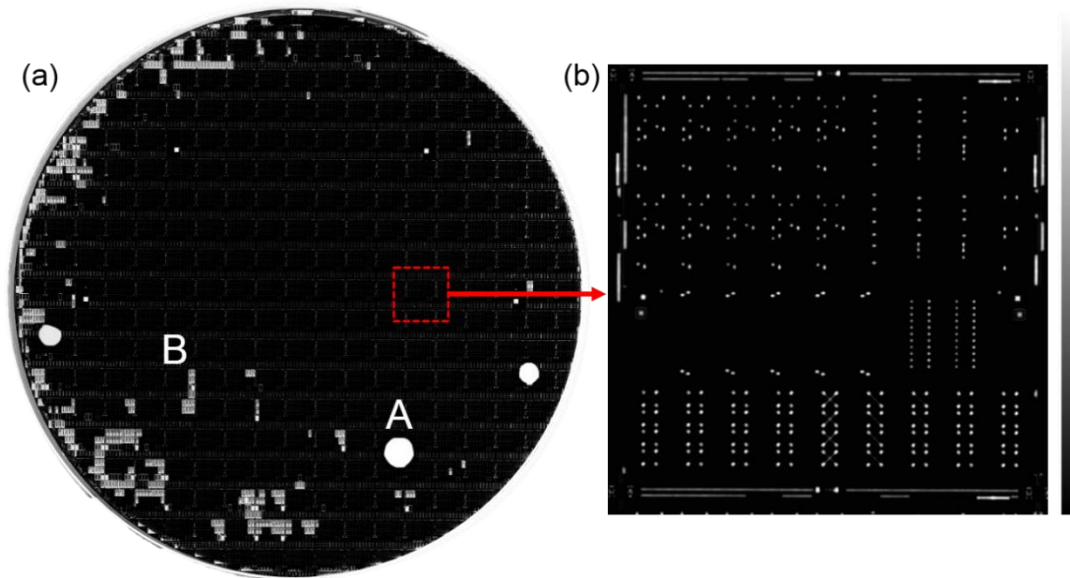


Figure III.5. Caractérisation par microscopie acoustique d'un véhicule VT1 après recuit à 400 °C. (a) Des défauts circulaires (A) et rectangulaires (B) liés respectivement aux particules et à la topologie de surface apparaissent en blanc en bord de plaque. (b) Le grossissement d'un des champs indique la présence de défauts de collages, de l'ordre de la centaine de micromètres, situés au niveau des amenées de courant.

Les défauts rectangulaires appelés B, situés majoritairement en bord de plaque, semblent quant à eux être dus à un arrêt de l'onde de collage sur certaines zones définies par les motifs de cuivre. Il est en effet intéressant de constater que ces défauts correspondent exactement à la forme des barrettes où se trouvent les structures de tests. Nous pouvons identifier trois facteurs susceptibles de jouer un rôle dans la création de ces défauts.

Le premier est lié au fait que le cuivre présent à la surface des plaques est en retrait de quelques nanomètres par rapport au SiO_2 après l'étape de CMP. L'onde de collage se propage donc essentiellement à l'interface $\text{SiO}_2/\text{SiO}_2$ en contournant les motifs de cuivre, comme illustré dans la Figure III.6. Cela a pour effet de freiner sa propagation et de l'arrêter dans les grandes zones à forte densité de cuivre (factices et chaînes de connexions par exemple).

Deuxièmement, le polissage par CMP étant inhomogène entre le bord et le centre des plaques, des variations topologiques de quelques dizaines de nanomètres peuvent exister à la surface du SiO_2 , ce qui est suffisant pour constituer des barrières pouvant arrêter l'onde de collage.

Enfin, les plaques ayant un bombé de quelques dizaines de micromètres, celle-ci se déforme durant le procédé de collage, ce qui induit une force de rappel pouvant empêchant l'adhésion de certaines zones en bord de plaque.

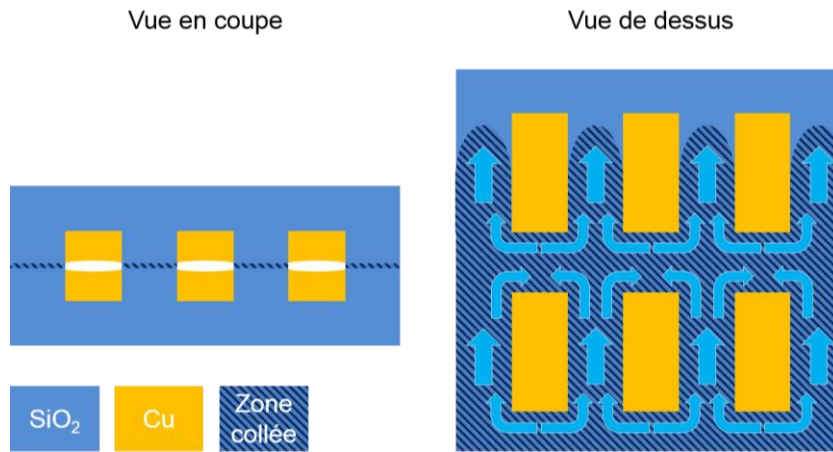


Figure III.6. Représentation schématique de l'onde de collage se propageant à l'interface $\text{SiO}_2/\text{SiO}_2$ en contournant les structures de cuivre en retrait par rapport à l'oxyde.

La Figure III.5(b) montre d'autres types de défauts circulaires plus petits, situés essentiellement au niveau des amenées de courant des structures de tests, composées de zones mixtes Cu- SiO_2 mesurant $80 \times 80 \mu\text{m}^2$. Il s'avère que cette configuration de surface particulière subit un sur-polissage d'une vingtaine de nanomètres lors de l'étape de CMP.

Cet affaissement local empêche l'établissement du contact intime entre l'amenée de courant et la surface de SiO_2 de la plaque opposée (Figure III.7), d'où il résulte un écho acoustique de la taille de l'amenée de courant. Néanmoins, cela n'empêche en aucun cas la caractérisation électrique des structures NIST et des chaînes de connexions utilisées pour cette étude, étant donné que le contact électrique est assuré en bord de plot.

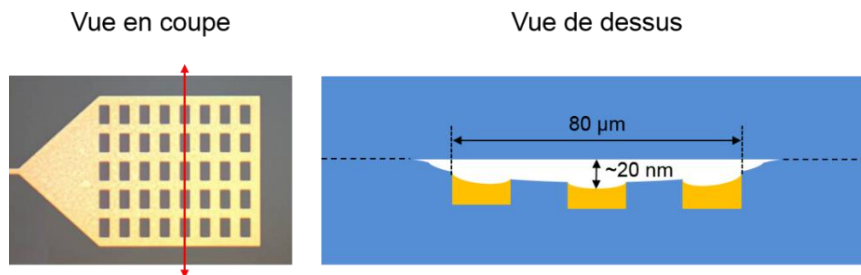


Figure III.7. Représentation schématique du phénomène de sur-polissage du SiO_2 et du Cu lors de la CMP en présence d'une surface mixte Cu- SiO_2 .

Concernant les caractérisations acoustiques des échantillons VT2, visibles sur la Figure III.8(a), nous pouvons constater une grande variation de qualité de collage d'une puce à l'autre, sans qu'une tendance ne ressorte en particulier. Nous retrouvons notamment les défauts précédemment observés en collage WtW, à savoir les défauts rectangulaires autour des zones à forte densité de cuivre (Figure III.8(a)) et les petits défauts circulaires sur les amenées de courant (Figure III.8(b)).

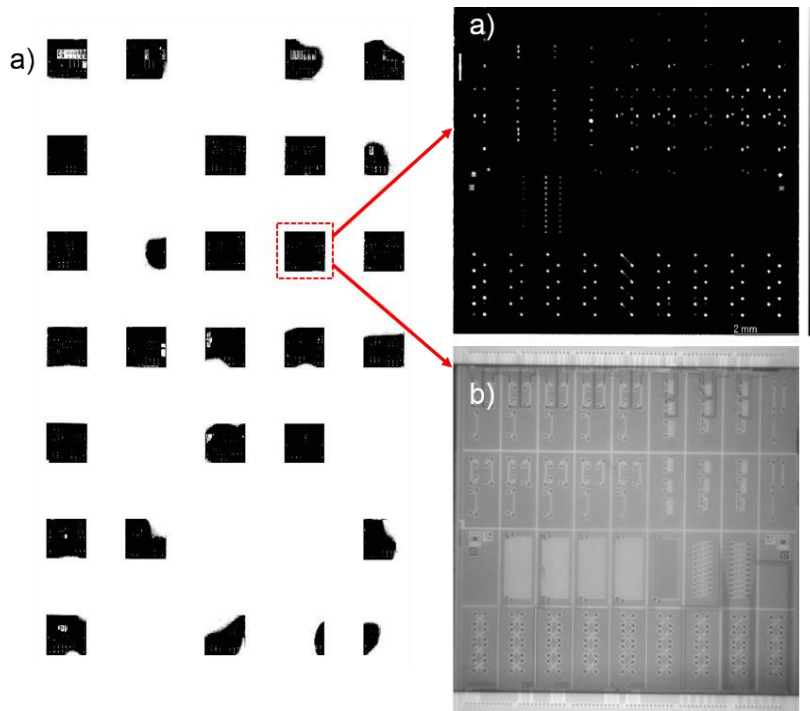


Figure III.8. Caractérisations par microscopies (a) acoustique et (b) infrarouge typiquement observées après collage CtW. Les images acoustiques montrent les zones non collées en blanc, principalement dans les coins des puces.

De larges zones non collées pouvant occuper jusqu'à 80 % de la surface de la puce sont toutefois visibles et peuvent avoir pour origines : la déformation initiale des puces, pouvant empêcher partiellement ou totalement le collage, et la présence de particules en bord de puce. En effet, lors de la préparation de surface pour le collage, les puces sont manipulées à l'aide d'une paire de précelles. Durant ces opérations, des particules de toutes tailles sont susceptibles d'être déposées sur la surface à coller.

Comme vu précédemment, l'équation (25) nous indique que des particules de tailles micrométriques provoquent des défauts de plusieurs centimètres. Dans le cas de nos collages puce-à-plaque, des particules situées en bord de puce peuvent donc induire des défauts suffisamment importants pour empêcher une large portion de la puce de coller (Figure III.9), à l'instar des défauts de collage observables sur les clichés de la Figure III.5. Par conséquent, les structures de cuivre situées à cet endroit ne sont pas collées et le test électrique est impossible.

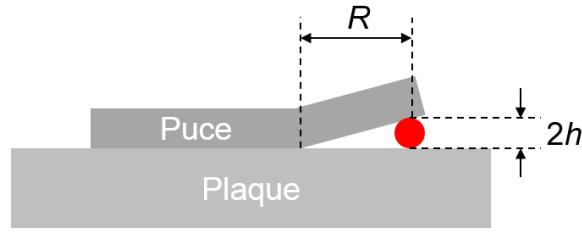


Figure III.9. Représentation schématique d'un défaut de collage en bord de puce de rayon R provoqué par une particule de diamètre $2h$.

Dans les parties suivantes, nous allons procéder dans un premier temps à la comparaison des résistances électriques des structures NIST et des chaînes de connexions réalisées par collage direct WtW et CtW sur plateformes 200 mm, après recuit à 400 °C.

Dans un deuxième temps, l'impact du test de cyclage thermique conduit sur les échantillons VT2 sera étudié par le biais de caractérisations électriques et physiques. Sauf mention contraire, tous les résultats de résistances électriques donnés sont des valeurs moyennées sur une dizaine de puces testées par VT, avec une erreur de mesure de l'ordre de 1 %.

III.2.1 Caractérisations électriques des structures NIST

Afin de pouvoir calculer la résistance théorique des structures NIST, la résistivité du cuivre des échantillons VT1 et VT2 a été extraite à partir de la résistance de la NIST A0 mesurée par la méthode 4 pointes. Ainsi, une résistivité de $\rho_c = 2,01.10^{-2} \Omega.\mu\text{m}$ a été obtenue, ce qui est plus élevée que la valeur de référence $\rho_{ref} = 1,725.10^{-2} \Omega.\mu\text{m}$ [Lide'09]. Cela peut être expliqué par des imperfections dans la microstructure, des tailles et orientations de grains différentes ainsi que par la présence d'impuretés.

Les lignes des puces et de la plaque étant issues de la même technologie et ayant la même résistivité, le calcul des résistances théoriques pour les NIST A1, A2 et A3 est basé sur un modèle simple de résistances unitaires ou en séries, représenté par le schéma électrique équivalent de la Figure III.10 ci-dessous. Ces calculs représentent le cas idéal où l'interface de collage n'apporte aucune résistance additionnelle. C'est pourquoi, les résistances R_a des NIST A1/A3, ainsi que la partie collée de la NIST A2 de R_2 , sont représentées par une seule résistance d'une ligne de 1 μm d'épaisseur. Finalement, les résistances R_a et R_b , correspondant aux NIST A1/A3 et A2 respectivement, sont telles que

$$R_a = \rho \frac{l}{S} \quad (26)$$

$$R_b = \rho \frac{l_1}{S_1} + \rho \frac{l_2}{S_2} + \rho \frac{l_3}{S_3} \quad (27)$$

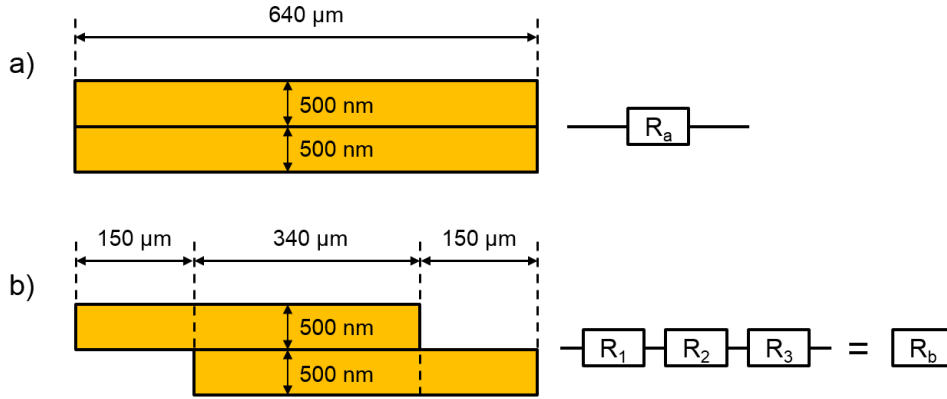


Figure III.10. Représentations schématiques en coupe et circuits équivalents correspondant (a) aux NIST A1 et A3 et (b) à la NIST A2 dans le cadre des véhicules VT1 et VT2.

Le Tableau III.4 compile les résistances théoriques R_{th} et expérimentales R_{exp} pour toutes les NIST A1, A2 et A3 caractérisées sur VT1 et VT2. Comme l'ont déjà montré Taibi *et al.* [Taibi'10], les résistances des 3 types de NIST réalisées par collage WtW sont en très bon accord avec les valeurs théoriques, avec un écart maximale de 2 % pour la NIST A1. En outre, R_{exp} des NIST A1 et A3 étant très proches, cela montre que le courant passe bien par les deux lignes collées de la NIST A3 et donc que l'interface de collage offre une résistance très faible.

De la même manière, ces résultats peuvent aussi être observés sur les structures CtW, avec un faible écart type compris entre 0,2 % et 0,5 %. R_{exp} des échantillons CtW sont en effet très proches à la fois de R_{th} mais aussi de R_{exp} des échantillons WtW, ce qui témoigne d'une faible incidence de l'interface de collage sur les performances globales et donc d'une excellente qualité de collage CtW.

Tableau III.4. Comparaison des résistances électriques des structures NIST présentes sur des véhicules de tests FICO réalisés par collage WtW et CtW.

	NIST A1	NIST A2	NIST A3
Aire de contact $L \times W$ (μm^2)	640×3	340×3	640×3
Résistance théorique (Ω)	4,27	6,26	4,27
Plaque-à-plaque (VT1)			
Résistance expérimentale (Ω)	4,39	6,34	4,31
Puce-à-plaque (VT2)			
Résistance expérimentale (Ω)	4,35	6,37	4,47

III.2.2 Caractérisations électriques des chaînes de connexions

Les résistances théoriques et expérimentales des cinq chaînes de connexions réalisées par collages WtW et CtW sont présentées dans le Tableau III.5. Les résistances expérimentales des chaînes CtW sont en moyenne 1,5 % plus basses que celles mesurées sur les échantillons WtW, avec un écart type compris entre 0,3 % et 1,8 %. Cela démontre non seulement la possibilité de réaliser de manière reproductible des interconnexions avec une densité de $10^6/\text{cm}^2$ avec le procédé de collage CtW, mais aussi l'absence d'impact de cette technique sur les résistances électriques de telles structures.

Tableau III.5. Comparaison des résistances électriques théoriques et expérimentales des chaînes de connexions présentes sur les véhicules de tests VT1 et VT2.

	DCF1	DCF2	DCF3	DCF4	DCF5
Résistance théorique (Ω)	780.5	304	624.8	1149.9	2265.5
Res. th. par nœud ($\text{m}\Omega$)	77	62.4	58	77	77
Plaque-à-plaque (VT1)					
Résistance exp. (Ω)	801	310	681	1180	2340
Résistance par nœud ($\text{m}\Omega$)	79	63.6	63.2	79	79.5
Puce-à-plaque (VT2)					
Résistance exp. (Ω)	793	304	661	1160	2297
Résistance par nœud ($\text{m}\Omega$)	78.2	62.4	61.3	77.6	78

En calculant la résistance théorique R_{th} d'une seule connexion de la structure DCF5 (Figure III.11) à l'aide de la résistivité précédemment extraite, il est possible de déterminer R_{th} globale des différentes chaînes de connexions en multipliant par le nombre de connexions. De plus, l'écart de résistance entre les valeurs théorique et expérimentale pour une connexion de la structure DCF5 est de seulement $\Delta R(nœud) = R_{exp} - R_{th} = 78 - 77 = 1 \text{ m}\Omega$, ce qui est inférieur aux $2,5 \text{ m}\Omega$ observables pour la connexion de la structure DCF5 réalisée par collage WtW [Taibi'10].

La valeur de $\Delta R(nœud)$ peut avoir pour origine le désalignement entre les substrats, la résistance de contact de l'interface Cu/Cu et, dans une moindre mesure, les variations dans les procédés de fabrication. Dans la suite de cette partie nous allons estimer les contributions respectives du désalignement entre la puce et la plaque et de la résistivité de contact dans la valeur de $\Delta R(nœud)$.

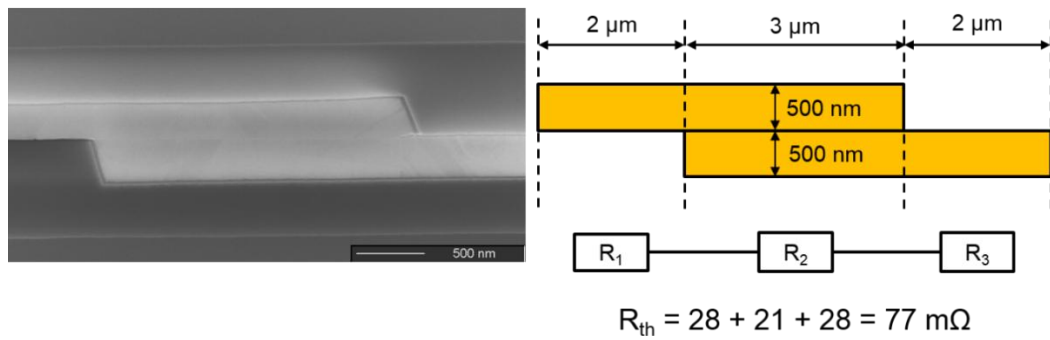


Figure III.11. Observation SEM, caractéristiques d'un nœud de la chaîne DCF5 et schéma électrique équivalent permettant de calculer sa résistance théorique

❖ **Contribution du désalignement dans la valeur de ΔR**

Comme nous l'avons vu dans la Figure II.8 du chapitre II, la grande majorité des éléments composant la chaîne de connexions DCF5 est orientée selon l'axe x . Ainsi, un désalignement selon cet axe n'induit pas de réduction de la surface totale collée, étant donné que la réduction de la zone collée à une extrémité d'une connexion est compensée par l'augmentation de la zone collée à l'autre extrémité.

Par conséquent, un désalignement selon l'axe x ne provoque pas d'augmentation de la résistance globale de la chaîne. La Figure III.12 démontre ce phénomène à l'aide du calcul de la résistance moyenne de deux connexions, qui se trouve être égale à la résistance $R_{th} = 77 \text{ m}\Omega$ d'une connexion parfaitement alignée (Figure III.11).

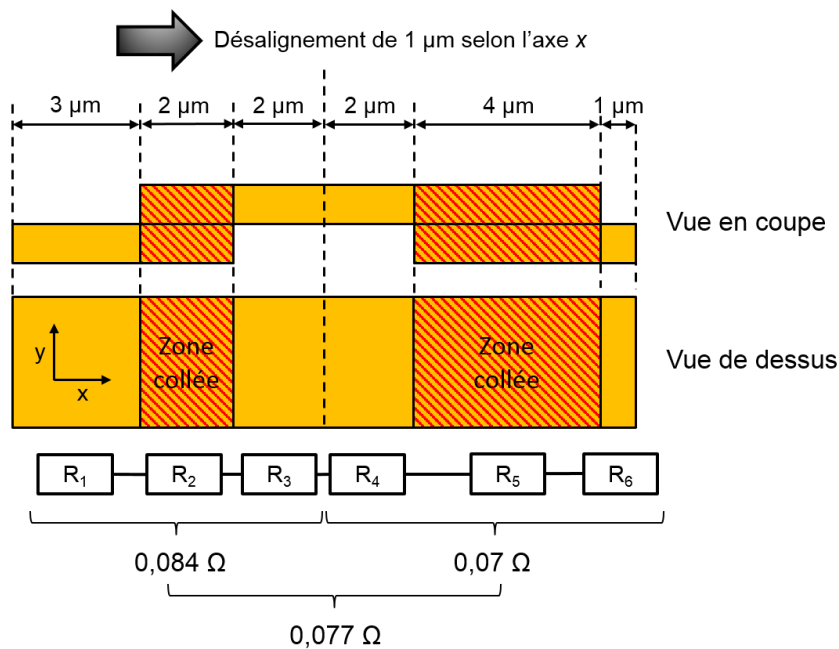


Figure III.12. Représentation schématique de deux connexions de la structure DCF5 avec un désalignement de $1 \mu\text{m}$ selon l'axe x et circuit électrique équivalent associé.

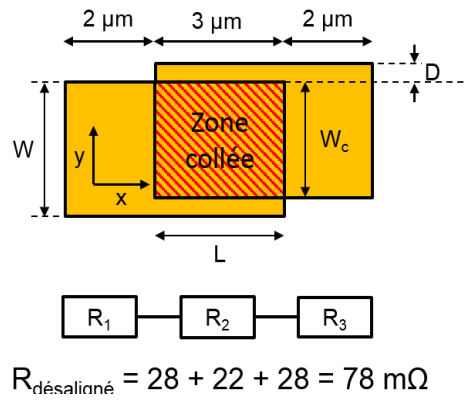


Figure III.13. Représentation schématique d'une connexion désalignée selon l'axe y et circuit électrique équivalent associé.

En revanche, un désalignement selon l'axe y , comme représenté dans la Figure III.13, provoque une réduction de la surface totale collée et donc une augmentation de la résistance. À l'aide de cette figure, nous allons déterminer l'amplitude du désalignement nécessaire pour obtenir l'écart $\Delta R(n\text{æud}) = 1 \text{ m}\Omega$.

Nous considérons dans un premier temps que la résistance d'une connexion désalignée $R_{\text{désaligné}} = R_{\text{exp}} = R_1 + R_2 + R_3 = 78 \text{ m}\Omega$. Le désalignement étant purement en y , les valeurs de R_1 et R_3 restent inchangées par rapport au calcul de la résistance théorique d'une connexion parfaitement alignée. La zone collée, définie par la résistance R_2 , seule responsable de l'augmentation de $1 \text{ m}\Omega$, est égale à $R_2 = 21 + 1 = 22 \text{ m}\Omega$.

Nous définissons ensuite le désalignement responsable de l'écart $\Delta R(n\text{æud})$, et donc de la valeur de R_2 , comme $D = W - W_c$, où W est la largeur des lignes et W_c la largeur de la zone collée. En partant de l'expression de la résistance R_2 , nous pouvons ainsi calculer l'inconnue W_c et ainsi déterminer le désalignement D :

$$R_2 = \rho \frac{L}{W_c \times H} = 22 \text{ m}\Omega \quad (28)$$

$$W_c = \frac{\rho \times L}{R_2 \times H} = \frac{0,021 \times 3}{0,022 \times 1} = 2,86 \text{ }\mu\text{m} \quad (29)$$

Nous obtenons donc que si l'augmentation de $1 \text{ m}\Omega$ de la connexion est seulement due au désalignement entre les lignes, celui-ci devrait être de $D = 3 - 2,86 = 0,14 \text{ }\mu\text{m}$. Les mesures d'alignement effectuées sur 50 puces, et reportées dans la Figure III.2, montrent qu'une telle précision est rarement atteinte avec les équipements de collage dont nous disposons. Par conséquent, bien que le désalignement ait une contribution non négligeable dans la valeur de $\Delta R(n\text{æud})$, la résistivité de contact intervient également.

❖ **Contribution de la résistivité de contact dans la valeur de ΔR**

En considérant seulement la résistivité de contact liée à la qualité de collage comme facteur impactant R_{exp} , la résistance de contact R_c de l'interface de collage Cu/Cu peut être considérée égale à $\Delta R(n\acute{a}ud)$. Il est ainsi possible d'évaluer la résistivité de contact à une valeur de $\rho_c = R_c \times A_c = 1 \times 9 = 9 \text{ m}\Omega.\mu\text{m}^2$, ce qui est inférieur aux $22,5 \text{ m}\Omega.\mu\text{m}^2$ trouvés pour le collage WtW [Taibi'10].

Cette valeur de ρ_c n'est vraie que dans le cas d'un alignement parfait entre les substrats. Or nous venons de voir que le désalignement avait une influence significative sur la valeur de $\Delta R(n\acute{a}ud)$, ce qui signifie que $\rho_c = 9 \text{ m}\Omega.\mu\text{m}^2$ est une estimation de la valeur maximale de la résistivité de contact de l'interface Cu/Cu.

Ces résultats de caractérisations électriques de structures NIST et des chaînes de connexions recuites à $400 \text{ }^\circ\text{C}$ confirment globalement la bonne qualité du collage du processus CtW ainsi que l'absence d'impact de cette technique sur les performances électriques comparé au processus WtW. Par conséquent, cette étude participe à la validation de la technologie CtW comme une méthode reproductible pour la réalisation d'interconnexions tridimensionnelles à haute densité. La partie suivante est destinée à investiguer la tenue mécanique de ces structures soumises à des contraintes thermiques périodiques.

III.2.3 Cyclage thermique

Nous venons de voir que le collage CtW autorisait la réalisation d'interconnexions à haute densité à faible résistivité de contact. Nous allons maintenant étudier la fiabilité de telles structures, notamment en ce qui concerne la résistance à des contraintes thermomécaniques.

Dans le but d'étudier cet aspect, des tests de cyclages thermiques (CT) ont été conduits sur les structures NIST et les chaînes de connexions se trouvant sur le véhicule VT2, sur la base de la norme JESD22-A104D du standard JEDEC. Les conditions du test impliquent 1000 cycles (2 cycles par heure) avec une variation de température de $-40 \text{ }^\circ\text{C}$ à $+125 \text{ }^\circ\text{C}$, à pression ambiante.

Afin de vérifier l'intégrité structurelle des échantillons après cyclage, des caractérisations électriques et morphologiques ont été réalisées. Ainsi, les Figure III.14 et Figure III.15 montrent une comparaison des résistances de chaque structure NIST et chaîne de connexions avant et après cyclage. Dans les deux cas, aucune augmentation ou diminution significative de la résistance n'est constatable, les légères variations étant comprises dans la barre d'erreur de 1 % représentant l'incertitude de mesure. De plus, l'écart type, compris entre 0,2 % et 0,5 % pour les NIST, et entre 0,3 % et 1,8 % pour les chaînes de connexions, reste inchangé après le test de cyclage. Ces premiers résultats

montrent la robustesse et la bonne reproductibilité des structures réalisées par collage CtW.

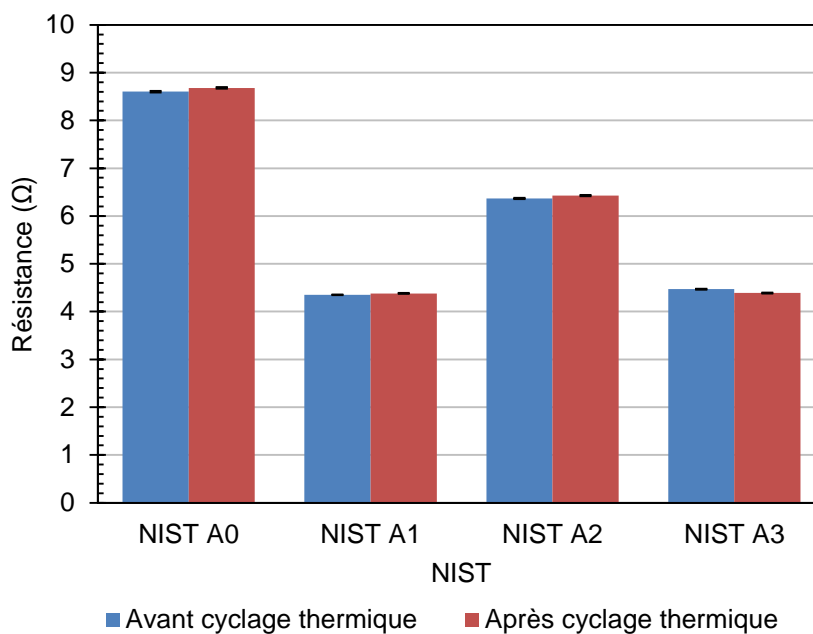


Figure III.14. Comparaison de la résistance électrique des NIST mesurée avant et après 1000 cycles thermiques entre -40 et +125 °C. Aucune variation significative de la résistance n'est observable.

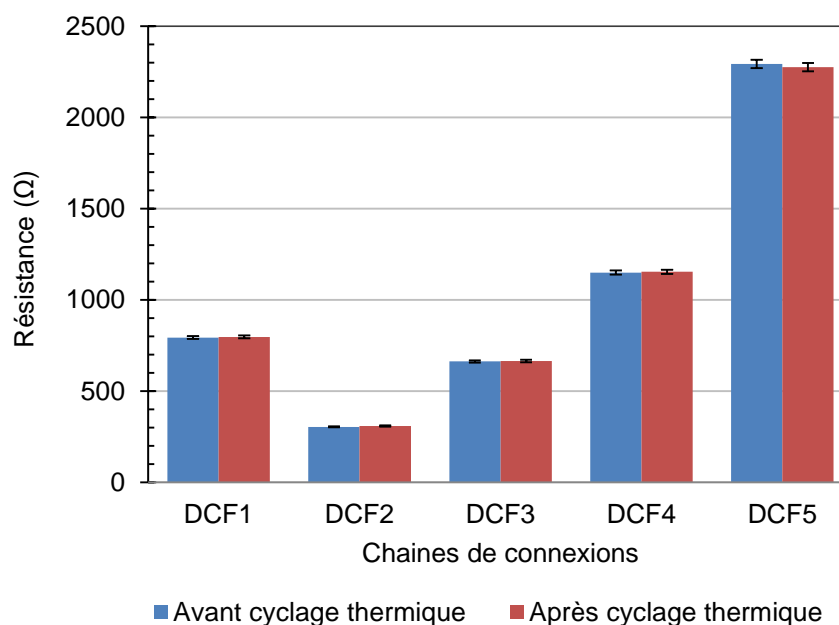


Figure III.15. Comparaison de la résistance électrique des chaînes de connexions mesurée avant et après 1000 cycles thermiques entre -40 et +125 °C. Comme pour les NIST, aucune variation significative de la résistance n'a été observée.

Les bons résultats électriques obtenus après cyclage thermique sont confirmés par des analyses FIB/SEM, illustrées dans la Figure III.16 et conduites sur une des NIST testées. Aucune cavité, décollement ou délaminage n'ont été observés à l'interface Cu/TiN, considérée comme la plus faible. Les interfaces Cu/Cu et Cu/SiO₂ restent quant à elles similaires à celles communément observées après recuit.

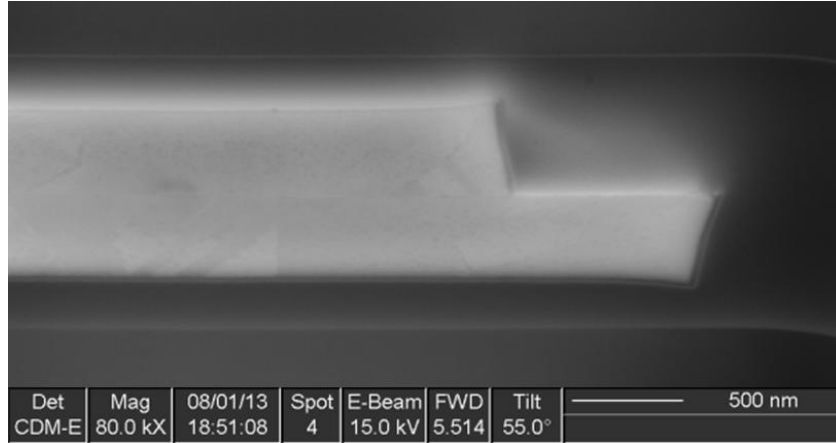


Figure III.16. Caractérisation SEM en coupe d'une ligne NIST ne montrant aucune détérioration morphologique particulière après cyclage thermique.

Ces résultats électriques et morphologies encourageants indiquent que des structures de cuivre à deux niveaux, réalisées par collages CtW de surfaces mixtes Cu-SiO₂, possèdent une excellente tenue aux contraintes thermomécaniques. Les interfaces de collage Cu/Cu et SiO₂/SiO₂ sont en effet suffisamment robustes pour supporter des déformations induites par des variations de température répétées.

Cependant, notre intégration représente un cas idéal, étant donné le faible nombre de niveaux de métaux et la symétrie structurale entre les puces et la plaque. Les puces électroniques industrielles susceptibles d'être utilisées dans les futurs empilements 3D peuvent en effet comporter jusqu'à 10 niveaux d'interconnexions avec de nombreux matériaux différents (cuivre, tungstène, oxydes, nitrures, diélectriques high- K ...). Les contraintes thermomécaniques à l'interface de collage sont dans ce cas bien plus importantes avec ce genre de dispositif, notamment si les puces reportées ne proviennent pas de la même technologie (ex : un capteur optique sur un processeur).

Des tests de fiabilité plus poussés devront donc être menés à l'avenir sur des collages de puces actives de ce type, amincies à quelques dizaines de micromètres, afin de répondre entièrement à la question de la fiabilité mécanique du niveau de collage et de son impact sur les niveaux d'interconnexions et la performance des transistors notamment.

III.3 Collages puce-à-plaque 300 mm

Avant toute caractérisation électrique, une investigation de la qualité de collage des puces est menée par observations infrarouges de la plaque entière. La Figure III.17 montre les résultats de ces caractérisations conduites après collage et après un appui collectif de 40 kN sur les puces à l'aide d'une plaque en carbone. Cette dernière étape, qui ne fut développée qu'après avoir effectué les collages CtW en 200 mm et qui n'a donc été appliquée qu'aux collages 300 mm, a pour but de compenser les défauts de collage apparaissant sous forme de franges d'interférences à l'interface.

Comme nous l'avons vu précédemment, ces défauts peuvent être dus à une contamination particulière de la surface de collage des puces et/ou à la courbure initiale des puces, induite par les lignes de cuivre situées sur la face avant. Cette dernière hypothèse est confirmée par le fait qu'une majorité de puces présentant un défaut a vu ses franges d'interférences disparaître après compression. Cependant, sur les 25 puces initialement posées, seules 23 sont restées collées après l'appui et 19 ont pu être caractérisées électriquement.

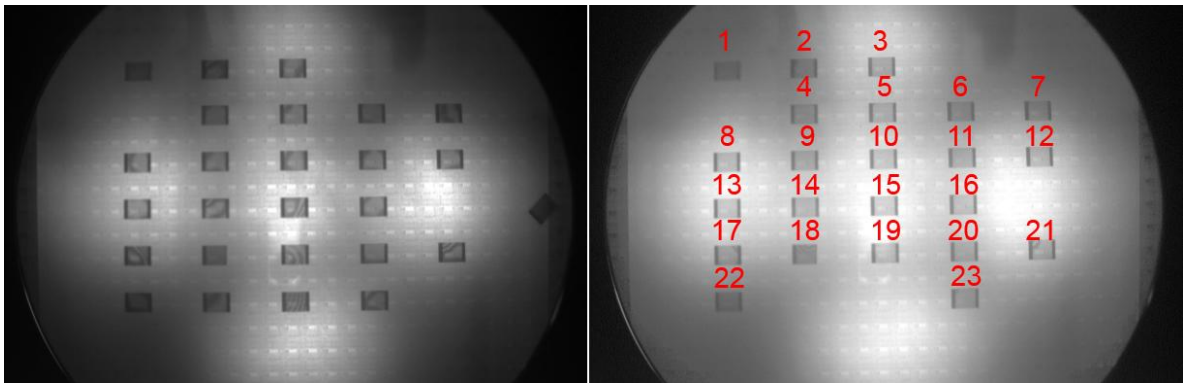


Figure III.17. Images infrarouge du collage puce-à-plaque 300 mm réalisé pour cette étude, après collage à gauche, et après compression à 40 kN à droite. Seules 19 des 23 puces restées collées étaient fonctionnelles.

Les parties suivantes sont consacrées aux caractérisations électriques des structures NIST et des chaînes de connexions réalisées par collage CtW sur une plaque 300 mm. De par les différences de dimensions des lignes et des procédés de métallisations (voir Tableau III.3), ces résultats ne seront pas comparés à ceux obtenus sur plateforme 200 mm. Ils seront cependant confrontés aux résistances théoriques calculées grâce aux résistivités mesurées sur les NIST A0.

Une étude de l'influence de la position des puces sur la plaque sur la résistance électrique sera aussi présentée. En effet, le procédé de collage direct requiert une très bonne maîtrise des différents niveaux de topologies des échantillons à coller, à savoir la flèche, la planéité et la rugosité. Les procédés de polissage en 200 et 300 mm permettent

d'atteindre de manière reproductible la valeur requise de 0,5 nm RMS pour le Cu et le SiO₂. En revanche, la planéité et la flèche sont plus difficiles à maîtriser. De plus, ces effets de surface, tous deux liés à la présence de cuivre sur la face à coller, sont d'autant plus importants pour des plaques de 300 mm dont le diamètre peut amplifier les variations entre le bord et le centre. Cela peut à terme avoir un impact négatif sur la qualité de collage des puces en fonction de leur position sur la plaque et ainsi créer une inhomogénéité dans les performances électriques générales.

III.3.1 Caractérisations électriques des structures NIST

Afin de mettre en évidence une éventuelle influence de la position de la puce sur la qualité de collage, les résistances électriques de chacune des NIST présentes sur les 19 puces fonctionnelles sur la plaque 300 mm ont été comparées. Le résultat de cette étude présenté dans la Figure III.18 ne montre aucune variation significative de la résistance ni de tendance particulière suivant la position de la puce.

De plus, l'écart type de la résistance des NIST collées A1, A2 et A3 est compris entre 1,5 % et 3,4 %, ce qui est légèrement supérieur aux valeurs trouvées pour les collages CtW en 200 mm mais reste en accord avec la valeur de 3 % communément admise dans l'industrie en ce qui concerne l'uniformité des procédés de fabrication des interconnexions dans le BEoL.

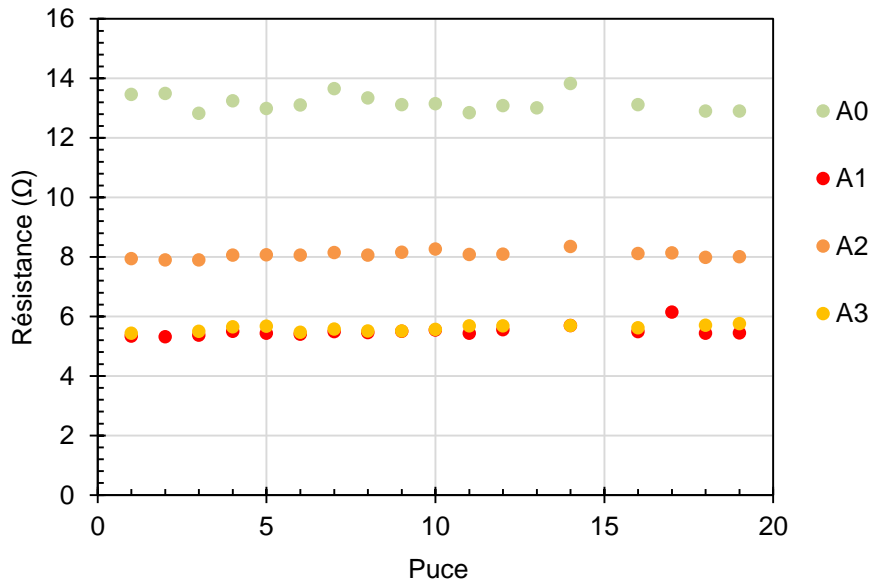


Figure III.18. Résistances électriques des NIST présentes sur les 19 puces fonctionnelles. Aucune différence de résistance n'est notable selon la position de la puce sur la plaque. L'absence de certains points est due à des défauts de collage ponctuels.

Passons maintenant à une analyse plus approfondie de ces résultats en extrayant d'abord la résistivité du cuivre des puces et de la plaque. Comme mentionné

précédemment, la plaque de 300 mm servant de base au collage des puces a été métallisée à ST Crolles. Elle possède des lignes de cuivre de 500 nm d'épaisseur avec une barrière de diffusion en TaN/Ta de 25 nm d'épaisseur. Les lignes des puces, issues de plaques fabriquées au CEA-Léti, font elles 350 nm d'épaisseur et possèdent une barrière de diffusion en TiN de 20 nm d'épaisseur.

Deux résistivités différentes ont ainsi été obtenues, à savoir $\rho_{plaque} = 2,13.10^{-2} \Omega.\mu\text{m}$ et $\rho_{puce} = 2,16.10^{-2} \Omega.\mu\text{m}$ pour la plaque et les puces respectivement, ce qui est respectivement 6 et 7,5 % plus élevé que pour les plaques 200 mm précédemment étudiées. Cette différence attendue de résistivité entre ces différents échantillons s'explique par la nature de la barrière, la taille des grains de cuivre variant d'un procédé de métallisation à l'autre et enfin par l'épaisseur des lignes.

Cela implique de considérer un circuit équivalent différent de celui proposé pour les échantillons VT1 et VT2 pour calculer R_{th} liées aux différentes NIST. Les parties collées sont cette fois assimilées à deux résistances en parallèle, correspondant à la résistance de la ligne située sur la puce et à celle située sur la plaque (Figure III.19).

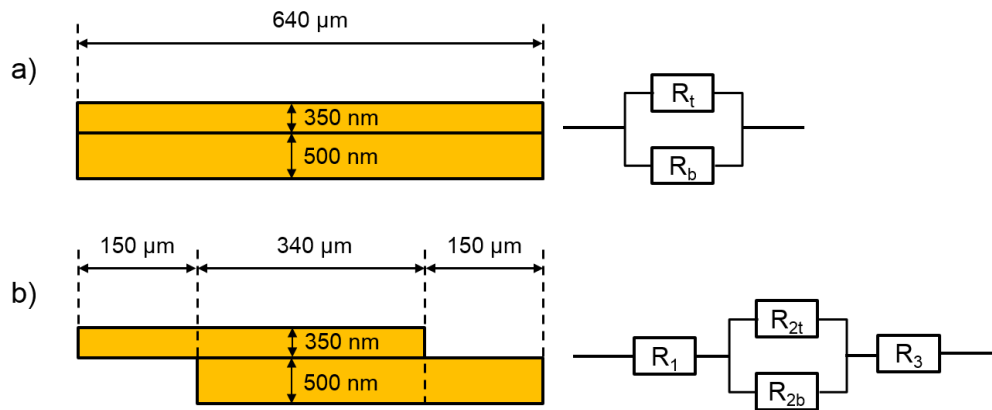


Figure III.19. Représentations schématiques en coupe et circuits équivalents correspondant (a) aux NIST A1 et A3 et (b) à la NIST A2 dans le cadre du véhicule VT3.

Les résistances totales R_a et R_b , correspondant aux NIST A1 et A3 d'une part, et à la NIST A2 d'autre part, sont alors données par

$$R_a = \frac{1}{\frac{1}{R_t} + \frac{1}{R_b}} \quad (30)$$

$$R_b = R_1 + \frac{1}{\frac{1}{R_{2t}} + \frac{1}{R_{2b}}} + R_3 \quad (31)$$

Les résultats de calculs théoriques ainsi que les résultats des caractérisations électriques conduites sur les NIST A1, A2 et A3 sont regroupés dans le Tableau III.6. Les résistances mesurées sur les structures NIST sont en très bon accord avec les valeurs théoriques. De la même manière que pour les échantillons en 200 mm, nous pouvons aussi observer que les NIST A1 et A3 ont des résistances similaires, confirmant le passage du courant par les deux lignes collées dans le cas de la structure A3 et donc une résistance de l'interface Cu/Cu faible devant la résistance des lignes collées.

Tableau III.6. Résistances théoriques et expérimentales des NIST A1, A2 et A3 réalisées par collage CtW sur plaque 300 mm.

	NIST A1	NIST A2	NIST A3
Aire de contact $l \times w$ (μm^2)	640×3	340×3	640×3
Résistance théorique (Ω)	5,38	8,07	5,38
Résistance expérimentale (Ω)	5,50	8,08	5,60

Le procédé de collage de puces ne semble donc pas être influencé par la taille de la plaque servant de base, tels que le montrent le comportement électrique des structures NIST et l'uniformité de leur résistance à l'échelle de la plaque. La partie suivante, consacrée à la caractérisation des chaînes de connexions, aidera à confirmer ce résultat notamment grâce au calcul de résistivité de contact.

III.3.2 Caractérisations électriques des chaînes de connexions

La Figure III.20 montre les résistances des 5 types de chaînes de connexions pour chaque puce. La valeur mesurée sur les 3 premières puces est anormalement élevée. En observant les clichés réalisés par microscope infrarouge dans la Figure III.17, nous pouvons remarquer qu'avant l'appui de renforcement ces 3 puces présentaient des défauts de collage importants dans la zone où se situent les chaînes de connexions. Bien que les franges d'interférence aient disparu après l'appui à 40 kN, force est de constater que le scellement de l'interface Cu/Cu reste de mauvaise qualité après le recuit à 400 °C étant données les valeurs élevées des résistances.

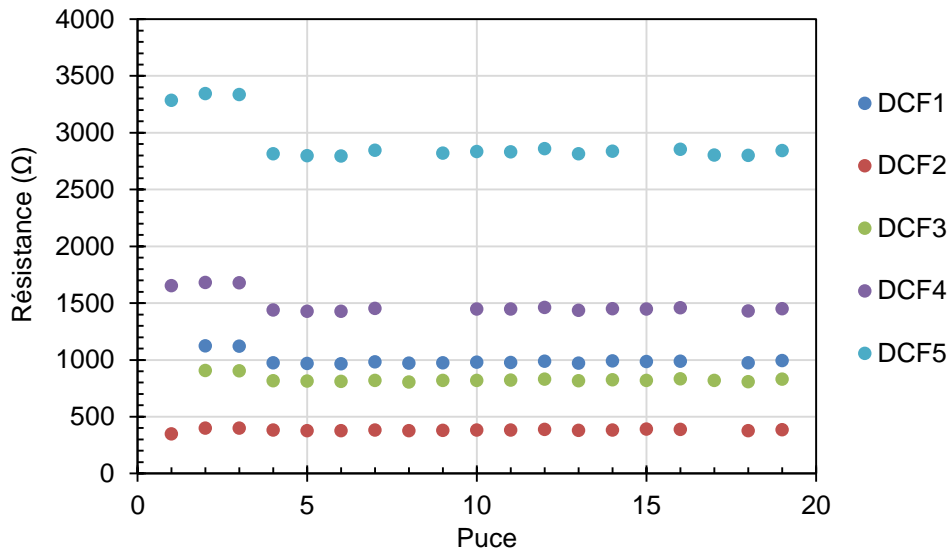


Figure III.20. Résistances électriques des chaînes de connexions présentes sur les 19 puces fonctionnelles. Aucune différence de résistance n'est notable selon la position de la puce sur la plaque. L'absence de certains points est due à des défauts de collage empêchant la mesure de résistance.

Il a donc été choisi de ne pas tenir compte de ces 3 puces dans les études électriques. L'écart type pour les puces 4 à 19 se situe entre 0,75 % et 1,14 % selon les chaînes, ce qui constitue des résultats tout à fait remarquables. Le Tableau III.7 regroupe R_{th} et R_{exp} des 5 chaînes de connexions présentes sur les puces 4 à 19.

L'équation (31) est utilisée pour calculer la résistance d'une connexion unitaire et par extension la résistance totale de chaque chaîne. La Figure III.21 détaille le calcul de R_{th} correspondant à une connexion de la chaîne DCF5. Ainsi, de la même manière que pour les collages en 200 mm, nous pouvons estimer la résistivité de contact R_c de l'interface de collage à $R_c = \Delta R(n\text{œud}) = R_{th} - R_{exp} = 1,3 \text{ m}\Omega$ dans le cas de la chaîne de connexions DCF5.

En résulte la résistivité de contact $\rho_c = 1,3 \times 9 = 11,7 \text{ m}\Omega \cdot \mu\text{m}^2$. Bien que cette résistivité de contact soit légèrement supérieure aux $9 \text{ m}\Omega \cdot \mu\text{m}^2$ obtenus pour le collage CtW en 200 mm, elle reste néanmoins inférieure aux $\rho_c = 22,5 \text{ m}\Omega \cdot \mu\text{m}^2$ trouvés pour les collages WtW de référence, ce qui indique une excellente qualité de collage. Ce résultat valide non seulement le faible impact de l'intégration CtW en 300 mm sur la résistance électrique, mais aussi la faisabilité d'une intégration hétérogène composée de puces et de plaques issues de technologies de fabrication différentes.

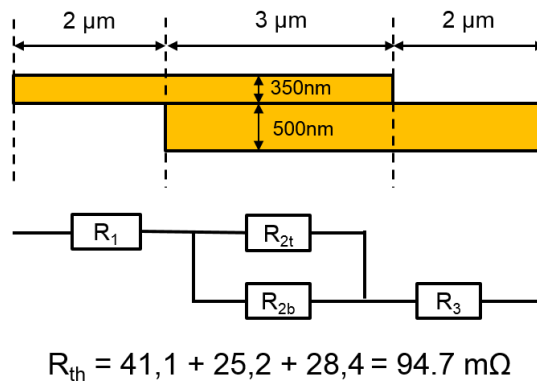


Figure III.21. Représentation d'un nœud des chaînes de connexions présentes sur les puces collées sur une plaque 300 mm. L'intégration choisie comporte des lignes de cuivre dont les dimensions et la nature sont différentes, imposant de considérer deux résistances en série dans la zone de collage.

Tableau III.7. Résultats de caractérisations électriques des chaînes de connexions réalisées par collage plaque-à-plaque en 300 mm.

Chaîne de connexions	DCF1	DCF2	DCF3	DCF4	DCF5
Résistance théorique (Ω)	959,88	377,09	785,3	1414,25	2786,26
Résistance th. par nœud (m Ω)	94,7	77,4	72,9	94,7	94,7
Résistance expérimentale (Ω)	981	384,4	821,13	1446,4	2827
Résistance exp. par nœud (m Ω)	96,7	78,8	76,2	96,8	96

III.4 Conclusions

Ce chapitre synthétise nos études de caractérisations électriques et physiques de structures NIST et de chaînes de connexions en cuivre réalisées par collage direct puce-à-plaque en 200 et 300 mm.

Les véhicules de test réalisés et utilisés pour cette étude présentent tous un alignement submicronique entre les puces et la plaque, ce qui est en bon accord avec les spécifications des futurs dispositifs électroniques à haute densité d'interconnexions. Cette précision d'alignement permet en effet d'atteindre des pas d'espacement de 7 μm , autorisant une densité de connexion de l'ordre de $10^6/\text{cm}^2$. La variation de qualité de collage d'une puce à l'autre laisse entrevoir les limitations de la méthode de préparation de surface utilisée. En effet, les défauts de collage observables en bord de puce, sous la forme de taches blanches et de franges d'interférences sur les images acoustiques et infrarouges respectivement, sont principalement dus à des déformations intrinsèques des puces ainsi qu'à des particules déposées sur la surface de collage lors de leur manipulation à l'aide de paires de précelles.

Les résistances électriques expérimentales des structures NIST et des chaînes de connexions présentes sur le véhicule en 200 mm sont très proches à la fois des valeurs théoriques, calculées à partir de la résistivité du cuivre mesurée sur les échantillons, mais aussi des résultats obtenus sur les collages plaque-à-plaque 200 mm. La similarité des résistances des NIST A1 et A3 illustre la faible résistivité de l'interface de collage Cu/Cu, estimée à une valeur maximale de 9 $\text{m}\Omega\cdot\mu\text{m}^2$ sur une connexion unitaire des chaînes DCF5. De plus, aucune variation de résistance ou de détérioration structurelle ne sont constatables après un test de cyclage thermique. Ces excellents résultats démontrent non seulement l'absence d'impact du procédé de collage puce-à-plaque sur les performances électriques, mais aussi la bonne tenue aux contraintes thermomécaniques de l'empilement.

Concernant les collages de puces sur plaque 300 mm, réalisés à partir de puces et d'une plaque issues de technologies de métallisations différentes, l'étude des résistances électriques n'a révélé aucune variation selon la position de la puce sur la plaque. Ce résultat démontre la bonne homogénéité et reproductibilité des procédés de préparation de surface, notamment l'étape de CMP, et de collage respectivement. Bien que la compression de 40 kN sur les puces collées permette d'éliminer la majorité des franges d'interférences, la caractérisation électrique des chaînes de connexions montre que certaines d'entre elles possèdent une résistance élevée. Il est intéressant de remarquer que les puces incriminées présentent des défauts de collage importants avant la compression. Cela indique que, bien qu'il soit possible de corriger un défaut de collage au niveau macroscopique par un appui, le scellement de l'interface de collage Cu/Cu après recuit est lié à la qualité de collage initiale. La gestion de la courbure des puces

ainsi que la contamination particulière de la face de collage constituent donc des axes d'améliorations majeurs de la qualité de collage. Malgré ces observations, la résistivité de contact de l'interface estimée à partir des chaînes de connexions correctement collées est de $11,7 \text{ m}\Omega.\mu\text{m}^2$, ce qui est compris entre les résistivités de contact de 9 et $22,5 \text{ m}\Omega.\mu\text{m}^2$ obtenues respectivement pour les collages CtW et WtW en 200 mm.

Ces différents résultats démontrent la possibilité de fabriquer de manière reproductible des interconnexions en cuivre à haute densité de type BEOl grâce au procédé de collage direct puce-à-plaque. Les performances électriques sur plaques 200 et 300 mm sont en accord avec les standards industriels en termes d'alignement entre les substrats, d'écart type de résistance, de nombre et de densité d'interconnexions. Enfin, la démonstration d'un collage hétérogène en 300 mm participe à valider cette technologie comme une solution industrialisable pour réaliser des empilements de puces à fonctions variées.

Chapitre IV

Études morphologiques, électriques et tests de fiabilité de quatre niveaux d'interconnexions réalisés par collage direct

IV.1	Qualité de collage et intégrité structurelle.....	120
IV.1.1	Mesure du désalignement à l'échelle de la plaque.....	121
IV.1.2	Microscopie acoustique à balayage.....	123
IV.1.3	Intégrité de l'intégration finale.....	130
IV.2	Caractérisations morphologiques des plots de collage	137
IV.2.1	Comparaison après recuits à 200 °C et 400 °C.....	137
IV.2.2	Cavités à l'interface Cu/Cu : observations et origines.....	140
IV.2.3	Diffusion du cuivre dans l'oxyde en bord de plots de collage.....	145
IV.2.3.1	Caractérisation TEM-EDX de l'interface Cu/SiO ₂	149
IV.2.3.2	Caractérisation SIMS de l'empilement.....	154
IV.3	Caractérisations électriques des structures de tests.....	158
IV.3.1	Intégration à quatre niveaux : impact sur la résistance.....	159
IV.3.2	Influence de la température de recuit et résistivité de contact.....	161
IV.3.3	Variation de la résistance à l'échelle du collage.....	167
IV.4	Études de fiabilité environnementale	170
IV.4.1	Stockage en chaleur humide.....	170
IV.4.2	Cyclage thermique	171
IV.4.3	Stockage en température.....	173
IV.4.4	Résistance à l'électromigration : TiN vs TaN/Ta.....	175
IV.5	Conclusion.....	180

Introduction

À la lumière des résultats reportés dans la littérature ainsi que dans le chapitre précédent, il apparaît que les techniques de collages directs plaque-à-plaque et puce-à-plaque permettent de réaliser des structures de cuivre à deux niveaux dont la qualité de collage, les performances électriques et la fiabilité sont excellentes.

Cependant, les architectures industrielles actuelles peuvent comporter jusqu'à dix niveaux d'interconnexions. L'utilisation du collage direct dans une telle configuration fait encore l'objet de nombreuses inquiétudes, concernant notamment l'impact de la topologie de surface sur la qualité de collage, la tenue mécanique en température, les performances électriques ainsi que la fiabilité. C'est pourquoi il est nécessaire de mener de nouvelles études concernant la faisabilité ainsi que le comportement général de structures collées se rapprochant de ces architectures.

Ce chapitre est donc consacré à l'exposé et à l'interprétation des résultats obtenus dans le cadre d'une série de caractérisations morphologiques, électriques et de tests de fiabilité menés sur des structures à quatre niveaux d'interconnexions réalisées par collage direct.

Nous présenterons dans un premier temps les résultats des études portant sur la précision d'alignement lors du collage, l'influence de la température de recuit sur la qualité de collage à l'échelle de la plaque ainsi que l'intégrité structurelle de l'intégration finale. Nous aborderons à cette occasion les difficultés rencontrées et les prérequis imposés par la réalisation et le collage de quatre niveaux de cuivre, ainsi que les limitations de la microscopie acoustique dans ce cadre.

La deuxième partie sera dédiée à la caractérisation par microscopie électronique de l'interface de collage Cu/Cu en fonction de la température de recuit. Les mécanismes de formation et de répartition des cavités à cette interface seront proposés et discutés à l'aide de caractérisations tomographiques, topologiques et physico-chimiques. De plus, le phénomène de diffusion du cuivre dans l'oxyde en bord de plots désalignés sera investigué et discuté.

Enfin, les résultats des caractérisations électriques et des tests de fiabilité seront présentés dans les troisième et quatrième parties. L'influence de l'intégration à quatre niveaux sur la résistance électrique sera notamment étudiée, ainsi que la fiabilité environnementale et la résistance à l'électromigration.

IV.1 Qualité de collage et intégrité structurelle

Dans le cadre de cette étude, une série de véhicules de tests utilisant le masque PICA a été fabriquée. Ce dernier a été conçu dans le but d'étudier la faisabilité, la reproductibilité et la fiabilité de structures de tests à quatre niveaux de cuivre réalisées

par collage direct hybride Cu-SiO₂.

Les performances électriques de ces structures sont directement dépendantes de la précision d'alignement entre les plaques lors du collage, de la qualité de ce dernier après recuit à 200 ou 400 °C ainsi que de l'intégrité structurelle de l'intégration générale. Nous allons donc porter notre attention sur ces trois aspects dans cette partie. Nous aborderons notamment certaines difficultés rencontrées liées à la conception du masque PICA ayant impacté les résultats des caractérisations acoustiques et induit des défaillances structurelles.

IV.1.1 Mesure du désalignement à l'échelle de la plaque

Une fois les deux niveaux d'interconnexions des plaques inférieures et supérieures réalisés, suivant les procédés de fabrication décrits dans le chapitre II, les collages plaque-à-plaque sont effectués à l'aide de l'équipement *EVG SmartView*, visible dans la Figure IV.1(a). Durant cette étape conduite à température et pression ambiantes, l'alignement des plaques est possible grâce des motifs d'alignement en cuivre composés d'une croix (partie mâle, plaque supérieure) et de quatre groupes de carrés (partie femelle, plaque inférieure). La mesure du désalignement post-collage est effectuée à l'aide de verniers en cuivre situés autour de ces motifs d'alignement (Figure IV.1(b)). À noter que ces deux structures doivent être situées à l'interface de collage afin d'assurer une mesure précise, exempte de distorsion optique qui pourrait intervenir dans le cadre d'un espacement plus important.

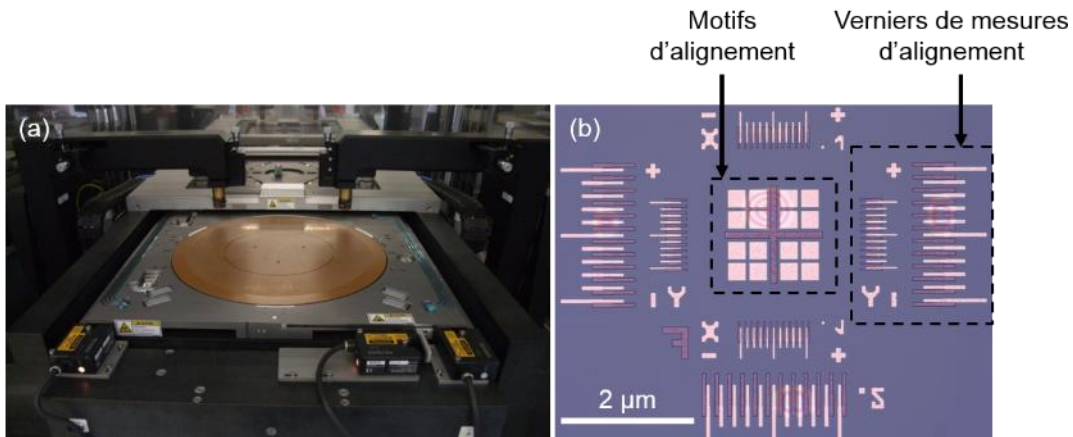


Figure IV.1. (a) Photographie de l'équipement de collage *EVG SmartView* et (b) structures de cuivre situées à l'interface de collage permettant l'alignement des plaques au moment du collage et la mesure du désalignement *a posteriori*.

La plus petite dimension des motifs de cuivre à coller étant de 3 μm, la maîtrise de l'alignement des plaques lors du collage est primordiale pour garantir une bonne conduction électrique et limiter les problèmes de fiabilité, induits par des variations de

densité de courant trop importantes à l'interface de collage. De plus, la précision d'alignement à l'échelle de la plaque doit être constante afin d'obtenir des performances électriques homogènes.

Dans le cadre de la réalisation des véhicules de tests, une cartographie du désalignement entre deux plaques a été réalisée afin d'en étudier sa variation. Le résultat, visible dans la Figure IV.2, montre le désalignement sous forme d'un champ de vecteurs espacés d'un centimètre dans les deux directions. Les composantes x et y de ces vecteurs représentent le désalignement dans les directions correspondantes, mesuré grâce aux verniers présents sur chaque champ concepteur du véhicule de test.

Nous pouvons constater qu'à l'échelle de la plaque, il existe un désalignement en rotation, dont les valeurs minimale et maximale sont comprises entre 100 et 800 nm. L'alignement avant le collage est réalisé à l'aide de deux optiques et de deux points de mesure situés de part et d'autre des plaques. Une erreur de mesure lors de cette étape devrait induire un désalignement en rotation dont le centre concorde avec le centre des plaques. Or, nous pouvons voir sur la Figure IV.2 que le centre de rotation est situé en haut à gauche des plaques. Nous attribuons donc ce phénomène à une imprécision des parties mécaniques chargées d'approcher la plaque supérieure vers la plaque inférieure, induisant ainsi un désalignement lors du collage.

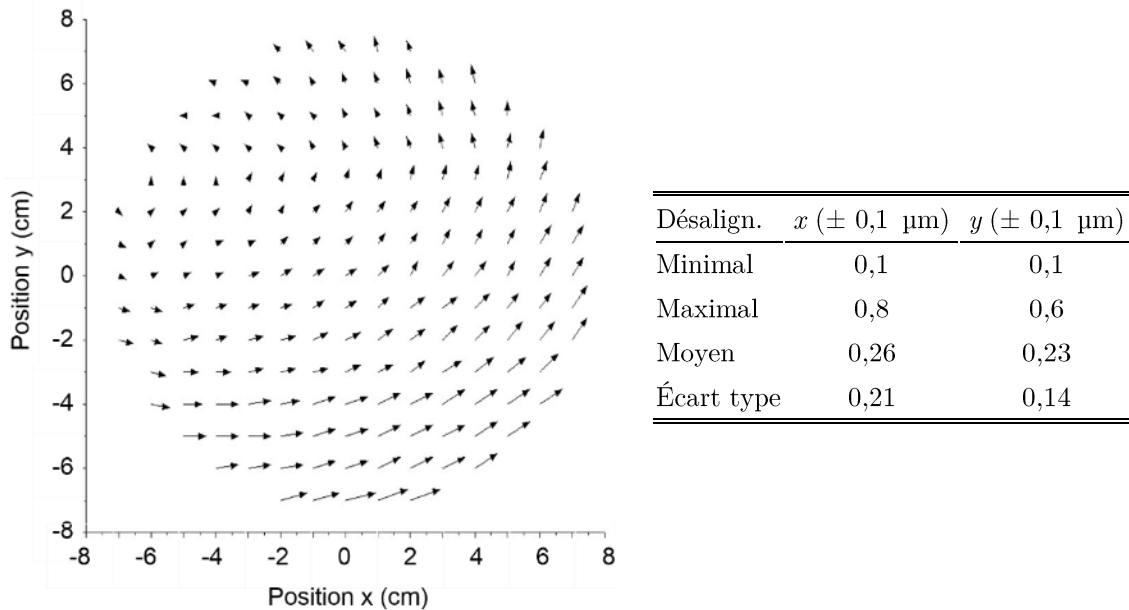


Figure IV.2. (Gauche) Cartographie de désalignement en x et y mesuré grâce aux verniers présents sur chaque champ concepteur. (Droite) Valeurs de désalignement minimal, maximal, moyen et l'écart type.

Toujours est-il que les valeurs minimale et moyenne de 100 et 250 nm respectivement sont à l'état de l'art et répondent aux besoins des futures technologies 3D à très haute densité d'interconnexions [Uhrmann'14]. De plus, la valeur maximale

reste en deçà de 1 μm , valeur initialement établie comme valeur limite dans le cadre de nos études utilisant des motifs de cuivre de 3 μm . Par ailleurs, l'intégration à quatre niveaux d'interconnexions ne semble pas avoir d'influence négative sur l'alignement ou la déformation de nappe lors du collage.

IV.1.2 Microscopie acoustique à balayage

Des caractérisations de la fermeture de l'interface de collages recuits à 200 et 400 °C ont été conduites dans un premier temps avec le microscope acoustique à balayage automatique *SAM 300 AUTO WAFER* (ou *SAM AUTO*) du constructeur *TePla*. Selon ce dernier, la sonde utilisée fonctionnant à 140 MHz offre des résolutions latérales et verticales de l'ordre de 10 μm et de quelques micromètres respectivement, pour un scan d'une plaque entière. Les images acoustiques obtenues avant et après recuit à 200 et 400 °C sont montrées dans les Figure IV.3 et Figure IV.4 respectivement.

Ces résultats sont caractérisés par une grande quantité de surfaces blanches, attribuées à des zones peu ou non collées, ce qui diffère des images acoustiques des véhicules de tests VT1 montrées dans le chapitre précédent et réalisées avec le même équipement. Bien qu'une augmentation des zones noires soit constatable après recuit, particulièrement après celui à 400 °C, les surfaces blanches restent majoritaires. Cependant, il est intéressant de constater que les barrettes correspondant aux chaînes de connexions apparaissent en noir même avant recuit. D'autre part, les lignes verticales plus foncées sont dues à des artefacts d'acquisitions.

Le *SAM AUTO* est optimisé pour isoler le signal renvoyé par un défaut de collage dans le cadre de collages polymères ou directs de surfaces et sous-couches homogènes. Il s'avère que ces réglages ne sont pas adaptés à des échantillons comportant plusieurs niveaux d'interconnexions métalliques. En effet, la présence de nombreuses structures et interfaces complexes affecte la mesure en créant des échos parasites n'appartenant pas à l'interface de collage. À titre d'exemple, il a été constaté qu'à partir de 2 μm d'épaisseur, une couche de cuivre pouvait générer un écho acoustique, détecté comme un défaut de collage par l'équipement.

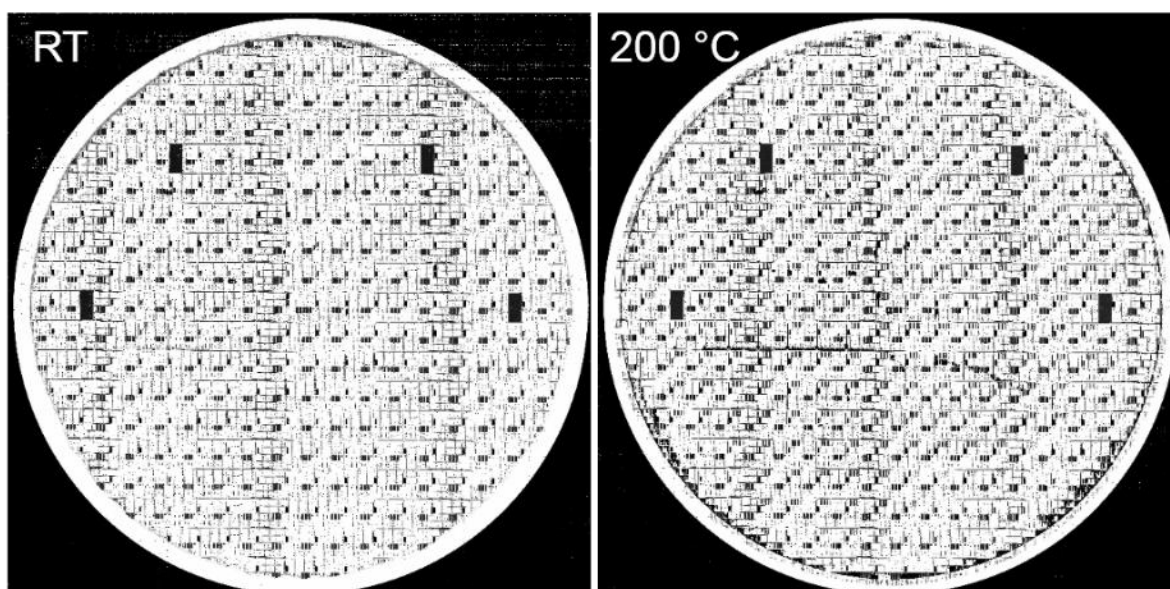


Figure IV.3. Images acoustiques d'un collage avant et après recuit à 200 °C effectuées avec le *SAM AUTO*.

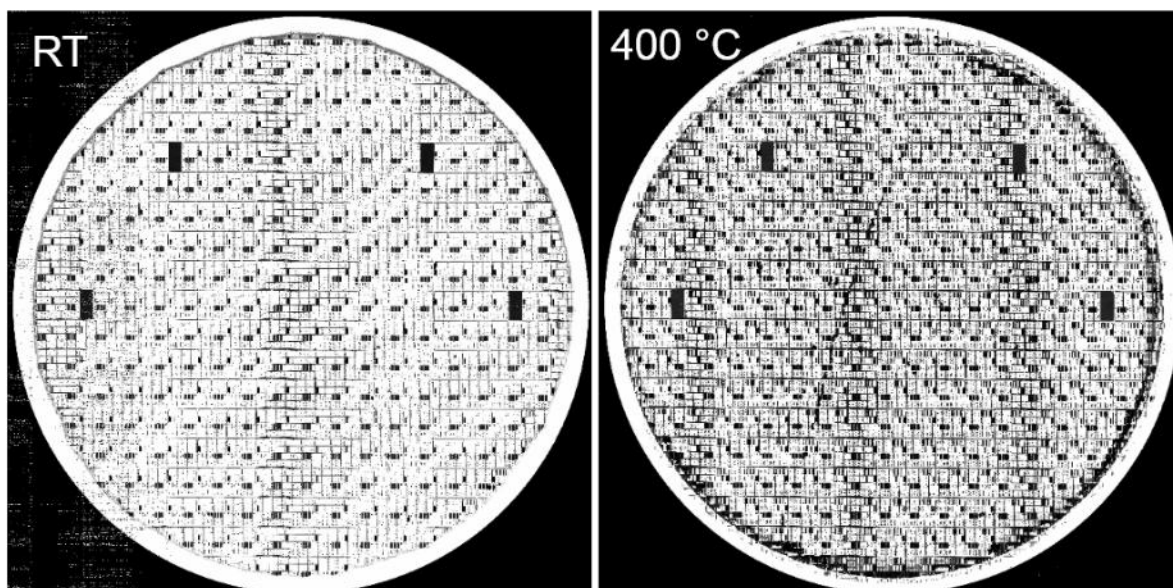


Figure IV.4. Images acoustiques d'un collage avant et après recuit à 400 °C effectuées avec le *SAM AUTO*.

Des caractérisations complémentaires ont donc été effectuées sur un véhicule de test recuit à 400 °C avec le microscope acoustique manuel *SAM450* du même constructeur. Les possibilités de réglages manuels de cet équipement permettent une isolation plus précise du signal correspondant à l'écho généré par un défaut à l'interface de collage. Il bénéficie en outre des mêmes résolutions latérale et verticale que la *SAM AUTO*, à savoir 10 μm et quelques micromètres respectivement.

D'une manière générale, la nouvelle image acoustique illustrée dans la Figure IV.5 présente une plus grande quantité de surfaces noires en comparaison des images obtenues

avec le *SAM AUTO*. Nous pouvons aussi remarquer une plus grande concentration de surfaces noires au centre du collage, sur une zone circulaire d'environ 10 cm de diamètre, un défaut de collage d'environ 3 cm de diamètre ainsi qu'un anneau noir à un centimètre du bord des plaques.

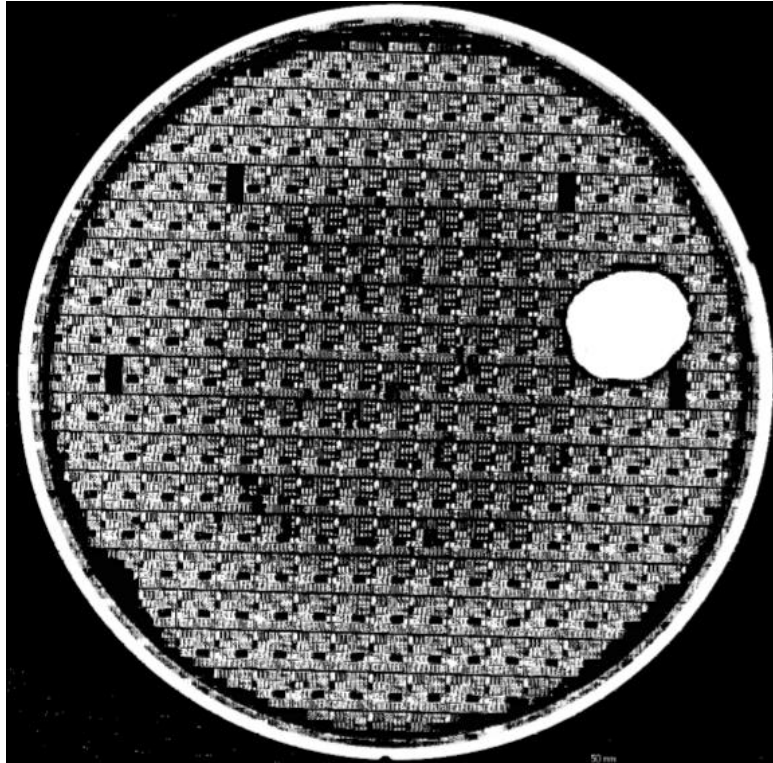


Figure IV.5. Image acoustique sur *SAM450* d'un collage après recuit à 400 °C montrant une plus grande quantité de zones noires au centre, un défaut de collage circulaire et un anneau noir faisant le tour du collage.

Afin d'avoir une meilleure compréhension quant aux origines de cette disparité de surfaces noires, des mesures de topographie et d'épaisseur ont été effectuées sur des plaques non collées. La Figure IV.6(a) indique que les plaques peuvent avoir un bombé convexe par rapport à la surface de collage, dont l'amplitude peut atteindre plusieurs micromètres. De plus, la Figure IV.6(b) montre une augmentation de la variation de l'épaisseur, que l'on peut assimiler à la topologie de surface, à mesure que l'on s'éloigne du centre de la plaque avec la présence de deux bosses à quelques centimètres du bord.

Tandis que le bombé est une caractéristique intrinsèque des plaques dont l'amplitude est influencée par le comportement thermomécanique des différentes couches de matériaux en surface, la variation de topologie ainsi que les bosses sont dues à l'inhomogénéité de polissage lors de la CMP.

Ainsi, le plus grand nombre de zones noires au centre des images, attribué à un plus grand nombre de zones collées, peut être expliqué par une meilleure planéité de surface au centre des plaques. Les bosses peuvent quant à elles expliquer la présence de

l'anneau noir visible sur le pourtour du collage, le sommet des bosses des deux plaques étant en contact à cet endroit.

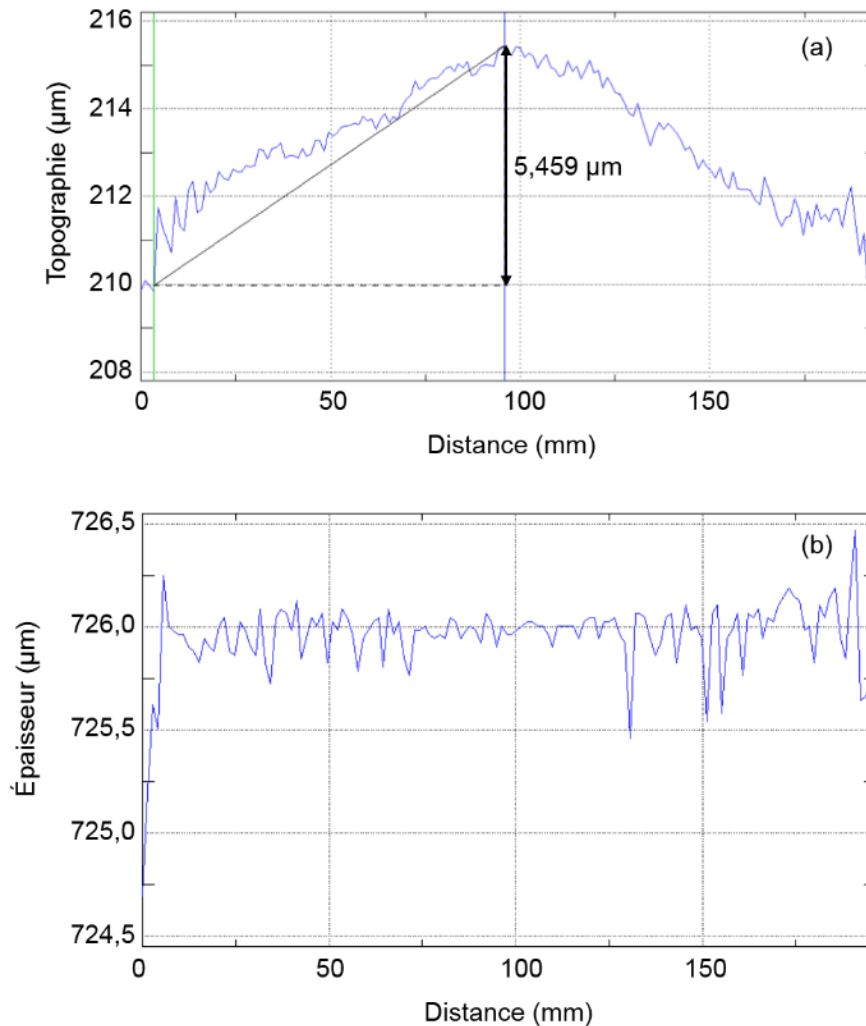


Figure IV.6. Mesures par interférométrie sur une plaque entière avant collage montrant (a) son bombé estimé à environ 5,5 µm et (b) la variation de son épaisseur. Dans ce dernier cas, nous pouvons remarquer une rugosité plus élevée en bord de plaque.

Dans le but d'en savoir plus sur les origines des zones blanches à l'échelle microscopique, des images acoustiques à haute résolution ont été réalisées. Ainsi, les Figure IV.7(a) et Figure IV.7(b) montrent deux caractérisations acoustiques de deux champs concepteurs différents, correspondant respectivement à un collage non recuit et à un collage recuit à 400 °C pendant 2 heures. De façon similaire aux images obtenues avec le *SAM AUTO*, certaines zones sont noires avant le recuit tandis qu'une quantité importante de zones blanches restent ainsi après le recuit. À l'aide de ces deux images, la distribution particulière ainsi que l'origine de ces zones sont discutées ci-dessous en tenant compte de la morphologie de la surface des plaques ainsi que des limitations de la technique de caractérisation acoustique.

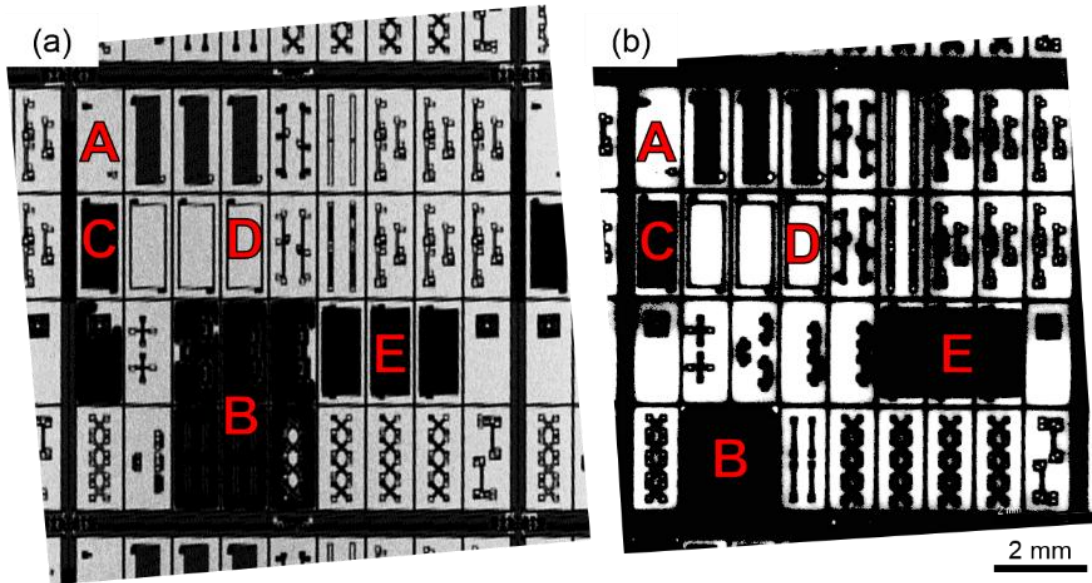


Figure IV.7. Images acoustiques sur *SAM450* de deux champs concepteurs appartenant à (a) un collage avant recuit et (b) un autre collage après recuit à 400 °C pendant 2 heures. Cinq zones particulières sont identifiées et discutées.

- ❖ **Zones A** : Ces zones correspondent aux surfaces couvertes de structures dites factices en cuivre, situées autour des structures de tests. Les observations optiques après retrait du Si de la plaque supérieure ont montré que les factices des plaques inférieures et supérieures, à l'origine prévus pour être superposés sur les quatre niveaux de métaux, sont désalignés de 5 μm (Figure IV.8).

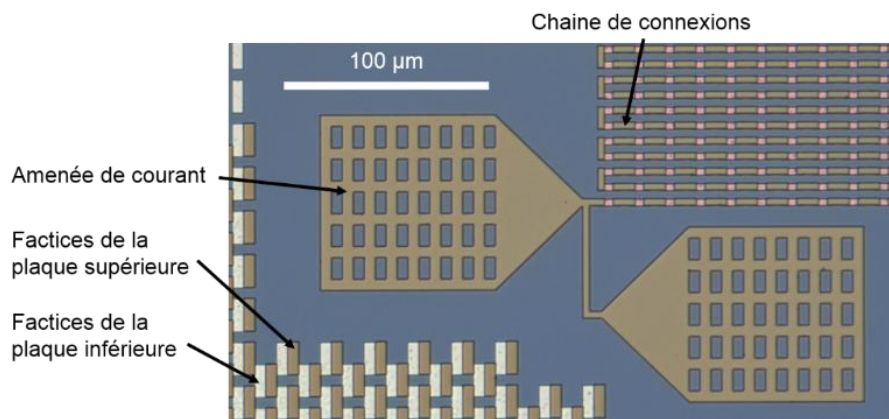


Figure IV.8. Image optique en vue de dessus d'un collage PICA après retrait du Si de la plaque supérieure. Tandis que les motifs de cuivre de la chaîne sont remarquablement alignés, les factices des plaques inférieures et supérieures sont eux désalignés d'environ 5 μm selon l'axe x .

En l'absence d'outils de conception de masque dédiés à l'intégration 3D, le dessin de structures de cuivre à quatre niveaux réalisés par collage direct est une tâche

complexe. Ainsi, le désalignement des factices est dû à une erreur dans la génération automatique de ces structures qui n'a pu être constatée que lors de la fabrication des véhicules de tests.

Par conséquent, au lieu d'obtenir au sein d'un motif élémentaire des interfaces de collage fortes $\text{SiO}_2/\text{SiO}_2$ et Cu/Cu , le désalignement des factices induit la création d'une majorité d'interfaces faibles Cu/SiO_2 et l'absence d'interfaces fortes Cu/Cu (Figure IV.9) [Gueguen'08]. Dans ces conditions, les surfaces blanches visibles sur les images acoustiques peuvent être expliquées par des défauts de collage aux interfaces Cu/SiO_2 , où l'adhésion n'est assurée que par les forces de van der Waals et des liaisons hydrogènes. Aussi, la formation de poches d'air entre le cuivre en retrait et le SiO_2 de la plaque opposée peut être la source d'échos acoustiques, comme illustré dans la Figure IV.10.

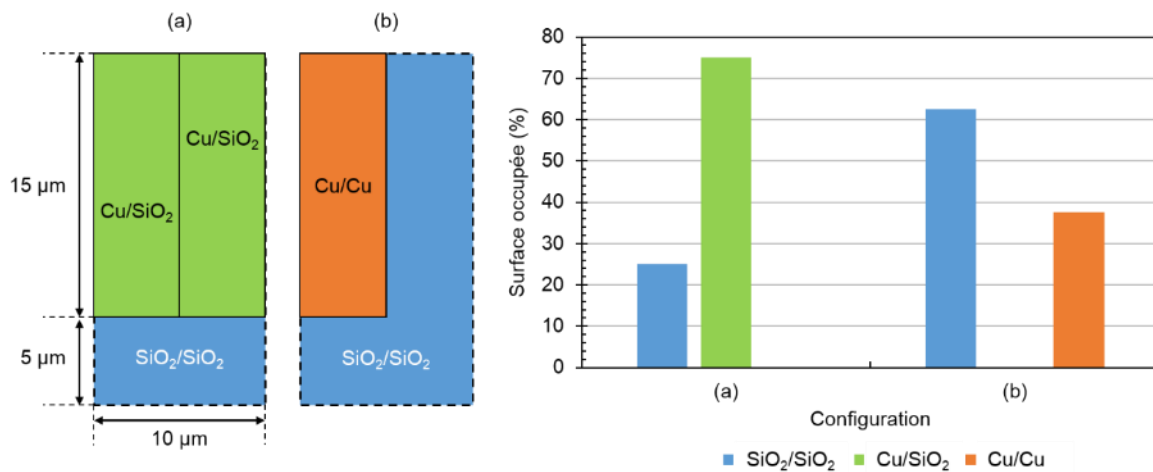


Figure IV.9. (Gauche) Représentations schématiques vue de dessus d'un motif élémentaire (a) avec les factices désalignées de 5 µm et (b) parfaitement alignées. (Droite) Proportion des interfaces $\text{SiO}_2/\text{SiO}_2$, Cu/SiO_2 et Cu/Cu en pourcentage pour les deux types de configurations.

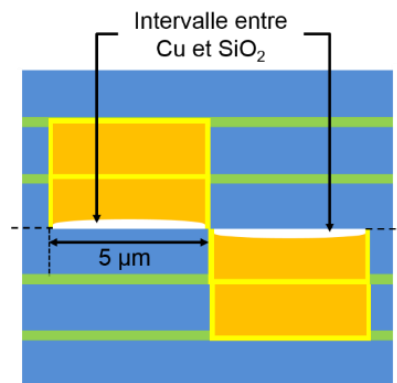


Figure IV.10. Représentation schématique en coupe de factices de cuivre désalignées de 5 µm n'étant pas en contact avec le SiO_2 de la plaque opposée, induisant des zones blanches sur les images acoustiques

- ❖ **Zones B** : Certaines zones correspondant aux surfaces couvertes de factices de cuivre précédemment décrites apparaissent en noir avant ou après recuit. Lors de la CMP, le sur-polissage du cuivre et l'érosion des surfaces mixtes Cu-SiO₂ seront d'autant plus faibles que la densité du cuivre est petite. Malgré l'emploi des règles de dessins décrites dans le chapitre II, la densité du cuivre n'est pas égale à la surface de collage, ce qui induit des variations de topologie à l'échelle du champ concepteur. Il est alors possible que celle-ci soit suffisamment faible localement pour permettre le contact du Cu des factices avec le SiO₂ avant ou après recuit (Figure IV.11). Dans ce cas, aucune rupture d'impédance acoustique n'est détectée et une zone noire est affichée.

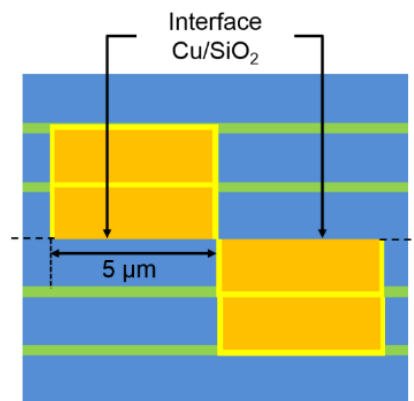


Figure IV.11. Représentation schématique en coupe de factices de cuivre désalignés de 5 µm étant en contact avec le SiO₂ de la plaque opposée. Cette zone apparaît en noir sur les images acoustiques.

- ❖ **Zones C** : Ces zones correspondent à des surfaces de plusieurs µm² de SiO₂. L'homogénéité, la rugosité ainsi que la propreté de ces surfaces étant en accord avec les prérequis du collage direct, le scellement de l'interface SiO₂/SiO₂ est complet et celle-ci apparaît donc noire sur les images acoustiques, que ce soit avant ou après recuit.
- ❖ **Zones D** : Ces zones correspondent à des structures de cuivre de 2 µm d'épaisseur, apparaissant blanches avant et après recuit. Bien que l'utilisation du *SAM450* permette d'isoler précisément le pic de signal supposé correspondre aux défauts à l'interface de collage, la position, la largeur et l'amplitude de ce pic sont dépendantes des résolutions latérale et verticale de l'équipement. De ce fait, dans le cas de structures de largeur supérieure à la résolution latérale du *SAM450* et ayant une épaisseur de 2 µm, il est possible que le signal correspondant à l'écho de l'onde sur le cuivre soit contenu dans l'intervalle d'isolation du signal correspondant à l'interface de collage (Figure IV.12), conduisant à l'affichage d'une zone blanche au

niveau de structures exemptes de défaut à l'interface Cu/Cu.

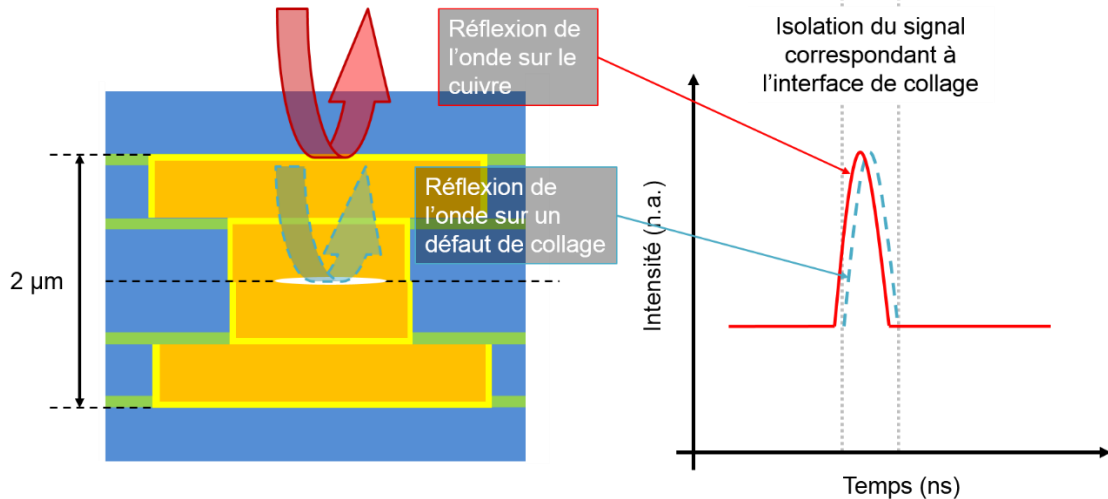


Figure IV.12. Représentation schématique de la réflexion de l'onde acoustique sur une structure de 2 µm d'épaisseur et profil de détection acoustique associé. Le signal obtenu est situé dans l'intervalle d'isolation normalement dédié au signal correspondant à un défaut à l'interface de collage.

- ❖ **Zones E** : Ces zones correspondent aux trois types de chaînes de connexions à haute densité, apparaissant noires avant et après recuit. Dans ce cas, nous nous trouvons en limites de détection de l'équipement du fait des dimensions latérales des plots de collage, comprises entre 3 et 5 µm. Par conséquent, il est possible que les zones noires correspondent à l'impossibilité de détecter d'éventuels défauts de collage ou échos dus au cuivre de 2 µm d'épaisseur de certaines parties des chaînes de connexions. Cependant, nous verrons par la suite que ces structures présentent d'excellentes performances électriques, ce qui suggère une bonne qualité de collage.

Ainsi, il apparaît que les caractérisations acoustiques dans le cadre de notre intégration ne permettent pas de statuer définitivement sur la réelle qualité de collage à l'interface. Bien que le défaut de conception des factices de cuivre joue un rôle dans cette incertitude, force est de constater que l'imagerie acoustique dans son état actuel n'est pas adaptée à la caractérisation du collage direct d'interconnexions à quatre niveaux ou plus. L'augmentation des résolutions ainsi que la possibilité de générer une image tridimensionnelle d'un empilement permettraient d'obtenir à nouveau des informations quantitatives et fiables.

IV.1.3 Intégrité de l'intégration finale

Après le collage et le recuit des plaques, le processus de fabrication du niveau de redistribution électrique, permettant de tester électriquement les structures collées, requiert le retrait total du Si de la plaque supérieure. Cette étape est réalisée en deux

temps, incluant un amincissement grossier par meulage du Si et une gravure humide par TMAH (25 % à 90 °C) jusqu'au SiO₂ qui sert de couche d'arrêt.

Cette intégration présente l'avantage de pouvoir réaliser par la suite une reprise de contact rapidement à l'aide de procédés classiques de lithographie, de gravure et de dépôts. Cependant, le retrait complet du Si entraîne des défauts structurels importants, liés principalement aux défauts de collage précédemment observés.

La Figure IV.13 montre la caractérisation acoustique réalisée avec le *SAM450*, présentant un défaut de collage circulaire de 3 cm de diamètre, et le collage correspondant après retrait du Si. La plaque supérieure a été arrachée au niveau du défaut de collage sous l'action de l'amincissement par meulage. Cet exemple montre l'impact important que peut avoir une particule ou une bulle d'air à l'interface de collage sur l'intégration finale. Cela conduit en effet à une chute de rendement de fabrication de par la perte des structures au niveau du trou et la corrosion de celles présentes en périphérie due à l'infiltration du TMAH lors de la gravure humide du Si.

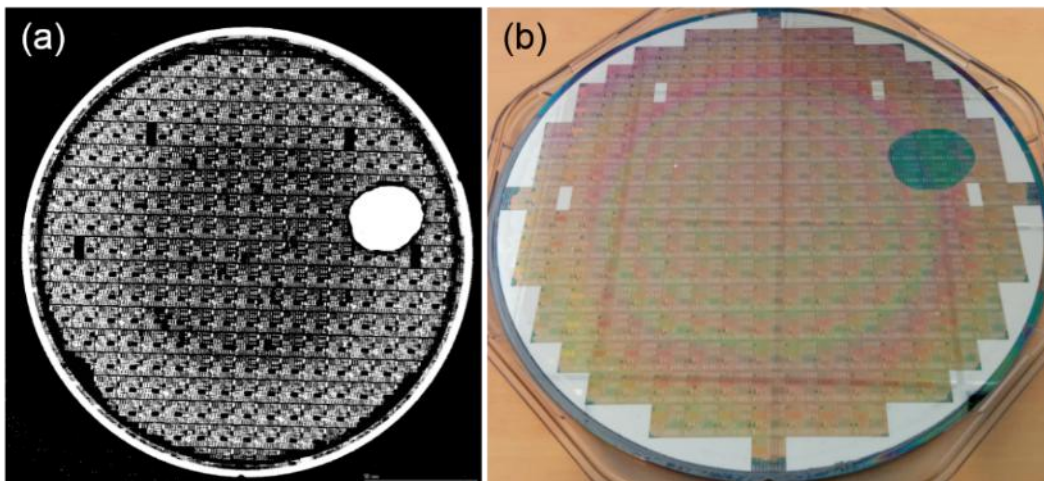


Figure IV.13. (a) Image acoustique sur *SAM450* d'un collage après recuit à 400 °C avec un défaut de collage de 3 cm de diamètre représenté par un disque blanc. (d) Photo optique du même collage après retrait total du Si et réalisation du niveau de redistribution électrique. Le défaut de collage visible sur l'image acoustique s'est traduit par une rupture du film d'oxyde appartenant à la plaque supérieure lors de l'étape de meulage mécanique du Si.

La Figure IV.14 montre une photo de quatre champs concepteurs à la fin du processus de fabrication. Nous pouvons cette fois constater la présence de défauts microscopiques prenant la forme de cloques, majoritairement localisées dans les zones de factices de cuivre. Ces cloques ont été observées pour la première fois après l'amincissement du Si, l'épaisseur restante était de 50 μm. Il est aussi intéressant de constater que celles-ci se trouvent aux mêmes positions d'un champ à un autre, ce qui indique qu'il existe des zones préférentielles de formations de ces défauts liées à la

composition de l'interface de collage et des structures environnantes.

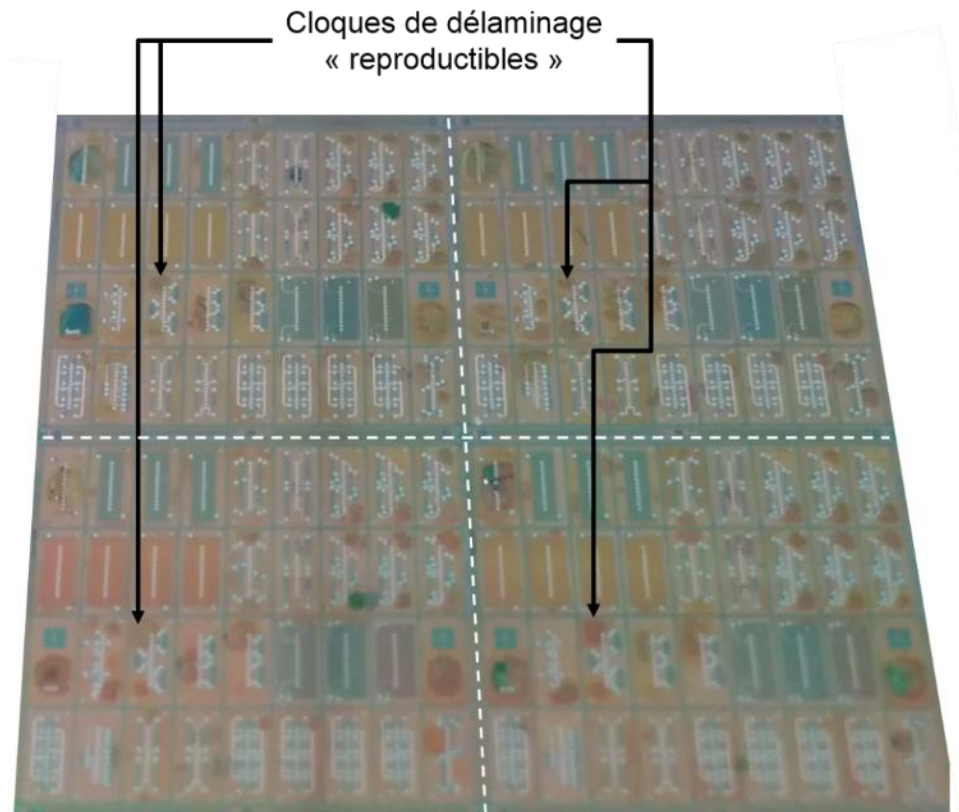


Figure IV.14. Image optique de quatre champs concepteurs présentant des cloques de délaminage situées aux mêmes positions d'un champ à un autre.

Des observations au microscope optique indiquent la présence de deux types de cloques, visibles sur la Figure IV.15. Nous pouvons en effet observer sur ces images que les défauts peuvent avoir une forme de cordon de téléphone (Figure IV.15(a)) ou de bulles affaissées (Figure IV.15(b)). Les mécanismes responsables de la formation de ces cloques de délaminage ont fait l'objet de nombreuses études durant la dernière décennie [Foucher'11].

Ainsi, ce genre de défaut se forme lorsqu'un matériau en couche mince, dont l'adhésion avec son substrat est faible, est soumis à de fortes contraintes compressives. De précédents travaux ont montré que la forme des cloques est gouvernée par l'amplitude et la direction de ces contraintes, comme le montre le diagramme de stabilité en Figure IV.16 [Parry'06].

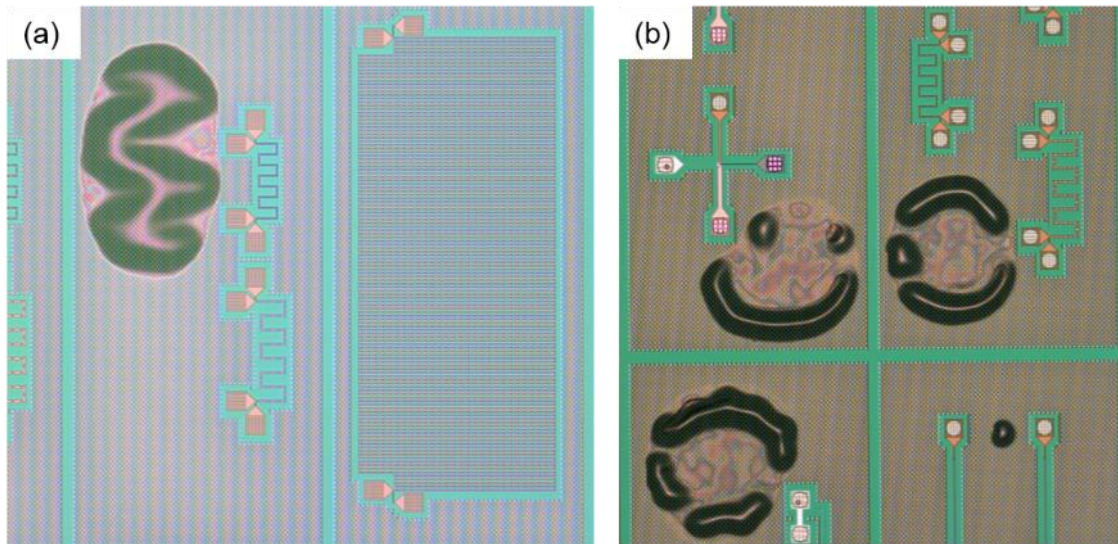


Figure IV.15. Images optiques de l'empilement après retrait du Si de la plaque supérieure montrant (a) des cloques en forme de cordon de téléphone et (b) des cloques en forme de bulles affaissées. Ces deux types de défauts sont principalement situés dans les zones de factices désalignés, les structures de tests étant exemptes de défaut.

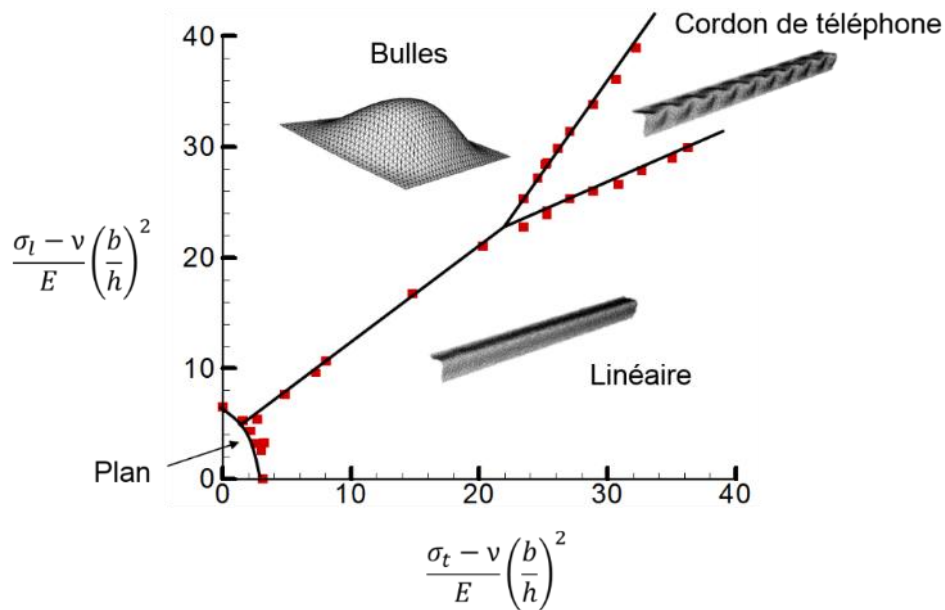


Figure IV.16. Diagramme de stabilité de cloques réalisé par simulation par éléments finis, où σ_l et σ_t sont respectivement les contraintes longitudinale et transversale, ν est le coefficient de Poisson, E est le module d'Young, b la demi-largeur du défaut et h l'épaisseur de la couche. Quatre domaines de stabilité sont mis en évidence : la surface plane, la bulle, la cloque linéaire et celle en forme de cordon de téléphone.

Dans notre cas, ces phénomènes sont induits par deux facteurs. Le premier est lié à la différence entre les coefficients de dilatation thermique des couches de Si, de SiO₂ et de SiN présentes dans l'intégration. Ces coefficients, estimés respectivement à

2,6, 0,5 et 3,2 ppm/K [MatWeb], montrent que les variations de température durant les étapes technologiques et lors du recuit de consolidation de collage induisent des contraintes thermomécaniques dans les couches de SiO₂.

Le deuxième facteur est une faible adhésion de l'interface de collage dans les zones de factices désalignés. Comme décrit plus tôt, ces zones sont en effet composées à 75 % d'interfaces faibles Cu/SiO₂ ne pouvant offrir une adhésion suffisamment forte pour compenser les contraintes en compression dans le SiO₂. La faible adhésion entre les différentes couches de SiO₂ et de SiN situées aux quatre niveaux d'interconnexions joue aussi un rôle important.

Dans ces conditions, les deux types de cloques observés sont le résultat du délaminage puis du flambement local des couches d'oxyde de la plaque supérieure. Ces délaminages ont lieu principalement à l'interface de collage dans les zones de factices de cuivre désalignés, mais aussi entre les deux niveaux d'interconnexions de la plaque supérieure, comme le montre l'image SEM de la Figure IV.17. À noter que l'instabilité de ces couches est favorisée par l'enlèvement complet du Si et donc la suppression de son action de rigidification de l'empilement.

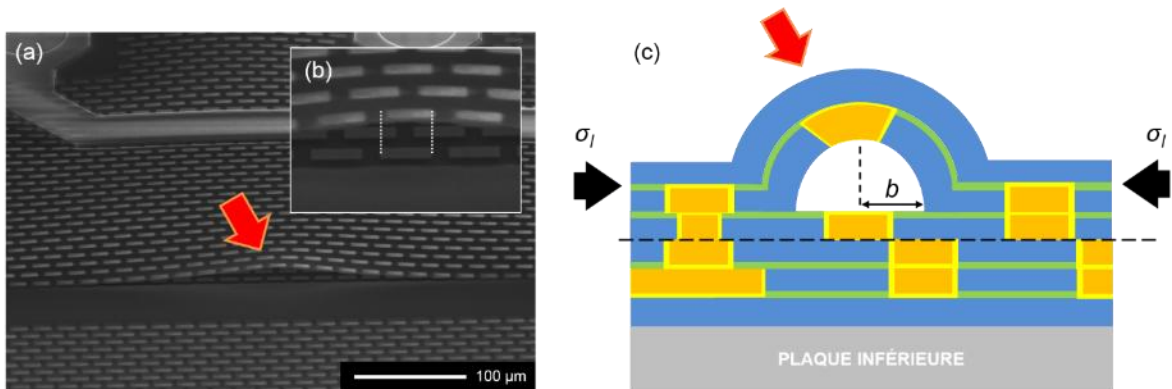


Figure IV.17. (a) Image SEM d'une cloque dans une zone de factices. (b) Zoom sur le décollement, montrant la superposition des factices attestant qu'ils appartiennent aux deux niveaux d'interconnexions de la plaque supérieure. (c) Représentation schématique en coupe du phénomène, où σ_l représente la contrainte longitudinale en compression dans les couches.

À noter que Faou *et al.* [Faou'15] ont récemment démontré qu'il était possible de remonter à l'énergie d'adhésion de la couche ayant formé des cloques en cordon de téléphone à partir de la longueur d'onde de ces dernières. Cette relation à pour expression

$$\lambda = kh \sqrt{\frac{E}{\sigma_0} \left(\frac{G_0}{G_{lc}} - 1 \right)^{-1/4}} \quad (32)$$

où $k = 14,5$, h est l'épaisseur de la couche, E le module d'Young, σ_0 la contrainte compressive équi-biaxiale dans le plan, G_0 l'énergie élastique totale stockée dans la couche et G_{Ic} l'énergie de séparation du mode I. Cependant, la mesure des contraintes compressives σ_0 n'ayant pu être faite étant donné la complexité de l'empilement, nous n'avons pu déterminer la valeur de G_{Ic} dans le cas de notre intégration.

Ces défauts ont un impact majeur sur l'intégrité et donc la fonctionnalité des véhicules de tests. En effet, la fermeture complète de l'interface n'a pu avoir lieu au sein de certaines structures. De plus, les images de la Figure IV.18 montrent que l'intégrité du niveau de redistribution électrique en aluminium est dégradée par la topologie des cloques, provoquant des ruptures dans la continuité des lignes et empêchant donc de tester certaines structures.

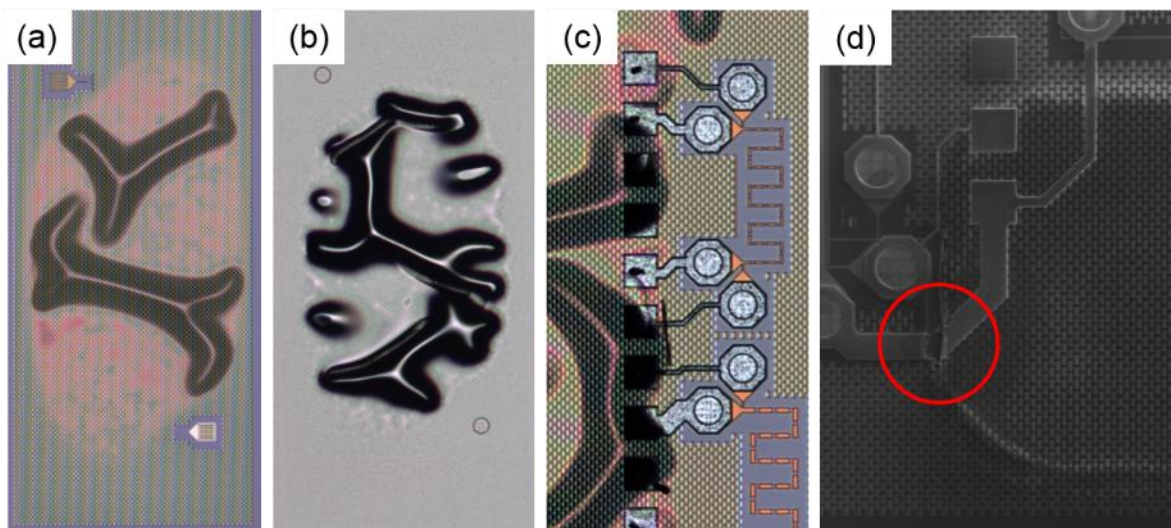


Figure IV.18. Images optiques et électronique de l'empilement après (a) retrait total du silicium de la plaque supérieure, (b) dépôt Ti/TiN/AlSi et (c)(d) réalisation du niveau de redistribution électrique. L'image (d) montre une discontinuité de la ligne d'aluminium due à la topologie de la cloque.

Nous tenons toutefois à rappeler que c'est bien l'erreur de conception des factices de cuivre qui est à l'origine de la formation des cloques, et non le procédé de collage direct. En effet, des études de collages directs de plaques 300 mm menées par STMicroelectronics ont montré que le silicium de la plaque supérieure pouvait être aminci à 5 μm sans générer de cloques à condition que toutes les structures de cuivre soient alignées (Figure IV.19).

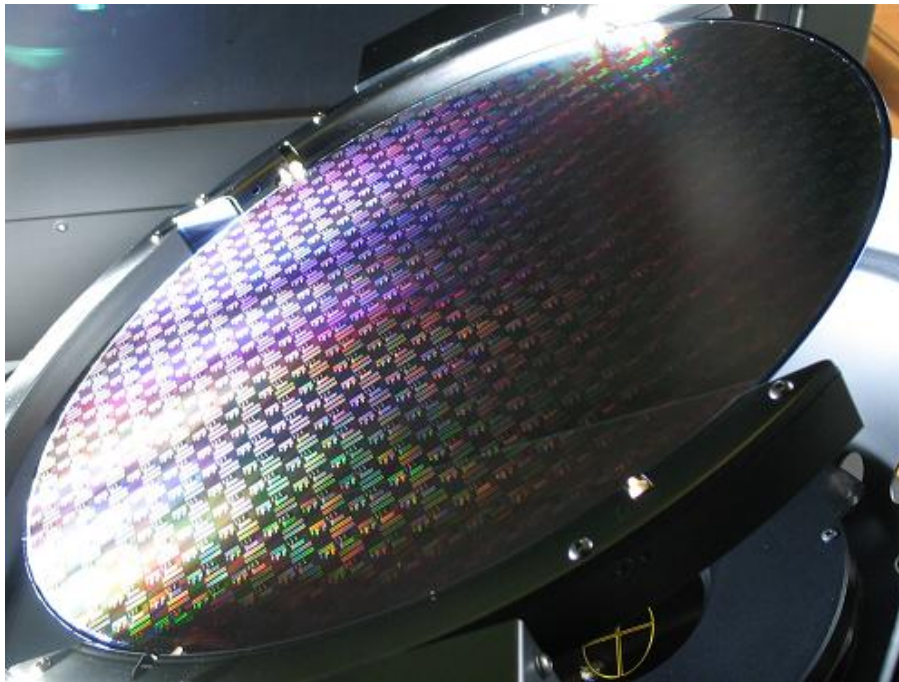


Figure IV.19. Photographie optique d'un collage direct hybride Cu-SiO₂ de plaques 300 mm. Le Si de la plaque supérieure est aminci à 5 μm et aucune cloque n'est visible.

Conclusion

La précision d'alignement obtenue est en accord avec celles reportées actuellement dans la littérature, avec des valeurs maximales et moyennes inférieures à 1 μm . Cela contribue à diminuer les risques de défauts de collage, à maximiser l'énergie de collage et à éviter la création de gradients de densité de courant trop importants dans les interconnexions collées.

Les problèmes de conception et les limitations de caractérisation de la qualité de collage, tous deux liés à l'intégration 3D des circuits, ont été identifiés comme des points bloquants devant faire l'objet d'améliorations. Le développement d'outils de dessin de masque spécifiques à l'intégration 3D ainsi que l'amélioration de la résolution de détection sont en cours actuellement.

Bien que la fabrication de nos véhicules de tests comprenant six niveaux d'interconnexions, dont quatre réalisés par collage direct hybride Cu-SiO₂, a pu être menée à son terme, une partie des structures de tests est inexploitable. Les défauts en forme de cloques mis en cause sont le résultat d'une faible adhérence des couches et de fortes contraintes en compression dans celles-ci.

IV.2 Caractérisations morphologiques des plots de collage

Nous venons de voir que dans le contexte du collage direct hybride Cu-SiO₂ à quatre niveaux d'interconnexions, les informations apportées par l'imagerie acoustique ne permettent d'obtenir que des informations macroscopiques de la qualité de collage à l'échelle de la plaque. L'emploi de techniques de caractérisations physico-chimiques plus poussées est requis afin d'observer l'état de fermeture et les mécanismes mis en jeu aux interfaces SiO₂/SiO₂, Cu/Cu et Cu/SiO₂ après recuit.

Cette partie est donc consacrée aux caractérisations morphologiques des plots de collage de 3×3 μm² appartenant aux chaînes de connexion DCP3. La qualité de collage après recuits à 200 et 400 °C sera étudiée dans un premier temps à l'aide d'images réalisées par microscopie électronique et ionique à balayage (SEM, FIB) et en transmission (TEM). La répartition des cavités présentes à l'interface Cu/Cu sera observée grâce à une technique d'imagerie tomographique FIB/SEM. Des propositions seront faites quant aux mécanismes responsables de leur formation. Enfin, le phénomène de diffusion d'atomes et d'ions de cuivre dans le SiO₂ dans le cas de plots de collage désalignés sera caractérisé et discuté.

IV.2.1 Comparaison après recuits à 200 °C et 400 °C

Les caractérisations morphologiques présentées dans cette partie se concentrent principalement sur l'interface de collage Cu/Cu des plots de dimensions 3×3 μm² et de pas d'espacement de 7 μm des chaînes de connexions DCP3. Afin d'évaluer l'influence de la température de recuit sur la fermeture de cette interface, deux lots de structures ont été recuits à 200 et 400 °C respectivement.

Des caractérisations par imagerie ionique et électronique des plots de collage sont présentées pour chaque température de recuit dans le Tableau IV.1. Dans les deux cas, nous pouvons constater l'intégrité des structures et des interfaces SiO₂/SiO₂ et Cu/Cu, cette dernière étant scellée sur toute la largeur des plots. Concernant les structures recuites à 200 °C, des cavités d'une largeur de quelques dizaines de nanomètres sont visibles à l'interface Cu/Cu (flèches noires). Après recuit à 400 °C, des caractérisations TEM bénéficiant d'une meilleure résolution sont nécessaires afin de visualiser des cavités de quelques nanomètres à cette même interface (Figure IV.20).

Tableau IV.1. Images ioniques et électroniques de plots de collage de $3 \times 3 \mu\text{m}^2$ de chaînes de connexions DCP3 recuites à 200 et 400 °C. L'alignement ainsi que l'intégrité des structures sont très bons et proches des spécifications. L'interface Cu/Cu présente des cavités de quelques dizaines de nanomètres après recuit à 200 °C.

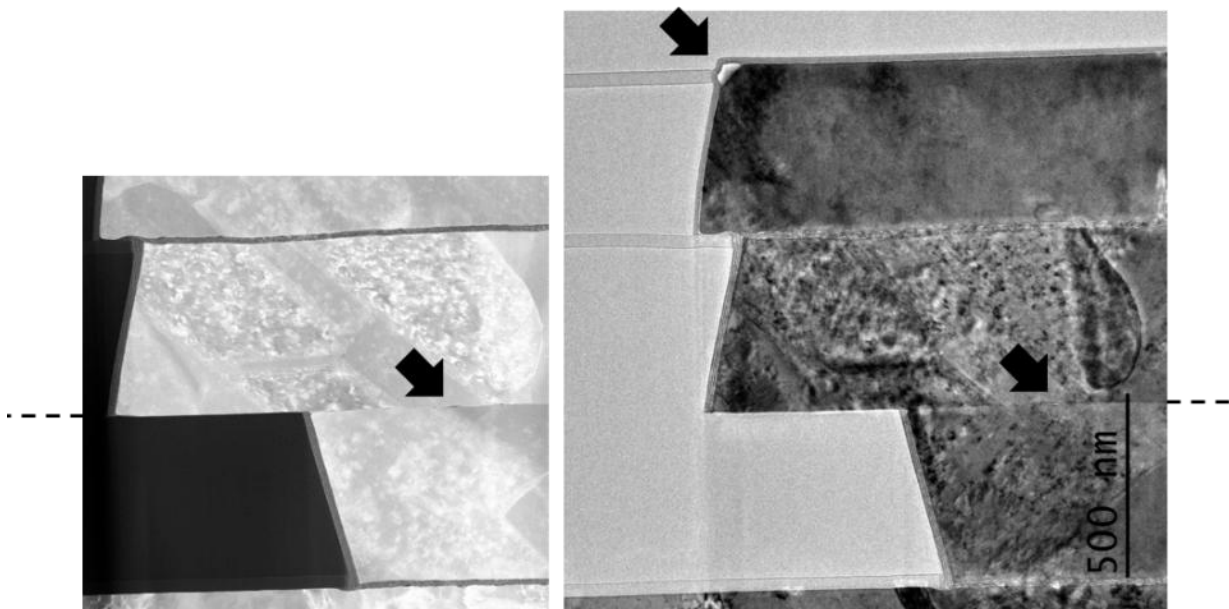
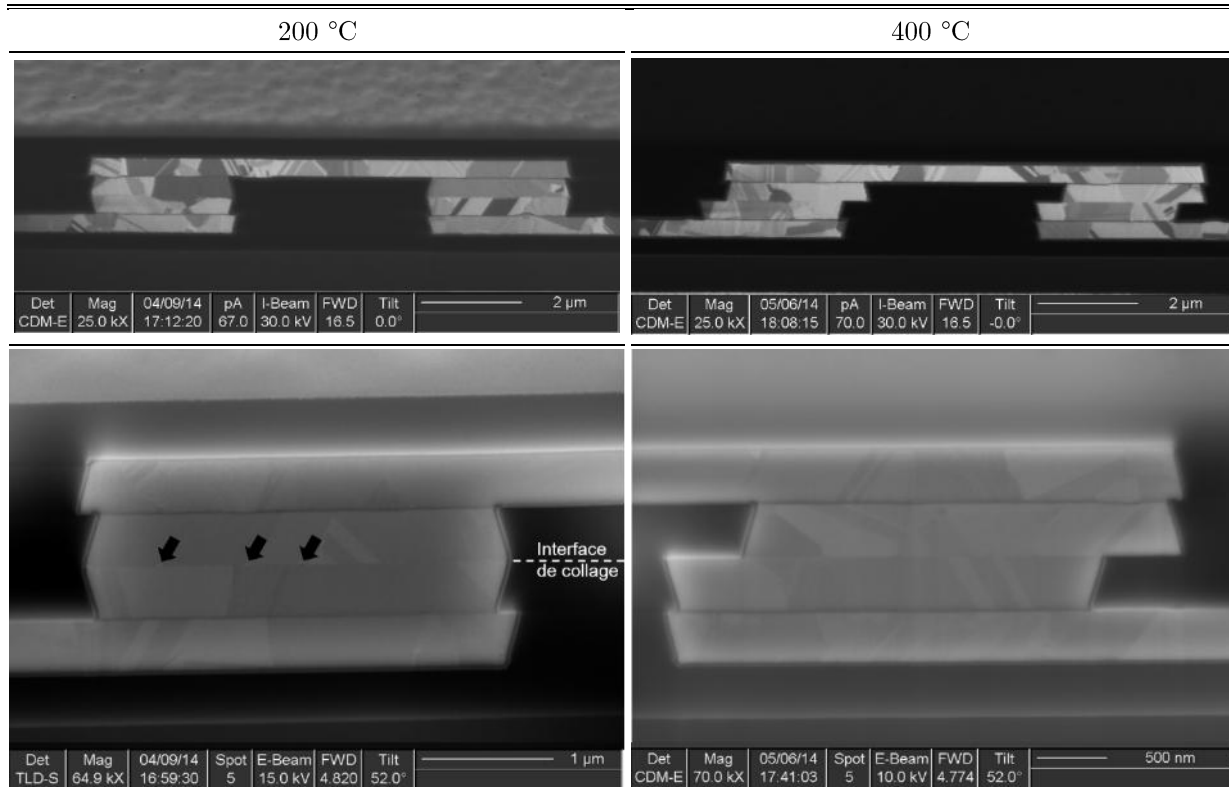


Figure IV.20. Caractérisations TEM, en champ sombre à gauche et en transmission à droite, d'un plot de collage recuit à 400 °C. L'image en transmission permet une meilleure visualisation des différentes couches de l'intégration et des cavités qui apparaissent en blanc, notamment à l'interface de collage et dans le coin de la ligne supérieure, à l'interface Cu/TiN.

Des images ioniques complémentaires ont été réalisées sur des structures recuites à 400 °C. Cette technique d'imagerie étant sensible à l'orientation des grains de cuivre, elle permet de visualiser ces derniers à l'aide de différents niveaux de gris. Le résultat, visible dans la Figure IV.21, montre une croissance de grains aux points triples ainsi que des grains traversant largement l'interface de collage. Ce phénomène témoigne d'un réarrangement des grains des deux plots de collage par le biais d'une importante diffusion de cuivre à travers l'interface Cu/Cu. En définitive, nous assistons à la disparition de l'interface linéaire observée précédemment en faveur d'une structure cristalline rappelant un morceau de cuivre monolithique.

Les résultats de ces premières caractérisations démontrent que le collage direct permet de réaliser des interconnexions à quatre niveaux à haute densité bénéficiant d'une excellente qualité de collage de ses interfaces SiO₂/SiO₂ et Cu/Cu. Dans le cas de cette dernière, il est particulièrement intéressant de constater que les mécanismes de reconstructions de grains sont les mêmes que ceux observés lors d'études antérieures impliquant le collage de couches uniformes de cuivre [Gueguen'08]. Cela indique que ni la dimension des plots ni la présence de quatre niveaux de métaux n'affectent la qualité de collage.

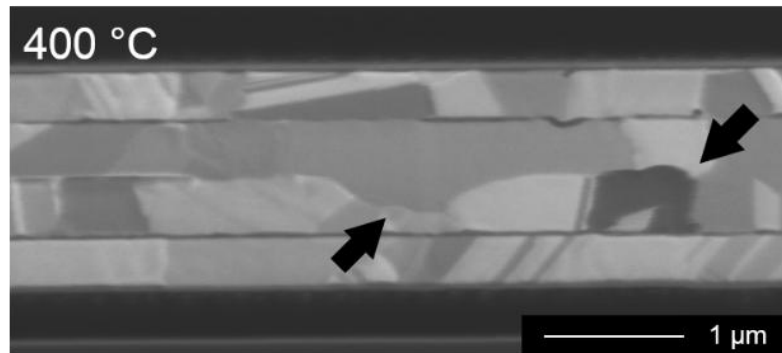


Figure IV.21. Image ionique montrant l'inter-diffusion de cuivre à travers l'interface de collage et la croissance de grains aux joints triples (flèches noires).

Cependant, il apparaît que le recuit à 400 °C a la particularité de provoquer la formation de cavités aux interfaces Cu/TiN et Cu/SiN. Ces défauts, dont la taille varie de quelques nanomètres à plusieurs centaines de nanomètres, peuvent être observés sur la Figure IV.22 présentant des caractérisations SEM et TEM d'un plot de collage.

Le fait que les couches de TiN et de SiN n'épousent pas la forme des grosses cavités (flèches bleues) indique que celles-ci se sont formées après le dépôt de ces couches, très probablement pendant le recuit de recristallisation du deuxième niveau de cuivre ou pendant le recuit post-collage. La cause de la formation de ces défauts au premier niveau de cuivre ne semble pas être le procédé de collage direct mais plutôt une instabilité de la couche de cuivre due à un recuit de recristallisation non optimisé.

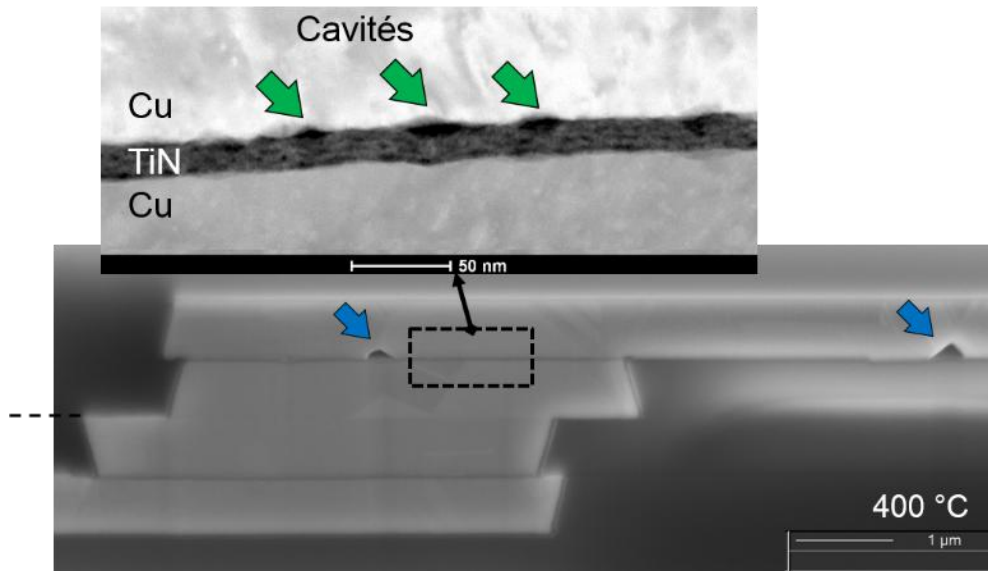


Figure IV.22. Image SEM d'une connexion de chaîne DCP3 et grossissement réalisé par TEM permettant de visualiser les cavités de plusieurs nanomètres de largeur (flèches bleues) aux interfaces Cu/TiN et Cu/SiN et les cavités nanométriques à l'interface Cu/TiN (flèches vertes).

Concernant les petites cavités à l'interface Cu/TiN du côté du premier niveau de cuivre (flèches vertes), leur formation est causée par les contraintes thermomécaniques générées lors des différentes étapes technologiques. Ces contraintes entraînent une migration de lacunes dans le cuivre le long des joints de grains [Suo'03], qui finissent par s'accumuler à l'interface faible Cu/TiN d'énergie d'adhésion estimée à $1,4 \text{ J.m}^{-2}$ [Gueguen'08].

Par ailleurs, ces différents phénomènes ont aussi été observés dans de précédentes études, impliquant des couches de cuivre collées ou non. Cela confirme que le procédé de collage n'est pas le facteur majeur de formation de ces cavités. Il a été montré qu'une barrière TiN/Ti ou TaN/Ta permet de réduire significativement la présence de cavités grâce à la plus forte adhérence du cuivre avec le Ti et le Ta [Baudin'13].

IV.2.2 Cavités à l'interface Cu/Cu : observations et origines

Bien que l'imagerie électronique en coupe permette d'obtenir des informations importantes sur la qualité et l'intégrité des interfaces $\text{SiO}_2/\text{SiO}_2$, Cu/Cu et Cu/ SiO_2 réalisées par collage direct, le manque de données statistiques, du fait du caractère très localisé et bidimensionnel de ces techniques, empêche de déterminer avec certitude la quantité et la taille des cavités présentes à l'interface de collage Cu/Cu. Nous avons donc fait appel à une technique de tomographie FIB/SEM, permettant une visualisation tridimensionnelle des structures collées, afin de visualiser l'interface Cu/Cu non plus de côté mais de dessus et ainsi observer la distribution et la taille des cavités. La tomographie FIB/SEM consiste en une reconstruction tridimensionnelle d'une structure

à l'aide d'une succession d'image en coupe.

La Figure IV.23 montre la zone de caractérisation sélectionnée sur un plot de collage de $3 \times 3 \mu\text{m}^2$. La résolution dans le plan xz est régie par la résolution du SEM qui dans notre cas est de 1 nm. La résolution dans le plan yz est quant à elle dépendante de l'espacement entre deux abrasions FIB, estimée entre 2 et 3 nm dans le cadre de cette expérience.

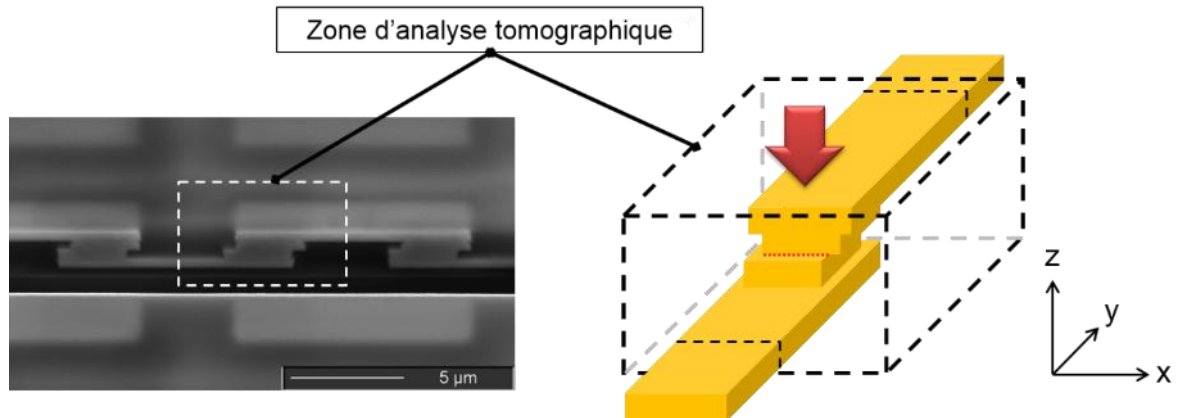


Figure IV.23. (Gauche) Image SEM de 3 nœuds d'une chaîne de connexion illustrant le type de structure caractérisée par tomographie FIB/SEM. (Droite) Représentation schématique du plot de collage considéré. Les successions d'abrasions et de prises d'images sont effectuées dans le plan xz . La flèche rouge représente l'orientation de l'observation de l'interface de collage après reconstruction des images en coupe.

Une fois l'acquisition des images et la reconstruction tridimensionnelle effectuées, il est possible de visualiser des coupes de la structure dans toutes les directions de l'espace. Ainsi, grâce à une coupe dans le plan xy nous pouvons observer la distribution des cavités à l'interface de collage comme illustré dans la Figure IV.24. Sur cette image, nous remarquons la présence de deux types de cavités.

Les cavités dites de type A, d'une largeur de l'ordre de la centaine de nanomètres, sont observables en bord de plot à l'interface Cu/TiN. Comme ces cavités se trouvent aux deux interfaces de collage Cu/Cu et Cu/SiO₂, leur formation ne semble pas être en rapport avec le procédé de collage direct mais plutôt à des défauts présents sur le cuivre avant le collage.

Les cavités de type B peuvent quant à elles être observées uniquement à l'interface de collage Cu/Cu. Leur densité et leur taille augmentent à mesure que l'on se rapproche du centre de l'interface, avec une largeur maximale d'environ 150 nm.

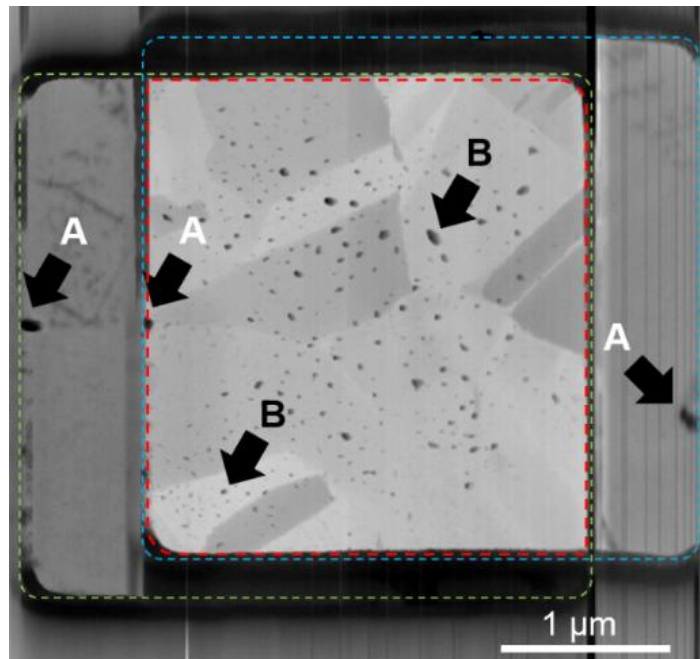


Figure IV.24. Reconstruction tomographique de l'interface de collage d'un plot de cuivre de $3 \times 3 \mu\text{m}^2$ recuit à $400 \text{ }^\circ\text{C}$, vue de dessus. Sont représentés respectivement en pointillés bleus, verts et rouges le plot de collage supérieur, le plot de collage inférieur et l'interface de collage Cu/Cu. Les cavités de types A et B sont indiquées.

Afin d'avoir une meilleure compréhension des mécanismes mis en jeu dans la formation de ces deux types de cavités, une série de caractérisations AFM, TEM et TEM-EDX a été conduite sur des plots avant collage et à l'interface Cu/Cu. Les résultats, présentés de la Figure IV.25 à la Figure IV.27, sont discutés ci-dessous.

Les analyses AFM, effectuées sur un plot de collage de $3 \times 3 \mu\text{m}^2$ après l'étape de CMP spécialement optimisée pour le collage direct, donnent des informations importantes sur sa topologie. Comme nous l'avons suggéré, la Figure IV.25(a) indique un manque de cuivre à l'interface Cu/TiN créant un défaut d'une profondeur d'environ 13 nm. De plus, tandis que la rugosité du cuivre est d'environ 0,65 nm RMS, la Figure IV.25(b) montrent une rugosité légèrement plus importante au centre du plot de cuivre, avec une valeur maximale de $R_{max} = 13 \text{ nm}$. Enfin, nous pouvons remarquer la présence de petites tranchées en raison de quelques grains de cuivre manquant à la surface.

Ces trois imperfections morphologiques sont attribuées à une action de sur-polissage et d'inhomogénéité de l'étape de CMP dans les zones de faible adhérence du cuivre. La position et la taille des défauts de surfaces concordant avec la distribution des différentes cavités, nous pouvons considérer que l'état de surface du cuivre est une source majeure de formation de cavités. Ainsi, les cavités de type A sont causées par l'absence de cuivre à certains endroits de l'interface Cu/TiN, tandis que les cavités de type B et leur distribution sont dues à la rugosité plus importante au centre du plot et

à l'absence de grains de cuivre.

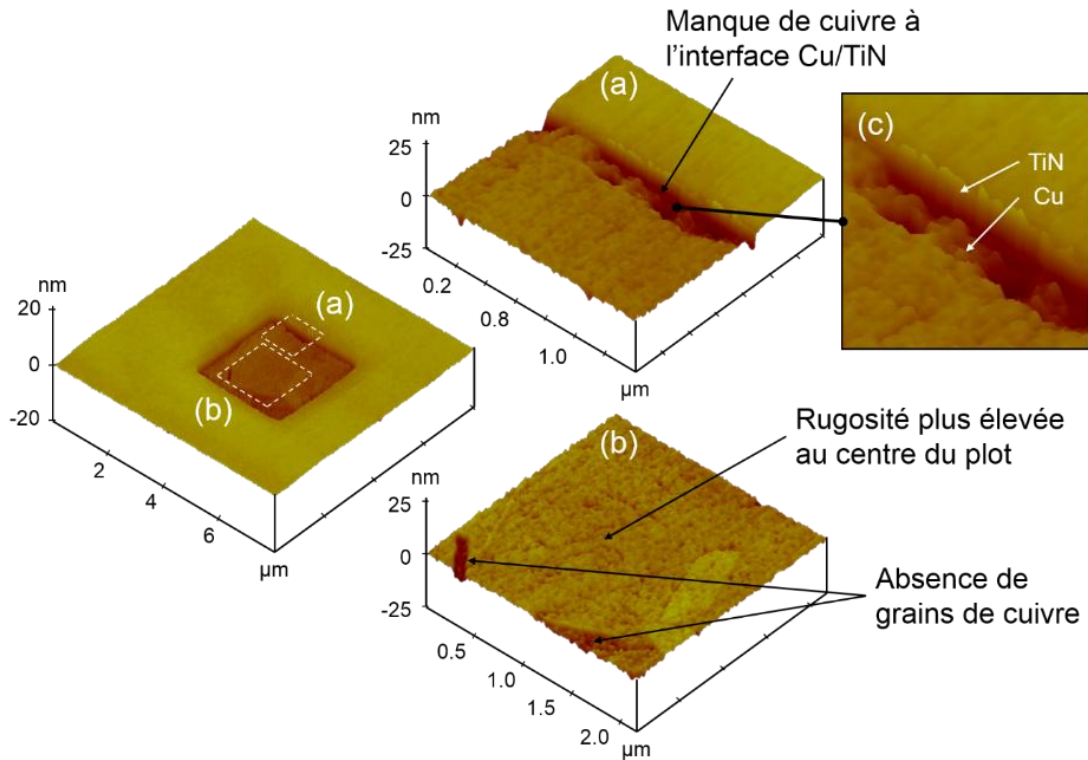


Figure IV.25. Image AFM d'un plot de collage de $3 \times 3 \mu\text{m}^2$. (a)(c) Bord du plot présentant une absence importante de cuivre après l'étape de CMP, principalement due à la faible adhérence du cuivre avec sa barrière en TiN. (b) Zone centrale du plot, montrant l'irrégularité de la rugosité du cuivre. Les rugosités du SiO_2 et du Cu sont de 0,25 et 0,65 nm RMS respectivement.

Des observations TEM de l'interface Cu/Cu, représentées dans la Figure IV.26, indiquent un phénomène de croissance de grains de cuivre aux points triples, similaires aux grains perpendiculaires à l'interface de collage précédemment constatés sur les images ioniques de la Figure IV.21. Ceci est le signe d'une diffusion de cuivre le long des joints de grains et à travers l'interface de collage, permettant une reconstruction totale du métal à l'interface de collage. Nous pouvons également observer l'existence de cavités allongées et circulaires de part et d'autre des points triples. Bien que ces deux types de cavités peuvent être issues d'imperfections de surface telles que la rugosité ou l'absence de grains visibles sur les images AFM, l'origine de certaines des cavités circulaires peut être attribuée à deux autres mécanismes liés au recuit, étape centrale du procédé de collage direct.

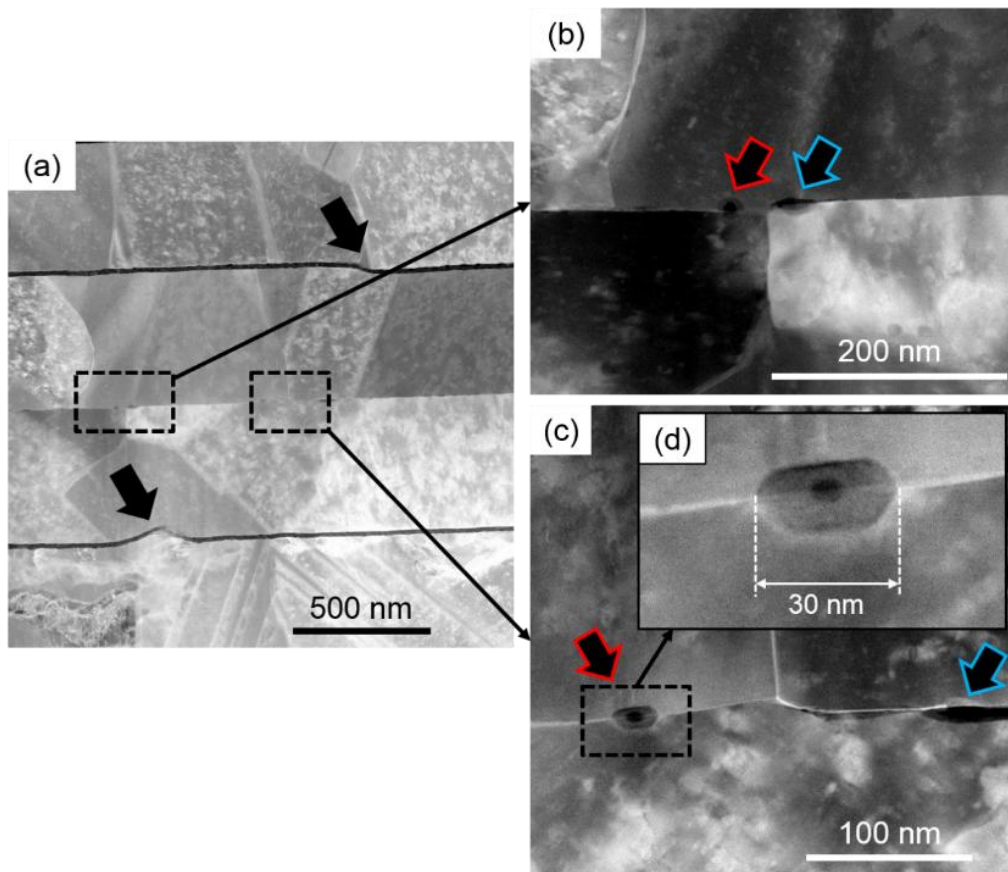


Figure IV.26. Images TEM de l'interface de collage Cu/Cu. (a) Empilement complet, montrant la répartition des cavités et des déformations de la barrière TiN due à l'instabilité du cuivre mentionnée dans la partie précédente (flèches noires). (b)(c) Croissance des grains aux points triples et cavités circulaires (flèches rouges) et allongées (flèches bleues). (d) Une cavité de 30 nm de largeur.

Le premier mécanisme s'apparente à un phénomène de nucléation de cavités induite par les contraintes mécaniques [Mouis'06] prenant place à l'interface de collage Cu/Cu. En effet, bien que l'étape de recuit permette de mettre en contact les deux surfaces de cuivre grâce à la dilatation thermique de ce matériau, le traitement thermique crée aussi des contraintes de traction à l'interface Cu/Cu du fait de la compétition entre l'adhésion des surfaces et la contraction du cuivre lors de la descente à température ambiante. Ces contraintes, mises en évidence dans les simulations présentées dans le chapitre V de ce manuscrit, entraînent la migration de lacunes le long des joints de grains et contribuent donc à la nucléation de cavités aux endroits où les sollicitations mécaniques sont les plus fortes. De plus, les discontinuités cristallines, ici induites principalement par l'oxyde de cuivre natif de quelques nanomètres d'épaisseur présent à la surface du cuivre avant collage, agissent comme des chemins de diffusion privilégiés et facilitent donc la nucléation de lacunes à l'interface de collage.

Comme vu dans le chapitre I, le deuxième mécanisme de formation de cavités

implique directement cet oxyde de cuivre. Des études antérieures ont en effet montré que cette couche devient instable pendant un traitement thermique à plus de 200 °C [Cocke'95], en premier lieu à cause de la croissance des grains de cuivre qui viennent casser la couche d'oxyde. A ce stade, l'instabilité est engendrée par la compétition entre l'énergie de l'interface Cu/Cu₂O γ_{Cu/Cu_2O} et l'énergie des joints de grain γ_{JdG} . Lorsque $2\gamma_{Ox/Cu_2O} > \gamma_{JdG}$, l'oxyde de cuivre diffuse le long des joints de grain pour former des cavités circulaires partiellement remplies d'oxyde de cuivre à l'interface Cu/Cu [Gueguen'10, Di Cioccio'14].

Des caractérisations TEM-EDX conduites au niveau de l'interface de collage, représentées dans la Figure IV.27, confirment ce phénomène par la présence d'atomes d'oxygène situés pour la plupart dans les cavités circulaires. Sur la base des précédents travaux susnommés, cette dernière observation valide la diffusion de l'oxyde de cuivre comme un mécanisme de formation de certaines des cavités circulaires présentes dans notre étude.

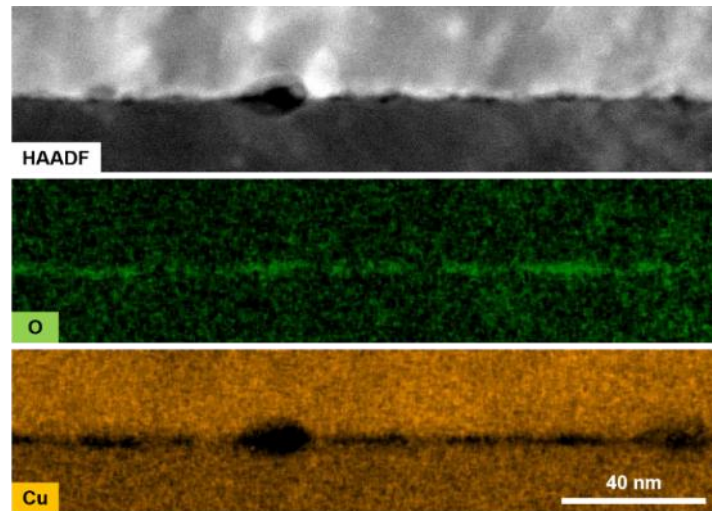


Figure IV.27. Caractérisation TEM-EDX des cavités de type B présentes à l'interface de collage Cu/Cu, révélant la présence d'oxygène à l'interface et dans les cavités circulaires.

IV.2.3 Diffusion du cuivre dans l'oxyde en bord de plots de collage

L'une des préoccupations majeures de l'intégration 3D par collage direct de surface hybrides Cu-SiO₂ est l'éventualité d'une diffusion du cuivre dans l'oxyde de silicium à travers l'interface de collage. Nous avons vu en effet qu'il existe un désalignement de quelques centaines de nanomètres entre les deux plots de collage, conduisant à la création d'interfaces Cu/SiO₂. Or, de nombreuses études ont démontré que les atomes et les ions de cuivre pouvaient diffuser dans du SiO₂ thermique sous l'effet d'un traitement thermique et d'un champ électrique extérieur au système [Shacham-Diamand'93, Raghavan'95, Fisher'08, Murarka'00]. Un tel phénomène peut entraîner

des problèmes de fonctionnement et de fiabilité des circuits à haute densité d'interconnexions.

D'une manière générale, la diffusion d'atomes d'un métal $Mé$ dans un diélectrique Di est régie par la température du système [McBrayer'86]. Lorsque celle-ci est suffisamment élevée, l'agitation thermique permet aux atomes à la surface du métal de sortir de la maille cristalline en cassant les liaisons métalliques d'énergie potentielle E_m . La température de fusion T_f d'un métal est un bon indicateur de sa propension à diffuser dans un diélectrique. En effet, une valeur de T_f élevée correspond à des liaisons métalliques fortes, et donc à une augmentation de E_m . Par conséquent, à température constante, les atomes de métaux à T_f élevée diffuseront moins que les atomes de métaux ayant une T_f basse.

Une fois la barrière d'énergie E_m franchie, les atomes peuvent migrer de façon aléatoire à l'interface $Mé/Di$. Cependant, la différence de concentration d'atomes entre les deux matériaux induit la création d'un flux net de métal dirigé vers le diélectrique (Figure IV.28). Ce flux est décrit par la loi de Fick [Mehrer'07]

$$f(x, t) = -D \frac{\partial \rho(x, t)}{\partial x}, \quad (33)$$

où f est le flux à une dimension, défini comme un nombre d'atomes de métal passant à travers une unité de surface par unité de temps, ρ est la concentration d'atomes de métal par unité de volume et $\partial \rho(x, t) / \partial x$ est le gradient de concentration qui constitue le moteur de la diffusion. La position x est mesurée à partir de l'interface $Mé/Di$ vers le diélectrique. Enfin, D est le coefficient de diffusion, appelé aussi diffusivité et exprimé en cm^2/s .

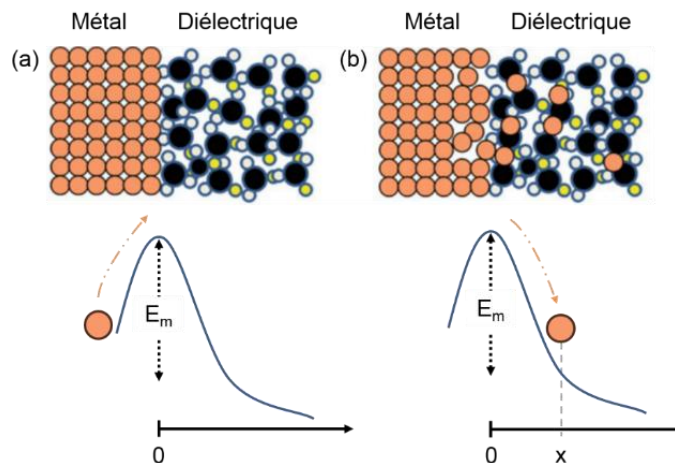


Figure IV.28. Représentation schématique de l'interface $Mé/Di$ (a) avant la diffusion et (b) après la diffusion des atomes de métal dans le diélectrique par activation thermique. Les diagrammes d'énergie correspondants sont illustrés, avec E_m l'énergie potentielle d'une liaison atomique dans le métal.

Le processus de diffusion dans le diélectrique est un processus thermiquement activé. Le déplacement des atomes de métal dans le diélectrique s'effectue au travers d'une succession de barrières d'énergie potentielle E_d d'espacement a , comme illustré dans la Figure IV.29. La diffusivité D relie l'énergie thermique $k_B T$ à E_d par l'expression

$$D = D_0 e^{-E_d/k_B T}, \quad (34)$$

où D_0 est un facteur pré-exponentiel, k_B est la constante de Boltzmann et T et la température. Cette équation peut s'appliquer à toute espèce chimique en mouvement.

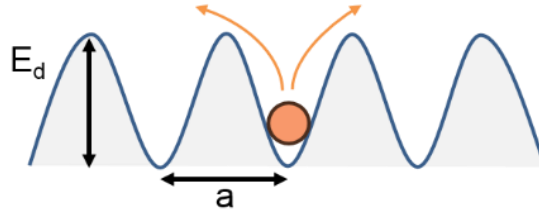


Figure IV.29. Exemple d'un atome de métal se déplaçant à travers les barrières d'énergie potentielle E_d d'un diélectrique. L'espacement entre les puits est défini par le paramètre a exprimé en angström.

La plupart des diélectriques utilisés dans l'industrie de la microélectronique étant composée d'atomes d'oxygène [Baklanov'07], des réactions d'oxydo-réduction peuvent avoir lieu à l'interface $Mé/Di$ selon les propriétés chimiques et thermodynamiques des espèces en présence. Par conséquent, le métal peut être oxydé par l'oxygène présent dans le diélectrique, entraînant la formation d'ions métalliques. De plus, la présence d'oxygène et de molécules d'eau dans l'atmosphère sont d'autres sources d'oxydation.

Par l'application d'un champ électrique E extérieur, il est possible d'abaisser le potentiel E_d dans le sens de E (Figure IV.30) et ainsi faciliter grandement la diffusion des ions, d'autant plus si la température du système est élevée [McBrayer'86]. Dans ce cas, un nouveau terme appelé courant de conduction s'ajoute au terme lié à la diffusion thermique [Grove'67] et le flux devient

$$f(x, t) = -D \frac{\partial \rho(x, t)}{\partial x} + \frac{q D E_{eff}(x, t) \rho(x, t)}{k T}, \quad (35)$$

où q est la charge électrique et $E_{eff}(x, t)$ le champ électrique effectif, qui inclut le champ électrique extérieur ainsi que le champ ionique issu des ions déjà présents dans le diélectrique.

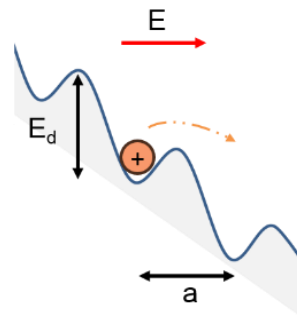


Figure IV.30. Exemple d'un ion métallique se déplaçant à travers les barrières d'énergie potentielle E_d d'un diélectrique. Le potentiel est abaissé dans le sens du champ électrique E extérieur. L'espacement entre les puits est défini par le paramètre a exprimé en angström.

Les réactions d'oxydation du métal ayant lieu à l'interface $Mé/Di$ induisent la formation d'une nouvelle interface composée d'oxyde métallique, située entre le métal et le diélectrique [He et Lu'12]. Cette couche intermédiaire constitue une nouvelle barrière d'énergie potentielle E_i que les atomes de métal doivent franchir pour atteindre le diélectrique, comme indiqué dans la Figure IV.31.

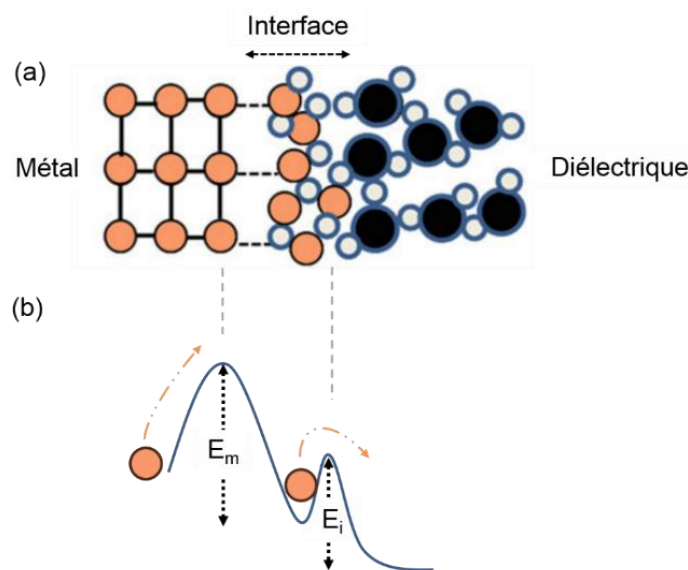


Figure IV.31. Représentations schématiques (a) de la diffusion d'atomes de cuivre à travers une interface d'oxyde métallique et (b) le schéma d'énergie associé.

Dans le cadre d'une intégration 3D, la diffusion des atomes de Cu et des ions Cu^+ dans le SiO_2 à l'interface de collage peut induire des courants de fuite entre les interconnexions collées et ainsi conduire à la dégradation de leurs performances, voire même à la défaillance du dispositif dans le cas de courts-circuits [Lin'05]. Il est par conséquent d'une grande importance de confirmer l'existence d'une telle diffusion au sein de notre intégration, et le cas échéant de la quantifier. Dans ce but, des caractérisations TEM-EDX et SIMS ont été conduites sur des échantillons avant et

après traitement thermique. Les parties suivantes sont consacrées à la description des expérimentations et à la discussion des résultats.

IV.2.3.1 Caractérisation TEM-EDX de l'interface Cu/SiO₂

La technique principale utilisée pour mesurer la quantité de Cu dans le SiO₂ adjacent est le TEM-EDX, qui permet la détection d'espèces chimiques directement sur une lame TEM. Grâce à cette configuration, il est possible d'accéder facilement aux zones d'intérêt situées aux extrémités des plots de collage désalignés. De plus, nous bénéficions d'une sonde chimique ayant une précision de l'ordre du nanomètre, correspondant à la taille du faisceau d'électron du TEM. L'intervalle de confiance concernant la précision de détection des espèces est compris en 0,5 et 1 % de la masse totale de la zone analysée.

La diffusion du cuivre étant un processus thermiquement activé, les analyses TEM-EDX ont été réalisées après le recuit de collage à 400 °C pendant 2 heures et après un stockage à 300 °C pendant 336 heures. La Figure IV.32 montre une image TEM de la structure après cette dernière étape, ne présentant par ailleurs pas de dégradation particulière. Afin de détecter et de quantifier précisément le Cu présent dans le SiO₂, un profil chimique a été réalisé dans la direction normale à l'interface Cu/SiO₂, sur une distance d'environ 80 nm. La flèche rouge sur l'image TEM illustre le trajet de la sonde, allant jusqu'à une profondeur d'environ 60 nm dans le SiO₂.

Les profils de concentrations des espèces Cu, O et Si présentes sur le chemin de la sonde sont également illustrés sur la Figure IV.32. Le même tracé ayant été obtenu après recuit et après stockage, nous avons choisi de ne montrer ici que celui concernant les échantillons stockés à 300 °C. Ainsi, nous pouvons constater que l'équipement n'a détecté aucune trace de Cu dans le SiO₂.

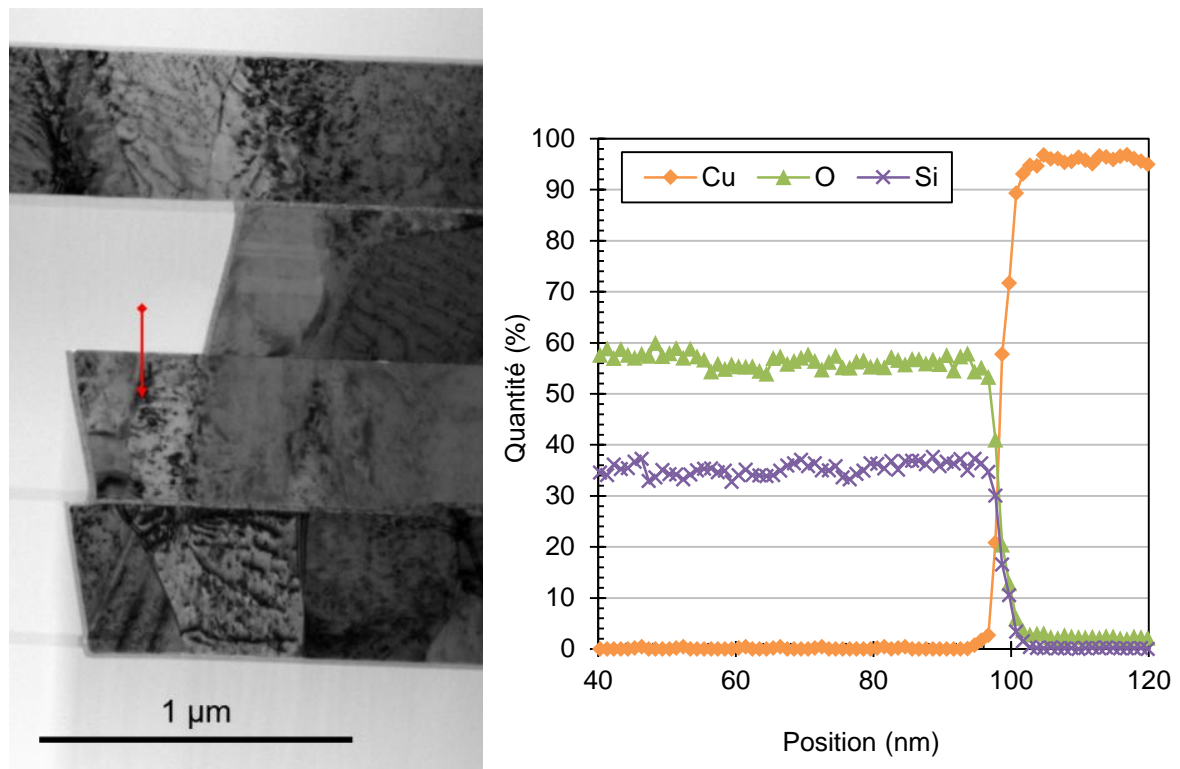


Figure IV.32. (Gauche) Image TEM du bord de deux plots de cuivre désalignés après stockage à 300 °C pendant 336 heures. La flèche rouge représente la zone de caractérisation TEM-EDX. (Droite) Tracé des quantités de Cu, O et Si présentes sur le chemin de la sonde. Aucune trace de Cu n'est détectée dans le SiO₂.

Ce résultat peut signifier au premier ordre qu'il n'y a pas de phénomène de diffusion massive d'atomes ou d'ions de cuivre dans le diélectrique. Cependant, il est possible que cette diffusion ait bien lieu mais en trop faible quantité pour pouvoir être détectée par la technique TEM-EDX. En partant de cette hypothèse, nous allons discuter dans la suite de cette partie des mécanismes physico-chimiques pouvant potentiellement limiter ou empêcher le phénomène de diffusion dans notre intégration, ce dernier ayant été observé par ailleurs dans les études référencées plus haut pour des temps de traitements thermiques parfois 10 fois plus courts.

Le premier facteur important à prendre en compte dans notre cas est la présence d'une couche discontinue de Cu₂O à la surface du Cu, précédemment observée à l'interface de collage Cu/Cu sur les analyses TEM-EDX montrées dans la Figure IV.27 dans la partie IV.2.2. De ce fait, nous sommes en présence d'interfaces Cu₂O/SiO₂ et Cu/SiO₂ aux extrémités des plots de collage désalignés. Or, la couche de Cu₂O séparant le Cu du SiO₂ constitue un facteur de limitation de diffusion. En effet, cette couche d'oxyde est perçue par les atomes de Cu comme une barrière de potentiel additionnelle à franchir pour pouvoir diffuser dans le diélectrique, comme illustré précédemment dans

la Figure IV.31. Cela a donc pour effet de ralentir ou d'empêcher la diffusion des atomes de Cu. L'idée d'utiliser une couche de Cu_2O comme une barrière à la diffusion du Cu a par ailleurs été brevetée par IBM en 1990 [Aboelfotoh'90]. Le chemin préférentiel de diffusion du Cu est dans ce cas situé aux discontinuités de la couche d'oxyde de cuivre, ce qui limite son ampleur et peut donc expliquer que l'on ne puisse le détecter dans le SiO_2 .

Dans le même temps, la couche d'oxyde de cuivre agit comme un réservoir d'ions Cu^+ , pouvant quant à eux diffuser dans le SiO_2 sous l'effet de la chaleur apportée au système. Nos analyses n'ayant pas pu détecter d'espèces Cu^+ , il s'avère que la couche Cu_2O présente sur notre cuivre est probablement trop fine pour causer une diffusion importante de ces ions. La Figure IV.33 résume les lieux de diffusions potentiels.

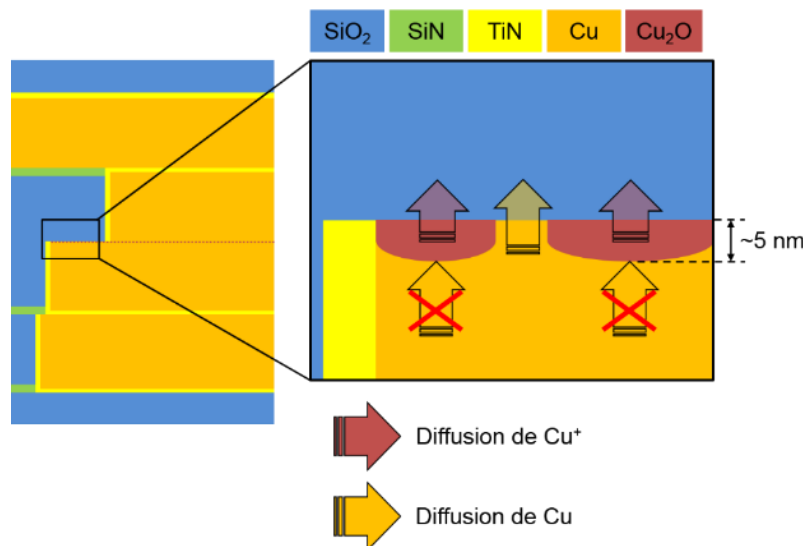


Figure IV.33. Représentation schématique des chemins préférentiels de diffusion des espèces Cu et Cu^+ . Le Cu est en contact avec le SiO_2 de la plaque opposée au niveau des discontinuités de la couche de Cu_2O .

Pour autant, il est intéressant de constater qu'un compromis doit être trouvé quant à l'épaisseur de cette couche afin de bénéficier de sa fonction de barrière de diffusion tout en limitant la quantité d'ions Cu^+ pouvant diffuser dans le SiO_2 . Par conséquent, il est nécessaire de connaître les mécanismes responsables de l'oxydation du cuivre avant et après collage afin de maîtriser son épaisseur.

Avant le collage, la formation de Cu_2O est essentiellement due à l'action de l'air ambiant sur le cuivre à nu. En effet, l'oxydation du Cu est causée par les ions O^{2-} de l'air et de l'eau adsorbés à la surface des structures de tests, selon la réaction $2\text{Cu}^+ + \text{O}^{2-} \rightarrow \text{Cu}_2\text{O}$. Bien que la nature hydrophile de cet oxyde permette l'adhésion des plots de cuivre à température ambiante grâce à l'établissement de liaisons

hydrogènes [Gueguen'09], il est important de limiter sa formation afin de ne pas dégrader la résistivité de contact de l'interface de collage. Pour cette raison, l'étape de CMP du cuivre et de sa barrière est effectuée juste avant le collage, permettant de limiter l'épaisseur de la couche de Cu_2O à moins de 5 nm.

Lors du collage des plaques, le Cu présent au niveau des discontinuités de la couche d'oxyde de cuivre est mis en contact avec les ions O^{2-} présents dans le SiO_2 au bord des plots de collage désalignés. Or, la chaleur négative de formation des molécules de Cu_2O par atome d'O est de 167,4 kJ/mol, ce qui est inférieur à celle de la formation du SiO_2 qui est de 455,2 kJ.mole⁻¹ par atome d'O [He et Lu'12]. Ainsi, ces données indiquent qu'une réaction d'oxydo-réduction entre le Cu et le SiO_2 à l'interface de collage est thermodynamiquement défavorable. De ce fait, seuls l'air et les molécules d'eau piégés à cette interface en quantités limitées sont susceptibles de poursuivre l'oxydation du cuivre.

Le fait que la quantité d'ions Cu^+ à l'interface de collage soit constante dans le temps représente le deuxième facteur important pouvant expliquer l'absence de détection de diffusion. En effet, en l'absence d'oxydation du Cu par le SiO_2 , l'épaisseur de la couche d'oxyde natif qui se forme sur le Cu avant collage reste à une valeur constante de quelques nanomètres. L'intégration étudiée présente donc la particularité de posséder un oxyde de cuivre natif jouant le rôle de barrière de diffusion tout en induisant une diffusion thermique d'ions Cu^+ trop faible pour être détectée au TEM-EDX.

Pour finir, le troisième facteur limitant la diffusion du cuivre vers le SiO_2 est lié à l'environnement de l'interface Cu/ SiO_2 . En effet, de précédentes études conduites sur la diffusion du Cu dans le SiO_2 ont démontré que celle-ci ne se produisait pas si l'échantillon considéré était placé dans un environnement sans oxygène lors du traitement thermique [McBrayer'86].

Le procédé de collage direct a pour conséquence d'encapsuler l'interface de collage, la protégeant de l'air ambiant. Bien que les images TEM-EDX aient montré la présence d'oxygène dans le cuivre et que quelques monocouches d'eau soient piégées à l'interface de collage, l'interface Cu/ SiO_2 se retrouve dans un environnement coupé de la source massive d'oxygène que constitue l'atmosphère ambiante. Il est donc possible que nous constatons la même absence de diffusion précédemment observée par McBrayer *et al.* du fait de l'effet d'encapsulation de l'interface de collage.

Les caractérisations TEM-EDX nous ont permis d'étudier pour la première fois le phénomène de diffusion du cuivre au sein d'interconnexions collées et désalignées. Les résultats obtenus tendent à montrer que les espèces Cu et Cu^+ ne diffusent pas ou en

des quantités indétectables dans le cadre de notre intégration. Cependant, des expérimentations supplémentaires devraient être menées afin de valider ou infirmer certaines des hypothèses proposées, notamment concernant les rôles d'inhibiteur de diffusion joués par la couche d'oxyde Cu_2O et l'environnement dépourvu d'oxygène.

Ainsi, nous proposons le protocole expérimental décrit dans le Tableau IV.2, basé sur la caractérisation physico-chimique de l'interface de deux types de collages pleine plaque Cu/SiO_2 . Le premier type aura pour but de favoriser la croissance de Cu_2O à la surface du cuivre avant le collage, afin d'aboutir à une interface de collage $\text{Cu}/\text{Cu}_2\text{O}/\text{SiO}_2$. Le deuxième type sera destiné à obtenir une interface Cu/SiO_2 exempte de toute trace de Cu_2O à l'aide de la technique de collage sous vide SAB (*surface activated bonding*), intégrant une étape de désoxydation du cuivre avant le collage. Des traitements thermiques dans différentes conditions d'atmosphère et de champ électrique extérieur seront ensuite appliqués au deux types de collage afin d'activer la diffusion du cuivre. En réalisant des caractérisations TEM-EDX et SIMS comparatives des interfaces de collage de tous les échantillons obtenus, il sera alors possible de déterminer l'influence de la couche de Cu_2O , de l'atmosphère et du champ électrique sur la diffusion du Cu dans le SiO_2 . Dans ce dernier cas, il sera particulièrement intéressant de vérifier si le champ électrique induit une diffusion massive d'ions Cu^+ provenant de la couche de Cu_2O , agissant par ailleurs comme une barrière de diffusion.

Tableau IV.2. Protocole expérimental permettant d'étudier l'influence du Cu_2O et de l'atmosphère de recuit sur la diffusion du Cu dans le SiO_2 à l'interface de collage.

Type de collage	$\text{Cu}/\text{Cu}_2\text{O}/\text{SiO}_2$				Cu/SiO_2			
Procédé de fabrication	Entre la préparation de surface par CMP et le collage, l'oxydation du Cu sur les plaques est favorisée par un stockage à l'air pendant 24 heures.				Une fois la préparation de surface par CMP effectuée, les plaques sont activées par plasma et collées sous vide (procédé SAB [Suga'12])			
Traitement thermique	Air ambiant		N_2 ou sous vide		Air ambiant		N_2 ou sous vide	
Champ électrique	Non	Oui	Non	Oui	Non	Oui	Non	Oui
Caractérisations physico-chimiques	TEM-EDX au voisinage de l'interface de collage. SIMS sur tout l'empilement à partir de la surface de SiO_2 .							

IV.2.3.2 Caractérisation SIMS de l'empilement

Nous venons de voir que le TEM-EDX nous permettait de connaître le pourcentage relatif de cuivre présent dans une zone de quelques nanomètres carrés. Afin d'obtenir des informations complémentaires, telles que le nombre d'atomes de Cu par cm^3 , nous avons eu recours à la technique de caractérisation SIMS. Celle-ci consiste en l'identification par spectroscopie de masse des ions expulsés d'un volume de matériau abrasé par un faisceau d'ions focalisé. Tandis que la résolution latérale est d'environ 50 nm, la résolution en profondeur est de l'ordre du nanomètre. La sensibilité de détection de l'équipement que nous avons employé est quant à elle d'environ 10^{17} atomes. cm^{-3} .

La contrainte principale de cette technique, outre qu'elle soit destructive, réside dans la taille de la zone de caractérisation de l'ordre de $150 \times 150 \mu\text{m}^2$. Il est donc impossible d'analyser avec précision des interfaces Cu/SiO₂ induites par le désalignement entre les plaques. De plus, du fait de la présence des factices de cuivre espacés de 20 μm autour de toutes les structures de tests, il est impossible de caractériser l'empilement d'une de ces dernières sans inclure de factice dans le cratère d'abrasion et donc perturber les mesures.

Une structure Kelvin composée de lignes de cuivre en regard de SiO₂ à l'interface de collage a néanmoins été étudiée par SIMS après un recuit à 400 °C durant 2 heures, afin de détecter une éventuelle diffusion du Cu dans le SiO₂. La Figure IV.34 montre la structure de test avant et après abrasion, vue de dessus et en coupe. Comme mentionné précédemment, nous pouvons clairement remarquer que les factices de cuivre sont compris dans le cratère d'analyse.

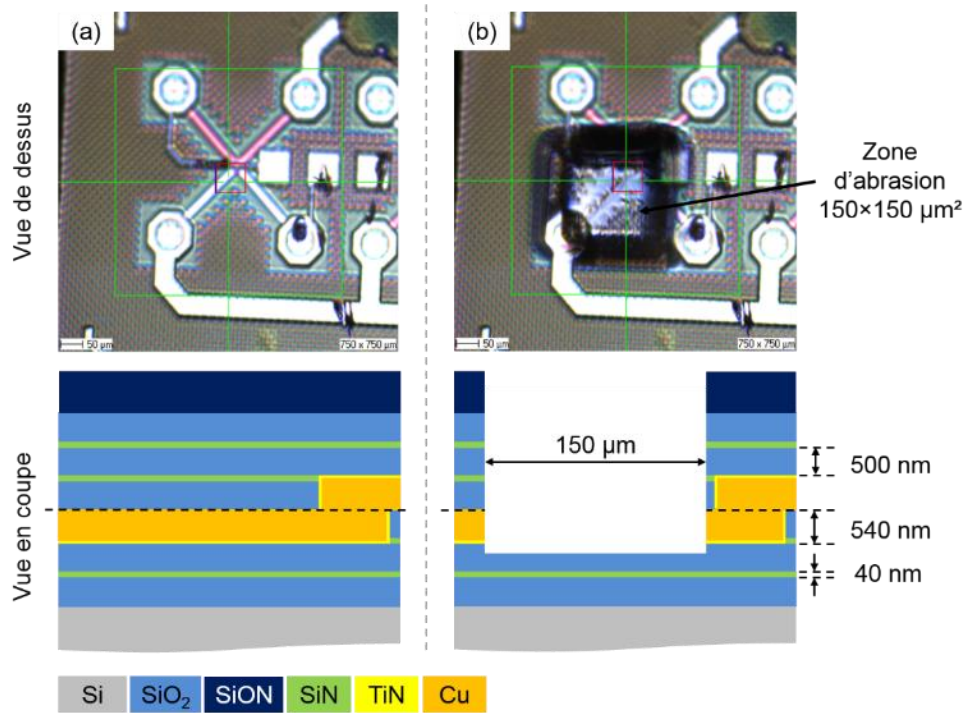


Figure IV.34. Observations optiques vue de dessus et représentations schématiques en coupe de la structure Kelvin (a) avant et (b) après abrasion lors de la caractérisation SIMS.

Les profils de détection correspondant aux couches de Si, de Cu et de SiN sont représentés dans la Figure IV.35, ainsi que la cartographie des ions Cu⁺ présents dans le cratère d'analyse. Les différentes variations d'intensité du signal sont attribuées aux différentes strates de SiO₂, de SiN et de Cu présentes dans l'empilement. La courbe de signal associée au Cu est quant à elle composée de trois parties distinctes, dénommées A, B et C sur la Figure IV.35.

La partie A, commençant par une augmentation abrupte du signal, est associée à l'abrasion de la ligne de cuivre principale et des factices situés autour et au même niveau que la ligne.

La partie B correspond au signal généré par les factices situés sur les trois autres niveaux d'interconnexions de l'empilement. Dans l'éventualité d'une diffusion du Cu de la ligne analysée dans le SiO₂ de la plaque supérieure, le signal correspondant devrait se trouver dans l'intervalle 700-1000 secondes. Or, du fait de la présence du signal associé aux factices de cuivre, il n'est pas possible d'identifier clairement un profil de diffusion typique suivant la loi de Fick dans cet intervalle.

Enfin, la partie C indique la présence de Cu dans les couches de SiO₂ situées sous la ligne analysée. Ces couches étant séparées par deux barrières de diffusion en TiN et SiN, l'explication la plus probable est un phénomène d'auto-contamination, typique des analyses SIMS, dû au procédé d'abrasion lui-même. En effet, le faisceau d'ions focalisés servant à creuser et ioniser les éléments présents dans l'empilement a aussi pour effet

d'implanter une partie de ces éléments dans les couches inférieures. Ainsi, lors de l'analyse de la ligne de cuivre, une partie des atomes de Cu est poussée dans les couches de SiO₂ situées en dessous, et est alors détectée dans cette dernière sous la forme de la partie C.

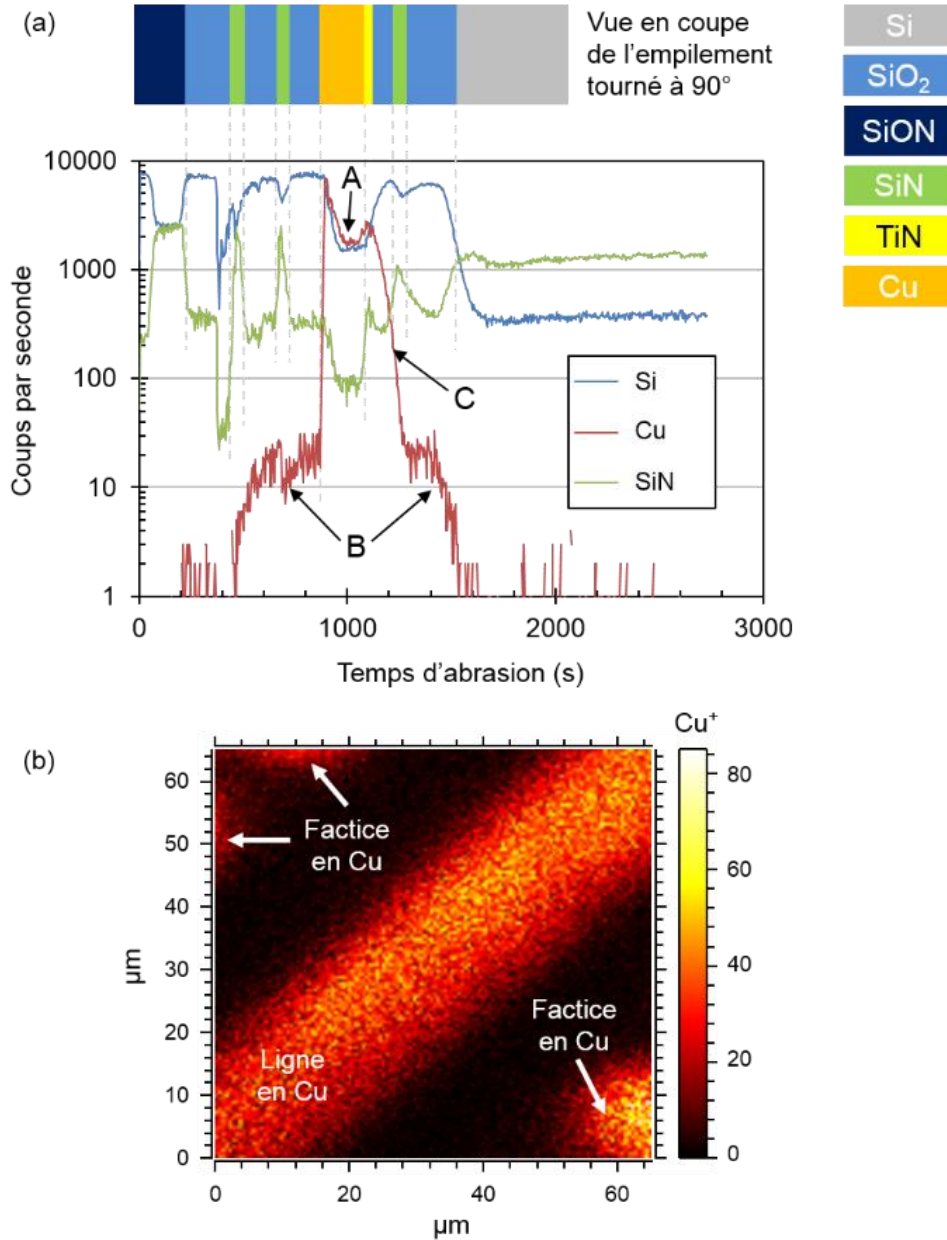


Figure IV.35. (a) Profil de détection des couches de Si, de Cu et de SiN par caractérisation SIMS. Les variations d'intensités correspondent à l'empilement représenté en coupe au-dessus du graphique. (b) Cartographie des ions Cu⁺ présents dans la zone d'abrasion. La ligne étudiée est visible, ainsi que des factices en cuivre en bord de cratère.

Conclusion

Grâce à une série de caractérisations morphologiques employant des techniques d'imagerie électronique et ionique, l'excellente précision d'alignement et l'intégrité des structures collées ont pu être validées. De plus, les interfaces $\text{SiO}_2/\text{SiO}_2$ et Cu/Cu sont totalement scellées après recuits à 200 et 400 °C, et ce sur toute la largeur des plots de collage. La reconstruction de l'interface Cu/Cu , caractérisée par la croissance de grains à travers l'interface de collage, atteste de la bonne qualité de collage.

La présence de cavités aux interfaces Cu/TiN , observées après recuit à 400 °C, est attribuée aux contraintes thermomécaniques et à l'activation de la diffusion des lacunes dans le cuivre. Aussi, les cavités observées aux interfaces Cu/SiN trouvent leur origine dans un recuit de stabilisation du cuivre non optimisé. Cela est confirmé par la croissance de grains de cuivre de part et d'autre des couches de TiN séparant les deux niveaux d'interconnexions d'une même plaque. Le procédé de collage direct n'est donc pas responsable de ces défauts de grande taille.

Dans le cas de l'interface Cu/Cu , la visualisation des cavités et de leur répartition pour un recuit à 400 °C a été possible grâce à la tomographie FIB/SEM. À l'aide de caractérisations AFM, TEM et TEM-EDX, nous avons identifié la rugosité de surface et la diffusion de lacunes le long du Cu_2O comme les principales causes de formation de ces cavités.

Le phénomène de diffusion du Cu dans le SiO_2 en bord de plots n'a pu être détecté à l'aide des techniques TEM-EDX et SIMS. Ainsi, des mécanismes physico-chimiques mettant en œuvre la couche de Cu_2O et l'environnement ont été proposés afin d'expliquer l'absence de diffusion du Cu dans le SiO_2 .

Cependant, les effets électriques de la diffusion du Cu dans le SiO_2 peuvent se produire pour des valeurs faibles de concentration d'ions métalliques dans l'oxyde. Par exemple 1.10^{13} at/cm² dans un barycentre de charges peuvent provoquer une chute de potentiel de l'ordre du dixième de volt, selon l'épaisseur du diélectrique. Or, ces quantités d'ions sont inférieures au pourcent, ce qui est difficilement détectable par les techniques de caractérisation employées dans cette étude. Ainsi, pour détecter de faibles quantités d'ions, des mesures de capacité en fonction de la tension à différentes fréquences et températures pourraient être conduites à l'avenir [Blonkowski'15].

IV.3 Caractérisations électriques des structures de tests

Les caractérisations morphologiques et physico-chimiques présentées dans la partie précédente permettent d'obtenir des informations importantes sur l'influence de la température de recuit sur l'état de fermeture de l'interface Cu/Cu. Cependant, ces observations étant très localisées et en nombre limité, d'autres types de caractérisations sont requis afin d'avoir des informations statistiques sur cet aspect.

Cette partie est donc dédiée aux caractérisations électriques ayant été conduites sur des structures NIST et des chaînes de connexions après recuits à 200 et 400 °C. Ces tests permettent de vérifier le bon fonctionnement des structures et d'évaluer la qualité de collage à l'aide de valeurs de résistances électriques à l'échelle de la plaque. La Figure IV.36 indique la zone de test sélectionnée sur les cinq collages caractérisés, contenant une centaine structures de chaque type. Le choix de cette zone a été fait en tenant compte du temps nécessaire pour le test et de l'homogénéité de l'image acoustique à cet endroit.

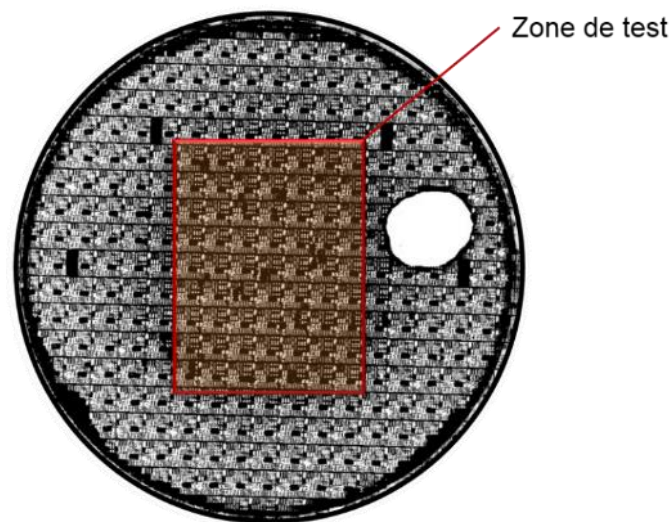


Figure IV.36. Image acoustique d'un collage PICA recuit à 400 °C indiquant la zone de test électrique contenant une centaine de structures NIST et de chaînes de connexions.

Les caractérisations des structures NIST seront en premier lieu présentées afin d'étudier l'impact de l'intégration à quatre niveaux sur les performances électriques et donc la qualité de collage. Les rendements de fonctionnement, les écarts types et les résistivités de contact des chaînes de connexions après recuits à 200 et 400 °C seront ensuite présentés et discutés. Enfin, l'influence de la position des structures sur la plaque sur la résistance électrique sera étudiée.

IV.3.1 Intégration à quatre niveaux : impact sur la résistance

La méthode de collage direct requiert une topologie de surface homogène afin de garantir le scellement totale de l'interface et par conséquent le bon fonctionnement des structures de tests électriques. L'ajout d'un deuxième niveau de cuivre dans l'intégration PICA multiplie les risques de détériorer la planéité du niveau de collage, notamment à cause de la topologie des niveaux inférieurs et des étapes technologiques liées (marques d'alignement, sur-polissage du cuivre et érosion du SiO₂ du niveau inférieur).

Malgré les précautions prises dans le processus de fabrication pour limiter cet effet, par le biais notamment d'un polissage systématique des différentes couches d'oxydes, seules des caractérisations électriques pourront valider la bonne qualité du collage. Une étude comparative des résistances électriques des structures NIST présentes dans les véhicules de test FICO et PICA a donc été menée dans ce but.

Les NIST de ces deux véhicules possèdent les mêmes dimensions, et le comportement de celles sur FICO est bien connu [Taibi'10]. Ainsi, en comparant les résistances théoriques et expérimentales de ces deux séries de NIST, il est en effet possible d'étudier l'impact de l'intégration à 4 niveaux d'interconnexions choisie pour PICA sur les performances électriques et donc la qualité de collage. Nous rappelons dans la Figure IV.37 les caractéristiques des structures NIST employées.

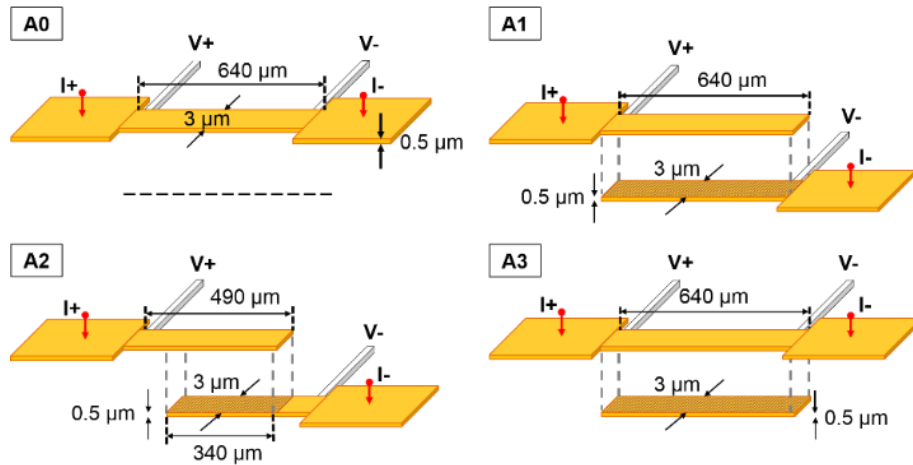


Figure IV.37. Représentation schématique des structures NIST appelées A0, A1, A2 et A3 employées dans cette étude de comparaison entre les intégrations à deux et quatre niveaux d'interconnexions.

Dans un premier temps, afin de procéder au calcul de la résistance théorique, il est nécessaire d'extraire la résistivité du cuivre sur chaque plaque à partir de

$$\rho_{Cu} = R_{exp} \frac{W \times H}{l} \quad (36)$$

où ρ_{Cu} est la résistivité du cuivre, W la largeur de la structure, H sa hauteur et l sa longueur. Cette mesure est effectuée sur les NIST A0 dites unitaires, qui consistent simplement en une ligne de cuivre dont les amenées de courant permettent une mesure de sa résistance. Il est important de mesurer celle-ci pour chaque collage étant donné les variations de fabrication (profondeur de gravure, dépôt, polissage) qui existent entre deux plaques, susceptibles d'impacter la valeur de résistivité. Ainsi, des résistivités de $\rho_{FICO} = 2,01.10^{-2} \Omega.\mu\text{m}$ et $\rho_{PICA} = 2,06.10^{-2} \Omega.\mu\text{m}$ ont été extraites après recuit à 400 °C pour les échantillons FICO [Beilliard'13] et PICA [Beilliard'14] respectivement.

Le Tableau IV.3 regroupe les résistances électriques théoriques et expérimentales obtenues pour les NIST A1, A2 et A3, pour les deux types d'intégrations après un recuit à 400 °C. Les résistances expérimentales données ont été obtenues sur une moyenne de 100 NIST testées, avec un écart type d'environ 1 % et une erreur de mesure de 0,1 %.

Tableau IV.3. Résistances électriques des NIST présentes dans les intégrations à deux niveaux et quatre niveaux d'interconnexions recuites à 400 °C pendant 2 heures. Les résultats expérimentaux sont des valeurs moyennées sur une centaine d'échantillons.

Structure	Intégration	Résistance (Ω)	
		Expérimental	Théorique
A1	Deux niveaux - FICO	4,39	4,27
	Quatre niveaux - PICA	4,26	4,23
A2	Deux niveaux - FICO	6,34	6,26
	Quatre niveaux - PICA	6,24	6,22
A3	Deux niveaux - FICO	4,31	4,27
	Quatre niveaux - PICA	4,29	4,27

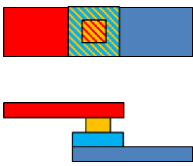
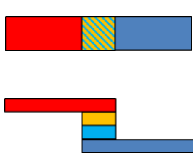
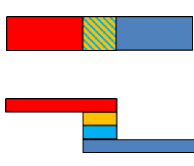
Nous pouvons constater dans un premier temps le très faible écart de 0,5 % en moyenne entre les valeurs théoriques et expérimentales dans le cadre de l'intégration à quatre niveaux. De plus, les NIST A1 et A3 ont des résistances similaires, ce qui atteste de la faible résistivité de contact de l'interface de collage. Ces deux premières observations nous montrent que, de manière similaire aux résultats obtenus avec l'intégration FICO, deux lignes collées ont un comportement électrique équivalent à une seule ligne monolithique d'épaisseur équivalente. Enfin, il est très intéressant d'observer que les résistances expérimentales des NIST dans l'intégration à quatre niveaux sont plus faibles d'environ 3 % par rapport à celles présentes dans l'intégration à deux niveaux. Ces résultats indiquent que l'intégration multi-niveaux de PICA n'influence pas les performances électriques, notamment grâce à l'attention portée à garantir un état de surface compatible avec le collage direct.

IV.3.2 Influence de la température de recuit et résistivité de contact

Trois types de chaînes de connexions appelées DCP1, DCP2 et DCP3 ont été caractérisés électriquement par méthode quatre fils après recuits à 200 et 400 °C. Ces structures, dont les caractéristiques sont rappelées dans le Tableau IV.4, consistent en deux niveaux de lignes enterrées connectées par deux plots de collage carrés. Les dimensions de ces plots ainsi que le pas d'espacement correspondent aux besoins des futurs dispositifs électroniques 3D à hautes performances. Le but de ce travail est donc d'étudier la faisabilité, la reproductibilité et les performances électriques de telles structures.

Nous nous concentrons dans cette partie sur quatre informations importantes contenues dans les caractérisations électriques : le rendement de fonctionnement, l'écart type, l'écart ΔR entre les résistances expérimentales R_{exp} et théoriques R_{th} et enfin la résistivité de contact ρ_c de l'interface de collage. Dans la suite de cette partie, nous allons détailler les méthodes de calculs de la résistance théorique R_{th} des différentes chaînes et de la résistivité de contact ρ_c . A l'instar des structures NIST, l'erreur de mesure est estimée à 0,1 %.

Tableau IV.4. Caractéristiques des chaînes de connexions DCP1, DCP2 et DCP3 étudiées.

Chaîne	DCP1	DCP2	DCP3
Nombre de connexions N_c	7068	11 056	32 160
Largeur du plot supérieur W_s (μm)	3	3	3
Largeur du plot inférieur W_i (μm)	5	3	3
Aire de contact A_c (μm^2)	9	9	9
Pitch x / y (μm)	15 / 15	12 / 12	7 / 7
Lignes collées vues du dessus et de côté			

Le cas du calcul de la résistance R_{th} de la chaîne de connexions DCP3 est considéré ici à titre d'exemple. Il s'agit de calculer la résistance théorique $R_{th}(n\text{œud})$ d'une unique connexion et de la multiplier par le nombre de nœuds $N_c(DCP3)$ de la chaîne. La Figure IV.38 présente un schéma d'une connexion unitaire de cette structure, accompagné du circuit équivalent utilisé pour calculer la résistance théorique associée $R_{th}(n\text{œud})$. Le passage du courant est considéré horizontal dans le cuivre des lignes enterrées, et vertical dans les plots de collage et dans la ligne sous ces plots. Ces postulats nous conduisent à

un circuit équivalent composé de 8 résistances en série.

Le détail du calcul de $R_{th}(DCP3)$ est donné ci-dessous, utilisant les dimensions de la structure donnée dans la Figure IV.38 et le Tableau IV.4. Les épaisseurs des quatre couches de cuivre ont été mesurées précisément grâce à des caractérisations SEM. Les résistivités utilisées $\rho_{TiN} = 3,5 \Omega \cdot \mu m$ et $\rho_{Cu} = 2,06 \cdot 10^{-2} \Omega \cdot \mu m$ ont été mesurées respectivement sur un dépôt de TiN standard et grâce à la structure NIST A0 après recuit à 400 °C.

$$\begin{aligned}
 R_{th}(DCP3) &= R_{th}(noeud) \times N_c(DCP3) = (R1_{ligne}(i) + R_{via} + R2_{ligne}(s)) \times N_c(DCP3) \\
 &= \rho_{Cu} \left(\frac{3}{3 \times 0,48} + \frac{0,48}{3 \times 3} + \frac{0,512}{3 \times 3} + \frac{0,493}{3 \times 3} + \frac{0,462}{3 \times 3} + \frac{3}{3 \times 0,462} \right) \\
 &+ \rho_{TiN} \left(\frac{0,019}{3 \times 3} + \frac{0,019}{3 \times 3} \right) \times 32160 \approx 0,078 \times 32160 \approx \mathbf{2508,48 \Omega}
 \end{aligned}$$

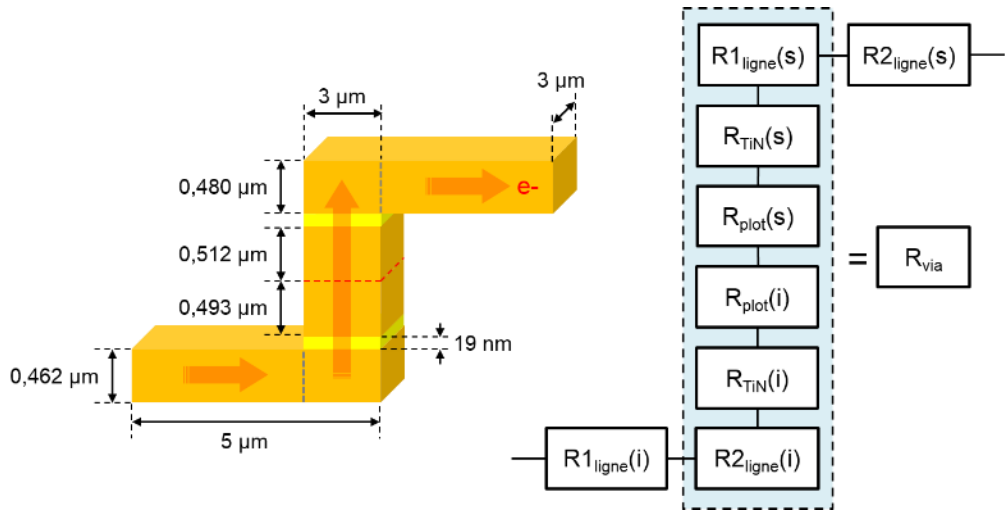


Figure IV.38. Représentation schématique d'une connexion de la chaîne DCP3 et du circuit équivalent associé permettant d'estimer la résistance d'une connexion et par extension de la chaîne entière.

Consacrons nous maintenant à la méthode de calcul employée pour estimer la valeur de ρ_c après recuit à 200 ou 400 °C. Cette méthode est basée sur celle utilisée dans le chapitre précédent pour les chaînes de connexions à deux niveaux de cuivre. Il s'agit d'assimiler ρ_c à la différence $\Delta R(noeud)$ entre la résistance mesurée $R_{exp}(noeud)$ et la résistance théorique $R_{th}(noeud)$ d'une connexion unitaire, le tout multiplié par l'aire de l'interface de collage A_c . La résistivité de contact est donc définie selon

$$\rho_c = \Delta R(\text{noeud}) \times A_c = (R_{exp}(\text{noeud}) - R_{th}(\text{noeud})) \times A_c \quad (37)$$

Dans le cadre de l'intégration PICA, l'utilisation de plots de collage carrés en cuivre a permis de concevoir une structure dont la surface de contact A_c est constante quel que soit le désalignement. En effet, grâce aux plots de collage asymétriques de 5×5 et $3 \times 3 \mu\text{m}^2$ de la structure DCP1, associés à une précision d'alignement submicronique observée précédemment, la surface de contact au niveau d'une connexion unitaire est de $A_c = 9 \mu\text{m}^2$.

Ainsi, contrairement aux estimations de ρ_c faites dans le cas de l'intégration FICO, le désalignement entre les plaques n'affecte pas la valeur de $\Delta R(\text{noeud})$, et donc la valeur de ρ_c . Dans ce cadre, cette dernière est seulement liée à la qualité de collage des surfaces de cuivre et aux défauts structurels présents dans la globalité de la structure. La Figure IV.39 présente un schéma d'une connexion unitaire de la chaîne DCP1, accompagné du circuit équivalent utilisé pour calculer la résistance théorique associée $R_{th}(\text{noeud})$.

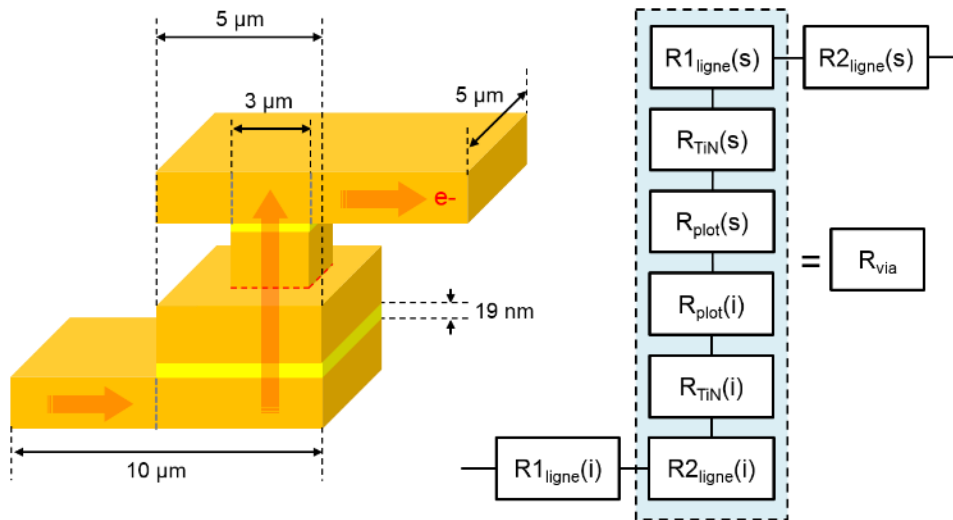


Figure IV.39. Représentation schématique d'une connexion de la chaîne DCP1 et du circuit équivalent associé permettant d'estimer la résistance d'une connexion et par extension la résistivité de contact ρ_c .

À titre d'exemple, nous détaillons ici le calcul de la résistivité de contact $\rho_c(400 \text{ }^\circ\text{C})$ après un recuit à $400 \text{ }^\circ\text{C}$, commençant par le calcul de $R_{th}(\text{noeud})$. Son expression est la même que dans le cadre d'une connexion appartenant à la chaîne DCP3, seules les largeurs W_s et W_i des plots de collage et des lignes changent ici :

$$\begin{aligned}
 R_{th}(noeud) &= R1_{ligne}(i) + R_{via} + R2_{ligne}(s) \\
 &= \rho_{Cu} \left(\frac{5}{5 \times 0,48} + \frac{0,48}{5 \times 5} + \frac{0,512}{5 \times 5} + \frac{0,493}{3 \times 3} + \frac{0,462}{3 \times 3} + \frac{6}{5 \times 0,462} \right) \\
 &\quad + \rho_{TiN} \left(\frac{0,019}{5 \times 5} + \frac{0,019}{3 \times 3} \right) = 0,10992 \Omega = \mathbf{109,92 \text{ m}\Omega}
 \end{aligned}$$

À partir de la résistance moyenne des chaînes DCP1, il faut maintenant calculer la différence $\Delta R(noeud)$ entre $R_{exp}(noeud)$ et $R_{th}(noeud)$:

$$\begin{aligned}
 \Delta R(noeud) &= R_{exp}(noeud) - R_{th}(noeud) = R_{exp}(moy.) / N_C(DCP1) - R_{th}(noeud) \\
 &= 873,48 / 7068 - 109,92 = 123,58 - 109,92 = \mathbf{13,66 \Omega}
 \end{aligned}$$

Enfin, la résistivité de contact est obtenue à partir de $\Delta R(noeud)$ et A_c :

$$\rho_c(400 \text{ }^\circ\text{C}) = \Delta R(noeud) \times A_c = 13,66 \times A_c \approx \mathbf{123 \text{ m}\Omega \cdot \mu\text{m}^2}$$

Les résistances théoriques et les résultats expérimentaux obtenus après caractérisations électriques de 200 structures par type de chaîne et par température de recuit sont résumés dans le Tableau IV.5. Nous pouvons dans un premier temps observer que, malgré la présence des cloques de délaminage et des cavités aux interfaces Cu/TiN et Cu/Cu précédemment observées, les rendements de fonctionnement sont tous très élevés. De plus, les écarts types sont inférieurs à la norme communément admise de 3 % en ce qui concerne les interconnexions dans le BEoL.

Ces résultats sont d'autant plus intéressants qu'ils sont obtenus après un recuit à seulement 200 °C, considéré comme un procédé à basse température. Toutefois, le recuit à 400 °C permet d'obtenir de meilleures performances électriques, avec des rendements de fonctionnement allant jusqu'à 99 % et des écarts types compris entre 0,68 et 0,77 %. De plus, des résistances en pourcentages cumulés de structures recuites à 200 et 400 °C (Figure IV.40) indiquent que les chaînes DCP3, comprenant le plus grand nombre de connexions, sont les structures qui bénéficient le plus du recuit à 400 °C. En effet, dans ce cas nous pouvons observer une réduction de 1,3 % de l'écart type, ce qui constitue la plus grande différence entre 200 et 400 °C parmi les trois types de chaînes représentés.

Cela peut être expliqué par une dilatation thermique des plots de collage et une diffusion du cuivre aux joints de grains plus importantes à 400 °C, résultant en une meilleure reconstruction de l'interface Cu/Cu. Aussi, la diffusion de l'oxyde Cu₂O du fait de son instabilité à 400 °C conduit à une augmentation du nombre de liaisons Cu-Cu et par conséquent à une diminution de la résistivité de l'interface de collage.

Ainsi, la plus faible résistivité de contact qui en découle, indiquée dans le tableau, induit un écart entre les résultats à 200 et 400 °C proportionnel au nombre de connexions par chaîne.

Tableau IV.5. Résultats des caractérisations électriques conduites sur les 1200 chaînes de connexions DCP1, DCP2 et DCP3 recuites à 200 et 400 °C.

	DCP1	DCP2	DCP3
R_{th} (Ω)	766,96	1650,73	2494,48
R_{exp} moyenne (Ω)	888,02	1873,86	3264,80
200 °C Écart entre R_{th} et R_{exp} (%)	15,78	13,51	30,88
Rendement (%)	99	96	96
Écart type (%)	1,33	1,97	2,67
Résistivité de contact	$\rho_c(200 \text{ °C}) = 154 \text{ m}\Omega \cdot \mu\text{m}^2$		
R_{th} (Ω)	771,8	1663,84	2508,48
R_{exp} moyenne (Ω)	873,48	1857,50	3227,54
400 °C Écart entre R_{th} et R_{exp} (%)	13,17	10,42	28,66
Rendement (%)	99	99	98
Écart type (%)	0,68	0,72	0,77
Résistivité de contact	$\rho_c(400 \text{ °C}) = 123 \text{ m}\Omega \cdot \mu\text{m}^2$		

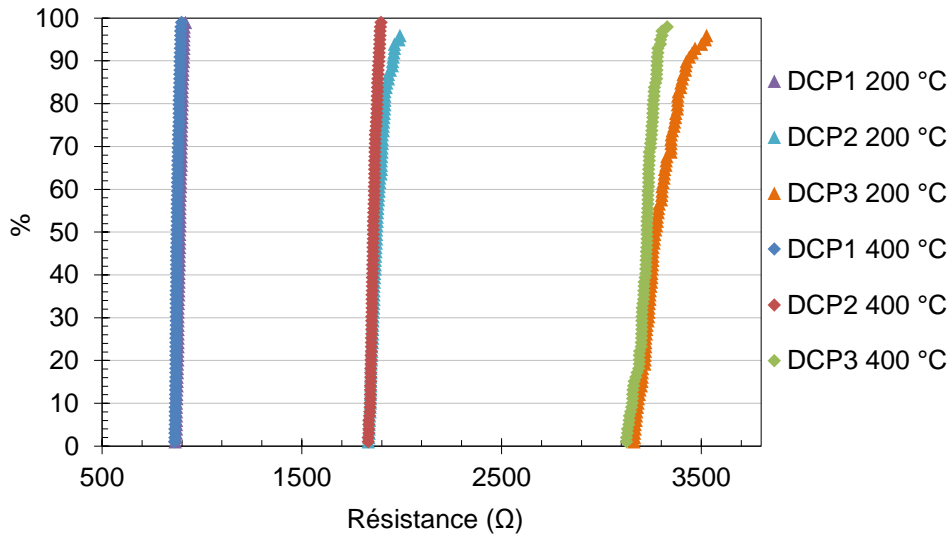


Figure IV.40. Résistances en pourcentage cumulé des chaînes de connexions DCP1, DCP2, and DCP3 de deux véhicules de tests recuits à 200 et 400 °C.

Malgré ces résultats expérimentaux excellents, il est à noter que selon les structures et la température de recuit, il existe une différence importante entre les résistances théoriques R_{th} et les résistances expérimentales R_{exp} . Les valeurs de ces écarts sont indiquées en pourcentage dans le Tableau IV.5, s'étalant de 13,17 à 30,88 %. Il apparaît aussi que l'écart augmente avec le nombre de connexions des chaînes.

Nous pouvons expliquer ce phénomène par la présence des cavités aux diverses interfaces Cu/TiN et Cu/Cu, qui a pour conséquence d'augmenter la résistivité de ces interfaces à cause du volume manquant de cuivre. Or, étant dans l'impossibilité de mesurer directement ces résistivités et/ou de déterminer le volume de cuivre manquant par caractérisations morphologiques, le calcul de la résistance R_{th} ne prend pas en compte ces défauts.

Par conséquent, la valeur de R_{th} est sous-estimée, et les valeurs $\rho_c(200\text{ }^\circ\text{C}) = 154\text{ m}\Omega\cdot\mu\text{m}^2$ et $\rho_c(400\text{ }^\circ\text{C}) = 123\text{ m}\Omega\cdot\mu\text{m}^2$ évaluées respectivement après recuit à 200 et 400 °C sont surestimées. Malgré tout, celles-ci restent environ 3 fois plus faibles que les dernières valeurs rapportées dans la littérature en ce qui concerne des chaînes de connexions à quatre niveaux réalisées par collage [Enquist'09].

Du point de vue technologique et industriel, l'exactitude de l'estimation de la résistivité de contact de l'interface de collage doit rester une priorité dans le cadre de futurs travaux. Celle-ci constitue en effet une donnée déterminante dans l'estimation de la qualité de collage et peut ainsi faire office de valeur étalon dans le cadre de la technologie de collage direct.

C'est pourquoi nous proposons ici un protocole expérimental permettant d'aboutir à une nouvelle méthode de calcul de la résistivité de contact de l'interface de collage Cu/Cu. Il s'agit cette fois de prendre en compte les résistances induites par les cavités présentes aux interfaces Cu/TiN et Cu/Cu dans le modèle électrique de la résistance théorique $R_{th}(n\grave{a}eud)$ d'une connexion de la chaîne DCP1 (Figure IV.41).

Pour ce faire, la technique de reconstruction tomographique FIB/SEM doit être employée afin d'obtenir des informations quantitatives moyennées quant à la hauteur des cavités et l'aire $A_{cavités}$ qu'elles occupent aux différentes interfaces. Dans un but de simplification des calculs, ces cavités peuvent être assimilées à des parallélépipèdes. Ainsi, la résistance additionnelle $R_{interfaces}$ induite par le volume de cuivre manquant peut être définie comme

$$R_{interfaces} = R_{Cu/TiN}(i) + R_{Cu/Cu} + R_{Cu/TiN}(s) \quad (38)$$

$R_{Cu/TiN}$ est la résistance théorique des portions de lignes de cuivre affectées par les cavités aux interfaces Cu/TiN. L'épaisseur de ces portions est équivalente à la hauteur moyenne des cavités, tandis que la section au niveau des plots inférieurs et supérieurs est définie respectivement comme

$$S(i) = W_i \times W_i - A_{cavités}(Cu/TiN) \quad (39)$$

$$S(s) = W_s \times W_s - A_{cavités}(Cu/TiN) \quad (40)$$

$R_{Cu/Cu}$ est quant à elle la résistance théorique de la portion de cuivre à l'interface de collage, dont l'épaisseur est équivalente à la hauteur moyenne des cavités et la section est définie comme

$$S(Cu/Cu) = W_s \times W_s - A_{cavités}(Cu/Cu) = A_c \quad (41)$$

Grâce à ces nouvelles méthodes de calcul prenant en compte les résistances additionnelles induites par les cavités, la résistance $R_{th}(nœud)$ sera plus élevée. Par conséquent, l'écart $\Delta R(nœud)$ sera elle aussi plus faible. Finalement, la prise en compte des cavités dans le calcul de l'aire de contact A_c de l'interface Cu/Cu permettra d'estimer avec bien plus précision la résistivité de contact de cette interface.

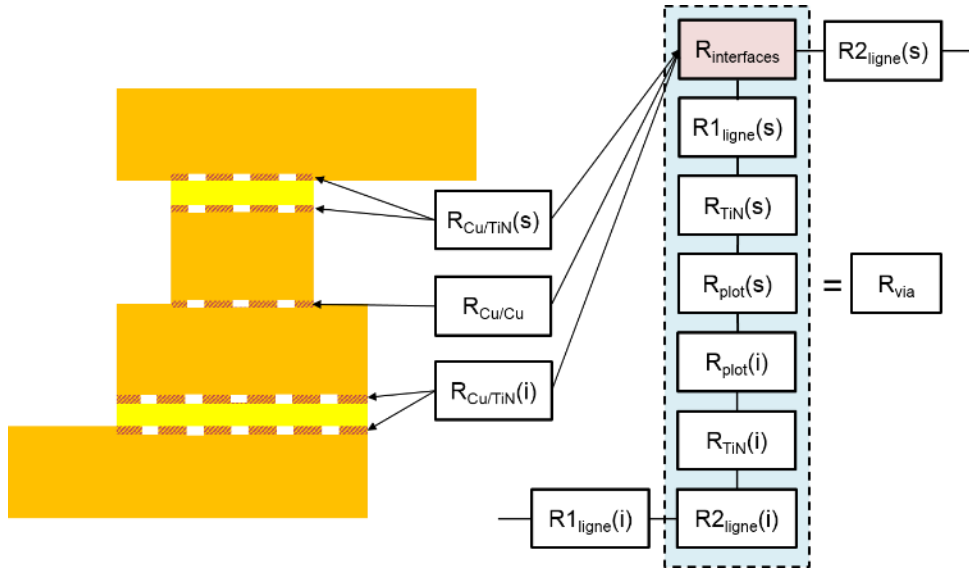


Figure IV.41. Représentation schématique du nouveau modèle de calcul de la résistance théorique R_{th} d'une connexion de la chaîne DCP1, prenant en compte le volume manquant de Cu aux interfaces Cu/TiN et Cu/Cu dû à la présence de cavités.

IV.3.3 Variation de la résistance à l'échelle du collage

Nous avons vu dans la partie IV.2 que le centre du collage apparaissait plus sombre sur les caractérisations par imageries acoustiques après un recuit à 400 °C. Cela peut indiquer que l'interface de collage présente moins de défauts au centre qu'au bord des plaques. Dans cette partie nous nous posons la question de savoir si ce phénomène induit une variabilité au niveau des résistances électriques des chaînes de connexions selon leur position sur la plaque.

En effet, nous venons de voir dans la partie précédente que la présence de cavités

à l'interface Cu/Cu, dues par exemple à un scellement de mauvaise qualité en bord de plaque, peut induire une augmentation de la résistance d'une chaîne. Dans le but de maximiser l'écart entre les résistances mesurées au centre et au bord, nous nous focalisons ici sur les résistances des chaînes les plus longues DCP3 recuites à 400 °C.

La Figure IV.42 montre la zone de test électrique sélectionnée de manière à caractériser le plus grand nombre de structures selon l'axe vertical de la plaque, contrairement à l'étude précédente où les structures ont été testées uniquement au centre du collage.

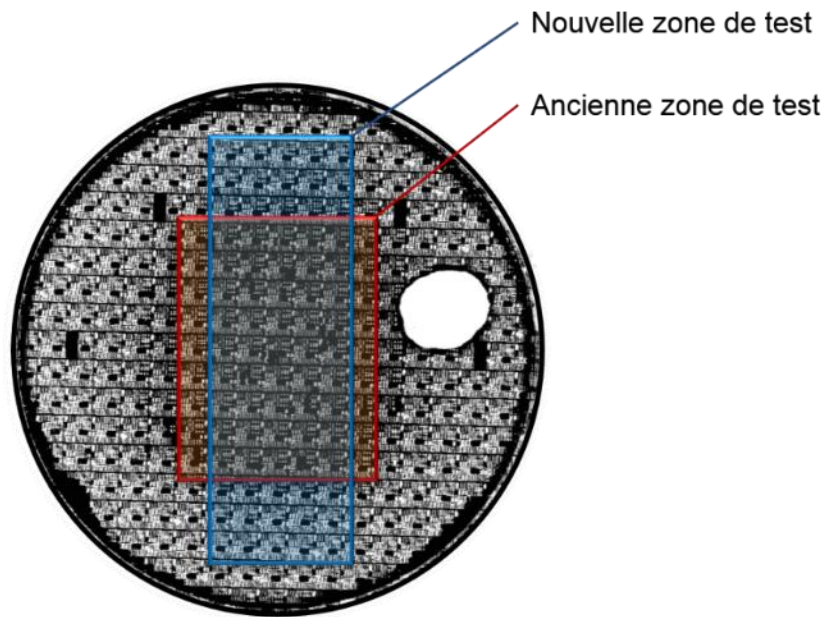


Figure IV.42. Zones de tests électriques sélectionnées pour l'étude de la partie précédente et cette nouvelle étude.

La Figure IV.43 présente une cartographie des résistances relatives des structures testées, où la surface des carrés verts est proportionnelle à la valeur de la résistance. Est aussi représenté le relevé des résistances pour chacune des colonnes sur la cartographie. Il apparaît clairement que la résistance augmente à mesure que l'on s'éloigne du centre du collage, avec des valeurs comprises entre 3558,87 et 3732,93 Ω . Tandis qu'un écart type de 0,77 % avait été obtenu sur les centaines de chaînes DCP3 testées uniquement au centre, nous obtenons ici un écart type de 1,02 %. Même si cette augmentation est significative et indique qu'il y a en effet une moins bonne qualité de collage en bord de plaque, cette valeur reste très basse et ne constitue donc pas un défaut de fabrication d'un point de vue industriel. La plus grande quantité de zones blanches sur l'image acoustique peut donc être attribuée à une mauvaise adhésion des zones de factices de cuivre, et non aux structures de tests en elles-mêmes.

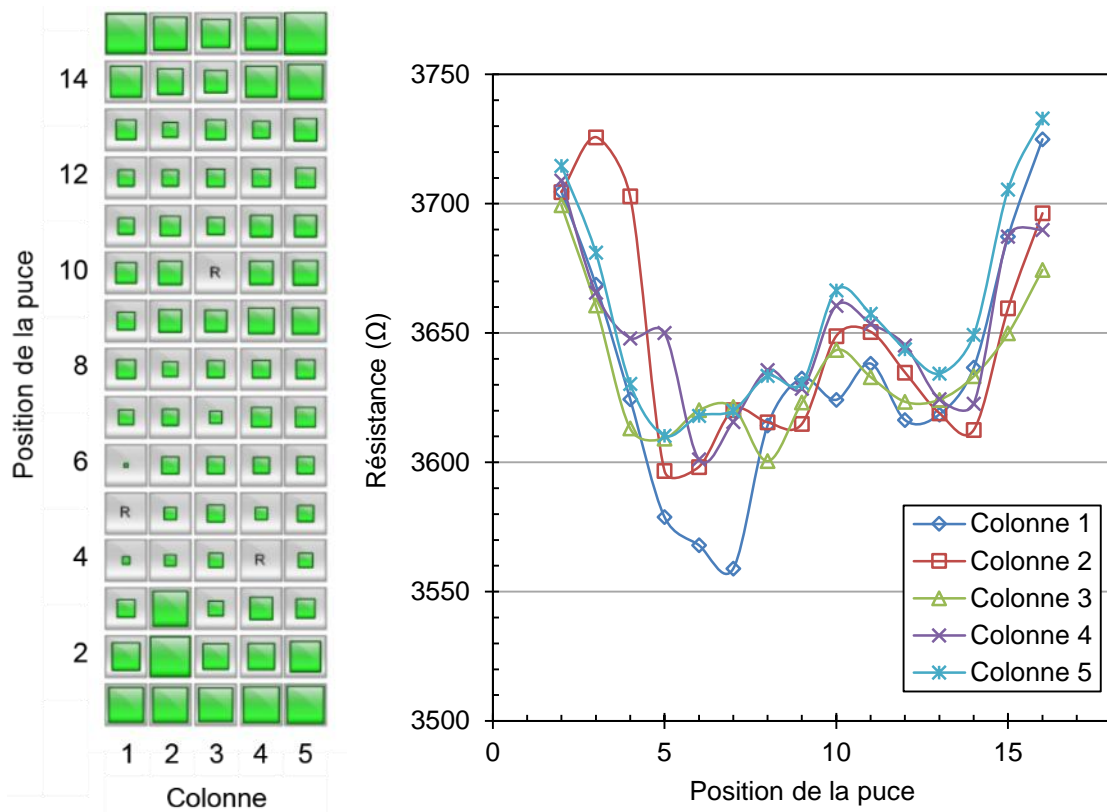


Figure IV.43. Variations de résistances des chaînes de connexions DCP3 recuites à 400 °C en fonction de la position de la structure sur la plaque.

Conclusion

Les caractérisations électriques ont montré que les structures NIST présentes dans les intégrations FICO et PICA possédaient des résistances similaires. Cela indique qu'une intégration comportant quatre niveaux d'interconnexions n'a pas d'impact négatif sur la résistance et donc la qualité de collage de l'interface Cu/Cu.

Les chaînes de connexions offrent quant à elles des résultats excellents avec des rendements de fonctionnement supérieurs à 95 % et des écarts types inférieurs à 3 %, et ce même après un recuit à seulement 200 °C. Toutefois, un recuit à 400 °C permet d'améliorer les performances générales, notamment pour les chaînes de grande taille. Cela se traduit par une plus faible résistivité de contact, attribuée à une meilleure reconstruction de l'interface Cu/Cu. Enfin, même si des variations de résistances existent entre le centre et le bord de la plaque, celles-ci restent négligeables au vu de l'écart type de 1,02 % obtenu.

Ces résultats électriques tout à fait remarquables montrent que le collage direct permet de fabriquer des interconnexions à haute densité de manière reproductible, dont les caractéristiques électriques sont compatibles avec les normes et futurs besoins de l'industrie de la microélectronique.

IV.4 Études de fiabilité environnementale

La caractérisation des performances électriques des chaînes de connexions en fonction de la température étant effectuée, cette partie se propose d'étudier la fiabilité environnementale de ces mêmes chaînes grâce à trois types de tests décrits par les standards JEDEC : le stockage en chaleur humide, le cyclage thermique et le stockage en température constante. L'objectif est de caractériser la résistance des structures à la corrosion et aux contraintes mécaniques. Les échantillons recuits à 200 et 400 °C sont testés sur plaque entière durant les tests de cyclage thermique et de stockage en température. Une partie des échantillons recuits à 400 °C subit les tests de chaleur humide et de cyclage thermique en boîtier, ce qui permet de mesurer l'évolution de la résistance des structures pendant toute la durée des tests. L'analyse de l'impact de ces tests se fera par le biais de caractérisations électriques et physiques (microscopie optique, SEM, TEM...). Le critère de défaillance choisi est une augmentation de la résistance de 10 %, correspondant à l'augmentation du délai d'interconnexion acceptable.

IV.4.1 Stockage en chaleur humide

Les chaînes de connexions DCP1, DCP2 et DCP3 en boîtier ont été soumises à un test de stockage en chaleur humide dans les conditions suivantes : 85 °C et 85 % d'humidité relative pendant 168 heures [JESD22-A118A]. Ce test de fiabilité environnementale permet de caractériser la reprise d'humidité des structures et de l'intégration globale.

Le graphique de la Figure IV.44 représente les variations des résistances en pourcentage au cours du temps, enregistrées durant toute la durée du test pour les trois chaînes. Les augmentations de résistances initiales correspondent à l'augmentation de la température, à partir de la température ambiante jusqu'à 85 °C. Aucune défaillance ou variation significative de résistance n'est constatée sur le graphique. Ce premier résultat démontre qu'aucune infiltration d'humidité n'a été détectée par les mesures électriques, ce qui indique que l'interface de collage ne constitue pas une source de défaillance additionnelle par infiltration d'humidité par rapport à une intégration monolithique.

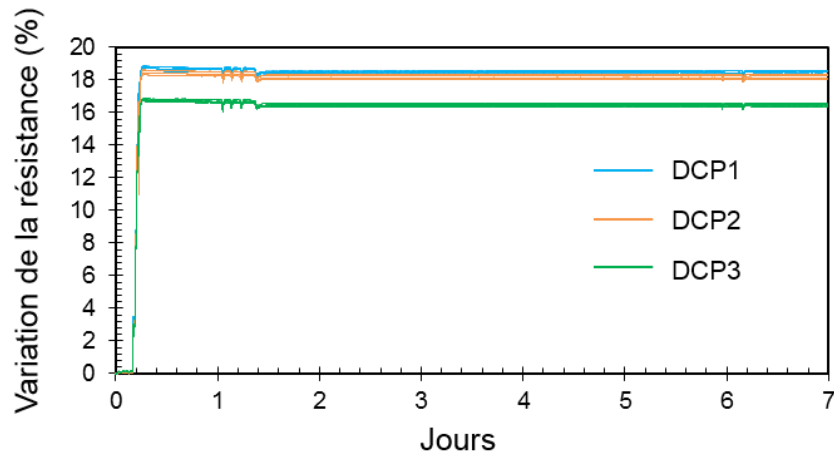


Figure IV.44. Pourcentage de variation de la résistance des chaînes de connexions durant le test de chaleur humide conduit pendant 168 heures (7 jours).

IV.4.2 Cyclage thermique

Des chaînes de connexions DCP1, DCP2 et DCP3 recuites à 200 et 400 °C ont été soumises à des tests de cyclages thermiques (CT) à l'échelle du boîtier et de la plaque respectivement. Les conditions de tests sont les suivantes : 500 cycles de -50 à +150 °C, à raison de deux cycles par heure [JESD22-A104D]. La variation de température durant le test induit des dilatations et des contractions successives de matériaux, ce qui peut causer des détériorations morphologiques telles que du délaminage aux interfaces ou des ruptures dans des couches, dans le cas d'empilement de matériaux aux coefficients de dilatation thermiques différents. Ce test permet donc de caractériser la tenue mécanique de l'interface de collage et la robustesse de l'intégration.

La Figure IV.45 et le Tableau IV.6 présentent les résultats du test de fiabilité des structures en boîtier. Les variations de la résistance maximale et de la température maximale sont illustrées pour les trois structures en fonction du nombre de cycles. Mise à part une structure DCP1, tous les échantillons ont passé le test avec succès. En outre, la plupart des variations de résistance peut être attribuée aux variations de température au cours de l'essai, en raison de cycles de température imparfaits. La seule augmentation de résistance notable n'étant pas attribuée à la température concerne les chaînes DCP1, qui voient leur résistance augmenter de 2 % à partir du 200^{ème} cycle.

Comme mentionné plus tôt, une augmentation de la résistance lors d'un test de CT est généralement attribuée à un délaminage se produisant au niveau d'une interface faible, dans notre cas l'interface Cu/TiN. Nous pouvons remarquer que les tracés des résistances des chaînes DCP2 et DCP3 ne présentent aucun signe de détérioration des performances électriques, ce qui suggère l'absence de délaminage majeur aux diverses interfaces présentes dans ces structures. Pour cette raison, nous suggérons que l'augmentation de la résistance des structures DCP1 pendant le test de CT est due à

ses plots de collage asymétriques. Parmi les trois types de chaînes de connexions, DCP1 est en effet la seule à présenter cette configuration (voir Tableau IV.4), ce qui pourrait en effet être une cause possible de délaminage au voisinage de l'interface de collage. Néanmoins, cette augmentation de la résistance de 2 % est inférieure à celle correspondant au critère de rupture de 10 % et ne constitue donc pas un signe majeur de dégradation de la structure.

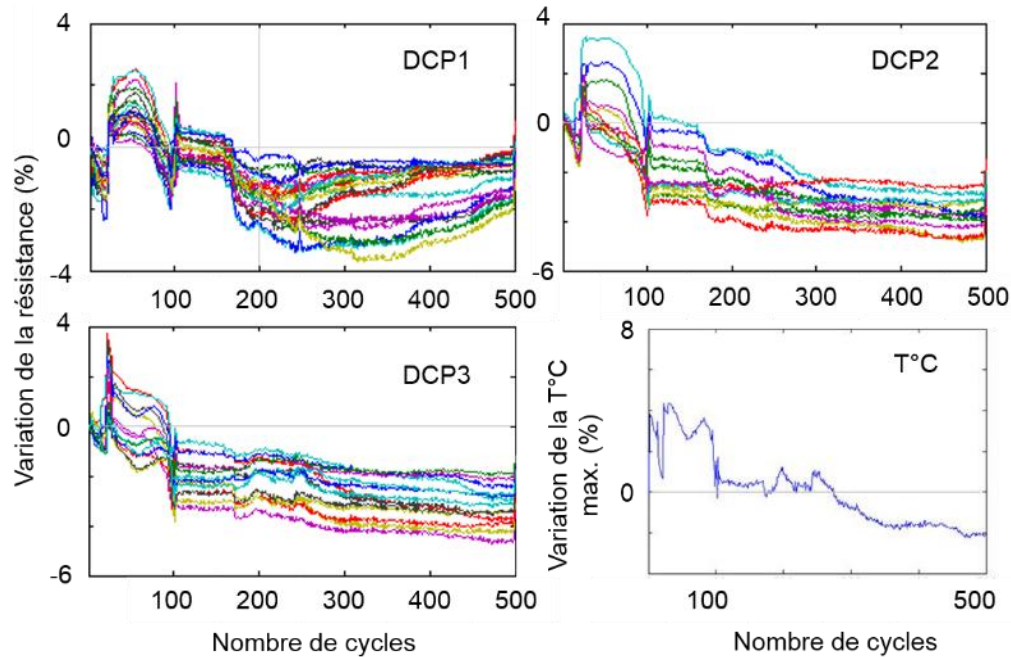


Figure IV.45. Variation de la résistance des chaînes DCP1, DCP2 et DCP3 et de la température pendant le test de cyclage thermique. Une augmentation de la résistance d'environ 2 % est visible pour la structure DCP1.

Tableau IV.6. Résultat des tests de cyclage thermique après 1000 cycles conduits sur les chaînes de connexions en boîtier.

Structure	Nombre de structures	En état de marche après le test	Origine de la défaillance	
			Défaillance dans la chaîne	Décollement du fil d'argent
DCP1	22	21	1	0
DCP2	19	8	1	10
DCP3	18	10	0	8

La Figure IV.46 montre la résistance en pourcentage cumulé des chaînes DCP3 recuites à 200 °C, avant et après le test de CT à l'échelle de la plaque. Nous pouvons y voir deux résultats particulièrement intéressants. Le premier est une augmentation du rendement de fonctionnement de 2 % après le test. Il est possible que cela soit dû à une erreur de mesure, notamment à cause des cloques de délaminage qui ont pu perturber le positionnement automatique du testeur électrique. Cependant, le deuxième résultat

peut nous faire penser qu'il s'agit bien d'une réelle amélioration des performances. En effet, tandis que l'écart type était de 2,14 % avant le test, celui-ci diminue à 1,88 % après le cyclage, ce qui constitue un écart plus important que l'erreur de mesure de 0,1 %.

Le collage ayant été recuit à 200 °C, l'interface Cu/Cu n'était pas complètement scellée à cause de la présence de nombreuses cavités à cette interface. Or, plutôt que de détériorer les structures par la génération de contraintes thermomécaniques, le test de cyclage thermique a eu un effet bénéfique sur elles. La partie chaude du cycle a en effet joué le rôle d'un recuit de collage périodique, permettant la diffusion et la déformation plastique du cuivre à l'interface et conduisant ainsi à une meilleure qualité de collage et de meilleures performances électriques.

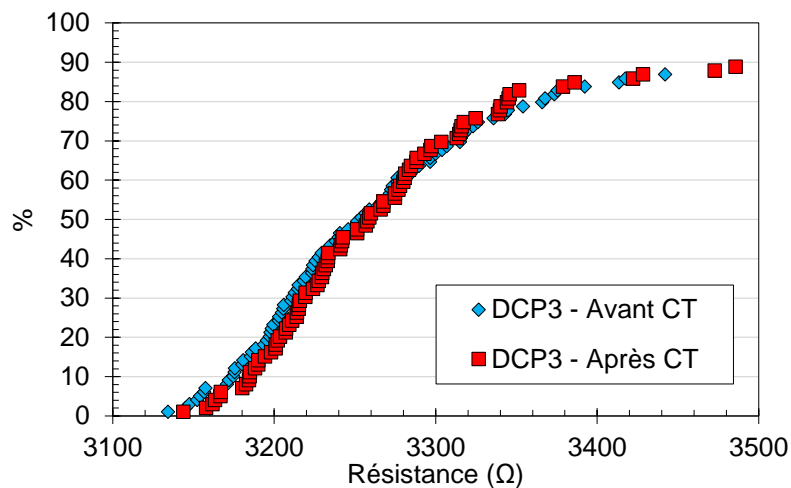


Figure IV.46. Résistance en pourcentage cumulé des chaînes de connexions DCP3 avant et après cyclage thermique sur plaque entière recuite à 200 °C.

IV.4.3 Stockage en température

Le dernier test de fiabilité environnemental consistait à stocker à 300 °C pendant 336 heures en atmosphère ambiante [JESD22-A103D] un collage initialement recuit à 400 °C. Habituellement, ce test est utilisé pour évaluer la durée de vie de dispositifs sensibles à des défauts activés par la température, telle que des mémoires volatiles. Dans notre cas, nous voulons étudier l'évolution de la résistance des interconnexions réalisées par collage direct soumises à des traitements thermiques prolongés pouvant conduire à la nucléation de cavités.

Ainsi, 100 chaînes de connexions de chaque type ont été caractérisées électriquement avant et après le stockage. La Figure IV.47 montre les résultats obtenus sous la forme de pourcentages cumulés. Nous pouvons en premier lieu constater que le rendement fonctionnel pour chaque type de chaînes n'a diminué que de 3 %. De plus, nous observons une augmentation moyenne de la résistance d'environ 0,48, 0,64 et

0,53 % pour les structures DCP1, DCP2 et DCP3 respectivement. Ces valeurs sont 20 fois inférieures au critère de défaillance établi à une augmentation de résistance de 10 %.

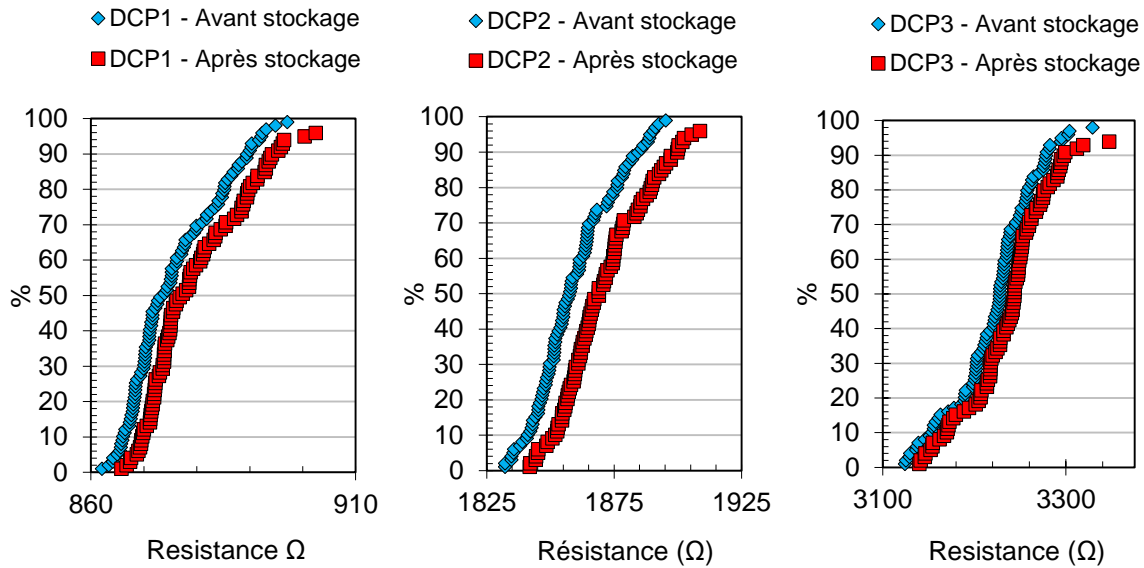


Figure IV.47. Résistances en pourcentage cumulé des chaînes de connexions DCP1, DCP2 et DCP3 avant et après stockage à 300 °C pendant 336 h. Une augmentation moyenne d'environ 0,6 % de la résistance est mesurable.

Le fait que ces augmentations de résistances soient homogènes sur toutes les chaînes, et donc que les écarts types restent inchangés après le test de stockage, signifie que toutes les structures ont été victimes du même mécanisme de dégradation. En effet, des observations optiques illustrées dans la Figure IV.48 ont permis d'attribuer l'augmentation de résistance à un phénomène d'oxydation du cuivre dans les amenées de courant, sous les vias en aluminium.

Les plots de cuivre servant à la reprise de contact sont en effet des lieux de faible adhérence des couches d'oxyde situées en dessus. Par conséquent, les contraintes compressives résiduelles présentes dans ces couches provoquent leur délaminage, exposant le cuivre en dessous à l'air ambiant. Ainsi, le dioxygène présent dans le four réagit avec le cuivre pour donner des oxydes CuO et Cu_2O , de couleur noire et rouge respectivement.

Enfin, la Figure IV.49 montre une comparaison des caractérisations TEM conduites avant et après le stockage. Aucun défaut majeur n'est visible aux diverses interfaces. Ainsi, même si la dégradation se situe au niveau des amenées de courant et non au sein des structures collées, il serait intéressant de mener une série de caractérisations tomographiques aux interfaces Cu/Cu et Cu/TiN afin d'investiguer l'évolution de la répartition des cavités avant et après traitement thermique. Suivant la tendance observée, cela permettrait d'optimiser les fenêtres de procédés et la fiabilité des dispositifs.

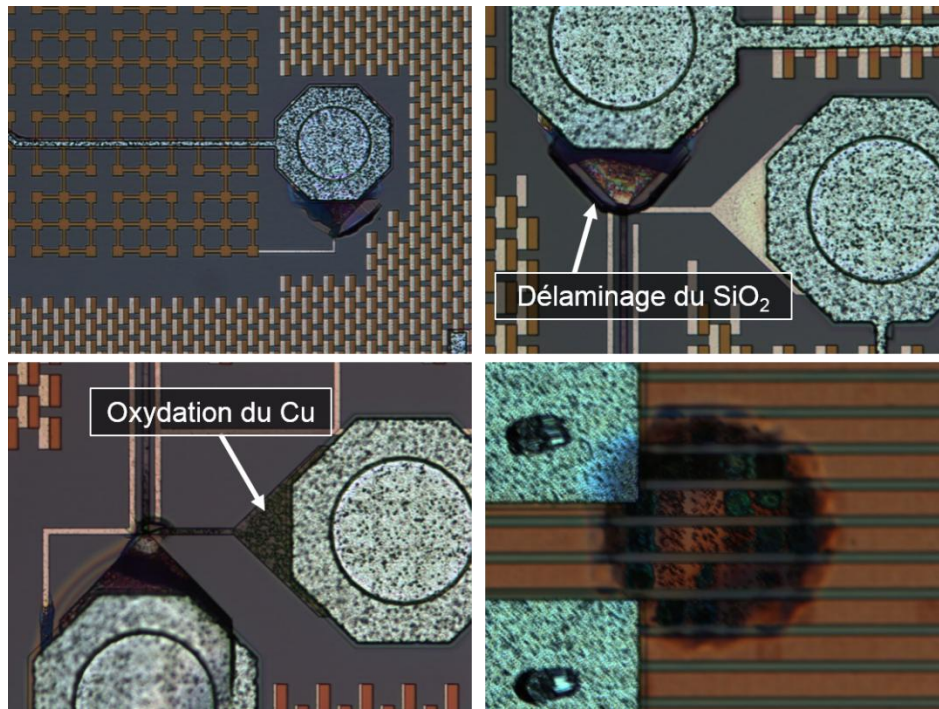


Figure IV.48. Images optiques témoignant de l'impact du stockage à 300 °C sur les amenées de courant et sur les structures elles-mêmes dû à l'arrachage de bulles d'oxyde.

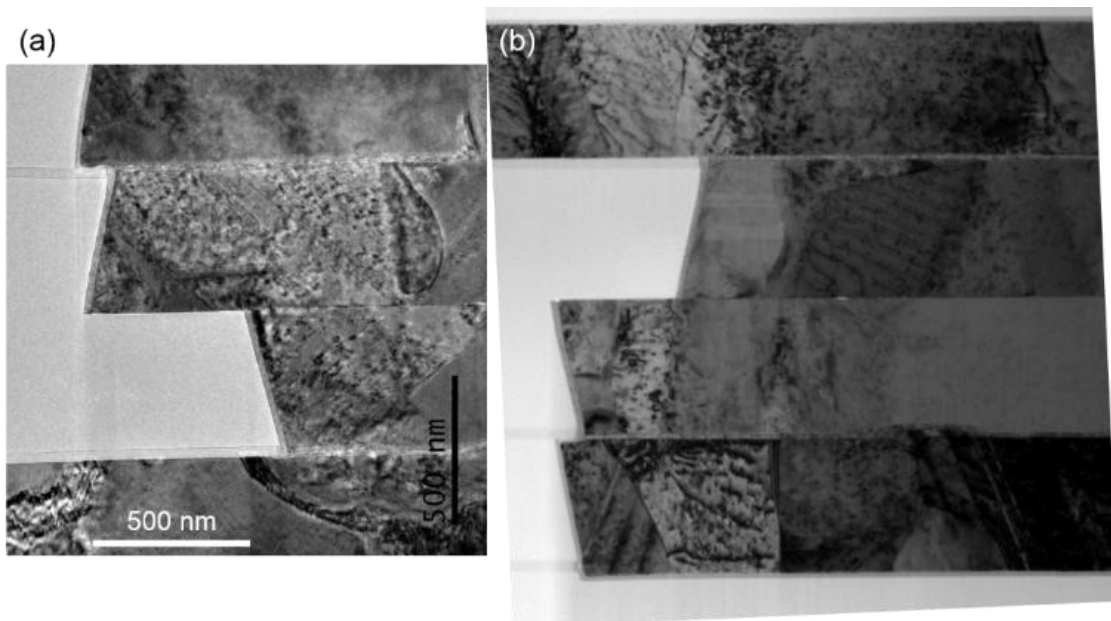


Figure IV.49. Image TEM de plots de collage (a) avant et (b) après le stockage à 300 °C pendant 336 heures.

IV.4.4 Résistance à l'électromigration : TiN vs TaN/Ta

Les différents résultats que nous présentons dans les études de ce chapitre, ainsi que ceux rapportés dans la littérature, confirment que la technologie de collage direct hybride Cu-SiO₂ permet de réaliser des interconnexions à haute densité fiables avec une faible résistivité de contact. Cependant, dans le cadre d'une utilisation industrielle de

cette technique pour connecter le dernier niveau de métal de deux substrats/puces, des interrogations subsistent quant au comportement face à l'électromigration des lignes collées par rapport aux lignes monolithiques, fabriquées par procédé damascène standard.

Ces dernières possèdent généralement une barrière de diffusion en TiN ou en TaN/Ta. Les énergies d'adhésion des interfaces Cu/TiN et Cu/Ta/TaN sont estimées respectivement à 1,4 et 5 J.m⁻² [Gueguen'08, Li'05]. Des caractérisations physico-chimiques des barrières en TaN/Ta ont confirmé que celles-ci offraient une meilleure adhérence avec le Cu [Wong'98, Kwon'98]. Par conséquent, les tests d'électromigration démontrent que l'énergie d'activation E_a associée aux lignes damascènes Cu/Ta/TaN est supérieure à celle des lignes damascènes Cu/TiN [Guillaumond'05].

Dans le cadre de ces tests conduits sur des interconnexions contemporaines, et selon le procédé de fabrication et d'intégration, les valeurs de E_a sont généralement comprises entre 0,8 et 1,0 eV [Hau-Riege'04]. Cette gamme correspond à une diffusion préférentielle du cuivre aux interfaces, typiquement le long des interfaces Cu/TiN et Cu/Ta/TaN. Nous rappelons dans le Tableau IV.7 ci-dessous les énergies d'activation associées aux différents chemins de diffusion.

Tableau IV.7. Énergies d'activation données dans la littérature pour une diffusion dans le cuivre massif [Philibert'86], aux joints de grains [Burton-Greenwood'70, Surholt'94, Gupta'95] et aux interfaces [Arnaud'03]

Chemin de diffusion	Énergie d'activation (eV)
Cuivre massif	2,15
Joints de grains	1,2 ; 0,85 ; 0,92
Interfaces	0,8 - 1,06

Dans le cadre du collage direct, l'interface de collage Cu/Cu peut constituer un chemin de diffusion préférentiel si celle-ci a une énergie d'adhésion plus faible que l'interface Cu/barrière, dans l'occurrence d'une mauvaise qualité de collage par exemple. Ce chemin de diffusion additionnel peut par la suite induire des problèmes de fiabilité, ce qui pourrait empêcher l'usage du collage direct dans des dispositifs à hautes performances. Il convient donc de comparer les énergies d'activation de l'électromigration dans des lignes damascènes avec celles de lignes réalisées par collage direct afin de vérifier si l'interface de collage constitue une source de défaillance supplémentaire, et ce pour les deux types de barrières.

Des tests d'électromigration (EM) en boîtier ont été menés sur des structures NIST A1 recuites à 400 °C, avec une barrière en TiN et en TaN/Ta [Moreau'14] d'une

épaisseur de 20 et 25 nm respectivement. La Figure IV.50 montre les défauts typiquement constatés durant nos tests pour les deux barrières, à savoir des cavités en début de ligne et des extrusions de cuivre en fin de ligne. Ces observations sont cohérentes avec les études d'EM antérieures effectuées sur des structures NIST A1 recuites à 200 °C [Taibi'11].

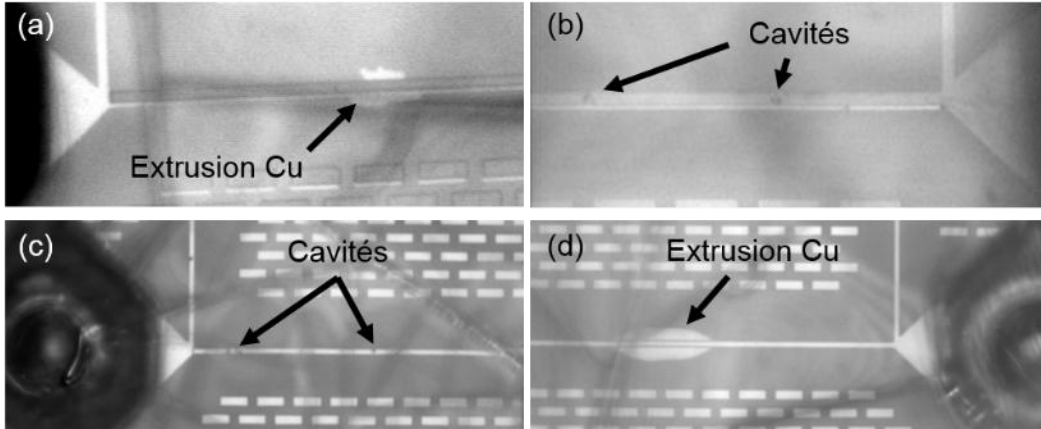


Figure IV.50. Images infrarouges après tests d'électromigration des structures NIST (a)(b) avec une barrière en TaN/Ta et (c)(d) avec une barrière en TiN. Dans les deux cas, nous pouvons voir les mêmes types de défauts, à savoir des cavités d'un côté de la ligne et une extrusion de Cu de l'autre.

La Figure IV.51 représente les distributions des temps à la défaillance pour les structures NIST A1 pour chaque barrière. Le critère de défaillance choisi est une augmentation de la résistance de plus de 10 %, généralement causé par la germination de cavités dans la ligne. La linéarité des courbes obtenues en représentation de Henry semblent indiquer un mécanisme de dégradation unique pour les différentes conditions de test. Nous pouvons cependant constater un temps à la défaillance plus court pour les conditions les plus contraignantes.

L'outil mathématique empirique permettant de prédire le temps médian à la défaillance est l'équation de Black

$$MTF = AJ^{-n} \exp\left(\frac{E_a}{kT}\right) \quad (42)$$

où A est un coefficient de proportionnalité qui prend en compte les propriétés microstructurales de la ligne, J la densité de courant, n son exposant, E_a l'énergie d'activation de diffusion du cuivre, k la constante de Boltzmann et T la température. Selon cette équation, les vitesses de dégradations sont plus fortement dépendantes de la température que de la densité de courant. C'est pourquoi, à densité de courant constante, une température plus élevée entraîne un temps à la défaillance plus court (ex : Figure IV.51(b), carrés noirs et croix jaunes).

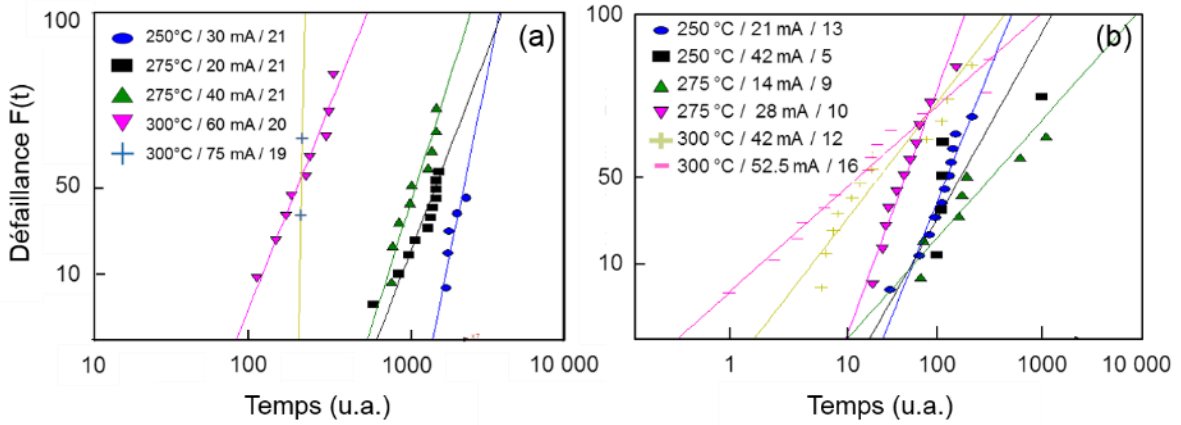


Figure IV.51. Distributions des temps à la défaillance pour les structures NIST A1 (a) avec une barrière en TaN/Ta et (b) avec une barrière en TiN. Dans les deux cas, la linéarité des courbes témoigne d'un mécanisme de défaillance unique.

À partir des temps médians à la défaillance (MTF) obtenus lors des tests d'électromigration sous différentes conditions de température et de densité de courant, il est possible de calculer l'énergie d'activation E_a et l'exposant n de l'équation de Black pour chaque type de barrière grâce aux équations

$$E_a = - \left. \frac{d \ln(MTF)}{d(1/kT)} \right|_{J \text{ constant}} \quad (43)$$

$$n = - \left. \frac{d \ln(MTF)}{d \ln(J)} \right|_{T \text{ constant}} \quad (44)$$

Le Tableau IV.8 regroupe les valeurs de E_a et de n pour les structures NIST A1 avec une barrière en TiN et en TaN/Ta. De manière similaire aux lignes monolithiques, nous pouvons remarquer que c'est la barrière en TaN/Ta qui offre la valeur de E_a la plus élevée. De plus, pour les deux types de barrière la valeur de E_a est comparable avec les valeurs des lignes damascènes, dont le chemin préférentiel de diffusion se trouve aux interfaces Cu/barrière.

Ainsi, grâce à une reconstruction complète du cuivre à l'interface de collage par croissance de grains, la diffusion du cuivre ne semble se produire qu'aux interfaces Cu/TiN et Cu/Ta/TaN, cette dernière étant plus forte et donc plus fiable. Ces résultats très intéressants démontrent la forte similarité de comportement entre les lignes collées et les lignes réalisées par procédé damascène, utilisées dans le niveau BEoL des dispositifs industriels. Par le biais de tests d'électromigration, nous montrons que la technologie de collage direct permet de bénéficier de lignes dont le comportement face à ce phénomène est comparable à des lignes de cuivre massif.

Tableau IV.8. Énergie d'activation E_a et exposant n de l'équation de Black pour les NIST A1 recuites à 400 °C avec une barrière en TaN/Ta [Moreau'14] et en TiN.

	E_a (eV)		n (n.a.)	
	TaN/Ta	TiN	TaN/Ta	TiN
NIST A1	1 ± 0.15	0.75 ± 0.7	0.87 ± 0.2	1.86 ± 1

Toutefois, nous tenons à noter que les incertitudes concernant les structures avec une barrière en TiN sont particulièrement élevées. Le faible nombre d'échantillons ainsi que des défauts structurels provenant du procédé de fabrication peuvent en être la cause. Bien que cela ne change pas les conclusions de notre étude, de nouveaux tests d'EM devraient être menés sur de nouvelles structures avec une barrière en TiN afin de confirmer ces résultats. En outre, il sera important dans le futur de soumettre des structures collées à quatre niveaux d'interconnexions à des tests d'EM afin d'étudier l'influence de l'intégration sur les paramètres de Black et comparer avec des études antérieures menées sur des structures monolithiques.

IV.5 Conclusion

Ce chapitre a présenté les résultats des études portant sur la morphologie, les performances électriques et la fiabilité de l'intégration PICA possédant quatre niveaux d'interconnexion.

La conduite de caractérisations préliminaires portant sur l'alignement entre les plaques, la qualité de collage et l'intégrité de l'intégration est une étape cruciale dans le processus de fabrication et de caractérisation d'une nouvelle architecture 3D. Les résultats de ces études ont montré en premier lieu que la précision d'alignement obtenue était conforme à l'état de l'art, avec des valeurs maximales et moyennes inférieures à 1 μm . La précision d'alignement étant un des aspects majeurs conditionnant la densité d'interconnexions maximale, l'énergie de collage et la fiabilité des dispositifs 3D, ce résultat est particulièrement encourageant. Cependant, la cartographie d'alignement ayant révélé qu'une erreur de précision de la machine était à l'origine du désalignement en rotation, des améliorations doivent encore être apportées en termes de préhension et de manipulation des plaques par la machine.

Dans le cadre de l'intégration à quatre niveaux d'interconnexions, les caractérisations acoustiques de l'interface de collage se sont montrées particulièrement difficiles à interpréter. Les résolutions latérales et verticales des équipements utilisés ne sont en effet pas adaptées à ce type d'empilement et aux dimensions des structures. Cependant, la microscopie acoustique permettant théoriquement de caractériser n'importe quelle interface de collage à l'échelle de la plaque et de manière non destructrice, l'intégration 3D par collage direct ne peut se passer de cet outil. De nombreux laboratoires et constructeurs sont donc à pied d'œuvre afin d'améliorer les résolutions à l'aide par exemple de sondes à hautes fréquences.

Le désalignement des factices de cuivre, fruit des difficultés rencontrées lors de la conception du masque PICA, a eu des répercussions importantes lors de la fabrication des véhicules de tests et sur la caractérisation de la qualité de collage. La faible adhésion des couches concernées par ce désalignement ainsi que la présence de contraintes de compression dans les couches ont provoqué la formation de cloques de délaminage. Cependant, des études de collage récentes ont montré qu'il était possible d'amincir un collage jusqu'à 5 μm sans générer de défauts, dans le cas de structures de cuivre alignés sur toute la plaque. Ce constat discrimine le procédé de collage direct comme source du phénomène de délaminage lors de l'étape d'amincissement.

Dans le même temps, les caractérisations morphologiques confirment que les structures de tests bénéficient d'une qualité de collage excellente et reproductible à l'échelle de la plaque et des structures. A l'instar des collages Cu/Cu pleine plaque conduits lors de précédentes études, nous avons observé d'une part des cavités de quelques dizaines de nanomètres à l'interface Cu/Cu, et d'autre part la croissance de

grains à travers l'interface de collage après un recuit à 400 °C. Cela indique que les procédés de collage direct pleine plaque et de surface hybride Cu-SiO₂ possèdent les mêmes mécanismes de reconstruction d'interface Cu/Cu. En revanche, nous avons pu mettre en évidence quelques défauts apparaissant aux diverses interfaces en fonction de la température de recuit. En effet, les échantillons recuits à 200 et 400 °C présentent des cavités de quelques dizaines de nanomètres à l'interface Cu/Cu. Cependant, seuls les collages recuits à 400 °C possèdent des cavités aux interfaces Cu/TiN et Cu/SiN. Nous attribuons cela aux contraintes thermomécaniques plus grandes et à l'activation de la diffusion des lacunes à cette température. Par conséquent, faire usage d'une barrière de diffusion ayant une meilleure adhérence avec le cuivre et optimiser le recuit de stabilisation de ce dernier pourraient aider à limiter la formation des cavités.

L'usage conjoint de la tomographie FIB/SEM, de l'AFM, du TEM et du TEM-EDX a permis de visualiser pour la première fois la distribution des cavités à l'interface Cu/Cu et d'identifier les principaux mécanismes responsables de leur formation. Ainsi, la rugosité de surface du cuivre et la diffusion du Cu₂O à l'interface de collage sont à l'origine de la majorité de cavités dans le cas de structures recuites à 400 °C. Ce constat est à mettre en perspective avec les résultats des caractérisations TEM-EDX et SIMS n'ayant pas détecté de diffusion de Cu dans le SiO₂ au niveau des interfaces Cu/SiO₂. L'une des raisons que nous avançons étant le comportement en tant que barrière de diffusion du Cu₂O, il apparaît donc que ce dernier joue de multiples rôles dans le collage. Une couche d'oxyde Cu₂O natif à la surface du Cu étant inévitable dans le cadre du collage direct en atmosphère ambiante, un compromis sur son épaisseur doit donc être trouvé afin de limiter la formation de cavités de Cu₂O, tout en préservant son rôle de barrière de diffusion.

Malgré les nombreuses zones blanches sur les images acoustiques, les cloques de délaminage dues aux factices de cuivre désalignés et les cavités aux interfaces Cu/TiN et Cu/Cu, les résultats des caractérisations électriques et des études de fiabilité des structures NIST et des chaînes de connexions sont particulièrement bons et satisfaisants. Dans le cas des structures NIST, nous avons confirmé, par comparaison avec les résultats obtenus sur l'intégration FICO, que l'intégration à quatre niveaux n'affectait pas la résistance électrique et donc la qualité de collage. De plus, les rendements de fonctionnement et les écarts types des chaînes de connexions sont supérieurs à 95 % et inférieurs à 3 % respectivement. Bien que leur calcul soit basé sur un modèle ne prenant pas en compte les cavités aux interfaces, les résistivités de contact extraites après recuits à 200 et 400 °C se situent à l'état de l'art. Le peu de défaillances et de dégradations observées après les tests de stockage en chaleur humide, de cyclage thermique et de stockage en température prouvent enfin l'excellente robustesse thermomécanique et la résistance à l'humidité de l'intégration PICA. La somme de ces résultats atteste donc

que le procédé de collage direct hybride Cu/SiO₂ permet de réaliser des interconnexions à quatre niveaux fiables, de manière reproductible et dont les dimensions correspondent aux objectifs des futurs dispositifs 3D.

Finalement, l'étude comparative de résistance à l'électromigration opposant des structures NIST avec barrière en TiN et en TaN/Ta montre que les structures réalisées par collage direct présentent le même comportement face à l'électromigration que des lignes de cuivre monolithique. Les valeurs d'énergie d'activation obtenues confirment que la diffusion du cuivre se produit à l'interface Cu/barrière. L'interface de collage Cu/Cu n'apporte donc pas de mécanisme de défaillance supplémentaire.

Chapitre V

Simulations thermomécaniques par éléments finis du collage direct hybride Cu-SiO₂

V.1	Contexte de l'étude	184
V.2	Description du modèle d'interactions cohésives.....	185
V.3	Modélisation du collage direct.....	189
V.3.1	Description de la simulation.....	189
V.3.2	Comportement mécanique du cuivre	192
V.3.3	Estimations des paramètres δ_n et σ_{max} du modèle d'interactions cohésives	195
V.4	Simulation du procédé de collage direct	199
V.4.1	Contact unilatéral (MCU) vs interactions cohésives (MIC).....	199
V.4.2	Cuivre élastique vs élastique-plastique avec le modèle MIC.....	204
V.4.3	Discussion	207
V.5	Influence du comportement élastique-plastique du cuivre.....	208
V.6	Conclusion	214

Introduction

La technologie de collage direct hybride Cu-SiO₂ est considérée comme l'une des approches les plus prometteuses pour satisfaire les besoins de miniaturisation des futurs circuits tridimensionnels à hautes performances. Cependant, dans un souci de compréhension, de prédiction et à terme d'optimisation du procédé de collage, les mécanismes régissant la fermeture de l'interface Cu/Cu doivent encore faire l'objet d'études approfondies à l'aide de simulations.

Dans ce but, nous avons développé au sein du logiciel Abaqus [Simulia'11] des simulations thermomécaniques par éléments finis du procédé de collage direct. Celui-ci inclut l'adhésion des surfaces hydrides Cu-SiO₂ à température ambiante, le traitement thermique à 200 ou 400 °C permettant le renforcement des interfaces collées avant le retour à température ambiante.

Le contexte général de nos études de simulations sera présenté dans la première partie de ce chapitre. Nous décrirons par la suite le modèle d'interaction cohésive développé ainsi que la modélisation du procédé de collage, incluant la géométrie simulée, les lois de comportement des matériaux et l'estimation des paramètres de collage à partir de résultats expérimentaux. Enfin, nous étudierons successivement l'influence sur la fermeture de l'interface Cu/Cu de la température de recuit, des paramètres du modèle d'interactions cohésives, de l'érouissage et de la limite d'élasticité du cuivre.

V.1 Contexte de l'étude

Le procédé de collage direct hybride Cu-SiO₂ a été largement caractérisé morphologiquement et électriquement au cours des cinq dernières années [Taibi'10, Taibi'11, Beilliard'13, Beilliard'14]. Son principe repose sur une préparation de surface spécifique incluant un polissage par CMP. À la fin de cette étape, un effet de sur-polissage laisse les surfaces de cuivre globalement creusées et en retrait de quelques nanomètres par rapport au plan de SiO₂. Ainsi, l'un des mécanismes principaux responsables de la mise en contact des surfaces de cuivre est la dilatation thermique de ce dernier pendant le recuit post-collage. Il est donc d'une importance capitale d'avoir une maîtrise totale sur l'amplitude du sur-polissage du cuivre afin de garantir la mise en contact des surfaces pour une température de recuit donnée.

En raison des limites des techniques de caractérisations morphologiques actuelles, le scellement de l'interface Cu/Cu pendant le recuit de consolidation n'a jamais été observé en temps réel à l'échelle microscopique. Des observations SEM ou TEM *in-situ* permettraient en effet d'en apprendre davantage sur le déroulement du collage de surfaces de cuivre creusées. En attendant que cela soit possible, nous avons choisi de recourir à des simulations thermomécaniques par éléments finis afin d'étudier plus avant

ces mécanismes régissant la fermeture de l'interface de collage Cu/Cu. De plus, les simulations rendent aussi possible l'étude de l'influence des interactions cohésives entre les surfaces, de la température de recuit, des propriétés mécaniques du cuivre et de la géométrie de surface sur la qualité de collage. Finalement, à l'aide de nouvelles données expérimentales, un tel environnement de modélisation pourra être utilisé dans le futur comme un outil prédictif permettant d'optimiser les fenêtres de procédés et les règles de dessin afin de garantir la fermeture complète de l'interface Cu/Cu.

V.2 Description du modèle d'interactions cohésives

Comme nous l'avons vu, le collage direct requiert une préparation de surface spécifique afin de garantir une rugosité d'environ 0,5 nm RMS et d'éviter toute contamination particulaire et/ou chimique. Cette étape de préparation rendant la surface des plaques hydrophile, quelques monocouches d'eau y sont adsorbées. Par conséquent, les mécanismes de collage à température ambiante T_{amb} impliquent des forces de van der Waals et des liaisons hydrogènes entre les groupes Si-OH et Cu-OH appartenant aux surfaces de SiO₂ et de Cu respectivement. Les plaques collées doivent alors subir un traitement thermique, généralement inférieur à 400 °C, afin de renforcer l'interface grâce notamment à la création de liaisons covalentes telles que Si-O-Si et Cu-Cu [Ventosa'09].

Dans notre étude, ces interactions cohésives prenant place aux interfaces SiO₂/SiO₂ et Cu/Cu à T_{amb} et après le recuit sont prises en compte dans les simulations. La loi d'interaction entre les surfaces de SiO₂ ou de Cu n'est pas connue *a priori*, mais peut être obtenue à l'aide de calculs atomistiques. Ceci est par exemple illustré par Kubair *et al.* [Kubair'07] dans le cadre d'une étude portant sur le collage de deux surfaces de SiO₂ couvertes d'un film d'eau. Ce profil est similaire au modèle d'interaction que nous utilisons pour nos études, et apparaît semblable à celui dérivé d'un potentiel interatomique standard, tel qu'il est proposé par Xu et Needleman [Xu-Needleman'94] pour décrire des problèmes de rupture.

Cette loi d'interaction cohésive repose sur la définition d'un potentiel d'interface ψ , lié à l'énergie entre deux surfaces séparées par la distance Δ . Cette formulation est adoptée ici afin de prendre en compte les interactions entre les deux surfaces impliquées dans le processus de collage, dans un schéma de contact non-linéaire. En pratique, une routine UINTER a été développée afin d'implémenter dans le logiciel Abaqus le modèle dont le potentiel d'interface $\psi(\Delta_n, \Delta_t)$ est exprimée tel que [Xu-Needleman'94]

$$\psi(\Delta_n, \Delta_t) = \phi_n + \phi_n \exp\left(\frac{-\Delta_n}{\delta_n}\right) \left\{ \left[1 - r + \frac{\Delta_n}{\delta_n} \right] \frac{(1-q)}{(r-1)} - \left[q + \frac{(r-q)\Delta_n}{(r-1)\delta_n} \right] \exp\left(-\frac{\Delta_t^2}{\delta_n}\right) \right\} \quad (45)$$

Les dérivées premières du potentiel (45) donnent les tractions cohésives normale et tangentielle T_n et T_t définies comme

$$T_n = \frac{\phi_n}{\delta_n} \exp\left(\frac{-\Delta_n}{\delta_n}\right) \left\{ \frac{\Delta_n}{\delta_n} \exp\left(-\frac{\Delta_t^2}{\delta_t^2}\right) + \frac{(1-q)}{(r-1)} \left[1 - \exp\left(-\frac{\Delta_t^2}{\delta_t^2}\right) \right] \left[r - \frac{\Delta_n}{\delta_n} \right] \right\} \quad (46)$$

$$T_t = \frac{\phi_n}{\delta_n} \frac{2\delta_n}{\delta_t} \frac{\Delta_t}{\delta_t} \left[q + \frac{(r-q)\Delta_n}{(r-1)\delta_n} \right] \exp\left(\frac{-\Delta_n}{\delta_n}\right) \exp\left(-\frac{\Delta_t^2}{\delta_t^2}\right) \quad (47)$$

Le couplage entre les tractions normale et tangentielle est contrôlé par le biais des paramètres q et r définis comme :

$$q = \frac{\phi_t}{\phi_n}, \quad r = \frac{\Delta_n^*}{\delta_n} \quad (48)$$

où ϕ_n et ϕ_t sont les énergies de séparation normale et tangentielle respectivement. Les composantes normale et tangentielle du vecteur de séparation d'interface Δ sont Δ_n et Δ_t respectivement, δ_n est la distance caractéristique normale et δ_t la distance caractéristique tangentielle à l'amorçage de la décohésion. Δ_n^* est la valeur de Δ_n après la séparation tangentielle complète ayant lieu quand la traction normale T_n vaut 0. La valeur maximale de T_n est σ_{max} et est atteinte pour $\Delta_n = \delta_n$, tandis que la valeur maximale τ_{max} de T_t est obtenue pour $\Delta_t = \sqrt{2}\delta_t/2$. Ainsi, quatre paramètres permettent de décrire entièrement les interactions cohésives en reliant les paramètres d'énergie aux paramètres de traction-séparation tel que

$$\phi_n = \sigma_{max} e \delta_n, \quad \phi_t = \frac{\sqrt{e}}{2} \tau_{max} \delta_t \quad (49)$$

Toutes les simulations de cette étude ont été effectuées dans les conditions de déformations planes et impliquent le collage de surfaces hybrides Cu-SiO₂ dont l'alignement et le déplacement vertical lors du collage sont considérés ici parfaits. Le phénomène de traction/séparation est donc régi uniquement par des interactions normales non-linéaires, reliées à l'énergie ϕ_n . Il convient dans ce cas d'utiliser $q = 1$ et $r = 0$, tel que $T_n = f(\Delta_n)$. Dans ces conditions, le potentiel d'interface devient :

$$\Psi(\Delta_n, \Delta_t) = \phi_n - \phi_n \left[1 + \frac{\Delta_n}{\delta_n} \right] \exp\left(\frac{-\Delta_n}{\delta_n}\right) \exp\left(-\frac{\Delta_t^2}{\delta_t^2}\right) \quad (50)$$

La Figure V.1 suivante illustre le comportement du potentiel $\Psi(\Delta_n, \Delta_t)$ et des tractions normale et tangentielle dans les modes de fracture I et II [Park-Paulino'11].

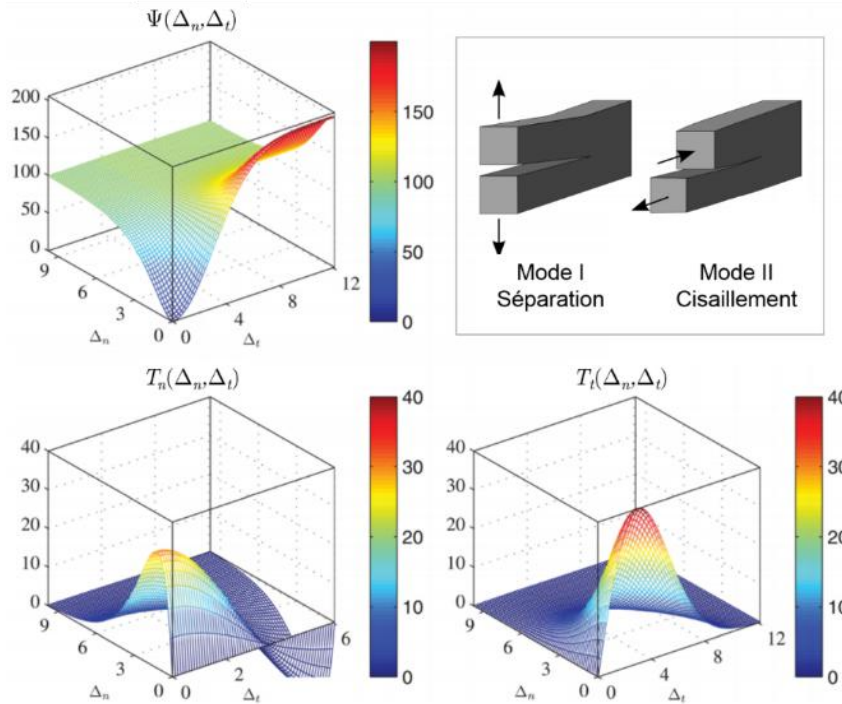


Figure V.1. Énergie potentielle $\Psi(\Delta_n, \Delta_t)$ et tractions cohésives normale $T_n(\Delta_n, \Delta_t)$ et tangentielle $T_t(\Delta_n, \Delta_t)$ pour $\phi_n = 100 \text{ J/m}^2$, $\phi_t = 200 \text{ J/m}^2$, $\sigma_{max} = 30 \text{ MPa}$, $\tau_{max} = 40 \text{ MPa}$, $r = 0$ [Park-Paulino'11].

Ainsi, le modèle d'interaction cohésive non-linéaire prédit à la fois le collage et le décollage en tenant compte des forces de cohésion agissant entre deux surfaces en fonction de la distance les séparant, comme illustré dans la Figure V.2.

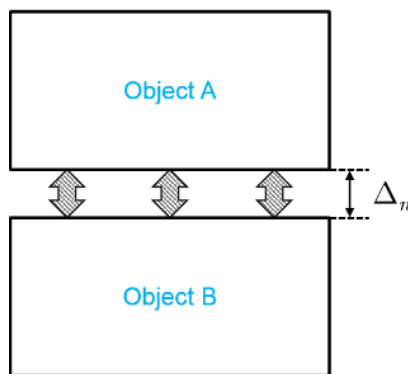


Figure V.2. Représentation schématique d'interactions non-linéaires (flèches grises) entre deux objets séparés d'une distance Δ_n .

Pour illustrer la capacité de la formulation à décrire le phénomène d'adhésion, un scénario de collage simple est d'abord considéré. Cette simulation préliminaire, décrite ci-après, consiste en la mise en contact de deux structures simples à surfaces planes afin d'illustrer le comportement du modèle d'interaction cohésive.

La structure simulée est composée de deux carrés de $1 \mu\text{m}^2$ de SiO_2 considérés uniquement élastiques. La distance initiale qui les sépare est $\Delta_n = 1 \mu\text{m}$ et la distance normale caractéristique δ_n , correspondant au moment du collage, est de 10 nm. Comme nous allons le voir, cette configuration ne permet pas d'interaction entre les éléments en SiO_2 au début de la simulation. Le module d'Young E et le coefficient de Poisson ν sont fixés à 75 GPa et 0,17 respectivement. Le collage est initié grâce au déplacement $U = 1 \mu\text{m}$ du carré supérieur vers le carré inférieur. Comme les surfaces de SiO_2 sont parfaitement planes et que le mouvement est purement vertical, seule la traction normale T_n des surfaces en interaction est considérée. La Figure V.3 montre la variation de T_n en fonction de la distance Δ_n séparant les blocs de silice.

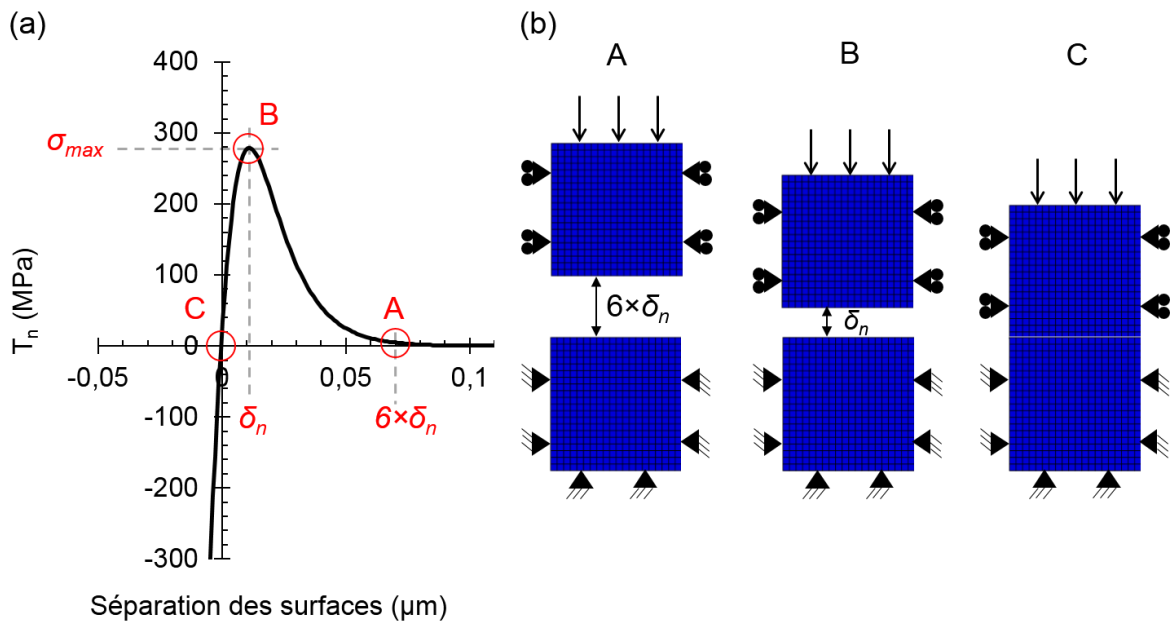


Figure V.3. (a) Traction normale T_n entre deux carrés de SiO_2 en fonction de la distance qui les sépare, avec $\delta_n = 10 \text{ nm}$ et $\sigma_{max} = 280 \text{ MPa}$. (b) Représentation schématique du mouvement des éléments et des conditions limites.

Nous pouvons clairement voir que les surfaces commencent à interagir lorsque Δ_n est proche de $6 \times \delta_n$. La valeur maximale de T_n est obtenue quand $\Delta_n = \delta_n$ et correspond à la valeur σ_{max} , fixée à 280 MPa de manière arbitraire dans cet exemple. Bien que la valeur d'énergie de collage ϕ_n ne corresponde à aucune réalité physique dans cet exemple, nous pouvons la calculer à l'aide de l'équation (49) dans le mode normal et des valeurs de δ_n et σ_{max} :

$$\phi_n = \sigma_{max} e \delta_n = 280.10^6 \times e^1 \times 10.10^{-9} = 7,61 \text{ J/m}^2 \quad (51)$$

Une fois les deux surfaces en contact, le système se trouve dans un puits de potentiel au-delà duquel la traction normale T_n agit comme une force répulsive empêchant les deux blocs de s'interpénétrer.

V.3 Modélisation du collage direct

Dans cette partie, nous donnons une description complète de la structure 2D utilisée pour simuler le collage direct de deux surfaces hybrides Cu-SiO₂ ainsi que les déplacements et champs thermiques appliqués. Les paramètres physiques de tous les matériaux sont également donnés, incluant une étude paramétrique du modèle élasto-plastique utilisé pour le cuivre. Enfin, une estimation des paramètres δ_n et σ_{max} du modèle d'interaction cohésive est proposée à l'aide de valeurs d'énergie de collage obtenues expérimentalement.

V.3.1 Description de la simulation

Comme nous l'avons vu dans les chapitres I et II, la principale étape de fabrication des lignes de cuivre est basée sur le procédé damascène, incluant les étapes de lithographie, de gravure du SiO₂, de dépôt de la barrière en TiN et du Cu et enfin de polissage par CMP. En raison de la vitesse d'abrasion supérieure du cuivre par rapport à celle du SiO₂, la surface des lignes de cuivre a une forme parabolique, couramment observée et appelée *dishing effect* en anglais [Chang'05]. Cette incurvation est caractérisée dans notre étude par le paramètre h , représentant la différence de hauteur maximale entre la surface plane du SiO₂ et le centre de la ligne de cuivre.

Pour un collage parfaitement aligné de telles surfaces, un espace équivalent à deux fois la distance h est formé au centre des lignes, comme le montre la Figure V.4. La mise en contact intime des surfaces de cuivre est alors possible grâce à la dilatation thermique de ce dernier lors du recuit post-collage. Il faut pour cela que les dimensions de la ligne de cuivre et la température de recuit provoquent une dilatation verticale d'une valeur égale ou supérieure à h .

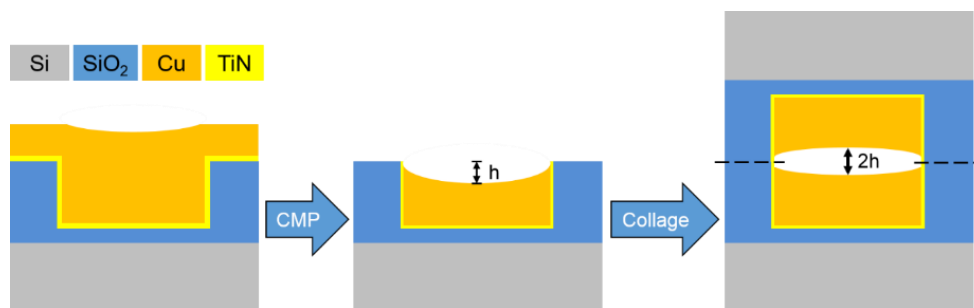


Figure V.4. Représentation schématique en coupe d'une ligne de cuivre (gauche) après dépôt par ECD, (milieu) après CMP et (droite) après collage. L'incurvation de la surface du cuivre est induite par le procédé de CMP et est défini par la hauteur h au centre de la ligne.

En première approximation, du point de vue du cuivre, la matrice de SiO₂ peut être considérée comme indéformable du fait de ses dimensions et de son module d'Young plus élevés. De cette façon, la dilatation thermique du cuivre ne peut se produire que dans la direction normale à la surface libre. L'amplitude de cette déformation verticale peut être estimée en utilisant la relation de dilatation unidimensionnelle qui relie la déformation linéaire à la variation de température subie par l'échantillon de cuivre :

$$dl = L_0\alpha(T_1 - T_0) \quad (52)$$

où dl est l'allongement, L_0 l'épaisseur initiale du cuivre, α le coefficient de dilatation linéaire valant 16,5 ppm/K pour le cuivre et T_0 et T_1 la température initiale et finale respectivement.

Il apparaît que pour une structure et une température de recuit données, la déformation dl est limitée par le coefficient α et peut donc être insuffisante pour compenser un écart $2h$ trop important entre les surfaces de cuivre. Par exemple, une ligne de 500 nm d'épaisseur subissant un recuit à 400 °C aura une dilatation verticale maximale d'environ 3,14 nm.

Par ailleurs, une étude précédente portant sur des simulations thermomécaniques en deux dimensions de plots de cuivre circulaires recuits à 400 °C a montré une relation entre le rayon de la structure et l'amplitude de la dilatation du cuivre [Di Cioccio'11]. En effet, l'étude paramétrique présentée dans la Figure V.5 indique que pour une épaisseur de cuivre supérieure à 500 nm, l'amplitude de la dilatation augmentera avec le rayon jusqu'à une valeur d'environ 20 μm pour ce dernier. Nous sommes donc en présence d'un effet de limitation de la dilatation par les bords fixes du plot de cuivre, solidaires de la matrice de SiO₂.

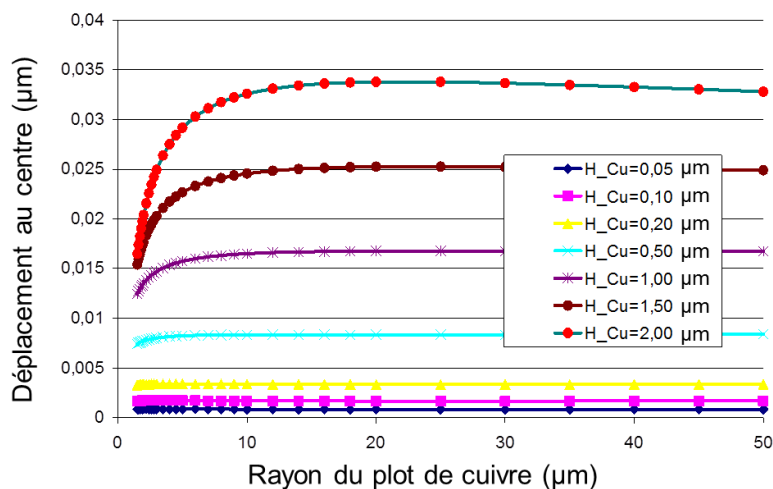


Figure V.5. Déplacement du centre d'un plot de cuivre circulaire en fonction de son rayon et de son épaisseur pour un recuit à 400 °C [Di Cioccio'11].

Ces calculs préliminaires montrent que l'optimisation de l'étape de polissage doit tenir compte à la fois de la largeur et de l'épaisseur du motif de cuivre pour obtenir une incurvation autorisant la fermeture de l'interface de cuivre au cours du traitement thermique. Cependant, des simulations plus poussées doivent être conduites afin d'estimer si d'autres paramètres entrent en jeu dans la compensation de l'écart $2h$ dans le cadre d'un collage de deux lignes de cuivre creusées.

Notre étude vise notamment à étudier l'influence de la température de recuit et celle des interactions cohésives sur la fermeture de l'interface de Cu/Cu. Toutes les géométries simulées se composent d'une distribution périodique de deux parties symétriques (Figure V.6(a)), chacune comprenant une ligne de cuivre de 10 μm de largeur et 500 nm d'épaisseur. Cela correspond aux dimensions ciblées par l'industrie de la microélectronique pour le cuivre du niveau de collage, dans le cadre des futurs dispositifs 3D. Le cuivre, entouré d'une couche de 20 nm d'épaisseur de TiN, est placé au centre d'une couche de SiO₂ de 28 μm de largeur et 800 nm d'épaisseur, elle-même située sur une couche de Si de 5 μm d'épaisseur. Suivant les cas de figures, l'incurvation du cuivre a une amplitude de 15 ou 20 nm, dont sa forme elliptique est basée sur des caractérisations de surfaces hybrides Cu-SiO₂ ayant une densité de cuivre de 20 %.

La simulation se déroule en trois étapes principales (Figure V.6(b)). La première étape t_1 consiste en l'approche de la partie supérieure vers la partie inférieure, dont la séparation initiale est de $U_0 = 1 \mu\text{m}$, afin d'initier le collage à température ambiante. À l'issue de cette étape, seules les surfaces de SiO₂ sont en contact, les surfaces de cuivre étant en retrait. Au cours de la seconde étape t_2 , la température augmente jusqu'à 200 ou 400 °C suivant les cas, ce qui induit une dilatation thermique et donc la fermeture de l'interface de cuivre, en fonction des conditions initiales. Enfin, l'ensemble est refroidi jusqu'au retour à température ambiante $T_{amb} = 20 \text{ °C}$ lors de la dernière étape t_3 .

En ce qui concerne les conditions limites, le bord bas de la partie inférieure reste à sa position initiale pendant toute la simulation et un déplacement uniforme U est imposé sur le bord haut de la partie supérieure (Figure V.6(c)). Une symétrie le long de l'axe x est choisie pour les bords latéraux des deux pièces, résultant en une distribution périodique de la géométrie. En considérant que l'épaisseur typique d'une plaque de Si est de 725 μm , ce qui est nettement plus épais et donc plus rigide que les couches de Cu et de SiO₂, le bord haut de la partie supérieure est maintenu fixe à la fin du collage et pendant le recuit, correspondant respectivement aux étapes t_2 et t_3 . Les dimensions de l'ensemble simulé, les conditions limites et les étapes de chargements utilisées dans cette étude sont résumés dans la Figure V.6.

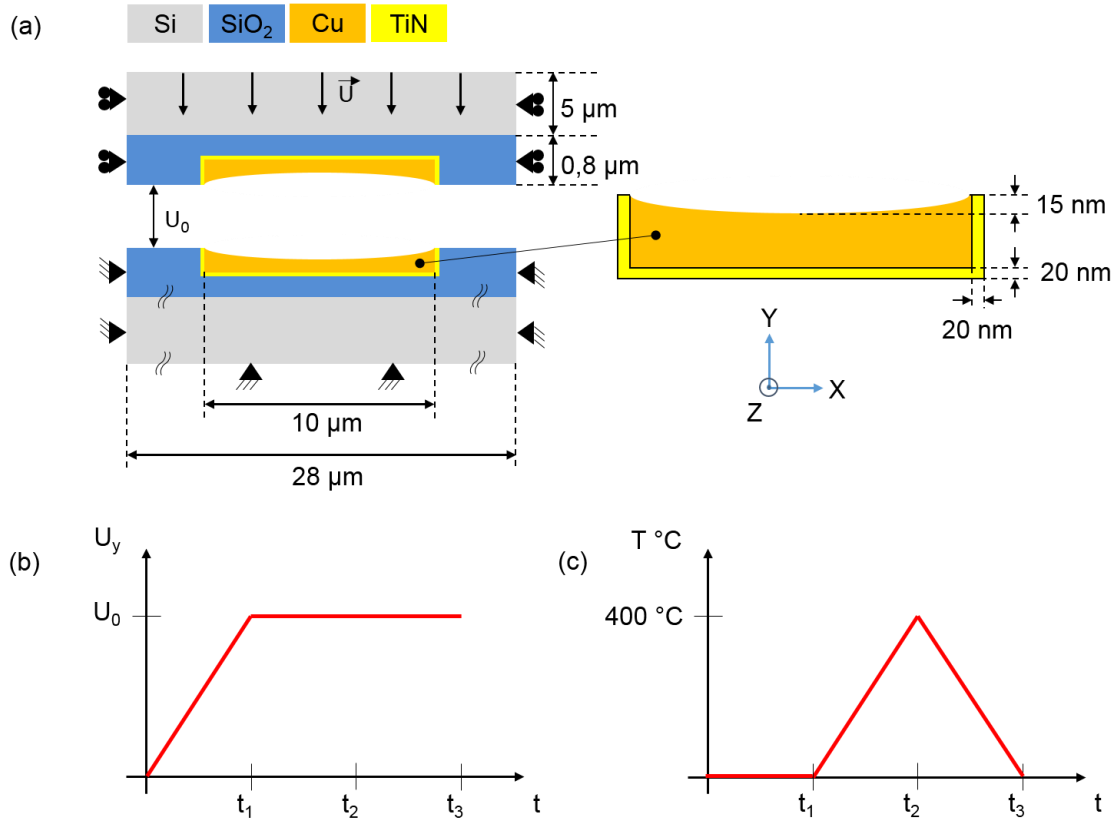


Figure V.6. (a) Géométrie et dimensions de l'ensemble simulé. (b)(c) Déplacement imposé sur la partie supérieure et variation de température en fonction des étapes de la simulation, incluant le collage (t_1), le recuit (t_2) et la descente à température ambiante (t_3).

V.3.2 Comportement mécanique du cuivre

Tous les matériaux de notre modèle sont considérés comme élastiques linéaires et isotropes sauf le cuivre. La réponse du cuivre aux chargements thermiques et mécaniques est en effet décrite par le modèle plastique Armstrong-Frederick avec une contribution d'écrouissage cinématique et isotrope. Le but est de tenir compte du comportement typique de ce métal, notamment de l'effet Rochet sous chargement répété. La description de cette plasticité indépendante du temps repose sur la fonction de charge f définie comme

$$f(X, p, \sigma) = (\overline{\sigma - X}) - R(p) - \sigma_Y \quad (53)$$

où σ désigne le tenseur des contraintes de Cauchy, X est le tenseur cinématique d'ordre 2 représentant l'écrouissage cinématique, $(\overline{\sigma - X})$ la contrainte équivalente, $R(p)$ la variable d'écrouissage isotrope, p la déformation plastique cumulée et σ_Y la limite élastique initiale. Une réponse élastique est obtenue lorsque $f < 0$, tandis que la plasticité a lieu lorsque $f = 0$ et $\dot{f} = 0$ [Lemaitre-Chaboche'94].

La formulation de Voce pour l'érouissage isotrope est

$$R(p) = R_{\infty}(1 - e^{-bp}) \quad (54)$$

où R_{∞} et b sont des paramètres matériaux. La déformation plastique cumulée p , dénommée PEEQ dans Abaqus, est définie comme

$$p = \int_0^t \sqrt{\frac{2}{3} \varepsilon_{ij}^p \varepsilon_{ij}^p} dt \quad (55)$$

Initialement nul, le tenseur des contraintes cinématiques varie selon la formulation de Armstrong-Frederick

$$\dot{X}_{ij} = \frac{2}{3} C \dot{\varepsilon}_{ij}^p - \gamma \dot{p} X_{ij} \quad (56)$$

Les paramètres des matériaux constituant l'ensemble simulé sont rassemblés dans le Tableau V.1. Les paramètres de référence de la loi de comportement du cuivre ont été extraits de la littérature et correspondent à une feuille de cuivre disponible dans le commerce [Pietranico'09].

Une étude paramétrique portant sur la réponse contrainte-déformation est conduite pour trois types de cuivre avec différentes valeurs de σ_0 et C reportés dans le Tableau V.2. La Figure V.7 montre le résultat de ces simulations, où nous définissons σ_P comme un plateau plastique correspondant à une contrainte constante, identifié pour chaque type de cuivre comme $\sigma_P(A)$, $\sigma_P(B)$ et $\sigma_P(C)$. Comme nous pouvons le voir, la limite d'élasticité σ_0 régit l'apparition de la plasticité tandis que l'érouissage cinématique C contrôle la quantité de contrainte nécessaire pour atteindre σ_P . L'influence de la réponse plastique du cuivre sur le procédé de collage sera étudiée de manière approfondie dans la partie V.5.

Tableau V.1. Paramètres thermomécaniques des matériaux simulés.

Propriétés	Symbole	Cu	SiO ₂	Si	TiN
Module d'Young	E (GPa)	120	75	150	500
Coefficient de Poisson	ν	0,34	0,17	0,28	0,25
Coefficient de dilatation thermique	α (ppm/K)	16,5	0,5	2,6	9,35
Limite d'élasticité	σ_0 (MPa)	180	-	-	-
Écrouissage cinématique	C (MPa)	602600	-	-	-
Gamma	γ	2300	-	-	-
Q-infini	Q (MPa)	30	-	-	-
Paramètre d'écrouissage	b	100	-	-	-

Tableau V.2. Limite d'élasticité σ_0 et écrouissage cinématique C choisis pour l'étude paramétrique de la réponse plastique du cuivre.

	Type de cuivre		
	A	B (référence)	C
σ_0 (MPa)	30	180	600
C (MPa)	602	602600	602600

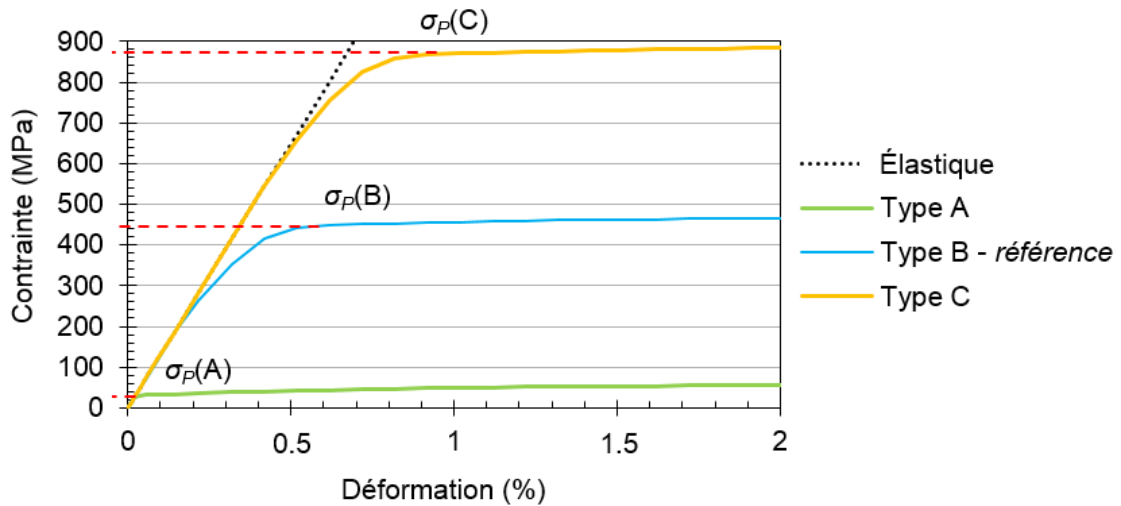
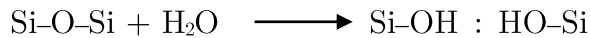


Figure V.7. Réponse contrainte-déformation lors d'une traction uni-axiale pour les trois types de cuivre décrits dans le Tableau V.2. Les paramètres $\sigma_p(A)$, $\sigma_p(B)$ et $\sigma_p(C)$ correspondent aux valeurs de contraintes pour lesquelles le régime plastique stationnaire est atteint.

V.3.3 Estimations des paramètres δ_n et σ_{max} du modèle d'interactions cohésives

Comme le modèle d'interactions cohésives a pour but de simuler les interactions entre deux surfaces planes, la valeur du paramètre δ_n est fixée arbitrairement à 1 nm pour les deux interfaces SiO₂/SiO₂ et Cu/Cu. Cette valeur conduit à une distance de $6 \times \delta_n = 6$ nm au-delà de laquelle deux surfaces n'interagissent plus entre elles. Cette distance approximative est cohérente avec celle obtenue dans les calculs atomistiques, à l'instar de l'étude de Kubair *et al.* [Kubair'07]. Une valeur spécifique de σ_{max} doit quant à elle être déterminée pour chaque interface, basée sur des mesures d'énergies d'interfaces de collage SiO₂/SiO₂ et Cu/Cu reportées dans la littérature.

La mesure de l'énergie de collage est généralement réalisée grâce à la technique de lame de Maszara. Celle-ci consiste en l'insertion d'une lame entre deux surfaces collées afin d'extraire l'énergie de collage à partir de la longueur de décollement. De précédentes études ont montré que les liaisons siloxanes Si–O–Si à l'interface de collage, déjà fortement sollicitées par l'insertion de la lame, pouvaient être cassées par les molécules d'eau de l'air ambiant pendant la mesure de décollement [Bagdahn'03, Pukh'09]. Ce phénomène de corrosion sous contrainte [Michalske-Freiman'83] résulte en la formation de liaisons silanols selon la réaction suivante

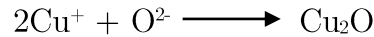


Ainsi, la conséquence directe de cette réaction chimique est une diminution de l'énergie de collage mesurée en atmosphère humide. Des études récentes ont donc été conduites en atmosphère anhydre afin d'éviter les effets de la corrosion sous contrainte et ainsi obtenir l'énergie de collage intrinsèque [Fournel'12]. Dans ces conditions, l'énergie de collage à température ambiante associée à une interface SiO₂/SiO₂ est d'environ 200 mJ/m². Dans notre cadre, cette énergie est approximée à l'énergie de décohésion ϕ_n en mode I, ce qui permet d'estimer la valeur de $\sigma_{max \text{ SiO}_2}(T_{amp})$ à 74 MPa dans le cas de l'interface SiO₂/SiO₂ à partir de

$$\phi_{n \text{ SiO}_2}(T_{amb}) = 74 \cdot 10^6 \times e^1 \times 1 \cdot 10^{-9} \approx \mathbf{200 \text{ mJ/m}^2}$$

En ce qui concerne l'énergie de collage du cuivre, des mesures ont été effectuées à température et atmosphère ambiantes, étant donné que l'interface Cu/Cu n'est pas sensible à la corrosion sous contrainte induite par la présence d'eau. Comme nous l'avons vu dans les chapitres précédents, une couche d'oxyde natif Cu₂O d'environ 4 nm d'épaisseur est présente à l'interface et est visible avant le recuit post-collage

[Gueguen'09]. Au cours du temps, du fait de la présence d'eau et d'oxygène piégés à l'interface Cu/Cu, du Cu_2O supplémentaire se forme selon la réaction



La Figure V.8 illustre ce phénomène se produisant principalement dans les cavités le long de l'interface, dont l'origine principale est la rugosité initiale des surfaces. Ce processus de croissance d'oxyde à T_{amp} mène à un élargissement des zones de contact, ce qui renforce l'interface et se traduit par une augmentation de l'énergie de collage.

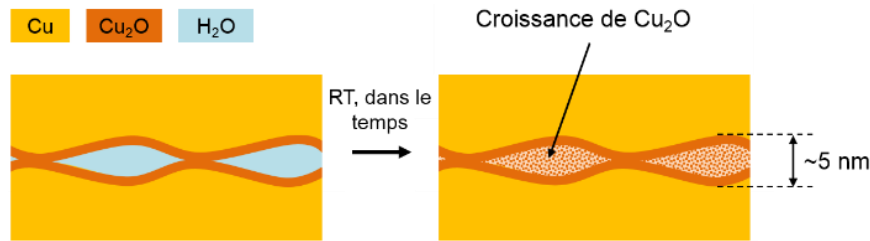


Figure V.8. Représentation schématique de la croissance de Cu_2O entre les zones de contact au sommet des aspérités, due à la présence d'eau et d'oxygène.

Il est donc crucial d'effectuer la mesure d'énergie immédiatement après le collage afin d'obtenir la valeur la plus représentative possible de l'adhésion native entre les surfaces de cuivre. Dans ces conditions, l'énergie de collage à température ambiante de l'interface Cu/Cu est d'environ 800 mJ/m^2 [Di Cioccio'11], ce qui nous permet d'estimer que $\sigma_{max \text{ Cu}} (T_{amp}) = 295 \text{ MPa}$ à partir de

$$\phi_{n \text{ Cu}}(T_{amb}) = 295 \cdot 10^6 \times e^1 \times 1 \cdot 10^{-9} \approx \mathbf{800 \text{ mJ/m}^2}$$

Comme décrit dans la section V.3.1, la surface du cuivre est incurvée à cause du sur-polissage de ce matériau durant l'étape de CMP. Au cours du traitement thermique, les structures de cuivre en vis-à-vis se dilatent, ce qui permet la création de l'interface Cu/ Cu_2O /Cu. Aussi, nous avons vu dans le chapitre IV qu'au-delà de $200 \text{ }^\circ\text{C}$, la couche d'oxyde natif Cu_2O devient instable et se réorganise en sphérules le long de la nouvelle interface Cu/Cu. Dans le même temps, la diffusion du cuivre aux joints de grains conduit à une croissance de grains à travers l'interface de collage. Initialement linéaire, cette dernière prend alors la forme de dents de scie, rappelant la structure cristalline d'un morceau de cuivre monolithique. Ce phénomène, adjoint à la formation de liaisons covalentes Cu-Cu, conduit à une augmentation significative de l'énergie de collage pendant ce recuit.

Lors de la descente à température ambiante, une contrainte de traction apparaît à l'interface de collage à cause de la compétition entre les forces cohésives entre les surfaces collées et la contraction du cuivre. Cependant, les diverses observations expérimentales reportées dans la littérature montrent que l'interface Cu/Cu est bien fermée après un recuit à 400 °C. Ce résultat indique que l'énergie de collage est suffisamment grande pour maintenir l'interface fermée malgré la contraction du cuivre.

Afin de prendre en compte dans nos simulations l'augmentation de l'énergie de collage lors du traitement thermique, et donc d'empêcher la réouverture de l'interface de collage au cours du refroidissement, les énergies ϕ_n $_{SiO_2}$ et ϕ_n $_{Cu}$ sont augmentées à la fin de l'étape de recuit en multipliant σ_{max} $_{SiO_2}$ et σ_{max} $_{Cu}$ par un facteur heuristique.

L'estimation réaliste de ce facteur est fondée sur les valeurs d'énergies de collage obtenues sur des collages pleines plaques SiO₂/SiO₂ en atmosphère anhydre et Cu/Cu, après recuits à 200 et 400 °C. Ces valeurs d'énergies sont disponibles dans la Figure V.9 et le Tableau V.3. Cependant, bien que les énergies ϕ_n $_{SiO_2}$ (200 °C) = 800 mJ/m² et ϕ_n $_{SiO_2}$ (400 °C) = 2300 mJ/m² soient accessibles directement sur la Figure V.9, le choix de l'énergie de collage Cu/Cu demande de faire une approximation, que nous expliquons ci-dessous.

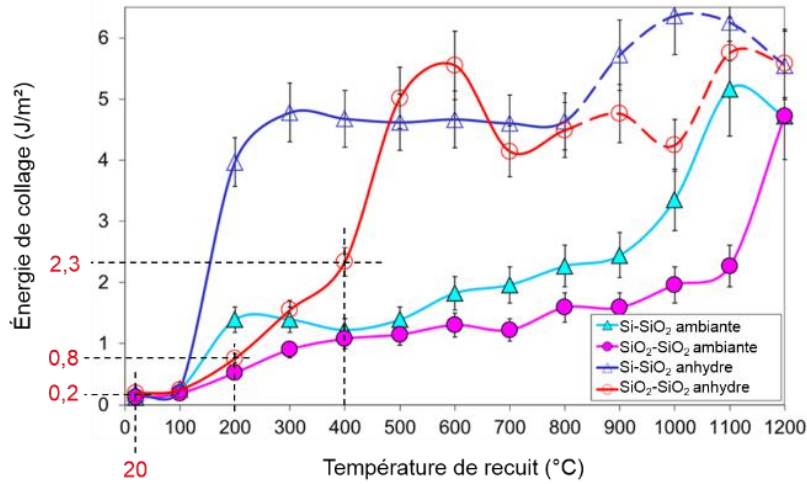


Figure V.9. Évolution de l'énergie de collage avec la température de recuit pour différents types de substrats, en atmosphères ambiante et anhydre. Les surfaces sont préparées à l'aide d'une solution chimique. Les énergies de collage SiO₂/SiO₂ après recuits à 200 et 400 °C mesurées en atmosphère anhydre sont d'environ 800 mJ/m² et 2300 mJ/m² respectivement [Fournel'12].

Le Tableau V.3 présente des données obtenues par Gueguen *et al.*, correspondant à un empilement SiO₂/TiN/Cu/Cu/TiN/SiO₂ [Gueguen'08]. Dans ce cadre, l'insertion de lame de Maszara peut induire un décollement (1) à l'interface Cu/Cu, (2) à l'interface Cu/TiN ou (3) aux interfaces Cu/Cu et Cu/TiN successivement. Contrairement aux cas

(1) et (2), le cas (3) ne permet pas une estimation de l'énergie de collage de l'interface Cu/Cu. Pour chaque température de recuit, le ratio d'ouverture pour chaque cas est indiqué en pourcentage avec l'énergie correspondante.

Nous pouvons remarquer que l'énergie de collage la plus élevée pour l'interface Cu/Cu est de 3,2 J/m² après un recuit à 100 °C. L'interface Cu/Cu étant plus forte que l'interface Cu/TiN après un recuit à 200 °C, la rupture se produit la plupart du temps dans cette dernière, ce qui donne une énergie plus faible de 1,4 J/m². Ainsi, en l'absence de valeur d'énergie de collage fiable après un recuit à 200 °C, nous considérons dans nos simulations que $\phi_{n\ Cu} (200\ ^\circ\text{C}) = \phi_{n\ Cu} (400\ ^\circ\text{C}) = 3,2\ \text{J/m}^2$.

Le Tableau V.4 regroupe les valeurs d'énergies de collage utilisées dans nos études liées aux interfaces Cu/Cu et SiO₂/SiO₂ à température ambiante et après recuits à 200 et 400 °C. Les valeurs du paramètre σ_{max} correspondantes, ainsi que les facteurs multiplicateurs heuristiques appliqués à σ_{max} pour représenter l'augmentation de l'énergie d'adhésion ϕ_n après le recuit, sont aussi indiqués.

Tableau V.3. Évolution de l'énergie de collage G , assimilée à l'énergie de fracture ϕ_n , avec la température de recuit pour un empilement SiO₂/TiN/Cu/Cu/TiN/SiO₂ [Gueguen'08].

		Interface d'ouverture et énergie associée		
		Cu/Cu	Cu/TiN	Cu/Cu puis Cu/TiN
RT	G (J/m ²)	2,8	-	-
	Échantillon	72 %	0 %	28 %
100 °C	G (J/m ²)	3,2	-	-
	Échantillon	14 %	0 %	86 %
200 °C	G (J/m ²)	-	1,4	-
	Échantillon	0 %	28 %	72 %
400 °C	G (J/m ²)	-	1,4	-
	Échantillon	0 %	57 %	43 %

Tableau V.4. Valeurs du paramètre σ_{max} du modèle d'interaction cohésive pour les interfaces SiO₂/SiO₂ et Cu/Cu en fonction de la température de recuit. Le facteur multiplicateur heuristique correspondant, appliqué à σ_{max} après le recuit, est également inclus.

Paramètres	Température de recuit		
	T_{amb}	200 °C	400 °C
$\phi_{n\ SiO_2}$ (mJ/m ²)	200	800	2300
$\sigma_{max\ SiO_2}$ (MPa)	74	295	851
Facteur multiplicateur	-	4	11.5
$\phi_{n\ Cu}$ (mJ/m ²)	800	3200	3200
$\sigma_{max\ Cu}$ (MPa)	295	1185	1185
Facteur multiplicateur	-	4	4

V.4 Simulation du procédé de collage direct

Dans cette partie, nous présentons une étude paramétrique composée de six études de cas, utilisant le scénario et la géométrie décrite dans la partie V.3.1 et représenté dans la Figure V.6. L'objectif est d'observer l'influence du modèle d'interaction cohésive, celle du comportement plastique du cuivre ainsi que celle de la température de recuit sur le procédé de collage direct.

Nous comparerons dans un premier temps l'état de fermeture de l'interface Cu/Cu au cours de la simulation dans le cas d'un modèle simple de contact unilatéral (MCU) et du modèle d'interaction cohésive (MIC), tous deux implémentés entre les surfaces de Cu et de SiO₂. Afin de mettre en exergue uniquement l'influence du modèle de contact sur le processus de collage, la réponse du cuivre sera considérée élastique linéaire. Dans un second temps, la simulation sera conduite avec un cuivre élastique linéaire et un cuivre élastique-plastique afin d'évaluer l'influence de la plasticité de cuivre dans le cas du modèle MIC. Dans chaque cas, l'incurvation initiale de la surface du cuivre sera de 15 nm, et les recuits de collage seront conduits à 200 et 400 °C séparément. Les résultats de ces simulations seront finalement discutés dans une troisième partie.

De la Figure V.10 à la Figure V.12, les principales étapes des simulation seront représentées et décrites comme suit : (a) déplacement de la partie supérieure vers le bas, sans interaction à ce stade, (b) collage à température ambiante, (c)(d)(e) augmentation de la température avec dilatation du cuivre et (f) contraction du cuivre durant la descente à température ambiante. L'ensemble de la structure étant symétrique vis-à-vis du plan vertical passant par le centre de la cellule représentative, seule la moitié de la maille élémentaire sera considérée afin d'offrir une meilleure visualisation de l'interface de collage. La légende, différente pour chaque étude de cas, représente la répartition de la composante verticale σ_{yy} de la contrainte.

Les études paramétriques de ce type sont très importantes non seulement pour mieux comprendre les mécanismes prévalant dans le procédé de collage ou la répartition des contraintes au voisinage de l'interface Cu/Cu, mais aussi pour définir des fenêtres de procédés optimisant les conditions de recuit et la géométrie d'une structure de cuivre avec une incurvation donnée.

V.4.1 Contact unilatéral (MCU) vs interactions cohésives (MIC)

Dans cette partie, les modèles MCU et MIC sont comparés au sein de quatre simulations aux conditions différentes. Le modèle MCU est un modèle simple de contact unilatéral, sans aucune force de cohésion à l'interface de collage. Il empêche les surfaces de s'interpénétrer et autorise leur séparation après le contact. Avec ce modèle, la dilatation thermique du cuivre est donc le seul mécanisme qui contribue à la fermeture de l'interface. Pour les deux configurations MCU et MIC, le comportement du cuivre

est considéré élastique linéaire et les étapes de recuit sont effectuées à 200 et 400 °C. La liste détaillée des conditions de simulation ainsi que l'état de fermeture de l'interface Cu/Cu sont donnés dans le Tableau V.5.

Tableau V.5. Conditions de simulation et résultats des quatre études de cas comparant le MCU et le MIC avec un cuivre élastique linéaire.

Cas	Figure	Modèle d'interaction	Type de cuivre	Température de recuit	Fermeture de l'interface Cu/Cu
1	V.10	MCU	Élastique	200 °C	Partielle
2	V.10	MCU	Élastique	400 °C	Complète
3	V.11	MIC	Élastique	200 °C	Complète
4	V.11	MIC	Élastique	400 °C	Complète

La Figure V.10 montre les résultats des cas n°1 et 2 utilisant le modèle MCU. En raison de l'incurvation de la surface du cuivre, les surfaces de SiO₂ sont les premières à entrer en contact dans les deux cas, comme nous pouvons le voir dans les Figure V.10(1b) et Figure V.10(2b).

Pendant le recuit à 200 °C du cas n°1, la dilatation thermique du cuivre observable sur les Figure V.10(1c), V.10(1d) et V.10(1e) ne conduit qu'à un collage partiel de l'interface Cu/Cu et induit une contrainte de compression maximale de l'ordre de 600 MPa au niveau des bords de la structure.

Dans l'étude de cas n°2, tandis que le déroulement de la simulation est comparable à l'étude de cas n°1, le recuit à 400 °C induit une dilatation du cuivre plus importante ce qui permet la mise en contact totale des surfaces en cuivre (Figure V.10(2e)). En conséquence, la contrainte de compression en bord de ligne est plus élevée dans ce cas, avec une valeur de l'ordre de 800 MPa.

Enfin, la Figure V.10(1f) et la Figure V.10(2f) montrent qu'en l'absence de toute interaction cohésive à l'interface de collage, la contraction du cuivre au cours du refroidissement à température ambiante conduit à la réouverture de l'interface Cu/Cu.

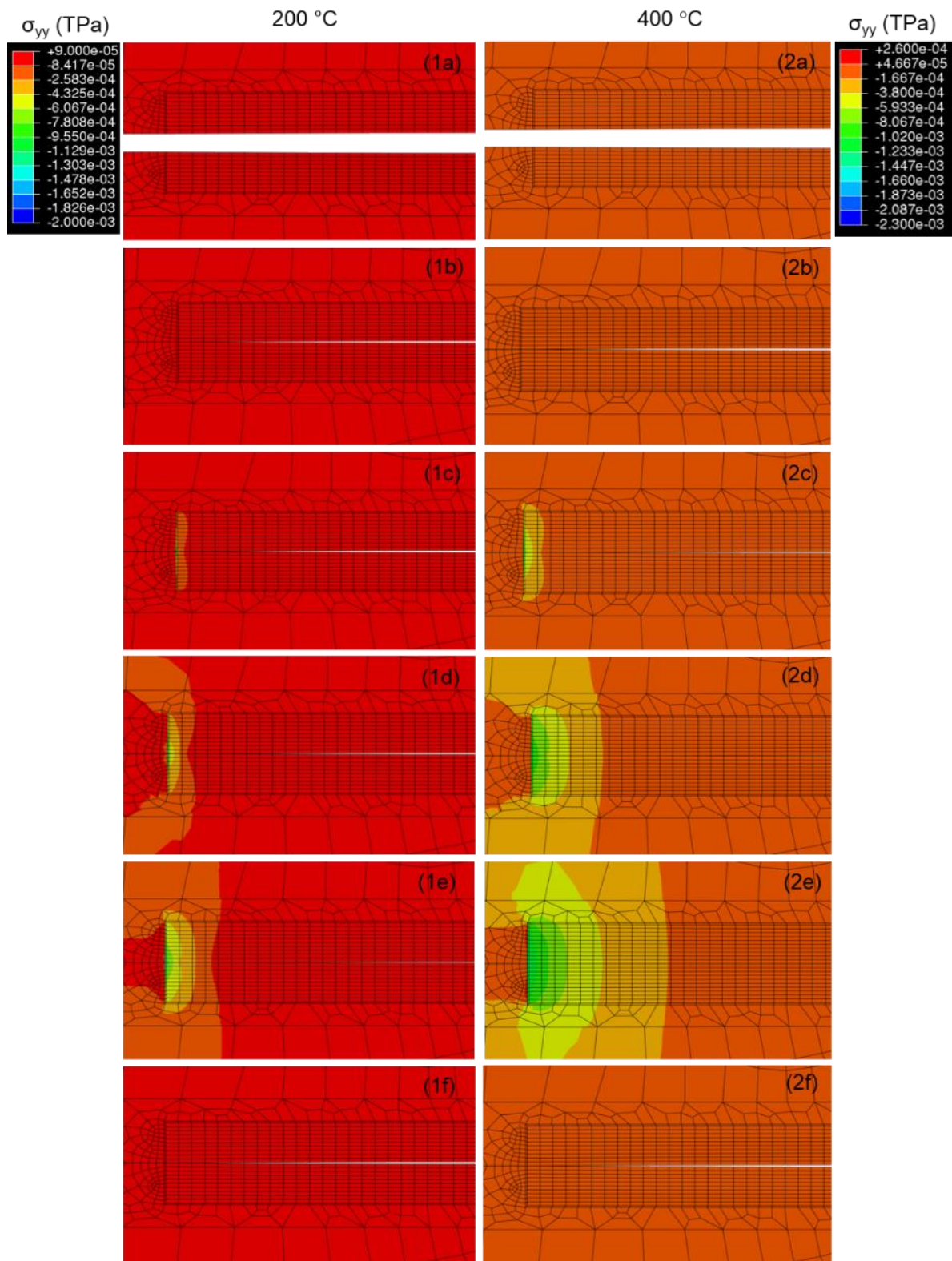


Figure V.10. Résultats des études de cas n°1 et 2 à gauche et à droite respectivement. La Figure V.10(1e) montre que les surfaces de Cu n'entrent pas entièrement en contact, laissant un espace de 15,7 nm au centre. La Figure V.10(2e) montre une interface complètement close. Les Figure V.10(1f) et V.10(2f) présentent toutes deux une interface Cu/Cu ouverte en fin de simulation.

La Figure V.11 montre les résultats des cas n°3 et 4 avec le modèle de contact cohésif MIC. À l'instar des cas n°1 et 2, le collage à température ambiante représenté sur la Figure V.11(3b) et Figure V.11(4b) est d'abord initié à l'interface SiO₂/SiO₂. Cependant, grâce aux interactions cohésives prises en compte dans le modèle MIC, une onde de collage est observable lors du recuit. Cette dernière est matérialisée par la valeur maximale de la composante σ_{yy} qui se déplace vers le centre des lignes. Ce phénomène est le résultat des forces de cohésion qui agissent entre les surfaces de Cu, dont l'approche initiale est assurée par la dilatation pendant le recuit.

Contrairement au modèle MCU, le modèle MIC joue donc un rôle important dans le processus de collage en assistant la dilatation thermique à la fermeture des surfaces de cuivre. Compte tenu de sa fermeture partielle observée précédemment dans la Figure V.10(1e) et de sa fermeture complète visible dans la Figure V.11(3e), il est clair que les interactions cohésives facilitent le collage, particulièrement pour un recuit à basse température (200 °C ici).

Il est aussi important de noter que l'interface Cu/Cu reste fermée à la fin de la simulation, en dépit de la contraction du Cu pendant le refroidissement à température ambiante (Figure V.11(3f) et Figure V.11(4f)). La compétition entre les forces cohésives et la contraction du cuivre induit une contrainte de traction au centre de l'interface de collage de l'ordre de 580 MPa et 450 MPa pour les cas n°3 et 4 respectivement.

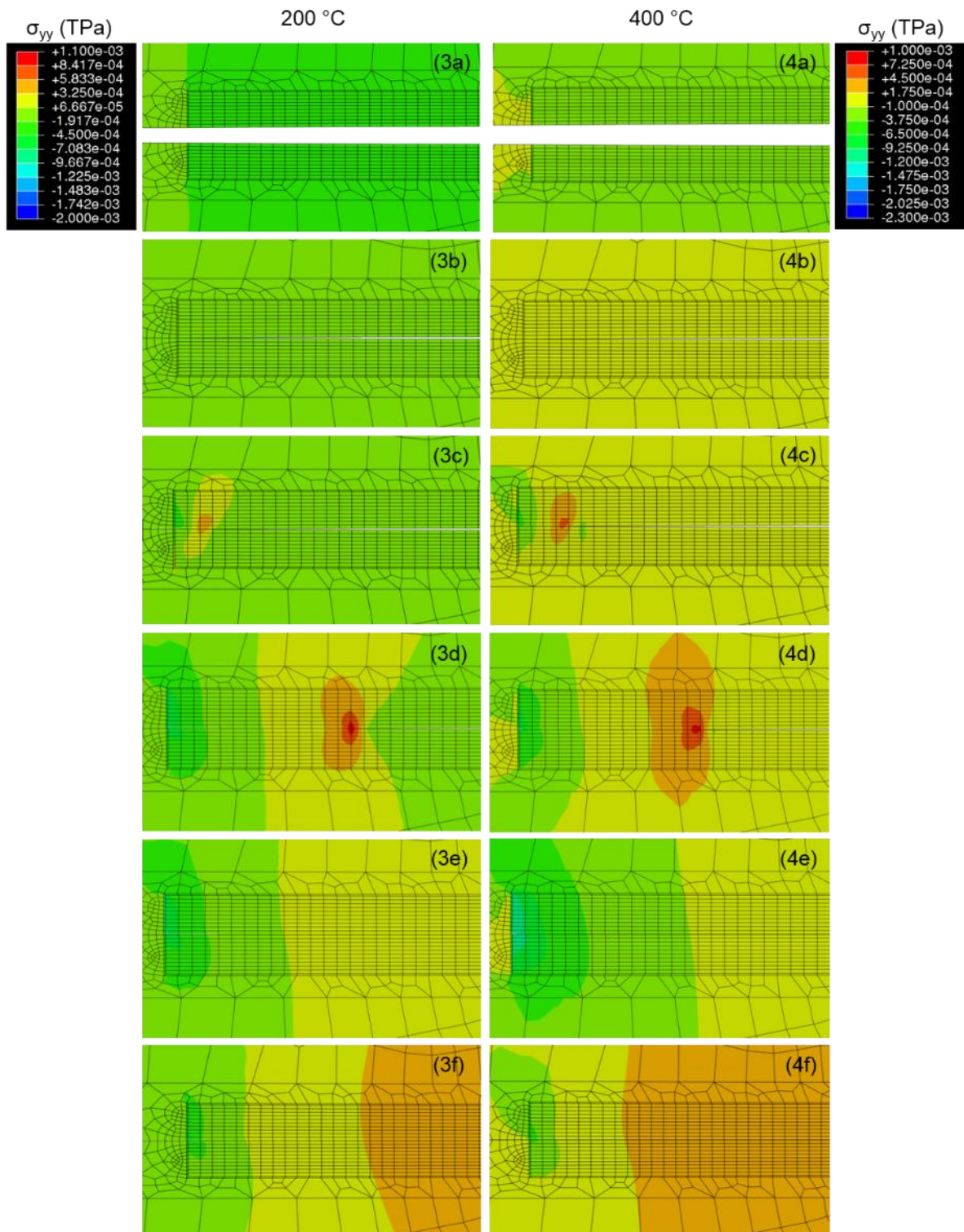


Figure V.11. Résultats des études de cas n°3 et 4 à gauche et à droite respectivement. Les Figure V.11(3f) et V.11(4f) montrent que l'interface Cu/Cu est complètement fermée même après la descente à température ambiante, ce qui induit une contrainte de traction dans la ligne.

V.4.2 Cuivre élastique vs élastique-plastique avec le modèle MIC

À partir des résultats des simulations précédentes utilisant un cuivre élastique linéaire, il apparaît que les mécanismes principaux du processus de collage sont la dilatation thermique du cuivre et les interactions cohésives entre les surfaces, prises en compte dans la description MIC. Cependant, une réponse purement élastique pour le cuivre n'étant pas réaliste, nous utilisons dans cette partie le modèle élastique-plastique afin d'évaluer son influence sur le collage avec le modèle MIC, en comparant les résultats avec les études de cas n°3 et 4. La concentration de la contrainte au voisinage du front de collage pourrait en effet engendrer une déformation plastique et ainsi modifier les résultats des simulations de collage.

Les deux études de cas présentées ci-après impliquent conjointement le modèle MIC avec le cuivre élastique-plastique de référence décrit dans le Tableau V.2 de la partie V.3.2. La liste détaillée des conditions de simulation incluant l'état de collage de l'interface Cu/Cu, ainsi que les valeurs maximales des contraintes σ_{yy} , sont répertoriées dans le Tableau V.6. Les cas n°3 et 4 y sont aussi indiqués à titre de comparaison.

Tableau V.6. Conditions de simulation et résultats des quatre études de cas comparant les cuivres élastique et élastique-plastique avec le modèle MIC.

Cas	Figure	Modèle d'interaction	Type de cuivre	Température de recuit	Fermeture de l'interface Cu/Cu	Contrainte de traction maximale	
						Front de collage	Fin de la simulation
3	V.11	MIC	Élastique	200 °C	Complète	1100 MPa	583 MPa
4	V.11	MIC	Élastique	400 °C	Complète	1000 Mpa	450 MPa
5	V.12	MIC	Élastique-plastique	200 °C	Partielle	480 MPa	610 MPa
6	V.12	MIC	Élastique-plastique	400 °C	Complète	210 MPa	411 MPa

La Figure V.12 montre les résultats des études de cas n°5 et 6. De même que pour les études n°3 et 4 utilisant le modèle MIC et un cuivre élastique, le front de collage correspondant à la concentration de contrainte maximale est clairement visible lors de l'étape de recuit. En ce qui concerne le cas n°5 recuit à 200 °C, le front de collage s'arrête avant d'atteindre le centre de l'interface et la contrainte de traction maximale

est presque deux fois plus faible que dans le cas n°3 (Figure V.12(5e)). La cause de cette diminution est la déformation plastique du cuivre au voisinage du front de collage qui écrête une partie des contraintes de traction. Par conséquent, la contribution des forces cohésives au processus de collage est réduite et seul le bord de la structure de cuivre est collé à la fin de la simulation. A cet instant, nous pouvons noter une valeur de contrainte σ_{yy} d'environ 610 MPa en raison de la compétition entre les forces cohésives et la contraction du cuivre (Figure V.12(5f)).

Malgré cet effet préjudiciable de la réponse plastique du cuivre sur la fermeture de l'interface Cu/Cu, la Figure V.12(6e) du cas n°6 indique que celle-ci est complètement fermée après l'étape de recuit. Cela est principalement dû au recuit à 400 °C qui permet une dilatation thermique suffisante pour amener les surfaces de cuivre en contact intime. En fin de simulation, la contrainte de traction maximale est d'environ 410 MPa, légèrement inférieure aux 450 MPa observés dans l'étude de cas n°4. Un fois encore, ce résultat peut être expliqué par la déformation plastique du cuivre qui permet de dissiper une partie des contraintes au centre de l'interface.

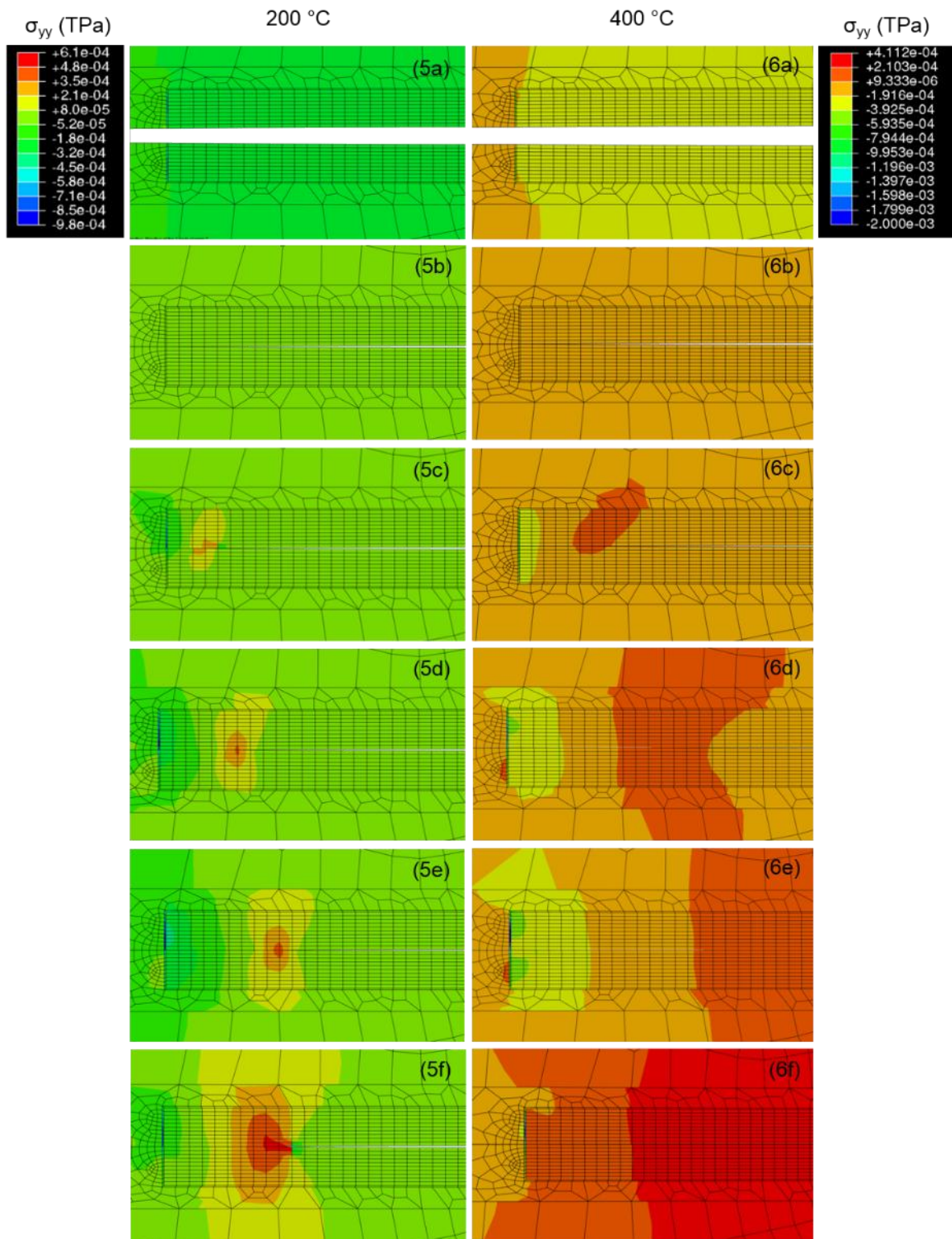


Figure V.12. Résultats des études de cas n°5 et 6 à gauche et à droite respectivement. La Figure V.12(5f) montre que l'interface Cu/Cu est partiellement fermée après le recuit à 200 °C. La Figure V.12(6f) montre quant à elle que l'interface Cu/Cu est complètement fermée après le recuit à 400 °C.

V.4.3 Discussion

Toutes les études expérimentales menées sur le collage direct hybride Cu-SiO₂ reportées dans la littérature montrent que deux surfaces de cuivre mises en contact par dilatation thermique reste collées après le retour à température ambiante. Cependant, dans le cadre des simulations utilisant le modèle MCU, l'interface Cu/Cu formée durant le palier à 200 ou 400 °C s'ouvre de nouveau pendant le refroidissement, comme observable dans les Figure V.10(1f) et V.10(2f). Ce comportement est dû à l'absence de toute force de cohésion à l'interface capable de s'opposer à la contraction du cuivre. Cela confirme la nature simpliste du modèle de contact unilatéral, incapable de reproduire les observations expérimentales.

Dans le même temps, le modèle MIC offre un cadre plus réaliste en raison des interactions cohésives prises en compte entre les surfaces. Les études de cas n°3 et 4 démontrent la présence d'une onde de collage, mise en évidence par la composante σ_{yy} de la concentration de contraintes, permettant d'attirer les surfaces de Cu l'une vers l'autre. Ce phénomène a une action bénéfique sur la qualité de collage dans le cas d'un cuivre élastique linéaire, particulièrement pour un recuit à basse température (voir étude de cas n°3). De plus, dans toutes les études de cas utilisant le modèle MIC, l'interface de collage reste fermée à la fin de la simulation, grâce aux interactions cohésives gardant les surfaces en contact malgré la contraction du cuivre.

Toutefois, en comparant les résultats obtenus avec les modèles élastiques et élastique-plastique pour le cuivre, il apparaît que ce dernier atténue la contribution du modèle MIC au processus de collage. La déformation plastique du cuivre induite par les forces cohésives lors du collage réduit en effet la contrainte de traction maximale au niveau du front de collage. Par conséquent, à température de recuit égale, l'interface Cu/Cu est moins fermée dans le cas d'un cuivre élastique-plastique par rapport à un cuivre élastique. Nous pouvons prendre comme exemple les études de cas n°3 et 5, dont les Figure V.11(3f) et V.12(5f) montrent des interfaces complètement et partiellement fermées respectivement. La déformation plastique du cuivre à l'échelle macroscopique semble donc avoir un effet préjudiciable sur la qualité de collage.

En outre, nos résultats confirment que lors du retour à température ambiante, la compétition entre les forces cohésives à l'interface Cu/Cu et la contraction du cuivre provoque des contraintes de traction dans le cuivre. Or, les contraintes mécaniques sont connues pour favoriser la migration de lacunes le long des joints de grains et des imperfections cristallines. Par conséquent, les résultats obtenus en fin de simulations appuient l'hypothèse faite dans le chapitre IV, identifiant les contraintes thermomécaniques à l'interface Cu/Cu comme sources de germination de cavités à cet endroit et aux interfaces faibles, telle que l'interface Cu/TiN. Ainsi, même s'il est possible de coller deux lignes de 10 µm de largeur ayant une incurvation initiale de

15 nm, il reste préférable de limiter autant que faire se peut le sur-polissage du cuivre afin de réduire les contraintes de traction à la fin de l'étape de recuit et ainsi limiter la nucléation de cavités.

La réponse mécanique du cuivre semble avoir une influence notable sur la contribution des interactions cohésives et donc sur la qualité du collage. Ainsi, prévenir la déformation plastique du cuivre au voisinage de l'interface de collage devrait favoriser la propagation de l'onde de collage et donc offrir une plus grande surface de cuivre collée. La cinquième et dernière partie de ce chapitre portera sur des études paramétriques permettant de confirmer cette tendance grâce à l'étude de l'influence des propriétés plastiques du cuivre sur la fermeture de l'interface.

V.5 Influence du comportement élastique-plastique du cuivre

La partie précédente fut consacrée à l'étude de l'influence du MIC, de la réponse plastique du cuivre et de la température de recuit sur la fermeture de l'interface Cu/Cu. À présent, le but de cette partie est de mieux comprendre l'influence de la valeur des paramètres plastiques du cuivre sur le processus de collage. Pour ce faire, une série d'études paramétriques est conduite afin d'établir une relation entre la limite d'élasticité σ_0 , la contrainte σ_P correspondant au domaine plastique stationnaire du cuivre, l'écroutissage cinématique C et la proportion de surface collée.

Pour ce faire, une visualisation rapide de la forme finale de l'interface de collage en fin de simulation est obtenue en calculant la distance normale entre les surfaces de cuivre $\Delta y_{cuivre}(x)$, en fonction de la position x dans la largeur de la ligne. Cette valeur est ensuite normalisée par rapport à l'espacement initial $2h$ tel que

$$\Delta y_{cuivre}(x)/2h = (y_{haut}(x) - y_{bas}(x))/2h \quad (57)$$

Dans toutes les études paramétriques, le recuit est effectué à 400 °C et chacune des surfaces de cuivre a une incurvation nouvelle de $h = 20$ nm afin de rendre le contact entre les surfaces plus difficile. Cela permet d'accentuer l'influence de chaque paramètre et la différence de résultats entre les études de cas décrites ci-dessous.

La première étude compare les résultats de simulations utilisant un cuivre élastique linéaire et le cuivre élastique-plastique de type B, dit de référence, décrit dans le Tableau V.2 de la partie V.3.2, d'abord avec le modèle MCU, puis avec le modèle MIC. Dans le premier cas, le modèle MCU est configuré pour ne pas autoriser la séparation des surfaces après contact afin d'évaluer la quantité de surface collée à la fin de la simulation. Aussi, seule la dilatation thermique est responsable de la mise en contact des surfaces, ce qui permet d'évaluer l'influence du modèle du cuivre sur ce phénomène.

La Figure V.13 montre la distance qui sépare les surfaces de cuivre à la fin des

simulations pour les configurations suivantes : MCU et cuivre élastique, MCU avec cuivre élastique-plastique de type B, MIC avec cuivre élastique et MIC avec cuivre élastique-plastique de type B. Les résultats montrent que l'interface Cu/Cu est partiellement fermée dans tous les cas, avec de fortes variations selon le modèle d'interaction et de cuivre employé.

Nous pouvons tout d'abord remarquer que la quantité de cuivre collé et l'écart $\Delta y_{\text{cuivre}}(x)$ sont identiques lorsque le modèle MCU est utilisé avec les deux types de cuivre (courbes rouge et noire en pointillés). Le modèle MIC permet quant à lui d'obtenir une plus grande surface de cuivre collée par rapport au modèle MCU (courbes rouge et noire en plein). Cela confirme les observations faites dans la partie précédente avec une incurvation du cuivre de 15 nm, à savoir que les forces de cohésion assistent notablement le collage.

Cependant, il faut noter que le cuivre élastique linéaire offre une surface de cuivre collé plus importante et un écart $\Delta y_{\text{cuivre}}(x)$ globalement plus faible que pour le cas avec le cuivre élastique-plastique. La dilatation thermique étant la même pour les deux types de cuivre, ce résultat est donc uniquement lié à la capacité du matériau à se déformer plastiquement sous l'effet des forces cohésives et de la concentration de contrainte au voisinage du front de collage.

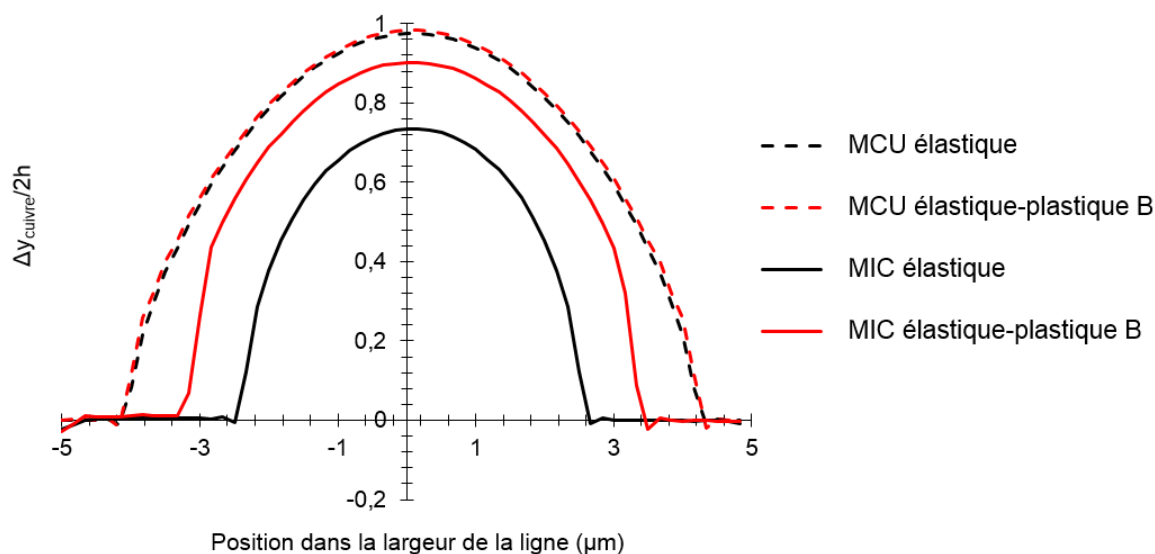


Figure V.13. Tracé de la distance séparant les surfaces de cuivre en fonction de la position dans la largeur de la ligne de cuivre, pour différentes configurations de simulation. Le cuivre élastique offre une surface de cuivre collée supérieure.

Afin d'étudier davantage l'influence des paramètres plastiques du cuivre sur la fermeture de l'interface et la quantité de cuivre collé, la deuxième étude de cas consiste en une comparaison des configurations suivantes : MIC avec cuivre élastique-plastique

de type A et MIC avec cuivre élastique-plastique de type C. A l'instar de la Figure V.13, la Figure V.14 représente la distance séparant les surfaces de cuivre en fonction de la position dans la largeur de la ligne à la fin de la simulation. Les courbes correspondant aux cas élastique et élastique-plastique de type B de l'étude précédente sont également incluses à titre de comparaison (lignes pointillées).

La différence de résultats obtenus selon la configuration démontre une corrélation apparente entre les propriétés du cuivre et la quantité de surface collée à la fin de la simulation. La simulation réalisée avec le cuivre de type C possède en effet une surface collée plus grande que celle réalisée avec le cuivre de type A. De plus, le meilleur résultat est encore obtenu avec le cuivre élastique linéaire. En sachant que le domaine de plasticité $\sigma_P(C)$ est plus élevé que le domaine $\sigma_P(A)$, ces résultats confirment que faciliter la plasticité du cuivre en abaissant les valeurs de σ_0 et C est préjudiciable pour la qualité de collage de surfaces creusées.

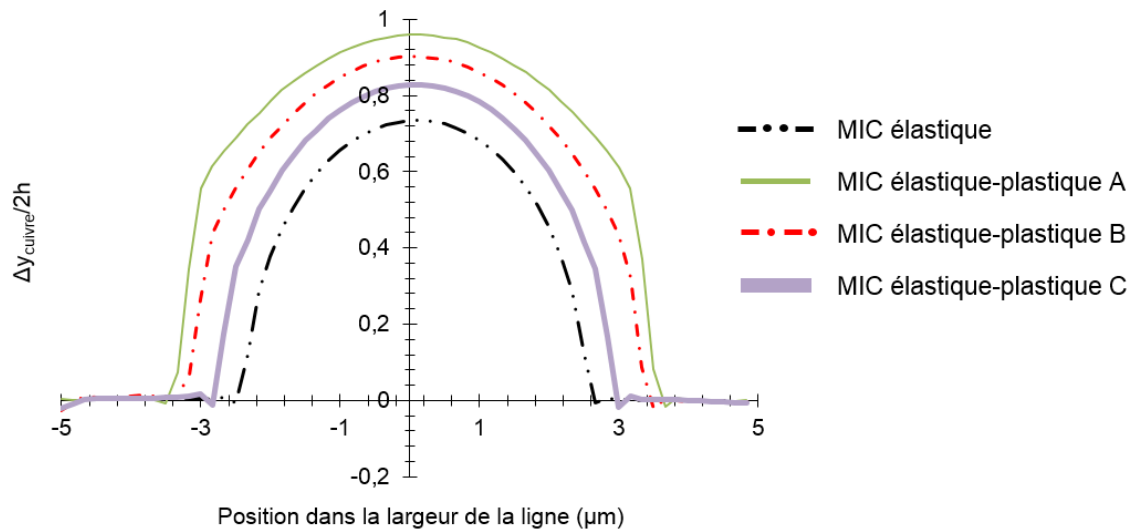


Figure V.14. Tracé de la distance séparant les surfaces de cuivre en fonction de la position dans la largeur de la ligne de cuivre, pour différents types de cuivres. Un domaine de plasticité bas offre une surface de cuivre collé plus faible.

Ces phénomènes peuvent être expliqués en mettant en relation les propriétés plastiques du cuivre et l'amplitude de la traction normale T_n appliquée à l'interface de collage. Pour $T_n > \sigma_P$, le cuivre se déforme plastiquement au voisinage de l'interface Cu/Cu. Lorsque que ce phénomène a lieu, le niveau de contrainte est écrêté et il devient plus difficile d'atteindre la contrainte σ_{max} . Par conséquent, l'onde de collage s'arrête plus tôt pour un cuivre pouvant se déformer plastiquement vis-à-vis d'un cuivre élastique linéaire, du fait de l'impossibilité de surmonter la traction maximale σ_{max} pour coller les surfaces.

L'apparition et l'amplitude de la déformation plastique sont exacerbées dans le cas

de la loi de comportement du cuivre A, présentant un niveau de contrainte correspondant à un comportement élastique-plastique parfait le plus petit parmi les trois cas considérés. En revanche, lorsque $T_n < \sigma_p$, aucune déformation plastique n'est possible et nous nous trouvons donc dans le cas d'un cuivre élastique, dont les interactions cohésives contribuent pleinement à amener les surfaces de cuivre en contact.

Dans la suite de cette partie, la répartition de la déformation plastique et son amplitude sont évaluées quantitativement pour les trois types de cuivre, pendant l'étape de collage avec un traitement thermique à 200 °C. Pour ce faire, la déformation plastique équivalente PEEQ et sa variation au cours du collage sont étudiées.

La Figure V.15 représente la répartition de PEEQ dans la géométrie simulée pour les trois types de cuivre, à trois étapes différentes du collage. En complément de ces résultats, les valeurs de PEEQ au niveau du front d'onde de collage sont données pour chaque étape dans la Figure V.16. Ces trois étapes, décrites ci-après, ont été choisies pour leur importance dans le processus de collage, ce qui permet d'identifier facilement les différences de comportement entre chaque type de cuivre.

La première étape S_1 correspond au début du recuit, au cours duquel le front d'onde de collage commence à se déplacer vers le centre des lignes de cuivre. Alors que le cuivre élastique-plastique de type A voit sa déformation plastique concentrée principalement au voisinage de l'interface de collage, les deux autres types de cuivre ne subissent pas de déformation plastique.

Les deuxième et troisième étapes S_2 et S_3 représentent respectivement la fin de l'étape de recuit et la fin de la descente à température ambiante. La déformation plastique, répartie le long de l'interface de collage, apparaît alors pour les cuivres de types B et C. À l'étape S_2 , les forces cohésives permettant le collage des surfaces induisent des valeurs maximales de PEEQ d'environ 6,5, 4,5 et 1,2 % pour les cuivres de types A, B et C respectivement. Lors de l'étape S_3 , sous l'effet de la contraction du cuivre et des forces cohésives gardant les surfaces collées, les valeurs maximales de PEEQ augmentent pour atteindre 12,6, 9,5 et 4,9 % pour les cuivres de types A, B et C respectivement.

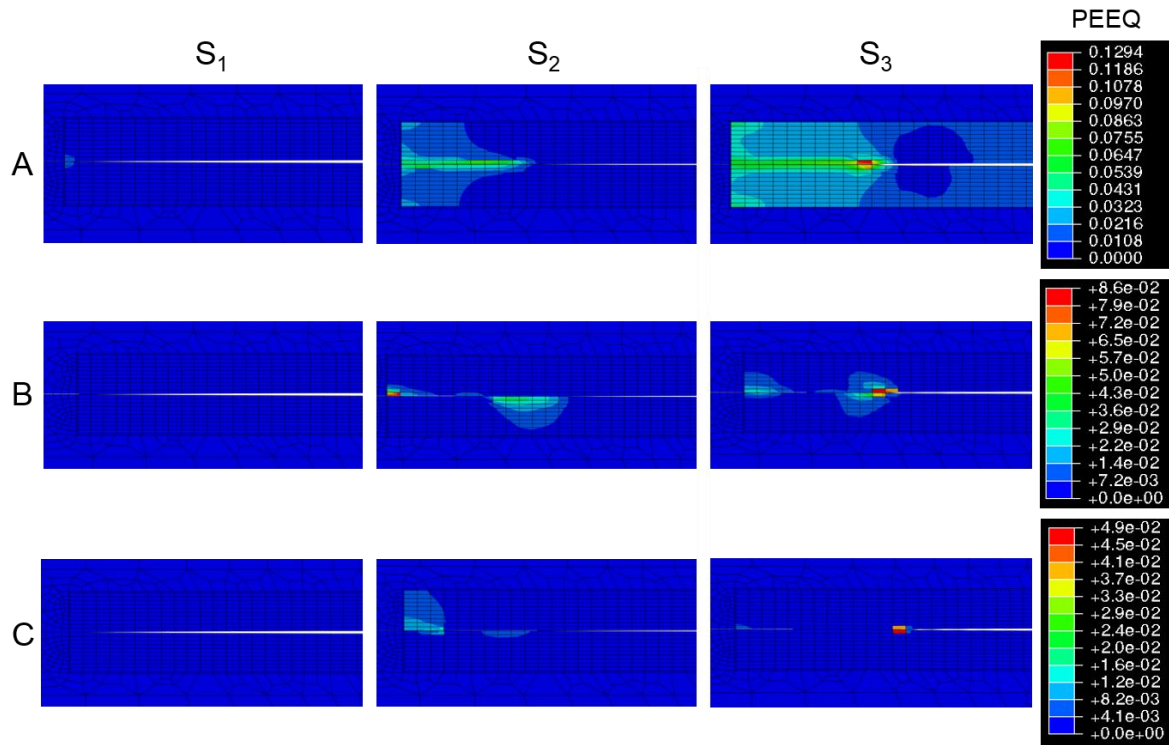


Figure V.15. Répartitions de la déformation plastique équivalente PEEQ pour les cuivres de types A, B et C observées au début du recuit (S_1), à la fin du recuit (S_2) et à la fin de la descente à température ambiante (S_3). Nous pouvons remarquer que l'augmentation de la surface collée est corrélée avec l'augmentation des paramètres σ_0 et C , et ainsi du plateau σ_p (cf. Figure V.7). Nous attribuons l'asymétrie des zones de contrainte au maillage et à la courbure des surfaces.

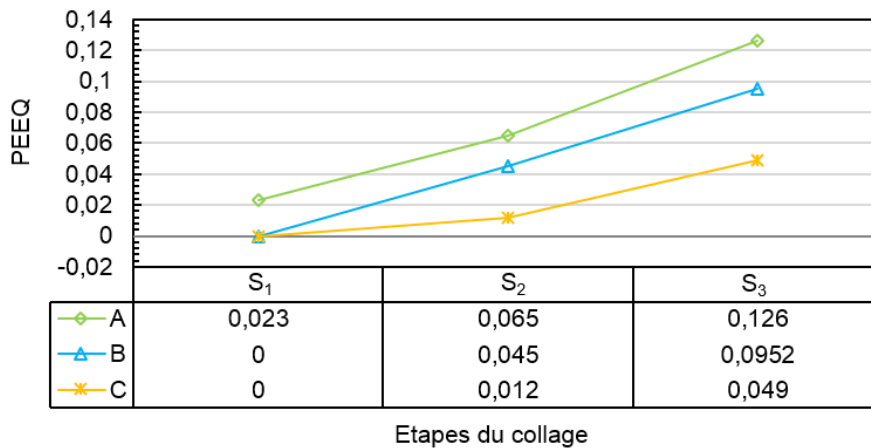


Figure V.16. Comparaison de la variation de PEEQ au niveau du front d'onde de collage pour les trois étapes S_1 , S_2 et S_3 . Le cuivre de type A remplissant la condition $T_n > \sigma_P(A)$, la déformation plastique se produit dès le début du collage (ligne verte). Pour les deux autres types de cuivre, la déformation plastique a lieu seulement au cours de la deuxième étape, principalement induite par les forces cohésives à l'interface. Dans tous les cas, la contraction du cuivre au cours de la dernière étape provoque des contraintes de traction à l'interface de collage et donc une augmentation de la déformation plastique cumulée.

Finalement, en comparant les images de l'interface de collage prises lors de l'étape S₃ dans la Figure V.15, nous pouvons constater un gain de surface collée d'environ 20 % entre les cuivres de types A à C. La relation entre la déformation plastique et la surface de cuivre collée est donc clairement établie, de sorte que plus le domaine de plasticité σ_P est bas, plus la déformation plastique induite par le front de collage sera importante et moins grande sera la surface collée dans le cadre de surfaces de cuivre creusées.

Ces divers résultats peuvent être considérés comme un tremplin vers des études plus avancées, pouvant être utilisées comme outils de prédiction permettant d'optimiser les processus d'intégration et de collage direct. Par exemple, il a été observé que les joints de grains diminuent la capacité des dislocations à l'origine de la plasticité à s'activer au sein d'un grain et à migrer d'un grain à un autre. Ainsi, par des modifications apportées aux méthodes de dépôt du cuivre, la limite d'élasticité de ce dernier pourrait être augmentée en même temps que le nombre de joints de grain en diminuant la taille moyenne des grains. Cette méthode est communément appelée renforcement de Hall-Petch [Hall'51, Petch'53] et est décrite par la loi empirique du même nom

$$\sigma_0 = \sigma_g + \frac{k_y}{\sqrt{d}} \quad (58)$$

où σ_0 est la limite d'élasticité du polycristal, σ_g est la limite d'élasticité du monocristal, k_y est le paramètre de renforcement et d est le diamètre moyen des grains. Ainsi, en diminuant d , nous pouvons augmenter σ_0 .

Toutefois, il ne faut pas oublier que les joints de grains constituent des défauts dans le matériau qui contribuent à diminuer les conductivités électrique et thermique [Wu'04]. Cet effet secondaire va à l'encontre des efforts réalisés en matière d'intégration 3D pour réduire à la fois la longueur et la résistivité des interconnexions. La modification de la limite d'élasticité par la méthode de renforcement de Hall-Petch impliquerait donc de trouver un équilibre entre la limite d'élasticité influant sur la qualité de collage et les performances électriques globales, affectées par le nombre de joints de grains.

Une autre voie consisterait à augmenter la limite élastique par durcissement structural. Cependant, cela impliquerait d'employer du cuivre allié ce qui pourrait poser d'autres problèmes à l'égard des performances électriques et de la fiabilité.

Dans le même temps, il est à noter que la réduction de la taille des interconnexions serait de nature à faciliter l'établissement du contact entre les surfaces de cuivre, étant donné que l'amplitude du sur-polissage de ces dernières dépend de la surface à polir par CMP.

V.6 Conclusion

Dans ce chapitre, nous avons proposé une modélisation par éléments finis du collage direct hybride Cu-SiO₂ en tenant compte d'une incurvation initiale de la surface du cuivre. Il était important de mener cette étude en s'appuyant sur les expériences de collage déjà reportées dans la littérature. Ainsi, la préparation de surface spécifique au collage direct, les valeurs d'énergie de collage et leur évolution grâce aux mécanismes de renforcement d'interface sont considérées comme des références expérimentales pour les simulations.

Un modèle d'interaction cohésive, inspiré de la description potentielle proposée en 1994 par X. P. Xu et A. Needleman, a été implémenté afin de simuler le processus de collage des interfaces SiO₂/SiO₂ et Cu/Cu dans le cadre d'un algorithme de contact non-linéaire. Les paramètres de cette loi de cohésion ont été soigneusement sélectionnés à partir de mesures d'énergies de collage à température ambiante et après recuits à 200 et 400 °C. Nous avons pris soin de prendre en compte dans la description du modèle le renforcement de l'interface de collage lors du recuit.

Ainsi, nous avons montré que les interactions cohésives, combinées à la dilatation thermique du cuivre pendant le recuit, assistent significativement le processus de collage des lignes de cuivre incurvées par sur-polissage. La prise en compte des interactions cohésives aux interfaces permet d'aboutir à une description du processus de collage réaliste. En effet, grâce aux forces cohésives présentes entre les surfaces, l'adhésion de ces dernières est caractérisée par la propagation d'une onde de collage. En outre, contrairement aux simulations utilisant le modèle simple de contact unilatéral, l'interface Cu/Cu reste fermée pendant et après le refroidissement à température ambiante, ce qui est en accord avec les résultats expérimentaux.

Des études paramétriques ont été menées afin de mettre en évidence l'influence de la plasticité du cuivre sur le déroulement du collage. Nous avons observé que la concentration de contrainte au voisinage du front de collage peut induire une déformation plastique. La réponse plastique d'un cuivre ayant une limite d'élasticité basse agit dans ce cas comme un fusible mécanique qui réduit l'action des forces cohésives contribuant à coller les surfaces de cuivre. Par conséquent, la déformation plastique macroscopique du cuivre semble avoir un effet néfaste sur le processus de scellement en freinant la propagation de l'onde de collage.

Nous avons proposé une voie pour augmenter la limite d'élasticité du cuivre, consistant à diminuer la taille moyenne des grains afin de limiter les mouvements des dislocations. Dans ce cadre, la nouvelle réponse plastique peut être évaluée avant le collage à l'aide d'essais de nanoindentation, afin de prédire si l'incurvation du cuivre pourra permettre la fermeture complète de l'interface Cu/Cu pour une taille de structure de cuivre donnée. Cependant, le prix à payer de la réduction de la taille des grains étant

une augmentation de la résistance électrique des interconnexions, des compromis devront être faits.

Dans le même temps, d'autres moyens de renforcement du cuivre pourraient être étudiés, comme par exemple le durcissement structural. Dans ce cadre, l'impact du procédé de durcissement sur la qualité de collage et sur les propriétés électriques devra être évalué de manière systématique. En effet, comme nous l'avons vu dans le chapitre IV, la densité et la taille des cavités à l'interface Cu/Cu, principalement induites par la rugosité de surface, sont des facteurs d'augmentation de la résistance des lignes. Ainsi, le rôle de la plasticité du cuivre dans le scellement de surfaces couvertes d'aspérités devra faire l'objet de simulations et d'études expérimentales poussées.

A ce stade, il reste important de garder un œil critique quant aux résultats des simulations présentées dans ce chapitre, étant données les conditions limites choisies et l'absence de modélisation de certaines caractéristiques fondamentales de la matière. En effet, pour des raisons de temps et de moyens, les simulations ne prennent pas en compte la rugosité de surface du cuivre, la relaxation des contraintes par fluage ou encore la microstructure du cuivre (grains, macles, cavités, impuretés...). Or, ces trois aspects jouent un rôle prépondérant dans le mécanisme de fermeture de l'interface Cu/Cu. De plus, les paramètres utilisés pour le modèle élastique-plastique du cuivre correspondent à une feuille de cuivre macroscopique. Des valeurs mesurées sur des couches de cuivre de quelques micromètres d'épaisseur permettraient d'avoir un comportement mécanique en meilleure adéquation avec nos conditions expérimentales.

En attendant de pouvoir intégrer ces données dans des simulations et ainsi mener des études paramétriques plus réalistes, nous discutons dans la partie suivante des conséquences d'une augmentation de la limite d'élasticité sur la qualité de collage en se basant sur nos résultats expérimentaux et les diverses études de collage publiées dans la littérature.

Chapitre VI

Discussion générale

VI.1 État de l'intégration 3D par collage en 2015.....	218
VI.2 Cavités à l'interface Cu/Cu et plasticité du cuivre.....	219
VI.2.1 Influence de la taille des grains sur la formation des cavités.....	220
VI.2.2 Synthèse.....	223
VI.3 Cas du collage direct hybride à très basse température.....	224
VI.3.1 Limitation du sur-polissage du cuivre.....	225
VI.3.2 Retrait total de l'oxyde de cuivre Cu_2O avant le collage.....	226
VI.3.3 Favorisation de la diffusion du cuivre à l'interface de collage.....	227
VI.4 Importance de la précision d'alignement.....	228
VI.5 Conclusion.....	230

VI.1 État de l'intégration 3D par collage en 2015

Fin 2011, la démonstration de la faible résistivité de contact et de la fiabilité de deux niveaux d'interconnexions en cuivre réalisées par collage direct hybride Cu-SiO₂ a confirmé tout le potentiel de cette technologie [Taibi'11].

Trois ans plus tard, nos études ont permis de franchir un pas de plus vers l'industrialisation de cette technologie. En effet, les résultats présentés dans les chapitres III et IV de ce manuscrit ont validé la compatibilité du procédé de collage direct avec les intégrations puce-à-plaque en 200 et 300 mm et plaque-à-plaque avec quatre niveaux d'interconnexions [Beilliard'13, Beilliard'14]. De plus, les simulations décrites dans le chapitre V ont permis d'obtenir de premières indications quant à l'influence des propriétés plastiques du cuivre sur le collage de surfaces de cuivre incurvées.

Dans le même temps, de nombreuses études ont fait état de l'utilisation des techniques de collage direct et thermocompression pour des applications aussi diverses que la radiofréquence [Hwang'14], l'électronique de puissance [Rouger'14, Mouawad'15], les MEMS [Taklo'14] ou la logique [Takeda'14]. Parmi les avantages cités nous retrouvons la relative facilité de mise en œuvre, la robustesse, la faible résistivité et la haute conductivité thermique de l'interface de collage métallique.

Les interconnexions à haute densité réalisées par thermocompression ont aussi fait l'objet d'une attention particulière. La majorité des études publiées s'oriente vers l'emploi d'alliages CuSn ou CuSnAg [Hu'14, Lee'14], avec notamment la démonstration d'un pas d'espacement de 8 μm [Ohyama'14]. En outre, un collage Cu/Cu de plus faible résistivité et avec un pas de seulement 5 μm a été récemment réalisé [Temple'14].

Au vu de cet engouement pour le collage dans le cadre de l'intégration 3D, il nous semble capital de mettre en perspective nos différents résultats de collage direct hybride Cu-SiO₂ activé par CMP avec les autres études de collage publiées dans la littérature. Certains des résultats et conclusions issus des caractérisations et des simulations doivent notamment être discutés afin d'en tirer un maximum d'enseignements et de perspectives au sujet des différents mécanismes en jeu à l'interface de collage pendant et après le recuit.

Nous verrons dans un premier temps l'influence d'une augmentation de la limite d'élasticité par diminution de la taille des grains de cuivre sur les mécanismes de formation des cavités à l'interface Cu/Cu. La gestion du sur-polissage du cuivre, de la couche d'oxyde cuivreux Cu₂O et de la microstructure sera ensuite discutée dans le cadre du collage à très basse température (< 200 °C). Enfin, la question de l'alignement de collage et les différentes techniques pour l'améliorer seront abordées. L'objectif de ce travail est d'aboutir à une amélioration de la qualité de collage, des performances et de la fiabilité de structures réalisées par collage direct hybride Cu-SiO₂, à l'aide de

préconisations concernant la microstructure du cuivre, la préparation de surface, l'intégration ou encore les conditions de recuit de collage.

VI.2 Cavités à l'interface Cu/Cu et plasticité du cuivre

Dans le chapitre IV, l'emploi de la technique de tomographie FIB-SEM nous a permis d'observer la distribution des cavités à l'interface de collage Cu/Cu de chaînes de connexions à quatre niveaux recuites à 400 °C. Malgré ces défauts, les excellents résultats des études dédiées à la caractérisation des performances électriques et de la fiabilité démontrent la viabilité et la maturité du procédé de collage direct avec recuits à 200 et 400 °C. Nous pouvons citer notamment des rendements de fonctionnement supérieurs à 96 %, des écarts types inférieurs à 3 %, une résistivité de contact maximale estimée à $\rho_c = 154 \text{ m}\Omega \cdot \mu\text{m}^2$ ainsi que très peu de défaillances et de variations de résistance après les tests de fiabilité. Il apparaît donc que dans le cadre de notre intégration et de nos conditions de tests, les cavités à l'interface Cu/Cu n'ont pas d'influence notable sur le comportement des structures collées.

Cependant, avec la miniaturisation et la densification des interconnexions, l'augmentation de la proportion des cavités par rapport à la surface collée pourrait devenir un problème sérieux dans les années à venir, avec le risque d'affecter les performances et la fiabilité des circuits. Il paraît donc important de caractériser le comportement de ces défauts au fil du temps dans le cadre de dispositifs en fonctionnement. Dans ce but, le test de vieillissement accéléré par électromigration est le plus adapté. Ses effets sur des interconnexions issues de technologies monolithiques standards étant déjà bien connus [Frank'12, Gousseau'13], des études comparatives avec ces précédents résultats permettraient de mettre en évidence des phénomènes propres aux intégrations réalisées par collage direct.

À notre connaissance, il n'existe à ce jour qu'une seule étude morphologique dédiée à l'évolution des cavités à l'interface Cu/Cu dans le cadre de chaînes de connexions à quatre niveaux. Cette étude montre que l'injection d'un courant de quelques MA/cm² induit un phénomène d'électromigration ayant pour effet de "guérir" l'interface Cu/Cu grâce à la migration des cavités vers l'interface Cu/barrière [Made'11]. Ces caractérisations morphologiques aident notamment à expliquer la réduction de la résistance électrique observée lors d'une précédente étude sur ces mêmes structures [Leong'09].

Malgré cet effet bénéfique sur les performances, il se peut qu'à long terme une accumulation importante de cavités à l'interface Cu/barrière puisse aboutir à une rupture prématurée de la ligne. Cette rupture surviendrait d'autant plus vite que le volume initial de cavités à l'interface Cu/Cu serait important. Des études plus poussées sont donc nécessaires afin de vérifier l'occurrence de ce phénomène. Les structures

asymétriques à quatre niveaux présentes sur le masque PICA, non utilisées ici pour cause de défauts de fabrication, pourraient être de parfaits candidats pour ces travaux.

Dans le même temps, un travail de développement et d'optimisation des procédés de fabrication et de collage de surfaces mixtes Cu-SiO₂ doit être mené de façon à réduire le nombre de cavités. C'est en effet cet objectif qu'il faut viser à moyen terme pour améliorer de façon significative les performances et la fiabilité des interconnexions. Ce travail requiert cependant une compréhension profonde des mécanismes métallurgiques et physico-chimiques mis en jeu dans la formation des cavités.

La partie suivante sera donc consacrée à nos avancées dans ce domaine, rendues possibles grâce aux caractérisations morphologiques et aux simulations. L'influence de la plasticité et de la microstructure sur la reconstruction de l'interface Cu/Cu et la formation de cavités à cet endroit sera notamment discutée. Ces aspects étant maintenant bien connus dans le cadre du collage direct pleine plaque de surfaces de cuivre, nous nous appuyerons sur les résultats des études correspondantes pour essayer de comprendre l'interdépendance des différents mécanismes mis en jeu dans le cas du collage de surfaces mixtes Cu-SiO₂ activées par CMP.

VI.2.1 Influence de la taille des grains sur la formation des cavités

Grâce aux simulations et à une série de caractérisations AFM, tomographiques FIB-SEM, TEM et TEM-EDX, nous avons pu déterminer que les facteurs principalement responsables de la formation de cavités à l'interface Cu/Cu après un recuit supérieur à 200 °C sont la rugosité de surface des plots de cuivre, l'instabilité de la couche de Cu₂O et les contraintes en traction apparaissant à la fin du recuit.

Par ailleurs, les études paramétriques présentées dans le chapitre V nous ont montré qu'une augmentation de la limite d'élasticité σ_0 favorisait la propagation de l'onde de collage dans le cas de surfaces de cuivre incurvées. Nous expliquons cette tendance par une contribution plus importante des forces cohésives au rapprochement des surfaces, normalement limitée par l'écrêtage des contraintes lié à la déformation plastique du cuivre.

Or, nous avons vu qu'il était possible d'augmenter la valeur de σ_0 du cuivre en modifiant sa microstructure [Hall'51, Petch'53]. En pratique, cela consiste à diminuer la taille des grains en jouant sur les conditions de dépôt et de recuit du cuivre. L'augmentation du nombre de joints de grains qui en résulte a pour conséquence d'augmenter le domaine d'élasticité du cuivre en limitant la propagation des dislocations, à l'origine de la déformation plastique.

Outre l'augmentation de la résistivité électrique associée à ce type de renforcement [Wu'04], il convient de s'interroger également sur les conséquences d'une telle

modification cristalline sur les évènements ayant lieu durant le recuit. Regardons donc en détail ce qu'il se passe lors d'un recuit supérieur à 200 °C pendant deux heures et comment les caractéristiques cristallines du cuivre peuvent influencer la qualité de collage de l'interface Cu/Cu.

❖ *Montée en température*

Dans les premiers instants d'un recuit supérieur à 200 °C, la dilatation thermique des structures de cuivre permet aux surfaces d'entrer en contact intime. Du fait de la rugosité induite par la CMP, ce contact ne se produit qu'au niveau du sommet des aspérités. Par conséquent, la quantité et la taille des cavités à l'interface Cu/Cu, formées par les creux se trouvant entre les aspérités, dépend principalement de la rugosité initiale du cuivre.

Dans le but de minimiser la rugosité du cuivre et donc la formation de cavités lors de cette étape, l'évaluation de l'influence de la taille des grains sur la rugosité est ici primordiale. Ainsi, une étude a montré d'une part que la vitesse de polissage du cuivre par CMP diminuait avec la taille des grains, et d'autre part qu'il existait une variation importante de topologie entre les grains et les joints de grains, ces derniers étant plus fortement attaqués par la chimie de polissage [Andersen'10]. Par conséquent, l'augmentation de la densité de joints de grains aurait pour effet direct d'augmenter la rugosité de surface à cause de cet effet de sur-polissage dans les joints de grains.

De manière plus générale, il serait intéressant d'étudier le rôle de l'hétérogénéité des grains de cuivre sur la dilatation thermique. En effet, dans le cas d'une variation importante de la taille et du facteur de forme de ces derniers, la dilatation du cuivre pourrait ne pas être uniforme à l'échelle nanométrique, induisant la génération de défauts supplémentaires à l'interface Cu/Cu. Dans ce cadre, seules des études morphologiques comparatives pourraient déterminer si la taille des grains a une influence significative sur cet aspect.

❖ *Palier de deux heures à une température supérieure à 200 °C*

Au cours des deux heures de traitement thermique, la taille et la quantité moyennes des cavités à l'interface Cu/Cu tendent à diminuer grâce à l'élargissement des aspérités. Les causes principales de cet élargissement sont les forces cohésives qui déforment plastiquement les aspérités et la diffusion du cuivre à l'interface. Cette dernière est générée par le gradient de concentration de cuivre et par la minimisation d'énergie de surface des joints de grains aux points triples [Gueguen'10, Martinez'13]. Nous allons voir que l'importance de ces phénomènes est corrélée à la taille des grains et à leur orientation.

L'augmentation de la limite d'élasticité par la réduction de la taille des grains

pourrait dans un premier temps limiter la déformation plastique des aspérités et ainsi entraver la fermeture des cavités induites par la rugosité. Ensuite, l'augmentation du nombre de joints de grains est connue pour favoriser la diffusion du cuivre, mais aussi la migration de lacunes. La propension de chacun de ces phénomènes est dépendante de la température de recuit. De plus, la quantité de lacunes pouvant potentiellement migrer vers l'interface de collage est directement liée à l'épaisseur des couches de cuivre collées.

Ainsi, il a été montré que dans le cas de collages de couches dont l'épaisseur est inférieure à 1 μm , une densité importante de joints de grains conduit à une reconstruction de l'interface Cu/Cu à basse température (~ 200 °C) du fait de la diffusion de cuivre plus importante [Baudin'13]. Par ailleurs, ce phénomène peut être optimisé en privilégiant une certaine orientation des grains. En effet, une étude récente fait état d'un collage Cu/Cu par thermocompression à 200 °C pendant 30 minutes sans défaut, grâce à la présence majoritaire de grains d'orientation (111) [Liu'14]. Ce résultat s'explique par la plus faible énergie d'activation E_a de la diffusion du cuivre associée à cette orientation, ce qui facilite la diffusion du cuivre et la reconstruction de l'interface Cu/Cu à basse température. Concernant les collages de couches épaisses (> 5 μm), une faible densité de joints de grains rend plus difficile la migration de lacunes à haute température (~ 400 °C). Cela permet de limiter la formation de cavités à l'interface Cu/Cu malgré la quantité importante de lacunes dans la couche épaisse. Cependant, la faible diffusion du cuivre limite aussi le processus de reconstruction des aspérités [Baudin'13].

Nous voyons donc que suivant l'épaisseur de la couche de cuivre et la température de recuit, une grande quantité de grains peut être bénéfique au collage. En revanche, dans le cas de plots de cuivre de 500 nm d'épaisseur et recuits à 400 °C, la migration importante de lacunes aura pour conséquence de favoriser la croissance des cavités à l'interface de collage, mais aussi aux interfaces Cu/TiN. À noter que ce dernier point peut être évité grâce à l'utilisation d'une barrière TaN/Ta, le cuivre ayant une meilleure adhérence avec celle-ci.

Le dernier mécanisme de formation de cavités à ce moment du recuit est lié à l'instabilité de la couche de quelques nanomètres de Cu_2O à l'interface. Cette instabilité est engendrée par la compétition entre l'énergie de l'interface Cu/ Cu_2O $\gamma_{\text{Cu}/\text{Cu}_2\text{O}}$ et l'énergie des joints de grain γ_{JdG} , et est favorisée par la dilatation du cuivre qui rompt la couche. Lorsque $2\gamma_{\text{Cu}/\text{Cu}_2\text{O}} > \gamma_{\text{JdG}}$, typiquement pour un recuit supérieur à 200 °C, le Cu_2O diffuse pour former des cavités de taille nanométrique à l'interface Cu/Cu [Gueguen'10, Baudin'13, Di Cioccio'14]. D'un point de vue électrique, la formation de ces cavités, en minorité par rapport à celles induites par la rugosité, a l'avantage de diminuer la résistivité de contact de l'interface de collage grâce à l'établissement de liaisons covalentes Cu–Cu.

Dans ce cadre, la diminution de la taille des grains de cuivre aurait tendance à amplifier deux mécanismes dont les conséquences sont opposées. En effet, l'énergie γ_{JAG} étant une fonction qui croît avec la désorientation des grains et la diminution de leur diamètre d [Costa'01, Shih'75], la densification des joints de grains pourrait contribuer à augmenter la stabilité de la couche de Cu_2O pour une température de recuit donnée. Cela faciliterait en revanche la diffusion de l'oxyde et par extension l'établissement des liaisons covalentes Cu–Cu. Dans le but de déterminer lequel de ces mécanismes est prépondérant, des études morphologiques comparatives sont toutefois nécessaires.

❖ *Retour à température ambiante*

Comme observé dans les simulations, la contraction du cuivre ayant lieu lors du retour à température ambiante génère de fortes contraintes en traction de part et d'autre de l'interface Cu/Cu. Ces contraintes ont pour effet d'activer la migration le long des joints de grains des lacunes initialement présentes dans le cuivre. Ce mécanisme aboutit à l'agrandissement des cavités existantes et/ou à la formation de nouvelles du fait de l'accumulation des lacunes aux endroits où les contraintes sont les plus élevées [Suo'03].

Dans le cadre d'une augmentation de la limite d'élasticité par une diminution de la taille des grains, une partie des contraintes de traction ne serait pas relaxée par déformation plastique, ce qui amplifierait le processus de migration des lacunes. De plus, l'existence d'un gradient de concentration de lacunes peut constituer un moteur de migration supplémentaire. En effet, une équipe de chercheurs travaillant sur une interface SnAgCu/Cu [Li'15] a démontré que l'augmentation du nombre de joints de grain favorisait la migration des lacunes vers l'interface, là où la densité de lacunes est la plus faible.

VI.2.2 Synthèse

Au vu des mécanismes mis en jeu durant l'étape de recuit, il apparaît que la diminution de la taille des grains n'est pas recommandable dans le cas du collage direct hybride Cu-SiO₂ avec un recuit supérieur à 200 °C. Le Tableau VI.1 suivant offre un résumé des avantages et inconvénients des mécanismes mis en jeu dans le cas d'une diminution de la taille des grains.

Tableau VI.1. Avantages et inconvénients d'une augmentation de la limite d'élasticité par une diminution de la taille des grains de cuivre dans le cadre du collage direct hybride Cu-SiO₂ supérieur à 200 °C.

	Avantages	Inconvénients – Risques
Montée en T°C	<ul style="list-style-type: none"> ▪ Vitesse de polissage plus faible, qui pourrait permettre un meilleur contrôle du sur-polissage du plot de cuivre 	<ul style="list-style-type: none"> ▪ Plus forte rugosité due au sur-polissage dans les joints de grains ▪ Risque d'inhomogénéité des grains, pouvant impacter la dilatation thermique
Palier à 200 ou 400 °C	<ul style="list-style-type: none"> ▪ Diffusion du cuivre accrue pour un recuit à 200 °C ▪ Optimisation possible avec des grains d'orientation (111) ▪ Diffusion du Cu₂O accrue 	<ul style="list-style-type: none"> ▪ Limitation de la déformation plastique des aspérités ▪ Migration des lacunes accrue pour un recuit à 400 °C ▪ Stabilisation de la couche de Cu₂O
Descente T°C amb.	-	<ul style="list-style-type: none"> ▪ Migration des lacunes aux joints de grains facilitée par les contraintes en traction plus élevées

VI.3 Cas du collage direct hybride à très basse température

Contrairement à certaines études faisant état de la nécessité de désoxyder les surfaces de cuivre pour pouvoir les coller sous vide par thermocompression à 200 °C [Yang'14], nous avons obtenu d'excellents résultats morphologiques, électriques et de fiabilité sur les chaînes de connexions collées en atmosphère ambiante et recuites à 200 °C [Beilliard'14]. La même observation peut être faite pour les études conduites par Taibi *et al.* [Taibi'10, Taibi'11]. Ces résultats encourageants indiquent que, dans le cadre du collage direct hybride en atmosphère ambiante avec recuit supérieur à 200 °C, la couche de Cu₂O ne semble pas être rédhibitoire.

Cela peut tout d'abord être expliqué par le fait que l'adhésion à température ambiante se fait très majoritairement au niveau des surfaces de SiO₂, ce qui assure la cohésion de l'empilement à ce stade. Dans l'éventualité d'un contact entre deux couches de Cu₂O au niveau des structures de cuivre, il a de plus été montré que l'interface ainsi créé se renforce au cours du temps grâce à l'oxydation du cuivre par l'eau encapsulée [Di Cioccio'11]. Par la suite, la dilatation du cuivre lors du recuit égal ou supérieur à 200 °C fragilise la couche d'oxyde, ce qui favorise son instabilité et sa diffusion à basse température. Des ponts de cuivre Cu–Cu peuvent ainsi s'établir, renforçant l'énergie de collage et diminuant la résistivité de contact.

Cependant, dans l'éventualité d'une application nécessitant un recuit de collage à

très basse température (< 200 °C), en raison par exemple de la fragilité des matériaux ou de différences de coefficients de dilatation thermique, il devient important de pouvoir améliorer significativement la qualité et l'énergie de collage. Pour ce faire, les axes de travail principaux concernent notamment la réduction de la rugosité de surface et le sur-polissage du cuivre lors de la CMP, le retrait total de la couche de Cu_2O avant le collage et la favorisation de la diffusion du cuivre à l'interface. Ces points vont être discutés dans cette partie.

VI.3.1 Limitation du sur-polissage du cuivre

Nous savons que dans le cadre du polissage par CMP de surfaces mixtes Cu- SiO_2 , l'effet de sur-polissage sur le Cu laisse ces surfaces en retrait de quelques nanomètres par rapport au SiO_2 . De ce fait, l'établissement du contact entre les structures de cuivre n'est possible que grâce à la dilatation de ce matériau lors du recuit. Or, nous avons vu dans le chapitre V que dans un système à une dimension, l'amplitude dl de cette dilatation dépendait de l'épaisseur initiale du cuivre L_0 et de la différence entre la température de recuit T_1 et la température de départ T_0 , suivant la relation

$$dl = L_0\alpha(T_1 - T_0) \quad (59)$$

avec α le coefficient de dilatation thermique linéaire valant 16,5 ppm/K. Ainsi, pour une température de recuit de $T_1 = 100$ °C par exemple, le cuivre ne se dilatera que d'un nanomètre environ. Dans le cas d'un sur-polissage typiquement observé de 2 à 3 nm sur des plots de cuivre de $3 \times 3 \mu\text{m}^2$, cela pourrait ne pas permettre aux surfaces d'entrer pleinement en contact.

En outre, des simulations de dilatation de plots circulaires ont montré que l'amplitude de la dilatation augmentait avec le rayon de la structure jusqu'à un certain point [Di Cioccio'11]. Par conséquent, faciliter le collage des surfaces de cuivre pourrait consister à augmenter l'épaisseur et/ou la largeur des plots. Cependant, pour des raisons technologiques ou d'intégration, il ne sera pas toujours possible de modifier significativement ces paramètres, particulièrement dans le cas d'applications à haute densité d'interconnexions nécessitant des structures de collage de petites dimensions latérales.

Un travail d'optimisation du procédé de polissage doit donc être conduit en parallèle. À titre d'exemple, une étude récente montre qu'il est possible de réduire l'effet de sur-polissage ainsi que la rugosité lors de l'étape de CMP damascène en prêtant une attention particulière à la composition des chimies et aux conditions de polissage [Lin'12]. Une telle démarche participerait à rendre compatible le collage direct inférieur à 200 °C avec n'importe quelle intégration.

VI.3.2 Retrait total de l'oxyde de cuivre Cu_2O avant le collage

Pour un traitement thermique inférieur à 200 °C, nous avons vu dans le Chapitre I que la couche de Cu_2O n'était pas déstabilisée et restait donc intacte. Dans ce cas, les interfaces $\text{Cu}/\text{Cu}_2\text{O}$ constituent des discontinuités cristallines favorisant la diffusion des lacunes et les gradients de contraintes. De plus, la résistivité très élevée de cet oxyde, récemment estimée à environ 160 $\Omega\cdot\text{m}$ [De Los Santos Valladares'12], contribue à dégrader la résistivité de contact de l'interface Cu/Cu . Enfin, l'évolution de la couche et/ou des cavités de Cu_2O lors du passage prolongé d'un courant reste une inconnue, au même titre que l'évolution des cavités induites par la rugosité.

Dans le cadre de dispositifs à haute densité d'interconnexions, la somme de ces aspects négatifs peut devenir un problème rédhibitoire. C'est pourquoi de nombreuses équipes travaillent au développement de procédés de réduction de l'oxyde ou de passivation du cuivre pour le collage à basse température. Un enchaînement de traitements *ex-situ* et *in-situ*, à base d'acide citrique et d'argon respectivement, est par exemple étudié par Rebhan *et al.* [Rebhan'14]. Un autre procédé de désoxydation uniquement *in-situ* est basé sur un traitement des surfaces à l'aide d'acide méthanoïque HCOOH en phase vapeur [Yang'14].

Un dernier procédé, appelé collage de surface activée (*surface activated bonding* – SAB), permet d'obtenir une adhésion forte à température ambiante, ou après un recuit inférieur à 200 °C, grâce à un procédé d'activation par plasma et de collage sous ultravide [Suga'12, Ko'12a]. Dans le cas du collage de surfaces mixtes $\text{Cu}-\text{SiO}_2$, l'usage combiné de vapeur d'eau et d'un bombardement rapide d'atomes d'argon permet d'activer la surface de SiO_2 tout en retirant le Cu_2O sur le cuivre [He'14]. Courant 2015, le CEA-Léti va faire l'acquisition d'un prototype d'équipement SAB, ce qui permettra de mener des études approfondies sur la qualité et l'énergie du collage direct hybride $\text{Cu}-\text{SiO}_2$ à très basse température.

Bien que ces derniers articles indiquent que la rugosité de surface du cuivre n'est pas dégradée par les procédés de réduction/retrait de l'oxyde de cuivre, l'usage répété d'attaques chimiques en phases liquide, vapeur ou plasma peuvent endommager les surfaces. Dans ce cadre, Lim *et al.* [Lim'12] proposent quant à eux de passiver la surface de cuivre à l'aide d'une couche d'or ou d'une monocouche auto-alignée (*self assembled monolayer* – SAM), incluant des groupes de tête thiol $\text{S}-\text{H}$ ayant une grande affinité avec le cuivre. Bien que l'énergie de collage soit inférieure avec la couche d'or, ces techniques permettent de réaliser des collages par thermocompression à une température inférieure à 200 °C.

Comme nous pouvons le constater, la mise en œuvre du collage de surfaces de cuivre totalement dépourvue de Cu_2O demande plus d'étapes technologiques et s'avère

plus contraignante, étant donné la nécessité de réaliser le collage sous ultra-vide ou sous atmosphère N_2 . Des études approfondies sont donc encore nécessaires afin de déterminer, pour une condition de recuit donnée, si le retrait total de l'oxyde natif du cuivre est caractérisé par un rapport gain/effort intéressant en termes de qualité de collage, de performances électriques, de fiabilité et de coût de fabrication.

VI.3.3 Favorisation de la diffusion du cuivre à l'interface de collage

Durant sa thèse, Floriane Baudin [Baudin'13] a montré que la présence de petits grains de cuivre à l'interface permettait d'augmenter l'énergie de collage à basse température grâce à l'accentuation de la diffusion du cuivre. Il est également connu que la faible densité de joints de grains dans les couches épaisses induit une faible migration des lacunes. Nous pouvons donc tirer profit de ces deux aspects au sein d'un même plot de collage si ce dernier possède de petits grains en surface et de gros grains en profondeur, comme illustré dans la Figure VI.1.

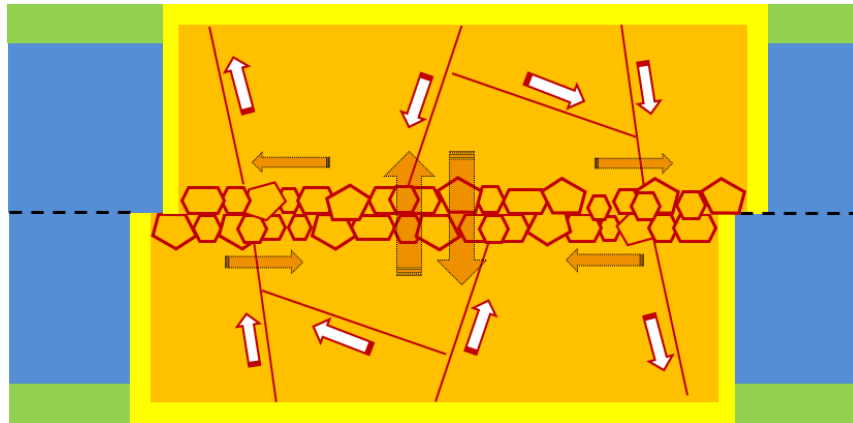


Figure VI.1. Représentation schématique de deux plots de cuivre collés, disposant de petits grains à la surface et de gros grains en profondeur. Cette configuration permet de favoriser la reconstruction de l'interface Cu/Cu par la diffusion du cuivre (flèches rouges) et de limiter la migration des lacunes dans le reste de la structure (flèches blanches).

La présence d'une couche de cuivre fine (< 100 nm) à la surface du plot permettrait de favoriser la reconstruction de l'interface à très basse température grâce à la diffusion du cuivre, tout en limitant la hausse de la résistivité associée à la densité de joints de grains. Le reste du plot est quant à lui composé de gros grains de plus faible résistivité limitant la migration des lacunes vers les interfaces. La taille des grains de cuivre étant régie par l'épaisseur de la couche déposée [Baudin'13] et la durée du recuit de stabilisation, ce type de structure peut par exemple être réalisé à l'aide d'un premier dépôt épais de cuivre subissant un recuit long, suivi du dépôt d'une couche fine non recuite.

Il faut toutefois garder en tête que, comme nous l'avons vu, l'augmentation de la densité de joints de grains à l'interface pourrait aussi avoir pour effet d'augmenter la rugosité de surface du cuivre. Cependant, il est possible que le gain en énergie de collage à très basse température apporté par cette structure compense largement cet effet secondaire.

VI.4 Importance de la précision d'alignement

Nous avons vu dans le chapitre III, dédié à la caractérisation électrique de structures de tests réalisées par collage puce-à-plaque, que le désalignement entre les deux niveaux de collage était la raison principale de l'écart entre les résistances théoriques et expérimentales. Le travail présenté dans le chapitre IV nous a quant à lui montré qu'une imprécision mécanique de l'équipement de collage pouvait induire un désalignement angulaire entre les substrats, résultant en une inhomogénéité des résistances électriques à l'échelle de la plaque. Enfin, les défauts de fabrication importants auxquels nous avons été confrontés sont directement liés à un désalignement entre les structures de cuivre.

Ce dernier point montre que l'interface Cu/SiO₂, où résident seulement des interactions électrostatiques faibles, est à proscrire ou alors que son énergie d'adhésion doit être renforcée afin d'améliorer la robustesse d'une intégration 3D réalisée par collage direct hybride Cu-SiO₂. Par conséquent, en plus de l'amélioration de la qualité de collage de l'interface Cu/Cu, il est particulièrement important de travailler sur la précision et la reproductibilité des machines de collage avec alignement plaque-à-plaque et puce-à-plaque. Sans cela, la feuille de route de l'ITRS [ITRS'13] concernant la densification des interconnexions par la diminution du pas d'espacement entre les plots de collage ne pourra être suivie.

L'intégration plaque-à-plaque offre l'avantage de coller un grand nombre de puces simultanément. En revanche, les déformations longitudinales et transversales des plaques dues aux contraintes mécaniques et à la propagation de l'onde de collage sont des sources potentielles de désalignement. De plus, ces déformations peuvent dégrader les performances de structures sensibles telles que les transistors et les pixels. Ainsi, pour résoudre ces problèmes, l'entreprise Nikon a mis au point une nouvelle machine de collage Cu/Cu plaque-à-plaque, incluant un système d'alignement d'une précision inférieure à 250 nm [Sugaya'14]. Cet équipement, compatible avec les procédés de collage direct et par thermocompression, dispose d'outils de préhension électrostatiques garantissant la planéité des plaques lors du collage. Cette configuration limite la déformation naturelle des plaques lors du collage et offre donc un meilleur contrôle pendant la mise en contact.

Le collage puce-à-plaque a quant à lui pour intérêt principal de rendre possible la réalisation de dispositifs 3D hétérogènes innovants. Cependant, l'un des problèmes majeurs de cette technique est sa lenteur d'exécution dans le cas de collages nécessitant une précision d'alignement inférieure au micromètre. À titre d'exemple, le collage d'une puce avec une telle précision prend environ deux minutes dans le cadre de nos études. C'est pourquoi, de nouvelles méthodes d'interconnexions ou d'alignement sont actuellement recherchées. Dans le cadre du collage avec appui, Tung *et al.* [Tung'14] propose une solution similaire à Chen *et al.* [Chen'10] d'auto-rectification de l'alignement à l'aide d'interconnexions mimant un système de clé et de serrure. L'alignement mesuré est inférieur à 100 nm, pour une durée de collage de 0,5 seconde. Cependant, bien que cette vitesse de collage soit élevée, la nécessité de pré-aligner précisément la puce avec le substrat implique que chaque collage se fasse l'un après l'autre.

La technique d'auto-alignement est considérée comme l'une des solutions les plus prometteuses pour améliorer significativement la vitesse de fabrication. Cette technique se base sur la force de rappel due à la tension de surface d'une goutte d'eau confinée entre deux puces pour aligner ces dernières avec une précision de l'ordre de la centaine de nanomètres. De cette manière, il est possible d'aligner et de coller plusieurs dizaines de puces simultanément [Fukushima'14], ce qui constitue un gain de temps considérable par rapport aux machines d'alignement mécanique standards. De plus, l'auto-alignement peut être adapté à de nombreuses applications, telles que les mémoires 3D [Fukushima'13b], les MEMS [Lu'13] ou encore la photonique [Ito'14]. Mermoz *et al.* [Mermoz'13] ont par ailleurs fait la démonstration de la compatibilité du collage direct hybride Cu-SiO₂ avec la méthode d'auto-alignement.

Ainsi, nous pouvons constater que les innovations récentes en termes d'alignement et de vitesse de production apportées aux collages plaque-à-plaque et puce-à-plaque autorisent la poursuite de la miniaturisation des circuits. Malgré cela, l'alignement entre les structures de cuivre ne sera probablement jamais parfait. Les éventuels problèmes de diffusion du Cu et de faible énergie de collage induits par les interfaces Cu/SiO₂ en bord de plots de collage désalignés se posent donc toujours.

Sur la base de nos caractérisations relevant l'absence apparente de diffusion de Cu dans le SiO₂, nous avons suggéré que la couche de Cu₂O agissait comme une barrière de diffusion. Cependant, cette situation n'est pas idéale étant donné la possibilité pour les ions Cu⁺ de diffuser sous l'effet des champs électriques s'établissant dans les interconnexions lors de leur fonctionnement. De plus, nous avons vu qu'à terme, le retrait de toute trace d'oxyde est préférable dans le cas de collage à basse température. Par conséquent, des solutions plus efficaces et maîtrisables doivent être développées.

Une d'entre elles consiste à entourer les plots de collage d'une barrière de diffusion de type SiN, de sorte que le cuivre des plots désalignés soit en contact avec la barrière et non avec le SiO₂. Cette configuration peut être optimisée en permettant par exemple la formation d'une interface forte SiO₂/SiN ($\sim 2,2 \text{ J/m}^2$) par l'ajout d'une couche de Si de quelques nanomètres d'épaisseur sur le SiN [Kondou'11]. Une autre solution repose sur l'ajout de Mn dans le Cu à l'aide d'un dépôt d'alliage CuMn après l'étape d'activation de surface par CMP [Lin'14]. Lors du recuit de collage, le Mn diffuse et s'agrège à l'interface Cu/SiO₂. L'affinité du Mn avec le SiO₂ résulte en la formation d'une couche de MnSiO₃ interfaciale. Cette dernière agit comme une barrière à la diffusion du Cu et permet aussi de renforcer l'interface de collage en bord de plots désalignés.

VI.5 Conclusion

D'un travail de réflexion tenant compte des aspects thermomécaniques, physico-chimiques et microstructuraux inhérents au procédé de collage direct, nous avons pu fournir des solutions et des préconisations ayant pour but d'améliorer la qualité et l'énergie de collage ainsi que la fiabilité pour diverses conditions de recuit.

Ainsi, pour toutes les températures de recuit, les axes d'améliorations principaux concernent la réduction de la rugosité et du sur-polissage des surfaces de cuivre et la maîtrise de l'alignement entre les substrats. Dans le cas plus particulier du collage à très basse température, la gestion de la couche d'oxyde Cu₂O et le contrôle de la microstructure apparaissent comme essentiels à la réussite du collage direct hybride Cu-SiO₂.

Conclusion générale

Dans un contexte où l'intégration tridimensionnelle devient une réalité industrielle, le collage direct hybride Cu-SiO₂ est d'ores et déjà un des candidats les plus prometteurs pour la réalisation d'interconnexions répondant aux besoins des nouvelles générations de dispositifs électroniques. Cela fait maintenant 10 ans que cette technologie est étudiée au sein des laboratoires de Grenoble. Les mécanismes de fermeture de l'interface de collage Cu/Cu ont d'abord été étudiés durant la thèse de Pierric Guéguen. Ce dernier a démontré la faisabilité et le potentiel de cette technologie.

Les procédés de collage direct Cu/Cu et SiO₂/SiO₂ étaient alors suffisamment matures pour que les performances électriques et la fiabilité de structures de cuivre réalisées par collage direct hybride Cu-SiO₂ puissent être étudiées. La thèse de Rachid Taïbi a ainsi permis dans un premier temps d'établir des règles de dessin destinées à la réalisation de collages de surfaces mixte Cu-SiO₂ sans défauts. Il a ensuite été montré que des interconnexions en cuivre à deux niveaux réalisées par collage direct avaient des performances électriques et une fiabilité très similaires à des lignes monolithiques.

A ce stade, la compréhension globale des mécanismes et des prérequis au collage direct hybride Cu-SiO₂ arrivait à un niveau de maturité tel que l'industrialisation de cette technologie pouvait être envisagée. L'objectif de la présente thèse était donc d'étudier la faisabilité, la reproductibilité, les performances électriques et la fiabilité d'interconnexions en cuivre réalisées par collage direct dont la géométrie se rapprochait du BEoL de circuits commerciaux. L'un des objectifs à long terme de l'intégration 3D étant la réalisation de dispositifs hétérogènes aux fonctions multiples, l'intégration puce-à-plaque devait aussi être validée. Enfin, le développement d'un environnement de simulation par éléments finis du collage de structures de cuivre constituait un premier pas vers la création d'un outil prédictif et d'optimisation des règles de dessin et des procédés de fabrication.

Dans la première partie de cette thèse, la qualité de collage et les performances électriques de l'intégration puce-à-plaque en 200 et 300 mm ont été caractérisées. La similarité des résistances électriques des échantillons réalisés par collages plaque-à-plaque et puce-à-plaque en 200 mm démontre que ce dernier n'affecte pas la qualité de collage. Dans le même temps, bien que le désalignement des structures soit inférieur au micromètre, nous avons montré que ce paramètre est un contributeur important à la différence entre les résistances théoriques et expérimentales. Ainsi, la valeur de 9 mΩ.µm², inférieure aux 22,5 mΩ.µm² obtenus avec les collages plaque-à-plaque, constitue une estimation de la valeur maximale de la résistivité de contact de l'interface de collage.

La robustesse de cette intégration a été confirmée à l'aide de tests de cyclage thermique, n'induisant aucune défaillance ou augmentation significative de la résistance. Concernant les structures de tests obtenues par collage puce-à-plaque en 300 mm, le très faible écart entre les résistances théoriques et expérimentales, l'écart type systématiquement inférieur à 3 % et la résistivité de contact de $11,7 \text{ m}\Omega \cdot \mu\text{m}^2$ dénotent d'excellentes propriétés électriques. Par ailleurs, nous n'avons constaté aucune variation de résistance en fonction de la position des puces sur la plaque, ce qui indique une bonne homogénéité du procédé de polissage par CMP.

Ces différents résultats démontrent la compatibilité du collage direct hybride Cu-SiO₂ avec l'intégration puce-à-plaque. Les performances électriques sur plaques 200 et 300 mm sont en accord avec les standards industriels en termes d'alignement entre les substrats, d'écart type de résistance, de nombre et de densité d'interconnexions. De plus, la démonstration d'un collage hétérogène en 300 mm participe à valider cette technologie comme une solution industrialisable. Cependant, il serait intéressant de réaliser un démonstrateur à partir de puces commerciales avec un BEoL complet, afin d'étudier l'influence de ce dernier sur la qualité de collage et la tenue mécanique lors de tests de cyclage thermique. Aussi, des tests d'électromigration en boîtier devraient être menés afin d'observer une éventuelle influence du procédé de collage puce-à-plaque sur l'énergie d'activation E_a de la diffusion du cuivre.

Une composante importante de ce travail de thèse a été dédiée à une étude complète de la morphologie, des performances électriques et de la fiabilité d'une intégration plaque-à-plaque à quatre niveaux d'interconnexions réalisées par collage direct hybride Cu-SiO₂. Un jeu de masques de photolithographie a donc été conçu dans le but de fabriquer des véhicules de tests incluant des structures spécifiques à cette étude. Les règles de dessin établies par Rachid Taibi ont ainsi été adaptées à la présence de deux niveaux d'interconnexions supplémentaires, les rendant plus aptes à être utilisées dans un processus industriel.

La conception de l'intégration et le suivi des étapes technologiques en salle blanche a permis d'optimiser la fabrication des véhicules de tests, notamment en termes de reprise de contact. Les défauts importants empêchant l'utilisation d'une partie des structures de tests ont été attribués à la non-superposition involontaire des factices de cuivre, induisant la formation de cloques de délaminage dans les couches contraintes et faiblement adhérentes. Cependant, des études menées par STMicroelectronics ont montré l'amincissement d'un collage à $5 \mu\text{m}$ sans défaut grâce à l'alignement des structures de cuivre. Ce résultat discrimine donc le procédé de collage direct comme source de formation de cloques de délaminage.

Les caractérisations post-collage préliminaires ont montré que la précision d'alignement obtenue est à l'état de l'art, avec des valeurs maximales et moyennes inférieures à 1 μm . Cependant, la cartographie d'alignement a révélé une erreur de précision de la machine dont le résultat est un désalignement en rotation. Les caractérisations acoustiques des collages après recuit ont été quant à elles particulièrement difficiles à interpréter. Les résolutions latérales et verticales des équipements utilisés ne sont en effet pas adaptées à ce type d'empilement et aux dimensions des structures. Néanmoins, la microscopie acoustique permettant théoriquement de caractériser n'importe quelle interface de collage à l'échelle de la plaque et de manière non destructrice, l'intégration 3D par collage direct ne peut se passer de cet outil. De nombreux laboratoires et constructeurs sont donc à pied d'œuvre afin d'améliorer les résolutions des sondes à hautes fréquences.

Par la suite, les caractérisations morphologiques ont confirmé que les structures de tests bénéficiaient d'une qualité de collage excellente et reproductible à l'échelle de la plaque et des structures. Par la croissance de grains à l'interface de collage, nous avons montré que les procédés de collage direct pleine plaque et de surface mixtes Cu-SiO₂ possédaient les mêmes mécanismes de reconstruction d'interface Cu/Cu. En revanche, bien que tous les échantillons présentent des cavités de quelques dizaines de nanomètres à l'interface Cu/Cu, seuls les collages recuits à 400 °C semblent posséder des cavités aux interfaces Cu/TiN et Cu/SiN. Nous attribuons cela aux contraintes thermomécaniques plus grandes et à l'activation de la migration des lacunes à cette température. Ces problèmes pourraient être résolus en utilisant une barrière de diffusion en TaN/Ta et en optimisant le recuit de stabilisation du cuivre.

L'usage conjoint de la tomographie FIB/SEM, de l'AFM, du TEM et du TEM-EDX a permis de visualiser pour la première fois la répartition des cavités à l'interface Cu/Cu et d'identifier la rugosité du cuivre et la diffusion du Cu₂O à l'interface de collage comme sources principales de leur formation pour un recuit à 400 °C. Dans ce cadre, l'imagerie tomographique est apparue comme un outil indispensable à la bonne compréhension des mécanismes mis en jeu dans la reconstruction de l'interface Cu/Cu. Il est à noter que les progrès effectués ces dernières années en tomographie X permettent d'atteindre une résolution d'environ 10 nm. Utiliser cette technique serait particulièrement intéressant pour observer les cavités à diverses interfaces sans endommager les substrats.

Les résultats des caractérisations TEM-EDX et SIMS n'ont pas révélé de diffusion de Cu dans le SiO₂ au niveau des interfaces Cu/SiO₂. L'une des raisons que nous avons avancée est le comportement en tant que barrière de diffusion du Cu₂O. Cependant, il est aussi possible que la diffusion du cuivre soit trop faible pour être détectée à l'aide de méthodes de caractérisation physico-chimique. Des études employant des mesures de

capacité en température et dans le temps participeraient à lever le doute sur la nécessité de prévenir la diffusion du cuivre en bord de plots désalignés.

Malgré les cloques de délaminage dues aux factices de cuivre désalignés et les cavités aux interfaces Cu/TiN et Cu/Cu, les résultats des caractérisations électriques et des études de fiabilité des structures NIST et des chaînes de connexions sont très encourageants. L'intégration à quatre niveaux n'affecte pas la résistance électrique et donc la qualité de collage. De plus, les rendements de fonctionnement et les écarts types des chaînes de connexions sont supérieurs à 95 % et inférieurs à 3 % respectivement. Aussi, les résistivités de contact extraites après recuits à 200 et 400 °C se situent à l'état de l'art. Le peu de défaillances et de dégradations observées après les tests de stockage en chaleur humide, de cyclage thermique et de stockage en température prouvent enfin l'excellente robustesse thermomécanique et la résistance à l'humidité de l'intégration PICA.

Finalement, l'étude comparative de résistance à l'électromigration opposant des structures NIST avec barrière en TiN et en TaN/Ta montre que les structures réalisées par collage direct présentent le même comportement face à l'électromigration que des lignes de cuivre monolithique. Les valeurs d'énergie d'activation obtenues confirment que la diffusion du cuivre se produit à l'interface Cu/barrière. L'interface de collage Cu/Cu n'apporte donc pas de mécanisme de défaillance supplémentaire. A l'avenir, des études d'électromigration complémentaires devraient être effectuées sur des structures asymétriques à quatre niveaux. L'évolution des cavités à l'interface Cu/Cu, ainsi que la fiabilité des plots de collage carrés s'apparentant à des vias, pourraient être étudiées en fonction du sens du courant. Par la suite, la durée de vie et l'énergie d'activation pourraient être comparées avec celles des structures de cuivre monolithiques.

Dans le chapitre V, une modélisation par éléments finis du collage direct hybride Cu-SiO₂ avec une incurvation de la surface du cuivre a été proposée. Un modèle d'interaction cohésive, initialement proposée en 1994 par X. P. Xu et A. Needleman, a été implémenté afin de simuler le processus de collage des interfaces SiO₂/SiO₂ et Cu/Cu à l'aide d'un algorithme de contact non-linéaire. Il a été important de déterminer les paramètres de cette loi de cohésion à partir de mesures d'énergies de collage à température ambiante et après recuits à 200 et 400 °C. De plus, nous avons pris soin de prendre en compte dans la description du modèle le renforcement de l'interface de collage lors du recuit, se traduisant par une augmentation de l'énergie de collage.

Ainsi, nous avons montré que les interactions cohésives, associées à la dilatation thermique du cuivre pendant le recuit, sont les mécanismes principaux mis en jeu dans le processus de collage des lignes de cuivre sur-polies. De plus l'adhésion de ces dernières est caractérisée par la propagation d'une onde de collage. Enfin, l'interface Cu/Cu reste

fermée pendant et après le refroidissement à température ambiante, ce qui est en accord avec les résultats expérimentaux.

Nous avons mis en évidence l'influence de la plasticité du cuivre sur le déroulement du collage. Les forces cohésives provoquent de la déformation plastique au voisinage du front d'onde de collage. La réponse plastique d'un cuivre ayant une limite d'élasticité basse agit alors comme un fusible mécanique qui réduit l'action des forces cohésives contribuant à coller les surfaces de cuivre. Par conséquent, la déformation plastique macroscopique du cuivre semble avoir un effet néfaste sur le processus de scellement en freinant la propagation de l'onde de collage. Les discussions dans le chapitre VI de ce résultat et de la façon d'augmenter la limite d'élasticité ont souligné toute la complexité du procédé de fermeture et de reconstruction de l'interface Cu/Cu.

Ces premiers résultats de simulation sont à la fois intéressants et prometteurs. Il serait d'une grande importance de perfectionner le modèle afin de le rendre le plus réaliste possible. Cela permettrait de disposer d'un outil prédictif permettant d'optimiser les règles de dessin des connexions inter-substrats. Pour cela, les simulations devraient prendre en compte la rugosité de surface du cuivre en se basant sur des résultats de scans AFM, la microstructure du cuivre (grains, macles, cavités, impuretés...) et la diffusion du cuivre et la migration de lacunes aux joints de grains.

Les connaissances obtenues grâce à ce travail de thèse et aux précédentes études menées sur le collage direct hybride Cu-SiO₂ seront mises à contribution dans de futurs projets industriels menés par STMicroelectronics et le CEA-Léti. En effet, la Figure VI.2 montre un exemple d'interconnexions à quatre niveaux, dont deux fabriqués par procédé double damascène, réalisées par collage plaque-à-plaque 300 mm avec recuit à 400 °C. Nous pouvons clairement observer la reconstruction des grains de cuivre sur tout l'empilement dans la Figure VI.2(b). De manière similaire à nos études, la Figure VI.2(c) montre quant à elle des cavités de quelques dizaines de nanomètres de largeur localisées seulement à l'interface Cu/Cu. Ces nouveaux résultats encourageants marquent un pas de plus vers l'industrialisation du procédé du collage direct hybride Cu-SiO₂.

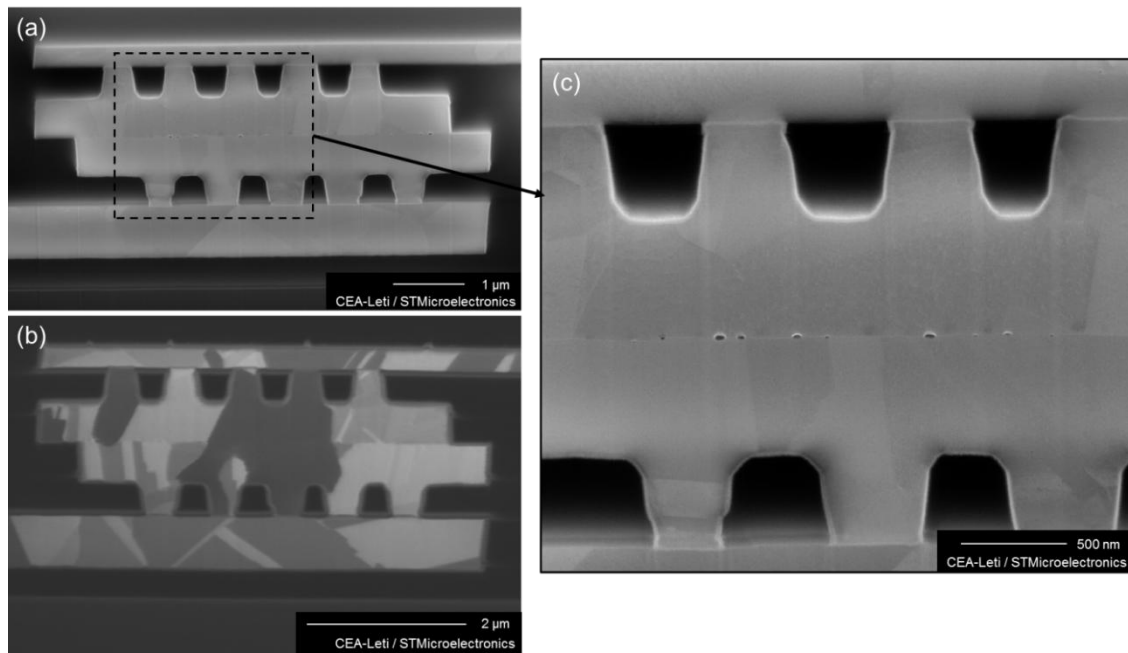


Figure VI.2. (a) Image SEM d'une interconnexion à quatre niveaux réalisée par collage direct hybride Cu-SiO₂. (b) Image ionique de la même structure montrant la reconstruction des grains à travers l'interface de collage. (c) Vue rapprochée de l'interface de collage où sont visibles des cavités d'une largeur maximale de 60 nm.

Bibliographie

- Aboelfotoh'90 M. O. Aboelfotoh, "Cuprous Oxide (Cu_2O) As an Effective Diffusion Barrier for Copper", IBM patent, 1990.
<https://priorart.ip.com/IPCOM/000102159>
- Andersen'10 P. J. Andersen, M. N. Bentancur, A. J. Moll and M. Frary, "Microstructural Effects During Chemical Mechanical Planarization of Copper", *J. Electrochem. Soc.*, vol. **157**, p. 120–126, 2010.
- Arnaud'03 L. Arnaud, T. Berger and G. Reibold, "Evidence of grain-boundary versus interface diffusion in electromigration experiments in copper damascene interconnects", *Journal of Applied Physics*, vol. **93**(1), p. 192–204, 2003.
- Astrosurf <http://www.astrosurf.com/luxorion/loi-moore.htm>
- Bagdahn'03 J. Bagdahn, H. Knoll, M. Wiemer and M. A. Petzold, "New approach for handling and transferring of thin semiconductor materials", *Microsyst. Tech.*, vol. **9**(3), p. 204–209, 2003.
- Baklanov'07 M. Baklanov, K. Maex and M. Green, "Dielectric Films for Advanced Microelectronics", *Wiley*, 508 pages, 2007.
- Batude'11 P. Batude *et al.*, "Advances, challenges and opportunities in 3D CMOS sequential integration", *IEEE IEDM*, p. 7.3.1–7.3.4, 2011.
- Baudin'13 Manuscrit de thèse de F. Baudin, "Contribution à l'étude des phénomènes mis en jeu par le collage direct à basse température de couches métalliques et oxydes métalliques", 2013.
- Beilliard'13 Y. Beilliard, L. Di Cioccio, P. Coudrain, S. Moreau, L. Sanchez, B. Montmayeul, T. Signamarcheix, R. Estevez and G. Parry, "Chip to wafer copper direct bonding electrical characterization and thermal cycling", *IEEE 3DIC*, p. 1–7, 2013.

- Beilliard'14 Y. Beilliard, S. Moreau, L. Di Cioccio, P. Coudrain, G. Romano, A. Nowodzinski, F. Aussenac, P.-H. Jouneau, E. Rolland and T. Signamarcheix, "Advances Toward Reliable High Density Cu–Cu Interconnects by Cu-SiO₂ Direct Hybrid Bonding", *IEEE 3DIC*, 2014.
- Black'69 J. R. Black, "Electromigration Failures Modes in Aluminum Metallization for Semiconductor Devices", *Proc. of the IEEE*, vol. **57**(9), p. 1587–1593, 1969.
- Blonkowski'15 Communication privée avec Serge Blonkowski, CEA-Léti, 2015.
- Boeuf'13 F. Boeuf *et al.*, "A multi-wavelength 3D-compatible silicon photonics platform on 300mm SOI wafers for 25Gb/s applications", *IEEE IEDM*, p. 13.3.1–13.3.4, 2013.
- Bohr'95 M. T. Bohr, "Interconnect scaling-The real limiter to high performance ULSI", *IEDM Tech Dig.*, p. 241, 1995.
- Børgesen'92 P. Børgesen, M.A. Korhonen and C.-Y. Li, "Stress and current induced voiding in passivated metal lines", *Thin Solid Films*, vol. **220**(1-2), p. 8–13, 1992.
- Breitenstein'10 O. Breitenstein, W. Warta and M. Langenkamp, "Lock-in Thermography: Basics and Use for Evaluating Electronic Devices and Materials", *Springer Science & Business Media*, 258 pages, 2010.
- Burton-Greenwood'70 B. Burton and G. W. Greenwood, "The Contribution of Grain-Boundary Diffusion to Creep at Low Stresses", *Metal Sci. J.*, vol. **4**, p. 215–218, 1970.
- Chang'02 N. M. Chang, "Investigation of the influence of microstructure on electromigration in damascene copper interconnects", PhD Dissertation, Stanford University, 2002.

- Chang'05 R. Chang and C. J. Spanos, "Dishing-radius model of copper CMP dishing effects", *Trans. Semi. Man.*, vol. **18**, p. 297–303, 2005.
- Chang'13 Y.-J. Chang, "Electrical Investigation and Reliability of 3D Integration Platform using Cu TSVs and Micro-Bumps with Cu/Sn-BCB Hybrid Bonding", *IEEE ECTC*, p. 64–70, 2013.
- Chen'02 K. N. Chen, A. Fan, and R. Reif, "Interfacial morphologies and possible mechanisms of copper wafer bonding", *J. Mat. Sci.*, vol. **37**(16), p. 3441–3446, 2002.
- Chen'04 K. N. Chen, C. S. Tan, A. Fan and R. Rief, "Morphology and bond strength of copper wafer bonding", *Electrochem. and Solid-State Lett.*, vol. **7**(1), p. 14–16, 2004.
- Chen'10 K. N. Chen, C. Cabral Jr, S. H. Lee, P. S. Andry and J. Q. Lu, "Investigations of Cu Bond Structures and Demonstration of a WaferLevel 3D Integration Scheme with W TSVs", *IEEE VLSI-TSA*, p. 162–163, 2008.
- Cho'13 J. Cho, S. Yu, M. P. C. Roma, S. Maganty, S. Park, E. Bersch, C. Kim and B. Sapp, "Mechanism of Low-Temperature Copper-to-Copper Direct Bonding for 3D TSV Package Interconnection", *IEEE ECTC*, p. 1133–1140, 2013.
- Cocke'95 D. L. Cocke, G. K. Chuah, N. Kruse and J. H. Block, "Copper oxidation and surface copper oxide stability investigated by pulsed field desorption mass spectrometry", *Appl. Surf. Scien.*, vol. **84**, p. 153–161, 1995.
- Costa'01 P. Costa, "Nanomatériaux – Structure et élaboration", *Nanomatériaux : élaboration, propriétés et applications*, 2001.
<http://www.techniques-ingenieur.fr/res/pdf/encyclopedia/42195210-nm3010.pdf>

-
- Coudrain'12 P. Coudrain *et al.*, "Towards Efficient and Reliable 300mm 3D Technology for Wide I/O Interconnects", *IEEE EPTC*, p. 330–335, 2012.
- Curry'84 J. Curry, J. Fitzgibbon, G. Guan, Y. Muollo, R. Nelson and G. Thomas, "New failure mechanisms in sputtered aluminum silicon films", *IEEE Proceedings of the 22nd Int. Reliab. Physics Symp.*, vol. **22**(6–8), 1984.
- Dargent'11 L. Dargent, Y. Bogumilowicz, O. Renault, B. Ghyselen, R. Madar and L. Clavelier, "Direct bonding of silicon to platinum", *J. Electrochem. Soc.*, vol. **158**(3), 2011.
- Davis'05 W. R. Davis, J. Wilson, S. Mick, J. Xu, H. Hua, C. Mineo, A. M. Sule, M. Steer and P. D. Franzon, "Demystifying 3D ICs : The pros and cons of doing vertical", *IEEE Design & Test of Computers*, vol. **22**(6), p. 498–510, 2005.
- De Los Santos Valladares'12 L. De Los Santos Valladares *et al.*, "Crystallization and electrical resistivity of Cu₂O and CuO obtained by thermal oxidation of Cu thin films on SiO₂/Si substrates", *Thin Solid Films*, vol. **520**(20), p. 6368–6374, 2012.
- Di Cioccio'11 L. Di Cioccio *et al.*, "An overview of patterned metal/dielectric surface bonding: mechanism, alignment and characterization", *J. Electrochem. Soc.*, vol. **158**(6), p. 81–86, 2011
- Di Cioccio'14 L. Di Cioccio, F. Baudin, P. Gergaud, V. Delaye, P.-H. Jouneau, F. Rieutord and T. Signamarcheix, "Modeling and Integration Phenomena of metal-metal direct bonding technology", *ECS Trans.*, vol. **64**(5), p. 339–355, 2014.
- Doyen'09 Manuscrit de thèse de L. Doyen, "Caractérisation électrique de l'endommagement par électromigration des interconnexions en cuivre pour les technologies avancées de la microélectronique", 2009.
-

- Druais'11 G. Druais *et al.*, "3D Integration Demonstration of a Wireless Product with Design Partitioning", *IEEE 3DIC*, p. 1–5, 2001.
- Eberhart'89 J. P. Eberhart, "Analyse structurale et chimique des matériaux, Dunod", *Dunod*, 614 pages, 1989.
- Enquist'09 P. Enquist, G. Fountain, C. Petteway, A. Hollingsworth and H. Grady, "Low Cost of Ownership Scalable Copper Direct Bond Interconnect 3D IC Technology for Three Dimensional Integrated Circuit Applications", *IEEE 3DIC*, p. 1–6, 2009.
- Enquist'12 P. Enquist, "Scalable direct bond technology and applications driving adoption", *IEEE 3DIC*, p. 1–5, 2012.
- Faou'15 J.-Y. Faou, G. Parry, S. Grachev and E. Barthel, "Telephone cord buckles – a relation between, wavelength and adhesion", *J. of the Mech. and Phy. of Solid*, vol. **75**, p 93–103, 2015.
- Fiks'59 V. Fiks, "On the mechanism of the mobility of ions in metals", *Solid State Phys.(USSR)*, vol. **1**, p. 14–27, 1959.
- Fisher'08 I. Fisher and M. Eizenberg, "Copper ion diffusion in porous and nonporous SiO₂-based dielectrics using bias thermal stress and thermal stress tests", *Thin Solid Films*, vol. **516**(12), p. 4111–4121, 2008.
- Foucher'11 F. Foucher, C. Coupeau, J. Colin, A. Cimetière and J. Grillhé, "Understanding substrate plasticity and buckling of thin films", *Thin Film Growth: Physics, Materials Science and Applications*, Chapter 13, Woodhead Publishing, 2011.
- Fournel'12 F. Fournel, L. Continni, C. Morales, J. Da Fonseca, H. Moriceau, F. Rieutord, A. Barthelemy and I. Radu, "Measurement of bonding energy in an anhydrous nitrogen atmosphere", *J. Appl. Phy.*, vol. **111**, p. 104907, 2012.

- Frank'12 T. Frank, S. Moreau, C. Chappaz and L. Arnaud, "Electromigration behavior of 3D-IC TSV interconnects", *IEEE ECTC*, p. 326–330, 2012.
- Fukushima'10 T. Fukushima, E. Iwata, J. Bea, M. Murugesan, K. Lee, T. Tanaka and M. Koyanagi, "Evaluation of alignment accuracy on chip-to-wafer self-assembly and mechanism on the direct chip bonding at room temperature", *IEEE 3DIC*, p. 1–5, 2010.
- Fukushima'13a T. Fukushima, J. Bea, M. Murugesan, K.-W. Lee and M. Koyanagi, "Development of Via-Last 3D Integration Technologies Using a New Temporary Adhesive System", *IEEE 3DIC*, p. 1–4, 2013.
- Fukushima'13b T. Fukushima, J. Bea, M. Murugesan, H.-Y. Son, M.-S. Suh, K.-Y. Byun, N.-S. Kim, K.-W. Lee and M. Koyanagi, "3D memory chip stacking by multi-layer self-assembly technology", *IEEE 3DIC*, p. 1–4, 2013.
- Fukushima'14 T. Fukushima, J. Bea, H. Kino, C. Nagai, M. Murugesan, H. Hashiguchi, K.-W. Lee, T. Tanaka and M. Koyanagi, "Reconfigured-Wafer-to-Wafer 3-D Integration Using Parallel Self-Assembly of Chips With Cu–SnAg Microbumps and a Nonconductive Film", *Trans. Electron Devices*, p. 533–539, 2014.
- Garrou'12 P. Garrou, C. Bower and P. Ramm, "Handbook of 3D Integration: Volumes 1 and 2 - Technology and Applications of 3D Integrated Circuits", *Wiley*, 799 pages, 2012.
- Gosset'05 L.G. Gosset *et al.*, "Advanced Cu interconnects using Air Gaps", *Microelectronic Engineering*, vol. **82**(3-4), p. 321–332, 2005.
- Gousseau'13 S. Gousseau, S. Moreau, D. Bouchu, A. Farcy, P. Montmitonnet, K. Inal and F. Bay, "First in Operando SEM Observation of Electromigration-Induced Voids in TSV Structures", *ISTFA*, p. 59–68, 2013.

-
- Gras'08 R. Gras *et al.*, "300 mm Multi Level Air Gap Integration for Edge Interconnect Technologies and Specific High Performance Applications", *IEEE IITC*, p. 196–198, 2008.
- Greenwood'66 J. A. Greenwood and J. B. P. Williamson, "Contact of nominally flat surfaces", *Proceedings of the Royal Society of London. Series A, Mathematical and Physical Sciences*, vol. **295**, p. 300–319, 1966.
- Grove'67 A. S. Grove, "Physics and Technology of Semiconductor Devices", *Wiley*, 388 pages, 1967.
- Gueguen'08 P. Gueguen, L. Di Cioccio, M. Rivoire, D. Scevola, M. Zussy, A. M. Charvet, L. Bally, D. Lafond and L. Clavelier, "Copper direct bonding for 3D integration", *IEEE IITC*, p. 61–63, 2008.
- Gueguen'09 P. Gueguen, L. Di Cioccio, P. Gergaud, M. Rivoire, D. Scevola, M. Zussy, A. M. Charvet, L. Bally, D. Lafond and L. Clavelier, "Copper direct-bonding characterization and its interests for 3D integration", *J. Electrochem. Soc.*, vol. **156**, p. 772–776, 2009.
- Gueguen'10 P. Gueguen, L. Di Cioccio, P. Morfouli, M. Zussy, J. Dechamp, L. Bally and L. Clavelier, "Copper direct bonding: An innovative 3D interconnect", *IEEE ECTC*, p. 878–883, 2010.
- Guillaumond'05 J. F. Guillaumond, "Étude de la résistivité et de l'electromigration dans les interconnexions destinées aux technologies des nœuds 90 nm–32 nm", *Micro and nanotechnologies/Microelectronics*, Université Joseph-Fourier - Grenoble I, p. 92, 2005.
- Gupta'95 D. Gupta, "Diffusion in several materials relevant to cu interconnection technology", *Materials Chemistry and Physics*, vol. **41**(3), p. 199–205, 1995.
- Haisma'95 J. Haisma, D. Spierings, U. Biermann and A. Van Gorkum, "Surface preparation and phenomenological aspect of direct bonding", *Philips Journal of Research*, *n°1*, p. 23–45, 1995.
-

-
- Hall'51 E. O. Hall, "The Deformation and Ageing of Mild Steel: III Discussion of Results", *Proc. Phys. Soc. B*, vol. **64**, p. 747, 1951.
- Hau-Riege'04 C. S. Hau-Riege, "An introduction to Cu electromigration", *Microelectron. Reliab.*, vol. **44**, p. 195–205, 2004.
- He'14 R. He, A. Yamauchi and T. Suga, "Cu/dielectric Hybrid Bonding Using Surface-Activated Bonding (SAB) Technologies for 3D Integration", *IEEE LTB-3D*, p. 12, 2014.
- He et Lu'12 M. He and T.-M. Lu, "Metal-Dielectric Interfaces in Gigascale Electronics", *Springer Series in Materials Science*, vol. **157**, p. 17, 2012.
- Hertz'81 H. Hertz, *Journal Reine Angew. Math.* vol. **92**, 1881.
- Hoofman'06 R. Hoofman *et al.*, "Benefits and Trade-offs in Multi-Level Air Gap Integration", *MRS Proceedings*, p. 403, 2006.
- Hu'95 C. K. Hu, K. P. Rodbell, T. D. Sullivan, K. Y. Lee and D. P. Bouldin, "Electromigration and stress-induced voiding in fine Al and Al-alloy thin-filmed lines", *IBM J. Res. Develop.*, vol. **39**(4), p. 465–497, 1995.
- Hu'99 C. Hu, R. Rosenberg and K. Lee, "Electromigration path in cu thin-film lines", *Applied Physics Letters*, vol. **74**, 2945–2947, 1999.
- Hu'14 Y. H. Hu *et al.*, "Process Development to Enable 3D IC Multi-Tier Die Bond for 20 μ m Pitch and Beyond", *IEEE ECTC*, p. 572–575, 2014.
- Huntington'61 H. Huntington and A. Grone, "Current-induced marker motion in gold wires", *J. Phys. Chem. Solids*, vol. **20**, 76–87, 1961.
- Hwang'14 L.-T. Hwang and A.-Y. Kuo, "Design of RF and Thermal Pads of CMOS PAs using Copper to Copper Bonding Technology", *IEEE ECTC*, p. 1303–1307, 2014.
-

- Ito'14 Y. Ito, T. Fukushima, K.-W Lee, K. Choki, T. Tanaka and M. Koyanagi, "Surface-tension driven self-assembly for VCSEL chip bonding to achieve 3D and hetero integration", *IEEE LTB-3D*, p. 15, 2014.
- ITRS'13 The International Technology Roadmap for Semiconductors 2013, Interconnect Section, *Semiconductor industry association*, p. 12.
- JESD22-A103C www.jedec.org/sites/default/files/docs/22a103D.pdf
- JESD22-A104D www.jedec.org/sites/default/files/docs/22a104d.pdf
- JESD22-A118A www.jedec.org/sites/default/files/docs/22A118A.pdf
- JESD87 JEDEC Standard, "Standard test structures for Reliability Assessment of AlCu Metallizations with Barrier Materials", no. 87, 2001.
- Johnson'71 K. L. Johnson, K. Kendall and A. D. Roberts, "Surface energy and the contact of elastic solids", *Proceedings of the Royal Society of London. Series A, Mathematical and Physical Sciences*, vol. **324**, p. 301–313, 1971.
- Kang'01 S. H. Kang, Y. S. Obeng, M. A. Decker, M. Oh, S. M. Merchant, S. K. Karthikeyan, C. S. Seet and A. S. Oates, "Effect of annealing on the surface microstructural evolution and the electromigration reliability of electroplated Cu films", *J. of Electron. Mater.*, vol. **30**(12), p. 1506–1512, 2001.
- Ko'12a C.-T. Ko and K.-N. Chen, "Low temperature bonding technology for 3D integration", *Microelectronics Reliability*, vol. **52**, p. 302–311, 2012.
- Ko'12b C.-T. Ko *et al.*, "A Wafer-Level Three-Dimensional Integration Scheme With Cu TSVs Based on Microbump/Adhesive Hybrid Bonding for Three-Dimensional Memory Application", *IEEE Trans. Device Mat. Rel.*, vol. **12**(2), p. 209–216, 2012.

-
- Ko'14 C.-T. Ko *et al.*, "A Novel 3D Integration Scheme for Backside Illuminated CMOS Image Sensor Devices", *Trans. Device Mat. Rel.*, vol. **14**(2), p. 715–720, 2014.
- Kondou'11 R. Kondou and T. Suga, "Room temperature SiO₂ wafer bonding by adhesion layer method", *IEEE ECTC*, p. 2165–2170, 2011.
- Kubair'07 D. V. Kubair and S. M. Spearing, "Cohesive zone model for direct silicon wafer bonding", *J. Phys. D: Appl. Phys.*, vol. **40**, p. 3070–3076, 2007.
- Kwon'98 K. W. Kwon, H. J. Lee, C. Ryu and R. Sinclair, "Characteristics of Ta as an underlayer for Cu interconnects", *Advanced Metallization and Interconnect Systems for ULSI Applications*, p. 711–716, 1998.
- Lasky'85 J. B. Lasky, "Wafer bonding for silicon-on-insulator technologies", *Applied Physics Letters*, vol. **48**(1), p. 78–80, 1985.
- Lau'10 J. H. Lau, "Evolution and Outlook of TSV and 3D IC/Si Integration", *IEEE EPTC*, p. 560–570, 2010.
- Lee'14 B.-R. Lee, "Structure Effects on the Electrical Reliability of Fine-Pitch Cu Micro-Bumps for 3D Integration", *IEEE ECTC*, p. 1635–1640, 2014.
- Lemaitre-Chaboche'94 J. Lemaitre and J.-L. Chaboche, "Mechanics of Solid Materials", *Cambridge University Press*, 584 pages, 1994.
- Leong'09 H. L. Leong, C. L. Gan, C. V. Thompson, K. L. Pey and H. Y. Li, "Electromigration-induced bond improvement for three-dimensional integrated circuits", *Appl. Phys. Lett.*, vol. **94**(8), p. 081901, 2009.
- Li'15 H. Li, R. An, C. Wang, Y. Tian and Z. Jiang, "Effect of Cu grain size on the voiding propensity at the interface of SnAgCu/Cu solder joints", *Mater. Lett.*, 2015.
-

-
- Li'05 Z. Li, R. G. Gordon, B. D. Farmer, Y. Lin and J. Vlassak, "Nucleation and Adhesion of ALD Copper on Cobalt Adhesion Layers and Tungsten Nitride Diffusion Barriers", *Electrochem. and Solid State Lett.*, vol. **8**(7), p. 182–185, 2005.
- Lide'09 D. R. Lide, "CRC Handbook of Chemistry and Physics", *CRC Press Inc*, 95th edition, 2704 pages, 2009.
- Lim'12 D. F. Lim, J. Wei, K. C. Leong and C. S. Tan, "Surface Passivation of Cu for Low Temperature 3D Wafer Bonding", *ECS Solid State Lett.*, vol. **1**(1), p. 11–14, 2012.
- Lin'05 T. M. Z. Lin, W. M. Hsu, S. Y. Lee, C. C. Chi and L. Wu, "Analysis of Electric Field Distribution and Its Influence on Dielectric Failures in Asymmetric Copper Interconnect Structures", *IEEE IRPS*, p. 582–583, 2005.
- Lin'12 P.-C. Lin, J. Xu, P. Li, Y. Ding, Z. Ma, C. Xing, J. Jing and Y. Wang, "TSV CMP Process Development and Pitting Defect Reduction", *IEEE ICPT*, p. 193–198, 2012.
- Lin'14 W. Lin *et al.*, "Copper-to-Dielectric Heterogeneous Bonding for 3D Integration", *IEEE LTB-3D*, p. 6, 2014.
- Liu'14 C.-M. Liu, H.-w. Lin, Y.-C. Chu, C. Chen, D.-R. Lyu, K.-N. Chen and K. N. Tu, "Low-temperature direct copper-to-copper bonding enabled by creep on highly (111)-oriented Cu surfaces", *Scripta Materialia*, vol. **78–79**, p. 65–68, 2014.
- Lu'13 J. Lu, Y. Nakano, H. Takagi and R. Maeda, "High-Efficient Chip to Wafer Self-Alignment and Bonding Applicable to MEMS-IC Flexible Integration", *IEEE Sensors Journal*, vol. **13**(2), p. 651–656, 2013.
- Made'11 R. I. Made, P. Lan, H. Y. Li, C. L. Gan and C. S. Tan, "Study of the Evolution of Cu-Cu Bonding Interface Imperfection Under Direct Current Stressing for Three Dimensional Integrated Circuits", *IEEE IITC/MAM*, p. 1–3, 2011.
-

- Martinez'13 M. Martinez, M. Legros, T. Signamarcheix, L. Bally, S. Verrun, L. Di Cioccio and C. Deguet, "Mechanisms of copper direct bonding observed by in-situ and quantitative transmission electron microscopy", *Thin Solid Films*, vol. **530**, p. 96–99, 2013.
- MatWeb MatWeb, Material Property Date. <http://www.matweb.com/>
- McBrayer'86 J. D. McBrayer, R. M. Swanson and T. W. Sigmon, "Diffusion of metals in silicon dioxide", *J. Electrochem. Soc.*, vol. **133**, p. 1242–1246, 1986.
- Mehrer'07 H. Mehrer, "Diffusion in Solids: Fundamentals, Methods, Materials, Diffusion-Controlled Processes", *Springer*, 654 pages, 2007.
- Mermoz'13 S. Mermoz, L. Sanchez, L. Di Cioccio, J. Berthier, E. Deloffre, P. Coudrain, C. Fretigny, "High density chip-to-wafer integration using self-assembly: On the performances of directly interconnected structures made by direct copper/oxyde bonding", *IEEE EPTC*, p. 162 167, 2013.
- Michalske-Freiman T. A. Michalske and S. W. Freiman, "A molecular mechanism for stress corrosion in vitreous silica", *J. Am. Ceram. Soc.*, vol. **66**, p. 284–288, 1983.
- Mitani'92 K. Mitani and U. Gösele, "Formation of interface bubbles in bonded silicon wafers: a thermodynamic model", *Applied Physics A*, vol. **54**(6), p. 543–552, 1992.
- Moore'65 G. E. Moore, "Cramming more components onto integrated circuits", *Electronics*, vol. **38**(8), 1965.
- Moore'75 G. E. Moore, "Process in digital integrated electronics", *IEEE IEDM Tech Digest*, p. 11–13, 1975.

- Moreau'14 S. Moreau, Y. Beilliard, P. Coudrain, D. Bouchu, R. Taibi and L. Di Cioccio, "Mass transport-induced failure in direct copper (Cu) bonding interconnects for 3-D integration", *IEEE IRPS*, p. 3E.2.1–3E.2.6, 2014.
- Moriceau'07 H. Moriceau *et al.*, "Direct Wafer Bonding for Nanostructure Preparations", *Solid State Phenomena*, vol. **29**, p. 121–123, 2007.
- Mouawad'15 B. Mouawad *et al.*, "Direct Copper Bonding for Power Interconnects: Design, Manufacturing, and Test", *Trans. Comp., Packag., Manufact. Technol.*, vol. **5**(1), p. 143–150, 2015.
- Mouis'06 M. Mouis, "Contraintes mécaniques en micro, nano et optoélectronique", *Editions Lavoisier*, 448 pages, 2006.
- Murarka'00 S.P. Murarka, I.V. Verner and R.J. Gutmann, "Copper-Fundamental Mechanisms for Microelectronic Applications", *Wiley*, 337 pages, 2000.
- Nikawa'03 K. Nikawa, "Optical beam induced resistance change (OBIRCH): overview and recent results", *IEEE Lasers and Electro-Optics Society*, vol. **2**, p. 742–743, 2003.
- Ogawa'02 E. Ogawa, K. Lee, V. Blaschke, P. Ho, T. Inc and T. Dallas, "Electromigration reliability issues in dual-damascene Cu interconnections", *IEEE Trans. Reliability*, vol. **51**(4), p. 403–419, 2002.
- Ohyama'14 M. Ohyama, J. Mizuno, S. Shoji, M. Nimura, T. Nonaka, Y. Shinba and A. Shigetou, "Fine-Pitch Interconnection by Hybrid Cu/Sn-Adhesive Bonding for 3D Integration", *IEEE LTB 3D*, p. 48, 2014.
- Parès'13 G. Parès *et al.*, "Full Integration of a 3D Demonstrator with TSV First Interposer, Ultra Thin Die Stacking and Wafer Level Packaging", *IEEE ECTC*, p. 305–306, 2013.

-
- Park-
Paulino'11 K. Park and G. H. Paulino, "Cohesive Zone Models: A Critical Review of Traction-Separation Relationships Across Fracture Surfaces", *Applied Mechanics Reviews*, vol. **64**(6), p. 061002, 2011.
- Parry'06 G. Parry, A. Cimetière, C. Coupeau, J. Colin, and J. Grillé, "Stability diagram of unilateral buckling patterns of strip-delaminated films", *Phys. Rev.*, vol. **74**, p. 066601, 2006.
- Peng'12 L. Peng, L. Zhang, J. Fan, H. Y. Li, D. F. Lim and C. S. Tan, "Ultrafine Pitch (6 μm) of Recessed and Bonded Cu-Cu Interconnects by Three-Dimensional Wafer Stacking", *IEEE Electron Device Letters*, vol. **33**(12), p. 1747–1749, 2012.
- Petch'53 N. J. Petch, "The cleavage strength of polycrystals", *J. Iron Steel Inst. Lond.*, vol. **173**, p. 25–28, 1953.
- Philibert'86 J. Philibert, "Diffusion et transport de matière dans les solides", *Les Éditions de Physiques*, 1986.
- Pietranico'09 S. Pietranico, S. Pommier, S. Lefebvre and S. Patoatto, "Thermal fatigue and failure of electronic power device substrates", *Int. J. Fatigue*, vol. **31**(11-12), p. 1911–1920, 2009.
- Plawsky'03 J. L. Plawsky, W. N. Gill, A. Jain and S. Rogojevic, "Nanoporous dielectric films: fundamental property relations and microelectronics applications", *Interlayer Dielectrics for Semiconductor Technologies*, Elsevier, Academic Press, p. 261–325, 2003.
- Plöb1'99 A. Plöb1 and G. Kräuter, "Wafer direct bonding: tailoring adhesion between brittle materials", *Materials Science and Engineering R*, vol. **25**(1), p. 1–88, 1999.
- Pukh'09 V. P. Pukh, L. G. Baikova, M. F. Kireenko and L. V. Tikhonova, "On the kinetics of crack growth in glass", *Glass Phys. Chem.*, vol. **35**, p. 560–566, 2009.
-

- Raghavan'95 G. Raghavan, C. Chiang, P.B. Anders, S.-M. Tzeng, R. Villasol, G. Bai, M. Bohr and D.B. Fraser, "Diffusion of copper through dielectric films under bias temperature stress", *Thin Solid Films*, vol. **262**(1-2), p. 168-176, 1995.
- Ramm'12 P. Ramm, James J.-Q. Lu and M. M. V. Taklo, "Handbook of Wafer Bonding", *Wiley*, 425 pages, 2012.
- Rayssac'99 Manuscrit de thèse de O. Rayssac, "Etude du collage par adhésion moléculaire hydrophile : application au contrôle de l'énergie de collage", INPG, 1999.
- Realworldtech <http://www.realworldtech.com/includes/images/articles/iedm08-08.jpg>
- Rebhan'14 B. Rebhan, T. Plach, S. Tollabimazraehno, V. Dragoi and M. Kawano, "Cu-Cu Wafer Bonding: An Enabling Technology for Three-Dimensional Integration", *IEEE ICEP*, p. 475-479, 2014.
- Rieutord'06 F. Rieutord, L. Capello, R. Beneyton, C. Morales, A-M. Charvet and H. Moriceau, "Rough surface adhesion mechanisms for wafer bonding", *ECS Transactions*, vol. **3**(6), p. 205-215, 2006.
- Rouger'14 N. Rouger, L. Benaissa, J. Widiez, B. Imbert, P. Gondcharton, B. Letowski and J. C. Crebier, "3D Packaging for vertical power devices", *Integrated Power Systems Conf.*, p. 1-6, 2014.
- Shacham-Diamand'93 Y. Shacham-Diamand, A. Dedhia, D. Hoffstetter and W. G. Oldham, "Copper transport in thermal SiO₂", *J. Electrochem. Soc.*, vol. **140**, p. 2427-2432, 1993.
- Shigetou'08 A. Shigetou, T. Itoh, K. Sawada and T. Suga, "Bumpless Interconnect of 6- μ m pitch Cu Electrodes at Room Temperature", *IEEE ECTC*, p. 1405-1409, 2008.

- Shih'75 K. K. Shih and J. C. M. Li, "Energy of grain boundaries between cusp misorientations", *Surface Science*, vol. **50**(1), p. 109–124, 1975.
- Simulia'11 Simulia Abaqus 6.11, 3DS Dassault Systèmes, 2011.
- Sorbello'96 R. S. Sorbello, "Microscopic driving forces for electromigration", *MRS Symp. Proc.*, vol. **427**, p. 73–81, 1996.
- Stengl'89 R. Stengl, T. Tan and U. Gösele, "A model for the silicon wafer bonding process", *Japanese Journal of Applied Physics*, vol. **28**(10), p. 1735–1741, 1989.
- Suga'12 T. Suga, "Status of bonding technology for hybrid integration - A review of the surface activated bonding (SAB)", *IEEE Photonics Conference (IPC)*, p. 749–750, 2012.
- Sugaya'14 I. Sugaya, M. Okada, H. Mitsuishi, H. Maeda, T. Shimoda, S. Izumi, H. Nakahira and K. Okamoto, "High-precision Wafer-level Cu-Cu Bonding for 3DICs", *IEEE IEDM*, 2014.
- Sukegawa'13 S. Sukegawa *et al.*, "A 1/4-inch 8Mpixel Back-Illuminated Stacked CMOS Image Sensor", *IEEE ISSCC*, 2013.
- Suo'03 Z. Suo, "Reliability of Interconnect Structures", *Comprehensive Structural Integrity, Volume 8: Interfacial and Nanoscale Failure*, Elsevier, 2003.
- Surholt'94 T. Surholt, Y. M. Mishin and C. Herzig, "Grain-boundary diffusion and segregation of gold in copper: investigation in the type-b and type-c kinetic regimes", *Physical Review B (Condensed Matter and Materials Physics)*, vol. **50**(6), p. 3577–3587, 1994.
- Taibi'10 R. Taibi *et al.*, "Full characterization of Cu/Cu direct bonding for 3D integration", *IEEE ECTC*, p. 219–225, 2010.

- Taibi'11 R. Taibi *et al.*, "Investigation of stress induced voiding and electromigration phenomena on direct copper bonding interconnects for 3D integration", *IEEE IEDM*, p. 651–654, 2011.
- Taibi'12 Manuscrit de thèse de R. Taibi, "Intégration 3D haute densité : comportement et fiabilité électrique d'interconnexions métalliques réalisées par collage direct", 2012.
- Takeda'14 K. Takeda and M. Aoki, "3D Integration Technology using Hybrid Wafer Bonding and Via-last TSV Process", *IEEE IITC/AMC*, p. 211–214, 2014.
- Taklo'14 M. M. V. Taklo, "Low-temperature bonding technologies for MEMS and 3D-IC", *IEEE LTB-3D*, p. 34, 2014.
- Tan'11 C. S. Tan, L. Peng, H. Y. Li, D. F. Lim and S. Gao, "Wafer-on-Wafer Stacking by Bumpless Cu-Cu Bonding and Its Electrical Characteristics", *IEEE Electron Device Letters*, vol. **32**(7), p. 943–945, 2011.
- Tang'12 Y.-S. Tang, Y.-J. Chang and K.-N. Chen, "Wafer-level Cu–Cu bonding technology", *Microelectronics Reliability*, vol. **52**, p. 312–320, 2012.
- Temple'14 D. S. Temple, E. P. Vick, M. R. Lueck and D. Malta, "Scaling of 3D interconnect technology incorporating metal-metal bonds to pitches of 10 microns and below for infrared focal plane array applications", *IEEE LTB-3D*, p. 7, 2014.
- Tong'98 Q. Y. Tong and U. Gösele, "Semiconductor wafer bonding: science and technology", *Wiley*, 320 pages, 1998.
- Tong'99 Q. Y. Tong and U. Gösele, "Semiconductor wafer bonding: science and technology", *Wiley*, 320 pages, 1999.

- Tung'14 B. T. Tung, N. Watanabe, F. Kato, K. Kikuchi and M. Aoyagi, "Flip-chip bonding alignment accuracy enhancement using self-aligned interconnection elements to realize low-temperature construction of ultrafine-pitch copper bump interconnections", *IEEE ECTC*, p. 62–67, 2014.
- Turner'02 K. T. Turner and S. M. Spearing, "Modeling of direct wafer bonding: Effect of wafer bow and etch patterns", *Journal of Applied Physics*, vol. **92**(12), p. 7658–7666, 2002.
- Uhrmann'14 T. Uhrmann, T. Matthias, T. Wagenleitner and P. Lindner, "Fusion bonding for next generation 3D-ICs", *Solid State Technology*, vol. **57**(5), p. 14–18, 2014.
- Ventosa'08 C. Ventosa, F. Rieutord, L. Libralesso, F. Fournel and H. Moriceau, "Hydrophilic low-temperature direct wafer bonding", *J. Appl. Phys.*, vol. **104**, p. 123524, 2008.
- Ventosa'09 C. Ventosa, C. Morales, L. Libralesso, F. Fournel, A.-M. Papon, D. Lafond, H. Moriceau, J. D. Penot and F. Rieutord, "Mechanism of thermal silicon oxide direct wafer bonding", *Electrochem. Solid. St.*, vol. **12**, p. 373–375, 2009.
- Vivet'11 N. Vivet, S. Chupin, E. Estrade, T. Piquero, P.L. Pommier, D. Rochais and E. Bruneton, "3D Microstructural characterization of a solid oxide fuel cell anode reconstructed by focused ion beam tomography", *Journal of Power Sources*, vol. **196**, p. 7541–7549, 2011.
- Wang'01 P.-C. Wang and R. G. Filippi, "Electromigration threshold in copper interconnects", *Appl. Phys. Lett.*, vol. **78**(23), p. 3598–3600, 2001.
- Wikipedia [http://commons.wikimedia.org/wiki/File:Cmos-chip_structure_in_2000s_\(en\).svg](http://commons.wikimedia.org/wiki/File:Cmos-chip_structure_in_2000s_(en).svg)

-
- Wolf'04 S. Wolf, "Introduction to dual-damascene interconnect processes", *Silicon Processing for the VLSI era*, 826 pages, vol. 4, p. 674–679, 2004.
- Wong'98 S. S. Wong, C. Ryu, H. Lee and K.-W. Kwon, "Barriers for copper interconnections", *MRS Proceedings*, vol. 514, 1998.
- Wu'04 W. Wu, S. H. Brongersma, M. Van Hove and K. Maex, "Influence of surface and grain-boundary scattering on the resistivity of copper in reduced dimensions", *Applied Physics Letters*, vol. 84(15), p. 2838, 2004.
- Xu-Needleman'94 X. P. Xu and A. Needleman, "Numerical simulations of fast crack-growth in brittle solids", *J. Mech. Phy. Solids.*, vol 42, p. 1397–1434, 1994.
- Yang'14 W. Yang, M. Akaike and T. Suga, "Effect of Formic Acid Vapor In Situ Treatment Process on Cu Low-Temperature Bonding", *Trans Comp. Pack and Man. Tech.*, vol. 4(6), p. 951–956, 2014.
- Yole'08 Yole, 3D TSV Interconnect 2008 Edition, Equipment & Materials.
- Yole'13 Étude commandée par STMicroelectronics auprès de la société Yole Développement, 2013.
- Zhang'01 R. Zhang *et al.*, "Power trends and performance characterization of 3-dimensional integration for future technology generation", *Proc. Of International Symposium on Quality Electronic Design*, p. 217–222, 2001.
- Zschech'03 E. Zschech, E. Langer, M. Meyer, A. LLC, C. KG and G. Dresden, "Failures in copper interconnects-localization, analysis and degradation mechanisms", *IEEE IPFA*, p. 37–44, 2003.
-