HAL
archives-ouvertes.fr

Apport de l'échantillonnage aléatoire à temps quantifié pour le traitement en bande de base dans un contexte radio logicielle restreinte

Asma Maalej

To cite this version:

Asma Maalej. Apport de l'échantillonnage aléatoire à temps quantifié pour le traitement en bande de base dans un contexte radio logicielle restreinte. Réseaux et télécommunications [cs.NI]. Télécom ParisTech, 2012. Français. <NNT : 2012ENST0022>. <tel-01242135>

HAL Id: tel-01242135

https://pastel.archives-ouvertes.fr/tel-01242135

Submitted on 11 Dec 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

ParisTech
INSTITUT DES SCIENCES ET TECHNOLOGIES
PARIS INSTITUTE OF TECHNOLOGY

TELECOM ParisTech

2012-ENST-022

EDITE - ED 130

Doctorat ParisTech

T H È S E

pour obtenir le grade de docteur délivré par

TELECOM ParisTech

Spécialité « Électronique et Communications »

présentée et soutenue publiquement par

Asma MAALEJ BOUATTOUR

le 23 mai 2012

Apport de l'échantillonnage aléatoire à temps quantifié pour le traitement en bande de base dans un contexte radio logicielle restreinte

Directeurs de thèse : **Patrick LOUMEAU et Adel GHAZEL**
Co-directeurs de la thèse : **Patricia DESGREYS et Chiheb REBAI**

Jury

M. Patrick GARDA, Professeur, LIP6, UPMC	Président
M. Dominique DALLET, Professeur, IMS, ENSEIRB	Rapporteurs
Mme Monia TURKI, Maître de Conférences, U2S, ENIT	
M. Philippe BÉNABÈS, Professeur, E3S, SUPELEC	Examinateurs
M. Hichem BESBES, Professeur, COSIM, SUPCOM	
Mme Patricia DESGREYS, Maître de Conférences HDR, C2S, TELECOM ParisTech	Co-directeurs de thèse
M. Chiheb REBAI, Maître de Conférences, GRESCOM, SUPCOM	

TELECOM ParisTech
École de l'Institut Télécom - membre de ParisTech

THÈSE

A mes parents attentionnés,

A mon cher mari,

A mes affectueux frères, belles sœurs, nièces et neveux,

A ma tendre belle famille,

A mes amis,

A tous ceux qui m'aiment et que j'aime.

« Persévère, et considère que le bonheur naît du travail et de la piété »

André Maurois

Avant propos

Le travail que nous présentons dans ce rapport de thèse de Doctorat a été réalisé au sein de l'équipe "Circuits and Communication Systems" (C2S) du laboratoire LTCI de l'École Nationale Supérieure des Télécommunications de Paris (TELECOM ParisTech) en collaboration avec le laboratoire de recherche "Green and Smart Communications" (GRES'COM) de l'École Supérieure des Communications de Tunis (SUP'COM). Cette thèse préparée en co-tutelle entre SUP'COM et TELECOM ParisTech est co-dirigée par Monsieur Adel Ghazel de SUP'COM et Monsieur Patrick Loumeau de TELECOM ParisTech.

Au terme de ce travail de thèse je tiens à remercier sincèrement :

Monsieur Patrick Garda, Professeur à l'Université Pierre et Marie CURIE (UPMC), pour le grand honneur qu'il nous fait en acceptant de présider le jury de cette thèse.

Monsieur Dominique Dallet, Professeur à l'École Nationale Supérieure d'Électronique, Informatique et Radiocommunications de Bordeaux (ENSEIRB), d'avoir accepté de rapporter ce travail. Je le remercie pour l'honneur qu'il nous fait en participant au jury de cette thèse.

Madame Monia Turki, Maître de conférences à l'École Nationale d'Ingénieur de Tunis (ENIT), d'avoir accepté la lourde tâche de rapporteur ainsi que pour son honorable participation au jury de cette thèse.

Monsieur Philippe Benabes, Professeur à l'École Supérieure d'Électricité (SUPELEC) à Paris, pour avoir accepté de participer au jury de cette thèse et à la discussion des nos travaux.

Monsieur Hichem Besbes, Professeur à SUP'COM, pour l'intérêt qu'il porte à notre travail en acceptant d'examiner avec sa rigueur scientifique nos contributions de recherche.

Monsieur Adel Ghazel, Professeur à SUP'COM et directeur du laboratoire de recherche GRES'COM, pour m'avoir accepté au sein de GRES'COM et participer à la proposition de ce sujet de recherche. Je le remercier aussi pour ses pertinents conseils et directives.

Monsieur Patrick Loumeau, Professeur à TELECOM ParisTech, pour avoir accepté de diriger ma thèse en m'offrant la chance de profiter de son savoir et sa grande compétence scientifique. Je le remercie aussi de m'avoir offert d'excellentes conditions de travail au sein de l'équipe C2S.

Monsieur Chiheb Rebai, Maître de conférences à SUP'COM, pour sa participation de qualité à la co-direction de mes travaux de recherche. Je tiens à lui exprimer ma gratitude pour son grand effort d'encadrement scientifique, ses indispensables directives, ses fructueuses discussions et ses pertinents conseils. Je lui suis reconnaissante pour les moyens qu'il a déployé et le temps qu'il a consacré pour bien mener ces travaux de recherche.

Madame Patricia Desgreys, Maître de conférences, HDR à TELECOM ParisTech, pour sa co-direction scientifique de valeur et son aide précieuse. Je lui exprime ma gratitude pour ses connaissances qu'elle a m'a transmises ainsi que le cadre agréable de travail qu'elle a offert tout au long de ma thèse.

Je remercie également Madame Manel Ben Romdhane pour l'aide qu'elle m'a offerte tout au long de mes travaux de recherche. Je lui suis reconnaissante pour tous les précieux conseils et les remarques de valeurs qu'elle a proposées tout au long de ma thèse.

Je remercie tous les responsables et personnels administratifs à TELECOM ParisTech : Monsieur le Directeur Yves Poilane, Monsieur le Directeur de l'EDITE Henri Maître, Monsieur le Responsable du département COMELEC Bruno Thédrez, Mesdames Chantal Cadiat, Danielle Chiltz, Florence Besnard, Fabienne Lassausie, et à SUP'COM: Monsieur le Directeur Mounir Frikha, Monsieur Mouhaned Tounsi, Mesdames Noura Ben Amara, Saloua Baklouti, Hajer Lahmar, Amel Ayari, Samia Bouzouita et Imen Azzouni qui m'ont aidé au bon déroulement de mes activités pédagogiques et de mes activités de recherche en m'offrant tout le support administratif nécessaire. Aussi, je tiens à présenter mes remerciements les plus sincères à Monsieur Karim Ben Kalaia, responsable du laboratoire d'électronique à TELECOM ParisTech.

Je tiens aussi à exprimer ma gratitude envers les membres de l'équipe C2S et de l'équipe GRES'COM ainsi que vers mes amis Rawia, les trois Mariem, Kaouther, Hana, Mohamed, Mohamed Chaker, Walid et Zied, mes amis doctorants et docteurs du groupe C2S : Fatima, Germain, Hao, Alban, Pietro, Chadi et ceux du laboratoire de recherche GRES'COM : Souha, Nadia et Hela.

Je clôture mes remerciements par exprimer ma reconnaissance à mes parents pour leur amour et leurs sacrifices tout au long de mes études, à mon mari pour sa patience et son assistance morale tout au long de la préparation de ma thèse, à tous les membres de ma famille pour leurs aides interminables et à ma belle famille pour tout le soutient moral qu'elle m'a offert.

Résumé et mots clefs

Les travaux de recherche de cette thèse de doctorat s'inscrivent dans le cadre de la conception de récepteurs multistandard optimisés pouvant traiter des signaux à spécifications hétérogènes. L'idée est d'appliquer l'échantillonnage aléatoire au niveau de l'étage en bande de base d'un récepteur radio logicielle restreinte afin de tirer profit de son pouvoir d'échantillonnage anti-repliement. La nouveauté dans ces travaux est l'étude analytique de la réduction du repliement spectral par l'échantillonnage aléatoire à temps quantifié, candidat favorable à l'implémentation matérielle. Une deuxième contribution concerne aussi l'étude analytique de l'échantillonnage pseudo-aléatoire à temps quantifié (TQ-PRS) dont l'importance réside en sa grande facilité d'implémentation matérielle. Les formulations théoriques ont permis d'estimer l'atténuation des répliques en fonction du facteur de la quantification temporelle et du facteur du sur-échantillonnage.

Après une validation de la théorie par la simulation, les mesures de l'atténuation du repliement spectral ont permis de dimensionner l'étage en bande de base d'une architecture de réception multistandard. Le dimensionnement s'intéresse à différentes configurations de l'étage en bande de base régies par les performances du convertisseur analogique numérique (ADC) utilisé Les travaux de recherche ont démontré que l'application du TQ-PRS au niveau de l'ADC mène soit à une réduction de l'ordre du filtre anti-repliement soit à une réduction de la fréquence d'échantillonnage. Le dimensionnement réalisé a mis le point sur l'importance de l'échantillonnage TQ-PRS avec des facteurs de quantification spécifique pour chaque standard.

Une architecture d'un générateur pseudo-aléatoire programmable a été proposée. Ce circuit, Pseudorandom Direct Sampler (PDS), permet l'échantillonnage à des facteurs de quantification 8, 16 et 32. Son implémentation sur FPGA a permis d'avoir une fréquence maximale de l'horloge de 360 MHz fournissant une fréquence d'échantillonnage moyenne maximale égale à 11.25 MHz et une consommation dynamique de 4 mW. Une validation expérimentale de l'effet du TQ-PRS est proposée via l'utilisation d'une plate-forme de test. Les acquisitions réalisées ont démontré la présence d'un délai variable dont l'origine est la non-compatibilité des circuits de la numérisation du signal avec les horloges non uniformes. Ce délai a provoqué l'apparition de raies parasites qui peuvent être éliminée par le redimensionnement de l'étage de sélection numérique du canal. Un bilan global de la consommation de puissance a permis un gain de 30% de la consommation de l'étage en bande de base analogique. En tenant compte du générateur de l'horloge TQ-PRS et de l'étage de sélection numérique du canal, ce gain devient 27.5%.

Mots clefs : réception radio multistandard, échantillonnage pseudo-aléatoire à temps quantifié, estimation de puissance, dimensionnement de l'étage en bande de base.

Abstract and key words

The work presented in this Ph.D. dissertation deals with the design of multistandard radio receivers that process signals with heterogeneous specifications. The originality of these research activities comes from the application of random sampling at the baseband stage of a software defined radio receiver. The purpose behind the choice of random sampling is to take advantage of its alias-free sampling feature. The originality of this work is the analytic proof of the alias attenuation feature of the time quantized random sampling, the implementation version of the random sampling. A second contribution concerns also the analytic study of the simplest implementation version of the random sampling, the time quantized pseudo-random sampling (TQ-PRS). Theoretical formulas allow the estimation of the alias attenuation in terms of time quantization factor and oversampling ratio.

Ones theoretical results corroborates with simulation results, alias attenuation measurement permits to design the baseband stage of the proposed multistandard radio receiver architecture. The design concerns different configuration of the baseband stage according to the performances of the used analog-to-digital converters (ADC). The TQ-PRS use instead of uniform sampling allows decreasing the anti-aliasing filter order or the sampling frequency. The design of the baseband stage reveals a difference on the choice of the time quantization factor for each standard.

The architecture of a programmable generator of TQ-PRS clock, the Pseudorandom Direct Sampler (PDS), is proposed. The generated clock could have time quantization factor equal to 8, 16 and 32. Its FPGA-based implementation gives a maximal frequency of 360 MHz leading to a maximal mean sampling frequency equal to 11.25 MHz and a dynamic power consumption of 4 mW. The experimental validation of the TQ-PRS effect is achieved by the use of a test platform. Acquisitions point out the presence of a variable delay coming from the incompatibility of the commercial ADCs with the non uniform clocks. This delay leads to spurious replicas that could be removed by redesigning the digital canal selection stage. The power consumption budget analysis demonstrates a power consumption gain of 30% regarding the power consumption of the analog baseband stage. This gain becomes 27.5% when the TQ-PRS clock and the digital canal selection stages are considered.

Keywords : Multistandard radio receiver, time quantized pseudo-random sampling, power consumption estimation, baseband stage design.

Liste des acronymes

1 db CP	1 dB Compression Point
AAF	Anti-Aliasing Filter
ADC	Analog-to-Digital Converter
AGC	Automatic Gain Control
ARS	Additive Random Sampling
BAW	Bulk Acoustic Wave
BW	Band Width
CIC	Cascaded-Integrated Comb
CMOS	Complementary Metal and Oxide Semi-conductor
DASP	Digital Alias-free Signal Processing
DC-offset	Direct Current offset
DDS	Direct Digital Synthesizer
E/B	Echantillonneur/Bloqueur
EVM	Error Vector Magnitude
FEM	Front-End Module
fft	Fast Fourier Transform
FIFO	First In First Out
FIR	Finite Impulse Response
FLOA	Flexible operational amplifier
FPGA	Field Programmable Gate-Array
GaAs	Gallium arsenide
GMSK	Gaussian Minimum Shift Keying
GSM	Global System for Mobile communication
HBLNA	High Band Low Noise Amplifier
HBVCO	High Band Voltage Controlled Oscillator
HDR	Hardware Defined Radio
I / Q	In phase / Quadrature phase
IC	Integrated Circuit
IF	Intermediate Frequency
IEEE	Institute of Electrical and Electronics Engineers
IIP2	Second-order Input Intercept Point
IIP3	Third-order Input Intercept Point
IIR	Infinite Impulse Response
JRS	Jittered Random Sampling
LBLNA	Low Band Low Noise Amplifier

LBVCO	Low Band Voltage Controlled Oscillator
LFSR	Liner Feedback Shift Register
LNA	Low Noise Amplifier
LNTA	Low Noise Transconductance Amplifier
LO	Local Oscillator
LUT	Look-Up Table
MOS	Metal and Oxide Semi-conductor
MOSFET	Metal and Oxide Semi-conductor Field-Effect Transistor
MPS	Multiply per second
NF	Noise Figure
OFDM	Orthogonal Frequency Division Multiplexing
OSR	Over Sampling Ratio
PDS	Pseudorandom Direct Sampler
PSS	Pseudorandom Signal Sampler
RF	Radio Frequency
ROM	Read Only Memory
RS	Random Sampling
SAW	Surface Acoustic Wave
SDR	Software Defined Radio
SiGe	Silicon and Germanium
SNDR	Signal-to-Noise and Distortion Ratio
SNR	Signal to Noise Ratio
SWR	Software Radio
TIA	TransImpedance Amplifier
TQ-JPRS	Time Quantized Jittered Pseudo-Random Sampling
TQ-JPRSS	Time Quantized Jittered Pseudo-Random Sub-Sampling
TQ-JRS	Time Quantized Jittered Random Sampling
TQ-PRS	Time Quantized Pseudo-Random Sampling
TQ-RS	Time Quantized Random Sampling
UMTS	Universal Mobile Telecommunication Standard
VCO	Voltage Controlled Oscillator
VGA	Variable Gain Amplifier
VNSD	Voltage-Noise Spectral Density
VTC	Voltage-to-Time Converter

Liste des notations

$\circledast$	Produit de convolution
A_{max}	Atténuation maximale permise dans la bande passante du filtre anti-repliement
A_{min}	Atténuation minimale requise par le filtre anti-repliement
Att_{RS}	Atténuation de la réplique grâce à l'échantillonnage aléatoire
$Att_{TQ-JPRS}$	Atténuation de la réplique grâce à l'échantillonnage TQ-JPRS
B	Largeur du canal
B_{bande}	Largeur de la bande
C_H	Capacité responsable de l'effet du blocage dans un circuit E/B
DR_{ADC}	Plage dynamique de l'ADC
Δ	Pas de la quantification temporelle
Δ_{T_s}	Temps de l'intégration du signal lors du charge sampling
ΔP	Incrément de phase du PDS
E_{conv}	Valeur d'énergie requise par palier de conversion
f_H	Fréquence délimitant la frontière supérieure du canal
f_{IF}	Fréquence intermédiaire
f_{in}	Fréquence d'entrée
f_L	Fréquence délimitant la frontière inférieure du canal
f_p	Fréquence de coupure du filtre anti-repliement
$f_{reconstruction}$	Fréquence de l'étape de la reconstruction
f_{RS}	Fréquence moyenne de l'échantillonnage aléatoire
f_s	Fréquence de l'échantillonnage uniforme
$f_{synthèse}$	Fréquence de synthèse du filtre numérique de la sélection du canal
f_t	Fréquence de rejection du filtre anti-repliement
$\Phi(.)$	Fonction caractéristique de la distribution de probabilité
$G_{AGC_{min}}$	Gain maximal de l'AGC
$G_{AGC_{max}}$	Gain minimal de l'AGC
G_{ana}	Gain analogique
$H_{S\&H}(.)$	Fonction de transfert de l'échantillonnage/blocage
H_{TQ_JRS}	Fonction de transfert de l'échantillonnage TQ-JPRS
$H_{S\&H_{TQ-JPRS}}$	Fonction de transfert de l'échantillonnage TQ-JPRS avec blocage
$IIP2_{Etage\ RF}$	IIP2 de l'étage RF
$IIP2_{LNA}$	IIP2 du LNA
$IIP2_{Mélangeur}$	IIP2 du mélangeur
K	Constante de Boltzmann

$lfsr$	Séquence des instants de l'échantillonnage pseudo-aléatoire
M_{AAF}	Marge de conception du filtre anti-repliement
N_{bl}	Niveau du bloqueur
N_{filtre}	Ordre du filtre anti-repliement
$(N_{bl} - Att)_{max}$	Puissance maximale des bloqueurs après le filtre RF et le filtrage anti-repliement
n_{ADC}	Nombre de bits de l'ADC
n_{coef}	Nombre de bits des coefficients du filtre numérique de la sélection du canal
$N_{échan}$	Nombre des échantillons requis par le PDS pour construire une période instantanée
$N_{selection}$	Ordre du filtre numérique de la sélection du canal
η_s	Puissance du bruit replié
η_r	Puissance du bruit avant le pic du signal
$p(.)$	Densité spectral de la variable aléatoire
$P(.)$	Fonction de répartition de la variable aléatoire
P_{ADC}	Puissance consommée par l'ADC
P_{AGC}	Puissance consommée par l'AGC
P_{BB}	Puissance consommée par l'étage en bande de base
P_{dyn}	Puissance dynamique consommé par le filtre numérique de la sélection du canal
$p_k(t)$	Densité de probabilité du k^{ième} instant d'échantillonnage
P_{LPF}	Puissance consommée par le filtre anti-repliement
$Ppic_s$	Puissance du pic du signal
$Ppic_r$	Puissance du pic de la réplique
P_{pole}	Consommation du filtre anti-repliement normalisée par son ordre
P_r	Puissance de la réplique du signal
P_s	Puissance du signal
$p_q(t)$	Densité de probabilité de la variable aléatoire discrète
q	Facteur de la quantification temporelle
$rect_y(x)$	fonction porte qui prend la valeur de y si |x| $\leq 1/2$
$rem(x, y)$	Reste de la division euclidienne de x par y
R_{MOS}	Résistance interne d'un transistor MOS
$S : s_2 s_1 s_0$	Signal de sélection de la valeur du pas de la quantification temporelle
S_{fs}	Puissance du signal à la pleine échelle de l'ADC
S_{max}	Puissance maximale du signal à l'entrée du récepteur
SNR_{out}	Rapport Signal à-bruit à la sortie du récepteur-
S_{ref}	Sensibilité de référence
$s_q(.)$	Fonction d'échantillonnage
σ	Écart type de la distribution de la variable aléatoire
T	Température en Kelvin
T_s	Période d'échantillonnage uniforme

T_{RS}	Période moyenne de l'échantillonnage aléatoire
t_k	k[ième] instant d'échantillonnage
$t_{k,q}$	Instant d'échantillonnage quantifié
τ_k	Variable aléatoire continue
$\tau_{k,q}$	Variable aléatoire discrète
δt_k	Distance entre l'instant d'échantillonnage uniforme et celui aléatoire
VG_{LNA}	Gain en tension du LNA
V_{in}	Tension d'entrée
V_{out}	Tension de sortie
V_{ref}	Tension de référence des ADC
$x(.)$	Signal analogique
$x_s(.)$	Signal analogique échantillonné
$x_{s,q}(.)$	Signal analogique échantillonné par TQ-RS
$\hat{X}_{JRS}$	Estimation de la transformée de Fourier d'un signal échantillonné en JRS
$\hat{X}_{ARS}$	Estimation de la transformée de Fourier d'un signal échantillonné en ARS
$\hat{X}_{s,q}(f)$	Estimation de la transformée de Fourier d'un signal échantillonné en TQ-RS
$\hat{X}_{s,q_{S\&H}}$	Estimation de la transformée de Fourier d'un signal échantillonné en TQ-RS avec considération du blocage
$X_{TQ-JPRS}$	Transformée de Fourier d'un signal échantillonné en TQ-JPRS
$X_{TQ-JPRS_{S\&H}}$	Transformée de Fourier d'un signal échantillonné en TQ-JPRS avec considération du blocage

Table des matières

Avant propos ..... **v**

Résumé et mots clefs ..... **vii**

Abstract and key words ..... **ix**

Liste des acronymes ..... **xi**

Liste des notations ..... **xiii**

Table des matières ..... **xvii**

Table des Figures ..... **xxi**

Liste des tableaux ..... **xxv**

Introduction générale **1**

Chapitre I. Etat de l'art des architectures récentes de récepteurs SDR et de ses principaux composants **5**

I.1 État de l'art des architectures récentes de récepteurs SDR 6

I.1.1 Architecture hybride homodyne/low-IF 6

I.1.2 Exemple de réalisation d'un récepteur multistandard homodyne/low-IF .. 10

I.1.3 Architecture à échantillonnage 12

I.2 Étude des circuits de l'étage en bande de base 17

I.2.1 Le filtre anti-repliement 18

I.2.2 Le contrôle automatique de gain 24

I.2.3 Le convertisseur analogique numérique 26

I.3 Motivations de l'application de l'échantillonnage aléatoire à un récepteur SDR 28

I.3.1 Présentation du pouvoir de suppression du repliement spectral 29

I.3.2 Caractéristiques de l'échantillonnage aléatoire réel 30

I.3.3 Mise en œuvre de l'échantillonnage aléatoire 31

I.3.4 Réalisations du générateur d'horloge aléatoire 33

Chapitre II. Étude de l'échantillonnage aléatoire à temps quantifié 37

II.1 Démonstration de la réduction du repliement spectral par l'échantillonnage aléatoire à temps quantifié 38

II.1.1 Présentation du TQ-JRS 38

II.1.2 Comparaison des résultats de la simulation et la théorie du TQ-JRS 45

II.2 Démonstration de la réduction des répliques par l'échantillonnage pseudo-aléatoire à temps quantifié 50

II.2.1 Présentation du TQ-JPRS 51

II.2.2 Formulation analytique de la transformée de Fourier d'un signal échantillonné en TQ-JPRS 51

II.2.3 Comparaison des résultats de l'échantillonnage pseudo-aléatoire à temps quantifié 54

II.2.4 Comparaison du pouvoir d'atténuation des échantillonnages aléatoire et pseudo-aléatoire à temps quantifié 57

II.3 Applications de l'échantillonnage aléatoire à temps quantifié 60

II.3.1 Validation de l'échantillonnage TQ-JPRS pour un signal modulé 60

II.3.2 Application du TQ-JPRS dans une architecture à échantillonnage 64

II.3.3 Application du TQ-JPRS dans une architecture à mélangeur 67

Chapitre III.Application de l'échantillonnage aléatoire à temps quantifié aux récepteurs SDR 69

III.1 Proposition et dimensionnement de l'architecture SDR 70

III.1.1 Architecture SDR basée sur l'utilisation du TQ-JPRS 70

III.1.2 Dimensionnement de l'architecture proposée 71

III.2 Estimation de la consommation de puissance 80

III.2.1 Métriques d'estimation de la consommation de puissance de l'étage en bande de base 80

III.2.2 Estimation de la consommation de puissance de l'étage en bande de base 82

III.3 Mise en œuvre du mode d'échantillonnage TQ-JPRS 85

III.3.1 Présentation de la plateforme de test 85

III.3.2 Pseudorandom direct Sampler 87

III.3.3 Détection du problème du délai variable 90

III.4 Sélection numérique du canal et budget de puissance 95

III.4.1 Présentation de l'étage de sélection du canal 95

III.4.2 Étapes de sélection de canal et élimination des répliques 97

III.4.3 Analyse de la consommation de puissance de l'architecture proposée.....100

Conclusion générale 105

Annexe A . Présentation des architectures des ADCS et comparaison de leurs performances.....109

Annexe B . Estimée de la transformée de Fourier d'un signal échantillonné en TQ-JRS 115

Annexe C . Formulation analytique de la transformée de Fourier d'un signal échantillonné en TQ-JPRS.....119

Bibliographie 121

Table des Figures

Figure I-1. Effet du bruit *1/f* sur le signal utile. 6
Figure I-2. Architecture multistandard homodyne/low-IF proposée par Brandolini. 7
Figure I-3. Architecture multistandard zéro/low-IF proposée par Giannini. 11
Figure I-4. Schéma bloc de l'architecture à échantillonnage. 13
Figure I-5. Architecture multistandard à échantillonnage proposée en (74). 14
Figure I-6. Circuit de l'échantillonneur/bloqueur. 14
Figure I-7. Architecture multistandard à échantillonnage proposée par Latiri. 16
Figure I-8. Gabarit du filtre anti-repliement (AAF). 18
Figure I-9. Différentes cellules de base d'un filtre passe-bas. 19
Figure I-10. Filtre anti-repliement programmable proposé par Giannini. 20
Figure I-11. Schéma synoptique d'un filtre FIR. 21
Figure I-12. Exemple de filtre FIR programmable. 22
Figure I-13. Schéma synoptique d'un filtre IIR. 22
Figure I-14. Schéma d'un filtre IIR. 23
Figure I-15. Détermination des gains extrêmes de l'AGC. 24
Figure I-16. Schéma bloc simplifié de l'architecture d'un AGC à réaction (a) et à action anticipative(b). 24
Figure I-17. Amplificateur à gain variable programmable. 25
Figure I-18. Architecture de l'horloge aléatoire de l'analyseur de spectre. 33
Figure I-19. Architecture du Pseudo-random Signal Sampler. 34
Figure I-20. Principe du fonctionnement du générateur de nombres aléatoires. 34

Figure II-1. Description du mode TQ-JRS pour q=4. 39
Figure II-2. Considération de la probabilité de tous les instants dans le cas du TQ-JRS... 40
Figure II-3. Allure du spectre après échantillonnage TQ-JRS. 43
Figure II-4. Présentation de la puissance du signal et de la première réplique. 44
Figure II-5. Variation de l'atténuation en fonction de *q* et *OSR*. 44
Figure II-6. Superposition de la représentation théorique et du spectre de la simulation du TQ-JRS. 45
Figure II-7. Superposition du spectre de la simulation d'un échantillonnage uniforme en *Sample&Hold* avec le traçage de la formule théorique du spectre en TQ-JRS. 47
Figure II-8. Superposition de la formule théorique du TQ-JRS en *Sample&Hold* avec la simulation du TQ-JRS présenté en *Sample&Hold*. 48
Figure II-9. Comparaison de l'atténuation de la première réplique par l'échantillonnage TQ-JRS avec et sans *Sample&Hold*. 49

Figure II-10. Comparaison du résultat de simulation des échantillonnages JRS et TQ-JRS en terme de densité spectrale de puissance (a) et atténuation (b). 50
Figure II-11. Présentation de l'axe temporel en TQ-JPRS pour un facteur de quantification, *q=4*. 51
Figure II-12. Spectre de l'échantillonnage TQ-JPRS simulé et tracé en *zero-padding* comparé au traçage de la formule théorique. 52
Figure II-13. Spectre de l'échantillonnage TQ-JPRS simulé et tracé en *Sample&Hold* comparé au traçage de la formule théorique. 54
Figure II-14. Mesures de l'atténuation du TQ-JPRS sans (a) et avec (b) considération de l'opération de blocage, *q=8*. 55
Figure II-15. Mesure de l'atténuation en fonction de l'OSR et du facteur de la quantification temporelle dans le cas TQ-JPRS sans tenir compte de l'effet du blocage. 56
Figure II-16. Spectres de simulation du TQ-JRS et du TQ-JPRS sans (a) et avec (b) considération du blocage. 58
Figure II-17. Mesures de l'atténuation en TQ-JRS et TQ-JPRS avec différentes valeurs de *q* sans (a) et avec (b) considération du blocage. 59
Figure II-18. Spectres des signaux modulés GMSK (a) et OFDM (b). 61
Figure II-19. Spectre en sortie d'un échantillonnage blocage en TQ-JPRS d'un signal modulé GMSK. 62
Figure II-20. Spectre en sortie d'un échantillonnage blocage en TQ-JPRS d'un signal modulé OFDM. 62
Figure II-21. Spectre reconstruit après échantillonnage en TQ-JPRS. 63
Figure II-22. Spectre du sous-échantillonnage en TQ-JPRS. 66
Figure II-23. Reconstruction du signal échantillonné en TQ-JPRSS. 66
Figure II-24. Architecture d'un récepteur radio utilisant le TQ-JPRS. 67

Figure III-1. Architecture du récepteur multistandard basé sur l'utilisation du TQ-JPRS. 70
Figure III-2. Profils des bloqueurs des standards GSM, (a), UMTS, (b) et IEEE 802.11 a (c) à l'entrée de l'étage en bande de base. 73
Figure III-3. Réduction de l'ordre du filtre anti-repliement par le TQ-JPRS. 74
Figure III-4. Réduction de la fréquence d'échantillonnage par le TQ-JPRS. 75
Figure III-5. Première architecture de l'étage en bande de base. 76
Figure III-6. Deuxième architecture de l'étage en bande de base. 78
Figure III-7. Troisième architecture de l'étage en bande de base. 79
Figure III-8. Évolution de la valeur de E_{conv}. 81
Figure III-9. Abaque de consommation de puissance, $E_{conv}=5pJ$ et $P_{pole}=2.66mW$. 82
Figure III-10. Schéma synoptique de la plateforme de test. 86
Figure III-11. Schéma synoptique du synthétiseur de fréquence DDS. 87
Figure III-12. Schéma synoptique du générateur d'horloge PDS. 88
Figure III-13. Architecture du LFSR programmable. 89
Figure III-14. Allure de l'horloge en sortie du PDS. 89
Figure III-15. Densité spectrale de puissance de l'acquisition tracé en *Sample&hold*. 91

Figure III-16. Densité spectrale de puissance d'un signal échantillonné en TQ-JPRS par un convertisseur de type full-flash. 91
Figure III-17. Délai variable constaté à l'entrée et à la sortie de l'ADC. 92
Figure III-18. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite 92
Figure III-19. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite selon un axe temporel erroné. 93
Figure III-20. Résultats de simulation de la reconstruction en présence d'un délai de formes différentes. 94
Figure III-21. Structure de l'étape de sélection du canal pour l'échantillonnage uniforme. 97
Figure III-22. Profil des bloqueurs et des interférents à la sortie de l'ADC en considérant un échantillonnage TQ-JPRS. 98
Figure III-23. Architecture et spécification de l'étage en bande de base et l'étage de la sélection numérique proposés. 101

Figure A-1. Architecture d'un ADC Flash. 109
Figure A-2. Architecture simplifiée d'un ADC ΣΔ. 110
Figure A-3. Architecture de l'ADC pipeline. 110
Figure A-4. Architecture de l'ADC SAR. 111
Figure A-5. Évolution de la fréquence d'échantillonnage au fil des années. 112
Figure A-6. Relation entre fréquence et consommation de puissance de différents types d'ADC. 113
Figure A-7. Résolution des ADCs en fonction de la fréquence d'échantillonnage. 113
Figure A-8. Qualité du signal numérisé en fonction de sa largeur de bande utile. 114

Liste des tableaux

Tableau I-1. Spécifications de l'étage RF des standards GSM, UMTS et IEEE 802.11.a. 8
Tableau I-2. État de l'art des LNAs multi-bande. 9
Tableau I-3. État de l'art des mélangeurs à large bande. 10
Tableau I-4. Comparaison des mesures de la performance du récepteur avec les spécifications des standards. 12
Tableau I-5. Standards et fréquences considérées dans les architectures multistandard à échantillonnage. 13
Tableau I-6. État de l'art du circuit E/B pour le *voltage sampling* 15
Tableau I-7. État de l'art du circuit E/B pour le *charge sampling* 16
Tableau I-8. État de l'art des filtres passe-bas multistandard 20
Tableau I-9. État de l'art des VGAs programmables. 25
Tableau I-10. État de l'art des ADCs Sigma Delta multistandards. 27

Tableau III-1. Comparaison de la plage dynamique des ADCs multistandards sélectionnés. 71
Tableau III-2. Paramètres physiques des standards GSM/UMTS/IEEE 802.11 a. 72
Tableau III-3. Spécification de dimensionnement du récepteur multistandard GSM /UMTS/IEEE 802.11 a. 72
Tableau III-4. Valeurs de l'atténuation $Att_{TQ\text{-}JPRS}$ en fonction de q 76
Tableau III-5. Dimensionnement du filtre AAF de la première architecture avec échantillonnage uniforme et TQ-JPRS avec des différentes valeurs de q. 77
Tableau III-6. Ordre du filtre AAF de la première architecture avec des valeurs différentes de q. 77
Tableau III-7. Valeurs du gain maximal de l'AGC et du nombre de bit de l'ADC pour la première architecture avec des valeurs différentes de q 77
Tableau III-8. Dimensionnement de l'étage en bande de base de la première architecture en considérant la réduction de la fréquence d'échantillonnage 77
Tableau III-9. Dimensionnement du filtre AAF de la deuxième architecture avec échantillonnage uniforme et TQ-JPRS avec des différentes valeurs de q. 78
Tableau III-10. Ordre du filtre AAF de la deuxième architecture avec des valeurs différentes de q 78
Tableau III-11. Dimensionnement de l'étage en bande de base de la deuxième architecture 79
Tableau III-12. Dimensionnement du filtre AAF de la troisième architecture avec échantillonnage uniforme et TQ-JPRS avec des différentes valeurs de q. 79

Tableau III-13. Ordre du filtre AAF de la troisième architecture avec des valeurs différentes de q. 80
Tableau III-14. Dimensionnement de l'étage en bande de base de la deuxième architecture. 80
Tableau III-15. Valeurs de P_{pole} pour différents standards et avec la technologie CMOS 0.13 µm. 81
Tableau III-16. Estimation de la consommation en mW de l'étage en bande de base de la première architecture. 83
Tableau III-17. Estimation de la consommation en mW de l'étage en bande de base de la deuxième architecture. 83
Tableau III-18. Estimation de la consommation en mW de l'étage en bande de base de la troisième architecture. 83
Tableau III-19. Spécifications de l'architecture sélectionnée pour l'étage en bande de base. 85
Tableau III-20. Caractéristiques du LFSR selon la valeur de q. 88
Tableau III-21. Correspondance entre les différents paramètres de la génération d'horloge. 90
Tableau III-22. Complexité de l'étage de sélection du canal en échantillonnage uniforme. 96
Tableau III-23. Complexité de l'étage de sélection du canal en échantillonnage TQ-JPRS.99
Tableau III-24. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard GSM. 99
Tableau III-25. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard UMTS. 99
Tableau III-26. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard IEEE 802.11.a. 99
Tableau III-27. Comparaison de la complexité de l'étage de sélection du canal pour l'échantillonnage uniforme et l'échantillonnage TQ-JPRS 100
Tableau III-28. Estimation de la consommation de puissance en mW de l'architecture de l'étage en bande de base proposée. 102
Tableau III-29. Apport de l'application du TQ-JPRS sur la consommation de puissance en mW du récepteur SDR proposé. 103

Introduction générale

La radiodiffusion a vu le jour en 1893 lors des premières expériences de Nikola Tesla, faisant intervenir les courants à très hautes fréquences et démontrant publiquement la radiodiffusion. Depuis ce temps, les moyens de communications se sont exponentiellement étendus, migrant vers la radio numérique. Le premier développement de ce marché s'est basé essentiellement sur l'utilisation des émetteurs et récepteurs définis matériellement (HDR, Hardware Defined Radio). Les architectures des terminaux HDR étaient dédiées à assurer un seul service de communication.

La forte application des moyens sans fil dans la société a engendré l'apparition de plusieurs normes et services de communication alliant l'audio à la vidéo et occupant des bandes de fréquences et des largeurs de canaux de transmission très différents. Devant cette diversité, le concept HDR se trouve substitué par un concept novateur plus flexible, la radio logicielle (SWR, Software Radio). La SWR fut présentée par Josef Mitola comme la solution incontournable pour faire face aux exigences des multiples standards de communication évolutifs (1). Introduite au début des années 1990, la SWR vise à maximiser le traitement numérique radio. L'architecture radio appropriée devrait donc être composée majoritairement d'une implantation logicielle associée à un minimum de circuits analogiques nécessaires pour le couplage avec les signaux physiques de l'interface air (2; 3). La reconfigurabilité et la flexibilité des terminaux seront possibles par une simple programmation logicielle tout en gardant une faible consommation de puissance et des circuits électroniques à faibles coûts.

L'architecture SWR doit disposer d'un convertisseur analogique numérique (ADC, Analog-to-Digital Converter) très puissant, placé juste après l'antenne de réception afin de permettre un passage direct du signal reçu vers le domaine numérique (4). Un tel ADC n'existe pas sur le marché d'aujourd'hui (5; 6; 7). A cause de ce handicap, le concept de la radio logicielle restreinte (SDR, Software Defined Radio) a été introduit par la communauté scientifique (8). La SDR consiste à utiliser les étages analogiques les plus reconfigurables afin d'optimiser le traitement du signal radio et tendre vers la SWR (9). Les architectures SDR se sont développées au fils des années passant de l'architecture hétérodyne et l'architecture homodyne à des architectures hybrides réunissant les avantages de chaque topologie (10; 11; 12; 13; 14). Toutefois, la multitude des standards de communication imposent l'utilisation de composants programmables ou multistandards. Les spécifications diverses engendrent de très fortes contraintes sur les différentes parties de l'architecture de réception SDR menant à une augmentation de la consommation de puissance de ses composants ainsi que leurs coûts (15).

C'est dans ce contexte que s'inscrivent nos travaux de recherche proposant d'étudier l'apport de l'échantillonnage aléatoire pour le traitement en bande de base dans un contexte radio logicielle restreinte au niveau de la numérisation des signaux. Cette technique a été introduite depuis le début des années 1930 (16). La notion de l'échantillonnage aléatoire a été traitée d'un point de vue mathématique (17; 18) et appliquée dans plusieurs domaines dont le domaine médical (19), les applications radar (20), le traitement d'image (21), la cryptographie (22) etc. Son application au domaine de la réception radio est restreinte à quelques travaux récents (23; 24; 25).

Des premières recherches sur l'échantillonnage aléatoire ont permis de mettre en évidence sa capacité à supprimer le repliement spectral ou simplement sa réduction (18; 26). Appliqué au domaine de la réception radio, l'échantillonnage aléatoire a permis une réduction des contraintes au niveau de la bande de base (25). Ces études justifient le potentiel de la suppression des répliques seulement pour un échantillonnage aléatoire à temps continu. Toutefois, une implémentation matérielle de celui ci exige une quantification de l'axe temporel. De plus, la réduction de l'aspect aléatoire de l'échantillonnage vers un aspect pseudo-aléatoire permet d'alléger l'implémentation de ce type de traitement de signal. Ces aspects de mise en œuvre n'ont pas été traités dans la littérature et leurs effets n'ont pas été analysés sur le pouvoir de suppression des répliques.

Ainsi, nous proposons dans ces travaux de thèse d'étudier et de démontrer le pouvoir de réduction du repliement spectral de l'échantillonnage aléatoire à temps quantifié (TQ-RS, Time Quantized Random Sampling) et de l'échantillonnage pseudo-aléatoire à temps quantifié (TQ-PRS, Time Quantized Pseudo Random Sampling). Après avoir défini une métrique de mesure du pouvoir d'atténuation du repliement spectral, nous proposons de mesurer l'apport de l'application de l'échantillonnage TQ-PRS au niveau de l'étage en bande de base d'une architecture SDR multistandard donnée. La mise en œuvre de l'échantillonnage pseudo-aléatoire est proposée sous forme d'un générateur d'horloge pseudo-aléatoire programmable permettant de traiter le signal avec une quantification temporelle programmable pour chaque standard considéré. Ces travaux sont présentés en trois chapitres.

Le premier chapitre présente l'état de l'art des architectures de réception radio récentes englobant les architectures à transposition de fréquence par mélangeurs et ceux utilisant le sous-échantillonnage. Un état de l'art des circuits multistandards au niveau de l'étage radio fréquence et de l'étage en bande de base est réalisé. Cet état de l'art permet d'identifier les besoins de la SDR et d'identifier les problèmes émanent des fortes et multiples spécifications des standards. Nous introduisons dans la dernière section de ce chapitre, l'échantillonnage aléatoire à ce niveau comme une solution de réduction des contraintes soulevées. Nous présentons l'état de l'art de ce traitement de signal qui nous conduit au théorème de l'anti-repliement spectral dans le cas d'un échantillonnage aléatoire idéal ou aux expressions de l'estimée de la transformée de

Fourier pour le cas d'un échantillonnage aléatoire réel. Nous présentons aussi quelques applications de l'échantillonnage aléatoire appartenant à de divers domaines.

Le deuxième chapitre de ce manuscrit est dédié à la démonstration théorique du pouvoir de la réduction du repliement spectral de l'échantillonnage TQ-RS. Dans la première section, une discussion sur le choix de la distribution de l'échantillonnage est faite. La densité spectrale de puissance de cette distribution est exprimée en présence d'une quantification temporelle. A partir de cette modélisation mathématique, nous démontrons la réduction du repliement spectral. L'échantillonnage TQ-PRS fait l'objet de la deuxième section. Une démonstration théorique de sa capacité à réduire les répliques est présentée. Nous comparons à ce stade, l'atténuation de la réplique spectrale par l'échantillonnage TQ-RS et TQ-PRS. Dans la troisième section de ce chapitre, nous validons le pouvoir de l'atténuation des répliques dans un cas d'un signal modulé GMSK et OFDM. Nous présentons les possibilités de l'apport de l'utilisation de l'échantillonnage TQ-PRS, notamment pour la transposition de fréquence des signaux radio et pour la numérisation des signaux en bande de base.

Le troisième chapitre de ce manuscrit met en évidence l'avantage de substituer l'échantillonnage uniforme par l'échantillonnage TQ-PRS dans un contexte de réception radio. Dans la première section, nous présentons une architecture hybride homodyne/low-IF avec une proposition de trois configurations de l'étage en bande de base pouvant traiter les signaux des standards GSM/UMTS et IEEE 802.11.a en se basant sur des composants existants. Le choix de l'étage en bande de base est fait dans le but de réduire la consommation totale de cet étage. L'impact de l'application de l'échantillonnage TQ-PRS sur les composants de l'étage en bande de base est discuté. Une estimation de la consommation de puissance de chaque composant de cet étage est réalisée au niveau de la deuxième section. Elle permet à la fois de déduire la configuration optimale de l'étage en bande de base et de mesurer le gain en termes de consommation de puissance amené par l'échantillonnage TQ-PRS. L'implémentation matérielle fait l'objet de la dernière section de ce rapport. Une plateforme de test réalisée dans des travaux antérieurs, est mise à jour afin de pouvoir mesurer l'effet de l'application de l'échantillonnage TQ-PRS via des acquisitions. Nous présentons une mise en œuvre de l'implémentation du TQ-JPRS par la proposition d'un générateur d'horloge pseudo-aléatoire programmable nommé PDS (Pseudo-random Direct Sampler). L'utilisation de la plateforme de test souligne la présence d'un délai variable dont une origine possible serait la non-compatibilité du convertisseur utilisé avec le mode d'échantillonnage TQ-PRS. Le délai variable entraine la présence de raies parasites que nous proposons d'éliminer à travers l'étage de sélection numérique du canal.
Nous clôturons ce rapport par une estimation globale de la consommation de puissance du récepteur avec son traitement analogique et numérique du signal en présence d'un échantillonnage uniforme et TQ-PRS.

Chapitre I. Etat de l'art des architectures récentes de récepteurs SDR et de ses principaux composants

Introduction

Devant les contraintes de plus en plus sévères des nouveaux services et standards, les terminaux radio mobile doivent afficher des performances élevées. En effet, pour conquérir le marché, un terminal doit être flexible afin de s'adapter à plusieurs standards (27), intégrable afin d'avoir un moindre coût (28; 29) et une faible consommation (30; 31) dans un contexte mobile. Les récepteurs radio ont progressé grâce à l'évolution technologique rendant possible à chaque fois l'exploration d'une nouvelle architecture de récepteur plus adéquate aux conditions requises par la radio logicielle restreinte (SDR, Software Defined Radio) (10; 32; 12; 11) Cette évolution considère trois volets : technologique, conception au niveau circuit et architecture système. Ainsi, plusieurs approches ont été utilisées pour le traitement en temps continu ou en temps discret du signal radio avant sa numérisation.

C'est dans ce contexte de réception radio multistandard que se situe notre problématique qui consiste à explorer l'apport de l'échantillonnage aléatoire (RS, Random Sampling) pour l'amélioration des performances du récepteur SDR. La théorie de l'échantillonnage aléatoire consiste à proposer des techniques de traitement du signal basées sur des instants espacés irrégulièrement dans le temps. En présence du caractère non uniforme, les théories d'échantillonnage introduites par Shannon (33) ne sont plus applicables.

Ce chapitre introduit la problématique de nos travaux de recherche. Il présente, en première section, les architectures récentes pour la SDR incluant les architectures à mélangeurs et les architectures à échantillonnage. Cette partie inclut aussi un état de l'art des circuits de l'étage RF (RF, Radio Fréquence) du récepteur ainsi que les contraintes de la réception multistandard.
La deuxième section s'intéresse à la discussion sur le rôle et les limitations des composants de l'étage en bande de base à travers une revue de l'état de l'art. A travers cette étude, nous concluons que l'échantillonnage présente une étape très importante pour le reste du traitement du canal radio. Il influe directement sur les contraintes appliquées aux composants du récepteur.
La dernière section de ce chapitre est consacrée à la présentation du RS. Cette partie inclut la présentation de la théorie RS et les conditions de la suppression du repliement

spectral. Dans ce chapitre nous présentons quelques domaines d'application du RS. La génération de l'horloge RS pour chaque domaine d'utilisation est discutée.

I.1 État de l'art des architectures récentes de récepteurs SDR

Dans le cadre de nos travaux, l'étude des architectures récentes de récepteurs radio est basé sur deux facteurs : la reconfigurabilité et l'intégrabilité. Le fondement de ces architectures a pour but de minimiser le nombre de composants discrets et de concevoir, ainsi, la totalité du récepteur en un circuit intégré implémenté en une technologie à faible coût. Nous pouvons définir deux classes d'architectures de récepteurs SDR à savoir les architectures à transposition de fréquences par des mélangeurs et les architectures à sous-échantillonnage.

I.1.1 Architecture hybride homodyne/low-IF

Dans la littérature, la grande majorité des architectures récentes de récepteurs SDR proposent l'architecture à conversion directe de fréquence, homodyne, ou l'architecture à transposition vers une faible fréquence intermédiaire, low-IF (low Intermediate Frequency) (32; 34; 35; 36; 37). Ces deux architectures assurent un haut degré d'intégrabilité et une moindre consommation de puissance. Toutefois, ces deux architectures présentent des faiblesses face au traitement des signaux appartenant à des standards à largeur de bande et dynamique hétérogènes.
Du fait d'opérer à une fréquence RF, l'architecture homodyne, aussi appelée architecture zéro-IF (zero Intermediate Frequency), présente une forte disparité entre les voies I et Q du récepteur dégradant ainsi l'EVM (EVM, Error Vector Magnitude). Aussi, une tension continue variable (DC-offset), causée par des fuites provenant de l'oscillateur local et de l'amplificateur à faible bruit (LNA, Low Noise Amplifier) suivi d'un auto-mélange, peut dégrader le rapport signal à bruit (SNR, Signal to Noise Ratio) d'un signal à bande étroite. Également, en implémentant une telle architecture en technologie CMOS, le *flicker noise* ou bruit en $1/f$ illustré par la Figure I-1 peut chevaucher voire submerger le signal utile s'il est à bande étroite (12; 38).

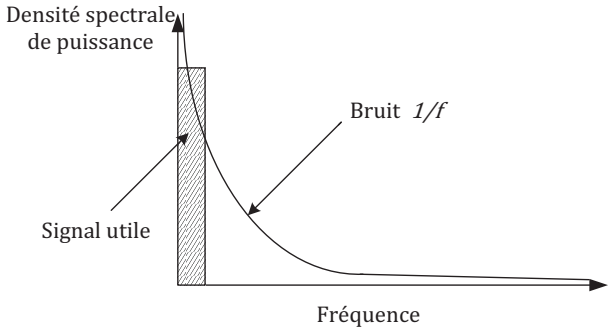


Figure I-1. Effet du bruit *1/f* sur le signal utile.

Le DC-offset et le *flicker noise* ne présente une menace que pour les signaux à bande étroite. Ainsi, il est judicieux d'éviter l'architecture zéro-IF pour des standards à bande étroite, tel que le GSM.

D'autre part, dans les architectures low-IF, du fait que la fréquence du signal est transposée vers une fréquence non nulle f_{IF}, le DC-offset et le *flicker noise* n'ont aucun effet sur le SNR. Toutefois, le problème de fréquence image se présente.

Ainsi, un compromis entre les deux architectures est nécessaire afin de tirer profit de l'architecture zéro-IF sans tomber dans ses inconvénients. Dans (39), Brandolini propose une architecture hybride homdyne/low-IF. Cette architecture, illustrée par la Figure I-2, considère les standards GSM, UMTS, Bluetooth et IEEE 802.11a/b/g. Les signaux à large bande sont transposés directement vers la bande de base. Une transposition de la fréquence vers une faible fréquence intermédiaire f_{IF} est assurée pour le GSM. Le Bluetooth est le seul standard de communication pouvant être fonctionnel avec un autre standard. Sa chaine de réception est donc indépendante. La Figure I-2 se restreint à présenter la chaîne de réception multistandard.

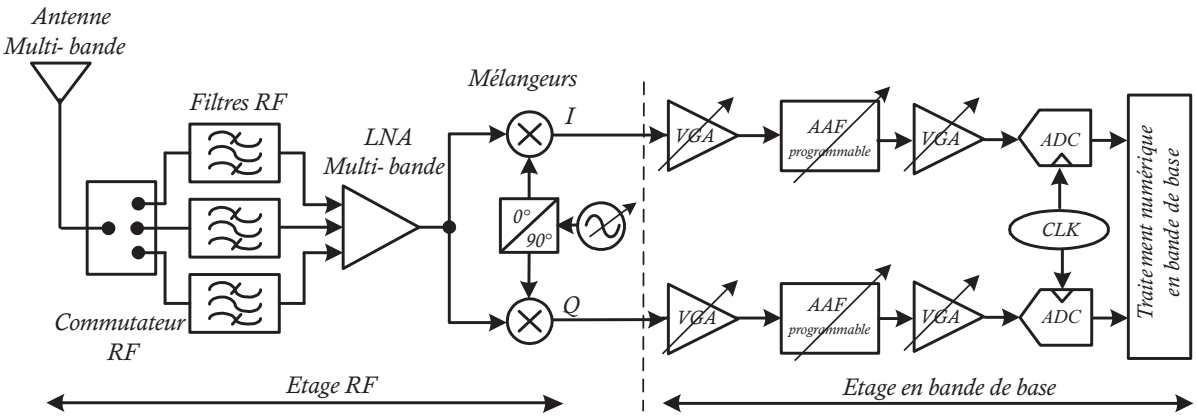


Figure I-2. Architecture multistandard homodyne/low-IF proposée par Brandolini.

Le signal est conduit au récepteur via une antenne multi-bande (40; 41). Un filtre RF passe-bande doit être utilisé à ce niveau afin de sélectionner la bande utile du standard et atténuer les bloqueurs tout autour. Le niveau élevé des bloqueurs hors bande des standards, surtout dans le cas du GSM, et leurs emplacements autours d'une fréquence RF imposent l'utilisation d'un filtre très sélectif. Les filtres ayant les caractéristiques requises pour le filtrage du signal RF sont les filtres à onde acoustique de surface (SAW, Surface Acoustic Wave) ou les filtres à onde acoustique de volume (BAW, Bulk Acoustic Wave). Ces filtres ne sont pas intégrables mais peuvent être dans certains cas programmables (42). Le standard UMTS nécessite aussi la présence d'un duplexeur. Les standards IEEE 802.11a/b et g utilisent un filtre RF avec une bande passante différente de celle du GSM. Afin de s'adapter aux différents standards, l'architecture proposée comporte un banc de filtres RF sélectionnés selon le signal reçu par l'antenne via un commutateur RF en technologie GaAs (43; 44). Il est à noter que des méthodes pour supprimer les filtres SAW non intégrables peuvent être envisagées. Dans (45), plusieurs méthodologies de suppression du filtre RF sont présentées. Une des méthodologies consiste à utiliser une boucle de rétroaction à la sortie du LNA qui a pour but de réduire la puissance les bloqueurs. Une autre méthodologie considère M filtres passe-bas à capacités commutées montés en parallèle au lieu du filtre RF. Cette implémentation

permet de translater la bande passante des filtres en parallèle et de la ramener autour d'une fréquence *M* fois plus grande.

Le signal reçu par l'antenne multi-bande de l'architecture de la Figure I-2 est amplifié par un amplificateur faible bruit multi-bande puis transposé vers la bande de base ou vers une fréquence intermédiaire $f_{IF} = 100\ kHz$ pour le GSM. Par ce choix de fréquence intermédiaire, le signal image correspond exactement au canal adjacent qui est à 9 dB de puissance en plus du signal utile. Le problème de l'image peut donc être résolu facilement par une des méthodes de réjection d'image (46).

Traitant cinq standards différents, l'étage RF de l'architecture proposée doit tenir compte des différentes spécifications des standards parmi lesquels nous résumons celles de trois standards à savoir le GSM, l'UMTS et l'IEEE 802.11.a dans le Tableau I-1. Ces standards ont été choisis à cause de leur hétérogénéité. Le GSM présente des canaux à bande étroite contrairement à l'UMTS et l'IEEE 802.11.a. De plus, la bande utile de chaque standard se situe à des fréquences très éloignées. Les standards GSM et UMTS spécifient bien des tests d'intermodulation afin de mesurer le point d'interception du troisième ordre en entrée (IIP3, third-order Input Intercept Point). Toutefois, le standard IEEE 802.11a n'a pas précisé de test d'intermodulation. La mesure de la linéarité requise du récepteur peut donc être mesurée par le point de compression à 1-dB (1-dB CP, 1 dB Compression Point). Dans le Tableau I-1, le label bruit désigne le facteur de bruit (NF, Noise Figure) pour le LNA et la densité spectrale de tension du bruit (VNSD, Voltage-Noise Spectral Density) du mélangeur.

Tableau I-1. Spécifications de l'étage RF des standards GSM, UMTS et IEEE 802.11.a.

	LNA			**Mélangeur**		
	GSM	**UMTS**	**IEEE 802.11.a**	**GSM**	**UMTS**	**IEEE 802.11.a**
Gain (dB)	23	18	18	12	15	12
Bruit	3 dB	3 dB	3 dB	9 nV/$\sqrt{Hz}$	4.5 nV/$\sqrt{Hz}$	4 nV/$\sqrt{Hz}$
IIP3 (dBm)	-5	0	-	7	12	-
1-dB C.P. (dBm)	-	-	-15	-	-	-5
IIP2 (dBm)	--	--	--	75	60	60

L'étage en bande de base de l'architecture proposée est commun pour tous les standards. Il comporte un premier amplificateur à gain variable (VGA, Variable Gain Amplifier) suivi d'un filtre d'anti-repliement spectral (AAF, Anti Aliaising Filter), d'un second VGA et d'un convertisseur analogique/numérique (ADC, Analog-to-Digital Converter). L'étage en bande de base est contrôlé en configurant numériquement les batteries de résistances et de capacités de chaque composant selon le standard du signal reçu. Les deux VGAs assurent à la fois un rôle de filtrage et d'amplification variables du signal. Ainsi, avec la considération d'un filtre AAF de type Butterworth programmable d'ordre 4, l'ensemble de l'étage en bande de base aura un pouvoir de réduction équivalent à un filtre d'ordre 7. L'ADC proposé est à large bande (39).

La proposition en (39) se limite à une simple étude système. Bien que des suggestions de composants soient présentées, la majorité de ces éléments ne satisfont pas les contraintes du récepteur. En effet, le LNA multi-bande à employer avec une telle architecture doit fournir un gain variable entre 18 et 23 dB, pouvant fonctionner à une fréquence allant de 0.9 jusqu'à 5.35 GHz avec un IIP3 nul à 2.14 GHz et un facteur du bruit ne dépassant pas 3 dB. En littérature, les LNAs proposés sont généralement fonctionnels soit en hautes fréquences (47; 48; 49; 50), soit en basses fréquences (51; 52) mais rarement les deux (53; 54; 55). Les LNAs avec un large champ spectral présentent un mauvais compromis entre gain et linéarité et ne satisfont pas dans la plupart des cas les spécifications requises des standards. Le Tableau I-2 présente un état de l'art des LNAs multi-bande.

Tableau I-2. État de l'art des LNAs multi-bande.

	Fréquence (GHz)	Gain (dB)	IIP3 (dBm)	NF (dB)	P (mW)	Technologie
(47) – 2002	2.45/5.25	14/15	0	2.3/4.5	10	0.35 µm CMOS
(54) – 2002	[0.8 , 1]/[1.8 , 2]	19-20	-4.5	3.1/3.9	65	25 GHz silicon bipolar
(53) – 2007	0.9/1.8/5.2	14/13	-14	2.3/2.9	7.5	0.18 µm CMOS
(55) – 2008	[0.5 , 7]	22	-5	2.3/2.9	12	90 nm CMOS
(51) – 2010	0.8/1.8	21/24	Na	3.3/2	40	SiGe HBT
(52) – 2010	0.9/2.4	18/21	-6.2	1.95/1.66	12	0.13 µm CMOS
(48) – 2010	1.9/5.2	13/17	-17.5	1.5/3.1	3/5.3	0.18 µm CMOS
(49) – 2011	20	25	-17	4.8	12.2	0.13 µm CMOS
(50) – 2011	2.6/5.2	15/9.5	0.071	0.65/0.78	3.6	0.18 µm CMOS

Dans (54), l'amplificateur opère à des fréquences appartenant à [0.8 GHz, 1 GHz] et [1.8 GHz, 2 GHz]. Il présente une bonne linéarité pour le GSM mais n'atteint pas le gain requis. Pour le domaine fréquentiel proche de celui de l'UMTS, le IIP3 est égal à -7.5 dBm et la linéarité n'est donc pas satisfaite pour ce standard. Le LNA présenté en (53) est celui le plus adapté à l'architecture présentée de point de vue fréquence de fonctionnement. Cependant ni le gain qui est de l'ordre de 14 dB ni la linéarité (IIP3=-14 dBm) sont satisfaisants pour le GSM, l'UMTS et l'IEEE802.11a. Par contre, la linéarité est bien vérifiée pour les standards UMTS et IEEE 802.11.A par le LNA fonctionnant seulement à hautes fréquences proposé en (47). Il est donc préférable de considérer deux LNAs opérant chacun sur une bande fréquentielle différente tels que les circuits proposés dans (48) et (55).

Les spécifications de l'étage RF en termes d'intermodulation du second ordre, porte essentiellement sur le mélangeur. L'expression du point d'interception du second ordre en entrée (IIP2, second-order Input Intercept Point) de l'étage RF est donnée par l'Eq. I-1 (56).

$$\frac{1}{IIP2_{Etage\ RF}} = \frac{1}{IIP2_{LNA}} + \frac{VG_{LNA}{}^2}{IIP2_{Mélangeur}} \qquad \textbf{Eq. I-1}$$

Avec VG_{LNA} le gain en tension du LNA. Ainsi, la linéarité du mélangeur est souvent exprimée en IIP2. Dans le cas étudié, l'IIP2 du mélangeur multi-bande est fixé par le GSM à 75 dBm. Le VNSD introduit par ce mélangeur ne doit pas dépasser 4 nV/$\sqrt{Hz}$ pour le IEEE 802.11.a. Les mélangeurs se présentent sous deux formes, passif ou actif. Les mélangeurs passifs présentent un faible *flicker noise* et une meilleure linéarité (57). Cependant, les mélangeurs actifs ont la possibilité de fournir un meilleur gain répondant aux exigences des standards. C'est donc les mélangeurs actifs qui sont les plus utilisés. Un état de l'art de ce type de mélangeurs dont la bande de fréquence est proche de celle considérée par l'architecture de la Figure I-2 est présenté par le Tableau I-3.

Tableau I-3. État de l'art des mélangeurs à large bande.

	Fréquence (GHz)	**Gain (dB)**	**IIP3 (dBm)**	**NF (dB)**	**P (mW)**	**Technologie**
(58) **- 2004**	[0.3, 25]	11	5	Na	71	GaAs HBT
(59) **- 2007**	[0.5, 7.5]	5.7	-16	15	0.48	0.18 µm CMOS
(60) **- 2007**	[0.2, 16]	5.3	Na	Na	15	0.18 µm CMOS
(61) **- 2008**	[0.9, 6]	14	IIP2 @ 0.9 GHz 71	Na	9	65 nm CMOS
(62) **- 2008**	[1, 10]	9.4	-3.2	18.2	1.4	45 nm CMOS
(63) **- 2010**	[1, 10.5]	14.5	-3.8	6.5	14.4	65 nm CMOS

Un exemple de mélangeur multistandard répondant aux spécifications considérées est proposé dans (61). Les cinq standards sont pris en compte avec un IIP2 de l'ordre de 71 dBm pour le GSM et un VNSD de l'ordre de 4 nV/$\sqrt{Hz}$ pour le IEEE 802.11a. Toutefois, implémenté en technologie CMOS 65 nm, ce mélangeur occupe une très grande surface de 2.5mm².

D'après l'état de l'art de l'étage RF, l'utilisation d'un seul LNA multi-bande et d'un seul mélangeur à large bande s'avère très contraignant avec les circuits proposées sur le marché. Par conséquent, afin de pouvoir réaliser un récepteur radio SDR multistandard, une solution est d'utiliser deux circuits pour chaque étape de traitement de signal agissant d'une manière distincte sur les signaux en basses et hautes fréquences.

I.1.2 Exemple de réalisation d'un récepteur multistandard homodyne/low-IF

Une architecture similaire à celle proposée en (39) et implémentée en technologie CMOS 45 nm est présentée en (13). Pareillement à (39), il s'agit d'une architecture zéro/low IF. Le circuit intégré (IC, Integrated Circuit) proposé comporte, comme présenté dans la Figure I-3, un LNA, un mélangeur passif, un oscillateur local, et les étages de filtrage et d'amplification en bande de base. Les standards considérés sont GSM, DVB-H, LTE, IEEE 802.11.A 11g, WiMAX et le IEEE 802.11.A 11n. Ce récepteur a une architecture zéro-IF

pour tous les standards excepté le GSM où le signal est transposé à une fréquence intermédiaire $f_{IF} = 100\ kHz$.

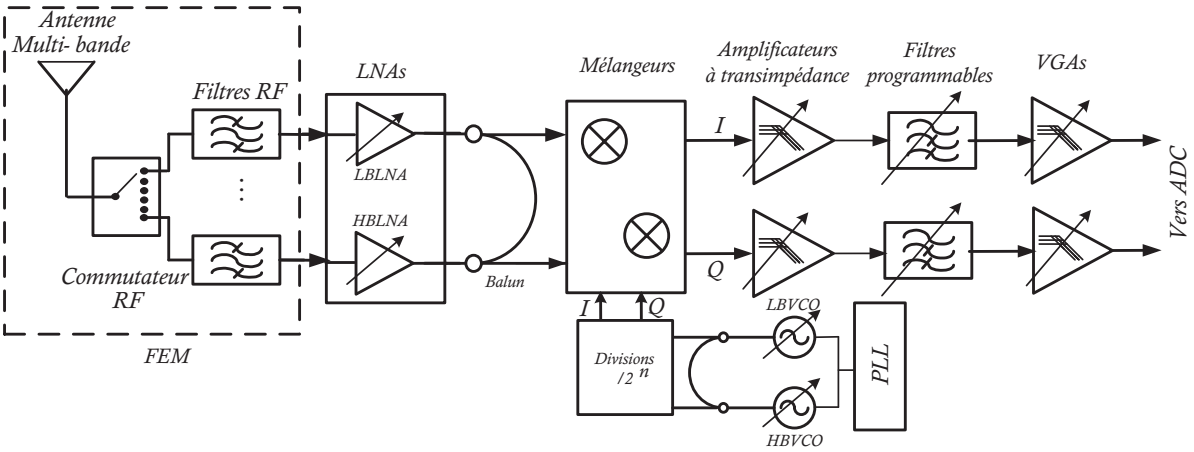


Figure I-3. Architecture multistandard zéro/low-IF proposée par Giannini.

Le circuit intégré traite le signal RF après le module Front-end (FEM, Front-End Module) composé par l'antenne de réception et les filtres RF. Afin de balayer toutes les fréquences des six standards et assurer le gain nécessaire pour chacun, deux LNAs sont mis en oeuvre. Le premier amplifie les signaux à faibles fréquences (LBLNA, Low Band LNA) allant de 0.1 à 1.5 GHz, le second les signaux à hautes fréquences (HBLNA, High Band LNA), de 1.5 à 5 GHz. Ainsi, les spécifications de linéarité sont plus faciles à satisfaire. Chaque LNA est formé de deux étages d'amplification. Selon la puissance du signal en entrée, un étage ou même les deux peuvent être contournés. Un mélangeur passif est utilisé afin d'assurer la transposition vers la bande de base ou vers $f_{IF} = 100\ kHz$ dans le cas du GSM. Il est basé sur l'utilisation d'inverseurs à transconductance (64). L'IC intègre l'oscillateur local (LO, Local Oscillator). Afin de générer les fréquences de 0.6 à 5 GHz, deux oscillateurs à tension contrôlée (VCO, Voltage Controlled Oscillator) sont envisagés. Le VCO consacré aux faibles fréquences (LBVCO, Low Band VCO) génère les fréquences entre 4 et 7.2 GHz. Le VCO consacré aux hautes fréquences (HBVCO, High Band VCO) génère les fréquences entre 7 et 10 GHz. Ces fréquences subissent une succession de division afin de fournir la fréquence adéquate pour la transposition vers la bande de base du signal reçu.

Une succession d'étapes de filtrage et d'amplification se font au niveau de l'étage en bande de base. Un amplificateur à transimpédance (TIA, TransImpedance Amplifier) avec un pouvoir de filtrage de second ordre est utilisé. Ce circuit peut être programmé en changeant les valeurs de ses résistances et capacités afin de couvrir la bande fréquentielle 0.5-20 MHz. Deux filtres sont utilisés en cascade à savoir le filtre passif passe-bas du 3ème ordre et le filtre Gm-C biquadratique. Le TIA et les filtres permettent d'avoir un filtrage du 5ème ordre pouvant être réduit à un filtrage du 3ème ordre si le filtre Gm-C n'est pas utilisé. Le rôle du VGA est de maximiser la plage dynamique en fournissant un gain pouvant atteindre 24 dB.

Les performances de ce récepteur mesurées pour deux standards de largeurs de bande très différentes sont comparées aux spécifications des standards dans le Tableau I-4. (39; 13; 65) .

Tableau I-4. Comparaison des mesures de la performance du récepteur avec les spécifications des standards.

	GSM		IEEE 802.11.A g	
	Mesuré	**Requis**	**Mesuré**	**Requis**
NF (dB)	2.8	< 9	3.8	< 10
IIP3 (dBm)	-5.5	>-18	-4	>-19
IIP2 (dBm)	+32	>+49	36	> -1
SNDR	13.2	> 9	30.84	> 27

Les performances du récepteur considéré correspondent aux spécifications à part le faible IIP2 pour le GSM. Ce récepteur présente l'avantage d'être totalement intégrable. Toutefois, le choix d'une antenne multistandard et d'un ADC multi-bande n'est pas discuté. Aussi, l'aspect consommation de puissance n'est pas évoqué lors de la présentation de ce récepteur.

I.1.3 Architecture à échantillonnage

Les architectures présentées précédemment traitent le signal radio en temps continu jusqu'à l'étape de numérisation par l'ADC. Une autre approche de conception d'architecture de réception SDR consiste à traiter le signal radio en temps discret. Ce concept est basé sur l'utilisation du sous-échantillonnage permettant le repliement du spectre du signal radio. Le mélangeur existant dans les architectures usuelles, est substitué par un échantillonneur/bloqueur (E/B) qui assure à la fois le passage vers le temps discret et la transposition de la fréquence porteuse. En effet, le signal initialement situé à f_{in} et sous-échantillonné par la fréquence f_s se transpose vers la fréquence f_{IF} comme expliqué par l'équation Eq. I-2.

$$f_{IF} = \begin{cases} rem(f_{in}, f_s) & si \left\lfloor {2f_{in}}/{f_S} \right\rfloor est\ pair \\ f_s - rem(f_{in}, f_s) & si \left\lfloor {2f_{in}}/{f_S} \right\rfloor est\ impair \end{cases} \quad \textbf{Eq. I-2}$$

La fonction $rem(x, y)$ traduit le reste de la division euclidienne de x par y et la fonction $\lfloor x \rfloor$ retourne le plus grand entier de valeur inferieure à x.

Le traitement du signal analogique en temps discret ne nécessite que des capacités et des interrupteurs en MOS. Ainsi, les architectures échantillonnées semblent avoir plus d'intégrabilité et de facilité de conception. Pouvant être totalement intégrable en CMOS, cette architecture a la possibilité de migrer facilement de technologie afin de mieux répondre aux exigences de nouveaux standards. La Figure I-4 présente le schéma bloc d'une architecture radio à échantillonnage.

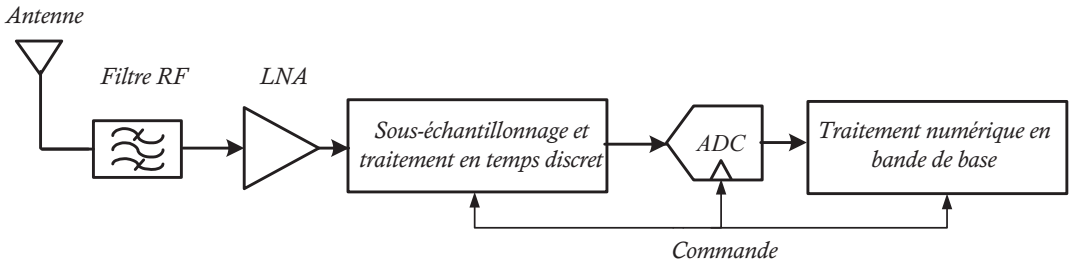


Figure I-4. Schéma bloc de l'architecture à échantillonnage.

Compte tenu de son intégration et de son faible coût, l'architecture à échantillonnage semble être la mieux appropriée à la SDR et semble offrir de bonnes perspectives de réduction de la consommation. Cependant, l'application de ce type d'architecture se fait rare. Les premiers circuits d'architecture radio en temps discret ont vu le jour vers le début des années 2000 (32; 66; 67; 68). Les architectures proposées traitent dans la plupart des cas un seul standard (32; 66; 67; 69; 70). Les architectures radio multistandard à échantillonnage sont encore plus limitées en nombre. Seules les architectures multistandards (68; 71) sont implémentées en technologie CMOS. Les standards considérés dans les différentes architectures radio multistandard à échantillonnage sont résumés dans Tableau I-5.

Tableau I-5. Standards et fréquences considérées dans les architectures multistandard à échantillonnage.

	Standards		Bandes de fréquences	
(72) **- 2008**	UMTS	IEEE 802.11 g	[2.11 2.17]	[2.4 2.483]
(73) **- 2009**	GSM UMTS	IEEE 802.11 g	[0.92 0.96] [2.11 2.17]	[2.4 2.483]
(68) **- 2009**	GSM	IEEE 802.11 g	[0.925 0.96]	[2.4 2.483]
(71) **– 2010**	IEEE 802.16e	IEEE 802.11g/n	[2.5 2.7]	[2.4 2.5]
(74) **- 2011**	BT-LE	IEEE 802.15.4	[2.4 2.483]	[2.4 2.483]

Plusieurs architectures référencées considèrent des standards à bandes fréquentielles très proches. Les deux propositions traitant les signaux à bandes hétérogènes considèrent le cas d'un terminal de téléphonie cellulaires (68; 73).

I.1.3.1 Architecture à échantillonnage de type *voltage sampling*

Une étude système d'une architecture radio logicielle restreinte à échantillonnage a été effectuée. L'architecture proposée référencée dans (73) est présentée par la Figure I-5.

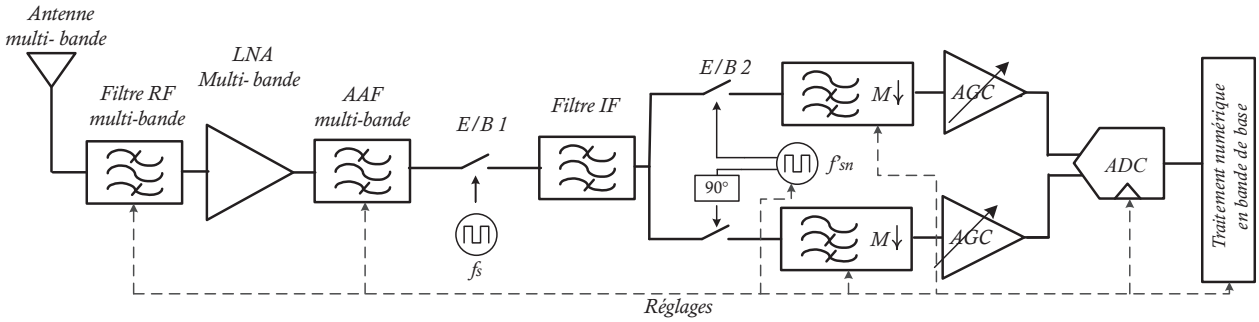


Figure I-5. Architecture multistandard à échantillonnage proposée en (73).

Le signal est reçu par une antenne multi-bande puis filtré par un filtre RF Butterworth programmable dont les bandes de sélection et l'ordre varient selon le standard. Les ordres requis sont 5, 3, 3 pour le GSM, UMTS et IEEE 802.11.g respectivement (75). Le signal est ensuite amplifié par un LNA à large bande puis filtré une seconde fois afin d'éviter le repliement spectral des interférents amplifiés sur le signal après échantillonnage. L'échantillonneur-bloqueur permet à la fois la transposition de la fréquence du signal et le passage au temps discret. Le choix du bon circuit E/B est très important pour le récepteur multistandard. Les contraintes considérées sur la fréquence d'échantillonnage du circuit de l'E/B, sur la bande (BW, BandWidth) analogique du signal en entrée et sur la gigue d'horloge sont sévères. Les contraintes portent aussi sur le repliement du bruit thermique sur la bande utile du signal. Un exemple de circuit E/B est donné par Figure I-6. Ce circuit est formé d'un transistor NMOS agissant comme un interrupteur pour assurer la fonction d'échantillonnage et d'une capacité afin d'assurer le blocage de la valeur de l'échantillon.

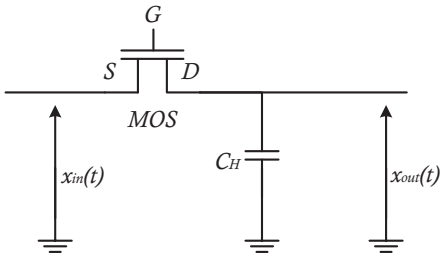


Figure I-6. Circuit de l'échantillonneur/bloqueur.

Le transistor MOS possède une résistance interne R_{MOS}. Selon les caractéristiques C_H et R_{MOS}, le circuit E/B traite la bande de largeur $[0, \frac{1}{2\pi R_{MOS} C_H}]$. Le bruit généré par le circuit E/B dépend étroitement de C_H et de la fréquence d'échantillonnage. La densité spectrale de puissance du bruit calculée sur la bande $[0, \frac{f_S}{2}]$ s'écrit en fonction de C_H comme le montre Eq. I-3 .

$$PSD\left(\frac{V^2}{Hz}\right) = \frac{2KT}{C_H f_S} \qquad \textbf{Eq. I-3}$$

Avec ***K*** la constante de Boltzmann et ***T*** la température en Kelvin. Dans le cas étudié, le circuit E/B doit être en mesure de traiter les signaux des différents standards. Les

bandes considérées sont de largeurs différentes et centrées respectivement autour de 940, 2140 et 2440 MHz respectivement pour le GSM, UMTS et IEEE 802.11.A g. Le circuit E/B nécessaire pour l'architecture proposée doit être donc à large bande. L'état de l'art des circuits E/B est donné par le Tableau I-6.

Tableau I-6. État de l'art du circuit E/B pour le *voltage sampling*.

	BW (GHz)	**Gain (dB)**	**NF (dB)**	$f_{s\,max}$ **(GHz)**	**IIP3 (dBm)**	**P (mW)**	**Technologie**
(76) **- 1997**	[0, 2]	3	23	1.5	+16	125	0.6 µm GaAs
(77) **- 2003**	[0, 4.5]	Na	25	1.55	+22	43	0.35 µm CMOS
(78) **- 2005**	[0, 2.4]	2.1	21.8	0.1	-6	26	0.18 µm CMOS
(79) **- 2008**	[0, 3.5]	9-12	15-25	0.1	Na	21.6	0.18 µm CMOS
(80) **- 2009**	[0, 13]	0	Na	2	Na	1400	InP
(81) **- 2011**	[0, 8]	0	Na	8	Na	178	65 nm CMOS

Les circuits référencés dans le Tableau I-6 permettent de traiter des signaux à large bande et peuvent répondre aux exigences des standards considérés par l'architecture étudiée. Toutefois, le choix de la fréquence d'échantillonnage est très important vu qu'il influe directement sur la consommation de puissance et sur le SNR. En effet, une forte fréquence permet de réduire le *flicker noise* mais engendra une forte consommation de puissance. Pour cela, pour l'architecture proposée, la transposition de la fréquence vers la bande de base est assurée en deux étages. En première étape, tous les signaux sont échantillonnés à une fréquence fixe $f_s = 761.8\,MHz$ choisie afin d'avoir la bande des trois standards transposée dans l'intervalle fréquentiel [114.6 MHz 198.1 MHz]. Ainsi, un seul filtre permet de sélectionner la bande de tous les standards. Un second étage de transposition de fréquence permet de ramener le signal à la bande de base. Les fréquences d'échantillonnage choisies sont celles des canaux considérés. Le filtre décimateur programmable utilisé en aval permet de réduire la fréquence du signal et de permettre l'utilisation de l'ADC à une faible fréquence.

Cette architecture utilise le sous-échantillonnage mais ne profite pas totalement du passage en temps discret du signal. En effet, vu le choix des fréquences du premier et du second étage de sous-échantillonnage, une décimation n'est pas possible. Ainsi, le signal est reconverti en temps continu suite à l'utilisation d'un filtre IF à temps continu. Nous décrivons dans ce qui suit, une autre architecture traitant le signal totalement en temps discret après son passage par l'échantillonneur-bloqueur.

I.1.3.2 Architecture à échantillonnage de type *charge sampling*

Un exemple de récepteur multistandard à échantillonnage implémenté en technologie CMOS 90nm est proposé en (68). Cette architecture emploie le sous-échantillonnage du signal en mode courant. Son architecture est présentée par la Figure I-7.

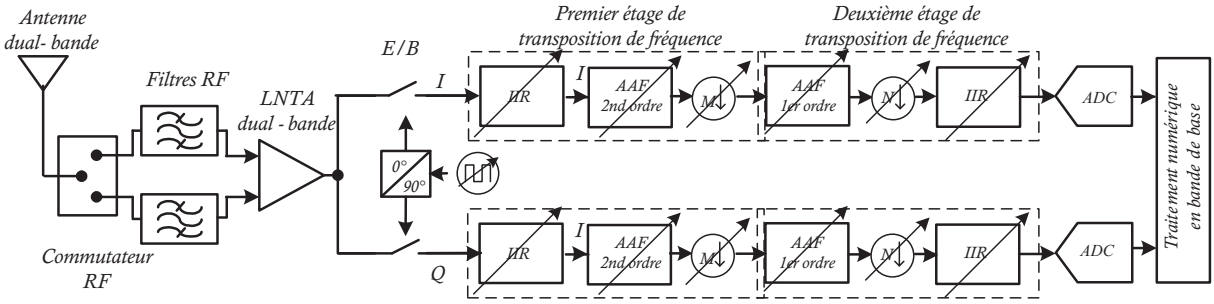


Figure I-7. Architecture multistandard à échantillonnage proposée par Latiri.

Le signal RF est filtré par deux filtres SAW distincts puis amplifié par un LNA à transconductance (LNTA, Low Noise Transconductance Amplifier). Ainsi, le signal en tension est converti en courant via le LNTA. Le passage du domaine analogique à temps continu au domaine analogique à temps discret est assuré par un premier échantillonnage en mode courant ou *charge sampling*. Le même circuit E/B présenté par la Figure I-6 peut être considéré. Le signal en courant est échantillonné puis intégré via la capacité C_H. Ainsi, si nous notons par V_{in} le signal amplifié placé juste avant la transconductance g_m du LNTA, la tension V_{out} après *charge sampling* sera donnée par Eq. I-4.

$$V_{out} = \frac{g_m f_S}{C_H} \sum_{k=-\infty}^{+\infty} V_{in}(f - kf_s)\ sinc\left(\frac{\pi}{f_S}(f - kf_S)\right) \qquad \textbf{Eq. I-4}$$

Selon Eq. I-4, le *charge sampling* comporte une étape intrinsèque de filtrage par la fonction *sinc*. La bande analogique dépend du temps d'intégration du signal Δ_{T_s} et est définie par l'intervalle fréquentiel $\left[0, \frac{0.44}{T_s}\right]$. Le bruit du circuit E/B dans le cas du *charge sampling*, donné par Eq. I-5, dépend du rapport $\frac{\Delta_{T_s}}{C_H R_{MOS}}$ (74).

$$PSD\left(\frac{V^2}{Hz}\right) = \frac{KT}{C_H}\frac{2\Delta_{T_s}}{C_H R_{MOS}} \qquad \textbf{Eq. I-5}$$

Dans le cas de l'échantillonnage en mode courant, le circuit E/B est lié dans la plupart des cas au circuit de filtrage. Pour cette raison, les données de gain et de NF du circuit E/B ne figurent pas dans l'état de l'art présenté par le Tableau I-7.

Tableau I-7. État de l'art du circuit E/B pour le *charge sampling*.

	BW (GHz)	**$f_{s_{max}}$ (GHz)**	**IIP3 (dBm)**	**P (mW)**	**Technologie**
(82) **- 2006**	[0.8 5]	5	-3.5	16	65 nm CMOS
(71)**- 2008**	[2.4 2.7]	2.7	Na	4.8	65 nm CMOS
(68)**- 2009**	0.9/2.4	4.8	Na	Na	90 nm CMOS
(83) **- 2011**	[5 25]	0.48	Na	8.4	65 nm CMOS
(84) **- 2011**	[0 2.4]	3.4	-5	41	0.13 µm CMOS

Les circuits E/B référencés sont tous à large bande excepté celui du récepteur proposé en (68) où l'auteur considère un E/B dual bande. L'état de l'art du circuit E/B montre bien que les contraintes multistandard sur l'E/B peuvent être supportées vu que les BW peuvent atteindre plus de 5 GHz.
Le signal dans chaque voie du récepteur est échantillonné puis traité par deux blocs de transposition de fréquence. Le premier est composé d'un filtre à réponse impulsionnelle infinie (IIR, Infinite Impulse Response), d'un filtre anti repliement d'ordre 2 et d'un décimateur. Le rôle du filtre IIR est de sélectionner la bande de réception et éviter toute saturation des composants en aval. Le second bloc comporte les mêmes composants que le premier avec un AAF de premier ordre. La fréquence du premier échantillonnage est égale au double de la fréquence RF. Ensuite, les deux décimations permettent de ramener le signal en bande de base en considérant des rapports de décimation de 5 et 9 pour le GSM et de 4 et 2 pour le IEEE 802.11g.

L'architecture proposée permet de traiter les signaux considérés tout en respectant les spécifications des standards considérés. Il est nécessaire de mentionner ici, que le signal RF à haute fréquence étudié est à 2 GHz. En présence d'une fréquence plus forte, comme par exemple pour le standard IEEE 802.11.a, plusieurs contraintes viennent s'ajouter notamment en termes de consommation de puissance.

L'état de l'art des architectures de réception radio multistandard à mélangeur et à échantillonnage montrent bien la possibilité de leur intégration en technologie CMOS. Ceci reste tout de même contraint à une bonne optimisation de l'architecture proposée afin de pouvoir satisfaire les spécifications des standards tout en considérant les circuits proposés et les technologies d'aujourd'hui. L'état de l'art de l'étage RF des récepteurs à savoir essentiellement le LNA et le mélangeur ainsi que le circuit E/B pour les architectures à échantillonnage montrent l'existence de composants qui satisfont les contraintes requises. Cependant, ces circuits sont mieux optimisés en surface et en consommation de puissance lorsqu'ils traitent les signaux à faibles fréquences et les signaux à hautes fréquences séparément. Tout comme l'étage RF, l'étage en bande de base présente plusieurs contraintes en termes de termes de complexité des composants et de leurs consommations de puissance.
Nous choisissons d'orienter le sujet de nos travaux de recherche sur la façon de réduire au maximum les contraintes sur cet étage. Nous nous proposons donc de faire une étude exhaustive des différents composants pouvant former l'étage en bande de base dans le cas d'un traitement du signal analogique à temps continu ou à temps discret.

I.2 Étude des circuits de l'étage en bande de base

Les composants de l'étage en bande de base diffèrent selon la nature de l'architecture étudiée. Ils traitent le signal reçu soit en temps continu dans le cas d'une architecture à mélangeur soit en temps discret dans le cas d'une architecture à échantillonnage. Leur rôle est essentiellement de filtrer le signal afin de ne garder que la bande utile et

d'assurer la numérisation du signal en évitant la saturation des composants. Les principaux éléments de l'étage en bande de base sont l'AAF, l'AGC et l'ADC.

I.2.1 Le filtre anti-repliement

Le filtre AAF est utilisé pour éviter la superposition des bloqueurs et des interférents sur le signal utile après échantillonnage. Le rôle associé à ce filtre est de plus en plus difficile vu le grand accroissement de la bande passante des signaux des standards à large bande (45). Il permet de filtrer les signaux se trouvant aux fréquences $kf_s \pm f_{IF} \pm B/2$, avec f_s la fréquence d'échantillonnage de l'ADC, B la bande du canal et f_{IF} la valeur de la fréquence intermédiaire vers laquelle le signal va être transposé. La fréquence f_{IF} est nulle dans le cas d'une transposition de fréquence vers la bande de base.

I.2.1.1 Filtre anti repliement dans une architecture à mélangeur

Dans le cas d'une architecture à mélangeur, le filtrage anti-repliement au niveau de l'étage en bande de base se fait par un filtre passe-bas tel que présenté par la Figure I-8. La fréquence de coupure de l'AAF, f_p, doit permettre le passage du signal. Elle est donc égale au moins à la largeur de la bande du canal B dans le cas d'une transposition Low-IF et à $B/2$ dans le cas d'une transposition vers la bande de base. Une marge de 30 % de fréquence doit être considérée pour tenir compte des variations des résistances et des capacités du circuit de filtrage en fonction de la température (85; 86). La fréquence de rejection, f_t, est comprise entre f_p et $f_s - B/2 - f_{IF}$ afin de permettre de filtrer tout signal pouvant se replier sur le signal utile. La Figure I-8 montre le gabarit d'un filtre AAF dans le cas d'un signal transposé en bande de base.

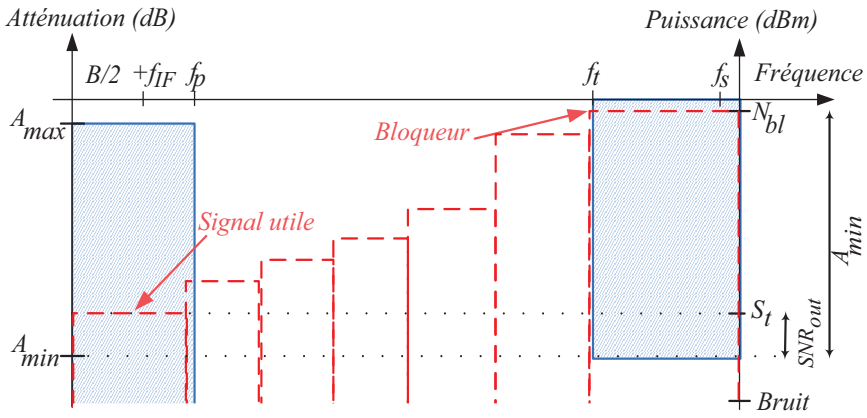


Figure I-8. Gabarit du filtre anti-repliement (AAF).

A_{min} indique la valeur de l'atténuation requise pour le filtre. A_{max} présente la valeur maximale de l'atténuation permise dans la bande utile. A_{min} dépend essentiellement du niveau du bloqueur N_{bl} pouvant se replier sur le signal, du niveau du signal référence S_{ref} ainsi que du SNR_{out} comme présenté par l'équation Eq. I-6. Le dimensionnement du filtre AAF requière la considération d'une marge de conception M_{AAF} égale à 3 dB.

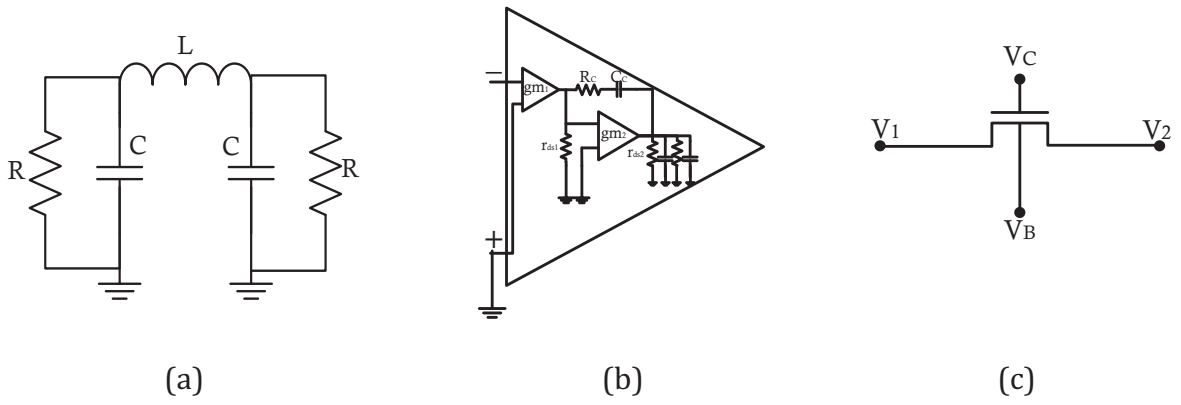
$$A_{min} = N_{bl} - S_{ref} + SNR_{out} + M_{AAF} \qquad \textbf{Eq. I-6}$$

Certaines approximations mathématiques portant sur les réponses des filtres sont élaborées. Les approximations les plus connues sont celles de Butterworth, Chebychev, Bessel et Cauer (87). Le filtre Butterworth est connu pour son gain constant dans sa bande passante. La fluctuation de ce gain ne dépasse pas A_{max}. Au delà de la bande passante, ce filtre permet d'atténuer les bloqueurs et interférents selon la formule donnée par Eq. I-7.

$$A(f) = 10\log_{10}\left(1 + \varepsilon^2\left(\frac{f}{f_p}\right)^{2N_{filtre}}\right) \qquad \textbf{Eq. I-7}$$

Avec $\varepsilon^2 = \left(10^{A_{max}/10} - 1\right)$ et N_{filtre} est l'ordre du filtre utilisé. A_{max} doit avoir une valeur relativement faible, ne dépassant pas 3 dB (87).

Les filtres passe-bas conventionnels sont soit des filtres passifs sous forme de circuit RLC présentés par la Figure I-9 (a), soit des filtres actifs incluant des amplificateurs, des intégrateurs, etc. Ces filtres actifs peuvent être de type Gm-C employant une cellule Gm-RC présentée par Figure I-9 (b) ou MOSFET-C dont la cellule primaire est schématisée en Figure I-9 (c). Les filtres MOSFET-C sont des filtres actifs dont les résistances et capacités sont remplacées par un transistor MOS à effet de champs. Les filtres implémentés par des circuits RLC peuvent assurer le filtrage d'un signal à faible fréquence à cause des effets parasites liés aux composants. La sensibilité de ce type de filtres à la précision des composants passifs limite leur utilisation. De plus, afin de minimiser la surface des composants, les inductances sont à éviter. Les filtres passifs sont donc rarement utilisées (88). Les filtres actifs opèrent aussi avec une bande passante limitée mais assurent une bonne linéarité du système et un meilleur degré de flexibilité (89). Grâce à leur boucle de configuration ouverte, les filtres Gm-C passe-bas possèdent une meilleure réponse fréquentielle que les filtres MOSFET-C (90).



(a) (b) (c)

Figure I-9. Différentes cellules de base d'un filtre passe-bas.

Dans un contexte radio multistandard, le filtre AAF doit être en mesure de réduire les bloqueurs et interférents de plusieurs standards différents. Sa bande passante doit aussi varier selon la largeur de la bande du signal reçu. Ainsi, la considération du filtre anti-repliement à large bande ou programmable est importante. Nous présentons dans le

Tableau I-8 l'état de l'art des filtres passe-bas multistandard. Dans les travaux référencés, certaines valeurs de l'IIP3 sont mesurées en dBV. La conversion en dBm a été faite en considérant une résistance d'entrée égale à 50 Ω.

Tableau I-8. État de l'art des filtres passe-bas multistandard.

	Ordre	f_p (MHz)	IIP3 (dBm)	Puissance (mW)	Technologie
(91) - 2001	3/5	0.013/2.1	48	6.8/25.4	0.35 µm CMOS
(92) - 2002	6	[0.005 , 5]	21	6	0.5 µm CMOS
(93) – 2005	3	[0.05 , 2.2]	25	2.5-7.3	0.25 µm SiGe BiCMOS
(94) - 2006	4	[1.45, 3.6] / [5.8 , 19.4]	34	3.4/14.2	0.13 µm CMOS
(95) – 2008	2/4/6	[0.35 , 23.5]	21.9	0.72-21.6	0.13 µm CMOS
(96) - 2009	4	[15 , 95]	Na	14.2	0.5 µm CMOS
(97) - 2011	5	[80 , 400]	Na	3.5-5.5	0.13 µm CMOS

D'après le Tableau I-8, nous notons que les filtres actifs passe-bas programmables parviennent à sélectionner une bande passante selon la flexibilité donnée par l'architecture et la technologie utilisées. Les recherches portant sur les filtres programmables parviennent à faire augmenter la bande passante variable au fil des années afin de satisfaire les contraintes des standards à très large bande. En plus d'avoir une bande passante variable, la possibilité de programmer aussi l'ordre du filtre s'avère très intéressante puisque chaque standard peut nécessiter un filtre d'ordre différent. La consommation de puissance du filtre passe-bas dépend étroitement de l'ordre utilisé et de la bande passante. Ainsi, la possibilité de choisir juste l'ordre et la bande nécessaires pour un signal donné dans une architecture multistandard permet de réduire considérablement la consommation de puissance. La proposition citée en (95) est donc très intéressante vu qu'elle présente un filtre à ordre et bande passante programmables. L'architecture de ce filtre passe-bas est donnée par la Figure I-10.

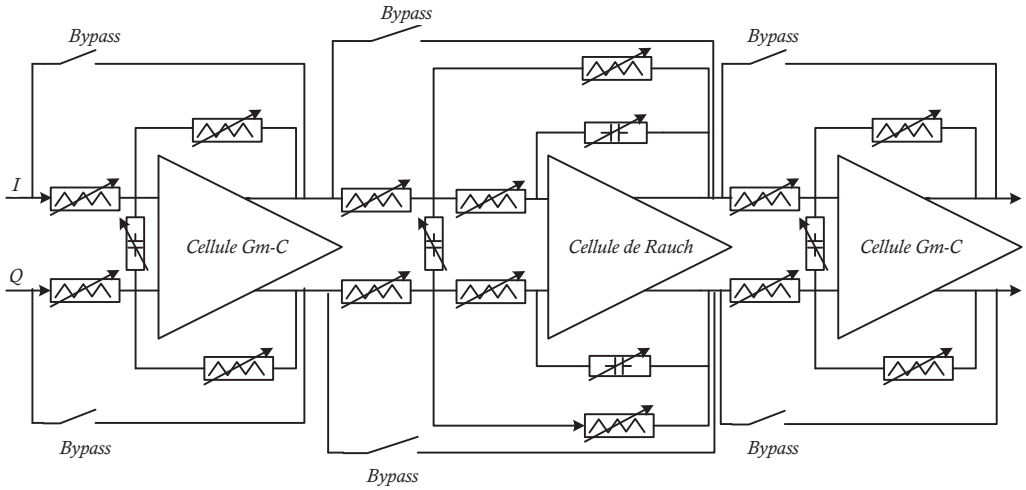


Figure I-10. Filtre anti-repliement programmable proposé par Giannini.

Le filtre passe bas est formé par la cascade de cellules active Gm-RC et de cellule de Rauch. La cellule de Rauch présente en elle-même un filtre formé par un amplificateur idéal et des composants passifs. La programmabilité de la largeur de la bande passante de ce filtre vient de l'utilisation d'un banc de résistances et de capacités. Un signal de commande sélectionne la valeur des composants à utiliser. L'ordre du filtre peut avoir 3 valeurs distinctes. Le passage d'un ordre à un autre est assuré par la programmation des interrupteurs *Bypass*. Ainsi, une cellule active Gm-RC ou Rauch peut être évitée et l'ordre est diminué ainsi de 2 par cellule.

I.2.1.2 Filtre anti-repliement à temps discret

La transposition de fréquence par sous-échantillonnage permet de traiter le signal en aval en temps discret. Ainsi, des filtres à temps discret sont placés entre le circuit E/B et l'ADC afin d'éviter le repliement spectral. La fonction de filtrage intrinsèque au *charge sampling* conduisant à un filtrage de type sinus cardinal n'est pas suffisante. Un filtre anti-repliement à temps discret est donc nécessaire aussi dans ce cas (98). Les implémentations classiques de ce type de filtres sont les filtres à réponse impulsionelle finie (FIR, Finite Impulse Response) et les filtres à réponse impulsionnelle infinie IIR.

Le filtre FIR est caractérisé par une réponse sur un intervalle de temps fini. La sortie de ce filtre ne dépend que du signal d'entrée et des coefficients associés à son implémentation. Le schéma synoptique de base d'un filtre FIR est donné par la Figure I-11. Notons par x le signal d'entrée, $\{b_i\ , 0 \leq i \leq N-1\}$ les coefficients du filtre d'ordre N et y sa réponse. La relation entre ces termes est donnée par Eq. I-8.

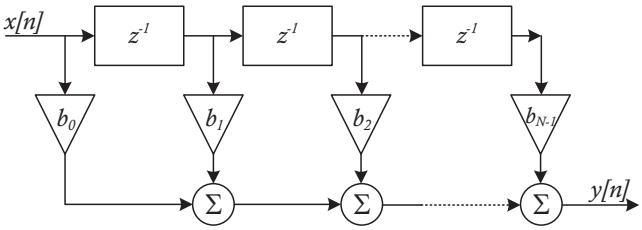


Figure I-11. Schéma synoptique d'un filtre FIR.

$$y[n] = \sum_{k=0}^{N-1} b_k x[n-k] \qquad \textbf{Eq. I-8}$$

Ne comportant pas de pôles, le filtre FIR est stable. La fonction du filtre FIR est un filtre sinus cardinal avec des zéros situés à $nf_s/N\ , n \in \{1, 2, \dots, N\}$. Ces filtres sont très facilement intégrables. Les filtres FIR analogiques à temps discrets peuvent être implémentés en utilisant des capacités commutées. Un exemple de filtre FIR programmable est donné par la Figure I-12 (99).

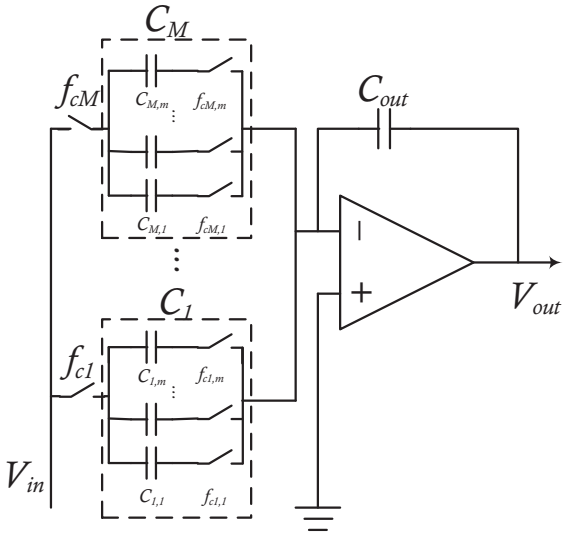


Figure I-12. Exemple de filtre FIR programmable.

L'idée de la programmabilité d'un tel filtre vient du fait de substituer les capacités commutées de C_1 à C_M par une batterie de m capacités commutées. Ainsi, 2^m valeurs de capacités sont possibles et par conséquent 2^m différentes largeurs de bande passante. L'utilisation de m commutateurs augmente considérablement les parasites et donnera naissance à une variation de la charge requise.
Une autre façon d'implémenter le filtre FIR est de l'inclure directement à l'étape d'échantillonnage. Dans (98), l'auteur propose de donner les valeurs des coefficients du filtre FIR au moment même de l'échantillonnage.

Dans le cas d'un filtre IIR, la sortie dépend de l'entrée et de la sortie en mémoire. Il possède donc une boucle de rétroaction et sa réponse impulsionnelle ne se stabilise pas. Le schéma synoptique d'un filtre IIR est donné par la Figure I-13.

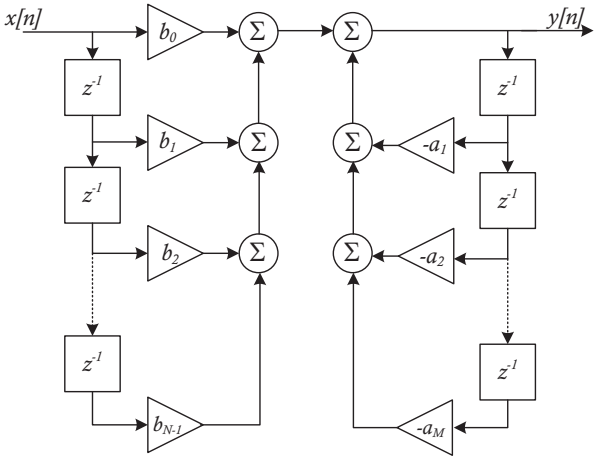


Figure I-13. Schéma synoptique d'un filtre IIR.

Notons par x le signal d'entrée, $\{b_i\ , 0 \leq i \leq N-1;\ a_i\ , 1 \leq i \leq M\}$ les coefficients du filtre et y sa réponse. La sortie d'un filtre IIR est donnée par Eq. I-9.

$$y[n] = \sum_{k=0}^{N-1} b_k x[n-k] - \sum_{k=1}^{M} a_k y[n-k] \qquad \textbf{Eq. I-9}$$

Tout comme les filtres FIR, les filtres IIR sont implémentés par des capacités commutées tel l'exemple illustré par la Figure I-14.

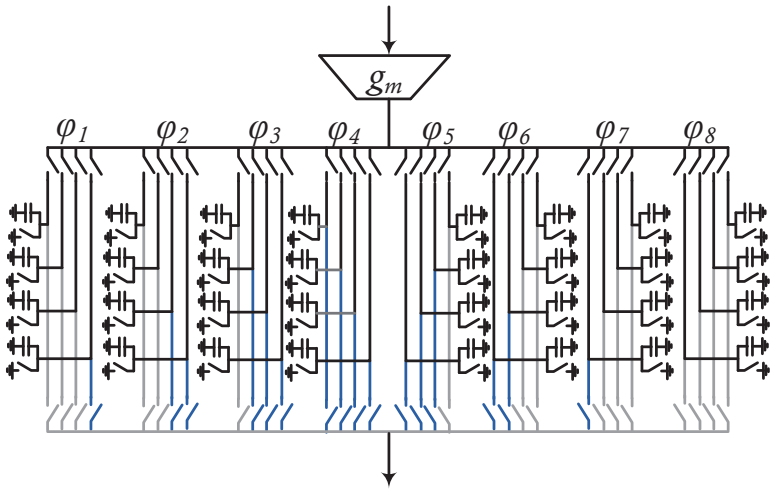


Figure I-14. Schéma d'un filtre IIR.

Dans le cas de l'architecture à échantillonnage proposée dans (82), l'auteur propose un filtre IIR à capacités commutées. Afin d'avoir une réponse en $sinc^2$et un filtre d'ordre 4, l'auteur utilise 8 coefficients suivant la séquence [1 2 3 4 3 2 1 0]. Initialement, les capacités situées à gauche sont chargées, celle à droite sont déchargées. Les 4 premières capacités φ_1 à φ_4 sont déchargées en suivant les coefficients (1 capacité du premier commutateur, 2 du second, etc. comme présenté en bleu dans la Figure I-14). Les commutateurs de droite chargent les capacités selon les coefficients du filtre.

Dépendant de l'entrée et de la sortie, le filtre IIR présente une meilleure réponse en termes de sélectivité que pour un filtre FIR de même ordre. L'étape de filtrage en général est plus contraignante en temps continu qu'en temps discret. L'augmentation de l'ordre d'un filtre dans une architecture à mélangeur induit directement une augmentation du coût et de la consommation de puissance. De plus, les filtres passe-bas à temps continu sont à ordre limité ne dépassant pas 8 (100). Dans le cas du traitement en temps discret, l'ordre du filtre numérique peut atteindre plusieurs dizaines. Dans le cas d'une réception multistandard, l'étape de filtrage considère de très fortes contraintes afin de pouvoir à la fois atténuer les niveaux élevés des bloqueurs, pour le GSM par exemple, et faire passe le canal des standards à larges bandes, comme dans le cas du standard IEEE 802.11.a. L'étape de filtrage présente un élément très important dans l'étage en bande de base vu qu'elle contribue à avoir un bon SNR à la sortie de la numérisation. Pour une architecture SDR, cette étape doit respecter les spécifications des multiples standards tout en gardant un faible ordre du filtre et par conséquent un coût et une consommation de puissance convenables pour le circuit. A part l'étape de filtrage, l'étape

d'amplification est aussi importante garantissant une dynamique réduite du signal à l'entrée de l'ADC et permettant ainsi de réduire le nombre de bits de ce dernier.

I.2.2 Le contrôle automatique de gain

L'AGC (Automatic Gain Control) est utilisé pour ajuster la puissance du signal et la maintenir à une valeur constante à l'entrée de l'ADC. Le gain piloté par l'AGC est donc variable suivant le signal. Son gain minimal $G_{AGC_{min}}$ et son gain maximal $G_{AGC_{max}}$ donnés par Eq. I-10 (101) dépendent de la pleine échelle de l'ADC S_{fs} (Full-Scale Signal), de la puissance maximale que peut prendre le signal S_{max}, du gain analogique total des composants avant l'AGC G_{ana} et de la valeur du plus puissant bloqueur après toutes les étapes de filtrage du signal précédant l'AGC.

$$G_{AGC_{min}} = S_{fs} - S_{max} - G_{ana}$$

$$G_{AGC_{max}} = S_{fs} - (N_{bl} - Att)_{max} - G_{ana} \qquad \textbf{Eq. I-10}$$

L'amplitude maximale du signal est amplifiée par $G_{AGC_{min}}$ afin d'éviter la saturation de l'ADC. Le signal le plus petit est amplifié par $G_{AGC_{max}}$ pour le ramener à un niveau qui peut lui permettre d'être traité par l'ADC. La Figure I-15 explique la manière avec laquelle les gains extrêmes de l'AGC sont calculés.

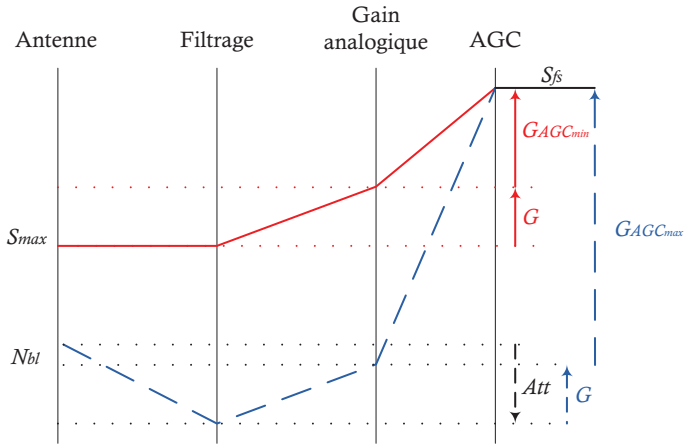


Figure I-15. Détermination des gains extrêmes de l'AGC.

L'AGC peut être considéré comme un algorithme qui calcule le gain nécessaire et commande ainsi un VGA comme illustré par la Figure I-16 (102). Pour cette raison, le circuit VGA est le plus étudié en littérature.

(a) (b)

Figure I-16. Schéma bloc simplifié de l'architecture d'un AGC à réaction (a) et à action anticipative(b).

Le VGA comporte une étape de filtrage interne vu qu'il doit assurer le gain pour une bande passante donnée. Ainsi, pour assurer un traitement optimal du signal par un récepteur multistandard, un VGA à bande passante variable est nécessaire. Nous nous proposons donc de faire un état de l'art, résumé par le Tableau I-9, des circuits VGA programmables.

Tableau I-9. État de l'art des VGAs programmables.

	BW (MHz)	Gain (dB)	IIP3	Puissance (mW)	Technologie
(103) **- 2001**	[0, 6-83]	-30-50	-80 dBm	7	0.18 µm CMOS
(104) **- 2007**	[0, 900]	-38.8- 55.3	6.8 dB (NF)	20.5	0.18 µm CMOS
(105) **- 2008**	[0, 8500]	>10	-13.7 dBm	9.3	0.18 µm CMOS
(95) **- 2008**	[0, 0.18-200]	0-39	>14 dBV	0.36-13.5	0.13 µm CMOS
(106) **- 2009**	[0, 65]	-22-32	Na	2.16	0.18 µm CMOS
(107) **- 2009**	[0, 1000]	-17.4-52.7	-41-6 dBm	9	0.18 µm CMOS
(108) **- 2011**	[1000, 5000]	-5-11	0 dBm	10-19	0.18 µm CMOS

L'état de l'art des VGAs montre bien que les recherches faites ont pour but d'agrandir la bande de passante. Le circuit en (108) ne concerne pas la bande de base. Il peut néanmoins faire partie d'un LNA en étage RF. La programmabilité du circuit VGA tient compte principalement du gain. En effet, la totalité des VGA programmables offrent une liste de valeurs de gain à choisir suivant des mots binaires assignant des valeurs dans le circuit. Toutefois, si l'étage en bande de base d'un récepteur multistandard est considéré, il est aussi nécessaire de considérer un VGA à bande passante variable en plus d'un gain variable. Plus la bande passante est proche de la bande du signal moins les bloqueurs et les interférents sont amplifiés. Ainsi, le VGA en (95) à bande passante variant dans un large intervalle semble être le meilleur composant répondant aux contraintes de l'étage en bande de base. L'architecture de ce VGA est donnée par Figure I-17.

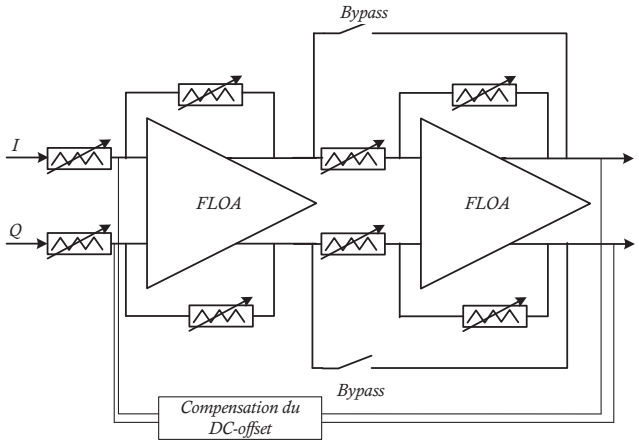


Figure I-17. Amplificateur à gain variable programmable.

Le VGA est constitué par deux amplificateurs inverseurs en cascade. L'utilisation des amplificateurs flexibles (FLOA, FLexible Om-Amp), permet d'ajuster la bande passante en sortie. La bande passante finale du VGA est donc ajustable selon le standard du signal traité. Pour ne pas amplifier les bloqueurs ni augmenter la consommation du circuit, la bande passante du VGA doit être au plus proche de la bande passante du filtre passe-bas. Le circuit considère une variation du gain par programmation des bancs de résistances est de capacités avec un pas de 3 dB. Cependant, cette valeur peut être choisie en modifiant les valeurs des bancs. Le VGA en (95) inclue une compensation du DC-offset. Une boucle de compensation a pour rôle de détecter et de corriger le DC-offset tout le long du traitement du signal par le VGA.
Dans le cas d'une architecture à échantillonnage, l'étape d'amplification est très souvent incluse avec l'étape de filtrage. En effet, le gain nécessaire est soit pris en compte par les coefficients des filtres FIR ou IIR programmables soit inclut directement par un amplificateur opérationnel imbriqué dans l'architecture du filtre utilisé.

L'utilisation d'un AGC ou tout simplement d'un VGA a pour but essentiel de réduire la dynamique du signal à l'entrée du convertisseur analogique numérique. Par conséquent, le nombre de bit de l'ADC est diminué. L'AGC ou le VGA n'est pas impérativement nécessaire au sein de l'étage en bande de base. En présence d'une amélioration de la numérisation des signaux à forte dynamique et des performances des convertisseurs, l'étape d'amplification peut être évitée au sein de la bande de base du récepteur. L'étude des performances des convertisseurs est donc très importante permettant d'optimiser la consommation de puissance du récepteur.

I.2.3 Le convertisseur analogique numérique

Le convertisseur analogique numérique est le composant le plus gourmand dans l'étage de base et celui qui subit le plus de contraintes. Un choix optimal de l'ADC permet d'assurer un bon SNR et une consommation de puissance modérée. Le choix de l'ADC se base essentiellement sur plusieurs critères dont les principaux sont la fréquence maximale d'échantillonnage f_s, le nombre de bits nécessaires pour la numérisation des signaux, la consommation de puissance et le rapport signal à bruit plus distorsions (SNDR, Signal-to-Noise and Distortion Ratio) en sortie. Le nombre de bits n_{ADC} nécessaires pour accomplir l'échantillonnage des signaux de tous les standards est donné par Eq. I-11. n_{ADC} dépend étroitement des gains extrêmes fournis par l'AGC ainsi que de la dynamique à l'entrée de l'ADC DR_{ADC} si l'AGC n'est pas utilisé. DR_{ADC} n'est autre que la différence entre la sensibilité de référence S_{ref} et la puissance maximale du signal à l'entrée S_{max} en considérant le SNR en sortie SNR_{out}.

$$n_{ADC} = \frac{\left(DR_{ADC} + G_{AGC_{min}} - G_{AGC_{max}}\right) - 1.76}{6.02} \qquad \textbf{Eq. I-11}$$

La fréquence d'échantillonnage maximale, le SNR et la consommation de puissance dépendent de l'architecture de l'ADC. Les architectures flash, pipeline, à approximation

successives, ΣΔ sont les architectures conventionnelles du convertisseur analogique numérique. Une présentation de ces architectures ainsi qu'une comparaison entre les performances de chaque type d'architecture sont données par l'Annexe A.
L'état de l'art et les performances présentés au niveau de l'Annexe A montrent que l'ADC sigma delta permet de numériser les signaux avec un bon SNDR tout en garantissant une consommation de puissance moyenne. Cette caractéristique le porte candidat à son utilisation dans un contexte multistandard. En effet, la majorité des ADCs référencés en littérature et qui considèrent plus qu'un standard admettent l'architecture sigma delta. Un état de l'art de ces ADCs multistandards est donné par le Tableau I-10.

Tableau I-10. État de l'art des ADCs Sigma Delta multistandards.

	Standard	f_s (MHz)	Bande (MHz)	SNDR (dB)	Puissance (mW)	Technologie
2010 - (109)	Bluetooth	90	0.5	77	5	CMOS 90 nm
	UMTS	245.8	1.92	69	6.44	
	IEEE 802.11.g	640	10	65	6.8	
2009 - (110)	EDGE	26	0.135	<80	31	CMOS 65 nm
	UMTS	208	1.92	<80	55.2	
	IEEE 802.11.g	208	12.5	<58	110.4	
2009 - (111)	GSM	26	0.2	82	1.44	CMOS 90 nm
	Bluetooth	200	1	75	3.4	
	IEEE 802.11.g	400	10	52	7	
2007 - (112)	EDGE	26	0.1	88	2.9	CMOS 0.13 µm
	UMTS	61.44	1.92	79	7.4	
	IEEE 802.11.g	240	10	67	20.5	
2006 - (113)	GSM	32	0.1	83	8.3	CMOS 0.18 µm
	UMTS	64	2	75	17.8	
	IEEE 802.11.a	160	10	62.86	42	
2006 (114)	GSM	32	0.1	104	18	CMOS 0.18 µm
	UMTS	64	2	92	23	
	IEEE 802.11.a	160	10	68	39	

La résolution de l'ADC dépend théoriquement de sa plage dynamique comme expliqué par Eq. I-11. Cependant, une éventuelle saturation de l'ADC, le bruit de ses composants et de sa non-linéarité, peuvent réduire cette plage dynamique. Ainsi, une évaluation réaliste du nombre de bit de l'ADC est obtenue en remplaçant dans Eq. I-11, DR_{ADC} par la valeur du SNDR mesurée.
L'étude des performances de ces ADCs multistandards permet de les classer en trois catégories. La première catégorie est celle des ADCs à faible SNDR ne leur permettant pas de traiter le signal directement à la sortie du filtre anti-repliement (110; 111). Un AGC est donc à prévoir. La deuxième catégorie utilise un AGC juste pour un seul standard (112; 115; 109). Le standard le plus contraignant en termes de plage dynamique est le GSM. Par la suite, un AGC est utilisé uniquement pour ce standard puis désactivé pour les autres. La troisième catégorie d'ADC permet le traitement du signal

sans avoir recours à l'AGC (9). Notons ici que la consommation de puissance de l'ADC dépend étroitement de la valeur du SNDR en sortie et de la fréquence d'échantillonnage. Il présente les valeurs de consommation de puissance les plus grandes parmi les composants du récepteur radio.

L'étage en bande de base subit plusieurs contraintes à savoir le niveau élevé des bloqueurs et des interférents, la dynamique variant entre 90 à 20 dB , des largeurs de bande du canal de 200 kHz à 20 MHz, etc.. Les facteurs évoqués agissent directement sur la consommation de puissance. A travers le Tableau I-8, nous pouvons déduire que la consommation de puissance d'une même architecture de filtre anti-repliement augmente avec l'ordre de ce dernier. La détermination de l'ordre provient des caractéristiques de l'étape d'échantillonnage de l'ADC. Le Tableau I-9, montre de la même façon que la consommation de puissance d'un VGA, par suite d'un AGC, est une fonction croissante du gain à fournir. De plus, l'étude faite pour les ADCs montre que la consommation de puissance d'un ADC augmente selon sa plage dynamique et évolue d'une façon logarithmique par rapport à la fréquence d'échantillonnage. Le dimensionnement des composants de l'étage en bande de base dépend de l'étape d'échantillonnage. Elle présent l'étape fondamentale qui définit les contraintes sur cet étage. Une bonne méthodologie de prise d'échantillons aura une influence sur la réduction des conditions à satisfaire par chaque composant. Nous proposons donc d'axer nos travaux de recherche sur la thématique d'échantillonnage en proposant d'utiliser l'échantillonnage aléatoire dans un contexte de radio multistandard.

I.3 Motivations de l'application de l'échantillonnage aléatoire à un récepteur SDR

L'utilisation de l'échantillonnage aléatoire (RS, Random Sampling) dans un contexte radio SDR multistandard a pour fin de profiter de la capacité de ce traitement du signal à éviter le repliement spectral. Après avoir été évoqué par Paley, Winer et Zygmund (116; 16), le RS a fait l'objet de plusieurs recherches (117; 118; 18). Les auteurs ont démontré que sous certaines conditions portant sur la façon de choisir l'instant d'échantillonnage, le repliement spectral en RS est éliminé. Les démonstrations analytiques de la suppression du repliement spectral sous ces conditions ont été établies (118; 18). Ce n'est qu'à partir de l'année 2000 que les premières simulations du RS commencent. Wojtiuk présente dans (23) des formulations de la densité spectrale de puissance d'un signal aléatoire échantillonné par le RS et les valide par des simulations. Wojtiuk a entamé par son travail le volet de l'application du RS aux architectures radio sans pour autant aller au-delà de simples simulations. En 2009, une première application du RS aux récepteurs radio a été élaborée au sein du laboratoire GRES'COM de SUP'COM et C^2S de TELECOM ParisTech (26; 119). Les premiers résultats prouvant le relâchement des contraintes sur les composants du récepteur grâce à l'application du RS encouragent à affiner les recherches autour de ce sujet.

I.3.1 Présentation du pouvoir de suppression du repliement spectral

Tout comme l'échantillonnage uniforme (US, Uniform Sampling) introduit par Shannon (120), un signal continu $x(t)$ échantillonné aléatoirement s'écrit sous la forme donnée par Eq. I-12.

$$x_s(t) = \sum_{k=-\infty}^{+\infty} x(t)\delta(t - t_k) \qquad \textbf{Eq. I-12}$$

Le signal $x_s(t)$ représente la somme des échantillons pris aux instants d'échantillonnage $\{t_k\}$. Dans le cas d'un échantillonnage uniforme, les instants $\{t_k\}$ sont des multiples de la période d'échantillonnage uniforme $T_s = 1/f_s$, f_s étant la fréquence d'échantillonnage uniforme. Dans le cas d'un échantillonnage non uniforme, la séquence $\{t_k\}$ présente une séquence de variables aléatoires. La notion de fréquence d'échantillonnage f_s est substituée par celle de la fréquence moyenne d'échantillonnage $f_{RS} = 1/T_{RS}$ qui représente la moyenne des différentes fréquences appliquées lors de l'opération d'échantillonnage, T_{RS} étant la moyenne des périodes instantanées d'échantillonnage.

La réponse de l'échantillonnage aléatoire dépend de la façon avec laquelle la séquence d'instants $\{t_k\}$ est construite. Cette séquence est régie par des lois de distribution de probabilité bien précises. L'échantillonnage aléatoire peut être sans repliement si les bonnes conditions sont appliquées à la séquence $\{t_k\}$. Afin d'avoir un échantillonnage sans repliement, Shapiro (117) a démontré qu'il suffit de satisfaire la condition de stationnarité de la séquence $\{t_k\}$. Toutefois, la condition la plus générale a été introduite par Bilinskis et Mikelsons (18). Ils ont démontré que lorsque l'échantillonnage est aléatoire et que ses instants t_k suivent une distribution ponctuellement stationnaire, l'échantillonnage se fait sans repliement.

En effet, la densité de probabilité d'échantillonnage ponctuelle $p(t)$ est identique à la série dont le terme général est la densité de probabilité $p_k(t)$ du $k^{ième}$ instant d'échantillonnage. La condition de stationnarité ponctuelle implique donc que la probabilité d'échantillonnage ponctuelle $p(t)$ est proche d'une valeur constante. Cette valeur traduit la fréquence d'apparition de l'instant d'échantillonnage. Elle est donc égale à la fréquence moyenne de l'échantillonnage RS qu'on note f_{RS} et qui n'est autre que l'inverse de la période moyenne d'échantillonnage. La condition de stationnarité ponctuelle est donnée par l'Eq. I-13.

$$p(t) = \sum_{k=0}^{+\infty} p_k(t) = \frac{1}{T_{RS}} \qquad \textbf{Eq. I-13}$$

Choisissant une distribution ponctuellement stationnaire, Bilinskis et Mikelsons ont réussi à démontrer dans (18) le théorème de l'anti-repliement spectral (121). Ce théorème a été revérifié par Ben-Romdhane en proposant une nouvelle expression de l'estimation de la transformée de Fourier (26). Il est énoncé comme suit :

Soit l'ensemble des variables aléatoires $\{t_k\}, k \in \mathbb{N}$, , de moyennes kT_{RS} et de densités de probabilité $\{p_k(t), k \in \mathbb{N}\}$, satisfaisant la condition de stationnarité ponctuelle.
Soit $x(t)$ un signal continu. L'estimation de la transformée de Fourier du signal échantillonné aléatoirement par la séquence $\{t_k\}$, donnée par Eq. I-14, est composée uniquement de la transformée de Fourier de $x(t)$ notée $X(f)$.

$$\hat{X}_s(f) = \frac{1}{T_{RS}} X(f) \qquad \textbf{Eq. I-14}$$

D'après Eq. I-14, seul le signal utile est récupéré après un échantillonnage non uniforme. On note selon l'expression $\hat{X}_s(f)$, l'absence totale des répliques dans le spectre. Il est à mentionner que lors de la démonstration de ce théorème, les instants d'échantillonnage sont pris aléatoirement dans $\mathbb{R}$. Chaque instant peut donc varier sans aucune condition portant sur la croissance de la séquence $\{t_k\}$. Ainsi, dans le cas d'un échantillonnage parfaitement aléatoire, l'instant t_k peut être supérieur à l'instant t_{k+1}. Cette considération ne peut donc pas être prise en compte pour la modélisation d'un échantillonnage aléatoire réel. Pour ce faire, des considérations menant à avoir une séquence $\{t_k\}$ croissante sont prises en compte.

I.3.2 Caractéristiques de l'échantillonnage aléatoire réel

Afin de pouvoir appliquer le RS dans un cas réel d'échantillonnage, l'axe temporel des instants est défini en considérant des constructions visant à avoir des instants d'échantillonnage aléatoires croissants.

I.3.2.1 Jittred random sampling

Dans cette construction, une erreur sous forme d'une variable aléatoire τ_k est ajoutée autour d'un instant d'échantillonnage uniforme. La séquence d'échantillonnage aléatoire à gigue (JRS, Jittered Random Sampling) s'écrit selon l'équation Eq. I-15.

$$t_k = kT_{RS} + \tau_k \; ; \; k \in \mathbb{N} \qquad \textbf{Eq. I-15}$$

L'ensemble $\{\tau_k\}$ est une séquence de variables réelles indépendantes et identiquement distribuées (iid). Afin de garantir un échantillonnage autour de la fréquence moyenne f_{RS}, la séquence aléatoire doit avoir une moyenne nulle.
Le fait de considérer des instants d'échantillonnage strictement croissants réduit la caractéristique aléatoire de la séquence considérée. Le théorème d'anti-repliement sera donc modifié. La transformée de Fourier dans le cas du JRS, montre bien qu'il y a réduction du pouvoir anti-repliement du RS. L'estimée de la transformée de Fourier d'un signal échantillonné par JRS, donnée par Eq. I-16, a été élaboré dans (26).

$$\hat{X}_{JRS}(f) = \frac{1}{T_{RS}} \sum_{k=-\infty}^{+\infty} X\left(f - \frac{k}{T_{RS}}\right) \Phi\left(-\frac{k}{T_{RS}}\right) + X(f) \circledast [1 - \Phi_1(-f)] \qquad \textbf{Eq. I-16}$$

Le terme $X(f - k/T_{RS})$ montre bien la persistance des répliques avec le JRS. Toutefois, ces répliques sont atténuées par $\Phi(-k/T_{RS})$, la fonction caractéristique des variables aléatoires $\{\tau_k\}$.

I.3.2.2 Additive random sampling

Ce type de RS est nommé échantillonnage aléatoire cumulatif (ARS, Additive Random Sampling) compte tenu de la construction de la séquence $\{t_k\}$. En effet, le $k^{ième}$ instant d'échantillonnage est construit à partir de l'addition du $(k-1)^{ième}$ instant d'échantillonnage et d'une variable aléatoire τ_k comme présenté par l'équation Eq. I-17.

$$t_k = t_{k-1} + \tau_k = t_0 + \sum_{i=1}^{k} \tau_i \qquad \textbf{Eq. I-17}$$

Selon cette construction de l'axe temporel, la séquence aléatoire $\{\tau_k\}$ doit avoir une moyenne égale à $E[\tau_k] = T_{RS}$ pour garantir une période moyenne d'échantillonnage non uniforme égale à T_{RS}. Pour le cas de l'ARS, l'estimée de la transformée de Fourier est donnée par l'équation Eq. I-18.

$$\hat{X}_{ARS}(f) = X(f) \circledast \frac{1}{1 - \Phi(-f)} + \frac{1}{T_{RS}} X(f) \qquad \textbf{Eq. I-18}$$

Nous pouvons noter que le repliement du signal n'existe pas et qu'il est substitué par un plancher de bruit exprimé par le terme $(f) \circledast \frac{1}{1-\Phi(-f)}$, Φ étant la fonction de répartition des variables aléatoires $\{t_k\}$.

Nous pouvons donc déduire que dans le cas d'un échantillonnage aléatoire réel, le repliement est toujours réduit. Cette caractéristique s'avère intéressante quand elle est appliquée à un domaine SDR promettant la réduction des répliques et par suite la réduction des contraintes sur les circuits utilisés. L'échantillonnage aléatoire a été utilisé dans de multiples domaines. Nous présenterons dans ce qui suit quelques mises en œuvre du RS.

I.3.3 Mise en œuvre de l'échantillonnage aléatoire

L'échantillonnage aléatoire a été utilisé dans plusieurs domaines différents incluant le domaine médical (19), les applications radar (20), le traitement d'image, le traitement du signal, etc. Nous présentons dans cette partie trois différentes utilisations de l'échantillonnage aléatoire.

I.3.3.1 Traitement du signal sans repliement

La technique du traitement numérique à anti-repliement du signal (DASP, Digital Alias-free Signal Processing) a été introduite par Bilinskis et Mikelson et d'autres membres de l'Université de Westminster à Londres (21; 122). Le but de cette réalisation est de traiter les signaux à large bande avec une méthodologie innovante basée sur l'utilisation du RS. L'idée derrière le DASP est de pouvoir optimiser l'exploitation des ADCs. Plusieurs convertisseurs sont limités en termes de fréquence d'échantillonnage mais ont la capacité de traiter un signal à large bande. L'application DASP récente présentée en (123) consiste en un analyseur de spectre. Le but de cette application est d'augmenter la fréquence d'échantillonnage équivalente du signal à analyser. En fait, l'échantillonnage est fait d'une façon pseudo-aléatoire selon une horloge comportant des délais pseudo-aléatoires. Avec le DASP, la bande du signal n'est pas limitée par la moitié de la fréquence d'échantillonnage comme ce qui est requis par le théorème de Shannon (120) mais par la moitié de l'inverse du délai minimal appliqué à l'horloge. Les délais générés sont de l'ordre de 33 nanosecondes. Par conséquent, la bande traitée peut atteindre 700 MHz. Au lieu d'échantillonner cette bande conventionnellement avec une fréquence de 1400 MHz, la DASP offre l'avantage de se limiter à une fréquence d'échantillonnage moyenne f_{RS} de l'ordre de 53 MHz.

I.3.3.2 Application du RS dans un contexte SDR

Un travail portant sur l'application du RS à un récepteur radio multistandard a été élaboré en collaboration avec les laboratoires de recherche GRES'COM de SUP'COM et C^2S de Telecom ParisTech. Dans cette étude, les échantillonnages de type JRS et ARS ont été étudiés. Lors du dimensionnement du récepteur, la mesure de la réduction du repliement spectral est réalisée en s'appuyant sur l'approximation faite par Bilinskis (18). Cette approximation fait intervenir le rapport de sur-échantillonnage (OSR, Over-Sampling Ratio) et un paramètre statistique faisant intervenir la variance de la variable aléatoire.
Les résultats montrent bien que la réduction du repliement tend à relâcher les contraintes sur l'étage en bande de base. L'ordre du filtre anti-repliement a été abaissé et l'AGC a été enlevé de l'architecture en présence d'un ADC 16 bits. Une diminution de la fréquence d'échantillonnage de l'ADC a été aussi possible.

I.3.3.3 Utilisation du RS dans le domaine de la cryptologie

Une application plus récente qui prend en compte l'échantillonnage non uniforme consiste en un générateur de nombres aléatoires (22). A l'instar des autres générateurs de nombres aléatoires qui donnent une séquence de nombre pseudo-aléatoires et qui se répètent dans le temps, le générateur proposé réussit à produire une séquence de nombres complètement aléatoires. Du fait de considérer une horloge complètement aléatoire dont chaque instant d'échantillonnage peut prendre une valeur dans $[-\infty, +\infty]$, un signal donné est échantillonné aléatoirement. La valeur de chaque échantillon du bruit présente un nombre entier. Le bruit discrétisé est converti par un

ADC en binaire codant ainsi des entiers complètement aléatoires. Les entiers sont stockés dans un registre. Pour accroitre l'effet aléatoire, l'horloge aléatoire vient sélectionner du registre les nombres à mettre en sortie du système. Cette proposition est très intéressante dans le domaine de la cryptographie vu qu'elle donne des nombres totalement aléatoires avec un processus relativement simple.

I.3.4 Réalisations du générateur d'horloge aléatoire

Dans chacune des propositions d'utilisation de l'échantillonnage aléatoire citées dans la sous-section I.3.3, un générateur d'horloge aléatoire est proposé. Nous présentons dans ce qui suit la topologie et méthodologie de génération d'une horloge aléatoire.

I.3.4.1 Générateur utilisé pour la réalisation du DASP

Le générateur proposé dans l'analyseur de spectre en (123) est basé sur le fait d'ajouter des délais pseudo-aléatoires à une horloge uniforme. L'architecture du générateur d'horloge aléatoire est donnée par la Figure I-18.

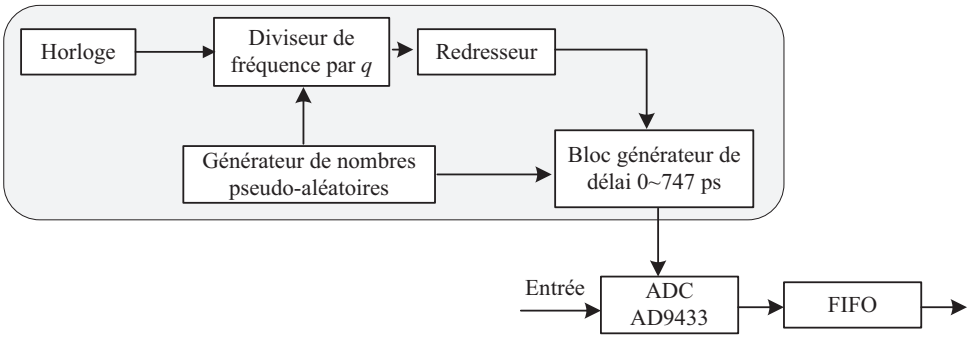


Figure I-18. Architecture de l'horloge aléatoire de l'analyseur de spectre.

Une horloge commande un diviseur de fréquence par un nombre aléatoire variant entre 9 et 16. Ce nombre est généré par un générateur conventionnel de nombres pseudo-aléatoires. Les délais provenant de la fréquence divisée sont ajoutés à l'horloge. L'horloge commande un ADC AD9433. Le bloc de délai n'est pas intégrable. Il comporte des circuits discrets afin d'assurer des pas fins pour l'ajustement des valeurs des délais. Toutefois, ces valeurs sont pseudo-aléatoires. Elles sont exactement au même nombre que les différentes valeurs fournies par le générateur de nombres pseudo-aléatoires

I.3.4.2 Génération de l'horloge pseudo-random signal sampler

L'étude appliquant le RS au domaine de la radio logicielle restreinte ne se limite pas au niveau théorique (119). Un banc de test a été élaboré pour faire des acquisitions d'un signal échantillonné aléatoirement et de mesurer l'effet de la réduction du repliement. Le générateur d'horloge aléatoire nommé Pseudo-random Signal Sampler (PSS) fournit une horloge pseudo-aléatoire. Son architecture est donnée par la Figure I-19.

La génération de l'horloge se fait par une sélection pseudo-aléatoire de signaux de phases différentes commandée par le LFSR (Linear Feedback Shift Register). La

fréquence d'une horloge externe est divisée. Chaque fréquence donne naissance à un signal d'horloge différent via la fonction combinatoire du PSS.

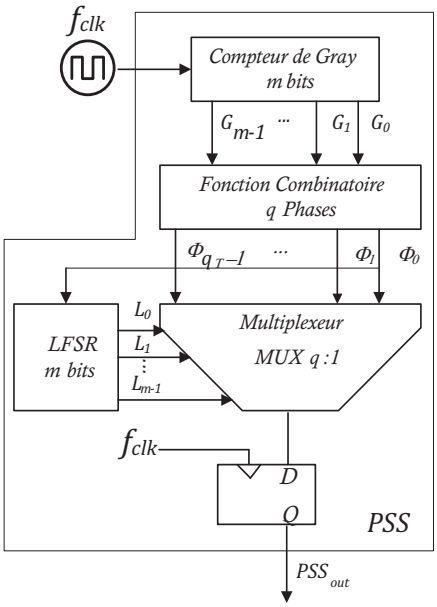


Figure I-19. Architecture du Pseudo-random Signal Sampler.

Le LFSR choisit un signal parmi les différentes possibilités et le copie sur la sortie du PSS. Ce générateur est aussi pseudo-aléatoire. Les différentes phases de l'horloge en sortie ont le même nombre que la longueur de la séquence générée par le LFSR.

I.3.4.3 Génération d'une horloge totalement aléatoire

L'horloge du générateur de nombres aléatoires est présentée par la Figure I-20. Sa fonction de génération et son architecture sont bien simples. Le principe est de comparer l'amplitude d'un bruit blanc à une valeur référentielle.

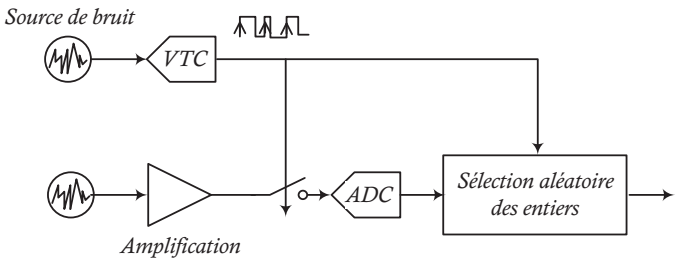


Figure I-20. Principe du fonctionnement du générateur de nombres aléatoires.

Deux sources génèrent deux bruits analogiques totalement indépendants et asynchrones. Dans le brevet (22), les auteurs proposent des sources analogiques provenant de processus physiques tels que le bruit thermique ou bien le bruit photoélectrique. Un premier bruit analogique est converti en une horloge non uniforme via un convertisseur tension-temps (VTC, Voltage-to-Time Converter). Le deuxième bruit analogique est amplifié puis échantillonné avec l'horloge non uniforme obtenue.

L'avantage de ce générateur est le caractère totalement aléatoire de son horloge. Toutefois, ce générateur ne peut pas être pris en considération vu qu'aucune configuration de l'apparition des instants d'échantillonnage ne peut être faite. Ainsi, les conditions pour un échantillonnage sans repliement ne peuvent pas être satisfaites à travers l'utilisation de cette horloge.

L'échantillonnage aléatoire semble promettre de multiples avantages lors du traitement du signal. L'élimination ou la réduction du repliement spectral faciliterait le processus de récupération d'un signal donné surtout dans le domaine de la radio. Ce type d'échantillonnage permet aussi d'atteindre un meilleur niveau de sécurité pour le domaine de la cryptographie. Cependant, Une complexité vient s'ajouter au système due au générateur de l'horloge conduisant au RS. Seuls quelques générateurs sont facilement intégrables parmi lesquels, seul le PSS permet de s'adapter aux conditions d'anti-repliement.

Conclusion

L'étude portant sur les architectures de réception radio souligne bien le fait d'avoir de fortes contraintes sur l'étage en bande de base provenant essentiellement de l'étape d'échantillonnage. Ces contraintes sont dues essentiellement à la large dynamique du signal et la fréquence élevée de fonctionnement des circuits. Ces contraintes engendrent une hausse de la consommation de puissance et dans certain cas une incapacité de trouver les circuits répondant aux spécifications recherchées Nous nous sommes donc focalisés sur l'étude de l'échantillonnage aléatoire en prévoyant une réduction de la complexité du récepteur SDR ainsi que sa consommation de puissance grâce à la suppression du repliement spectral.

L'étude faite par Ben Romdhane a montré que grâce au RS, l'ordre du filtre anti-repliement est atténué. La fréquence d'échantillonnage de l'ADC a été aussi réduite permettant ainsi de passer à une résolution de 16 bits tout en conservant la même consommation de puissance de l'ADC. Par conséquent, l'AGC a été enlevé de l'étage en bande de base. Dans ses travaux, Ben Romdhane a réussi à justifier le pouvoir de réduction du repliement de RS réel à savoir le JRS et le ARS. Toutefois en implémentation, une considération d'une quantification de l'axe temporel est inévitable amenant à un autre type d'échantillonnage aléatoire à savoir l'échantillonnage aléatoire à temps quantifié (TQ-RS, Time Quantized Random Sampling) basé sur le JRS. Ce type d'échantillonnage n'a pas fait objet d'étude jusqu'à présent. Les acquisitions faites par Ben Romdhane montrent un spectre en sortie avec une multitude de raies parasites. Nous expliquerons plus tard la provenance des raies parasites apparues dans les spectres obtenus par Ben-Romdhane.

C'est à partir de ces résultats que notre travail de recherche commence. Nous nous intéresserons dans le chapitre suivant à étudier de plus près le TQ-RS et à démontrer

son apport à réduire le repliement spectral. Ce travail de recherche s'intéresse aussi à l'échantillonnage aléatoire des signaux modulés et à démontrer l'apport du TQ-RS appliqué à un récepteur radio.

Chapitre II. Étude de l'échantillonnage aléatoire à temps quantifié

Introduction

Après avoir fait le point sur les différentes contraintes appliquées à l'étage Front End principalement au niveau de l'étage en bande de base, nous nous focalisons sur l'avantage de l'utilisation de l'échantillonnage aléatoire dans un récepteur radio. Nous nous intéressons donc aux types d'échantillonnages aléatoires dont l'implémentation matérielle est simple à réaliser. L'échantillonnage aléatoire à temps quantifié est naturellement le candidat favorable pour cette application. Il considère des instants quantifiés possibles à réaliser matériellement.

Étant donné que les travaux réalisés jusqu'à présent ne se sont pas intéressés à l'échantillonnage aléatoire à temps quantifié, nous étudions dans ce chapitre son pouvoir de réduction du repliement spectral. Après une présentation de l'échantillonnage aléatoire à temps quantifié (TQ-RS, Time-Quantized Random Sampling), nous discuterons le choix d'étudier le TQ-RS basé sur la méthode de construction JRS avec une distribution uniforme des instants d'échantillonnage. Il s'agit de l'échantillonnage TQ-JRS (Time-Quantized Jittered Random Sampling). Toujours dans le but de la simplification de la réalisation matérielle et de l'application du RS, nous introduisons dans ce chapitre une variante du TQ-RS à caractère périodique. Cette méthode est appelée échantillonnage pseudo-aléatoire à temps quantifié (TQ-PRS, Time-Quantized Pseudo-Random Sampling). Nous utilisons une méthode de construction JRS avec une distribution uniforme des instants d'échantillonnage. Il s'agit de l'échantillonnage TQ-JPRS (Time-Quantized Jittered Pseudo-Random Sampling).

Dans la première section, nous démontrons le pouvoir de réduction des répliques d'un signal échantillonné avec le TQ-RS en estimant la transformée de Fourier d'un signal échantillonné en TQ-RS. La formule théorique obtenue est comparée avec les résultats de simulation sur MATLAB d'un signal échantillonné par la même méthode. La comparaison inclut à la fois la prise en compte de l'échantillonnage et de l'échantillonnage avec la considération des effets de la représentation spectrale choisie. Les spectres montrent bien une totale corroboration avec les spectres des formules analytiques. La métrique de comparaison utilisée est l'atténuation des répliques. Dans la deuxième section, nous présentons le TQ-PRS. Nous formulerons analytiquement l'allure de son spectre en sortie de l'échantillonnage TQ-PRS. Nous mesurons le pouvoir du TQ-

PRS à réduire les répliques. La dernière section argumente la possibilité de l'utilisation du TQ-RS et du TQ-PRS dans le cas d'un signal modulé. La transposition de fréquences par le TQ-PRS dans une architecture à échantillonnage est aussi discutée.

II.1 Démonstration de la réduction du repliement spectral par l'échantillonnage aléatoire à temps quantifié

Dans l'ensemble des travaux qui se sont intéressés à l'échantillonnage aléatoire, seul l'échantillonnage aléatoire à temps continu est étudié soit sous la forme d'un échantillonnage selon la construction JRS ou ARS (24; 23; 18) . Les conditions de l'anti-repliement de ces deux traitements de signal diffèrent selon la construction de leur axe temporel. Pour le JRS, la condition d'anti repliement se résume simplement à prendre une distribution uniforme de la variable aléatoire $\{\tau_k\}$ dans l'intervalle $[-T_{RS}/2\,,T_{RS}/2]$. Quant à l'ARS, une distribution gaussienne ou uniforme de $\{\tau_k\}$ sur l'intervalle $[T_{RS}/2\,,3\,T_{RS}/2]$ répond à la condition d'anti-repliement (18). Dans l'objectif d'une réalisation matérielle, une quantification de l'axe temporel du JRS ou de l'ARS est nécessaire afin de construire l'échantillonnage aléatoire à temps quantifié.

II.1.1 Présentation du TQ-JRS

L'échantillonnage aléatoire à temps quantifié est dédié à l'implémentation matérielle du RS. En effet, un passage par la quantification des instants d'échantillonnage est primordial dans le cas d'une implémentation. Les instants aléatoires d'échantillonnage sont générés selon le mode JRS ou ARS puis quantifiés. Nous fixons un pas de quantification Δ de la période moyenne d'échantillonnage T_{RS} donné par l'équation Eq. II-1.

$$\Delta = \frac{T_{RS}}{q} \qquad \textbf{Eq. II-1}$$

avec q le facteur de la quantification temporelle qui définit le nombre de valeurs possibles que peut prendre un instant d'échantillonnage quantifié dans une période d'échantillonnage moyenne T_{RS}. La quantification est faite de façon à comparer la distance $dt_k = t_k - kT_{RS}$ pour le $k^{ième}$ instant d'échantillonnage avec un multiple entier n de Δ. La distance dt_k est ensuite substituée par $dt_{k,q}$ comme présenté par l'équation Eq. II-2.

$$dt_{k,q} = n\Delta \quad \text{si} \quad \left(n-\frac{1}{2}\right)\Delta < dt_k \leq \left(n+\frac{1}{2}\right)\Delta \qquad \textbf{Eq. II-2}$$

De cette manière, tous les instants d'échantillonnage quantifiés correspondent à un multiple de Δ. La quantification de l'axe temporel avec un facteur $q = 4$ est présentée par la Figure II-1.

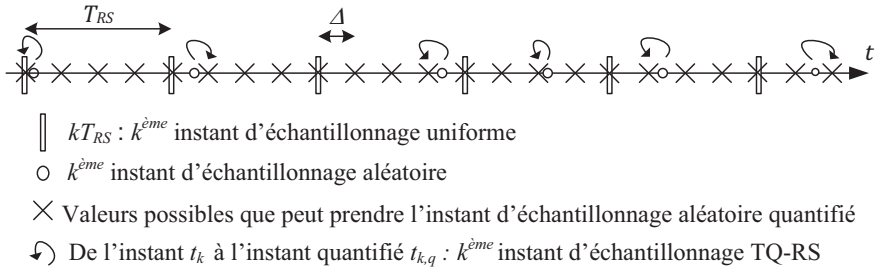


Figure II-1. Description du mode TQ-JRS pour q=4.

D'un point de vue statistique, chaque instant d'échantillonnage a une densité de probabilité qui dépend de la densité de probabilité des instants en temps continu. Deux définitions de la probabilité peuvent être prises en compte. La première expression de la densité de probabilité de l'instant d'échantillonnage est déduite par la considération de l'instant quantifié. La seconde expression est donnée suite à la considération de l'intervalle auquel appartient l'instant quantifié à savoir l'intervalle $\left[kT_{RS} + \left(n - \frac{1}{2}\right)\Delta, kT_{RS} + (n + \frac{1}{2})\Delta\right]$ pour le $k^{ième}$ échantillon quantifié de valeur $kT_{RS} + n\Delta, n \in [\![0, q-1]\!]$.

II.1.1.1 Détermination de la densité de probabilité des instants d'échantillonnage quantifiés

La détermination de la densité de probabilité de l'instant de l'échantillonnage quantifié a été précédemment introduite par Wojtiuk (23) et Ben-Romdhane (26). Si nous notons par $p(\tau)$ la densité de probabilité de la variable aléatoire $\{\tau_k\}$ choisie pour la construction de l'axe temporel du JRS ou de l'ARS, la densité de probabilité des instants du TQ-JRS est présentée par l'équation Eq. II-3.

$$p_q(\delta t_{k,q}) = \sum_{n=0}^{q-1} Q(n\Delta)\delta(dt_{k,q} - n\Delta) \qquad \textbf{Eq. II-3}$$

Ceci en définissant $Q(x)$ comme la densité de probabilité de la fonction de la quantification définie par l'équation Eq. II-4.

$$Q(x) = P(x + \Delta/2) - P(x - \Delta/2), \text{ pour chaque } x \in \{n\Delta, n \in [\![0, q-1]\!]\} \qquad \textbf{Eq. II-4}$$

Comme toute densité de probabilité, $q(x)$ doit satisfaire la condition :

$$\sum_{n=0}^{q-1} Q(n\Delta) = 1$$

La fonction $P(x)$ représente la fonction de répartition de la variable aléatoire $\{\tau_k\}$. Elle est définie par Eq. II-5.

$$P(x) = \int_{-\infty}^{x} p(\tau)\ d\tau \qquad \text{Eq. II-5}$$

Une autre approche pour déterminer la densité de probabilité des instants d'échantillonnage TQ-JRS est de considérer les intervalles de quantification. En effet, chaque instant aléatoire construit selon JRS ou ARS appartient à un des intervalles de quantification de largeur Δ. Quelque soit sa position dans l'intervalle de quantification, l'instant d'échantillonnage aléatoire sera toujours ramené par la quantification vers l'instant le plus proche dont la valeur est multiple de Δ. Ainsi, chaque instant d'échantillonnage quantifié aura exactement la probabilité d'apparition de tout l'intervalle de quantification comme l'explique la Figure II-2. L'axe des ordonné présente la probabilité des instants aléatoires en temps continus et la probabilité des instants quantifiés.

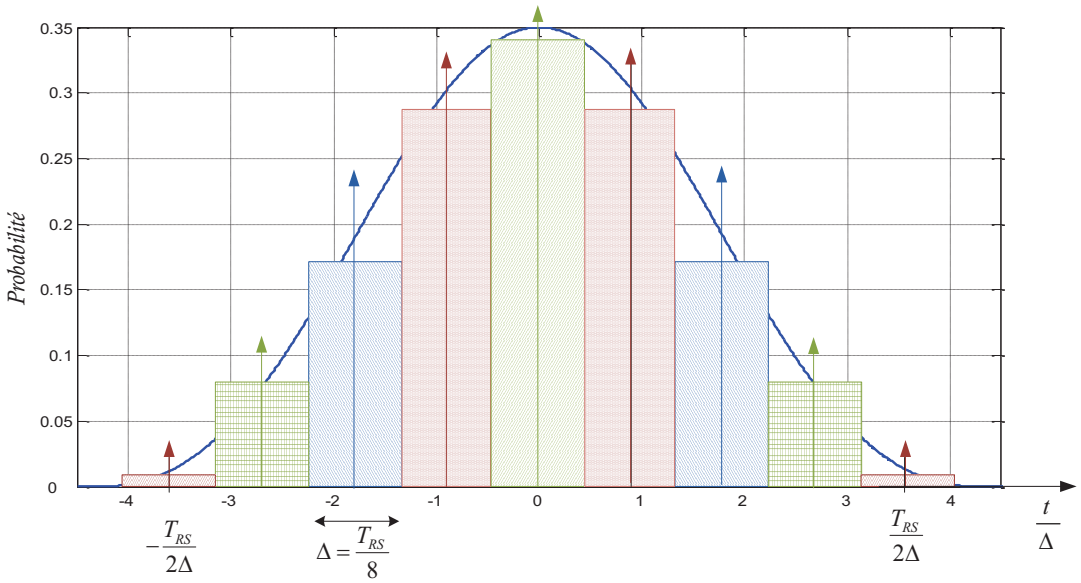


Figure II-2. Considération de la probabilité de tous les instants dans le cas du TQ-JRS.

Il s'agit donc de comptabiliser la probabilité de tout l'intervalle de quantification et de le sélectionner en utilisant la fonction porte. Ainsi, la densité de probabilité des instants d'échantillonnage dans le cas d'une distribution uniforme sur $\left[-\frac{T_{RS}}{2}, \frac{T_{RS}}{2}\right]$ est donnée par l'équation Eq. II-6.

$$p_q(t) = \sum_{n=0}^{q-1} rect_{1/\Delta}\left(\frac{t-n\Delta}{\Delta}\right) \int_{(n-\frac{1}{2})\Delta}^{(n+\frac{1}{2})\Delta} p(\tau)d\tau \qquad \text{Eq. II-6}$$

La fonction $rect_y(x)$ est la fonction porte qui prend la valeur de y si $|x| \leq 1/2$ et 0 sinon. Avec cette considération, nous parvenons à calculer la probabilité des instants d'échantillonnage en temps continu et de la canaliser sur le pic présentant l'instant d'échantillonnage quantifié. La formule en Eq. II-6 est simplement la représentation en temps continu de la formule en Eq. II-3. Elle sera utilisée dans le reste des

démonstrations dans le but de justifier le pouvoir de réduction du repliement spectral du TQ-JRS.

II.1.1.2 Choix de la distribution des instants d'échantillonnage quantifiés

L'échantillonnage aléatoire à temps quantifié est basé sur le JRS ou l'ARS. Il est donc judicieux de voir la différence entre ces deux constructions d'échantillonnages aléatoires avant de continuer l'étude théorique de l'échantillonnage aléatoire à temps quantifié. D'après les formules des estimées de la transformée de Fourier d'un signal échantillonné en JRS et celle d'un signal échantillonné en ARS données par les Eq. I-15 et Eq. I-17, nous pouvons constater que l'ARS parvient à supprimer les répliques en présence d'un plancher de bruit assez élevé. Le JRS de son côté se limite à réduire le repliement spectral mais avec un plancher de bruit moins élevé. Un signal sinusoïdal à une fréquence porteuse $f_{in} = 100\,kHz$ a été échantillonné avec une fréquence moyenne égale à $3.22\,MHz$ en JRS et en ARS. L'analyse spectrale indique la réduction du repliement spectral par le JRS et la suppression des répliques par l'ARS. En plus, le SNR dans la bande du canal calculé en présence d'un échantillonnage JRS est supérieur de 14 dB par rapport au même signal échantillonné en ARS. D'autre part, nous verrons plus loin dans ce chapitre que la quantification temporelle que nous allons considérer induira une réduction des répliques plutôt qu'une suppression. Ainsi, il est préférable de choisir le type de RS qui fournit un meilleur SNR plutôt que celui qui élimine les raies. Par conséquent, nous choisissons le JRS comme le type de RS à temps continu sur lequel la quantification sera effectuée. La distribution de la variable aléatoire $\{\tau_k\}$ sera donc uniforme sur l'intervalle $[kT_{RS} - T_{RS}/2\,, kT_{RS} + T_{RS}/2]$ afin de satisfaire un échantillonnage à période moyenne T_{RS} aboutissant à une réduction des répliques.

Dans ce cas de figure, la densité de probabilité de la distribution uniforme de la variable aléatoire $\{\tau_k\}$ est $p(\tau) = 1/T_{RS}$. Ainsi, la formule de l'Eq. II-6 s'écrit sous la forme donnée par Eq. II-7.

$$p_q(t) = \frac{1}{q}\sum_{n=0}^{q-1} rect_{1/\Delta}\left(\frac{t - n\Delta}{\Delta}\right) \qquad \textbf{Eq. II-7}$$

Étant la transformée de Fourier de la distribution de probabilité $p_q(t)$ calculée à $-f$, la fonction caractéristique est donnée par l'équation Eq. II-8.

$$\Phi(-f) = e^{-j\pi f(T_{RS}-\Delta)} sinc(\pi f T_{RS}) \qquad \textbf{Eq. II-8}$$

II.1.1.3 Discussion sur la valeur du facteur de quantification

Afin d'avoir une bonne quantification de l'axe temporel, un paramètre statistique est à choisir avec soin. Ce paramètre, valant σ/T_{RS}, fait intervenir l'écart type σ de la distribution de la variable aléatoire. Dans le cas d'une distribution discrète uniforme sur un intervalle de largeur T_{RS} et en considérant une quantification avec un facteur égal à q, l'écart type est donné par Eq. II-9.

$$\sigma = \sqrt{\frac{1}{q}\sum_{i=0}^{q-1}\left(i\Delta - \left(\frac{1}{q}\sum_{j=0}^{q-1} j\Delta\right)\right)^2} = \Delta\sqrt{\frac{q^2-1}{12}} \qquad \textbf{Eq. II-9}$$

Le paramètre statistique dans le cas de la distribution uniforme discrète est donné par Eq. II-10.

$$\frac{\sigma}{T_{RS}} = \frac{1}{q}\sqrt{\frac{q^2-1}{12}} \qquad \textbf{Eq. II-10}$$

La valeur de l'écart type pour le cas d'une distribution uniforme continue sur un intervalle de largeur T_{RS} est égal à $T_{RS}/\sqrt{12}$. Ce même paramètre a donc la valeur $1/\sqrt{12} = 0.2887$ dans le cas de la distribution uniforme continue. Une étude faite dans (26) montre bien qu'un choix de quantification temporelle avec un facteur égal à 8 permet d'être à 1% de la valeur du paramètre statistique dans le cas du temps continu.

II.1.1.4 Formulation analytique de l'estimée de la transformée de Fourier d'un signal échantillonné en TQ-JRS

Afin de prévoir l'effet de l'utilisation de l'échantillonnage aléatoire à temps quantifié, une estimation de la transformée de Fourier d'un signal échantillonnée en TQ-JRS est faite. Les détails de la démonstration analytique sont présentés dans l'Annexe B. Le résultat de cette démonstration est présenté par Eq. II-11.

$$\begin{aligned}\hat{X}_{s,q}(f) = X(f) \circledast \left[\left(1 - e^{-j\pi f(T_{RS}-\Delta)} sinc(\pi f T_{RS})\right)\right] \\ + \frac{1}{T_{RS}} e^{-j\pi f(T_{RS}-\Delta)} sinc(\pi f T_{RS}) \sum_{k=-\infty}^{k=+\infty} X\left(f - \frac{k}{T_{RS}}\right)\end{aligned} \qquad \textbf{Eq. II-11}$$

Le premier terme de la formule représente un plancher de bruit qui vient s'ajouter au spectre. Nous remarquons également l'existence du terme $X(f - k/T_{RS})$ dans l'expression de $\hat{X}_{s,q}(\mathrm{f})$. Ce terme représente le repliement spectral autour des fréquences multiples de f_{RS}. Toutefois, ce repliement spectral est atténué par la fonction *sinc* présente dans la formule. La représentation graphique, donnée par la Figure II-3, de la fonction $\hat{X}_{s,q}(f)$ donne l'allure du spectre après échantillonnage en TQ-JRS.

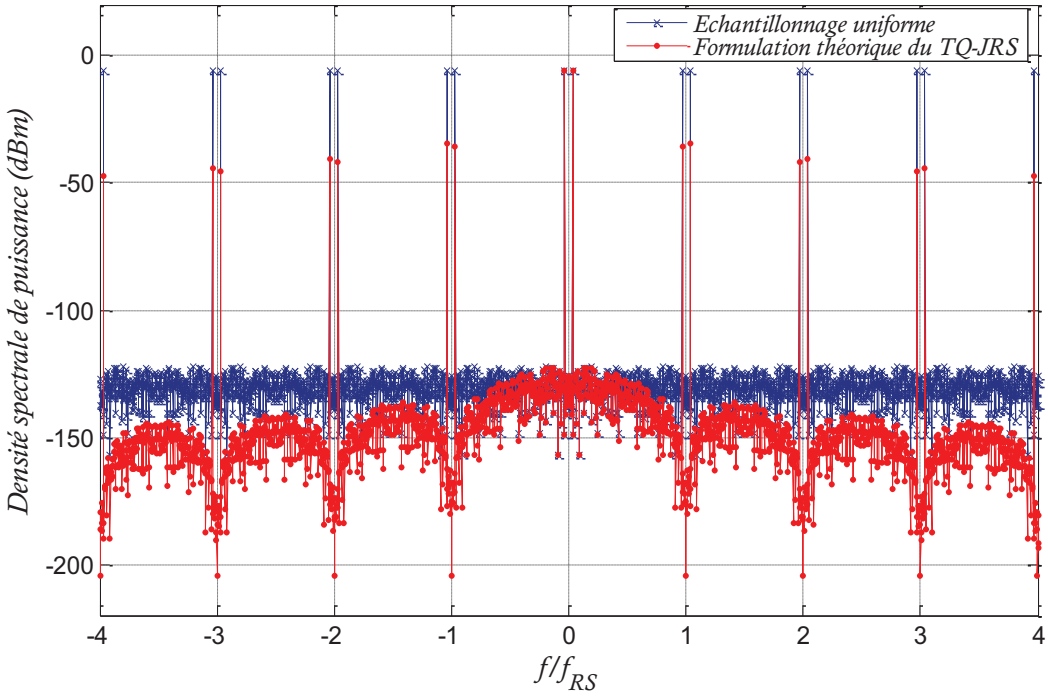


Figure II-3. Allure du spectre après échantillonnage TQ-JRS.

Les densités spectrales de puissance présentées tout au long de ce rapport considèrent lors du calcul une résistance d'une valeur 1Ω. La Figure II-3 présente l'estimation de la transformée de Fourier d'une sinusoïde à $f_{in} = 100\ kHz$ échantillonnée en TQ-JRS à une fréquence moyenne f_{RS}=3.2 MHz. Cette figure montre bien l'atténuation des répliques grâce à l'utilisation du TQ-JRS ainsi que le plancher de bruit. Afin de pouvoir mesurer la réduction des répliques par le TQ-JRS, nous définirons la métrique de calcul de l'atténuation.

Nous choisissons, comme premier travail de simulation, une sinusoïde afin de modéliser un signal réel de largeur de bande B. La sinusoïde utilisée marque la limite supérieure de la bande. Ainsi, le signal utile situé en bande de base possède une bande utile $[0, f_{in}]$ de largeur B. La première réplique du signal est située autours de f_{RS}. Le spectre de la Figure II-4 présente les limites de la réplique et du signal. Selon cette considération, le signal de puissance P_s est présenté par le pic de Dirac avec le bruit se trouvant dans l'intervalle $[0, f_{in}]$. La puissance de la réplique P_r est donc la somme de la puissance du pic replié à $f_{RS} - f_{in}$ et du bruit dans l'intervalle $[f_{RS} - f_{in}, f_{RS}]$. L'atténuation est donc le rapport des deux puissances tel que présenté par Eq. II-12.

$$Att_{TQ-JRS} = \frac{P_s}{P_r} = \frac{Ppic_s + \eta_s}{Ppic_r + \eta_r} \qquad \textbf{Eq. II-12}$$

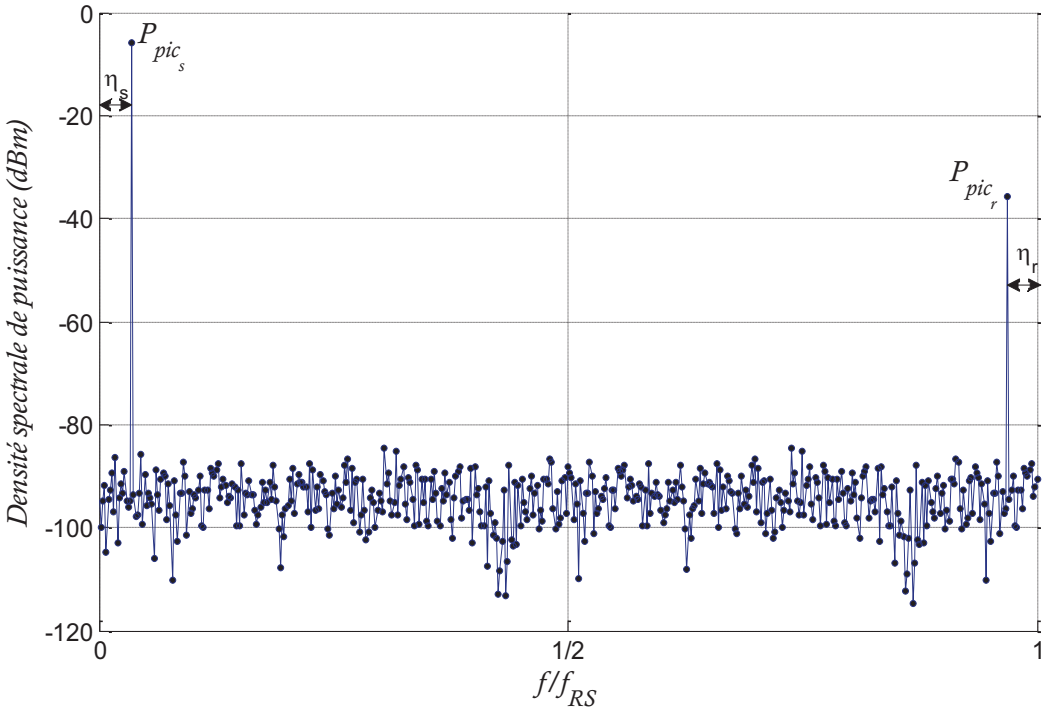


Figure II-4. Présentation de la puissance du signal et de la première réplique.

Étant donné que l'estimation de la transformée de Fourier dont la formule est donnée par Eq. II-11 dépend des deux facteurs Δ et f_{RS}, implicitement q et f_{RS}, nous proposons de calculer l'atténuation en fonction de ces deux variables. Dans ce qui suit, nous considérons le facteur de sur échantillonnage (OSR, Over Sampling Ratio) qu'on définit par $OSR = f_{RS}/2f_{in}$ où $2f_{in}$ représente la fréquence de Nyquist. Ce facteur est pris en compte pour représenter les variations de f_{RS}. La Figure II-5 à trois dimensions présente la variation de l'atténuation en fonction des variables OSR et q

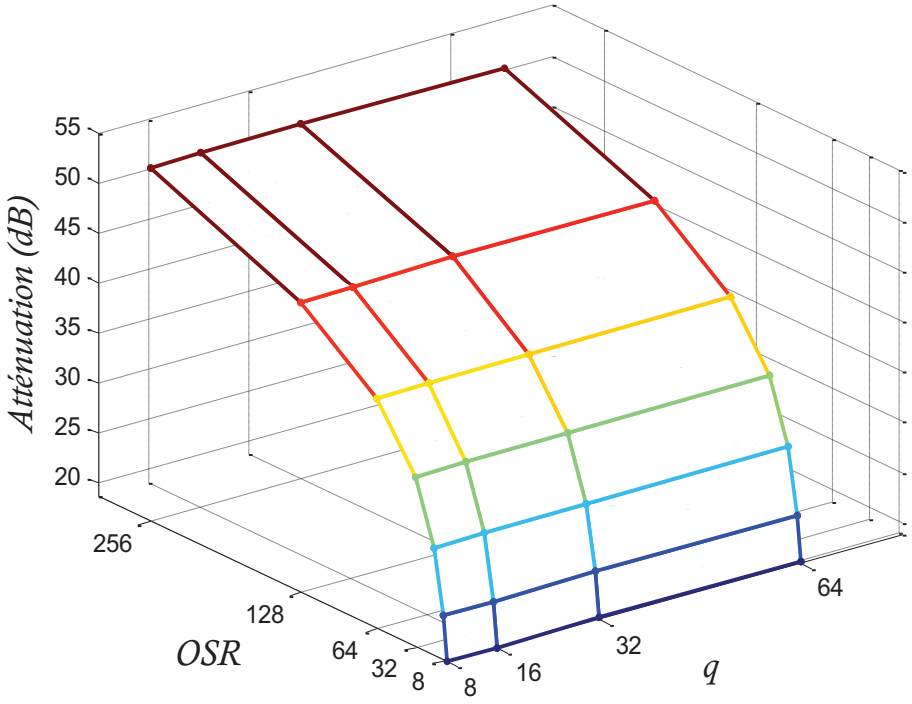


Figure II-5. Variation de l'atténuation en fonction de q et OSR.

La Figure II-5 montre bien que l'atténuation ne change presque pas suite à une variation du facteur de la quantification temporelle q. Elle dépend uniquement de la valeur de l'OSR utilisé.

II.1.2 Comparaison des résultats de la simulation et la théorie du TQ-JRS

Dans cette partie, nous nous intéressons à valider par simulation le travail théorique élaboré. Nous réalisons les simulations sur MATLAB. En échantillonnage uniforme, l'analyse spectrale offre une représentation fréquentielle sur seulement la bande fréquentielle $[0, f_{RS}/2]$. Cependant, en échantillonnage aléatoire, nous voudrions représenter le spectre sur des fréquences dépassant la fréquence d'échantillonnage pour examiner l'effet de l'anti-repliement sur les répliques se trouvant autour des fréquences multiples de f_{RS}. Pour cela, nous adoptons dans le traçage des spectres la méthode de représentation spectrale *Sample&Hold* (*S&H*): lors des tests faits sur les instants pour effectuer la quantification temporelle, si une nouvelle valeur d'instant d'échantillonnage est détectée, nous considérons l'échantillon correspondant ; sinon la valeur de l'ancien échantillon est maintenue. Par cette méthode, nous pourrions représenter le spectre sur un intervalle fréquentiel de largeur $qf_{RS}/2$, q étant le facteur de la quantification temporelle.

Dans le but de valider la théorie, nous simulons l'échantillonnage TQ-JRS d'une sinusoïde située à $f_{in} = 100kHz$ à la fréquence moyenne d'échantillonnage $f_{RS} = 3.2\,MHz$. La superposition de la représentation de la formule théorique et du spectre en sortie de l'échantillonnage est représentée par la Figure II-6.

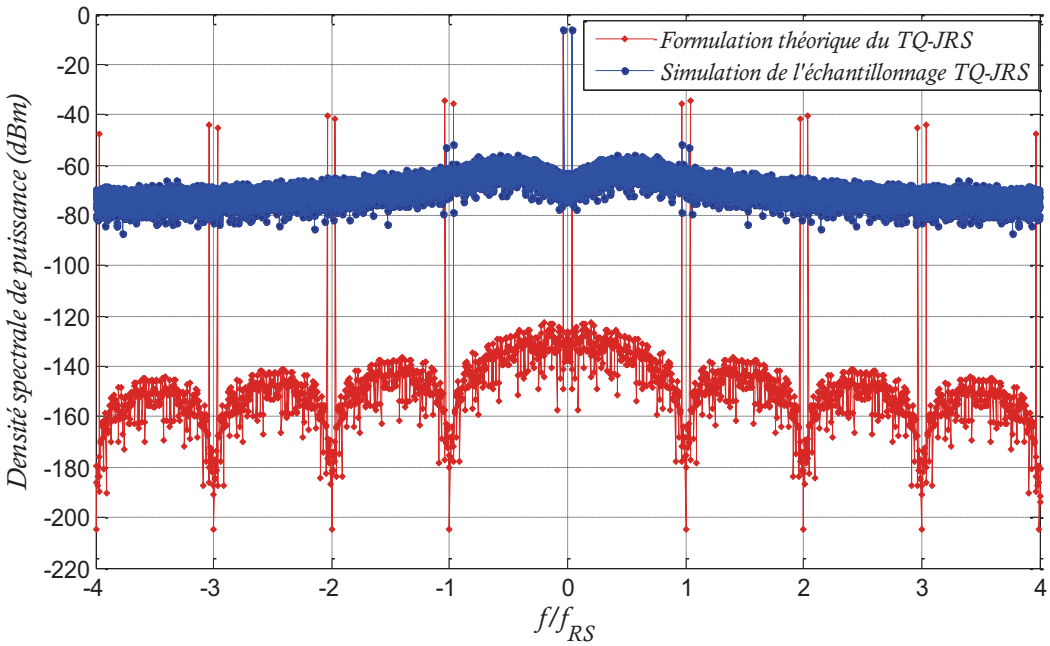


Figure II-6. Superposition de la représentation théorique et du spectre de la simulation du TQ-JRS.

D'après la Figure II-6, l'échantillonnage TQ-JRS simulé montre des répliques plus atténuées et un plancher de bruit plus important. Ce plancher, étant fixé à 120 dBm pour la théorie et la simulation, est passé à 80 dBm pour le spectre de la simulation. Ceci est

dû à la randomisation par MATLAB des répliques tout au long du spectre. D'autre part, les répliques sont plus atténuées en simulation du fait d'adopter la représentation spectrale *Sample&Hold*.

L'opération de blocage de l'ancienne valeur de l'échantillon en attendant un nouvel échantillon est une fonction porte sur l'intervalle $[t_k\ , t_{k+1}]$. En domaine fréquentiel, l'opération *Sample&Hold* est décrite par la fonction de transfert donnée par Eq. II-13.

$$H_{S\&H}(f) = \sum_{k=-\infty}^{k=+\infty} (t_{k+1} - t_k) e^{-2j\pi f t_k} e^{-j\pi f (t_{k+1} - t_k)} sinc(\pi f (t_{k+1} - t_k)) \qquad \textbf{Eq. II-13}$$

Cette fonction de transfert comporte une somme infinie. Son approximation serait donc possible par la substitution des termes par leurs valeurs moyennes. Le terme $(t_{k+1} - t_k)$ présente la période instantanée d'échantillonnage. Cette période est en moyenne égale à T_{RS}. Les instants d'échantillonnage $\{t_k = kT_{RS} + \tau_k\}$ sont pris selon une distribution uniforme avec une moyenne égale à kT_{RS}. La séquence de gigues $\{\tau_k\}$ est prise de moyenne nulle. Après l'utilisation de la formule de Poisson (124), l'approximation de $H_{S\&H}$ est donnée par Eq. II-14.

$$\begin{aligned} \widehat{H}_{S\&H}(f) &= T_{RS} e^{-j\pi f T_{RS}} sinc(\pi f T_{RS}) \sum_{k=-\infty}^{k=+\infty} e^{-2j\pi f k T_{RS}} \\ &= sinc(\pi f T_{RS}) e^{-j\pi f T_{RS}} \sum_{k=-\infty}^{k=+\infty} \delta(f - k f_{RS}) \end{aligned} \qquad \textbf{Eq. II-14}$$

Dans l'équation Eq. II-14, seul le terme $sinc(\pi f T_{RS})$ contribue à l'atténuation des répliques lors du calcul de la densité spectrale. L'équation Eq. II-14 montre bien la similitude de l'effet de l'application du *Sample&Hold* et l'application du TQ-JRS. En effet, dans l'équation de l'estimée de la transformée de Fourier d'un signal échantillonné par le TQ-JRS, Eq. II-11, le premier terme $X(f) \circledast \left[\left(1 - e^{-j\pi f (T_{RS} - \Delta)} sinc(\pi f T_{RS})\right)\right]$ est bien négligeable devant le second terme ${}^{1}/_{T_{RS}}\, e^{-j\pi f (T_{RS} - \Delta)} sinc(\pi f T_{RS}) \sum X\left(f - \frac{k}{T_{RS}}\right)$. De plus, la fonction exponentielle complexe de module égal à 1 n'intervient pas dans le calcul de la densité spectrale de puissance. Ainsi, une approximation de l'estimée de la transformée de Fourier d'un signal échantillonné en TQ-JRS est donnée par Eq. II-15.

$$\begin{aligned} \hat{X}_{s,q}(f) &\cong \frac{1}{T_{RS}} sinc(\pi f T_{RS}) \sum_{k=-\infty}^{k=+\infty} X\left(f - \frac{k}{T_{RS}}\right) \\ &\cong H_{TQ_JRS}(f)\, X(f) \end{aligned} \qquad \textbf{Eq. II-15}$$

En conséquence, la fonction de transfert de l'opération de l'échantillonnage TQ-JRS notée H_{TQ_RS} est approximativement égale à $\widehat{H}_{S\&H}$ en termes d'atténuation des répliques. La simulation d'un échantillonnage uniforme en *S&H* superposée au traçage de la formule analytique de $\hat{X}_{s,q}$ présentée à la Figure II-7 affirme bien les approximations faites.

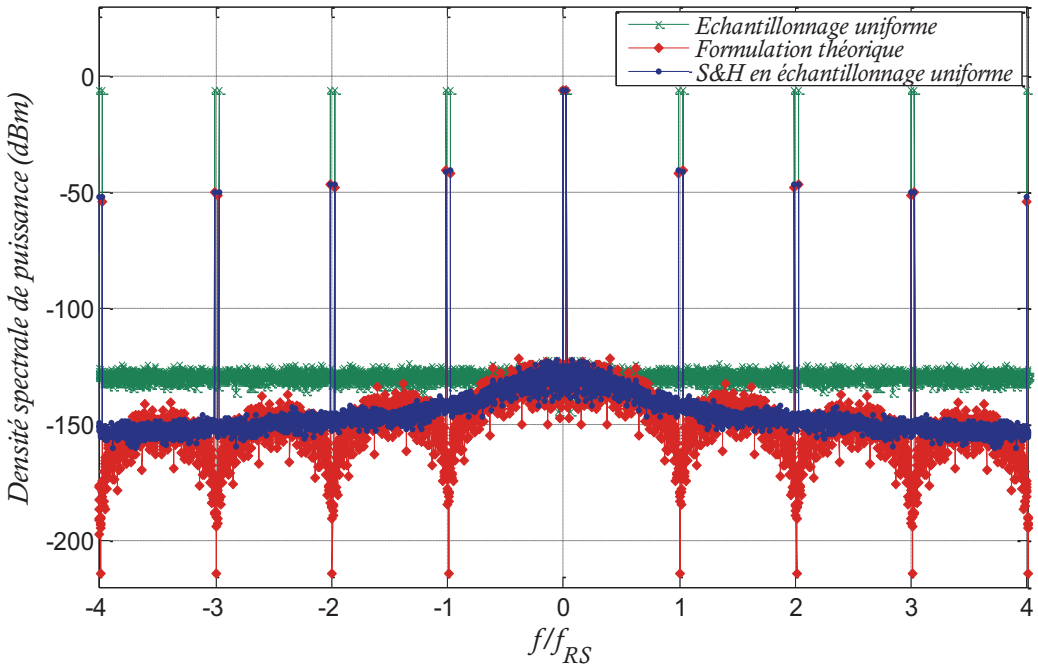


Figure II-7. Superposition du spectre de la simulation d'un échantillonnage uniforme en *S&H* avec le traçage de la formule théorique du spectre en TQ-JRS.

Il est clair d'après la Figure II-7 et l'étude faite ci-dessus que l'échantillonnage TQ-JRS a un pouvoir de réduction du repliement spectral similaire à celui apporté par la représentation spectrale *Sample&Hold* sans pour autant l'avoir appliquée. Ce pouvoir intrinsèque d'atténuation peut être aussi jumelé avec celui de la représentation spectrale. Ainsi, l'échantillonnage TQ-JRS en *S&H* aura un plus grand pouvoir d'atténuation. L'estimation de son équation analytique est donnée par l'Eq. II-16.

$$\hat{X}_{s,q_{S\&H}}(f) = \hat{H}_{S\&H}(f)\,\hat{H}_{TQ_{JRS}}(f)\,X(f)$$
$$= \frac{1}{T_{RS}} sinc^2(\pi f T_{RS}) e^{-j\pi f T_{RS}} \sum_{k=-\infty}^{k=+\infty} X\left(f - \frac{k}{T_{RS}}\right) \qquad \textbf{Eq. II-16}$$

L'application de la fonction de transfert $H_{S\&H}(f)$ à la formulation analytique de l'Eq. II-11 mène à un échantillonnage aléatoire en temps quantifié en appliquant une fonction porte entre deux instants successifs. Le spectre de simulation de d'échantillonnage TQ-JRS tracé selon la représentation spectrale *Sample&Hold* est superposé à la représentation de la densité spectrale de puissance de $\hat{X}_{s,q_{S\&H}}$ est présenté par la Figure II-8.

La formule théorique de l'estimation du spectre en sortie d'un échantillonnage TQ-JRS en *S&H* présente des répliques autours des multiples de f_{RS}. Ces répliques ont des puissances très proches de ceux de la simulation du TQ-JRS.

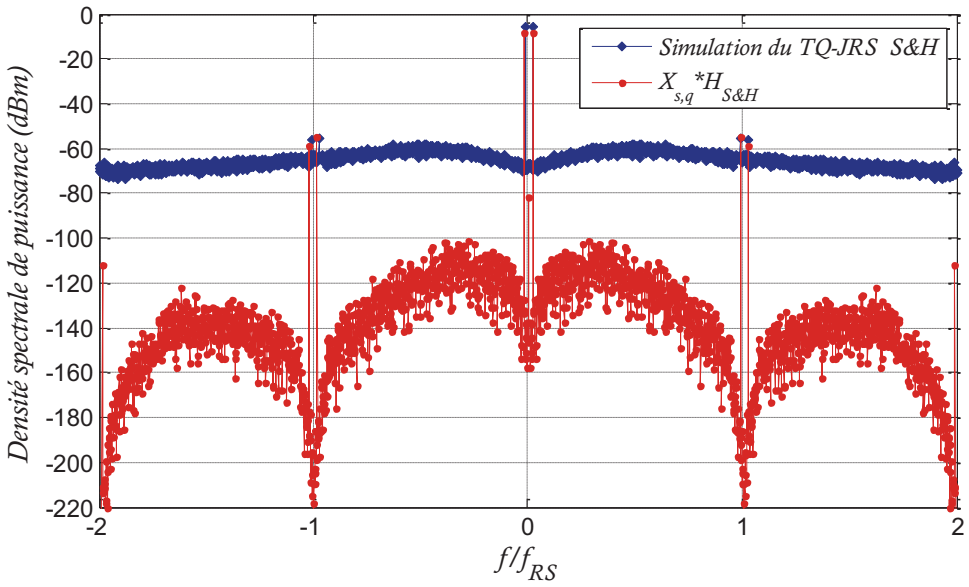
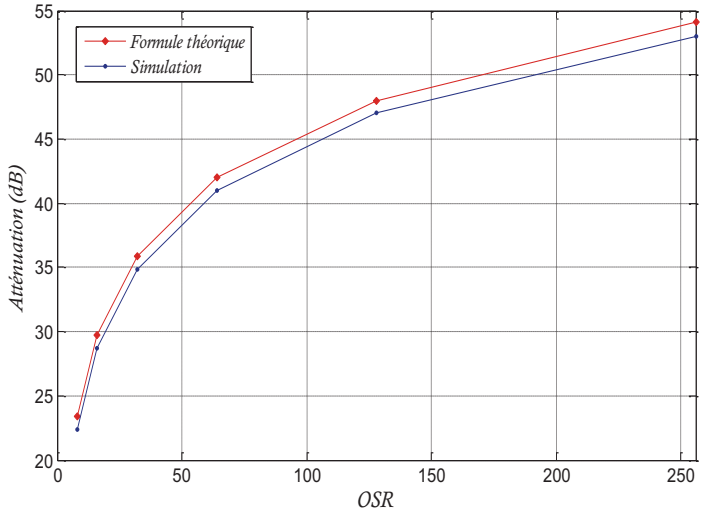


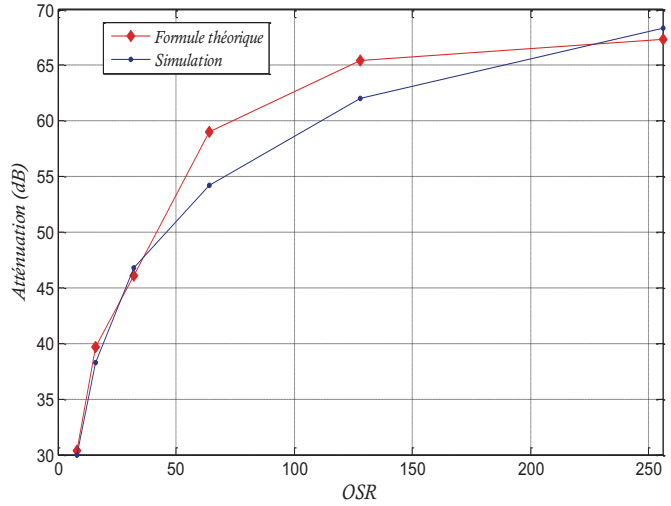
Figure II-8. Superposition de la formule théorique du TQ-JRS en *S&H* avec la simulation du TQ-JRS présenté en *S&H*.

Le spectre simulé ne présente que les deux premiers pics autours de f_{RS}, les répliques au delà de cette fréquence sont noyés dans le plancher de bruit généré par le calcul de la transformée de Fourier rapide (fft, fast fourier transform) de MATLAB.

En termes d'atténuation, la théorie corrobore avec les simulations. Tracées avec les mêmes conditions, la théorie et la simulation permettent d'atténuer la première réplique du signal tant en échantillonnage qu'en échantillonnage en *S&H*. En variant l'OSR, l'atténuation est calculée et représentée à la Figure II-9 (a) pour l'échantillonnage TQ-JRS en théorie et en simulation et à la Figure II-9 (b) en échantillonnage TQ-JRS avec considération de l'effet de la représentation spectrale *Sample&Hold* en théorie et en simulation.



(a)

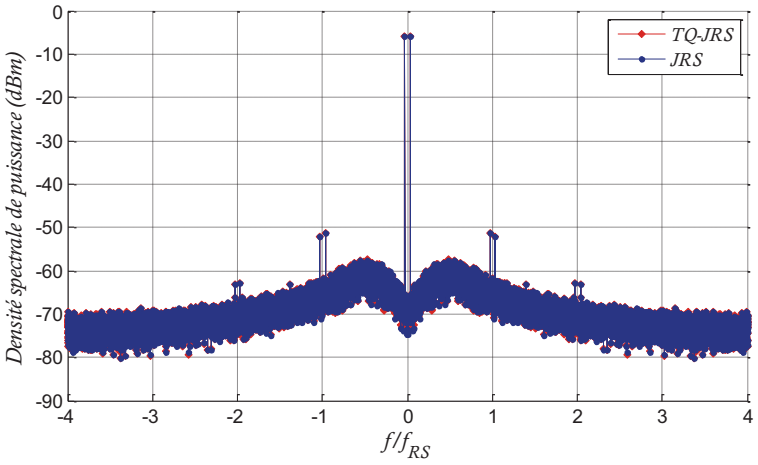


(b)

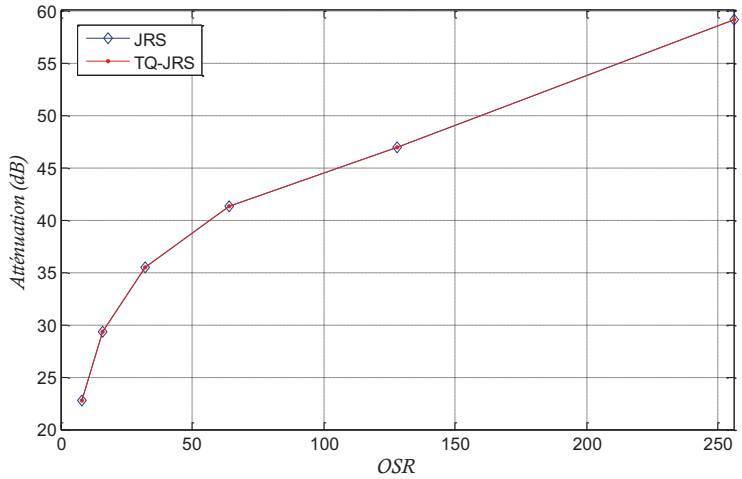
Figure II-9. Comparaison de l'atténuation de la première réplique par l'échantillonnage TQ-JRS avec et sans *S&H.*

La simulation indique une atténuation de la première réplique à des valeurs proches des valeurs indiquées par la théorie. Toutefois, la théorie présente de meilleurs résultats grâce à un plancher de bruit réduit qui ne contribue presque pas au calcul de l'atténuation. Par cette comparaison au niveau des spectres théoriques et de simulation et au niveau de l'atténuation calculée, nous pouvons affirmer la validation de la théorie proposée.

Un autre niveau de validation concerne le facteur de la quantification temporelle. Ce facteur a été discuté dans la section II.1.1.3 et choisi supérieur à 8. Afin de confirmer que cette valeur de facteur de quantification temporelle donne un résultat très proche du résultat à temps continu, nous présentons dans cette partie, une comparaison entre le spectre en sortie de l'échantillonnage aléatoire à temps quantifié et l'échantillonnage aléatoire à temps continu JRS. Les deux spectres sont présentés par la Figure II-10 (a). Le pouvoir d'atténuation de chaque échantillonnage est illustré par Figure II-10 (b).



(a)



(b)

Figure II-10. Comparaison du résultat de simulation des échantillonnages JRS et TQ-JRS en terme de densité spectrale de puissance (a) et atténuation (b).

La Figure II-10(a) montre une très légère différence entre le JRS et le TQ-JRS. En termes d'atténuation, Figure II-10 (b), les deux échantillonnages permettent d'avoir les mêmes valeurs à une différence de quelques centièmes de dB. Ainsi, il est clair que le facteur de quantification choisi égal à 8 permet d'avoir une sortie très proche du résultat d'échantillonnage aléatoire à temps quantifié.

II.2 Démonstration de la réduction des répliques par l'échantillonnage pseudo- aléatoire à temps quantifié

Le TQ-JRS est favorable à l'implémentation matérielle grâce à la considération d'un axe temporel quantifié. Cependant, une telle implémentation nécessite impérativement un générateur d'horloge dont la période varie aléatoirement en prenant des valeurs égales à $n\Delta, n \in \mathbb{N}$. Ainsi, un générateur de nombres aléatoires devrait faire partie du générateur de l'horloge à TQ-JRS. Les générateurs de nombres totalement aléatoires portent une certaine complexité lors de leurs implémentations. Ils peuvent être basés sur l'utilisation des phénomènes physiques, comme l'échantillonnage d'un bruit thermique (22) ou la mesure de la période du claquage de l'oxyde de grille d'un résistor MOSFET (125) ; ou bien l'utilisation des oscillateurs comme les oscillateurs chaotiques. (126). Un état de l'art en (125) montre bien qu'un générateur de nombre aléatoire a généralement une consommation entre 1 et 7 mW et peut occuper jusqu'à 1.5mm^2 de surface. Ce genre de générateur est énorme comparé à un simple générateur de nombre pseudo-aléatoire tel un LFSR composé simplement de quelques bascules et portes logiques. L'utilisation d'un générateur de nombres pseudo-aléatoires dans un générateur d'horloge mène à avoir une horloge pseudo-aléatoire dont les phases se répètent de façon cyclique après un certain temps. Cette horloge conduit à un échantillonnage pseudo-aléatoire à temps quantifié basé sur la construction JRS (TQ-JPRS, Time Quantized Jittered Pseudo-Random Sampling). Il est donc intéressant

d'étudier de près le TQ-JPRS afin de justifier son pouvoir de réduction du repliement spectral et par suite son implémentation matérielle au sein d'un récepteur radio SDR multistandard.

II.2.1 Présentation du TQ-JPRS

L'échantillonnage pseudo-aléatoire à temps quantifié basé sur la construction JRS est simplement une variante du TQ-JRS où la distance entre les instants d'échantillonnage pseudo-aléatoires est connue au préalable. Cette distance suit les valeurs d'une séquence de nombre pseudo-aléatoire tel que par exemple la séquence que génère un LSFR. Nous conservons alors les paramètres de la quantification temporelle à savoir Δ et q. Le facteur de quantification représente le nombre de valeurs possibles que l'instant quantifié peut prendre. Cependant, dans le cas de l'utilisation d'un LFSR seules $q-1$ valeurs possibles peuvent être générées. Chaque instant d'échantillonnage sera répété toutes les $(q-1)T_{RS}$ périodes. Nommons $lfsr$ la séquence selon laquelle les instants d'échantillonnage sont choisis. Pour présenter selon le TQ-JPRS un cas de quantification à facteur $q=4$, nous aurons besoin d'un $lfsr$ contenant $q-1=3$ valeurs. L'axe temporel dans ce cas est représenté par la Figure II-11.

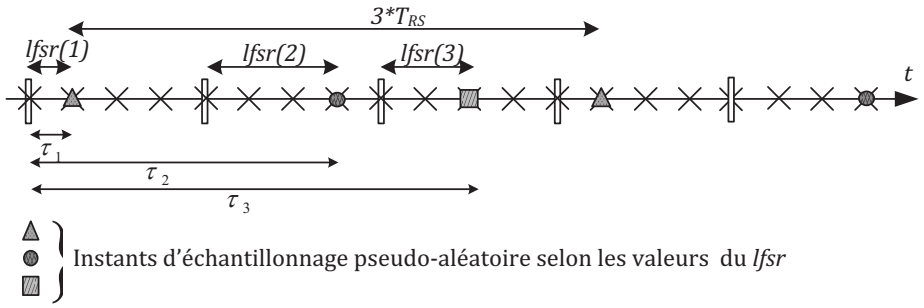


Figure II-11. Présentation de l'axe temporel en TQ-JPRS pour un facteur de quantification, *q=4*.

L'échantillonnage pseudo-aléatoire est assimilable à la juxtaposition de $q-1$ échantillonnages uniformes pris à des instants différents τ_i mais avec une période d'échantillonnage égale $T_{TQ-JPRS}=(q-1)T_{RS}$.

II.2.2 Formulation analytique de la transformée de Fourier d'un signal échantillonné en TQ-JPRS

L'échantillonnage TQ-JPRS s'effectue aux instants $\{k(q-1)T_{RS}+\tau_i, k\in\mathbb{N}, i\in[\![1,q-1]\!]\}$. Afin de pouvoir comparer l'échantillonnage TQ-JPRS et l'échantillonnage TQ-JPRS en *S&H* aux résultats de simulation, nous réalisons en premier temps la formulation analytique de la transformée de Fourier d'un signal échantillonné en TQ-JPRS puis nous lui appliquerons la fonction de transfert du blocage des échantillons entre deux instants consécutifs.

L'échantillonnage TQ-JPRS est comparé à une juxtaposition de $q-1$ échantillonnages uniformes débutant aux instants τ_i à une période $(q-1)T_{RS}$. Cette modélisation permet de calculer la transformée de Fourier d'un signal échantillonné pseudo-aléatoirement. La formule est donnée par Eq. II-17. Les détails de la démonstration sont notés à l'annexe C.

$$X_{TQ-JPRS}(f) = \frac{f_{RS}}{(q-1)} \sum_{k=-\infty}^{k=+\infty} \sum_{n=1}^{q-1} e^{-2j\pi f \tau_n} X\left(f - k\frac{f_{RS}}{(q-1)}\right)$$

$$= \frac{f_{RS}}{(q-1)} e^{-j\pi f(q-1)T_{RS}} \frac{sin\,(\pi f(q-1)\Delta)}{sin\,(\pi f \Delta)} \frac{sin\,(\pi f(q-1)T_{RS})}{sin\,(\pi f T_{RS})} \sum_{k=-\infty}^{k=+\infty} X(f - k\frac{f_{RS}}{(q-1)}) \qquad \textbf{Eq. II-17}$$

La formule Eq. II-17 montre bien la présence des pics autour des multiples de $f_{RS}/(q-1)$. Ces pics sont les répliques du signal échantillonné avec les $q-1$ échantillonnages uniformes à des instants différents. La simulation d'un échantillonnage TQ-JPRS avec un facteur de quantification $q=8$ d'un signal sinusoïdal situé à $f_{in}=100kHz$ avec une fréquence moyenne d'échantillonnage $f_{RS}=3.2\,MHz$ est réalisée. Afin de tracer cette simulation sur un large intervalle fréquentiel sans faire intervenir l'atténuation de la représentation spectrale *Sample&Hold*, nous choisissons la représentation *zero-padding*. Dans cette représentation, nous ajoutons des zéros au vecteur d'échantillons à chaque fois où la condition pour la quantification temporelle ne mène pas à une nouvelle valeur d'instant d'échantillonnage. Ainsi, la représentation en *zero-padding* de la densité spectrale de puissance de la simulation du TQ-JPRS et la superposition de la représentation théorique sont illustrés à la Figure II-12 sur l'intervalle fréquentiel $[-f_{RS}, f_{RS}]$.

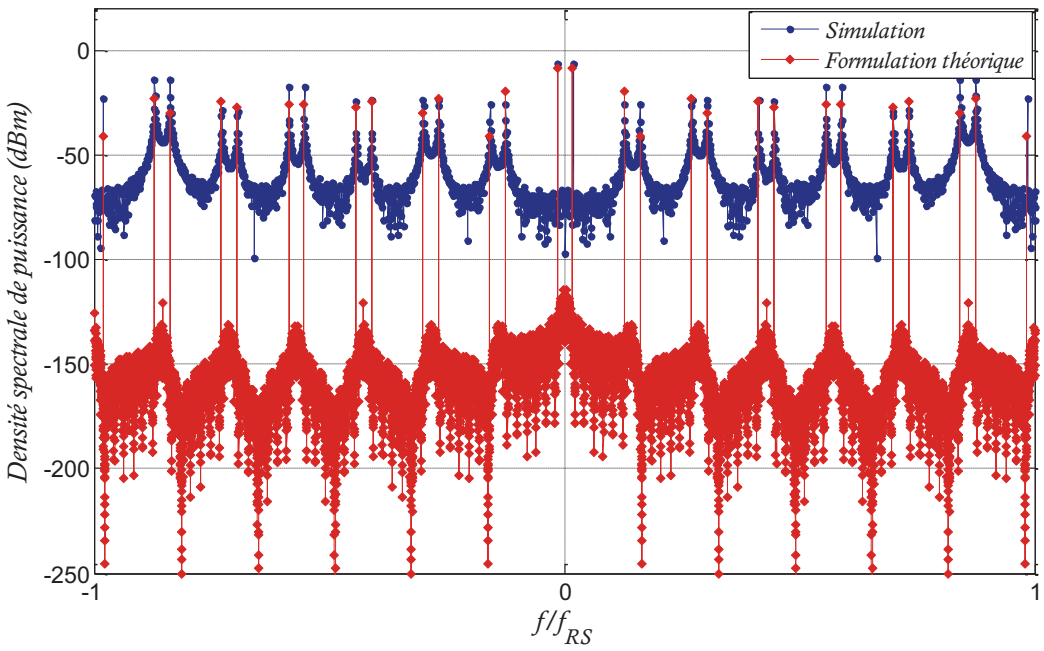


Figure II-12. Spectre de l'échantillonnage TQ-JPRS simulé et tracé en *zero-padding* comparé au traçage de la formule théorique.

Les pics autour des multiples de $f_{RS}/(q-1)$ apparaissent également en simulation. Les valeurs de leurs puissances s'approchent des valeurs données par la théorie. En simulation, le plancher de bruit en TQ-JPRS a diminué comparé au cas de l'échantillonnage TQ-JRS. La présence des pics fait de sorte à canaliser la puissance sur ces pics et diminuer ainsi la valeur du plancher. Afin d'ajouter l'effet de la représentation spectrale *Sample&Hold*, il est impératif de calculer sa fonction de transfert dans le cas de la considération d'un échantillonnage pseudo-aléatoire. La fonction de transfert $H_{S\&H}$ donnée par Eq. II-13 considère des instants totalement aléatoires. Si une certaine séquence de $q-1$ valeurs différentes est suivie et répétée, l'échantillonnage TQ-JPRS en *S&H* aura la fonction de transfert $H_{S\&H\,TQ-JPRS}$ donnée par Eq. II-18.

$$H_{S\&H\,TQ-JPRS}(f) = e^{-j\pi f(q-1)T_{RS}} sinc(\pi f(q-1)T_{RS}) \sum_{k=-\infty}^{k=+\infty} \delta(f - k(q-1)T_{RS}) \qquad \textbf{Eq. II-18}$$

Avec la considération du *Sample&Hold*, une fonction porte s'applique entre les instants t_i et $t_{i+1}, i \in [\![1, q-1]\!]$ et aussi entre le dernier instant du $k^{\text{ième}}$ intervalle de largeur $(q-1)T_{RS}$ et le premier instant du $(k+1)^{\text{ième}}$ intervalle. Ceci mène à avoir une fonction $sinc$ dont les zéros se situent autour de f_{RS}/q. Par conséquence, l'échantillonnage TQ-JPRS en *S&H* a la formule de transformée de Fourier donnée par Eq. II-19.

$$X_{TQ-JPRS_{S\&H}} = A(f) \sum_{k=-\infty}^{k=+\infty} X(f - k\frac{f_{RS}}{(q-1)})$$
$$A(f) = \frac{f_{RS}}{(q-1)} e^{-j\pi f q T_{RS}} \frac{sin(\pi f(q-1)\Delta)}{sin(\pi f \Delta)} \frac{sin(\pi f(q-1)T_{RS})}{sin(\pi f T_{RS})} sinc(\pi f(q-1)T_{RS}) \qquad \textbf{Eq. II-19}$$

La simulation du signal sinusoïdal à $f_{in} = 100kHz$ par le TQ-JPRS à une fréquence moyenne $f_{RS} = 3.2\ MHz$ avec représentation spectrale *Sample&Hold* est superposée à la représentation graphique de la formule théorique du TQ-JPRS avec considération de l'effet du *Sample&Hold*, Eq. II-19. Les deux spectres sont représentés par Figure II-13. Les pics ainsi que le plancher du bruit sont atténués. Les mêmes variations des puissances des pics sont mentionnées tant en simulation qu'en théorie.

D'après le graphe de la Figure II-13, les pics et la réplique du signal sont atténués d'environ 50 dB par rapport au signal si l'effet du *S&H* est considéré. Il est donc très intéressant de valider la théorie par la mesure des atténuations et la comparaison de l'échantillonnage aléatoire et pseudo-aléatoire à temps quantifié afin de pouvoir appliquer le TQ-JPRS à un récepteur radio.

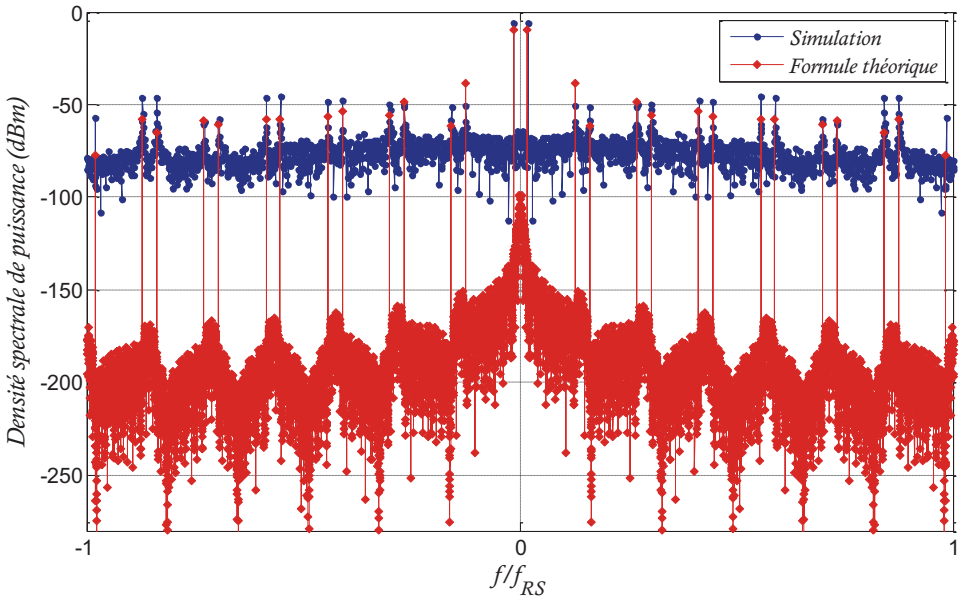


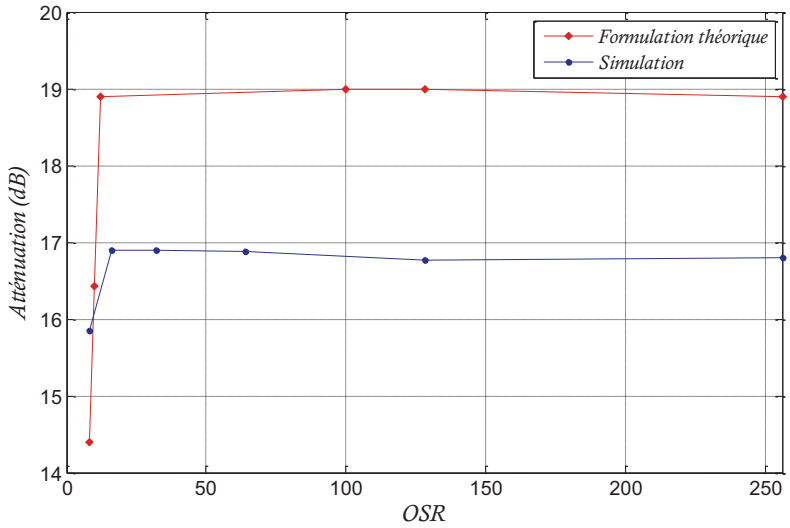
Figure II-13. Spectre de l'échantillonnage TQ-JPRS simulé et tracé en *Sample&Hold* comparé au traçage de la formule théorique.

II.2.3 Comparaison des résultats de l'échantillonnage pseudo-aléatoire à temps quantifié

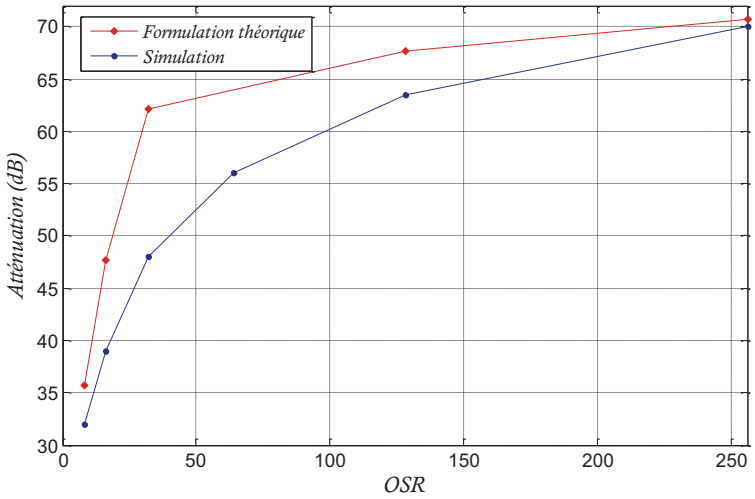
Les densités spectrales illustrées par Figure II-12 et Figure II-13 montrent une certaine concordance entre la théorie et la simulation. La mesure de l'atténuation permet de valider le pouvoir atténuateur du TQ-JPRS. La comparaison englobe en premier temps la comparaison entre la théorie et la simulation afin de valider les formulations théoriques et, en second temps, la comparaison entre l'échantillonnage aléatoire à temps quantifié et l'échantillonnage pseudo-aléatoire à temps quantifié.

II.2.3.1 Validation de la théorie par la simulation

La mesure de l'atténuation est réalisée selon la méthodologie décrite en II.1.2. La mesure de l'atténuation de la première réplique du signal située à $f_{RS} - f_{in}$ est réalisée en simulation et en théorie pour différentes valeurs de l'OSR. Les valeurs des atténuations en fonction de l'OSR sont illustrées par la Figure II-1. L'atténuation est calculée selon la formule théorique Eq. II-17 et comparée à la simulation d'un signal sinusoïdal situé à $f_{in} = 100\ kHz$ et dont le spectre est représenté en *zero-padding*. Les valeurs calculées sont représentées par la Figure II-14 (a). L'atténuation calculée avec considération de l'opération du blocage selon Eq. II-19 est comparée aux valeurs de l'atténuation mesurée sur le spectre de simulation d'un signal échantillonné en TQ-JPRS et représenté selon *Sample&Hold*. Ces valeurs sont tracées à la Figure II-14 (b).



(a)



(b)

Figure II-14. Mesures de l'atténuation du TQ-JPRS sans (a) et avec (b) considération du *Sample&Hold*, *q=8*.

Avec l'échantillonnage TQ-JPRS simulé, l'atténuation de la première réplique du signal reste presque constante et égale à 16.8 dB. La considération du blocage de la valeur de l'échantillons entre deux instants d'échantillonnage consécutifs amène à avoir une atténuation variable en fonction de l'OSR avec des valeurs importantes surtout pour des valeurs assez faibles de l'OSR. Cette meilleure atténuation est due à la canalisation des puissances en forme de raies et par conséquent la réduction du plancher du bruit.
Dans le cas de la représentation en *zero-padding* du spectre de simulation, nous remarquons que l'atténuation varie légèrement de l'ordre de 5 dB en théorie et de l'ordre de dixièmes de dB en simulation. A partir d'un OSR assez grand, les valeurs d'atténuation tendent vers une constante. En simulation, cette constante présente une asymptote horizontale à la courbe de l'atténuation calculée sans *Sample&Hold* et est égale à 18 dB dans le cas représenté par Figure II-14 (a).

D'après les résultats de la section précédente, l'échantillonnage TQ-JPRS canalise le bruit présent dans le spectre de l'échantillonnage TQ-JRS en des pics à $\pm k f_{RS}/(q-1)$. Ceci

pourrait permettre d'améliorer le rapport signal sur bruit SNR si aucun pic n'apparait dans la bande utile du signal. Pour ce, aucune réplique ne doit apparaître dans la bande utile du signal considéré $[0, f_{in}]$. Rappelons que le signal sinusoïdal utilisé modélise un signal de bande $B = [0, f_{in}]$ et que les pics autour de $\pm k f_{RS}/(q-1)$ prennent naissance de l'utilisation d'une juxtaposition de $(q-1)$ échantillonnages uniformes. La condition permettant de n'avoir aucune réplique du signal dans bande utile est traduite par Eq. II-20.

$$\frac{f_{RS}}{q-1} - f_{in} > f_{in} \qquad \textbf{Eq. II-20}$$

Sachant que l'$OSR = f_{RS}/(2f_{in})$, cette équation se transforme en Eq. II-21. Elle présente ainsi la condition à satisfaire afin de garantir que toutes les répliques soient en dehors de la bande utile et par conséquent garantir l'avantage de l'atténuation en utilisant le TQ-JPRS.

$$OSR > q - 1 \qquad \textbf{Eq. II-21}$$

Cette condition est prise en compte lors du traçage des courbes d'atténuation. Par conséquent, le nombre de valeurs d'atténuation tracées décroit lorsque le facteur de quantification augmente.

Comme présenté par la Figure II-14 (a), l'atténuation calculée pour le TQ-JPRS sans considération du *S&H* reste presque invariable en fonction de l'OSR. Contrairement au TQ-JRS, le TQ-JPRS sans considération du *S&H* dépend étroitement du facteur de la quantification temporelle q. En effet, la formule du spectre en sortie d'un échantillonnage TQ-JPRS, Eq. II-18, montre bien la dépendance de l'atténuation au facteur de quantification puisqu'il figure dans le terme $sinc(\pi f q T_{RS})$ responsable de la réduction des répliques. Les valeurs d'atténuation en TQ-JPRS varient donc selon q et atteignent des valeurs proches de $10log_{10}(q^2)$. Une représentation à la Figure II-15 faisant intervenir l'atténuation en fonction de l'OSR et de q montre bien la dépendance de l'atténuation de la réplique du facteur de la quantification temporelle q.

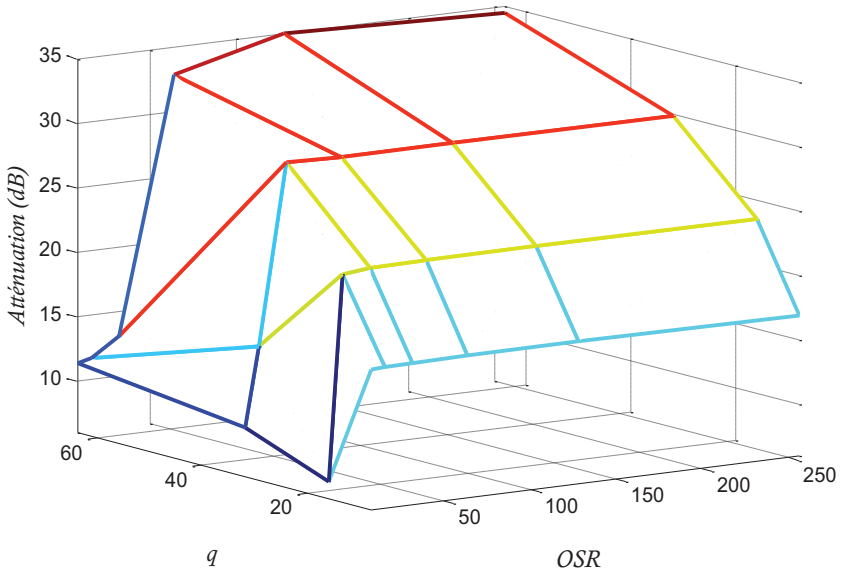


Figure II-15. Mesure de l'atténuation en fonction de l'OSR et du facteur de la quantification temporelle dans le cas TQ-JPRS sans tenir compte de l'effet du *S&H*.

La Figure II-15 montre bien que l'atténuation varie très peu en fonction de l'OSR et croit de manière logarithmique selon q. Toutefois, dans l'intervalle où les valeurs de l'OSR sont inférieurs aux valeurs de q, une certaine perturbation des valeurs de l'atténuation est détectée.

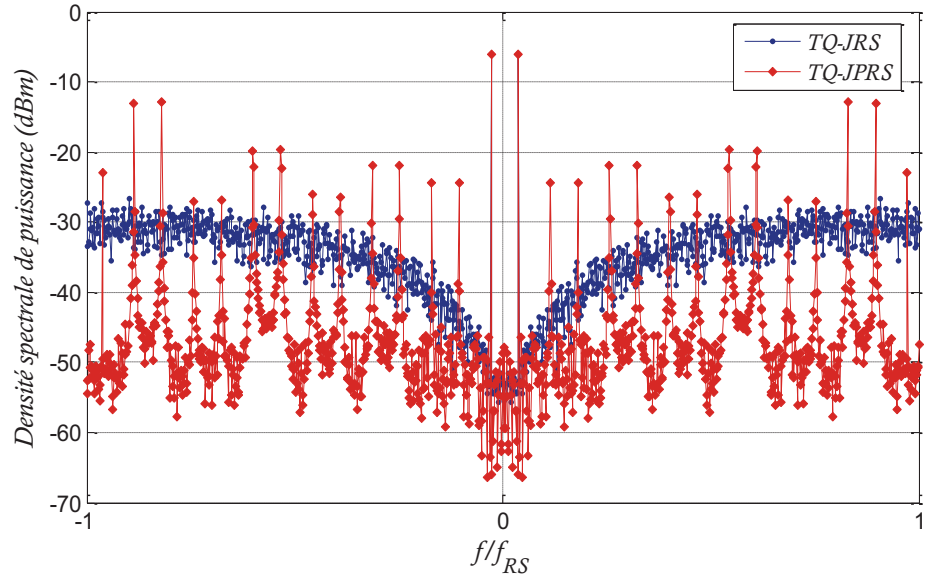
Nous pouvons conclure que grâce à l'utilisation du TQ-JPRS sous la condition de Eq. II-21, les répliques son atténuées au fur et à mesure qu'on augmente le facteur de quantification temporelle. Afin d'échantillonner à une fréquence moyenne relativement basse, nous avons intérêt à réduire au maximum l'OSR. Ainsi, un compromis est à faire entre atténuation et OSR pour répondre aux besoins d'un récepteur radio multistandard.

Par ailleurs, pour $q = 8$ comme le montre la Figure II-14, l'opération de l'échantillonnage TQ-JPRS en *S&H* assure une réduction qui semble être équivalente à l'atténuation calculée pour l'échantillonnage TQ-JRS illustrée par la Figure II-9. Dans la sous-section suivante, nous nous proposons de comparer le résultat des échantillonnages aléatoire et pseudo-aléatoire à temps quantifié.

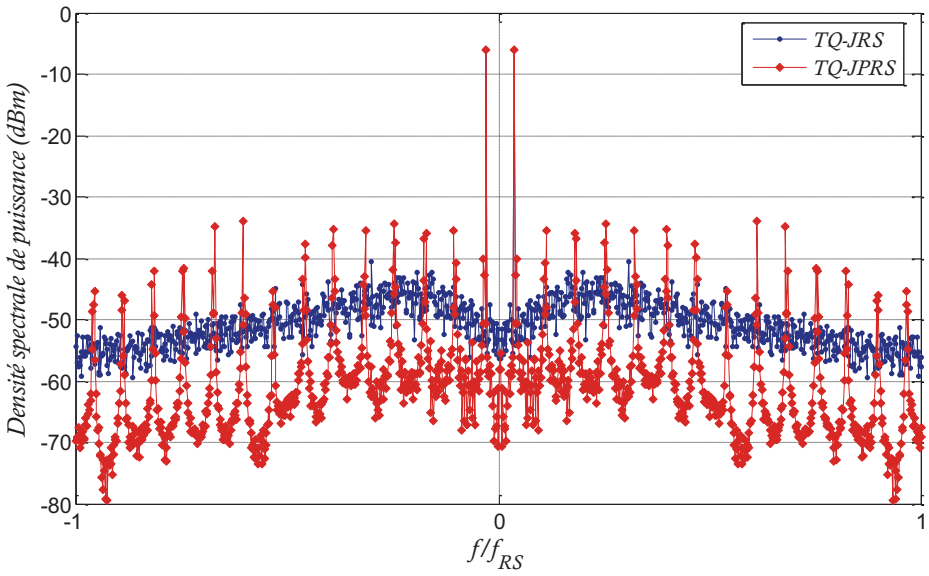
II.2.4 Comparaison du pouvoir d'atténuation des échantillonnages aléatoire et pseudo-aléatoire à temps quantifié

Dans la section II.1.1.4, il a été démontré que le TQ-JRS a un pouvoir de réduction du repliement spectral dépendant de l'OSR. Lorsque le facteur de quantification temporelle est au moins égal à 8, ce pouvoir atténuateur est égal au pouvoir de réduction des répliques par l'échantillonnage aléatoire en considérant une distribution uniforme. Afin de pouvoir justifier le choix de l'échantillonnage pseudo-aléatoire, puis par la suite pouvoir l'implémenter et enfin l'utiliser dans un récepteur radio, nous devons le comparer au TQ-JRS afin de tester son pouvoir de réduction des répliques.

Les spectres en sortie des simulations de l'échantillonnage TQ-JRS et du TQ-JPRS avec un facteur de quantification temporelle $q = 8$ sont présentés à la Figure II-16. Les spectres en sortie de l'échantillonnage TQ-JRS et TQ-JPRS sont représentés en *zero-padding* à la Figure II-16 (a) et en *Sample&Hold* à la Figure II-16 (b).



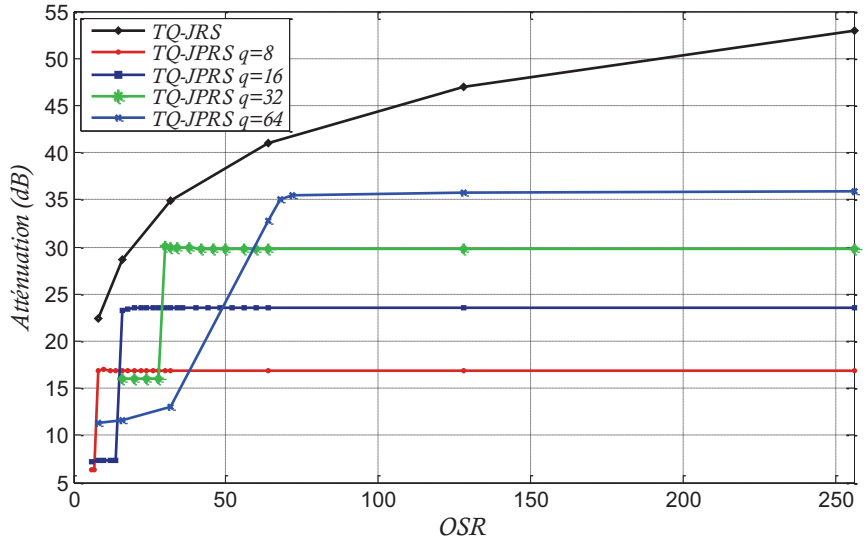
(a)



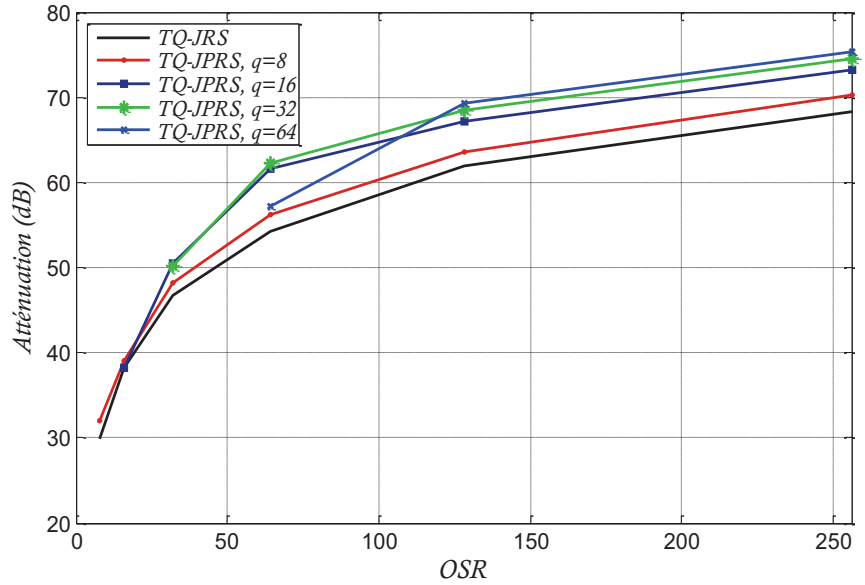
(b)

Figure II-16. Spectres de simulation du TQ-JRS et du TQ-JPRS sans (a) et avec (b) *S&H*.

La superposition des spectres en sortie des échantillonnages TQ-JRS et TQ-JPRS montrent bien l'apparition de $(q-2)$ paires de répliques dans le cas TQ-JPRS. Ceci est dû aux $(q-1)$ échantillonnages uniformes correspondant au TQ-JPRS. Cependant, le plancher de bruit présent en TQ-JRS est diminué en TQ-JPRS grâce à la canalisation de la puissance sur les répliques. En *Sample&Hold* le plancher de bruit ainsi que les raies sont largement atténuées. La mesure de l'atténuation du TQ-JPRS avec et sans considération du *S&H* dépend de q mais reste constante pour OSR$> q-1$. Dans le cas du TQ-JRS, l'atténuation est invariable selon q mais augmente en fonction de l'OSR. La variation des valeurs de l'atténuation est représentée à la Figure II-17 dans les deux cas de la considération ou non de l'opération du *Sample&Hold*.



(a)



(b)

Figure II-17. Mesures de l'atténuation en TQ-JRS et TQ-JPRS avec différentes valeurs de q sans (a) et avec (b) considération du *S&H*.

L'atténuation du TQ-JPRS sans considération de l'effet du S&H présente une limite valant $10log_{10}(q^2)$. La mesure de l'atténuation ne donne un bon résultat que lorsque l'OSR est plus grand que la valeur de $q-1$. Comparé au TQ-JRS sans considération de l'opération *S&H*, l'échantillonnage pseudo-aléatoire ne permet pas d'atteindre des valeurs importantes. Dans ce cas d'échantillonnage sans *S&H*, il serait préférable de choisir le TQ-JRS afin de garantir une bonne atténuation du repliement spectral.

Dans le cas de la considération du *S&H*, le TQ-JPRS permet d'atteindre des valeurs d'atténuation supérieures aux performances du TQ-JRS. L'atténuation est d'autant plus grande que le facteur de la quantification temporelle l'est. Cette amélioration de l'atténuation prend origine de l'application d'un $sinc(\pi f q T_{RS})$ au spectre en sortie du TQ-JPRS ce qui permet surtout d'avoir une forte atténuation autour des fréquencesf_{RS}/q. Pour $q=64$, la différence de l'atténuation entre TQ-JRS et TQ-JPRS pour un

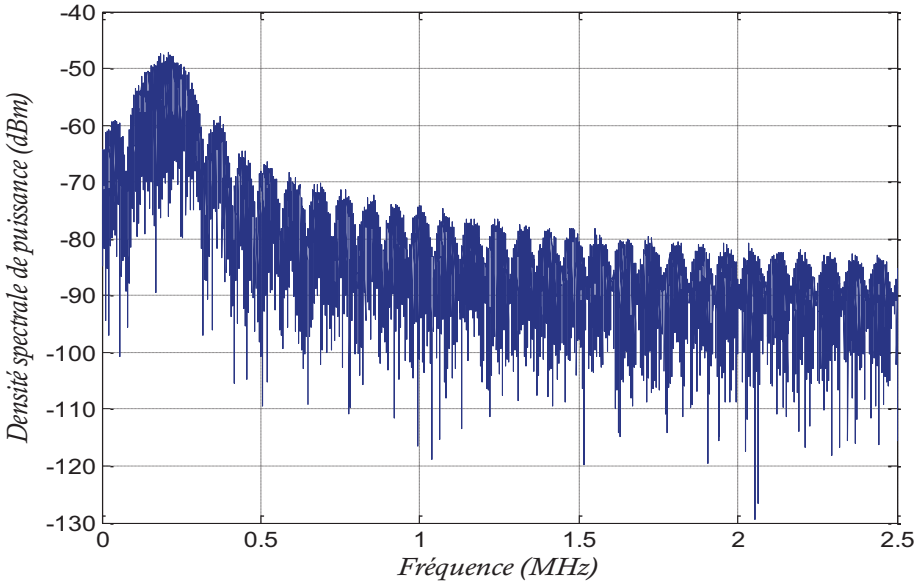
$OSR > q - 1$ est de l'ordre de 8 dB. Ceci nous mène à conclure que le TQ-JPRS est très intéressant à utiliser avec considération de l'opération du blocage. Ainsi, son application permettrait à la fois de réduire d'une manière plus efficace les répliques tout en assurant une implémentation matérielle plus facile.

II.3 Applications de l'échantillonnage aléatoire à temps quantifié

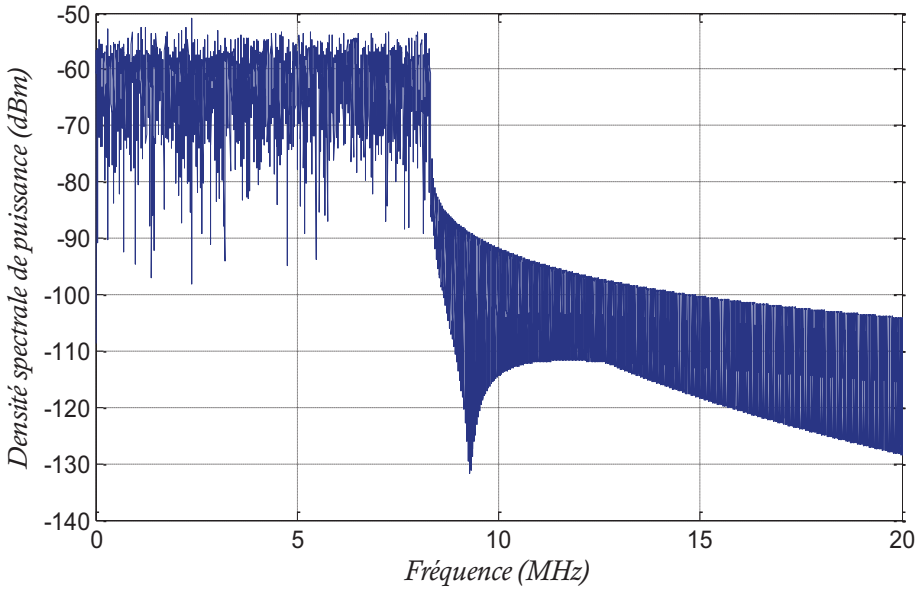
La théorie menée et validée jusqu'à présent forme un point de départ pour l'application de l'échantillonnage aléatoire ou bien pseudo-aléatoire à temps quantifié. Toute analyse spectrale faite jusque-là considère un signal sinusoïdal dont la fréquence porteuse délimite une bande virtuelle. Ainsi, nous modélisons un signal à bande B. Après la validation du pouvoir du TQ-JRS et du TQ-JPRS à réduire le repliement spectral, une validation par utilisation d'un signal modulé s'avère indispensable. Une fois que la simulation valide le pouvoir d'atténuation du repliement spectral d'un signal modulé, l'utilisation du TQ-JPRS est discutée dans le cas de la conversion de données et de la transposition de fréquences.

II.3.1 Validation de l'échantillonnage TQ-JPRS pour un signal modulé

Afin de simuler un cas réel de signal dans un des standards de communication les plus répandus, nous avons choisi d'échantillonner en TQ-JPRS avec considération du blocage des signaux modulés GMSK et OFDM. Les signaux modulés GMSK et OFDM simulent un canal de communication des standards GSM et IEEE802.11a respectivement. Nous supposons que ces signaux sont reçus et traités par l'étage Front-end d'un récepteur radio de façon à ce que leurs fréquences soient transposées en bande de base. Nous supposons également que l'architecture du récepteur radio est l'architecture hybride zero/low IF admettant deux voies I et Q et permettant de transposer le signal IEEE802.11a en bande de base et le signal GSM à une faible fréquence intermédiaire $f_{IF} = 100\ kHz$. Selon les hypothèses faites, la bande du signal modulé GMSK est de $200\ kHz$et celle du signal modulé OFDM est de $16.6\ MHz$. Les spectres des signaux modulés GMSK et OFDM sont présentés aux Figure II-18 (a) et Figure II-18 (b).



(a)



(b)

Figure II-18. Spectres des signaux modulés GMSK (a) et OFDM (b).

Les signaux sont choisis différents afin de tester l'effet de l'échantillonnage pseudo-aléatoire à temps quantifié sur le repliement spectral. Pour le signal GMSK, la fréquence moyenne d'échantillonnage a été choisie égale à $f_{RS} = 3\ MHz$ assurant ainsi un OSR égal à 8. Le facteur de quantification temporelle est choisi égal à 8. L'échantillonnage TQ-JPRS en *S&H* sous ces conditions conduit au spectre présenté à la Figure II-19 Ce spectre est tracé sur l'intervalle fréquentiel $[0, f_{RS}]$. Il présente les $q - 2$ répliques.

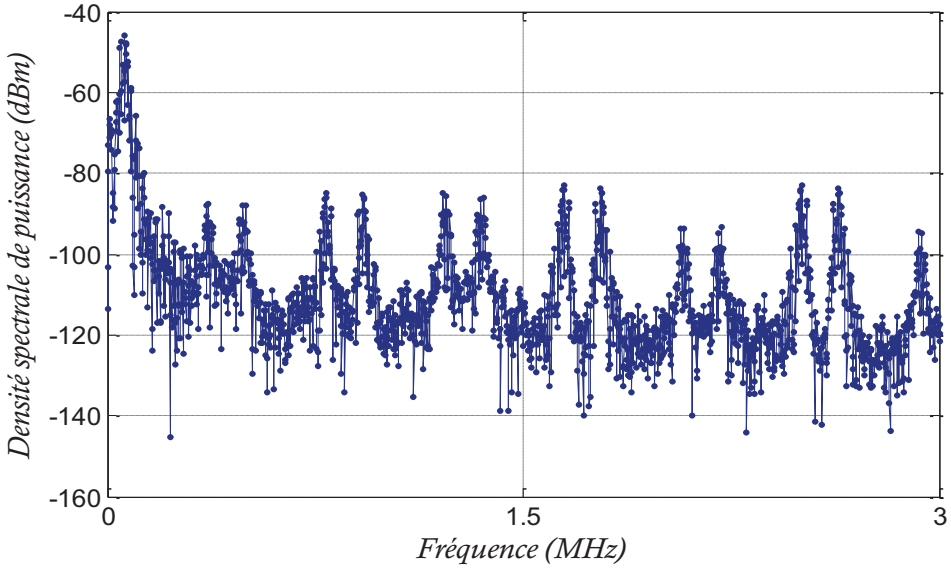


Figure II-19. Spectre en sortie d'un échantillonnage en *S&H* en TQ-JPRS d'un signal modulé GMSK.

L'effet du *S&H* est bien présent engendrant l'atténuation du plancher du bruit et du repliement spectral. Selon le calcul de l'atténuation présenté dans la sous-section II.1.1.4, la première réplique du signal est atténuée de 46 dB. D'après la courbe de la Figure II-17 (b), avec un OSR de l'ordre de 8, l'atténuation devrait être égale à 32 dB. Cependant, les courbes ont été établies pour l'atténuation d'un seul pic. L'atténuation d'un signal modulé est bien présente avec des valeurs plus grandes.

Pour le cas du signal modulé OFDM, le signal est échantillonné et bloqué avec une fréquence moyenne $f_{RS} = 530\ MHz$. L'OSR dans ce cas est égal à 32 et le facteur de la quantification temporelle est maintenu égal à 8. Le spectre en sortie est illustré par la Figure II-20.

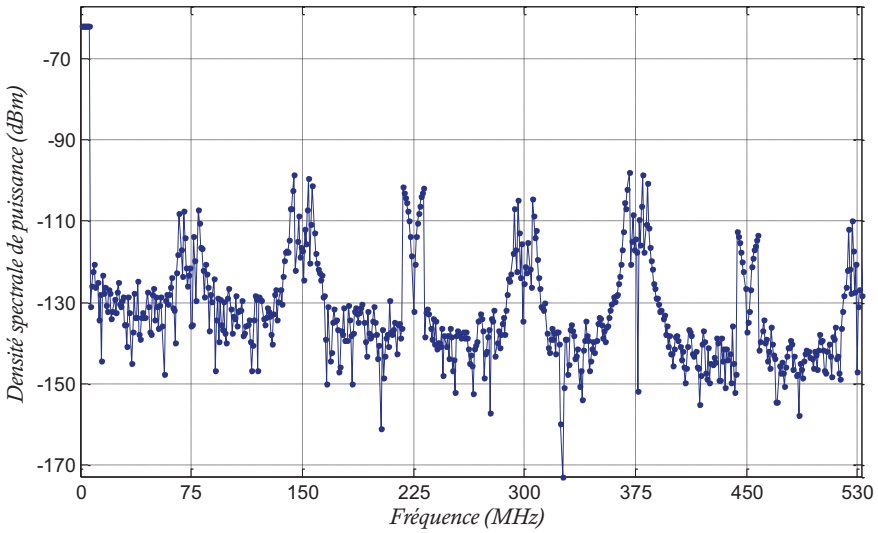
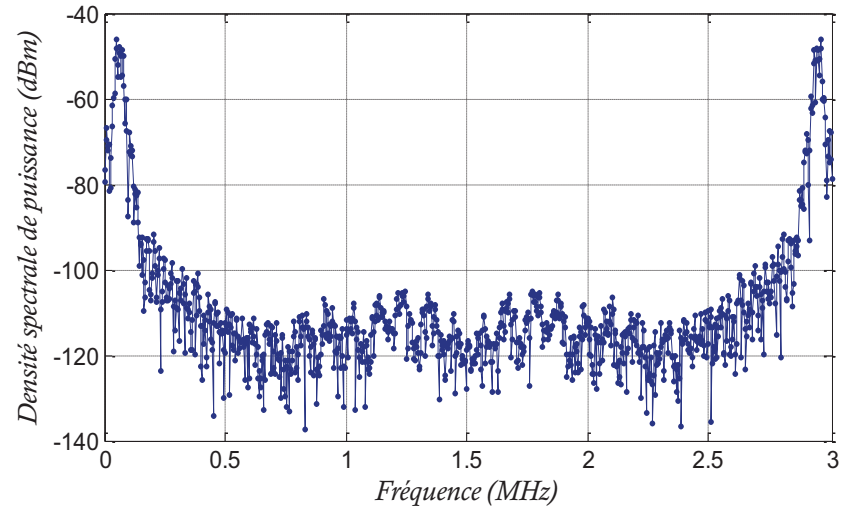


Figure II-20. Spectre en sortie d'un échantillonnage *S&H* en TQ-JPRS d'un signal modulé OFDM.

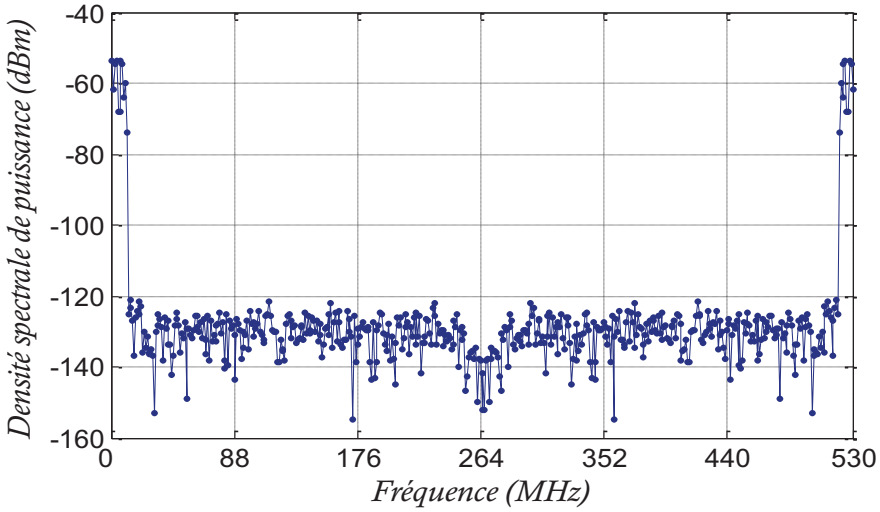
Nous remarquons également dans ce spectre, les raies parasites apparaissant à $kf_{RS}/(q-1)$ ainsi que l'effet de la fonction *sinc* dessus. La réplique du signal est atténuée La valeur de l'atténuation dans le cas étudié est égale à 51 dB. Cette valeur est

bien supérieure à la valeur trouvée par l'échantillonnage d'une sinusoïde valant 48 dB comme présenté par la Figure II-17 (b).

Afin de conserver les étapes de traitement de signal post-numérisation, il est indispensable de réarranger les échantillons pris pseudo-aléatoirement d'une façon uniforme. Cette étape consiste à reconstruire le signal. Plusieurs algorithmes de reconstruction existent dont les plus connus sont l'interpolation par le voisin le plus proche, l'interpolation linéaire, l'interpolation cubique, etc. Dans (26) et (127), il a été prouvé que l'interpolation spline cubique fournit les meilleures performances. Après reconstruction, le signal échantillonné en TQ-JPRS redevient échantillonné uniformément à la même fréquence f_{RS}. Le spectre de la Figure II-21 (a) montre bien le signal modulé GMSK échantillonné uniformément avec la fréquence $f_{RS} = 3\ MHz$. La Figure II-21 (b) est celle de la reconstruction du signal modulé OFDM échantillonné uniformément avec la fréquence $f_{RS} = 530\ MHz$.



(a)



(b)

Figure II-21. Spectre reconstruit après échantillonnage en TQ-JPRS.

Nous remarquons le signal modulé GMSK présent autours de 100 kHz et sa réplique autour de 2.9 MHz avec la même puissance de 48 dBm. De même, le signal modulé OFDM et sa réplique sont représenté dans le spectre reconstruit. Selon les résultats de cette section, nous pouvons conclure que le TQ-JPRS avec considération de l'opération du blocage permet de réduire le repliement spectral dans le cas d'un signal modulé. Son pouvoir d'atténuation des répliques étant validé, le TQ-JPRS peut être utilisé au sein d'un récepteur radio logicielle afin de réduire les contraintes sur les composants de ce dernier.

Afin de bénéficier du pouvoir d'atténuation du repliement spectral de l'échantillonnage pseudo-aléatoire à temps quantifié, nous étudions la possibilité de l'utilisation du TQ-JPRS dans un contexte récepteur radio. Dans ce cas, deux contextes sont à prévoir à savoir la transposition de fréquence et la numérisation des données.

II.3.2 Application du TQ-JPRS dans une architecture à échantillonnage

L'architecture à échantillonnage se base sur l'utilisation du sous-échantillonnage pour la transposition de fréquence. Comme dans le cas du sous échantillonnage uniforme, la transposition de fréquence avec le sous-échantillonnage aléatoire à temps quantifié (TQ-JPRSS, Time Quantized Jittered PseudoRandom SubSampling) est possible (128).

II.3.2.1 Rappel du sous-échantillonnage uniforme

Le TQ-JPRSS permet la réduction des répliques se trouvant entre $[kqf_{RS}, (k+1)qf_{RS}], k \in \mathbb{Z}$. La partie du spectre entre $[kqf_{RS}, (k+1)qf_{RS}], k \in \mathbb{Z}$ est repliée à l'infinie à raison de qf_{RS}. A cause de cette périodicité du spectre, le signal replié situé à $kqf_{RS} + f_{in}$ n'est pas réduit. Cette caractéristique s'avère intéressante pour une transposition de la fréquence tout en bénéficiant de la réduction de la puissance des répliques voisines du signal.
Rappelons la formule de la transposition de fréquence avec une fréquence de sous-échantillonnage f_{RS} introduite par l'équation Eq. II-22.

$$f_{IF} = \begin{cases} rem(f_{in}, f_{RS}), & si \quad \left\lfloor \frac{2 f_{in}}{f_{RS}} \right\rfloor pair \\ f_{RS} - rem(f_{in}, f_{RS}), & si \quad \left\lfloor \frac{2 f_{in}}{f_{RS}} \right\rfloor impair \end{cases} \qquad \text{Eq. II-22}$$

La fonction $rem(x, y)$ traduit le reste de la division euclidienne de x par y et la fonction $\lfloor x \rfloor$ retourne le plus grand entier de valeur inférieure à x.

Le signal considéré a une bande $B = f_H - f_L$, où $f_H$et f_L sont les fréquences qui délimitent la borne supérieure et la bande inférieure respectivement de la bande B. Ainsi pour éviter le chevauchement des répliques avec le signal, la fréquence d'échantillonnage doit être délimitée par les valeurs données par l'équation Eq. II-23.

$$\frac{f_H}{m} < f_{RS} < \frac{f_L}{m-1} \quad \text{Eq. II-23}$$

Avec m un entier qui peut varier selon la condition Eq. II-24.

$$1 < m < \frac{f_H}{f_H - f_L} \quad \text{Eq. II-24}$$

Ainsi, la fréquence d'échantillonnage f_{RS} doit permettre de transposer toute la bande du signal à f_{IF}. Elle doit alors satisfaire aussi la condition Eq. II-25

$$\begin{cases} f_{RS} > 2f_{IF} + B \\ f_{IF} > \dfrac{B}{2} \end{cases} \quad \text{Eq. II-25}$$

II.3.2.2 Choix de la fréquence du sous-échantillonnage TQ-JPRSS

Afin de pouvoir réaliser une transposition de fréquence en TQ-JPRSS, il est nécessaire de bien choisir la valeur de la fréquence moyenne du sous-échantillonnage. Ce choix se base essentiellement sur le fait de la périodicité à raison de qf_{RS} du spectre échantillonné en TQ-JRSS. Si le signal est initialement à la fréquence f_{in}, avec une bande de largeur $B = f_H - f_L$ et que nous désirons le transposer vers la fréquence f_{IF}, la fréquence du sous-échantillonnage TQ-JRSS doit satisfaire la condition suivante donnée par l'équation Eq. II-26.

$$f_{RS} = \frac{f_{in} - f_{IF}}{kq}, k \in \mathbb{Z} \quad \text{Eq. II-26}$$

La condition Eq. II-26 vient s'ajouter à toutes les conditions du paragraphe précédent. Notons que la valeur du facteur de quantification joue un rôle important dans le choix de la fréquence d'échantillonnage. Plus q est grand, plus la fréquence f_{RS} est petite. Grâce aux pouvoir de réduction des répliques du TQ-JPRSS, toutes les répliques se situant sur l'intervalle $[0, qf_{RS}]$ sont réduites comme démontré dans la section II.2.2.

II.3.2.3 Simulation du sous-échantillonnage en TQ-JPRSS

Dans ce paragraphe, nous nous proposons de simuler un cas de sous-échantillonnage en TQ-JRSS. Soit un signal centré à la fréquence $f_{in} = 12.9\,MHz$ et à largeur de bande $B = f_H - f_L = 200\,kHz$. Nous choisissons une fréquence de sous-échantillonnage TQ-JPRSS moyenne égale à $f_{RS} = (f_{in} - f_{IF})/q = 1.6\,MHz$ avec un facteur de quantification $q = 8$.

La formule Eq. II-22 prouve que le signal se situe après transposition à la fréquence $f_{IF} = 100\,kHz$. Pour un $m = 9$, l'équation Eq. II-23 est satisfaite tout comme la condition Eq. II-24. Le spectre du sous échantillonnage du signal est donné par la Figure II-22.

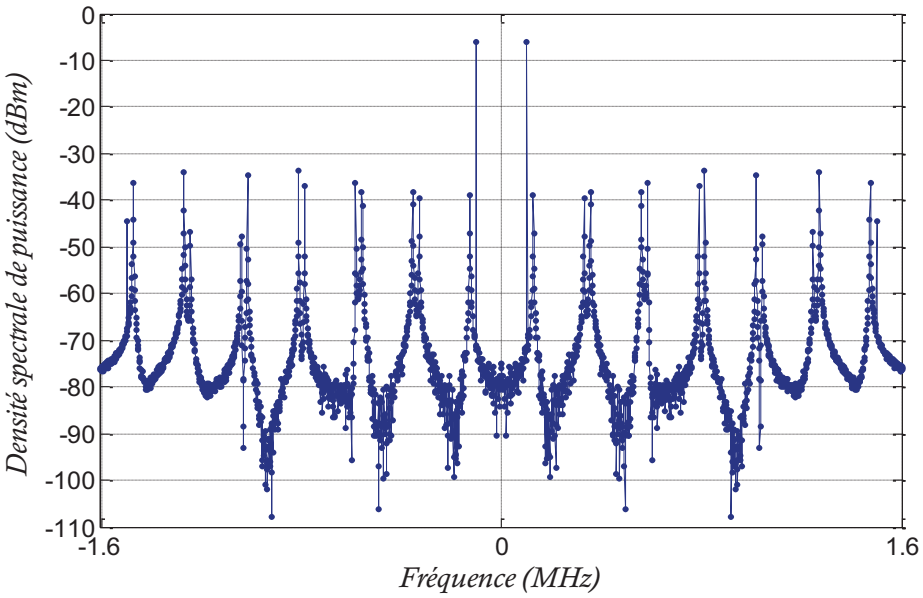


Figure II-22. Spectre du sous-échantillonnage en TQ-JPRS.

Le sous-échantillonnage peut être réalisé avec le TQ-JPRS grâce à sa périodicité intrinsèque à chaque qf_{RS}. La Figure II-22 présente le sous-échantillonnage TQ-JPRSS d'une sinusoïde à $f_{in} = 12.9\ MHz$ et à une amplitude égale à 1. Le spectre montre bien la transposition du signal à $f_{IF} = 0.1\ MHz$ et à une puissance de $-6dBm$ et la réduction des répliques autour de kf_{RS}.

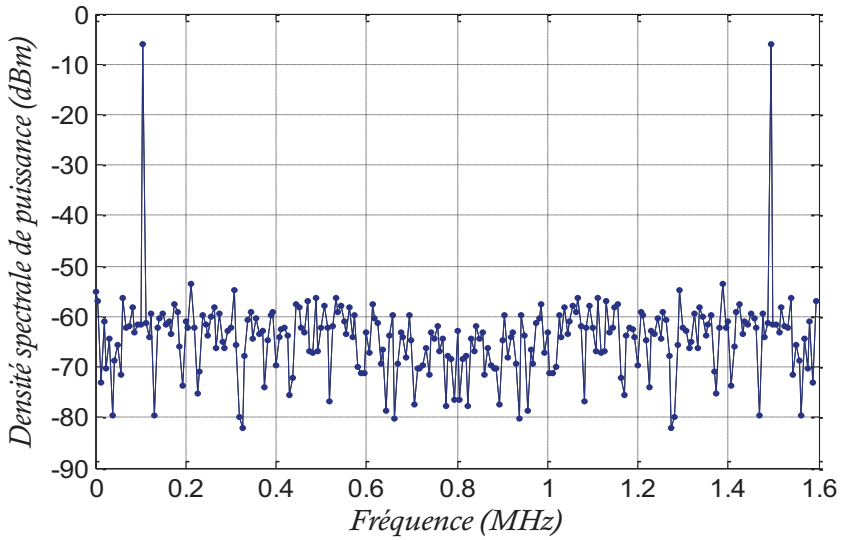


Figure II-23. Reconstruction du signal échantillonné en TQ-JPRSS.

La reconstruction spline cubique du spectre obtenu après TQ-JPRSS, Figure II-23, nous permet de retrouver un spectre en sortie similaire à un spectre après sous-échantillonnage uniforme à la fréquence $f_{RS} = 1.6\ MHz$. Le signal se trouve exactement à sa fréquence intermédiaire $f_{IF} = 100\ kHz$.

II.3.3 Application du TQ-JPRS dans une architecture à mélangeur

Dans le cas de l'utilisation du TQ-JPRS pour une architecture à mélangeur, l'échantillonnage pseudo-aléatoire sera appliqué au niveau de l'étage en bande de base afin de bénéficier de la réduction du repliement et de réduire ainsi les contraintes sur les composants de l'étage en bande de base. Dans (25) et (129), il a été démontré que grâce à l'utilisation du TQ-JRS, les contraintes sur le filtre d'anti-repliement peuvent être relâchées. Dans (25), une discussion portée sur la suppression de l'AGC est faite et dans (129) un rétrécissement du rôle de l'AGC dans la stabilisation du gain à l'entrée de l'ADC a été démontré. Les premiers résultats d'utilisation du TQ-JRS au niveau d'une architecture de réception radio mène à réduire la fréquence moyenne de l'échantillonnage et par la suite sa consommation de puissance (26). De plus, l'ADC ne fonctionne plus à une fréquence constante mais à des fréquences variables dont plusieurs valeurs sont au dessous de la fréquence moyenne. Toutefois, les fréquences instantanées utilisées lors de la numérisation du signal doivent satisfaire la condition de Shannon et être donc supérieures à la fréquence Nyquist.

Une architecture de réception radio multistandard proposée en (25) est présentée par la Figure II-24.

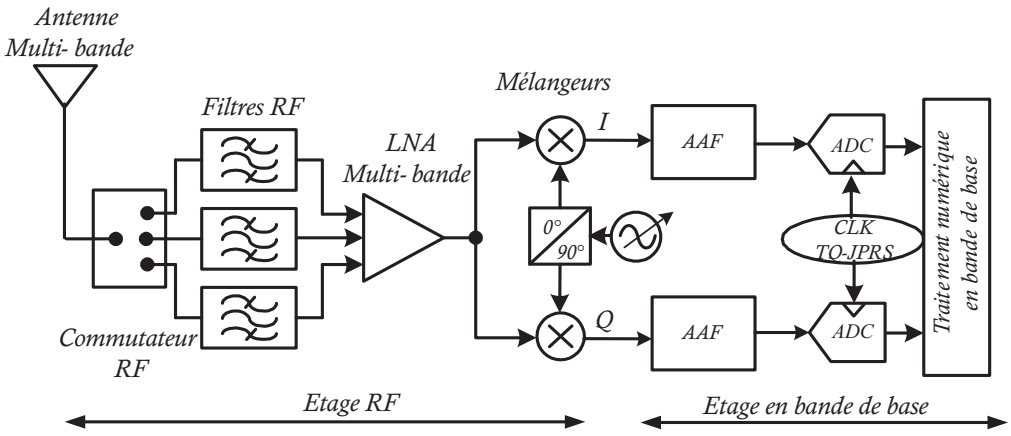


Figure II-24. Architecture d'un récepteur radio utilisant le TQ-JPRS.

Dans cette architecture, l'utilisation du TQ-JPRS a permis de réduire l'ordre du filtre anti-repliement et d'éliminer l'AGC du récepteur et ce en choisissant un ADC à 16 bits. Une comparaison entre l'échantillonnage uniforme et le TQ-JPRS a montré que grâce à l'atténuation des répliques, la fréquence de la numérisation peut être réduite. Par conséquent, la consommation du circuit est réduite. Il est nécessaire de noter que l'étage en bande de base de l'architecture proposée considère un unique filtre anti-repliement ce qui amène à fonctionner l'ADC à une fréquence élevée. De plus, ce filtre ne conduit pas à une atténuation des bloqueurs et interférants proches du signal utile. Ceci considère spécialement les standards à bande étroite dont les bloqueurs ont de forts niveaux de puissance. L'introduction d'un filtre programmable semble donc judicieuse. Quant à l'étage d'amplification, une étude en termes de puissance est nécessaire permettant de choisir un bon compromis entre le nombre de bits de l'ADC, sa plage dynamique et sa

fréquence d'échantillonnage, par la suite sa consommation de puissance, et l'utilisation de l'AGC. L'utilisation des ADCs multistandards référencés en littérature en échantillonnage uniforme puis en TQ-JPRS permettrait de faire une comparaison entre l'apport de l'échantillonnage et celui du TQ-JPRSS.

Bien que le TQ-JPRS soit utilisé réellement sur l'architecture, le dimensionnement système de l'architecture proposée en (25) est réalisé sur la base de l'utilisation du TQ-JRS. Après avoir justifié analytiquement et par simulation l'effet de réduction des répliques par l'échantillonnage TQ-JPRS en *S&H*, il serait intéressant de voir l'effet de son application au niveau d'un récepteur radio faisant intervenir des valeurs d'atténuation validés théoriquement et par simulation en tenant compte des différents paramètres de l'échantillonnage TQ-JPRS. Comparant les atténuations du TQ-JRS et du TQ-JPRS, l'application du TQ-JPRS au niveau de l'étage en bande de base serait en mesure d'apporter plus de relaxation de contraintes sur les composants surtout dans un contexte radio multistandard.

Conclusion

Dans ce chapitre, l'étude analytique montrant le pouvoir de l'échantillonnage aléatoire et pseudo-aléatoire pour réduire le repliement spectral a été réalisée. Cette étude indique une atténuation des répliques par le TQ-JRS et le TQ-JPRS utilisés avec ou sans opération de blocage. Les formulations théoriques ont été validées par les simulations. Les valeurs relevées reflètent une atténuation de l'ordre de 35 dB pour un OSR égal à 32 réalisée par le TQ-JRS. Cette atténuation s'élève à 47 dB si l'opération du blocage vient s'ajouter à l'échantillonnage. Quant au TQ-JPRS, il assure une atténuation d'environ 16 dB et 51 dB dans le cas d'un échantillonnage et d'un échantillonnage en *S&H* respectivement. L'échantillonnage TQ-JPRS est validé aussi pour des signaux modulés GMSK et OFDM. La valeur de l'atténuation mesurée dans le cas d'un signal modulé est légèrement supérieure aux valeurs théoriques. Une autre étude a été aussi réalisée montrant le pouvoir de transposition de fréquence par l'échantillonnage TQ-JPRS.

Après la démonstration de son pouvoir atténuateur du repliement spectral et grâce à sa facilité d'implémentation, nous choisissons d'adopter l'échantillonnage TQ-JPRS en *S&H* et de l'utiliser au niveau d'un récepteur radio afin d'optimiser son coût et sa consommation de puissance. Appliqué au niveau de l'ADC, il promet de réduire les contraintes sur les composants en bande de base en termes de consommation de puissance. Pour pouvoir mettre le point sur l'effet de l'utilisation du TQ-JPRS, nous proposons de réaliser l'étude système d'une architecture de récepteur radio utilisant un ADC multistandard opérant en échantillonnage uniforme puis de suivre l'effet de l'application d'une horloge pseudo-aléatoire TQ-JPRS au niveau de l'ADC.

Chapitre III. Application de l'échantillonnage aléatoire à temps quantifié aux récepteurs SDR

Introduction

L'étude menée dans le deuxième chapitre montre l'atténuation du repliement spectral par l'échantillonnage pseudo-aléatoire à temps quantifié. Malgré la réduction de la caractéristique aléatoire de la construction des instants d'échantillonnage du TQ-JPRS, l'atténuation des répliques reste considérable. Ainsi, le TQ-JPRS peut être facilement intégré dans une architecture de récepteur donnée afin de permettre de tirer avantage de la réduction du repliement.

Afin de mettre en valeur l'avantage du TQ-JPRS, nous choisissons de l'utiliser au sein d'une architecture radio multistandard homodyne/low-IF que nous dimensionnons en utilisant les ADCs multistandards référencés dans la section I.2.3. Une discussion sur l'apport du TQ-JPRS est réalisée en considérant son effet sur le filtre anti-repliement et sur la fréquence d'échantillonnage du convertisseur. Le choix optimal de la configuration de l'architecture est réalisé en termes de consommation de puissance. En effet, Nous proposons une estimation de la consommation de puissance des filtres analogiques et numériques ainsi que des convertisseurs. L'implémentation matérielle du TQ-JPRS est réalisée en utilisant une plateforme de test comportant un générateur d'horloge pseudo-aléatoire. La mise en œuvre expérimentale montre la présence de raies parasites dues à un délai variable ajouté par l'ADC. Nous proposons dans ce chapitre une solution pour la suppression des raies en redimensionnant l'étape de sélection du canal.

Dans ce chapitre, nous commençons par présenter l'architecture hybride homodyne/low-IF multistandard supportant les standards GSM, UMTS et IEEE 802.11.a avec son dimensionnement en présence d'un échantillonnage uniforme puis d'un échantillonnage TQ-JPRS. Les composants les plus intéressants dans cette comparaison sont le filtre anti-repliement vu que son dimensionnement dépend directement de la puissance des répliques et le convertisseur analogique numérique vu que sa consommation dépend de la fréquence d'échantillonnage. La deuxième partie de ce chapitre concerne l'estimation de la puissance de l'étage en bande de base. L'implémentation matérielle du TQ-JPRS et la conception d'un générateur d'horloge pseudo-aléatoire sont présentés dans la troisième section. Les premières acquisitions révèlent la génération de raies parasites que nous proposons d'éliminer dans la dernière section par le moyen du filtrage numérique et la sélection du canal.

Une estimation de la consommation globale du récepteur en présence d'un échantillonnage uniforme et d'un échantillonnage TQ-JPRS montre la capacité de ce dernier à réduire la consommation de puissance.

III.1 Proposition et dimensionnement de l'architecture SDR

L'échantillonnage aléatoire à temps quantifié est utilisé dans une architecture à mélangeur au niveau de la conversion analogique numérique. Sa capacité à atténuer le repliement spectral promet de réduire les contraintes sur les composants analogiques du récepteur à considérer et d'alléger les besoins en termes de fréquence d'échantillonnage au niveau de l'ADC.

III.1.1 Architecture SDR basée sur l'utilisation du TQ-JPRS

Afin de pouvoir comparer l'effet du TQ-JPRS, nous proposons de l'appliquer au niveau d'une architecture radio hybride homodyne/low-IF. L'étage RF de l'architecture choisie est identique à celui dans l'architecture déjà dimensionnée par Brandolini (15). Les standards considérés sont le GSM, l'UMTS et l'IEEE 802.11.a. Les deux signaux à large bande sont transposés vers la bande de base. Le signal GSM est transposé vers la fréquence intermédiaire autours de 100 kHz. L'étage en bande de base est formé par un filtre anti-repliement programmable, un AGC et un ADC. L'architecture considérée est illustrée par la Figure III-1.

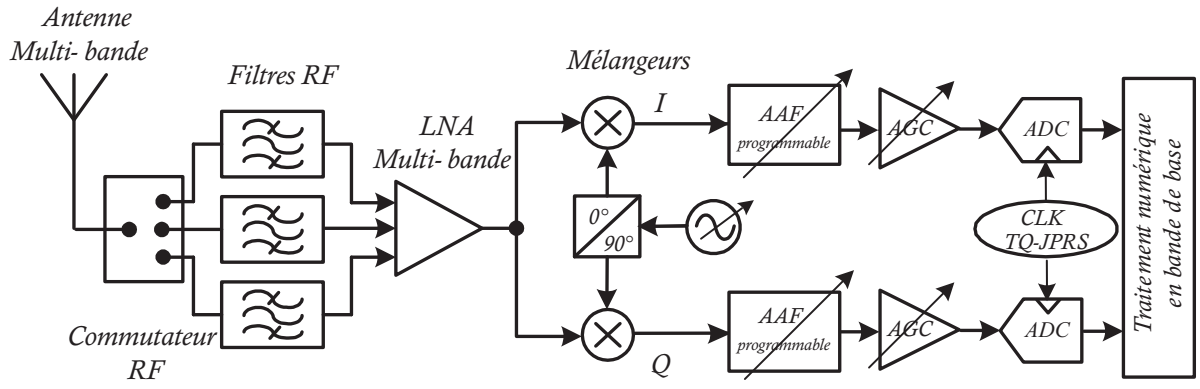


Figure III-1. Architecture du récepteur multistandard basé sur l'utilisation du TQ-JPRS.

Le filtre anti-repliement est programmable permettant de faire passer le signal GSM tout comme le signal IEEE 802.11.a avec des fréquences de coupures et des ordres différents (95). L'utilisation de l'AGC dans l'étage en bande de base est fonction de la dynamique traitée par l'ADC. L'état de l'art des ADCs multistandards montre bien une variété de convertisseurs ayant des dynamiques différentes pour chaque standard de communication. Nous rappelons dans le Tableau III-1 les performances de trois ADCs de type sigma-delta à des SNDRs différents. Les valeurs des SNDRs mesurées sont comparées aux valeurs théoriques de la dynamique des standards tirés des spécifications de chacun. Ainsi, selon les performances de l'ADC, l'AGC peut être appliqué pour les trois standards ou bien contourné pour quelques ou tous les standards. En effet, le premier convertisseur ADC 1 est caractérisé par des valeurs du SNDR qui ne satisfassent pas les spécifications des trois standards. Un AGC est donc utilisé afin de réduire la dynamique à l'entrée de l'ADC 1 et lui permettre de bien

numériser les signaux. L'ADC 2 ne permet pas de traiter la dynamique du signal GSM. Dans ce cas, un AGC est utilisé uniquement pour ce standard. Quant à l'ADC 3, la plage dynamique requise par les standards est assurée sans avoir recours à l'utilisation de l'AGC.

Tableau III-1. Comparaison de la plage dynamique des ADCs multistandards sélectionnés.

	Standard	f_s (MHz)	SNDR (dB)	DR requise (dB)	Puissance (mW)	Utilisation de l'AGC
ADC 1 - (111)	GSM	26	82	96	1.44	AGC pour les trois standards
	UMTS	208	Na	73.8	3.4	
	IEEE 802.11.g	400	52	61.8	7	
ADC 2 - (112)	GSM	26	88	96	2.9	AGC pour le GSM
	UMTS	61.44	79	73.8	7.4	
	IEEE 802.11.a	240	67	61.8	20.5	
ADC 3 - (114)	GSM	32	104	96	18	Sans AGC
	UMTS	64	92	73.8	23	
	IEEE 802.11.a	160	68	61.8	39	

Nous définissons ainsi trois architectures différentes de l'étage en bande de base utilisant respectivement l'ADC 1, l'ADC 2 et l'ADC 3. Chaque architecture a sa fréquence d'échantillonnage uniforme f_s pour chaque standard considéré comme présenté par le Tableau III-1. A partir de f_s, nous déduisons la fréquence moyenne de l'échantillonnage TQ-JPRS f_{RS}. Dans le but de justifier l'avantage d'appliquer le TQ-JPRS, nous proposons de dimensionner l'étage en bande de base des trois architectures proposées en présence d'un échantillonnage uniforme puis d'un échantillonnage TQ-JPRS. La fréquence moyenne de l'échantillonnage TQ-JPRS f_{RS} sera prise égale à f_s.
Généralement, le dimensionnement de l'étage en bande de base est réalisé relativement aux niveaux des bloqueurs à l'entrée de cet étage et à la valeur de la fréquence d'échantillonnage de l'ADC. Dans le cas de l'échantillonnage TQ-JPRS, nous ajoutons à ces deux métriques, la valeur de la quantification temporelle q définissant ainsi la valeur de l'atténuation du repliement spectral apportée par le TQ-JPRS. Nous rappelons à ce stade que l'échantillonnage TQ-JPRS avec considération du *Sample&Hold* est réellement appliqué au niveau du récepteur. Cependant, afin de mesurer uniquement l'atténuation apportée par le TQ-JPRS sans celle apportée par l'opération du blocage, nous nous basons dans notre dimensionnement sur les valeurs représentées par la Figure II-17 (a).

III.1.2 Dimensionnement de l'architecture proposée

Le premier point de dimensionnement de l'étage en bande de base consiste à définir le niveau des bloqueurs et des interférents à son entrée. Les bloqueurs hors-bande du signal reçu par l'antenne sont remis au niveau du plus fort bloqueur dans la bande grâce au filtre RF approprié. Le signal est ensuite amplifié par le LNA et le mélangeur multi-bande. La valeur de leur gain est choisie de façon à ramener la puissance maximale du signal à l'entrée S_{max} à la pleine échelle de l'ADC S_{fs}= 13 dBm. Les paramètres physiques et les spécifications des standards sont résumés par le Tableau III-2 et le

Tableau III-3 (130; 131; 132). Selon ces spécifications, le signal est amplifié de G_{ana} égal respectivement à 28 dB, 38 dB et 43 dB pour le cas du GSM, UMTS et IEEE 802.11.a. Étant donné ces paramètres, le gabarit des bloqueurs et des interférents à l'entrée de l'étage en bande de base est donné par la Figure III-2 après le filtre RF, le mélangeur et le LNA.

Tableau III-2. Paramètres physiques des standards GSM/UMTS/IEEE 802.11 a.

	GSM	UMTS	IEEE 802.11 a
Bande descendante(MHz)	925-960	2110-2170	5150-5350 5725-5825
Largeur de bande B_{bande} (MHz)	35	60	200 ou 100
Largeur des canaux B (MHz)	0.2	3.84	16.6
Espacement entre les canaux C_{sp} (MHz)	0.2	5	20
Sensibilité de référence S_{ref} (dBm)	-102	-117	-65
Puissance maximale à l'entrée S_{max} (dBm)	-15	-25	-30
BER requis	10^{-4}	10^{-3}	10^{-5}
E_b/N_0 (dB)	9	6.8	21.5
Plancher du bruit N_{th} (dBm)	-120.8	-108	-101.8

Tableau III-3. Spécifications de dimensionnement du récepteur multistandard GSM /UMTS/IEEE 802.11 a.

	GSM	UMTS	IEEE 802.11 a
SNR_{in} (dB)	18.8	-9	36.6
SNR_{out} (dB)	9	-18.2	26.6
Figure du bruit NF(dB)	9.8	9.2	10
Dynamique du récepteur DR_{in}	87	92	35
Dynamique de l'ADC DR_{ADC}	96	73.8	61.8
Gain analogique G_{ana} (dB) pour une pleine échelle de l'ADC S_{fs}= 13 dBm	28	38	43

Le dimensionnement de l'étage en bande de base comporte le dimensionnement de l'AAF, de l'AGC et de l'ADC pour le cas des trois architectures. Dans le cas de l'utilisation du TQ-JPRS, nous proposons d'étudier en premier lieu les possibilités d'apports du TQ-JPRS puis d'appliquer chaque possibilité aux trois architectures.

III.1.2.1 Effets de l'application du TQ-JPRS sur les composants en bande de base

L'utilisation de l'échantillonnage TQ-JPRS conduit à une réduction du repliement spectral. La réduction du repliement spectral possède un impact positif sur les composants en bande de base essentiellement l'AAF et l'ADC. En effet, on pourra bénéficier de l'échantillonnage TQ-JPRS selon deux façons soit la réduction de l'ordre du filtre anti-repliement, soit la réduction de la fréquence d'échantillonnage.

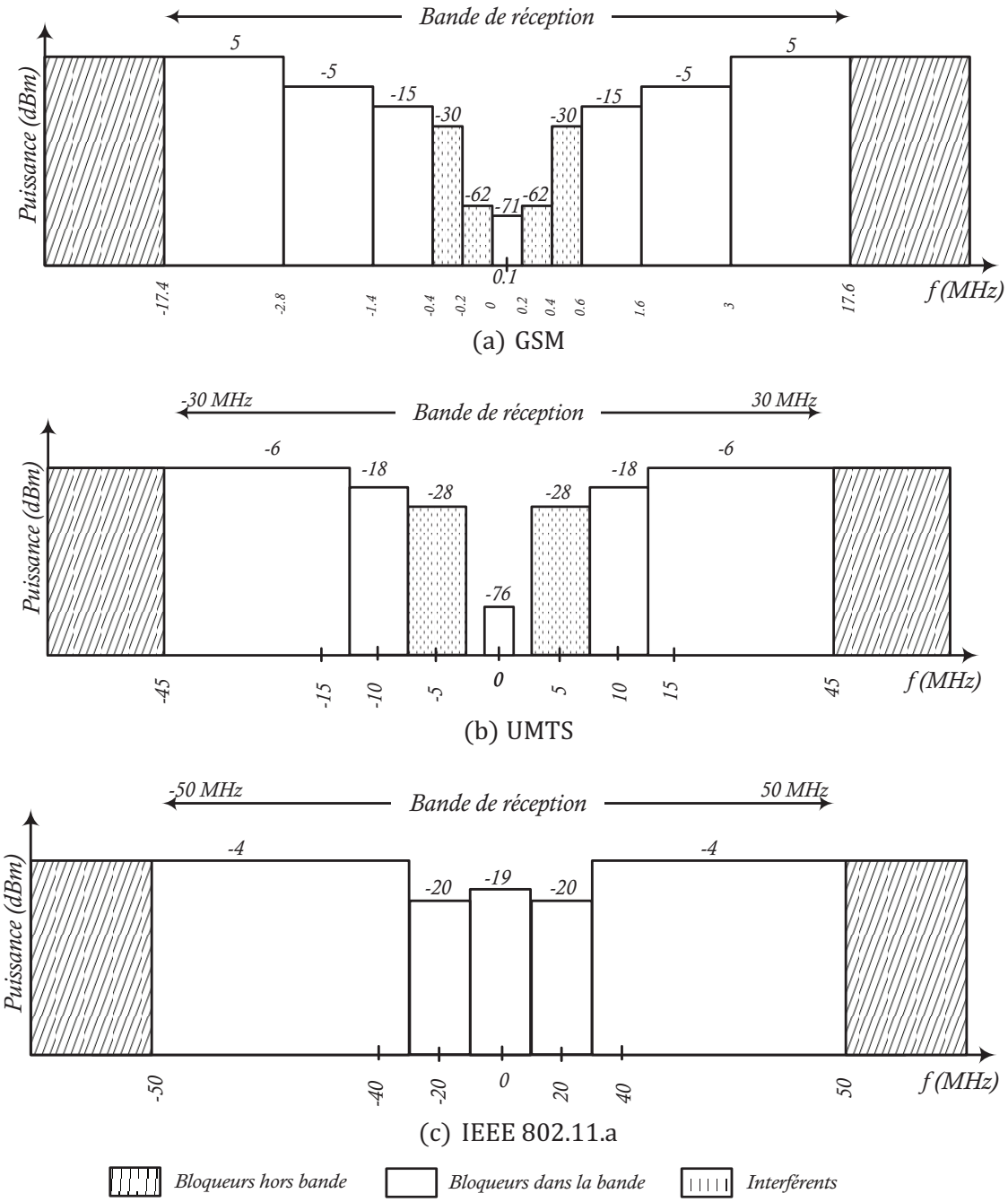


Figure III-2. Profils des bloqueurs des standards GSM (a) UMTS (b) et IEEE 802.11 a (c) à l'entrée de l'étage en bande de base.

a. Réduction de l'ordre du filtre anti-repliement

La première façon consiste à aller vers la réduction de l'ordre du filtre AAF (129; 133). Dans cette intention, une atténuation moins importante que celle requise dans le cas d'un échantillonnage uniforme permet l'échantillonnage tout en garantissant le SNR_{out}. Cette démarche est expliquée par la Figure III-3.

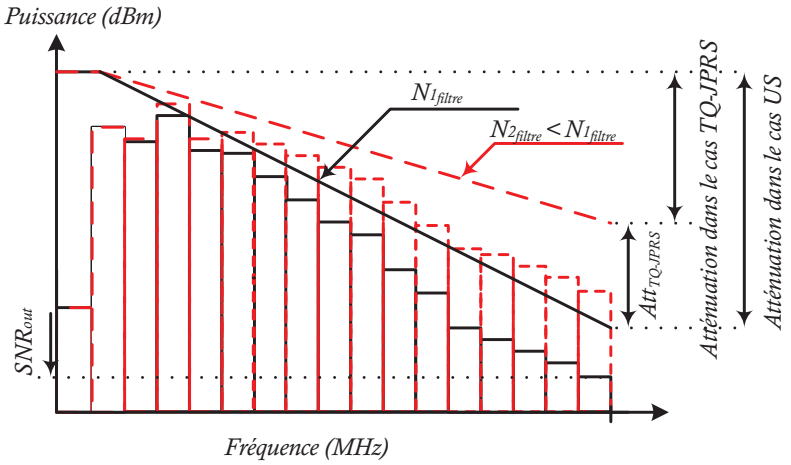


Figure III-3. **Réduction de l'ordre du filtre anti-repliement par le TQ-JPRS.**

L'étude du filtrage anti-repliement faite au niveau du Chapitre I indique que l'atténuation requise par le filtre doit permettre de réduire essentiellement la puissance du bloqueur au niveau de la première réplique du signal située à $f_S - B/2$ pour le cas de l'UMTS et l'IEEE 802.11.a et à $f_S - B$ pour le cas du GSM ; f_S étant la fréquence d'échantillonnage de l'ADC. Dans le cas de l'utilisation de l'échantillonnage pseudo-aléatoire à temps quantifié, le bloqueur à réduire par le filtre AAF sera atténué a postériori par le TQ-JPRS. L'atténuation grâce à ce dernier permet de réduire l'atténuation minimale requise par l'AAF, A_{min}. Nous notons l'atténuation du repliement spectral étudiée au niveau Chapitre II par $Att_{TQ-JPRS}$. Ainsi, l'atténuation minimale requise par le filtre AAF se voit réduire par $Att_{TQ-JPRS}$. Sa formule est donnée par Eq. III-1.

$$A_{min}(q) = (N_{bl} - G_{ana}) - S_{ref} + SNR_{out} + M_{AAF} - Att_{TQ-JPRS}(q) \qquad \textbf{Eq. III-1}$$

Le terme $N_{bl} - G_{ana}$ indique le niveau du bloqueur qui se repliera sur le signal après échantillonnage. La valeur considérée du bloqueur doit être ramenée au niveau de l'antenne afin d'être comparée à la sensibilité de référence S_{ref}. La puissance considérée ne comporte donc pas le gain analogique G_{ana} que le bloqueur subit. Il est à noter que suite à une réduction éventuelle de l'ordre N_{filtre} du filtre anti-repliement grâce au TQ-JPRS, la valeur du gain maximal de l'AGC est modifiée. Une réduction de N_{filtre} affecte la valeur de l'atténuation des bloqueurs et par conséquent la valeur de la puissance du bloqueur le plus fort après toutes les atténuations considérées. $(N_{bl} - Att)_{max}$. Ainsi, d'après Eq. I-10, la valeur $G_{AGC_{max}}$ est réduite entrainant le rétrécissement de la marge de fonctionnement de l'AGC. Lors du dimensionnement de l'AGC, les deux gains extrêmes à savoir le minimal et le maximal sont à définir. Toutefois, selon la valeur du gain analogique G_{ana} prise, le gain $G_{AGC_{min}}$ est toujours nul. D'après Eq. I-11, la réduction de $G_{AGC_{max}}$ peut entrainer une augmentation du nombre de bits n_{ADC} de l'ADC nécessaires pour numériser toute la plage dynamique du signal.

b. Réduction de la fréquence d'échantillonnage

La deuxième façon de bénéficier de la réduction des répliques s'intéresse à la fréquence d'échantillonnage de l'ADC. Dans ce cas, aucune modification de l'AAF et de l'AGC n'est réalisée lors du dimensionnement par rapport au cas de l'utilisation de l'échantillonnage uniforme. Sachant que le TQ-JPRS permet une atténuation des répliques après échantillonnage, une modification de la fréquence d'échantillonnage moyenne est possible. En réduisant la fréquence d'échantillonnage, le niveau du bloqueur qui se repliera sur le signal à la sortie de l'ADC accroit. Le TQ-JPRS permet de réduire la réplique du bloqueur et la ramener au niveau du plancher de bruit. La Figure III-4 explique le principe de réduction de la fréquence d'échantillonnage grâce au TQ-JPRS.

Lors du dimensionnement, un filtre d'anti-repliement de type Butterworth a été considéré afin de garantir une réponse plate de la bande passante. La fréquence minimale à partir de laquelle l'échantillonnage TQ-JPRS permet d'avoir le SNR_{out} requis à la sortie de l'ADC est donnée par l'équation Eq. III-2.

$$f_s = f_p \sqrt[2N_{filtre}]{\frac{10^{A_{min}/10} - 1}{10^{A_{max}/10} - 1}} + \frac{B}{2} \qquad \text{Eq. III-2}$$

Dans le cas du standard GSM, $^{B}/_{2}$ est remplacé par B dans Eq. III-2. L'atténuation minimale A_{min} est calculée dans le cas de l'échantillonnage TQ-JPRS selon Eq. III-1. A_{max} est l'atténuation maximale permise dans la bande passante.

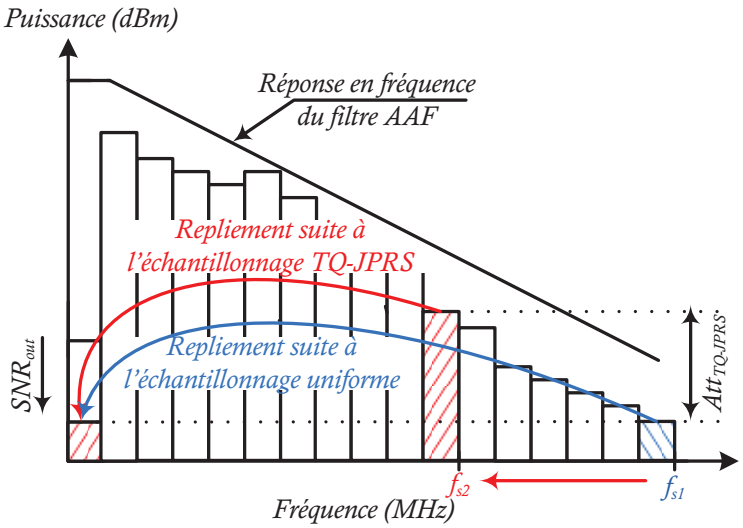


Figure III-4. Réduction de la fréquence d'échantillonnage par le TQ-JPRS.

La réduction de la fréquence d'échantillonnage a un impact direct sur la consommation de l'ADC. Étant le plus gourmand en puissance, une réduction de la consommation de ce composant permettrait de réduire significativement la consommation de puissance de tout le récepteur. La réduction de l'ordre du filtre d'anti-repliement ou la réduction de la

fréquence d'échantillonnage dépend de la valeur d'atténuation $Att_{TQ-JPRS}$. Considérant le cas de l'échantillonnage sans effet *S&H* étudié dans le Chapitre II, $Att_{TQ-JPRS}$ dépend uniquement de la valeur du facteur de la quantification temporelle q. La condition présentée par Eq. II-21 impose une valeur de l'OSR supérieure à q. Ainsi, nous dimensionnons l'étage en bande de base des trois architectures, dans le cas de la réduction de l'ordre du filtre anti-repliement ou de la fréquence d'échantillonnage et ce pour les valeurs possibles de q en respectant la condition Eq. II-21.

III.1.2.2 Dimensionnement des trois architectures de l'étage en bande de base

Nous procédons dans cette section au dimensionnement des trois architectures de l'étage en bande de base. Nous nommerons première, deuxième et troisième architecture celles qui utilisent l'ADC 1, l'ADC 2 et l'ADC 3 respectivement.

a. Dimensionnement de la première architecture

La première architecture considérée utilise un AGC au niveau de sa bande de base pour les trois standards de communication afin de pouvoir réduire la plage dynamique à l'entrée de l'ADC lui permettant ainsi de numériser correctement le signal. En effet, les performances de l'ADC1 nécessitent la compression de la dynamique à son entrée. La Figure III-5 illustre l'architecture de cet étage en bande de base.

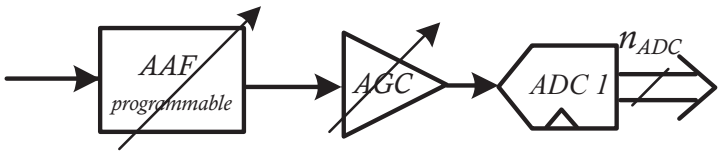


Figure III-5. Première architecture de l'étage en bande de base.

Les valeurs de $Att_{TQ-JPRS}$ selon les valeurs de la quantification temporelle sont rappelées dans le Tableau III-4.

Tableau III-4. Valeurs de l'atténuation $Att_{TQ-JPRS}$ en fonction de q.

	$q = 8$	$q = 16$	$q = 32$	$q = 64$
$Att_{TQ-JPRS}$ (dB)	16.7	23.5	29.8	35.9

Les valeurs de la fréquence d'échantillonnage sont utilisés dans le cas de la première architecture donné dans le Tableau III-5 avec f_p est la fréquence de coupure et f_t la fréquence de rejection du filtre AAF. A_{max} est prise égale à 0.1 dB. Les cases contenant *Na* représentent les cas où la condition Eq. II-21 n'est pas satisfaite. Le dimensionnement du filtre anti-repliement mène aux ordres mentionnés dans le Tableau III-6.

Tableau III-5. Dimensionnement du filtre AAF de la première architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	26	0.26	25.74	-23	91	74.3	67.5	61.2	55.1
UMTS	208	2.49	206.08	-44	57.8	41.1	34.3	28	Na
IEEE 802.11.a	400	10.79	391.7	-47	47.6	30.9	24.1	Na	Na

Tableau III-6. Ordre du filtre AAF de la première architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	$N_{filtre_{uniforme}}$	$N_{filtre_{q=8}}$	$N_{filtre_{q=16}}$	$N_{filtre_{q=32}}$	$N_{filtre_{q=64}}$
GSM	3	2	2	2	2
UMTS	2	1	1	1	Na
IEEE 802.11.a	2	2	1	Na	Na

Les valeurs du gain maximal de l'AGC $G_{AGC_{max}}$ et les valeurs du nombre de bits de l'ADC nécessaires à la numérisation du signal sont représentés par le Tableau III-7.

Tableau III-7. Valeurs du gain maximal de l'AGC et du nombre de bit de l'ADC en considérant la réduction de l'ordre du filtre AAF.

	$G_{AGC_{max}}$ (dB)					n_{ADC}				
	US	$q = 8$	$q = 16$	$q = 32$	$q = 64$	**US**	$q = 8$	$q = 16$	$q = 32$	$q = 64$
GSM	34.5		30			10		11		
UMTS	30.9		21		Na	7		9		Na
IEEE 802.11.a	21.2	21.2	17.7	Na	Na	7	7	8	Na	Na

Nous pouvons donc conclure que pour la première architecture et dans le cas de la réduction de l'ordre du filtre anti-repliement, le TQ-JPRS nous a permis de réduire d'un point l'ordre du filtre AAF. Toutefois, ceci a engendré l'augmentation du nombre de bits de l'ADC.

Dans le cas de la réduction de la fréquence d'échantillonnage, le dimensionnement de l'étage en bande de base est donné par Tableau III-8. L'atténuation TQ-JPRS permet de réduire la fréquence d'échantillonnage. Toutefois, dans certains cas, cette fréquence est majorée afin de respecter la condition Eq. II-21 soit alors l'utilisation d'un OSR supérieur à la valeur de q.

Tableau III-8. Dimensionnement de l'étage en bande de base de la première architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	$G_{AGC_{max}}$ (dB)	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	34.5	10	8.62	6.68	12.8	25.6
UMTS	2	30.9	7	69.8	61.44	122.88	Na
IEEE 802.11.a	2	21.2	7	132.8	265.6	Na	Na

La réduction de la fréquence d'échantillonnage a permis de diviser la fréquence d'échantillonnage par 4 dans le cas du GSM avec un facteur de quantification temporelle $q = 16$. L'AAF, l'AGC ainsi que le nombre de bits nécessaires pour la numérisation du

signal restent inchangés par rapport au résultat du dimensionnement dans le cas d'un échantillonnage uniforme. Nous devons préciser à ce niveau que l'échantillonnage TQ-JPRS est réalisé en utilisant des fréquences différentes dépassant des fois la fréquence moyenne d'échantillonnage f_{RS}. Dans ce cas, la bande analogique de l'ADC utilisé doit être respectée. Nous verrons plus loin la valeur des fréquences instantanées supérieures à f_{RS}. La bande analogique de l'ADC est bien respectée pour un pas de quantification temporelle $q = 8$ et 16.

b. Dimensionnement de la deuxième architecture

Pour le cas de la deuxième architecture, l'ADC 2 est capable de traiter la plage dynamique de l'UMTS et de l'IEEE 802.11 a. Dans ce cas, l'AGC n'est utilisé qu'au niveau du standard GSM afin de réduire sa forte plage dynamique et de pourvoir utiliser l'ADC 2 pour la numérisation des signaux des trois standards considérés. La deuxième architecture de l'étage en bande de base est présentée par la Figure III-6.

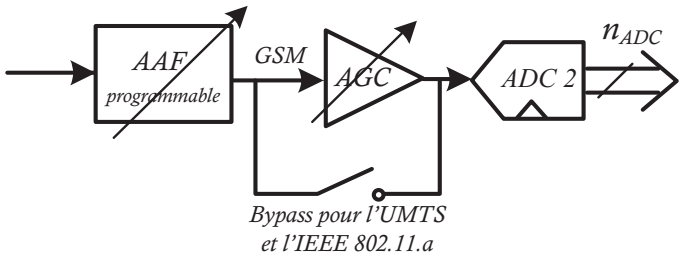


Figure III-6. Deuxième architecture de l'étage en bande de base.

L'utilisation de l'échantillonnage TQ-JPRS a permis le passage d'un ordre égal à 3, 3 et 2 respectivement pour le GSM, UMTS et IEEE 802.11.a vers un ordre égal à 2 pour les trois standards. Le Tableau III-9 et Tableau III-10 résument le dimensionnement de l'AAF.

Tableau III-9. Dimensionnement du filtre AAF de la deuxième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	26	0.26	25.74	-23	91	74.3	67.5	61.2	55.1
UMTS	61.44	2.49	59.52	-44	57.8	41.1	34.3	Na	Na
IEEE 802.11.a	240	10.79	229.2	-47	47.6	30.9	Na	Na	Na

Tableau III-10. Ordre du filtre AAF de la deuxième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	$N_{filtre_{uniforme}}$	$N_{filtre_{q=8}}$	$N_{filtre_{q=16}}$	$N_{filtre_{q=32}}$	$N_{filtre_{q=64}}$
GSM	3	2	2	2	2
UMTS	3	2	2	Na	Na
IEEE 802.11.a	2	2	Na	Na	Na

Dans le cas de la réduction de la fréquence d'échantillonnage, le dimensionnement de l'étage en bande de base de la deuxième architecture est donné par le Tableau III-11.

Tableau III-11. Dimensionnement de l'étage en bande de base de la deuxième architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	$G_{AGC_{max}}$ (dB)	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	34.5	10	8.62	6.68	12.8	25.6
UMTS	3	Na	12	30.72	61.44	Na	Na
IEEE 802.11.a	2	Na	10	132.8	Na	Na	Na

Comparée à l'ADC 1, l'ADC 2 a permis de réduire l'utilisation de l'AGC pour un seul standard et donc de gagner sa consommation de puissance lors du traitement d'un signal UMTS ou IEEE 802.11.a. De plus, la deuxième architecture offre la possibilité de réduire par 2 la fréquence de l'échantillonnage du standard UMTS. Par contre, le nombre de bit de l'ADC a augmenté entrainant une plus forte consommation de puissance de l'ADC 2 et une éventuelle croissance de la complexité du traitement numérique.

c. Dimensionnement de la troisième architecture

Dans la troisième architecture, le convertisseur ADC 3 employé est caractérisé par sa capacité à traiter une large plage dynamique couvrant les spécifications des trois standards de communication considérés. Ainsi l'AGC est complètement écarté de l'étage en bande de base comme le présente la Figure III-7.

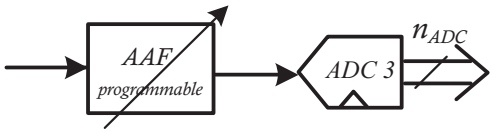


Figure III-7. Troisième architecture de l'étage en bande de base.

La réduction de l'ordre du filtre anti-repliement a permis d'abaisser d'un point l'ordre du filtre AAF pour les trois standards à partir d'un facteur de quantification temporelle $q = 8$. Le Tableau III-12 et le Tableau III-13 détaillent le dimensionnement de ce filtre. Étant donné que l'AGC ne figure pas parmi les composants de l'étage en bande de base considérés, aucune modification sur le nombre de bit de l'ADC 3 n'est réalisée suite à la réduction de l'ordre du filtre AAF.

Tableau III-12. Dimensionnement du filtre AAF de la troisième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	f_{RS} (MHz)	f_p (MHz)	f_t (MHz)	$N_{bl} - G_{ana}$ (dBm)	$A_{min_{uniforme}}$ (dB)	$A_{min_{q=8}}$ (dB)	$A_{min_{q=16}}$ (dB)	$A_{min_{q=32}}$ (dB)	$A_{min_{q=64}}$ (dB)
GSM	32	0.26	31.74	-23	91	74.3	67.5	61.2	55.1
UMTS	64	2.49	61.51	-44	57.8	41.1	34.3	Na	Na
IEEE 802.11.a	160	10.79	149.2	-47	47.6	30.9	Na	Na	Na

Tableau III-13. Ordre du filtre AAF de la troisième architecture pour l'échantillonnage uniforme et TQ-JPRS pour différentes valeurs de q.

	$N_{filtre_{uniforme}}$	$N_{filtre_{q=8}}$	$N_{filtre_{q=16}}$	$N_{filtre_{q=32}}$	$N_{filtre_{q=64}}$
GSM	3	2	2	2	2
UMTS	3	2	2	Na	Na
IEEE 802.11.a	3	2	Na	Na	Na

La réduction de la fréquence d'échantillonnage de l'ADC permet d'abaisser la cadence de la numérisation. Toutefois cette réduction reste moyenne vu que la condition Eq. II-21 entraine dans la plupart des cas étudiés une majoration de la fréquence retrouvée par l'Eq. III-2. Le indique les valeurs des fréquences d'échantillonnage selon q.

Tableau III-14. Dimensionnement de l'étage en bande de base de la troisième architecture en considérant la réduction de la fréquence d'échantillonnage.

	N_{filtre}	n_{ADC}	$f_{RS_{q=8}}$ (MHz)	$f_{RS_{q=16}}$ (MHz)	$f_{RS_{q=32}}$ (MHz)	$f_{RS_{q=64}}$ (MHz)
GSM	3	16	8.62	6.68	12.8	25.6
UMTS	3	12	30.72	61.44	Na	Na
IEEE 802.11.a	3	10	132.8	Na	Na	Na

Pour les trois architectures, l'effet du TQ-JPRS consiste à réduire au meilleur des cas d'un point l'ordre du filtre AAF. Par contre, la fréquence d'échantillonnage peut être nettement réduite proposant ainsi un gain sur la consommation de puissance. En vue d'un choix optimal, une comparaison entre les trois architectures est nécessaire. Cette comparaison se base sur l'estimation de puissance de chaque architecture ainsi que sur le gain en pourcentage de la puissance dissipée dans le cas de l'échantillonnage uniforme.

III.2 Estimation de la consommation de puissance

Dans ce paragraphe, nous nous intéressons à choisir une architecture optimale en termes de consommation de puissance basée sur l'utilisation du TQ-JPRS. Nous présenterons en premier lieu les méthodologies et métriques d'estimation de consommation de puissance ainsi que l'évaluation de la consommation de l'étage en bande de base de chaque architecture en considérant l'échantillonnage uniforme et l'échantillonnage TQ-JPRS.

III.2.1 Métriques d'estimation de la consommation de puissance de l'étage en bande de base

La consommation de puissance d'un filtre anti-repliement dépend essentiellement de son ordre et de la technologie d'implémentation. En littérature, une équation empirique de l'estimation de sa consommation de puissance a été élaborée. Elle fait intervenir l'ordre du filtre N_{filtre} et un facteur empirique, P_{pole}, présentant la dissipation de

puissance d'un filtre passe-bas par pôle (134; 95). L'estimation de la consommation de puissance d'un filtre passe-bas est donnée par l'équation Eq. III-3.

$$P_{LPF} = P_{pole} N_{filtre} \qquad \text{Eq. III-3}$$

Les valeurs mesurées dans (95) et résumées par le Tableau III-15 sont pour des filtres implémentés avec la technologie CMOS 0.13 µm. La valeur de P_{pole} pour le standard GSM n'a pas été mesurée dans (95). Nous estimons la valeur de P_{pole} pour le GSM par rapport au résultat de son implémentation en CMOS 0.13 µm présenté dans le papier (135).

Tableau III-15. Valeurs de P_{pole} pour différents standards et avec la technologie CMOS 0.13 µm.

Standard	Bande passante (MHz)	P_{pole} (mW)
IEEE 802.11 j	4.15	1.3
IEEE 802.11 a	8.33	2.4
IEEE 802.11 n	16.6	3.52
DVB-H	3.5	1.1
UMTS 3.84 Mcps	1.92	0.6
UMTS 1.28 Mcps	0.64	0.31
GSM	0.2	1.8

L'ADC est souvent le composant de la bande de base le plus gourmand en puissance. Sa consommation dépend de la valeur de la fréquence d'échantillonnage à laquelle il opère et de son nombre de bits n_{ADC}. Un lien direct entre la technologie d'implémentation et la consommation existe. Il est exprimé par le terme E_{conv} qui traduit la valeur d'énergie requise par palier de conversion. La valeur de E_{conv} est de l'ordre de quelques pico-joules. La Figure III-8 prise de (136) montre bien l'évolution de la valeur de E_{conv} par rapport aux années, implicitement l'évolution des technologies, et en fonction de l'architecture de l'ADC. L'équation de l'estimation de sa puissance est donnée par Eq. III-4.

$$P_{ADC} = E_{conv}\ f_s\ 2^{n_{ADC}} \qquad \text{Eq. III-4}$$

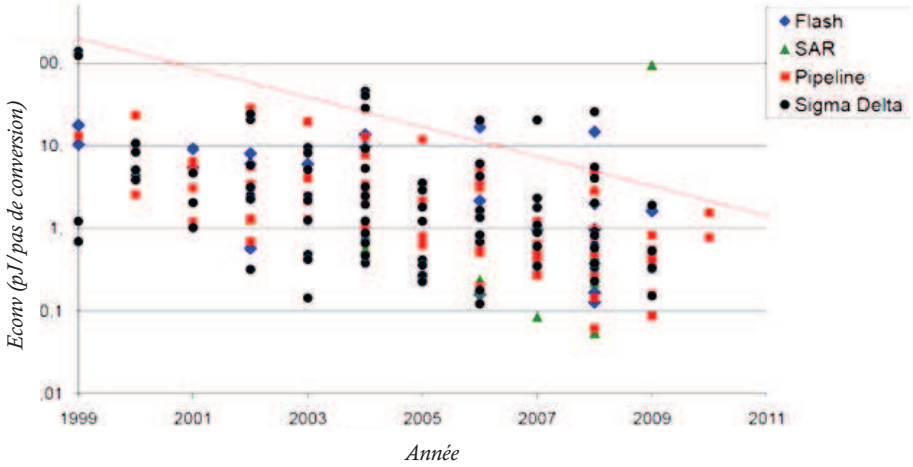


Figure III-8. Évolution de la valeur de E_{conv}

La Figure III-8 montre bien que la valeur de E_{conv} varie vers la baisse au cours des années. Ceci est dû à la progression de la technologie utilisée. D'autre part, la valeur de ce paramètre dépend aussi de l'architecture utilisée. Pour le cas des ADCs utilisés, la valeur de E_{conv} est égale à 0.004, 0.006 et 0.008 pJ pour l'ADC 1, l'ADC 2 et l'ADC 3 respectivement. L'Eq. III-4 nous servira de moyen d'indication de la variation de la consommation de puissance d'un ADC selon sa fréquence d'échantillonnage et son nombre de bits.

La consommation de l'AGC est très hétérogène. Étant donné qu'elle dépend essentiellement de son architecture, la consommation de l'AGC, P_{AGC}, n'a pas d'équation d'estimation de puissance. En somme, l'équation d'estimation de la consommation de puissance de la bande de base d'un récepteur radio est donnée par Eq. III-5 en utilisant l'Eq. III-3 et l'Eq. III-4.

$$P_{BB} = P_{pole} N_{filtre} + E_{conv} \; f_s \; 2^{n_{ADC}} + P_{AGC} \qquad \textbf{Eq. III-5}$$

Cette équation permet de définir des paliers estimatifs de consommation de puissance dépendant de l'ordre du filtre, de la fréquence d'échantillonnage et des constantes empiriques P_{pole} et E_{conv}. Un exemple de l'abaque estimatif de consommation de puissance est donné par la Figure III-9 prise de (134).

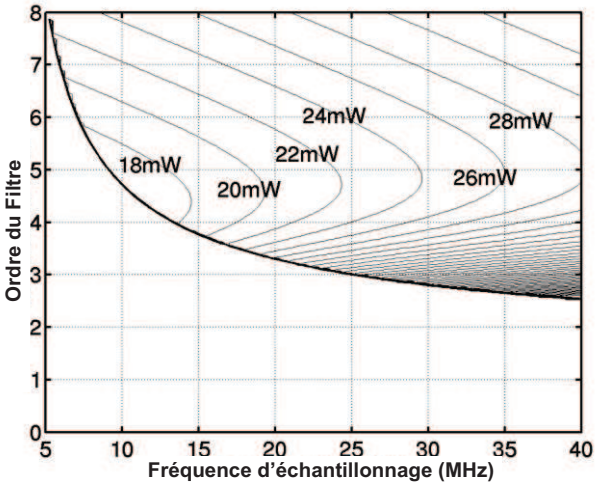


Figure III-9. Abaque de consommation de puissance, E_{conv}=5pJ et P_{pole}=2.66mW.

Le trait fort continu présente la limite de l'ordre du filtre en fonction de la fréquence de l'échantillonnage appliquée. Les métriques d'estimation de la consommation de puissance sont utilisées dans le but de mesurer l'avantage de l'application du TQ-JPRS en termes d'économie d'énergie.

III.2.2 Estimation de la consommation de puissance de l'étage en bande de base

Les trois architectures proposées sont régies de l'utilisation de trois ADC différents présentés dans le Tableau III-1 et possédant chacun une consommation de puissance bien précise pour le cas de l'échantillonnage uniforme. Cette consommation est

supposée totalement dynamique. La consommation de ces convertisseurs dans le cas de l'échantillonnage TQ-JPRS est estimée selon Eq. III-4 de façon à varier linéairement avec la fréquence d'échantillonnage utilisée. L'AGC utilisé est multistandard assurant un gain supérieur à 35 dB. L'AGC multistandard présenté dans (103) et consommant 7 mW est sélectionné. L'estimation de puissance est effectuée sur la configuration optimale en minimisant l'ordre du filtre anti-repliement et la fréquence d'échantillonnage. Cette estimation ne considère que la partie analogique de la bande de base à savoir l'AAF, l'AGC et l'ADC.

Tableau III-16. Estimation de la consommation en mW de l'étage en bande de base analogique de la première architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	7	1.44	13.8	12	5.4	7	1.44	0.3	13.8	12.7
UMTS	1.2	0.6	7	3.4	11.6	11	1.2	7	3.4	1.04	11.6	9.23
IEEE 802.11.a	4.8	2.4	7	7	18.8	16.4	4.8	7	7	2.32	18.8	14.1
					44.2	**39.4**					**44.2**	**36**

Tableau III-17. Estimation de la consommation en mW de l'étage en bande de base de la deuxième architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	7	2.9	15.3	13.5	5.4	7	2.9	0.74	15.3	13.1
UMTS	1.8	1.2	0	7.4	9.2	8.6	1.2	0	7.4	3.7	9.2	5.5
IEEE 802.11.a	4.8	4.8	0	20.5	25.3	25.3	4.8	0	20.5	11.3	25.3	16.1
					49.8	**47.4**					**49.8**	**34.7**

Tableau III-18. Estimation de la consommation en mW de l'étage en bande de base de la troisième architecture.

	Réduction de N_{filtre}						Réduction de f_{RS}					
	AAF		AGC	ADC	Total		AAF	AGC	ADC		Total	
	US	TQ-JPRS			US	TQ-JPRS			US	TQ-JPRS	US	TQ-JPRS
GSM	5.4	3.6	0	18	23.4	21.6	5.4	0	18	3.73	23.4	9.13
UMTS	1.8	1.2	0	23	24.8	24.2	1.8	0	23	11	24.8	12.8
IEEE 802.11.a	3.9	2.6	0	39	42.9	41.6	7.2	0	39	32.3	46.2	39.5
					94.4	**89.6**					**94.4**	**61.4**

A partir de l'étude de la consommation, nous pouvons conclure que l'apport du TQ-JPRS est bien visible surtout dans le cas de la réduction de la fréquence d'échantillonnage. En effet, un gain de la consommation de puissance de 10.8%, 4.8% et 5% pour les trois architectures en considérant la réduction de l'ordre du filtre anti-repliement est constaté. Ce gain s'élève à 18.5%, 30% et 35 % lors de la considération de la réduction

de la fréquence d'échantillonnage. Nous considérons donc cette démarche de gain grâce au TQ-JPRS.

Employant un ADC à une forte puissance, la troisième architecture garde une consommation assez prononcée même après application du TQ-JPRS. Cette architecture est à écarter. Les deux premières architectures ont des valeurs de consommation très proches. La première architecture assure une numérisation avec des nombres de bits inférieurs au nombre de bits de l'ADC 2. Toutefois, la fréquence d'échantillonnage de l'UMTS est bien le double de celle dans la deuxième architecture. Ces deux paramètres influent sur le traitement du signal post –conversion. En effet, l'augmentation de la fréquence à la sortie de l'ADC comme l'accroissement du nombre de ses bits ajoute de la complexité au traitement numérique spécialement lors de la sélection du canal. De ce fait, une approximation de la consommation de puissance de l'étage de sélection du canal est essentielle afin de pouvoir justifier le choix de l'architecture optimale en termes de puissance.

Le modèle comportemental de la variation de la consommation des filtres numériques de sélection du canal est présenté dans (137). Il fait intervenir en plus de la fréquence d'échantillonnage f_s et du nombre de bits n_{ADC}, le nombre de bits sur lesquels les coefficients sont codés n_{coef} et l'ordre du filtre numérique $N_{selection}$. Ce modèle d'estimation de puissance est valide pour le cas d'une implémentation matérielle sur une technologie CMOS 65nm. Dans ce cas, la consommation statique du circuit est négligeable. La consommation dynamique, P_{dyn}, d'un filtre numérique pour la sélection du canal est donnée par Eq. III-6.

$$P_{dyn}(f) = N_{selection} \times (0.2n_{coef} + 1) n_{ADC} \, {f}/{f_{synthèse}} \qquad \textbf{Eq. III-6}$$

Ce modèle d'estimation de puissance a été établi en effectuant la synthèse à la fréquence $f_{synthèse} = 80\ MHz$ d'un filtre numérique en variant ses paramètres et en relevant sa puissance.

Nous nous proposons de vérifier l'estimation de la consommation de puissance lors de la sélection du signal IEEE 802.11.a ayant la plus grande fréquence d'échantillonnage et présentant ainsi le standard le plus contraignant lors de la sélection du canal. La puissance consommée par la sélection du canal au niveau de la première architecture s'élève à 172.5 µW, celle de la deuxième architecture à 258.13 µW. Les valeurs évaluées de la consommation sont de l'ordre de quelques centaines de µW et sont donc négligeables par rapport à la consommation de l'étage en bande de base. L'étape de la sélection numérique du canal sera traitée plus en détail dans la dernière section de ce chapitre.

A ce niveau, nous pouvons déduire que la deuxième architecture présente l'architecture la plus économique énergétiquement présentant une réduction de la consommation de puissance de l'ordre de 30% grâce au TQ-JPRS. Les spécifications de cette architecture sont résumées par le Tableau III-19.

Tableau III-19. Spécifications de l'architecture sélectionnée pour l'étage en bande de base.

	GSM	UMTS	IEEE 802.11.a
Ordre du filtre AAF N_{filtre}	3	3	2
Gain maximal de l'AGC $G_{AGC_{max}}$ (dB)	34.5	Na	Na
Fréquence f_{RS}(MHz)	6.68	30.72	132.8
Facteur de quantification q	16	8	8
Nombre de bits N à la sortie de l'ADC 2	10	12	10

Après la formulation théorique portant sur l'échantillonnage pseudo-aléatoire à temps quantifié et la valorisation de son utilisation dans un contexte radio logicielle restreinte, il est nécessaire d'étudier son implémentation afin de faire des mesures pratiques de l'atténuation des répliques.

III.3 Mise en œuvre du mode d'échantillonnage TQ-JPRS

Les résultats de l'étude théorique et des simulations réalisées dans le deuxième chapitre montrent bien l'effet de la réduction du repliement de l'échantillonnage TQ-JPRS. Le but de ces travaux de recherche est de réussir à implémenter le TQ-JPRS et de démontrer par des mesures son apport à réduire les repliements et par conséquent bénéficier de son pouvoir de réduction de l'ordre de l'AAF et de la marge de gain de l'AGC dans le cas de son application à l'architecture proposée.

Afin de garantir l'effet de la réduction des repliements en pratique, nous établissons une plateforme de test du TQ-JPRS. Une horloge pseudo-aléatoire est appliquée au niveau d'un ADC pour assurer ce type d'échantillonnage. Le signal est reconstruit afin de mesurer son SNR et de le comparer au SNR d'un signal identique échantillonné uniformément.

III.3.1 Présentation de la plateforme de test

Afin de pouvoir mesurer l'effet de l'échantillonnage TQ-JPRS, nous avons établi la plateforme de test présentée par la Figure III-10 (138; 26). Ce banc est constitué essentiellement d'un convertisseur opérant avec une horloge pseudo-aléatoire, un générateur de signaux aléatoires et d'un analyseur logique. Vu que les générateurs d'horloge présents sur le marché ne fournissent que des horloges uniformes, nous avons implémenté sur FPGA un générateur qui nous permet d'avoir une horloge dont les caractéristiques assurent l'échantillonnage TQ-JPRS.

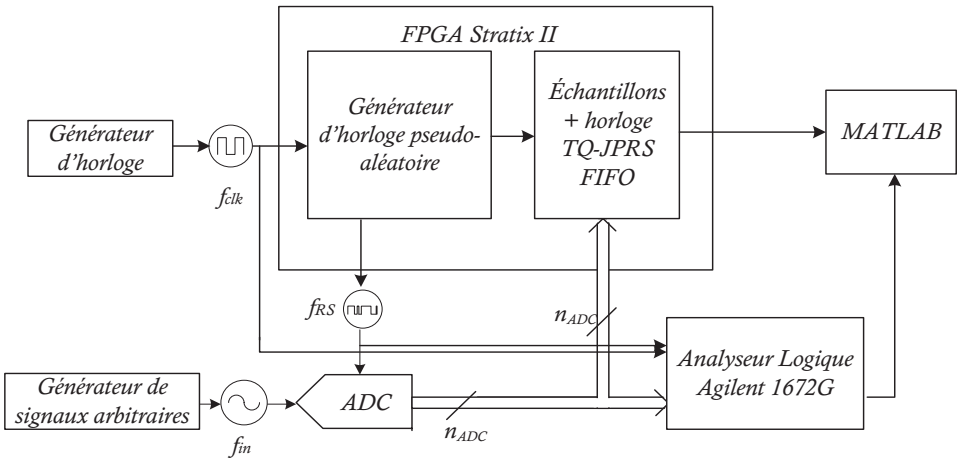


Figure III-10. Schéma synoptique de la plateforme de test.

Le FPGA fonctionne à la fréquence f_{clk} pour actionner le générateur fournissant une horloge pseudo-aléatoire de fréquence moyenne f_{RS}. Le signal sinusoïdal issu du générateur de signaux arbitraires est à la fréquence f_{in}. L'ADC commandé par l'horloge pseudo-aléatoire échantillonne en TQ-JPRS le signal sinusoïdal d'entrée. Les échantillons pseudo-aléatoires sont stockés avec les instants d'échantillonnage au niveau de la FIFO de la carte FPGA. Ils pourront être envoyés vers une machine via le port série. L'analyseur logique Agilent 1672G est utilisé afin de visualiser la sortie de l'ADC. Il présente aussi un second moyen de stockage des échantillons. L'acquisition envoyée vers la machine est traitée sous MATLAB afin de pouvoir faire l'analyse spectrale des données reçues.

Dans une première version de cette plateforme de test, le convertisseur utilisé était un convertisseur pipeline de la firme Analog Devices, AD9214 (139). L'utilisation de ce type de convertisseur avait faussé l'échantillonnage TQ-JPRS. En effet, en guise de correction de la gigue d'horloge, l'AD9214 comporte un block timing qui corrige le rapport cyclique de l'horloge et essaie de ramener le front montant à un instant d'échantillonnage uniforme. Il s'agit donc d'une métamorphose de l'horloge appliquée qui fausse l'échantillonnage TQ-JPRS.
Dans la version actualisée de la plateforme de test, l'ADC a été choisi de façon à ne comporter aucune correction de l'horloge appliquée. L'ADC est d'architecture full-flash de la firme Maxim, MAX 100 (140). Cet ADC à 8 bits permet un échantillonnage allant jusqu'à 250 MHz.
Au niveau de MATLAB, une reconstruction des échantillonnages reçus est réalisée dans le but de retrouver un spectre avec une allure et un SNR semblables à un spectre obtenu après échantillonnage uniforme. L'étape de reconstruction qui fournit les meilleures performances est la reconstruction spline cubique (127).

Plusieurs horloges aléatoires ou pseudo-aléatoires existent sous différentes architectures et techniques de conception. Ceux basés sur l'utilisation des oscillateurs chaotiques, (141; 142), présentent le problème de non intégrabilité et ne peuvent pas être implémentés dans un récepteur de radio logicielle restreinte. D'autres proposent

d'utiliser des oscillateurs à anneaux, (143). L'architecture proposée comporte un large vecteur d'inverseurs basés sur l'utilisation des transistors. Ceci mène à une forte dépendance à la technologie utilisée vu que le délai introduit par chaque inverseur varie selon la technologie. Cette architecture doit donc être revisitée à chaque migration de technologie afin de reconfigurer les transistors pour fixer correctement la valeur du délai.

Le générateur d'horloge pseudo-aléatoire présenté dans le Chapitre I, le Pseudorandom Signal Sampler présente un bon compromis entre simplicité d'architecture, faible consommation de puissance, petite surface et adéquation avec les conditions de l'échantillonnage TQ-JPRS. Ce générateur implémenté en technologie CMOS 65 nm fournit une horloge pseudo-aléatoire dont la fréquence peut atteindre 200 MHz. Il permet d'avoir 7 différentes phases d'échantillonnage assurant ainsi un facteur de quantification temporelle du TQ-JPRS égal à 8. Le PSS présente toutefois un inconvénient majeur portant sur sa non-reconfigurabilité dans le cas d'un changement de facteur de quantification temporelle. Nous proposons alors un nouveau générateur d'horloge pseudo-aléatoire présentant un degré de liberté en plus pour la configuration de la quantification temporelle.

III.3.2 Pseudorandom direct Sampler

Le générateur d'horloge pseudo-aléatoire original nommé Pseudorandom Direct Sampler (PDS), assure une synthèse numérique et pseudo-aléatoire des fréquences pour un échantillonnage TQ-JPRS avec un facteur de quantification variable. Le dimensionnement de l'architecture de l'étage en bande de base dans la deuxième section de ce chapitre montre la nécessité d'utiliser des valeurs différentes du facteur de la quantification temporelle afin d'optimiser la consommation de puissance du récepteur SDR.

Le concept de l'architecture du PDS est inspiré de l'architecture du synthétiseur direct numérique (DDS, Digital Direct Synthesis). Les composants majeurs du DDS sont l'accumulateur de phase, le convertisseur phase/amplitude, un convertisseur numérique/analogique et un filtre dont le rôle est de supprimer les harmoniques du signal. L'architecture de base d'un DDS est donnée par la Figure III-11 (144; 145).

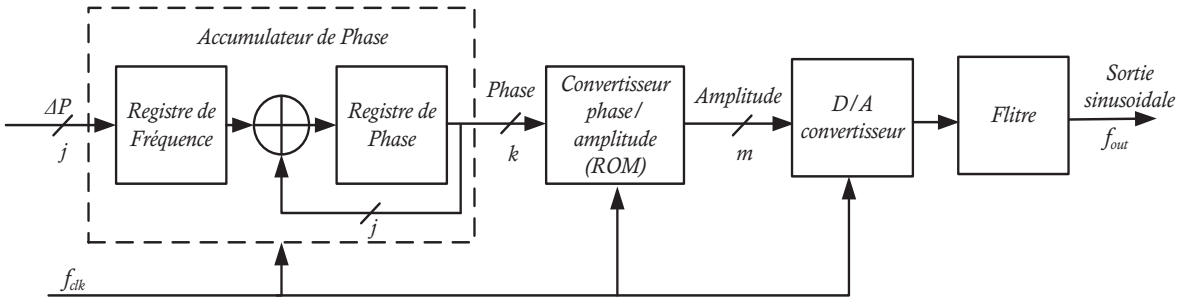


Figure III-11. Schéma synoptique du synthétiseur de fréquence DDS.

L'accumulateur de phase comporte un registre à j bits où la valeur de l'incrément de phase ΔP est enregistrée ainsi qu'un additionneur à j bits et un registre de phase. A chaque front montant de l'horloge, la valeur ΔP est ajoutée à la phase de l'instant précédent mémorisée dans le registre de phase. Chaque nouvelle valeur de la phase correspond à une valeur de l'amplitude.

Le convertisseur phase/amplitude n'est qu'une mémoire ROM où des échantillons d'une sinusoïde sont mémorisés. L'incrément de phase ΔP permet une lecture des cases de la mémoire ROM avec un pas ΔP. Par conséquent, chaque valeur de l'incrément de phase engendre une fréquence de sortie du DDS. Le DAC permet de retrouver une sinusoïde à temps continue et le filtre permet d'éviter les éventuelles harmoniques du signal converti.

Le but du PDS est de pouvoir générer une horloge dont la valeur de la fréquence change d'une manière pseudo-aléatoire. Pour cela, nous avons ajouté une sélection pseudo-aléatoire de l'incrément de phase ΔP assuré par un LFSR. Un ensemble d'incréments de phase sont mémorisés au niveau d'une table (LUT, Look-Up Table). La valeur en sortie du LFSR vient indexer la valeur du ΔP à utiliser. La sortie du PDS est simplement le bit de signe des valeurs lues lors de la génération du signal. La Figure III-12 présente l'architecture du PDS (146; 128).

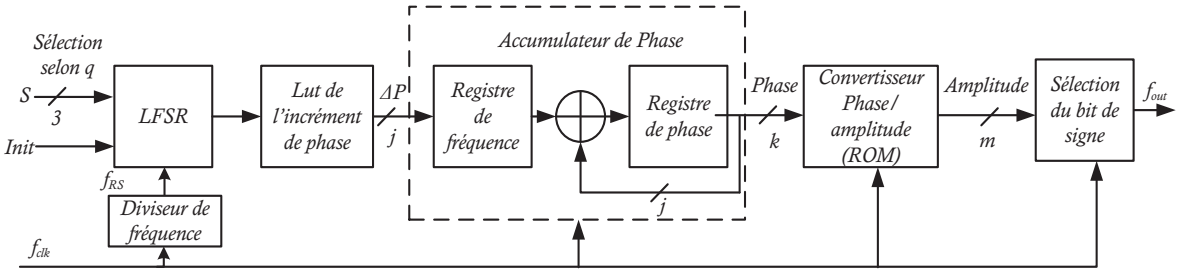


Figure III-12. Schéma synoptique du générateur d'horloge PDS.

Le LFSR utilisé est programmable. Il permet de générer des séquences contenant $q-1$ valeurs aléatoires. Chaque valeur indexe un incrément de phase ΔP et par conséquent une fréquence de l'horloge pseudo-aléatoire en sortie.

Afin de garantir la génération de $q-1$ variables aléatoires, le LFSR doit être caractérisé par un polynôme primitif. Le PDS est conçu pour fonctionner dans le cas ou le facteur de la quantification temporelle $q = 8$, 16 ou 32. Les caractéristiques du LFSR pour ces trois cas sont données par le Tableau III-20.

Tableau III-20. Caractéristiques du LFSR selon la valeur de *q*.

S : $s_2 s_1 s_0$	q	Largeur de la séquence	Nombre de bascules	Polynôme primitif
001	8	7	3	$P(\mathrm{x}) = \mathrm{x}^3 + \mathrm{x}^2 + 1$
010	16	15	4	$P(\mathrm{x}) = \mathrm{x}^4 + \mathrm{x}^3 + 1$
100	32	31	5	$P(\mathrm{x}) = \mathrm{x}^5 + \mathrm{x}^3 + 1$

Le LFSR programmable a donc l'architecture présentée par la Figure III-13. Les 3 bits de sélection $s_2 s_1 s_0$ permettent de passer d'une configuration à une autre.

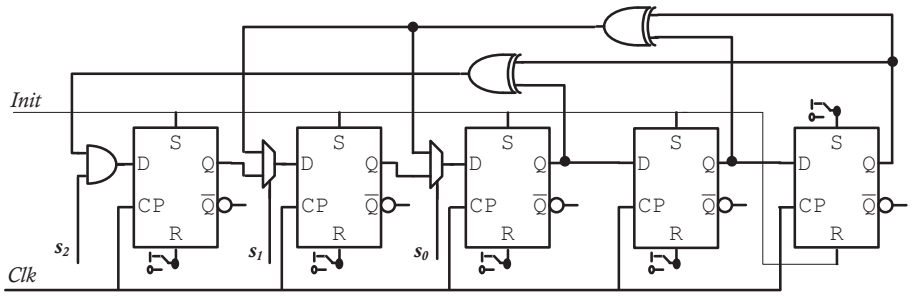


Figure III-13. Architecture du LFSR programmable.

Afin de garantir un seul front montant de l'horloge à générer pendant une période moyenne d'échantillonnage, le LFSR fonctionne à la fréquence moyenne d'échantillonnage f_{RS}. A chaque nouvelle valeur du LFSR, l'accumulateur de phase se met zéro. Si le LFSR ne change pas de valeur alors que toute la mémoire ROM a été parcourue, la valeur zéro est maintenue. L'allure de la sortie du PDS est donnée par la Figure III-14.

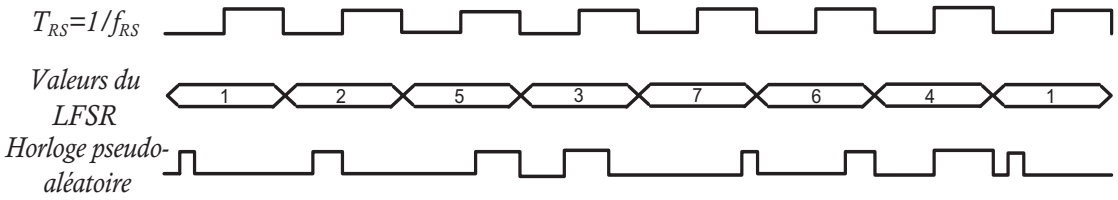


Figure III-14. Allure de l'horloge en sortie du PDS pour *q=8*.

La table des incréments de phase comporte 31 valeurs distinctes qui peuvent assurer 31 fréquences différentes de l'horloge en sortie. Ainsi, la mémoire ROM opérant comme convertisseur phase/amplitude doit avoir un nombre d'échantillons permettant un incrément de phase différent pour chaque période instantanée. Pour le cas d'une quantification temporelle $q = 32$, une ROM de 2048 case doit être considérée. La taille est réduite à 512 pour $q = 16$ et à 128 pour $q = 8$. Le Tableau III-21 montre les différentes périodes instantanées T_i que génère le PDS. Chaque valeur de période sélectionnée par $lfsr(\mathrm{i}), \mathrm{i} = 1 \ldots 31$; correspond à un nombre d'échantillons $N_{échan}$ lus avec un incrément de phase donné ΔP.

Un nombre minimal de 2 échantillons est nécessaire afin de pouvoir détecter le bit de signe du signal à générer. Chaque échantillon s'écrit sur un nombre de bit l calculé selon Eq. III-7.

$$l = log_2\left(\frac{N_{échan_{max}}}{4}\right) + 1 \qquad \textbf{Eq. III-7}$$

Tableau III-21. Correspondance entre les différents paramètres de la génération d'horloge.

lfsr(i)	T_i	ΔP	$N_{échan}$	lfsr(i)	T_i	ΔP	$N_{échan}$
16	$T_{RS}/16$	1024	2	24	$17T_{RS}/16$	60	34
8	$T_{RS}/8$	512	4	12	$9T_{RS}/8$	56	36
17	$3T_{RS}/16$	336	6	25	$19T_{RS}/16$	53	38
1	$T_{RS}/4$	256	8	5	$5T_{RS}/4$	51	40
18	$5T_{RS}/16$	200	10	26	$21T_{RS}/16$	48	42
9	$3T_{RS}/8$	168	12	13	$11T_{RS}/8$	46	44
19	$7T_{RS}/16$	144	14	27	$23T_{RS}/16$	44	46
2	$T_{RS}/2$	128	16	6	$6T_{RS}/4$	42	48
20	$9T_{RS}/16$	112	18	28	$25T_{RS}/16$	40	50
10	$5T_{RS}/8$	100	20	14	$13T_{RS}/8$	39	52
21	$11T_{RS}/16$	92	22	29	$27T_{RS}/16$	37	54
3	$3T_{RS}/4$	84	24	7	$7T_{RS}/4$	36	56
22	$13T_{RS}/16$	76	26	30	$29T_{RS}/16$	35	58
11	$7T_{RS}/8$	72	28	15	$15T_{RS}/8$	34	60
23	$15T_{RS}/16$	68	30	31	$31T_{RS}/16$	33	62
4	T_{RS}	64	32				

Le nombre de bits nécessaire sur lequel chaque échantillon est codé se calcule selon le nombre maximal d'échantillons lus qui correspond à la construction de la période la plus longue. La division par 4 provient de la symétrie des quarts de la sinusoïde. Dans le cas étudié, chaque case de la mémoire ROM doit comporter un mot s'écrivant sur 5 bits.

L'implémentation du PDS avec un facteur de quantification temporelle $q = 8$ a été faite sur FPGA Stratix II EP2S15F484C3. La fréquence maximale de l'horloge principale du PDS atteint 360 MHz fournissant une fréquence d'échantillonnage moyenne maximale égale à $f_{RS} = 11.25\ MHz$. Cette fréquence est inversement proportionnelle à la valeur de q. En effet, l'implémentation du PDS avec la considération d'un seul facteur de quantification $q = 8$ nécessite une ROM de 128 bits et un nombre d'échantillons égal à 8 afin de construire la période moyenne T_{RS}. Dans cette condition d'implémentation, la fréquence moyenne maximale atteint 45 MHz (147; 146). Fonctionnant à 320 MHz, la consommation dynamique sur FPGA du PDS est de l'ordre de 4 mW. Ce générateur d'horloge pseudo-aléatoire programmable assure la commande de l'ADC MAX 100 de la plateforme de test afin d'échantillonner en TQ-JPRS le signal en entrée.

III.3.3 Détection du problème du délai variable

La plateforme de test incluant l'ADC full-flash commandé par l'horloge du PDS implémentée sur la carte FPGA a permis de faire un premier test d'échantillonnage TQ-JPRS. L'acquisition réalisée simule la numérisation d'un signal GSM. Un signal sinusoïdal centré autour de $f_{in} = 100\ kHz$ est échantillonné à une fréquence moyenne $f_{RS} = 7.2\ MHz$ avec un facteur de quantification temporelle $q = 8$. Le spectre en sortie de l'échantillonnage TQ-JPRS est donné sur la Figure III-15.

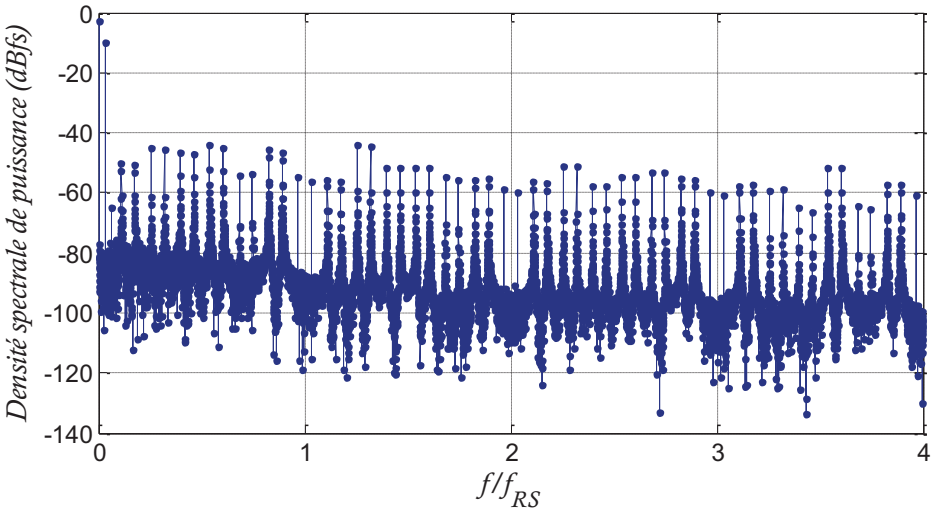


Figure III-15. Densité spectrale de puissance de l'acquisition tracé en *Sample&hold*.

La représentation spectrale *Sample&hold* de l'acquisition présente un graphe très proche des spectres trouvés en simulations et lors du traçage de la formule théorique. Nous retrouvons les $q-2$ raies parasites dans l'intervalle fréquentiel $[0, f_{RS}]$. Les répliques du signal sont bien atténuées d'une valeur proche de 46 dB pour une valeur d'OSR égale à 32. L'atténuation est de l'ordre de 48 dB en simulation et 51 dB en théorie pour cette valeur d'OSR. L'acquisition faite corrobore la simulation. Afin de pouvoir continuer les usuelles étapes de traitement de signal en numérique, l'étape de reconstruction est nécessaire. Elle permet d'arranger les échantillons pris d'une façon pseudo-aléatoire. La reconstruction selon l'algorithme spline cubique de l'acquisition donne le spectre présenté par la Figure III-16.

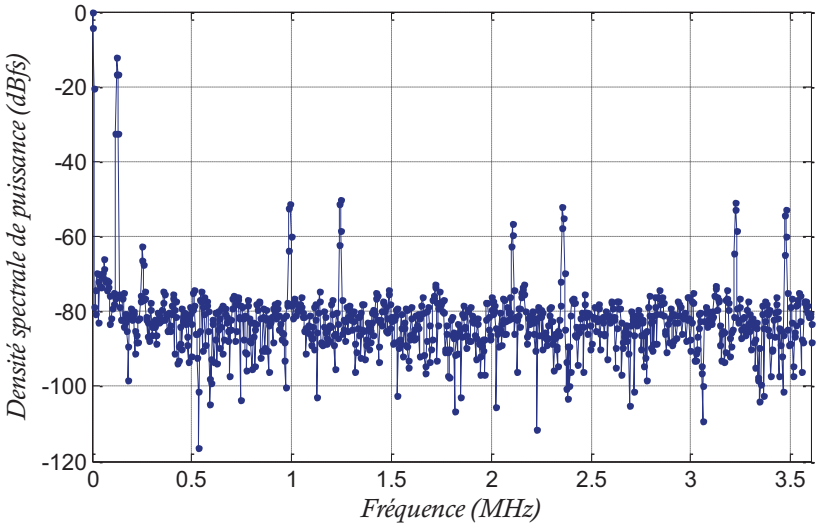


Figure III-16. Densité spectrale de puissance d'un signal échantillonné en TQ-JPRS par un convertisseur de type full-flash.

Les raies parasites persistent et ne sont pas supprimées par la reconstruction comme prévu et constaté lors de la simulation. La reconstruction a été donc faussée. La

visualisation du signal horloge pseudo-aléatoire avant et après numérisation au niveau de la sortie de la carte FPGA et de la sortie de l'ADC est donnée par la Figure III-17

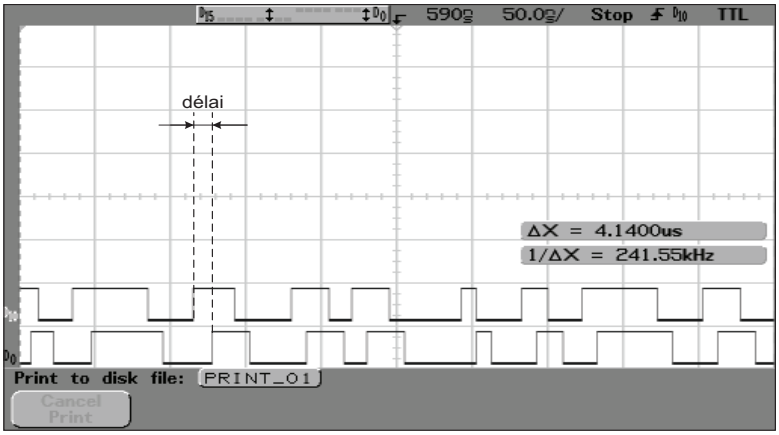


Figure III-17. Délai variable constaté à l'entrée et à la sortie de l'ADC.

La Figure III-17 montre bien la présence d'un délai de propagation du signal. Ce délai mesuré entre les fronts montant du premier et deuxième signal est variable. Le problème du délai a pour impact l'obtention d'instants d'échantillonnage erronés. L'algorithme de reconstruction spline cubique se base sur la connaissance des instants d'échantillonnage. Une donnée erronée des instants entraine une mauvaise reconstruction et un spectre avec des pics indésirables (138). L'estimation de ce délai variable est donc nécessaire.

Afin de simuler le problème du délai, nous avons échantillonné uniformément le même signal d'entrée à une fréquence 8 fois plus grande que f_{RS} pour récupérer plusieurs échantillons. Sur MATLAB, nous avons simulé l'échantillonnage pseudo-aléatoire avec une horloge identique à celle de la pratique puis reconstruit les échantillons. Le résultat de cette simulation est montré par la Figure III-18.

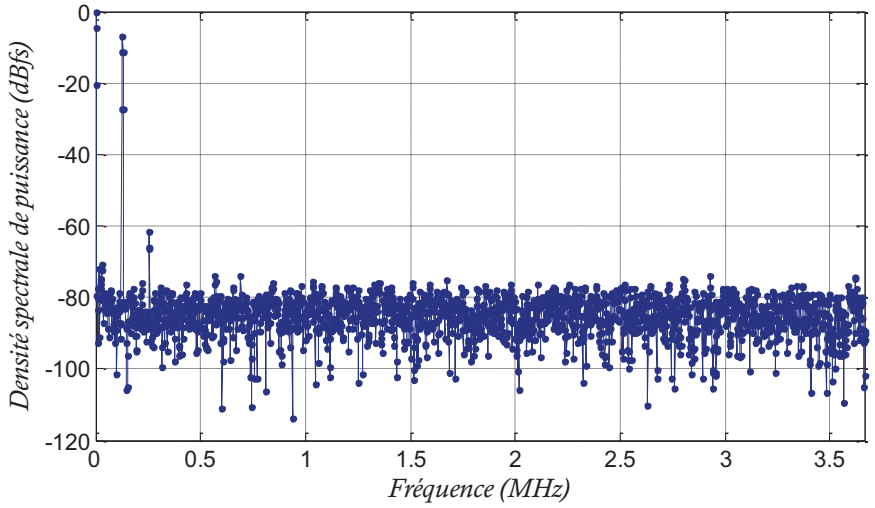


Figure III-18. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite.

La simulation du TQ-JPRS à partir de l'acquisition montre bien que l'étape de reconstruction permet de retrouver un spectre similaire au spectre de sortie d'un échantillonnage uniforme. Ceci est possible si les instants d'échantillonnage considérés par l'algorithme de reconstruction sont exacts. Une deuxième étape de validation de l'hypothèse de la présence d'un délai consiste à refaire exactement la même acquisition et simuler sur MATLAB l'échantillonnage TQ-JPRS. La reconstruction est faite sur un axe temporel dont la première valeur a été supprimée. Le résultat de la reconstruction est présenté par le spectre de la Figure III-19.

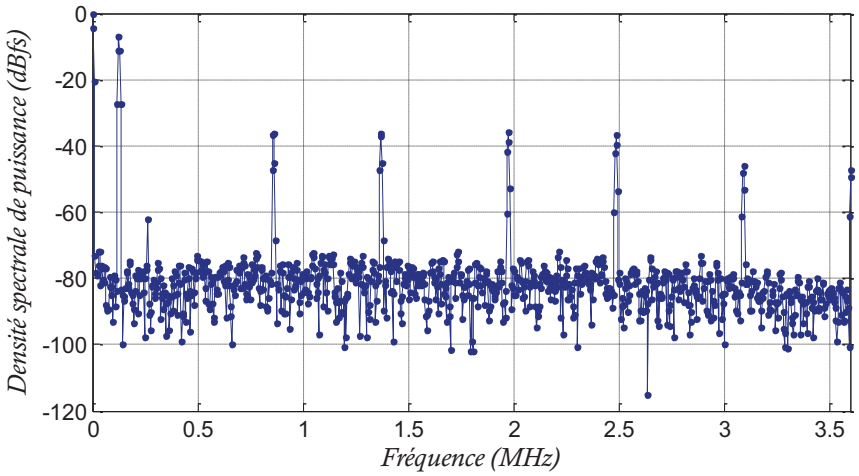
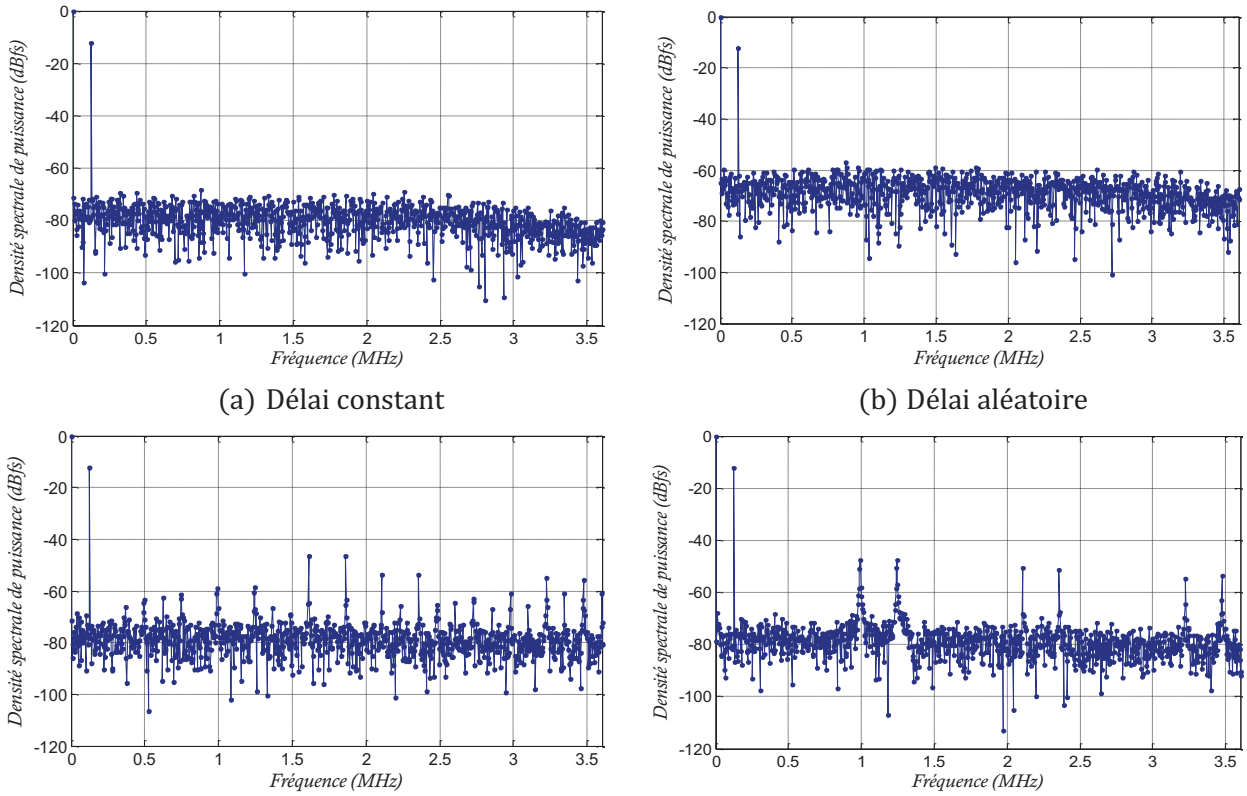


Figure III-19. Acquisition sur-échantillonnée uniformément, sélectionnée pseudo-aléatoirement puis reconstruite selon un axe temporel erroné.

A l'opposé de la Figure III-18, le spectre de la Figure III-19 présente bien des raies parasites. L'hypothèse de la mauvaise reconstruction à cause de l'utilisation des instants d'échantillonnage erronée étant vérifiée, nous avons procédé à un ensemble de simulations afin de pouvoir estimer la valeur du délai présent et modifiant la valeur des instants. Pour cela, nous avons effectué sous MATLAB la simulation de l'échantillonnage TQ-JPRS. Au niveau de l'étape de reconstruction, nous ajoutons à l'axe temporel un délai. Le résultat d'ajout des différents types de délai est présenté par la Figure III-20.

L'ajout d'un délai fixe ne fausse pas les valeurs des instants d'échantillonnage. L'axe temporel est seulement translaté. La distance temporelle entre deux échantillons reste juste. La reconstruction réussit a bien rétablir le spectre et retrouver un spectre équivalent à la sortie d'un échantillonnage uniforme. Pour le délai variable, l'axe temporel est modifié. Par conséquent, les instants d'échantillonnage se trouvent erronés. Le résultat de la reconstruction mène à avoir un plancher de bruit plus haut que celui constaté en échantillonnage uniforme. Ce n'est que lors de la considération d'un délai pseudo-aléatoire que les raies apparaissent. Un premier test ajoutant un retard pseudo-aléatoire dont la séquence comporte 9 valeurs différentes, mène à un spectre après reconstruction où les raies sont plus nombreuses que dans le cas de l'acquisition matérielle. Avec une séquence pseudo-aléatoire à $q - 1$, nous réussirons à trouver un spectre très proche de celui de la reconstruction de l'acquisition (148).



(a) Délai constant

(b) Délai aléatoire

(c) Délai pseudo-aléatoire à $q + 1$ valeurs

(d) Délai pseudo-aléatoire à $q - 1$ valeurs

Figure III-20. Résultats de simulation de la reconstruction en présence d'un délai de formes différentes.

Le délai possède la même forme de distribution que l'échantillonnage TQ-JPRS. Ce délai est dû à la traversée des portes logiques de l'ADC à q − 1 fréquences différentes. Il peut provenir donc de la non-compatibilité de l'ADC utilisé au fonctionnement avec une horloge pseudo-aléatoire.

Malgré l'identification de la forme du délai, l'estimation exacte de sa valeur reste impossible. De plus, le but de ce travail est de mesurer l'apport du TQ-JPRS appliqué à une architecture SDR employant un ADC fonctionnel en échantillonnage uniforme tel par exemple les ADCs multistandards ADC 1, ADC 2 et ADC 3, Tableau III-1. L'incompatibilité avec le fonctionnement pseudo-aléatoire ne peut donc pas être contournée avec les architectures des convertisseurs proposés en littérature.

Dans l'incapacité de proposer une solution de compensation du délai, nous sommes contraints à soit changer de méthode de reconstruction, soit proposer une solution de suppression des raies parasites.

Afin de contourner le problème du délai variable lors de l'étape de reconstruction, un algorithme doit réussir à arranger uniformément les échantillons pseudo-aléatoires sans avoir recours aux instants d'échantillonnage. Il s'agit des méthodes de la reconstruction aveugle (149; 150; 151). Ces méthodes sont très complexes et difficiles à implémenter. Nous proposons donc de nous intéresser à supprimer les raies. L'idée est de modifier l'étape du filtrage numérique et sélection du canal afin d'ajouter au filtre décimateur la tâche de supprimer les raies parasites.

Dans le cas de l'utilisation de l'étage de sélection du canal, une solution pour améliorer le SNR du signal à la sortie de l'échantillonnage TQ-JPRS est d'augmenter d'un point l'ordre du filtre anti-repliement. Dans ce cas, les bloqueurs seront ramenés à un niveau de puissance faible et les raies parasites qu'ils engendrent seront bien faibles devant la valeur de la puissance du signal. Par contre, nous devons étudier le cas de l'échantillonnage TQ-JPRS d'un signal à la pleine échelle. Étant à 13 dBm, le signal engendre des raies parasites à des niveaux de puissance importants. Nous traitons dans la section suivante le cas de la sélection numérique du canal en considérant les raies parasites issues de l'échantillonnage d'un signal à 13 dBm.

III.4 Sélection numérique du canal et budget de puissance

Nous proposons d'ajouter aux tâches de l'étape de sélection du canal, la fonction de la suppression des raies parasites qui persistent après la reconstruction. Nous dimensionnons dans ce qui suit cet étage dans le cas de l'utilisation de l'échantillonnage uniforme et dans le cas de l'utilisation de l'échantillonnage TQ-JPRS afin de mesurer la différence de complexité dans chaque cas et le surcoût en termes de consommation de puissance.

III.4.1 Présentation de l'étage de sélection du canal

L'atténuation requise par le filtrage est celle qui permet de réduire le niveau du plus haut bloqueur à un niveau inférieur au niveau fixé par le niveau minimal de la puissance du signal à l'entrée de l'étage en bande de base et le SNR_{out} de chaque standard. Les niveaux des bloqueurs à l'entrée du filtre décimateur considèrent toutes les étapes de filtrage incluant le filtrage RF et le filtrage d'anti-repliement de l'étage en bande de base.

Les filtres utilisés sont les filtres numériques FIR et les filtres en peigne de Dirac (CIC, Cascaded-Integrator Comb). Plusieurs travaux proposent d'utiliser les filtres CIC au début de la structure de la sélection du canal grâce à leur complexité réduite. Présentant un cas particulier de filtres FIR dont tous les coefficients sont unitaires, les filtres CIC annulent l'étape de la multiplication habituellement existante dans les filtres numériques (14; 152).

A la sortie de l'ADC, le signal est sur-échantillonné. Il est donc essentiel de ramener le signal à son débit initial. Ainsi, la décimation est nécessaire afin de réduire la fréquence du signal vers la fréquence de Nyquist. L'ordre de la décimation correspond au facteur de l'OSR. Il peut donc avoir une grande valeur. Dans ce cas, le filtre numérique qui doit à la fois atténuer les bloqueurs et couper à la fréquence Nyquist pourrait avoir un ordre très important et donc une très forte complexité. Pour cela, il est nécessaire de considérer des filtres en cascade avec une succession d'étages de décimation.

La complexité d'un filtre FIR numérique est calculée selon le nombre de multiplications par seconde (MPS, Multiply Per Second). La métrique MPS dépend de l'ordre du filtre

numérique utilisé $N_{selection}$ et de la fréquence du signal f_s au passage par le filtre en question. La formule de la métrique MPS est donnée par l'Eq. III-8.

$$MPS = N_{selection} \times f_s \quad \text{Eq. III-8}$$

La fonction que nous attribuons au filtrage numérique dans le cas d'un échantillonnage TQ-JPRS est la suppression des raies parasites qui persistent après l'étape de reconstruction. Par conséquent, nous proposons dans ce qui suit de faire une comparaison entre la complexité de l'étage de sélection numérique avec l'utilisation de l'échantillonnage uniforme et l'utilisation de l'échantillonnage TQ-JPRS.

Le dimensionnement de l'étage en bande de base de l'architecture proposée dans la section III.1 fixe un OSR égal à 65, 16 et 15 respectivement pour les standards GSM, UMTS et IEEE 802.11.a dans le cas de l'échantillonnage uniforme. Ces valeurs sont de l'ordre de 17, 8 et 8 respectivement pour l'échantillonnage TQ-JPRS. La valeur de l'OSR offre la possibilité de faire la décomposition de l'étape de sélection du canal sous forme de plusieurs étapes. Le choix d'un OSR sous forme d'un entier premier, tel que pour le GSM dans le cas d'un échantillonnage TQ-JPRS, n'est donc pas optimal. Nous proposons donc de ramener la fréquence d'échantillonnage du GSM de 6.68 à 7.2 MHz faisant passer l'OSR de 17 à 18. Les possibilités de compositions du filtrage numérique ainsi que la complexité de l'étape de sélection du canal sont résumés par le Tableau III-22. Les résultats présentés considèrent l'échantillonnage uniforme.

Tableau III-22. Complexité de l'étage de sélection du canal en échantillonnage uniforme.

Standard	Étape de décimation	MPS
GSM	13× 5	318
	5× 13	1773
UMTS	8 × 2	345
	2 × 8	2181
	4 × 4	701
	4 × 2 × 2	445
	2 × 4 × 2	605
	2 × 2 × 4	875
	2 × 2 × 2 × 2	592
IEEE 802.11.a	7×2	1394
	2×7	7560

La structure optimisée de l'étage de sélection du canal dans le cas de l'échantillonnage uniforme est donnée par la Figure III-21.

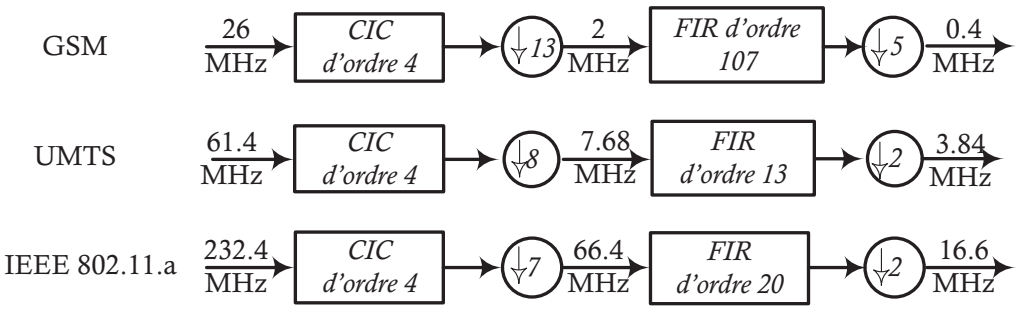


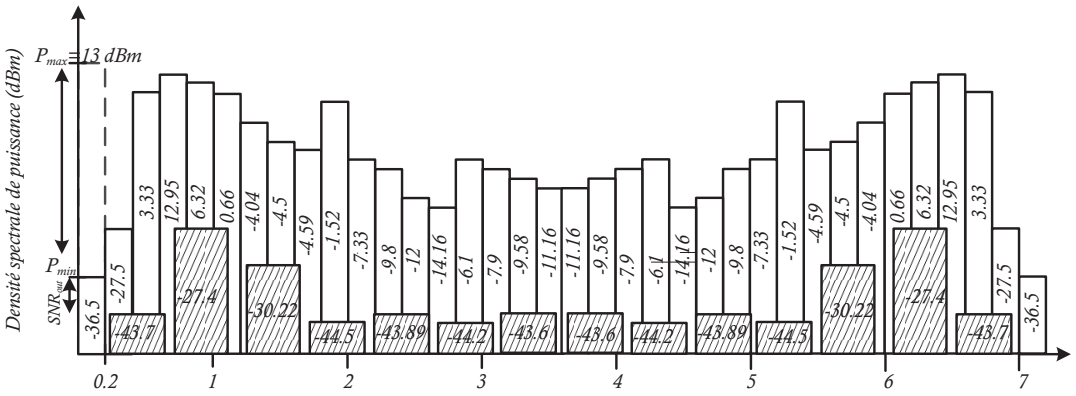
Figure III-21. Structure de l'étape de sélection du canal pour l'échantillonnage uniforme.

Nous proposons dans la sous-section suivante d'étudier l'étape de la sélection du canal en présence de l'échantillonnage TQ-JPRS et du problème du délai variable. Une comparaison entre la complexité des filtres en présence des raies et celle retrouvée lors de la considération de l'échantillonnage uniforme est nécessaire.

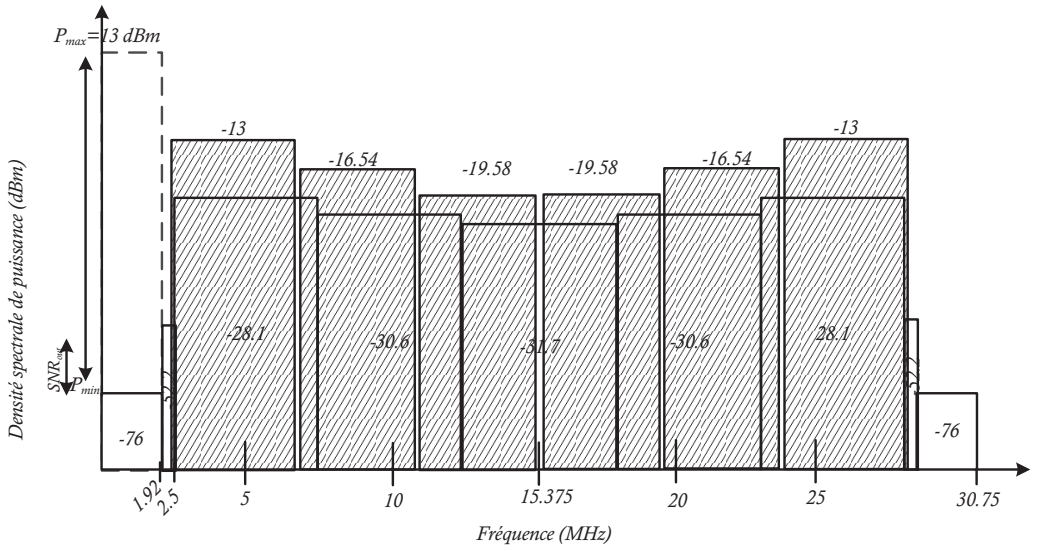
III.4.2 Étapes de sélection de canal et élimination des répliques

L'étape de reconstruction après l'échantillonnage TQ-JPRS mène à rétablir le signal comme dans le cas d'un échantillonnage uniforme. La présence du délai variable engendre la persistance des raies parasites. Nous étudions dans cette section la suppression des raies parasites en considérant le pire cas : les raies mesurées sont engendrées par un signal à pleine échelle. Ainsi, le profil des bloqueurs et des interférents à la sortie de l'ADC sont présentés par la Figure III-22. Étant donné que la puissance des bloqueurs ne change pas dans le cas de l'échantillonnage uniforme ou TQ-JPRS et afin d'avoir un graphe lisible, nous superposons le profil des bloqueurs en échantillonnage uniforme au résultat de l'échantillonnage TQ-JPRS d'un signal à 13 dBm (148).

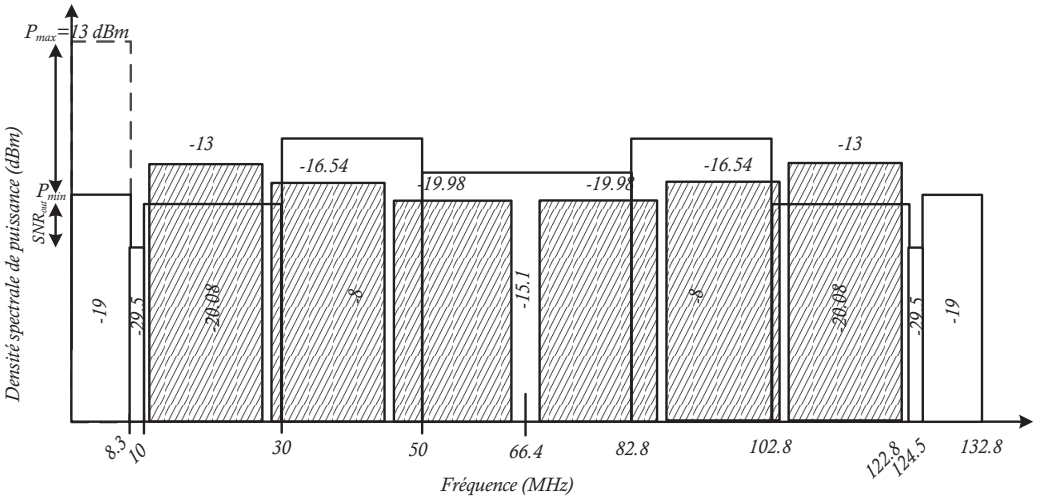
Le nombre et la puissance des raies parasites dépendent de la valeur du facteur de la quantification temporelle q. Ce paramètre est fixé par le dimensionnement à 16 pour le GSM et à 8 pour l'UMTS et l'IEEE 802.11.a. Les bloqueurs présentés sont à la sortie de l'ADC. Ils ont donc subi le filtrage anti-repliement et l'atténuation du TQ-JPRS puis la reconstruction spline cubique. L'utilisation de l'AGC au niveau de l'étage en bande de base pour le standard GSM a permis d'amplifier les bloqueurs. Par conséquent, les raies parasites engendrées par l'échantillonnage TQ-JPRS ont un niveau inférieur aux niveaux des bloqueurs et ne contribuent pas au dimensionnement de la sélection du canal.



(a) GSM



(b) UMTS



(c) IEEE 802.11.a

Raies parasites du signal échantillonné en TQ-JPRS

Bloqueurs dans le cas d'un échantillonnage uniforme

Figure III-22. Profil des bloqueurs et des interférents à la sortie de l'ADC en considérant un échantillonnage TQ-JPRS.

Pour les trois standards considérés, nous avons calculé la complexité de cet étage pour toutes les possibilités des structures de cascade comme présenté par le Tableau III-23. La structure choisie est la structure optimale en termes de MPS.

Tableau III-23. Complexité de l'étage de sélection du canal en échantillonnage TQ-JPRS.

Standard	Étape de décimation	MPS
GSM	9× 2	57
	2 × 9	712
	6 × 3	96
	3 × 6	326
	2 × 3 × 3	115
	3 × 2 × 3	99.6
	3 × 3 × 2	82.4
UMTS	4 × 2	268
	2 × 4	783
	2 × 2 × 2	376
IEEE 802.11.a	4 × 2	1261
	2 × 4	3585
	2 × 2 × 2	1427

Le premier étage de décimation est de facteur 9, 4, 4 respectivement pour le GSM l'UMTS et l'IEEE 802.11.a. Le filtre utilisé est de type CIC. Les détails de chaque étape de filtrage sont donnés par les Tableau III-24, Tableau III-25 et Tableau III-26 pour les standards GSM, UMTS et IEEE 802.11.a respectivement.

Tableau III-24. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard GSM.

Fréquence (MHz)	0	0.2	0.4	0.6	0.8	1	1.2	1.4
Filtre CIC d'ordre 6	-36.5	-32.82	-20.6	-51.1	-70.6	-76.3	-80.9	-75
Filtre FIR d'ordre 23	-36.5	-45.6	-45.6	-61.5	-76.1	-95.6	-101.3	-105.9

Tableau III-25. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard UMTS.

Fréquence (MHz)	0	1.92	**2.46**	2.5	**6.85**	7.5	**11.25**	12.5
Filtre CIC d'ordre 4	-76	-32.2	**-19**	-34.3	**-62.54**	-76.64	**-95.58**	-107.72
Filtre FIR d'ordre 19	-76	-58	**-58**	-73.3	**-101.5**	-115.6	**-134.5**	-146.7

Tableau III-26. Niveau des bloqueurs et des interférents en dBm à chaque étape de filtrage pour le standard IEEE 802.11.a.

Fréquence (MHz)	0	8.3	10	**10.67**	20	**20**	30	**29.64**	40	**48.6**	50
Filtre CIC d'ordre 4	-19	-29.5	-25.1	**-18.06**	-42.78	**-35.4**	-54	**-62.54**	-54	**-53.9**	-49.1
Filtre FIR d'ordre 22	-19	-53.6	-53.6	**-46.6**	-46.6	**-46.6**	-47	**-48.4**	-82	**-81.9**	-77.1

Les niveaux des raies parasites intervenant dans le dimensionnement de l'étage sélection numérique du canal sont signalés en caractère gras. Les étapes de sélection du canal en considérant l'échantillonnage uniforme puis l'échantillonnage TQ-JPRS sont réalisées à des fréquences différentes. Une comparaison de la complexité de ces deux étages est faite avec la métrique MPS. Cette comparaison est indiquée par le Tableau III-27.

Tableau III-27. Comparaison de la complexité de l'étage de sélection du canal pour l'échantillonnage uniforme et l'échantillonnage TQ-JPRS

	GSM		UMTS		IEEE 802.11.a	
	US	TQ-JPRS	US	TQ-JPRS	US	TQ-JPRS
MPS	318	57	345	268	1394	1261

Suite à la réduction de la fréquence d'échantillonnage par le TQ-JPRS, la complexité de l'étage de la sélection du canal a été réduite. Nous notons une réduction de l'ordre de 82, 22 et 23 % du MPS dans le cas du standard GSM, UMTS et IEEE 802.11.a. La suppression des raies parasites dans le cas de l'échantillonnage TQ-JPRS n'engendre pas de surcoût à cet étage. L'utilisation de l'AGC pour le GSM a permis d'omettre l'effet des raies parasites en les plaçant à une puissance nettement inférieure à celle des bloqueurs. Pour le cas de l'UMTS et de l'IEEE 802.11.a, l'utilisation d'une fréquence égale ou inférieure à la moitié de la fréquence d'échantillonnage uniforme a permis de gagner un peu moins du quart de la complexité de l'étage du filtrage numérique. Ce gain moyen est du à la présence des raies parasites qui engendrent des puissances très élevées par rapport aux bloqueurs.

Il convient ici de faire le point sur les avantages et les inconvénients de l'application du TQ-JPRS. Certes le TQ-JPRS permet de réduire l'ordre du filtre d'anti-repliement ou la fréquence d'échantillonnage de l'ADC ainsi que la complexité de l'étage en bande de base. Toutefois, son application dans une chaîne radio nécessite l'ajout d'une étape de reconstruction et l'ajout d'un générateur d'horloge pseudo-aléatoire. Il convient donc de faire le bilan de la consommation de puissance du récepteur en faisant une estimation de la consommation de chaque étape.

III.4.3 Analyse de la consommation de puissance de l'architecture proposée

L'architecture de la bande de base choisie adopte le convertisseur multistandard ADC 2 menant à l'utilisation de l'AGC pour le standard GSM. La sélection numérique optimale du canal se fait en deux étapes utilisant un filtre CIC suivi d'un filtre FIR. L'application du TQ-JPRS engendre l'utilisation du PDS et l'ajout de l'étape de reconstruction permettant d'arranger les échantillons uniformément dans le temps. L'architecture de l'étage en bande de base et de la partie post-numérisation ainsi que les spécifications de chaque composant sont présentées par la Figure III-23. Les spécifications de l'étape de la reconstruction seront expliquées ultérieurement.

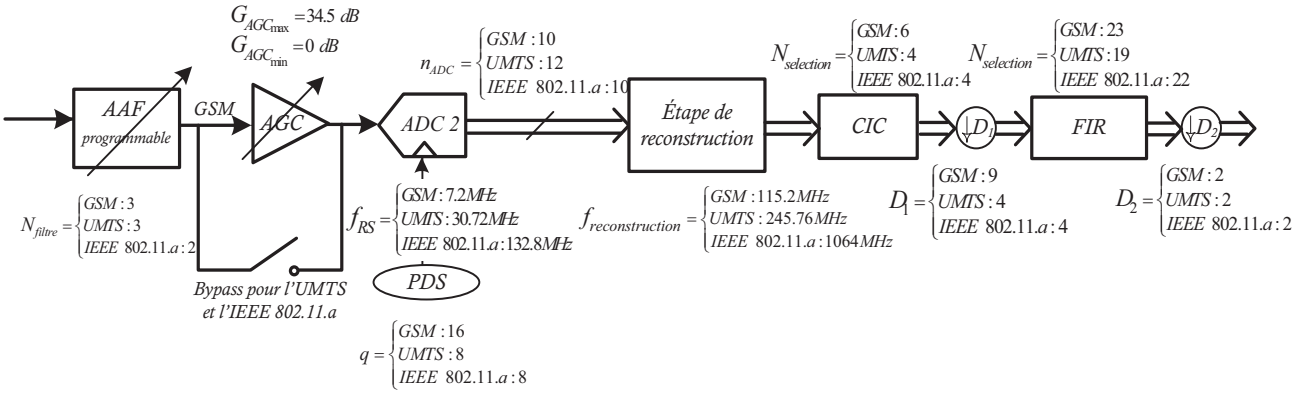


Figure III-23. Architecture et spécification de l'étage en bande de base et l'étage de la sélection numérique proposés.

Lors du dimensionnement de l'étage en bande de base, nous avons choisi un ADC sigma delta multistandard. Nous avons par cela supposé que cet ADC ne contient pas un bloc correcteur de l'horloge et peut fonctionner sans changer l'horloge pseudo-aléatoire. Le changement de la fréquence d'échantillonnage pour optimiser l'étape de la sélection numérique du canal sollicite la ré-estimation de la consommation de puissance de l'ADC en considérant l'Eq. III-4.

D'autre part, le générateur de l'horloge pseudo-aléatoire proposé dans la section III.3 n'est pas encore implémenté en ASIC. L'estimation de la consommation de puissance sur une cible FPGA n'est pas révélatrice de la vraie consommation de puissance du composant lors de son implémentation sur une technologie CMOS. Pour un facteur de quantification temporelle $q = 16$, nous nous contraignons à considérer le générateur de l'horloge pseudo-aléatoire PSS présenté en I.3.4 (26). Implémenté sur une cible FPGA cyclone EP2C35F672C6, considérant un facteur de quantification temporelle $q = 16$ et fonctionnant à une fréquence égale à 256 MHz, le PSS possède une consommation dynamique de l'ordre de 9.89 mW. Avec ce facteur de quantification, la fréquence maximale de fonctionnement du PSS est de 400 MHz menant à une fréquence moyenne maximale d'échantillonnage TQ-JPRS égale à 25 MHz (26). En ASIC, utilisant une technologie CMOS 65 nm, la fréquence maximale de fonctionnement s'élève à 3.2 GHz fournissant une fréquence moyenne maximale d'échantillonnage $f_{RS} = 200\ MHz$. A cette fréquence, la consommation de puissance passe à 286 µW. Pour le PDS, la consommation dynamique sur FPGA est de l'ordre de 4 mW pour une fréquence de fonctionnement égale à 360 MHz et un pas de quantification atteignant 32. Similairement au PSS, nous estimons une consommation de puissance de l'ordre de quelques µW dans le cas d'une implémentation ASIC. Pour la présente estimation de la consommation de puissance, nous utilisons une approximation de la consommation du PSS implémenté sur ASIC aux fréquences d'échantillonnage moyennes considérées.

En bande de base, deux étapes sont à considérer : l'étape de la reconstruction spline cubique et l'étape de la sélection du canal. L'étape de la reconstruction consiste à arranger d'une façon uniforme les échantillons pris pseudo-aléatoirement dans le temps.

Cette étape vient précisément après la numérisation du signal, Figure III-23, afin de ramener le traitement numérique du signal à une fréquence uniforme. Sachant que la distance temporelle entre les échantillons n'est pas constante mais est multiple du pas de quantification temporelle Δ, l'interpolation est cadencée sur la fréquence $f_{reconstruction} = f_{RS} \times q$. Une décimation par un facteur q permet de retrouver une fréquence d'échantillonnage uniforme dont la valeur est égale à f_{RS}. La fenêtre minimale d'observation de la reconstruction spline cubique permettant une bonne reconstruction est de l'ordre de 3 échantillons (127).

Dans (153), un algorithme de reconstruction spline cubique a été implémenté en technologie 90 nm. Ce circuit est utilisé dans un contexte médical. Il est synthétisé à une fréquence égale à 20 MHz. L'algorithme considère une fenêtre d'observation égale à 6 échantillons. Chaque échantillon est codé sur 8 bits. La consommation de puissance de ce circuit a été évaluée pour une fréquence moyenne d'échantillonnage égale à 1 MHz sur-échantillonnée par un facteur égal à 8. Ainsi, pour une interpolation cadencée à $f_{reconstruction} = 8\,MHz$, la consommation de puissance vaut 5.6 µW. Pour estimer cette consommation dans le cadre de notre architecture SDR, nous considérons que la consommation varie linéairement avec le nombre de bits des échantillons et avec la fréquence d'échantillonnage. Ainsi, la reconstruction de 10 bits à une fréquence $f_{reconstruction} = 8\,MHz$ consomme 7 µW. La reconstruction du signal GSM par exemple est évaluée à 100 µW.

La seconde étape en bande de base est la sélection du canal. La consommation de cette étape est réalisée par le modèle de la consommation des filtres numériques présenté par l'Eq. III-6. Une estimation de la consommation totale de l'étage en bande de base ainsi que le traitement numérique à postériori illustré par la Figure III-23 est donnée par le Tableau III-28.

Tableau III-28. Estimation de la consommation de puissance en mW de l'architecture de l'étage en bande de base proposée.

	GSM		UMTS		IEEE 802.11.a	
	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS
Bande de base	15.3	13.1	9.2	5.5	25.3	16.1
PSS (26)	-	0.01	-	0.043	-	0.19
Étape de reconstruction	-	0.1	-	0.258	-	0.929
Sélection du canal	0.075	0.012	0.071	0.039	0.338	0.258
Consommation de puissance	15.37	13.22	9.27	5.84	25.63	17.37

Au niveau de l'étage en bande de base, le TQ-JPRS permet de réduire la consommation de puissance totale pour tous les standards de l'ordre de 30 %. Cependant, l'application du TQ-JPRS amène l'utilisation de circuits additionnels à l'architecture à savoir le PSS et l'étape de la reconstruction. Ces circuits engendrent une dégradation sur le gain de la consommation de puissance. La somme de la consommation de puissance des trois standards en échantillonnage uniforme est de 50 mW. L'application du TQ-JPRS avec ces

circuits additionnels conduit à une consommation globale de l'ordre de 36.4 mW soit alors un gain net de 27.5 % de la consommation de l'étage en bande de base.

Les travaux de recherche se focalisent sur l'application du TQ-JPRS au niveau de l'ADC afin de réduire la consommation de l'étage en bande de base. On se propose de plus de situer notre travail et le gain de la consommation obtenu par rapport à la consommation totale du circuit du récepteur SDR.

Afin de pouvoir estimer la consommation de puissance du circuit nous proposons de donner la valeur de la consommation des composants proposés en littérature répondant aux spécifications des standards. Comme présenté au niveau du premier chapitre, les filtres RF ne sont pas intégrables et n'appartiennent donc pas au récepteur. En plus, d'après la littérature, un LNA multi-bande et un mélangeur large bande qui permettent de réaliser le fonctionnement requis et répondent aux spécifications des standards n'existent pas. Pour cela, nous proposons de sélectionner pour chaque standard le composant qui répond aux spécifications afin d'estimer sa consommation de puissance et de mesurer ainsi l'apport du TQ-JPRS. Le Tableau III-29 énumère la consommation de chaque composant de l'étage RF.

Tableau III-29. Apport de l'application du TQ-JPRS sur la consommation de puissance en mW du récepteur SDR proposé.

	GSM		UMTS		IEEE 802.11.a	
	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS	Uniforme	TQ-JPRS
Commutateur RF (154)	0.025					
LNA (155; 50; 55)	3.75		3.6		9.2	
Mélangeur (155; 61)	3.75		7.2		3.75	
Oscillateur (156)	6					
Bande de base + traitement numérique	15.37	13.22	9.27	5.84	25.3	16.1
Consommation globale du récepteur	28.395	26.245	26.095	22.66	44.275	35.075

La consommation de puissance des circuits analogiques de l'étage RF ont fait augmenter la valeur totale de la consommation de puissance. La puissance globale utilisée par le récepteur pour traiter les signaux des trois standards s'élève à 98.7 mW dans le cas de l'échantillonnage uniforme et à 84 mW dans le cas de l'utilisation du TQ-JPRS.

L'apport de l'application du TQ-JPRS ne se restreint donc pas à réduire de 27.5 % la consommation de l'étage en bande de base, mais à apporter aussi une réduction de l'ordre de 15 % sur la consommation globale de l'architecture du récepteur SDR proposé.

Conclusion

Dans ce chapitre, nous avons présenté l'architecture du récepteur radio multistandard hybride Homodyne/Low-IF à échantillonnage pseudo-aléatoire et supportant les standards GSM, UMTS et IEEE 802.11 a. L'application du TQ-JPRS sur l'architecture peut avoir lieu soit au niveau du filtre anti-repliement soit au niveau du convertisseur analogique numérique. Dans le premier cas, le dimensionnement de l'architecture a montré une petite réduction de l'ordre du filtre AAF programmable engendrant une réduction maximale de 5% de la consommation de puissance de l'étage en bande de base. Cependant, l'application du TQ-JPRS au niveau de l'ADC, a réussi à réduire la fréquence d'échantillonnage par un facteur de 4. Par conséquent la consommation de puissance de l'étage en bande de base a été réduite par 30% par rapport à la consommation en présence d'un échantillonnage uniforme.

L'optimisation de la consommation de puissance lors du dimensionnement de l'étage en bande de base a mis l'accent sur l'importance d'échantillonner les signaux des différents standards avec différents facteurs de quantification temporelle. La mise en œuvre d'un générateur d'horloge pseudo-aléatoire programmable, le PDS, pouvant fournir une horloge avec un pas de quantification égal à 8, 16 et 32 a été présentée. L'implémentation matérielle est réalisée par une plateforme de test englobant un ADC full-flash et utilisant une carte FPGA sur laquelle le PDS est implémenté. Les acquisitions effectuées ont mis l'accent sur la présence de raies parasites qui persistent même après la reconstruction du signal. Ces raies pourraient parvenir de la non-compatibilité de l'ADC employé avec l'horloge pseudo-aléatoire. En effet, l'utilisation d'une telle horloge, donne naissance à un délai variable faussant ainsi les instants de reconstruction. Nous avons donc utilisé l'étage de la sélection numérique du canal afin d'enlever ces raies persistantes. Ce traitement doit s'ajouter à la nécessaire réduction des raies parasites tombant sur le signal utile par l'augmentation de l'ordre du filtre anti-repliement d'un pole. L'étude menée considère le cas d'un signal à 13 dBm échantillonné en TQ-JPRS et amenant donc les raies parasites les plus puissantes. Cette étude a montré que, malgré la présence des raies parasites, la complexité de cet étage a diminué de 82, 22 et 23 % pour les standards GSM, UMTS et IEEE 802.11.a respectivement. Cette réduction est due essentiellement à la diminution de la fréquence d'échantillonnage. Le gain net de la consommation de puissance de l'étage en bande de base tenant en compte la présence des circuits de génération de l'horloge pseudo-aléatoire et de l'implémentation matérielle de l'algorithme de la reconstruction est évalué à 27.5 %.

Conclusion générale

Le thème des travaux de recherche présentés dans ce rapport porte sur la réduction des contraintes et de la consommation de puissance des composants de l'étage en bande de base d'une architecture de réception radio multistandard. Ceci prend origine de l'application de l'échantillonnage aléatoire et pseudo-aléatoire à temps quantifié au niveau de la conversion analogique numérique.

En effet, un état de l'art au niveau du premier chapitre nous a permis de conclure que la considération de différents standards de communication dans une architecture SDR mène à de fortes exigences requises par les composants de l'étage radio fréquence et de l'étage en bande de base. Au niveau de l'étage radio fréquence, nous avons montré l'existence de composants qui répondent aux spécifications des standards. Des solutions de conception adoptées en littérature sont aussi présentées pour faire face aux limitations technologiques des composants. Pour l'étage en bande de base, les circuits multistandards programmables proposés permettent dans certain cas de répondre aux exigences des standards de communication sous contrainte d'une forte consommation de puissance ou grande surface d'implémentation. Cet état de l'art a montré que le composant qui présente la consommation de puissance la plus élevée et les contraintes les plus sévères en termes de plage dynamique est l'ADC. Nous nous sommes donc proposé d'appliquer le TQ-JPRS à ce niveau de l'étage en bande de base.

Les contributions de ces travaux de recherche se fondent en trois parties. La première est théorique proposant une démonstration mathématique de la capacité du TQ-JRS et du TQ-JPRS à réduire le repliement spectral. La première contribution est donc de fournir une formulation analytique donnant l'allure du spectre en sortie d'un échantillonnage TQ-JRS et TQ-JPRS. La formulation théorique englobe une discussion sur le choix de la densité de probabilité adoptée pour le TQ-JRS. La quantification de l'axe temporel mène à une modification de la formule de la densité de probabilité amenant la distribution du temps continu vers une distribution discrète. Le traçage de la formulation analytique de l'estimée de la transformée de Fourier d'un signal échantillonné en TQ-JRS montre bien la réduction des répliques. Pour le cas du TQ-JPRS, l'apparition des instants d'échantillonnage suivent une certaine séquence qui se répète dans le temps. Le calcul de la transformée de Fourier d'un signal échantillonné en TQ-JPRS révèle la réduction de la réplique en présence de raies apparaissant tout au long du spectre. La formulation analytique ainsi que les simulations montrent que l'atténuation du TQ-JPRS dépend du facteur de la quantification temporelle q commandant le nombre des raies et par la suite la quantité de puissance de la réplique qui a été distribuée aux

raies. L'atténuation des répliques a été mesurée par la formulation analytique et validée par simulation dans le cas de la considération d'un échantillonnage ou d'un échantillonnage *S&H*. Le pouvoir de l'atténuation des répliques est mesuré pour un signal sinusoïdal puis validé ultérieurement pour un signal modulé GMSK et OFDM.

La deuxième partie des travaux est réalisée au niveau système. Elle consiste premièrement à proposer une architecture hybride homodyne/low-IF basée sur l'échantillonnage TQ-JPRS et traitant les signaux des standards GSM, UMTS et IEEE 802.11.a. Nous avons choisi lors de cette étude système, de considérer des ADCs multistandards opérant en échantillonnage uniforme et pouvant traiter les standards considérés. A partir des performances des trois ADCs choisis, nous avons considérer trois configuration de l'étage en bande de base sur lesquels nous avons utilisé l'échantillonnage TQ-JPRS. La deuxième contribution est la présentation de l'apport du TQ-JPRS appliqué au niveau de l'ADC. Le dimensionnement de l'étage en bande de base a permis de montrer que le TQ-JPRS permet soit la réduction de l'ordre du filtre d'anti-repliement soit la réduction de la fréquence d'échantillonnage de l'ADC. Cette étude a montré que, étant le composant le plus consommateur de puissance, l'application du TQ-JPRS au niveau de l'ADC pour but de réduire sa fréquence d'échantillonnage, a permis un gain de la consommation de puissance atteignant 30 % de la consommation de l'étage en bande de base.

La troisième contribution de ces travaux de recherche considère le volet implémentation matérielle. Une plateforme de test a été mise à jour et ce en utilisant un ADC full-flash et en proposant une nouvelle mise en œuvre de l'échantillonnage TQ-JPRS. Le dimensionnement système établi a montré que l'utilisation optimale de l'échantillonnage TQ-JPRS nécessite la génération d'une horloge pseudo-aléatoire qui considère un pas de quantification temporelle différent pour chaque standard. Notre contribution à ce niveau est de proposer un générateur d'horloge pseudo-aléatoire programmable, le PDS, pouvant fournir une horloge en sortie avec un pas de quantifiaction $q = 8, 16\ et\ 32$. Les acquisitions réalisées en utilisant la plateforme de test ont souligné l'existence d'un délai variable pouvant parvenir d'une incompatibilité de l'ADC full-flash utilisé à fonctionner convenablement en présence d'une horloge pseudo-aléatoire. Ce délai engendre l'apparition de raies parasites que nous avons réussi à éliminer grâce à l'étage de la sélection numérique du canal. Malgré la présence des raies parasites, la complexité de l'étage de la sélection numérique du signal a été réduite de 23 à 82 % et ceci grâce à la réduction de la fréquence de l'échantillonnage de l'ADC.

L'application du TQ-JPRS mène à l'utilisation du générateur PDS, à la considération d'une étape de reconstruction permettant d'arranger les échantillons uniformément dans le temps et au redimensionnement de l'étage de sélection numérique du canal. Ces étapes supplémentaires ramènent le gain brut de la consommation de puissance de l'étage en bande de base de 30% à un gain net égal à 27.5 %.

Les résultats prometteurs de l'estimation de la consommation de puissance de l'étage en bande de base en présence du TQ-JPRS, encourage à pousser les études et l'utilisation du TQ-JPRS vers d'autres perspectives. Une possibilité est de porter l'utilisation de l'échantillonnage TQ-JPRS à l'étage IF ou RF. Lors de la considération d'une architecture à échantillonnage, le TQ-JPRS pourrait substituer le sous-échantillonnage uniforme et permettre ainsi la transposition de la fréquence d'échantillonnage tout en réduisant les répliques. L'étude de faisabilité de cette méthode a été déjà élaborée au niveau du deuxième chapitre. L'étude réalisée a révélé la possibilité de l'utilisation du TQ-JPRS en sous-échantillonnage sous certaines conditions portant sur le choix de la fréquence d'échantillonnage moyenne.

Les résultats de la considération de l'échantillonnage TQ-JPRS permettent une bonne optimisation de la consommation de puissance du récepteur. Cette consommation pourrait s'améliorer au plus dans le cas de l'élimination du délai variable. L'utilisation d'un ADC dédié à l'échantillonnage pseudo-aléatoire pourrait réduire la complexité de l'étage numérique et par conséquent sa consommation de puissance. L'utilisation d'un ADC à passage à niveau (Level Crossing ADC) pourrait permettre une meilleure gestion du caractère non uniforme de l'échantillonnage. L'utilisation de ce convertisseur semble être avantageuse sous réserve de respecter une distribution adéquate des instants d'échantillonnage. Une autre alternative est de concevoir un ADC fonctionnel avec une horloge pseudo-aléatoire. Un tel ADC doit faire face à l'apparition d'un éventuel délai variable qui pourrait avoir lieu lors des traversées des portes et des bascules à des fréquences différentes. Ce délai pourrait donc être majoré à une valeur fixe qui ne fausse pas l'étape de reconstruction comme démontré dans le troisième chapitre.

Par ailleurs, les études menées et le dimensionnement réalisé dans le cadre de cette thèse considère un traitement de signal sur une seule voie au niveau du récepteur. En effet, une étude portant sur le problème du dés-appariement entre les voies I et Q devrait identifier l'effet de l'erreur de phase engendrée sur la sortie de l'ADC après échantillonnage TQ-JPRS. La présence éventuelle d'une gigue de l'horloge pseudo-aléatoire pourrait entrainer une erreur sur la reconstruction du signal et mener ainsi à l'apparition de nouvelles raies parasites. Cette étude est d'autant intéressante pour la numérisation des signaux que pour la transposition de fréquence.

Annexe A. Présentation des architectures des ADCS et comparaison de leurs performances

A. 1 Architectures des convertisseurs analogique numérique

A. 1.1 Architecture Flash

Le convertisseur Flash est caractérisé par sa capacité à assurer une conversion analogique numérique à une grande fréquence. Son principe de fonctionnement est relativement simple. Il s'agit de comparer la valeur de l'entrée à un ensemble de valeurs de références. Le résultat de comparaison sera le codage de la valeur de l'échantillon. Les références utilisées sont le résultat du passage d'une tension référence par une multitude de résistances identiques en série. Un exemple d'architecture d'un ADC Flash est donné par la Figure A-1.

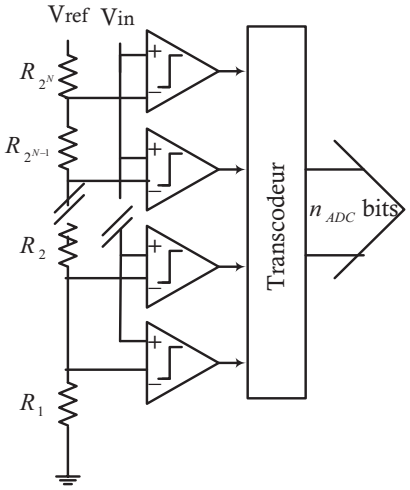


Figure A-1. Architecture d'un ADC Flash.

Pour un ADC à n_{ADC} bits, $2^{n_{ADC}}$ résistances et $2^{n_{ADC}} - 1$ comparateurs sont nécessaires. Ainsi, un mot binaire à $2^{n_{ADC}} - 1$ bits est obtenu à l'entrée du codeur. Puis ce mot est codé en binaire pour obtenir la valeur numérique de l'échantillon avec n_{ADC} bits.

A. 1.2 Architecture sigma delta

Le fonctionnement des convertisseurs de type ΣΔ se base sur la considération du sur-échantillonnage. Le bruit est étalé grâce à l'utilisation d'une fréquence d'échantillonnage bien plus grande que celle de Nyquist. Ainsi, le niveau du bruit de quantification est diminué dans la bande utile. L'utilisation d'un modulateur ΣΔ permet en plus de mettre en forme le bruit de quantification en le repoussant en dehors de la bande du signal. Un exemple d'architecture ΣΔ est proposé dans la Figure A-2.

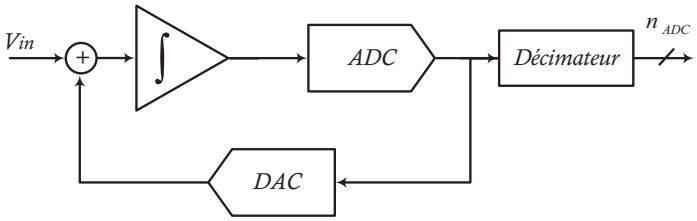


Figure A-2. Architecture simplifiée d'un ADC ΣΔ.

Un ADC à très faible résolution, souvent un comparateur, est utilisé afin de coder la différence entre deux échantillons successifs. Un intégrateur a pour rôle de reconstruire le signal. Ce type de convertisseur est de très faible résolution ne dépassant pas les 4 bits. Toutefois, sa résolution est augmentée d'une manière indirecte par l'effet du sur-échantillonnage et de la modulation ΣΔ. La vitesse d'échantillonnage est grande. Un filtre décimateur est utilisé en aval afin de réduire la fréquence et restituer la résolution finale. Ce type d'ADC permet à la fois d'avoir un bon SNDR à la sortie mais la bande traitée est limitée à cause du sur-échantillonnage.

A. 1.3 Architecture pipeline

Dans l'architecture pipeline, la conversion se fait en plusieurs étages mis en cascade. Chaque étage effectue une partie de la conversion du signal. Chaque étage est constitué par un circuit E/B, un ADC à faible résolution flash et un convertisseur numérique analogique (DAC, Digital to Analog Converter) à faible résolution et circuit de soustraction. A chaque inter-étage, une amplification du signal est réalisée. Un exemple d'architecture d'un ADC pipeline à 16 bits est donné par la Figure A-3 (157).

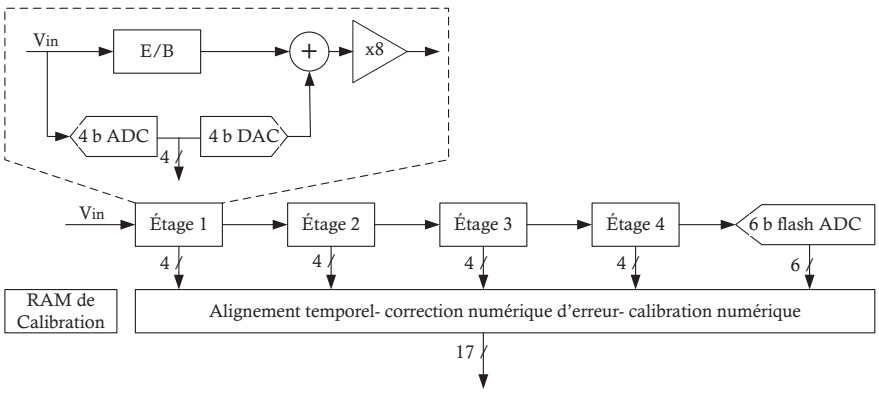


Figure A-3. Architecture de l'ADC pipeline.

La tension en entrée est échantillonnée et bloquée pendant une demi période par le circuit E/B. Un ADC à faible résolution numérise la valeur de la tension. Cette valeur est à la fois enregistrée dans une mémoire et reconvertie en analogique par le DAC. La valeur en sortie du DAC est soustraite de la tension de départ. Le reste de la soustraction est amplifié par un amplificateur inter-étage de gain 2^{k-1}, k étant la résolution de l'ADC et du DAC de chaque étage de l'ADC pipeline. A cause de la non-concordance temporelle des bits des 4 étages de conversion, un bloc d'alignement temporel et de correction d'erreur est utilisé. Chaque étage donne en sortie 4 bits dont le dernier chevauche en temps avec le premier bit de l'étage qui le succède. Ainsi, seuls 3 bits des étages sont valables. Pour la même raison, seuls 5 bits de l'ADC full-flash sont considérés. La sortie comporte 17 bits dont un est écarté. La résolution finale est donc de 16 bits.

Du fait que chaque étage assure une partie de la conversion, un certain retard valant autant de fois que de nombre d'étage est considéré au début de la conversion. Ensuite, à chaque coup d'horloge, une nouvelle valeur numérique du signal est récupérée. Ce type de convertisseur présente un bon compromis entre vitesse et résolution de la conversion.

A. 1.4 Architecture à approximations successives

La numérisation d'un signal par un ADC à approximation successives (SAR, Successive Approximation Register) se fait, comme le nom l'indique, par un ensemble d'approximations à travers un algorithme de recherche d'un mot binaire dont la valeur analogique équivalente s'approche au plus près de la valeur analogique d'entrée. L'architecture de l'ADC SAR est donnée par la Figure A-4 (158).

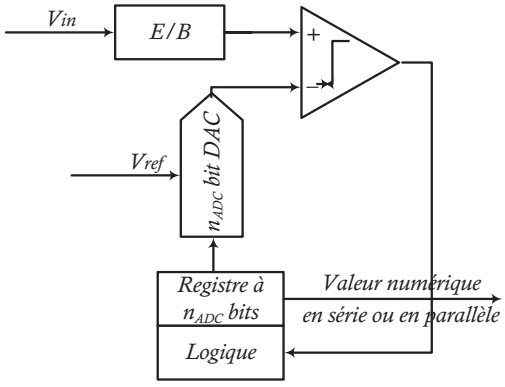


Figure A-4. Architecture de l'ADC SAR.

Le registre à n_{ADC} bits est initialisé de façon à positionner le DAC à n_{ADC} bits à la moitié de la valeur d'une tension de référence V_{ref}. Son bit le plus significatif (MSB, Most Significant bit) est mis à un, tous les autres bits à 0. La tension en entrée V_{in} est échantillonnée par un circuit E/B. La valeur de l'échantillon est comparée à la valeur en sortie de l'ADC. Si V_{in} est supérieure à V_{ref}, le comparateur aura en sortie un 1 logique. Le registre garde la valeur 1 de son bit MSB. Dans le cas contraire, le comparateur donne 0 en sortie et le registre positionne son bit MSB à 0. Le registre passe au bit suivant dans

l'ordre des poids décroissants en le positionnant à 1. Le même processus déterminera si le bit sera gardé à 1 ou écrasé à 0. A la fin du traitement par l'ADC SAR à n_{ADC} bits, la valeur numérique de l'échantillon est gardée dans le registre.

Le convertisseur SAR est l'architecture utilisée pour une application nécessitant une résolution assez grande avec une bande du signal d'entrée moyenne.

A. 2 Comparaison entre les architectures

Un état de l'art a été établi en (7). Nous nous proposons dans ce qui suit de voir l'évolution des paramètres de l'ADC en fonction de son architecture. Nous commençons par voir, à travers le graphe de la Figure A-5, l'évolution de la fréquence d'échantillonnage en fonction de la date de réalisation. Cette évolution traduit le besoin croissant de numériser un signal à une plus forte cadence. Cette évolution fait tendre la radio logicielle restreinte vers la radio logicielle en faisant augmenter la fréquence d'échantillonnage afin de s'approcher petit à petit de la fréquence RF. Des architectures récentes d'ADC permettent d'atteindre une fréquence d'échantillonnage de l'ordre de quelques dizaines de GHz. Un état de l'art des convertisseurs est disponible dans (7). Les graphes que nous illustrons présentent la valeur moyenne des performances pris en considération.

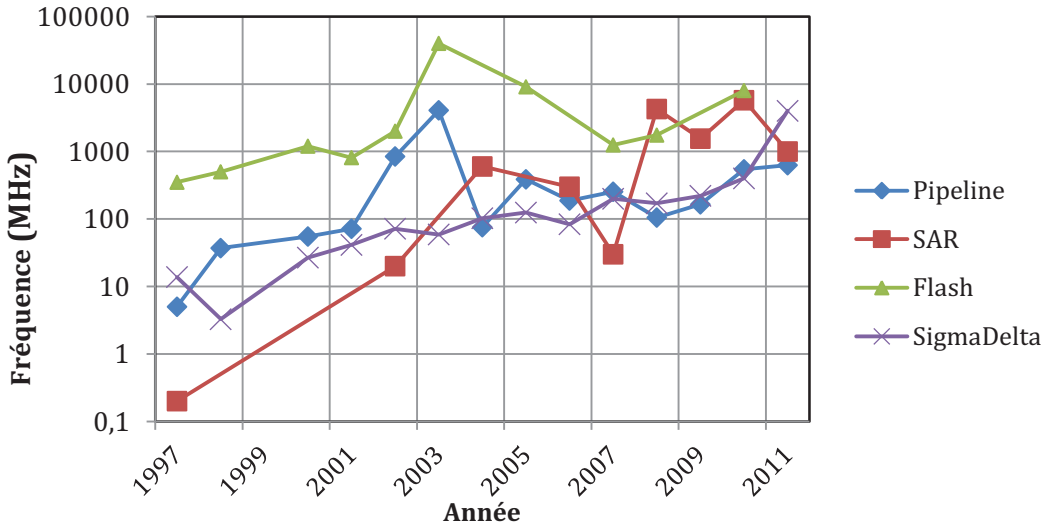


Figure A-5. Évolution de la fréquence d'échantillonnage au fil des années.

La distribution des architectures montrent bien que l'ADC Flash est le convertisseur à fréquence d'échantillonnage la plus élevée. Cependant, ce type d'architecture n'est pas adaptée aux hautes résolutions à cause de sa grande consommation de puissance comparée aux autres architectures. Le convertisseur Flash sert de quantificateur élémentaire dans les architectures ΣΔ et Pipeline. La Figure A-6 montre bien l'emplacement avancé des ADCs Flash en termes de fréquence et de consommation de puissance. Les ADCs pipeline et ΣΔ occupent le centre du graphe présentant ainsi un bon

compromis entre fréquence et consommation. Quant aux ADCs SAR, la relation entre fréquence d'échantillonnage et consommation de puissance semble être linéaire.

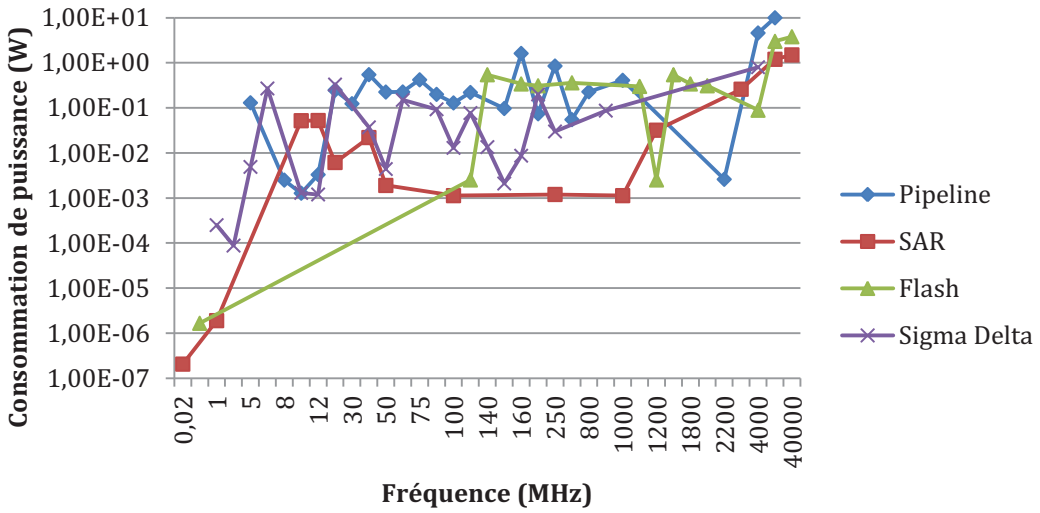


Figure A-6. Relation entre fréquence et consommation de puissance de différents types d'ADC.

A cause de l'augmentation exponentielle de la consommation de puissance en fonction de la résolution, les ADCs Flash se limitent à une résolution de 6 à 8 bits. Les ADCs SAR et pipeline sont utilisés le plus avec une résolution supérieure à 6 bits. Ces ADCs peuvent monter en fréquence. Toutefois, la fréquence d'échantillonnage décroît avec la résolution à cause de la complexité accrue de l'architecture de l'ADC à grande résolution et de la limitation de ses composants. La Figure A-7 montre la distribution des différentes architectures ADCs selon leurs résolutions et leurs fréquences d'échantillonnage.

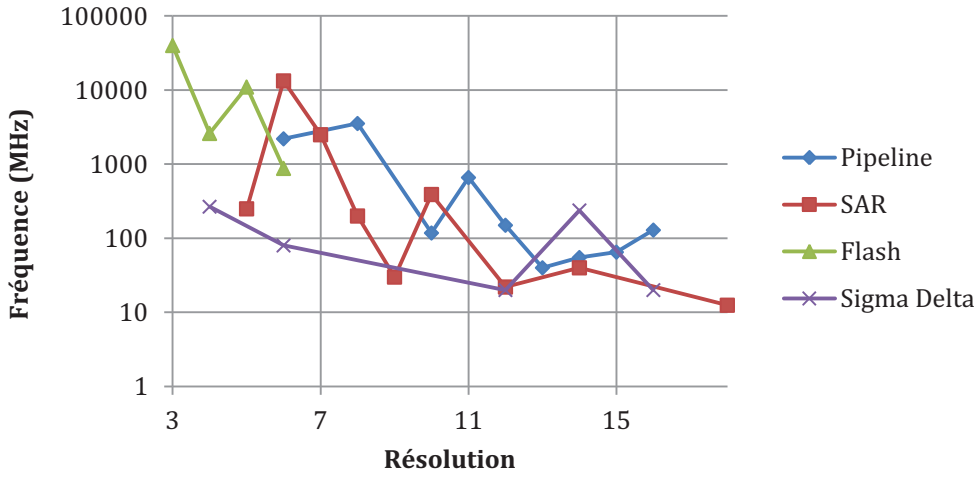


Figure A-7. Résolution des ADCs en fonction de la fréquence d'échantillonnage.

La qualité du spectre en sortie de l'ADC est mesurée par le SNDR. Cette valeur est autant grande que la bande passante est étroite. En effet, pour un signal à large bande, plus de bruit de quantification vient se positionner au niveau de la bande utile. Chaque type d'ADC traite le signal différemment et ceci a un impact direct sur le SNDR comme le montre la Figure A-8.

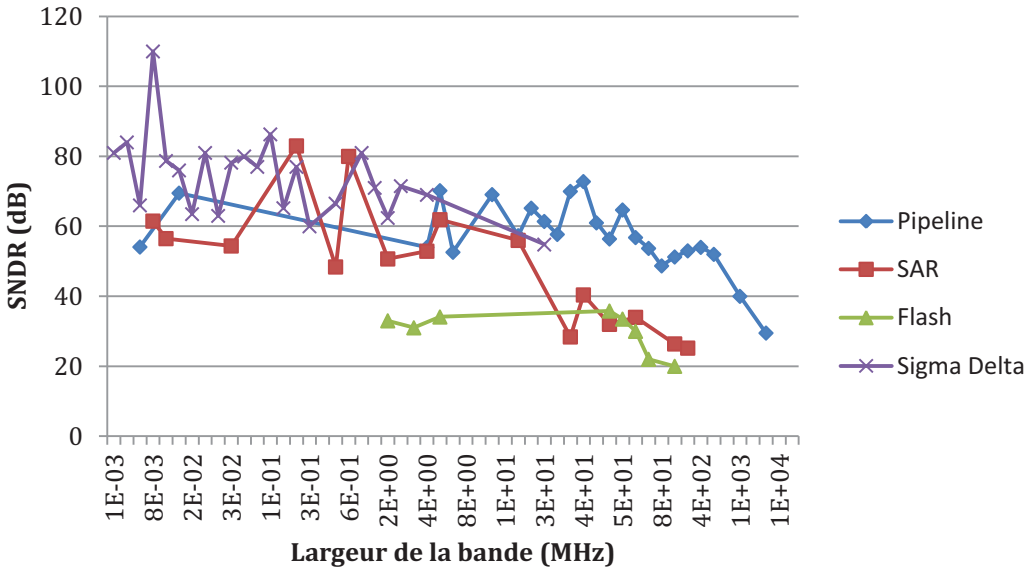


Figure A-8. Qualité du signal numérisé en fonction de sa largeur de bande utile.

Les convertisseurs ΣΔ présentent le SNDR le plus élevé surtout pour des signaux à bande étroite à moyennement large. Cette qualité du SNDR provient du sur-échantillonnage effectué par l'ADC ΣΔ et de la modulation ΣΔ qui pousse le bruit vers une fréquence en dehors de la bande passante. Cette méthodologie n'est adéquate que une limite de la bande passante du signal. Le modulateur ΣΔ ne parvient pas à pousser le bruit hors la bande large du signal. Ainsi, le SNDR diminue. Par contre, les ADCs Flash présentent un SNDR en sortie de faible valeur. Ceci est dû à la présence d'un grand nombre de résistances fournissant ainsi des parasites influant sur la qualité du signal numérisé.

Annexe B. Estimée de la transformée de Fourier d'un signal échantillonné en TQ-JRS

Nous considérons un signal continu $x(t)$ et sa représentation discrète $x_{s,q}(t)$ après échantillonnage TQ-JRS. $x_{s,q}(t)$ est calculée à partir de l'application du peigne de Dirac aux instants quantifiés d'échantillonnage aléatoire $t_{k,q}$. La représentation discrète $x_{s,q}(t)$ est donnée par l'équation Eq.B. 1.

$$\begin{aligned} x_{s,q}(t) &= x(t) \sum_{k=-\infty}^{+\infty} \delta\left(t - t_{k,q}\right) \\ &= x(t) \sum_{k=-\infty}^{+\infty} \delta\left(t - kT_{\mathrm{RS}} - \tau_{k,q}\right) \\ &= x(t) \sum_{k=-\infty}^{+\infty} s\left(t, t_{k,q}\right) \\ &= x(t) s_q(t) \end{aligned} \qquad \textbf{Eq.B. 1}$$

Nous notons par $s_q(t) = \sum_k s\left(t, t_{k,q}\right)$ la fonction d'échantillonnage TQ-JRS. Cette fonction dépend des variables aléatoires $\tau_{k,q}$ et doit donc être estimée afin d'avoir ultérieurement une bonne évaluation des échantillons aléatoires. L'estimateur considéré dans cette étude est l'espérance.

On considère donc $\mathcal{T} = \{t_k, k \in \mathbb{Z}\}$ une variable aléatoire discrète de dimension infinie définie sur l'espace probabilisé $(W^\infty, \mathbb{R}^\infty, P^\infty)$ et de probabilité $\{p_k(x), k \in \mathbb{Z}\}$. L'espace W^∞ est défini par l'équation Eq.B. 2.

$$W^\infty = \cdots \times W_0 \times W_1 \times W_2 \times \cdots \times W_i \times \cdots, \qquad W_i = \mathbb{R}, \forall i \in \mathbb{Z} \qquad \textbf{Eq.B. 2}$$

Définition : L'espérance mathématique d'une variable aléatoire discrète de dimension infinie $X = \{x_k, k \in \mathbb{Z}\}$ définie sur l'espace probabilisé $(W^\infty, \mathbb{R}^\infty, P^\infty)$ est présentée par l'équation Eq.B. 3.

$$E[X] = \sum_{k=-\infty}^{+\infty} x_k p_k(x_k) \qquad \textbf{Eq.B. 3}$$

Par analogie à la variable aléatoire utilisée dans notre cas, l'estimée $\widehat{s_q}(t)$ de la fonction d'échantillonnage $s_q(t)$ est donnée par l'équation Eq.B. 4.

$$\begin{aligned}\widehat{s_q}(t) &= \sum_{k=-\infty}^{+\infty} \delta\left(t - kT_{RS} - \tau_{k,q}\right) p\left(\tau_{k,q}\right) \\ &= \sum_{k=-\infty}^{+\infty} p(t - kT_{RS})\end{aligned} \qquad \textbf{Eq.B. 4}$$

Revenons au signal échantillonné $x_{s,q}(t) = x(t)s_q(t)$, l'estimation de $x_{s,q}(t)$ est calculée selon l'équation Eq.B. 5.

$$\begin{aligned}\widehat{x_{s,q}}(t) &= x(t)\widehat{s_q}(t) \\ &= x(t) \sum_{k=-\infty}^{+\infty} p(t - kT_{RS})\end{aligned} \qquad \textbf{Eq.B. 5}$$

Sachant que nous considérons que le premier échantillon est déterministe et qu'il est pris à l'instant $t_0 = 0$, ainsi $p(t) = \delta(t)$. L'estimation du signal discret $\hat{x}_{s,q}(t)$ peut finalement être présentée par l'équation Eq.B. 6.

$$\hat{x}_{s,q}(t) = x(t)\left[\delta(t) + \sum_{\substack{k=-\infty \\ k\neq 0}}^{+\infty} p(t - kT_{RS})\right] \qquad \textbf{Eq.B. 6}$$

En passant au domaine fréquentiel par la transformée de Fourier $TF[\,]$, nous pouvons estimer directement $TF\left[\widehat{x_{s,q}}(t)\right] = \hat{X}_{s,q}(f)$.

$$\hat{X}_{s,q}(f) = X(f) \circledast TF\left[\delta(t) + \sum_{\substack{k=-\infty \\ k\neq 0}}^{+\infty} p(t - kT_{RS})\right] \qquad \textbf{Eq.B. 7}$$

Calculons à ce niveau la transformée de Fourier de la densité de probabilité $p(t - kT_{RS})$ comme présenté dans l'équation Eq.B. 8.

$$\begin{aligned}TF[p(t - kT_{RS})] &= \int_{-\infty}^{+\infty} p(t - kT_{RS})\, e^{-2j\pi fkt}\, dt \\ &= e^{-2j\pi fkT_{RS}}\, TF[p(t)] \\ &= e^{-2j\pi fkT_{RS}}\, \Phi(-f)\end{aligned} \qquad \textbf{Eq.B. 8}$$

Sachant Eq.B. 7, l'équation Eq.B. 8 s'écrit sous la forme donnée par l'équation Eq.B. 9.

$$\hat{X}_{s,q}(f) = X(f) \circledast \left[1 + \Phi(-f) \sum_{\substack{k=-\infty \\ k\neq 0}}^{+\infty} e^{-2j\pi f k T_{RS}} \right] \qquad \textbf{Eq.B. 9}$$

Cette équation peut s'écrire autrement en utilisant le théorème de Poisson comme présenté par l'équation Eq.B. 10.

$$\hat{X}_{s,q}(f) = X(f) \circledast \left[1 - \Phi(-f) + \frac{1}{T_{RS}} \Phi(-f) \sum_{k=-\infty}^{+\infty} \delta\left(f - \frac{k}{T_{RS}} \right) \right] \qquad \textbf{Eq.B. 10}$$

En utilisant la fonction caractéristique de la distribution de probabilité de l'échantillonnage TQ-JRS donné à Eq. II-8, nous définissons l'estimation de la transformée de Fourier d'un signal $x(t)$ échantillonné en TQ-JRS par l'équation Eq.B. 11.

$$\begin{aligned} \hat{X}_{s,q}(f) = X(f) \circledast \left[\left(1 - e^{-j\pi f (T_{RS} - \Delta)} sinc(\pi f T_{RS}) \right) \right] \\ + \frac{1}{T_{RS}} e^{-j\pi f (T_{RS} - \Delta)} sinc(\pi f T_{RS}) \sum_{k=-\infty}^{k=+\infty} X\left(f - \frac{k}{T_{RS}} \right) \end{aligned} \qquad \textbf{Eq.B. 11}$$

Annexe C. Formulation analytique de la transformée de Fourier d'un signal échantillonné en TQ-JPRS

Il s'agit d'une somme de $q-1$ échantillonnages uniformes pris avec un retard τ_i. Chaque instant d'échantillonnage appartenant à la séquence i d'échantillonnage de période $(q-1)T_{\mathrm{RS}}$ prise avec un retard τ_i par rapport à $k(q-1)T_{\mathrm{RS}}$ s'écrit comme présenté par l'équation Eq.C. 1.

$$t_{k,i} = k(q-1)T_{RS} + \tau_i \qquad \textbf{Eq.C. 1}$$

L'échantillonnage uniforme de séquence d'indice i se fait par application du peigne de Dirac $s_i(t)$ donné par l'équation Eq.C. 2.

$$s_i(t) = \sum_{k=-\infty}^{+\infty} \delta\left(t - k(q-1)T_{RS} - \tau_i\right) \qquad \textbf{Eq.C. 2}$$

Or $\tau_i = i\Delta$, i étant l'indice du retard quantifié calculé à partir de l'instant $k(q-1)T_{RS}$ comme indiqué par l'Eq.C. 3.

$$s_i(t) = \sum_{k=-\infty}^{+\infty} \delta\left(t - k(q-1)T_{RS} - i\Delta\right) \qquad \textbf{Eq.C. 3}$$

La transformée de Fourier du peigne $s_i(t)$ est donné par l'équation Eq.C. 4. Dans certains passages mathématiques, nous avons eu recours au théorème de Poisson et au théorème de convergence dominée de Lebesgue.

$$\begin{aligned} S_i(f) &= \int_{-\infty}^{+\infty} \sum_{k=-\infty}^{+\infty} \delta\left(t - k(q-1)T_{RS} - i\Delta\right) e^{-2j\pi ft}\delta t \\ &= \sum_{k=-\infty}^{+\infty} e^{-2j\pi f\left(k(q-1)T_{RS} + i\Delta\right)} \\ &= e^{-2j\pi fi\Delta} \sum_{k=-\infty}^{+\infty} e^{-2j\pi fk(q-1)T_{RS}} \\ &= \frac{e^{-2j\pi fi\Delta} f_{RS}}{q-1} \sum_{k=-\infty}^{+\infty} \delta\left(f - k\frac{f_{RS}}{q-1}\right) \end{aligned} \qquad \textbf{Eq.C. 4}$$

L'échantillonnage pseudo-aléatoire TQ-JPRS d'un signal continu $x(t)$ se fait par application de la somme des $s_i(t)$ au signal comme présenté en Eq.C. 5.

$$x_{s,q_{pseudo}}(t) = x(t)\sum_{i=1}^{\mathrm{n}} s_i(t) \qquad \textbf{Eq.C. 5}$$

La transformée de Fourier de la représentation discrète du signal $x(t)$ est donnée par l'équation Eq.C. 6.

$$\begin{aligned} X_{s,q_{pseudo}}(f) &= TF\left[x(t)\sum_{i=1}^{n} s_i(t)\right] \\ &= X(f) \circledast TF\left[\sum_{i=1}^{n} s_i(t)\right] \\ &= X(f) \circledast \sum_{i=1}^{n} S_i(f) \\ &= X(f) \circledast \frac{f_{RS}}{q-1}\sum_{i=1}^{n}\sum_{k=-\infty}^{+\infty} e^{-2j\pi f i\Delta}\delta\left(f - k\frac{f_{RS}}{q-1}\right) \end{aligned} \qquad \textbf{Eq.C. 6}$$

Vu les valeurs des instants de décalage τ_i pris à partir de $k(q-1)T_{RS}$, les valeurs des instants de décalage quantifiés à savoir $i\Delta$ peuvent s'écrire sous la forme $i\Delta = mT_{RS} + l\Delta$ avec m un entier variant entre 0 et $q-2$, l variant entre 1 et $q-1$. En dissociant la somme en n en deux sommes en m et l, nous obtenons l'équation présentée par Eq.C. 7.

$$X_{s,q_{pseudo}}(f) = A(f)\sum_{k=-\infty}^{k=+\infty} X(f - k\frac{f_{RS}}{(q-1)}) \qquad \textbf{Eq.C. 7}$$

Avec

$$A(f) = \frac{f_{RS}}{(q-1)} e^{-j\pi f(q-1)T_{RS}} \frac{sin\,(\pi f(q-1)\Delta)}{sin\,(\pi f\Delta)} \frac{sin\,(\pi f(q-1)T_{RS})}{sin\,(\pi f T_{RS})}$$

Bibliographie

1. Mitola, J. Software radios. survey, critical evaluation and future directions. *IEEE Aeérospace and Electronic System Magazine.* Avril 1993, Vol. 8, 4, pp. 25-36.

2. Mitola, J. The software radio architecture. *IEEE Communications Magazine.* 1995, Vol. 33, 5, pp. 26-38.

3. Buracchini, E. The software radio concept. *IEEE Communications Magazine.* Vol. 38, 9, pp. 138-143.

4. Mitola, J. Technical challenges in the globalization of software radio. *IEEE Communications Magazine.* Février 1999, Vol. 37, 2, pp. 84 - 89 .

5. Huang, C.C., Wang, C.Y. and Wu, J.T. A CMOS 6-Bit 16-GS/s Time-Interleaved ADC Using Digital Background Calibration Techniques. *IEEE Journal of Solid-State Circuits.* 2011, Vol. 46, 4, pp. 848 - 858.

6. De la Rosa, J.M. Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey. *IEEE Transactions on Circuits and Systems I: Regular Papers.* 2011, Vol. 58, 1, pp. 1-21.

7. Murmann, B. ADC Performance Survey 1997-2011. [Online] Février 2011. http://www.stanford.edu/~murmann/adcsurvey.html.

8. Tuttlebee, W.H.W. Software-defined radio: facets of a developing technology. *IEEE Personal Communications.* 1999, Vol. 6, 2, pp. 38-44.

9. Svensson, C. Software Defined Radio - Vision or Reality. *24th Norchip Conference.* 2006, p. 149.

10. Abidi, A. RF CMOS comes of age. *IEEE Journal of Solid-State Circuits.* Avrl 2004, Vol. 39, 4, pp. 549-561.

11. Pui-in Mak, Seng-Side U and Rui P. Martins. Transceiver structure selection: Review, State-of-the-art survey and case study. *IEEE Circuits and Systems Magazine.* 2007, Vol. 7, pp. 6-25.

12. Razavi, B. *RF Microelectronics.* s.l. : Prentice-Hall, 1998. ISBN 0-13-887571-5.

13. Giannini, V., et al. A 2mm^2 0.1-to-5GHz SDR receiver in 45 nm digital CMOS. *IEEE International Solid State Circuits Conference (ISSCC).* 2009.

14. Latiri, A., et al. A reconfigurable RF sampling receiver for multistandard applications. *Comptes Rendus Physique.* Vol. 7, 7, pp. 785-793.

15. Brandolini, M., et al. Toward Multistandard Mobile Terminals—Fully Integrated Receivers Requirements and Architectures. *IEEE Transations on Microwave Theory and Techniques.* Mars 2005, Vol. 53, 3, pp. 1026-1038.

16. Paley, R. E. A. C., Wiener, N. and Zygmund, A. Notes on random functions,. *Math. Z.,.* 1933, Vol. 37, pp. 647–668.

17. Martin, R.J. *Irregulary Sampled Signals: Theories and Practice.* [ed.] Plenum Publishers. Kluwer Academid. s.l. : Kluwer Academic, 2001. ISBN 0-306-464454-4.

18. Bilinskis, I. and Mikelsons, A. *Randomized Signal Processing.* s.l. : Prentice Hall, 1992. ISBN 0137510748.

19. Augustyniak, P. Non-Uniform Discrete ECG Representation Optimised for Medical Data Fidelity. [ed.] World ScientificPubl. *Proc. of the 31st Int. Congress on Electrocardiology.* 2004, pp. 660-664.

20. Jylhä, J. and al. Nonuniform Pulse Intervals and Nonuniform Frequency Steps for Managing Radar Ambiguity Properties. *Radar Conference - Surveillance for a Safer World, 2009. RADAR. International.* Octobre 2009, pp. 1-5.

21. Artyukh, Y., et al. Signal Digitizing and Recording in the DASP-Lab System. *Proceeding of the 1997 International Workshop on Sampling Theory and Application.* 1997, pp. 357-360.

22. Cho C. and al. *Random Number Generator with Random Sampling. US 7.904.494 B2* New York, Mars 8, 2011.

23. Wojtiuk, J. J. *Randomized Sampling for Radio Design.* University of South Australia, School of Electrical and Information Engineering. Mars 2000.

24. Sun, Y.R. *Generalized Bandpass Sampling Receivers for Software Defined Radio.* Royal Institute of Technology, School of Information and Communication Technology. 2006. Thèse de doctorat. ISBN 91-7178-350-4.

25. Ben-Romdhane, M., et al. Nonuniformly Controlled Analog-to-Digital Converter for SDR Multistandard Radio Receiver. *IEEE Transactions on Circuits and Systems II: Express Briefs.* Décembre 2011, Vol. 58, 12, pp. 862 - 866.

26. Ben-Romdhane, M. *Echantillonnage Non Uniforme appliqué à la Numérisation des Signaux Radio Multistandard.* L'Ecole Supérieure des Communications, Tunis et L'Ecole

Nationale Supérieure des Télécommunications de Paris, TELECOM ParisTech. 2009. Thèse de doctorat.

27. Qazi, F., Duong, Quoc-Tai and Dabrowski, J.J. Wideband RF frontend design for flexible radio receiver. *13th International Symposium on Integrated Circuits (ISIC).* 2011, pp. 220 - 223.

28. Helfenstein, M. and Moschytz, G.S. *Circuits and systems for wireless communications.* [ed.] Kluwer Academic Publisher. s.l. : Springer, 2000. ISBN: 0-7923-7722-2.

29. Tasić, A., Serdijn, W.A. and Larson, L.E. *Circuits and Systems for Future Generations of Wireless Communications.* s.l. : Springer, 2009. ISBN : 978-1-4020-9918-2.

30. Chandrakasan, A.P. and Brodersen, R.W. *Low power digital CMOS design.* [ed.] Kluwer Academic Publishers. s.l. : Springer, 1995. ISBN : 0-7923-9576-X.

31. Skotnicki, T. and al. Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia. *IEEE Transactions on Electron Devices.* Janvier 2008, Vol. 55, 1, pp. 96 - 130 .

32. Jakonis, D., et al. A2.4-GHz RF SamplingReceiver Front-end in 0.18 \micro m CMOS. *IEEE J. Solid-State Circuits.* Juin 2005, Vol. 40, 6, pp. 1265-1277.

33. Shannon, C. E. Communication in the Presence of Noise. *Proceedings of the Institute of Radio Engineers.* 1949, Vol. 37, 1, pp. 10-21.

34. Noor, L. and Anpalagan, Alagan. Direct conversion receiver for radio communication systems. *IEEE Potentials.* 2005, Vol. 24, 5, pp. 32-35.

35. Peng, Y. and al. A 100MHz — 2GHz wireless receiver in 40-nm CMOS for software-defined radio. *International Conference of Electron Devices and Solid-State Circuits (EDSSC).* 2011, pp. 1-2.

36. Yang, F., et al. Wideband receiver for Software Defined Radio in GHz range using standard 40nm CMOS technology. *13th International Symposium on Integrated Circuits (ISIC).* 2011, pp. 535 - 538 .

37. Vecchi, F. and al. A Wideband Receiver for Multi-Gbit/s Communications in 65 nm CMOS. *IEEE Journal of Solid-State Circuits.* 2011, Vol. 46, 3, pp. 551-561.

38. Kivekas, K., Parissen, A. and Halonen, K. Characterisation of IP2 and DC-offset in Transconductance mixers. *IEEE Transaction on Circuits and Systems II, Analog and Digital Signal Processing.* 2001, Vol. 48, 11, pp. 1028-1038.

39. Brandolini, Massimo, et al. Toward multistandrd mobile terminals-Fully integrated receivers requirements and architectures. Mars 2005, Vol. 53, 3, pp. 1026-1037.

40. Economou, L and Langley, R. J. Multi-band mobile phone antennas. *Int. Antenna Propagations Conf.* Avril 2001, Vol. 2, pp. 754-757.

41. Zhou, G. and Yildirim, B. A multi-band cellular phone antenna. *IEEE Antenna Propagation Symp.* Juillet. 1999, Vol. 1, pp. 112-115.

42. Brown, A.R. and Rebeiz, G.M. A Varactor-Tuned RF Filter. *IEEE Transactions on Microwave Theory and Techniques.* Juillet 2000, Vol. 48, 7, pp. 1157-1160.

43. AM116. Triple-band integrated circuit (IC) antenna switch module. [Online] Skyworks Inc, Woburn, MA, 2003. http://www.sky-worksinc.com.

44. 2x2 antenna switch GaAs MMIC part NJG1544HC3. [Online] 2003. http://www.chipdocs.com/manufacturers/NJRC.htm .

45. Darabi, H. and al. Highly integrated and tunable RF front-ends for reconfigurable multi-band transceivers. *IEEE Custom Integrated Circuits Conference (CICC).* 2010, pp. 1-8.

46. Gimeno-Martin, A., Pardo-Martin, J.M. and Ortega-Gonzalez, F.J. Adaptive algorithm for increasing image rejection ratio in low-IF receivers. *Electronics Letters.* 2008, Vol. 44, 6, pp. 447 - 448 .

47. Hashemi, H. and Hajimiri, A. Current multiband Low-Noise Amplifiers, Theory, design and applications. *IEEE Transactions on Microwave Theroy and Techniques.* January 2002, Vol. 50, 1, pp. 288-301.

48. Phan, A.T. and Farrell, R. Reconfigurable multiband multimode LNA for LTE/GSM, WiMAX, and IEEE 802.11.a/b/g/n. *17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS).* 2010, pp. 78 - 81.

49. Yang, K. and Yan, N. A 20-GHz 4.8-dB NF Low Noise Amplifier. *International Conference on Electric Information and Control Engineering (ICEICE).* Mai 2011.

50. Zhiqiang, G., et al. The design of dual-band CMOS low noise amplifier for wireless applications. *Cross Strait Quad-Regional Radio Science and Wireless Technology Conference (CSQRWC).* Juillet 2011, pp. 675 - 678.

51. Xie, H.Y, et al. A dual-band SiGe HBT low noise amplifier. *10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT).* Novembre 2010, pp. 668 - 670.

52. Datta, S., et al. Fully Concurrent Dual-Band LNA Operating in 900 MHz/2.4 GHz Bands for Multi-standard Wireless Receiver with Sub-2dB Noise Figure. *3rd International Conference on Emerging Trends in Engineering and Technology (ICETET).* Novembre 2010, pp. 731 - 734 .

53. Dao, V.K., Bui, Q.D. and Park, C.S. A multi-band 900MHz/1.8GHz/5.2GHz LNA for reconfigurable radio. *IEEE Radio Frequency Integrated Circuits Symp.* 2007, pp. 69-71.

54. Adiseno, Ismail, M. and Olsson, H. A wide-band RF front-end for multiband multistandard high-linearity low-IF wireless receivers. *IEEE Journal of Solid-State Circuits.* September 2002, Vol. 37, 9, pp. 1162 - 1168 .

55. Perumana, B.G., et al. Resistive-feedback CMOS Low-Noise Amplifiers for multiband applications. *IEEE Transacations on Microwave Theory and Techniques.* Mai 2008, Vol. 56, 5, pp. 1218-1225.

56. Voltti, M., Koivisto, T. and Tiiliharju, E. Statistical performance of IIP2 in active and passive mixers. *Ph.D. Research in Microelectronics and Electronics, PRIME.* 2008, pp. 161 - 164 .

57. Chehrazi, S., Bagheri, R. and Abidi, A.A. Noise in Passive FET Mixers: A Simple Physical Model. *Proceedings of the IEEE Custom Integrated Circuits Conference.* Octobre 2004, pp. 375-378.

58. Tsai, M.D. and Wang, H. A 0.3–25-GHz ultra-wideband mixer using commercial 0.18-um CMOS technology. *IEEE Microwave and Wirless Components Letters.* 2004, Vol. 14, 11, pp. 522 - 524 .

59. Liang, K.H., Chang, H.Y. and Chan, Y.J. A 0.5–7.5 GHz ultra low-voltage low-power mixer using bulk-injection method by 0.18-um CMOS technology. *IEEE Microwave and Wireless Components Letters.* 2007, Vol. 17, 7, pp. 531-533.

60. Chang, F.C., et al. A low power folded mixer for UWB system applications in 0.18-m CMOS technology. *IEEE Microwave and Wireless Components Letters.* Mai 2007, Vol. 17, 5, pp. 367-369.

61. Vahidfar, M.B., Shoaei, O. and Svelto, F. A high dynamic range multi-standard CMOS mixer for GSM, UMTS and IEEE802.11b-g-a applications. *IEEE Radio Frequency Integrated Circuits Symposium.* 2008, pp. 193-196.

62. Schmitz, O., et al. Low-voltage bulk-driven mixers in 45 nm CMOS for ultra-wideband TX and RX. *Proceedings NORCHIP.* November 2008, pp. 119-122.

63. Hampel, S.K., et al. Inductorless low-voltage and low-power wideband mixer for multistandard receivers. *IEEE Transactions on Microwave Theory and Techniques.* May 2010, Vol. 58, 5, pp. 1384 - 1390 .

64. Chehrazi, S., Mirzaei, A. and Abidi, A.A. Second-Order Intermodulation in Current-Commutating Passive FET Mixers. *IEEE Transactions on Circuits and Systems I.* 2009, Vol. 56, 12, pp. 2556 - 2568 .

65. Li, L.H., Lin, F.L. and Chuang, H.R. Complete RF-system analysis of direct conversion receiver (DCR) for 802.11a WLAN OFDM system. *IEEE Transactions on Vehicular Technology.* Juillet 2007, Vol. 56, 4, pp. 1969-1703.

66. Staszwski, R. B. and al. All Digital TX Frequency Synthesizer and Discrete-time Receiver for Bluetooth Radio in 130-nm CMOS. *IEEE J. Solid States Circuits.* December 2004, Vol. 39, 12, pp. 2278-2291.

67. Muhammed, K.and al. *A Discrete Time Quad-band GSM/GPRS receiver in a 90 nm digital CMOS process.* San Jose, CA : s.n., Septembre 2005. pp. 809-812.

68. Latiri, A. and al. A reconfigurable RF sampling receiver for multistandard applications. [ed.] Elsevier. *Comptes Rendus Physiques.* 2006, Vol. 7, 7, pp. 785-793.

69. Mostafa, M.A.I., et al. *Subsampling RF receiver architecture. US 2002/0181614 A1* United States, Decembre 5, 2002.

70. Barth, C., Inan, U.S. and Linscott, I.R. *Low noise, low poxer subsampling receiver. US 2010/0301928 A1* United States, Decembre 2, 2010.

71. Montaudon, F. and al. A Scalable 2.4-to-2.7 GHz Wi-Fi/WiMAX Discrete-Time Receiver in 65nm CMOS. *IEEE International Solid-State Circuits Conference, ISSCC.* 2008, pp. 362 - 619 .

72. Behjou, N., Larsen, T. and Hoegdal, M. Design of a simultaneous multi-band RF sub-sampling receiver. *IEEE MTT-S International Microwave Symposium Digest.* Juin 2008, pp. 5-8.

73. Barrak, R., Ghazel, A. and Ghannouchi, F. Optimized multistandard RF subsampling receiver architecture. *IEEE Transactions on Wireless Communications.* 2009, Vol. 8, 6, pp. 2901-2909.

74. Lolis, L. *Agile bandpass sampling RF receiver for low power applications.* Université de Bordeaux I. 2011. Thèse de doctorat .

75. Barrak, R., Ghazel, A. and Ghannouchi, F. Design and optimisation of RF filters for multistandard RF sub-sampling receiver. *International Conference on Design and Test of Integrated Systems in Nanoscale Technology, DTIS.* Septembre 2006, pp. 105-109.

76. Parssinen, A., et al. A 2-GHz subharmonic sampler for signal downconversion. *IEEE Transactions on Microwave Theory and Techniques.* December 1997, Vol. 45, 12, pp. 2344 - 2351.

77. Jakonis, D. and Svensson, C. A 1.6 GHz downconversion sampling mixer in CMOS. *Proceedings of the International Symposium on Circuits and Systems, ISCAS.* Mai 2003, Vol. 1, pp. I-725 - I-728.

78. Pekau, H. and Haslett, J.W. A 2.4 GHz CMOS sub-sampling mixer with integrated filtering. *IEEE Journal of Solid-State Circuits.* November 2005, Vol. 40, 11, pp. 2159 - 2166 .

79. Xu, R. and Nguyen, C. An Ultra-Wideband Low Power-Consumption Low Noise-Figure High-Gain RF Power-Efficient DC–3.5-GHz CMOS Integrated Sampling Mixer Subsystem. *IEEE Transactions on Microwave Theory and Techniques.* Mai 2008, Vol. 56, 5, pp. 1069 - 1075.

80. INPHI. 1321TH-S01QFN. *http://www.inphi.com.* [Online] 2009. http://www.inphi.com/products-technology/multi-markets-test-measurement-military-aerospace/track-and-hold-amplifiers/1321th-s01qfn.php.

81. Mattos, D., et al. An 8Gsps, 65nm CMOS Wideband Track-and-Hold. *IEEE 9th International New Circuits and Systems Conference (NEWCAS).* Juin 2011, pp. 321 - 324.

82. Bagheri, R. and al. An 800MHz to 5GHz Software-Defined Radio receiver in 90nm CMOS. *IEEE International Solid-State Circuits Conference, ISSCC.* Février 2006.

83. M-F., Huang. A Discrete-Time Charge-Domain Filter with Bandwidth Calibration for LTE Application. *IEEE Custom Integrated Circuits Conference (CICC).* Septembre 2011, pp. 1 - 4 .

84. Gupta, S., et al. A QPLL-Timed Direct-RF Sampling Band-Pass ΣΔ ADC with a 1.2 GHz Tuning Range in 0.13 µm CMOS. *IEEE Radio Frequency Integrated Circuits Symposium (RFIC).* Juin 2011, pp. 1-4.

85. Crols, J. and Steyaert, M. *CMOS Wireless Transceiver Design.* s.l. : Kluwer Academic Publishers, 1997. ISBN:0-7923-9960-9.

86. Grati, K. *Architecture d'un récepteur radio multistandard à sélection numérique des canaux.* CIRTA'COM de SUP'COM Tunis et COMELEC de TELECOM. 2005. Phd Thesis.

87. Paarmann, L. D. *Design and analysis of analog filters: a signal processing perspective.* [ed.] Springer. s.l. : Kluwer Academic Publishers, 2001. ISBN: 0-7923-7373-1.

88. Dutoit, T. *Introduction à la synthèse des filtres actifs.* Faculté Polytechnique de Mons. Belgium : s.n., 2000. http://tcts.fpms.ac.be/~dutoit .

89. Theerachet, S. *CMOS RF filtering at GHz frequency.* USA : VDM Verlag, 2009. ISBN: 978-3639191592.

90. Adrang, H., et al. A low-power CMOS Gm-C filter for wireless receiver applications with on-chip automatic tuning system. *IEEE International Symposium on Circuits and Systems, ISCAS.* Mai 2006, pp. 3810-3813.

91. Hollman, T., et al. A 2.7V CMOS dual-mode baseband filter for PDC and WCDMA. *IEEE Jurnal of Solid-State Circuits .* 2001, Vol. 36, 7, pp. 1148-1153.

92. Alzaher, H.A., Elwan, H.O. and Ismail, M. A CMOS highly linear channel-select filter for 3G multistandard integrated wireless receivers. *IEEE Journal of Solid-State Circuits.* 2002, Vol. 37, 1, pp. 27 - 37 .

93. Chamla, D., et al. A Gm-C low-pass filter for zero-IF mobile applications with a very wide tuning range. *IEEE Journal of Solid-State Circuits.* 2005, Vol. 40, 7, pp. 1443 - 1450 .

94. D'Amico, S., Giannini, V. and Baschirotto, A. A 4th-order active-G/sub m/-RC reconfigurable (UMTS/WLAN) filter. Juillet 2006, Vol. 41, 7, pp. 1630 - 1637 .

95. Giannini, V., Craninckx, J. and Baschirotto, A. *Baseband analg circuits for software defined radio.* s.l. : Springer, 2008. ISBN 978-1-4020-6538-5.

96. Hu, Jin, et al. CMOS 4th-order gm-c low-pass filter with wide tuning range in high frequency. *IEEE 8th International Conference on ASIC, ASICON .* Octobre 2009, pp. 277 - 279 .

97. Gao, T., et al. A 5.5mW 80-400MHz Gm-C low pass filter with a unique auto-tuning system. 2011, Vol. 8, 13, pp. 1034-1038.

98. Karvonen, S. *Charge-domain sampling of high-frequency signals with embedded filtering.* Finlande : s.n., 2006. ISBN 951-42-7987-5.

99. Wei, J. *Techniques d'échantillonnage des signaux radio et influence des MEMS dans un récepteur multi mode reconfigurable.* Ecole doctorale Electronique Electrotechnique et Automatique de Lyon, Laboratoire d'Architecture et Conception Radiofréquence, CEA. Grenoble : s.n., 2008.

100. Bollati, G., et al. An eighth-order CMOS low-pass filter with 30-120 MHz tuning range and programmable boost. *IEEE Journal of Solid-State Circuits.* 2001, Vol. 36, 7, pp. 1056 - 1066 .

101. Barrak, R. *Récepteur radio multistandard à conversion de fréquence par sous-échantillonnage RF.* CIRTA'COM, SUP'COM Tunisia. 2007. Thèse de doctorat.

102. Perez, J-P. A., Pueyo, S.C. and Lopez, B.C. *Automatic Gain Control: Techniques and Architectures for RF Receivers [Relié].* s.l. : Springer-Verlag New York Inc., 2011. ISBN: 978-1461401667.

103. Sanz, T., et al. A digitally programmable VGA [variable gain amplifier]. *Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems, MWSCAS.* 2001, Vol. 2, pp. 602 - 605.

104. Lee, H.D., Lee, K.A. and Hong, S. A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control. *IEEE Transactions on Microwave Theory and Techniques.* 2007, Vol. 55, 6, pp. 1363 - 1373 .

105. Tsang, T.K.K., Lin, Kuan-Yu and El-Gamal, M.N. Design Techniques of CMOS Ultra-Wide-Band Amplifiers for Multistandard Communications. March 2008, Vol. 55, 3, pp. 214 - 218 .

106. Kang, S.Y., et al. A 2.16 mW Low Power Digitally-Controlled Variable Gain Amplifier. *IEEE Microwave and Wireless Components Letters.* 2010, Vol. 20, 3, pp. 172 - 174.

107. Cheng, J., et al. 1GHz CMOS variable gain amplifier with 70dB linear-in-magnitude controlled gain range for UWB systems. *15th Asia-Pacific Conference on Communications, APCC.* 2009, pp. 195 - 198 .

108. El-Gabaly, A.M. and Saavedra, C.E. Wideband variable gain amplifier with noise cancellation. *Electronics Letters.* Janvier 2011, Vol. 47, 2, pp. 116-118.

109. Crombez, P., et al. A Single-Bit 500 kHz-10 MHz Multimode Power-Performance Scalable 83-to-67 dB DR CTΔΣ for SDR in 90 nm Digital CMOS. *IEEE Journal of Solid-State Circuits.* 2010, Vol. 45, 6, pp. 1159 - 1171 .

110. Fakhoury, H., et al. A 65nm CMOS EDGE/UMTS/WLAN Tri-Mode Four-Channel Time-Interleaved ΣΔ ADC. *IEEE North-East Workshop on Circuits and Systems and TAISA Conference, NEWCAS-TAISA.* 2009, pp. 1-4.

111. Ouzounov, S. and al. A 1.2V 121-Mode CT ΔΣ Modulator for Wireless Receivers in 90nm CMOS. *IEEE International Solid-State Circuits Conference, ISSCC.* 2007, pp. 242 - 243.

112. Christen, T., Burger, T. and Huang, Q. A 0.13 μm CMOS EDGE/UMTS/WLAN tri-mode ΔΣ ADC with -92 dB THD. *IEEE International Solid-State Clircits Conference, ISSCC.* 2007, pp. 240-241.

113. Rusu, A., Gonzalez, R.L and Ismail, M. Reconfigurable ADCs enable smart radios for 4G wireless connectivity. *IEEE Circuits and Devices Magazine.* 2006, Vol. 22, 3, pp. 6-11.

114. Rusu, A., et al. A Triple-Mode Sigma-Delta Modulator for Multi-Standard Wireless Radio Receivers. *Analog Integrated Circuits and Signal Processing.* 2006, Vol. 47, 2, pp. 113-124.

115. Zhang, Ling, Nadig, V. and Ismail, M. A high order multi-bit σδ modulator for multi-standard wireless receiver. *The 2004 47th Midwest Symposium on Circuits and Systems, MWSCAS.* 2004, Vol. 3, pp. 379-82.

116. Paley, R. E. A. C. and Wiener, N. Fourier transforms in the complex domain. *Amer. Math. Soc. Colloq.* 1934, Vol. 19.

117. Shapiro, H. S. and Silverman, R. A. Alias-Free Sampling of random Noise. *Journal Society for Industrial and Applied Mathematics.* June 1960, Vol. 8, 2, pp. 225-248.

118. Leneman, O.A.Z. and Beutler, F.J. The Spectral Analysis of Impulse Processes. *Information and Control.* 1968, Vol. 12, pp. 236-258.

119. Rebai, C., et al. Pseudorandom signal sampler for relaxed design of multistandard radio receiver. *Microelectronics Journal.* 2009, Vol. 40, 6.

120. Jerri, A.J. The Shannon sampling theorem—Its various extensions and applications: A tutorial review. *Proceedings of the IEEE.* 1977, Vol. 65, 11, pp. 1565 - 1596.

121. Proakis, J. G. *Digital Signal Processing.* 4. s.l. : Prentice Hall, 2006. ISBN 0131873741.

122. Bilinskis, I. and Mednieks, I. *Introduction to Digital Alias-free Signal Processing.* 2001.

123. Artyukh, Y., et al. Wideband RF signal digitizing for high purity spectral analysis. *The 2005 International Workshop on Spectral Methods and Multirate Signal Processing.* Juin 2005.

124. Benedetto, J.J. and Zimmermann, G. Sampling Multipliers and the Poisson Summation Formula. *The journal of Fourier analysis and applications.* 1997, Vol. 3, 5, pp. 505-523.

125. Liu, N., et al. A true random number generator using time-dependent dielectric breakdown. *Symposium on VLSI Circuits (VLSIC).* Juin 2011, pp. 216-217.

126. Wang, Chua-Chin, et al. Switched-current 3-bit CMOS 4.0-MHz wideband random signal generator. Juin 2005, Vol. 40, 6, pp. 1360 - 1365.

127. Fares, H., Ben-Romdhane, M. and Rebai, C. Non uniform Sampled Signal Reconstruction for Software Defined Radio. *IEEE International Conference on Signals, Circuits and Systems.* Novembre 2008, pp. 1-6.

128. **Maalej, A.**, et al. Pseudorandom Direct Sampler for Non-Uniform Sub-sampling Architecture in a Multistandard Receiver. *Journal of Computers Publisher.* Octobre 2010, Vol. 5, 10, pp. 1478-1485.

129. **Maalej, A.**, et al. Towards Time-Quantized Random Sampling for Multistandard Receiver Baseband Stage. *International Conference on Microelectronics, ICM.* Décembre 2011.

130. GSM. Radio Transmission and Reception GSM 05.05. ETSI, 1996.

131. UE., UMTS. Radio Transmission and Reception (FDD), 3GPP TS 25.101 Version 5.2.0 Release 5. ETSI, 2002.

132. 802.16, IEEE Standard. Part 16: Air Interface for Fixed Broadband Wireless Access Systems. IEEE, 2004.

133. **Maalej, A.**, et al. Non Uniform Sampling for Power Consumption Reduction in SDR Receiver Baseband Stage. *General Assembly and Scientific Symposium of the International Union of Radio Science (Union Radio Scientifique Internationale-URSI).* Istanbul : s.n., Août 2011.

134. Jussila, J. *Analog Baseband Circuits for WCDMA Direct-Conversion Receivers.* Helsinki University of Technology. 2003. Thèse de doctorat. ISBN 951-22-6595-8.

135. Yongchang, Y, and al. A baseband LPF for GSM, TD-SCDMA and WCDMA multi-mode transmitters. *Journal of Semiconductors.* Février 2011, Vol. 32, 2, pp. 025003-1/025003-6.

136. Desgreys, P., et al. Beyond 3G Wideband and High linearity ADCs. *Low Voltage Low Power Conference.* 10th, Juin 2011.

137. N., Khouja Saad. *Processeur de filtrage de décimation et de sélection de canal, à faible consommation de puissance, pour.* Ecole Supérieure des Communications de Tunis. 2011. Thèse de doctorat .

138. **Maalej, A.**, et al. Data Acquisition Test Platform for Non Uniformly Controlled ADC. *The IEEE International Conference on Design and Technology of Integrated Systems in Nanoscale Era (DTIS'2010).* Hammamet, Tunisia : s.n., 2010. pp. 1 - 4. ISBN: 978-1-4244-6338-1.

139. Analog Devices. AD9214 datasheet. [Online] http://www.analog.com/static/imported-files/data_sheets/AD9214.pdf.

140. MAXIM. MAX100 Evaluation kit datasheet. [Online] http://datasheets.maxim-ic.com/en/ds/MAX100EVKIT.pdf.

141. Ozoguz, S. and Ergüm, S. A non-autonomous IC chaotic oscillator and its application for random bit generation. *Proceedins of the 2005 European Conference on Circuit Theory and Design.* Aoû-Septembre 2005, Vol. 2, pp. II/165-II/168.

142. Johansson, A.J. and Floberg, H. Random number genration by chaotic double scroll oscillator on chip. *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems.* 1999, Vol. 5, pp. 407-409.

143. Maggioni, S., et al. Random sampling for on-chip characterization of standard-cell propagation delay. *Fourth International Symposium on Quality Electronic Design.* 2003, pp. 41-45.

144. Vankka, J. *Direct Digital Synthesizer: Theory, Design and Applications.* Helsinki University of Technology, Departement of Electrical and Communications Engineering, Electronic Circuit Design Laboratory. 2000. Thèse de doctorat. ISBN 0792373669.

145. Tierney, T., Rader, C. and Gold, B. A digital frequency synthesizer. *IEEE Transaction on Audio and Electroacoustics.* 1971, Vol. 19, pp. 48-57.

146. **Maalej, A.**, et al. Pseudo-random Direct Sampler for Frequency Down-Conversion in a Multi-standard Receiver. *International Conference on Signals, Circuits & Systems.* Novembre 2008.

147. **Maalej, A.**, et al. Pseudo-random Oscillator Design for Multistandard RF non Uniformly Sampling Receiver. *The IEEE International Conference on Design and Technology of Integrated Systems in Nanoscale Era (DTIS'2009).* Cairo, Egypt : s.n., Avril 2009.

148. Ben-Romdhane, M., **Maalej, A.**, Lahouli R., Rebai. C., Test setup and spurious replicas identification in time-quantized pseudorandom sampling-based ADC in SDR multistandard receiver. *IEEE International Conference on Electronics, Circuits and Systems (ICECS).* 2011, pp. 180-183.

149. Mishali, M. and Eldar, Y.C. Blind Multiband Signal Reconstruction: Compressed Sensing for Analog Signals. *IEEE Transactions on Signal Processing.* Mars 2009, Vol. 57, 3, pp. 993 - 1009 .

150. Candes, E.J., Romberg, J. and Tao, T. Robust uncertainty principles: exact signal reconstruction from highly incomplete frequency information. *IEEE Transactions on Information Theory.* Février 2006, Vol. 52, 2, pp. 489 - 509 .

151. Bhushan, D.B., Sowmya, V. and Soman, K.P. Super Resolution Blind Reconstruction of Low Resolution Images Using Framelets Based Fusion. *International Conference on Recent Trends in Information, Telecommunication and Computing (ITC).* 2010, pp. 100-104.

152. Grati, K., et al. Design and implementation of cascade decimation filter for radio communications. *The 8th IEEE International Conference on Electronics, Circuits and Systems, ICECS.* 2001, Vol. 3, pp. 1603 - 1606 .

153. Chen, T.C., et al. Design and implementation of cubic spline interpolation for spike sorting microsystems. *IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP).* Mai 2011, pp. 1641 - 1644 .

154. SKY13322-375LF, 20 MHz-6.0 GHz GaAs SP4T Switch. [Online] Aout 2010. http://www.skyworksinc.com/uploads/documents/201098C.pdf.

155. Brandolini, M., Sosio, M. and Svelto, F. A 750 mV Fully Integrated Direct Conversion Receiver Front-End for GSM in 90-nm CMOS. *IEEE Journal of Solid-State Circuits.* 2007, Vol. 42, 6, pp. 1310 - 1317 .

156. Koukab, A., Lei, Yu and Declercq, M.J. A GSM-GPRS/UMTS FDD-TDD/WLAN 802.11a-b-g multi-standard carrier generation system. *IEEE Journal of Solid-State Circuits.* 206, Vol. 41, 7, pp. 1513 - 1521 .

157. Maxim. MAX 1200 datasheet. *http://www.maxim-ic.com.* [Online]

158. Maxim. MAX 115, datasheet. *http://www.maxim-ic.com.* [Online].