



**Etude de l'impact de micro-cavités (voids) dans les
attaches de puces des modules électroniques de
puissance**
Son Ha Tran

► **To cite this version:**

Son Ha Tran. Etude de l'impact de micro-cavités (voids) dans les attaches de puces des modules électroniques de puissance. Énergie électrique. Université Paris-Saclay, 2015. Français. <NNT : 2015SACLN010>. <tel-01266057>

HAL Id: tel-01266057

<https://tel.archives-ouvertes.fr/tel-01266057>

Submitted on 2 Feb 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

NNT : 2015SACLN010

THESE DE DOCTORAT
DE L'UNIVERSITE PARIS-SACLAY,
préparée à ENS Cachan

ÉCOLE DOCTORALE N°575
Electrical, Optical, Bio - Physics and Engineering (EOBE)

GENIE ELECTRIQUE, ELECTRONIQUE, PHOTONIQUE et SYSTEMES
Par

Son Ha TRAN

Etude de l'impact de micro-cavités (voids) dans les attaches de puces des
modules électroniques de puissance

Thèse présentée et soutenue à l'ENS - Cachan le 24/11/2015 :

Composition du jury :

M. Éric WOIRGARD	Professeur (IMS - Bordeaux)	Rapporteur
M. Bruno ALLARD	Professeur (INSA - Lyon)	Rapporteur
M. Zoubir KHATIR	Directeur de recherche (IFSTTAR)	Directeur
M. Laurent DUPONT	Chargé de recherche (IFSTTAR)	Encadrant
M. Frédéric RICHARDEAU	Directeur de recherche (CNRS)	Examinateur
M. Victor ETGENS	Professeur (VEDECOM)	Examinateur
M. Donatien MARTINEAU	Ingénieur d'études (SAFRAN)	Examinateur
M. Jean-Michel MORELLE	Ingénieur d'études (VALEO)	Examinateur



Titre : Etude de l'impact de micro-cavités (voids) dans les attaches de puces des modules électroniques de puissance

Mots clés : Intégration de puissance, void, brasure, MOSFET, conduction, modélisation multiphysique

Résumé : Les convertisseurs électroniques de puissance sont voués à fonctionner sous des conditions applicatives de plus en plus sévères tout en respectant les impératifs d'efficacité énergétique et de fiabilité. Or, les besoins industriels tendent vers un plus haut niveau d'intégration fonctionnelle tout en améliorant le rapport qualité-prix. Dès lors, la solution utilisée pour le report des puces semi-conductrices est le siège de densités de courant importantes et d'un flux thermique élevé. La présence de défauts (voids) dans cette couche d'interconnexion peut conduire à la dégradation des performances et au vieillissement prématuré du composant. L'objectif de ces recherches est d'évaluer la pertinence d'une méthodologie basée sur la confrontation de simulations numériques et de campagnes expérimentales pour évaluer l'effet du défaut sur les performances d'un transistor MOSFET.

L'objectif est d'améliorer la compréhension du comportement électrothermique en régime de conduction d'un transistor MOSFET basse tension en présence d'un void dans sa brasure. Dans ce manuscrit, je présenterai la construction d'un modèle intégrant les couplages électrothermiques de la partie active et des fils de puissance qui sera confronté à la réponse issue de résultats expérimentaux. Puis, une étude numérique basée sur la théorie des surfaces de réponses, qui minimise le nombre de simulations, sera exploitée afin de quantifier l'impact de la taille et de la position du void unique sur la réponse électrothermique du transistor MOSFET et de ses liaisons électriques. Les détails de la mise en place d'une étude expérimentale seront également présentés afin de compléter cette approche.

Title : Evaluation of Impact of Voids in Die Attach on Electro-thermal Behavior of Power Modules

Keywords : Power integration, void, solder, MOSFET, steady-state, modeling

Abstract: Power converters nowadays are required to function under harsh conditions in meeting energy efficiency and reliability requirement. Whereas, industrial specifications tend toward a higher level of power integration in respect to the cost constraint. As a result, the die attach is one of the key elements in power module packaging because of high current densities and high heat flow which are transported through. Void formation in the die attach may lead to performance degradation and premature aging of the component. This study introduces a methodology based on the comparison of numerical simulations and experimental campaigns. The obtained results help to improve our understanding on the

electro-thermal behaviour of low-voltage MOSFETs with solder voids. In this thesis, we depict a finite element model in which electro-thermal coupling of a MOSFET active layer and power bonding wires is taken in to account. Simulation results will be correlated to the experimental responses. Later on, a parametric numerical study based on the response surface method (RSM) which minimizes the number of simulations and future tests will be exploited to quantify the impact of void position and size on several selective performance criteria. An experimental study will be also presented, in order to fulfil the complementarity for this approach.

A la mémoire de ma mère

Remerciements

Ma thèse a été réalisée dans le cadre d'une collaboration entre le groupe TEMA (Technologies pour une Electro-Mobilité Avancée) de l'institut IFSTTAR (Institut Français des Sciences et Technologies des Transports, de l'Aménagement et des Réseaux), l'institut VEDECOM (Véhicule Décarboné et Communicant et de sa Mobilité) et les partenaires industriels SAFRAN et VALEO.

Mes premiers remerciements sont destinés à M. Zoubir KHATIR, directeur de thèse et à M. Laurent DUPONT, encadrant de thèse, pour votre soutien, votre implication, votre disponibilité et votre expérience tout au long de cette thèse. Vous avez réussi à m'inspirer, à me donner confiance en moi et en l'avenir mais aussi à me donner l'envie d'apprendre.

Je tiens à remercier également les membres du jury : M. Frédéric RICARDEAU, M. Eric WOIRGARD, M. Bruno ALLARD, M. Victor ETGENS, M. Jean-Michel MORELLE, M. Donatien MARTINEAU pour m'avoir fait l'honneur d'examiner mon travail de thèse. Ma thèse est mieux valorisée à l'aide des discussions que j'ai eu la chance d'avoir avec eux, leurs suggestions ou contributions.

Les résultats de ma thèse ne peuvent pas être obtenus sans le soutien administratif, technique et financier des personnels de l'institut VEDECOM, de l'institut IFSTTAR et des partenaires industriels SAFRAN et VALEO, à qui je souhaiterais remercier fondement. Je pense ici en particulier à M. Dominique L'HOTELLIER, Directeur adjoint, en charge du programme « Electrification des véhicules » de VEDECOM pour le suivi des activités très fréquent, ce qui a assuré le bon déroulement de la thèse. J'adresse également mes grands remerciements à M. Laurent VIVET et M. Serge LAVRENTIEFF, ingénieur et technicien de VALEO, pour leur énorme contribution à la réalisation des moyens expérimentaux, ce qui a permis d'enrichir les résultats de mes travaux de thèse.

J'exprime ma profonde gratitude à tout le groupe TEMA, particulièrement à Jean-Pierre OUSTEN pour ses aides précieuses durant les activités aux laboratoires et la rédaction, à Ali IBRAHIM, à Thierry KOCINIEWSKI, à Damien INGROSSO, à Richard LALLEMAND, à Alexandre DE BERNARDINIS, à Franck ROBLIN, à Jeff MOUSSODJI MOUSSODJI, à Abdelfatah KOLLI pour les discussions et pour les conseils techniques, à Juliette KAUV, à Nandhini RAJARAVISHANKAR, à Dominique BIED-CHARRETON pour leur accueil et leur sympathie. Je n'oublie pas tous mes collègues thésards, Merouane OUHAB, Fadi ZAKI, Rabeb YAHYAOUÏ, Malika ELHARIZI, à qui je souhaite bonne continuation. Merci à vous tous pour les trois années inoubliables que nous avons passées ensemble dans la même « maison » TEMA.

Mes remerciements seraient incomplets si je ne mentionnais pas les membres de ma famille, les amis et les différentes personnes qui ont assisté à la soutenance de thèse.

Enfin, je souhaiterais remercier chaudement ma mère, qui m'a quitté malheureusement trop tôt. Son décès m'a donné la force et le courage. Je considère que la réussite de cette thèse est le meilleur remerciement que je peux lui adresser. Je remercie bien évidemment mon père, sans qui, tout ceci n'aurait pu avoir lieu.

Table des matières

Liste des figures.....	9
Liste des tableaux.....	12
Introduction générale	13
Chapitre I: Assemblage de puissance et ses problématiques	16
I.1. Les systèmes électroniques de puissance à semi-conducteur	16
I.1.1. Rôle des interrupteurs de puissance dans la conversion d'énergie.....	16
I.1.2. Les interrupteurs de puissance.....	16
I.2. Les modules de puissance et leurs contraintes fonctionnelles.....	19
I.3. Problématiques liées à l'attache de puce	20
I.3.1. Les technologies d'attache de puce	20
I.3.2. La formation de voids dans la brasure.....	28
I.3.3. Connaissances sur les conséquences des voids.....	30
I.4. Les modèles électrothermiques.....	42
I.4.1. Le principe de la modélisation électrothermique	42
I.4.2. Choix de la stratégie de modélisation électrothermique.....	44
Chapitre II: Méthodologie et mise en œuvre des approches numérique et expérimentale	48
II.1. Formalisation de la méthodologie.....	48
II.2. La méthode de plan d'expériences	49
II.2.1. Introduction	49
II.2.2. Choix du plan d'expériences.....	51
II.2.3. Notions de base des plans d'expériences.....	51
II.2.4. Expériences	54
II.2.5. Critères d'optimalité.....	55
II.3. Conception du plan d'expériences virtuelles	57
II.3.1. Objectif de l'étude et identification des réponses observées.....	57
II.3.2. Choix d'une stratégie de simulation numérique	58
II.3.3. Définition des facteurs et des niveaux.....	58
II.3.4. Définition du domaine d'étude.....	62
II.3.5. Définition d'un modèle postulé.....	67
II.3.6. Génération du plan optimal.....	68
II.3.7. Validation du plan optimal.....	69

II.4.	Méthodologie et procédé de réalisation des prototypes expérimentaux	74
II.4.1.	Génération de voids contrôlés	74
II.4.2.	Finalisation de l'assemblage et du câblage.....	77
Chapitre III:	Conception des modèles pour l'étude en régime de conduction.....	80
III.1.	Description des modèles numériques.....	80
III.1.1.	Géométrie et paramétrage des modèles.....	80
III.1.2.	Matériaux et modélisation de leur comportement électrothermique	85
III.1.3.	Conditions aux limites.....	86
III.1.4.	Maillage et solveur.....	88
III.2.	Extraction des caractéristiques des transistors MOSFETs et des fils	89
III.2.1.	Description du banc de test	89
III.2.2.	Caractérisations électrothermiques $I(V, T_j)$ des MOSFETs.....	92
III.3.	Résultats de simulation avec les modèles par éléments finis	99
Chapitre IV:	Campagne expérimentale – Validation des modèles par éléments finis	112
IV.1.	Méthodologie de mesure en dissipation	112
IV.1.1.	Usage du banc de test en dissipation	112
IV.1.2.	Technique de mesure avec caméra infrarouge.....	113
IV.2.	Validation des modèles par confrontation expérimentale	113
IV.2.1.	Validation du modèle sans void	116
IV.2.2.	Validation du modèle avec void	123
IV.3.	Evaluation de l'impact du void en régime établi de conduction par la méthode de surface de réponse.....	132
IV.3.1.	Réalisation de l'étude paramétrique et extraction des réponses.....	132
IV.3.2.	Evaluation globale du modèle postulé	133
IV.3.3.	Analyse mathématique du modèle	134
IV.3.4.	Analyse ANOVA du modèle quadratique.....	135
IV.3.5.	Analyse graphique du modèle	144
IV.3.6.	Validation des fonctions de réponse	146
Conclusion générale et perspectives.....		148
Annexes.....		151
Références bibliographiques.....		170

Liste des figures

Fig. I-1 : Exemple d'un convertisseur à découpage basique.....	16
Fig. I-2 : Coupe d'un MOSFET trench (a) et d'un MOSFET planar (b)	17
Fig. I-3: Structure du MOSFET utilisé dans cette étude.....	18
Fig. I-4 : Représentation schématique d'un module de puissance conventionnel.....	20
Fig. I-5 : Notion de mouillabilité	22
Fig. I-6 : Formation de void Kirkendall dans le cas de la brasure SAC 405 (a) et SnPb (b) [87]....	29
Fig. I-7 : Formation de void aux frontières des grains lors du cyclage thermique [90].....	29
Fig. I-8 : Void froid (a) et void chaud (b)	31
Fig. I-9 : Explication de Fleischer sur l'effet de l'épaisseur du void unique et des voids distribués sur la résistance thermique de l'assemblage.....	33
Fig. I-10: Les configurations de voids dans le joint d'attache.....	38
Fig. I-11: Schéma de principe de la méthode directe avec le tableau de données de puissance....	43
Fig. I-12 : Schéma de principe de la méthode de relaxation.....	43
Fig. I-13 : Classification des modèles thermiques	45
Fig. II-1 : Formalisation de la méthodologie utilisée.....	48
Fig. II-2 : Facteurs et réponses.....	52
Fig. II-3 : Définition des facteurs X_v , Y_v et T_v	59
Fig. II-4 : Schéma d'assemblage des prototypes expérimentaux.....	60
Fig. II-5 : Vis pour la fixation du substrat sur la semelle et trous pour la fixation de la semelle sur la plaque de support	61
Fig. II-6 : Limitation du domaine d'étude par les contraintes entre X_v , Y_v et T_v	62
Fig. II-7 : Cartographie de la température d'un module MOSFET sans void	64
Fig. II-8: Schéma de la puce avec les prises de contact de source et de grille	64
Fig. II-9: Définition des niveaux des facteurs X_v et Y_v	65
Fig. II-10 : Analyse FDS du plan optimal.....	70
Fig. II-11 : Erreur de prédiction en fonction de la position du void, lorsque $T_v = 2\text{mm}$, $Y_v = 235\mu\text{m}$, $k_1 = 8$, $k_2 = 20,5$	71
Fig. II-12 : Procédé d'assemblage des prototypes MOSFETs	75
Fig. II-13 : Profil de température du procédé de brasage sous vide	76
Fig. II-14 : Création de voids contrôlés (diamètre des voids entre 2 et 3mm)	77
Fig. II-15 : Un prototype expérimental à MOSFET	78
Fig. II-16 : Câblage des fils par Wire Bonder	79
Fig. III-1: Vue globale (a) de la géométrie du modèle (sans void) et vue locale dans la zone du MOSFET.....	80
Fig. III-2: Géométrie du modèle en épaisseur	81
Fig. III-3: Vue frontale (a), vue de dessus (b) du fil de puissance sur SolidWorks et vue de dessus du fil dans un prototype avec la zone de diffusion (dans le cercle) (c)	82
Fig. III-4 : Vue de dessus du MOSFET.....	83
Fig. III-5: Géométrie du MOSFET en épaisseur du modèle	84
Fig. III-6 : Modélisation du void	85
Fig. III-7: Entrée et sortie du courant	87

Fig. III-8: Maillage global comprenant celui des fils de puissance (en bleu) (a) et contrôle local du maillage de la brasure (Nb_Mail_Void = 40) dans le modèle avec void.....	88
Fig. III-9: Banc de test (TEMA/SATIE - IFSTTAR).....	89
Fig. III-10: Système d'aiguillage du banc de caractérisation.....	90
Fig. III-11: Circuit d'écrêtage.....	91
Fig. III-12 : Emplacement du thermocouple ouvert.....	92
Fig. III-13: Caractérisation électrothermique du MOSFET N°2 à 200A – 160°C.....	93
Fig. III-14: Caractérisation $I(V, T_j)$ du MOSFET N°2.....	93
Fig. III-15: Résistivité de la partie active du MOSFET N°2 en fonction de la température.....	94
Fig. III-16 : Contribution à la puissance totale du MOSFET et des fils.....	95
Fig. III-17: Emplacement des prises de mesure pour la chute de tension dans les fils.....	96
Fig. III-18: Caractéristiques $\rho_{fil}(T)$ des fils de puissance.....	97
Fig. III-19: Caractéristiques $\rho_{active}(T)$ des MOSFETs peints.....	98
Fig. III-20: Caractéristiques $\rho_{fil}(T)$ des modules peints.....	99
Fig. III-21: Distribution globale de la température obtenue avec le modèle sans void.....	100
Fig. III-22 : Couplage température – courant à la surface de la métallisation de source.....	101
Fig. III-23 : Circulation du courant dans l'épaisseur du MOSFET et dans un fil de bonding.....	102
Fig. III-24 : Influence du phénomène de diffusion thermique par conduction des fils sur la localisation de la zone la plus chaude.....	103
Fig. III-25 : Localisation de section où est calculé le courant dans chaque fil.....	104
Fig. III-26 : Distribution du courant dans les fils.....	104
Fig. III-27 : Potentiel électrique au niveau de l'assemblage (a) et de la zone du MOSFET (b).....	105
Fig. III-28 : Distribution du potentiel électrique en surface de la métallisation de source.....	105
Fig. III-29 : Comparaison entre la température dans la zone du void obtenue avec le modèle sans void (a) et avec void (b).....	106
Fig. III-30 : Comparaison entre la température globale obtenue avec le modèle sans void (a) et avec void (b).....	106
Fig. III-31 : Température des fils suivant le profil F.....	107
Fig. III-32 : Densité et direction du courant dans le modèle sans void (a) et avec void (b).....	108
Fig. III-33: Densité de courant dans la métallisation présentée dans le plan H1.....	109
Fig. III-34: Densité de courant dans le substrat N+ du MOSFET présentée dans le plan H2 obtenue avec le modèle avec void.....	110
Fig. III-35 : Norme de la densité de courant calculée à partir du modèle sans void (a) et avec void (b).....	110
Fig. IV-1 : Evaluation de la température de l'assemblage par une mesure infrarouge.....	113
Fig. IV-2 : Mesures de température disponibles sur l'assemblage.....	114
Fig. IV-3 : Réseau thermique simplifié en régime établi.....	115
Fig. IV-4 : Evaluation numérique de l'impact des interfaces TIM1 et TIM2 sur la température de l'assemblage.....	116
Fig. IV-5 : Distribution du potentiel électrique (mV) à la surface de la métallisation.....	117
Fig. IV-6 : Température globale de l'assemblage (°C) obtenue par simulation (a) et mesure IR (b) avec le module N°2 dont l'analyse RX est montrée en (c).....	118
Fig. IV-7 : Définition des profils F1 et F2 et de la numérotation des fils.....	119
Fig. IV-8 : Comparaison de la température des fils N°1 et N°2 suivant les profils F1 et F2 entre les mesures et la simulation.....	119

Fig. IV-9 : Evaluation numérique de la distribution du courant total (200A) dans chacun des fils de bonding	120
Fig. IV-10 : Masques (a), artefacts optiques (b) et zone utile (hors de la zone noire) (c).....	121
Fig. IV-11 : Prise de température sur la métallisation et définition des profils	121
Fig. IV-12 : Comparaison entre mesure et simulation de la température sur la face supérieure de la puce MOSFET suivant les profils.....	122
Fig. IV-13 : Position des voids à étudier	123
Fig. IV-14 : Confrontation thermique entre les simulations (a) et les mesures (b) pour différentes position du void (c)	125
Fig. IV-15 : Profil V-V (a) et température obtenue par des mesures IR (cercles rouges), par simulation avec le modèle avec void (lignes bleues) et sans void (lignes noires) suivant ce profil	127
Fig. IV-16 : Température suivant les profils F1 et F3 du module N°45 obtenue par simulation (a) et par mesure (b)	129
Fig. IV-17 : Température suivant les profils F1 et F2 du module N°46	130
Fig. IV-18 : Température suivant les profils F1 & F6 du module N°47	131
Fig. IV-19 : Température de jonction du MOSFET donnée par l'expérience N°5 ($X_v=1,29\text{mm}$; $Y_v=6,7\text{mm}$; $T_v=2,5\text{mm}$; $E_v=225,5\mu\text{m}$; $k_1=1$, $k_2=39,025$)	142
Fig. IV-20 : Température de jonction du MOSFET donnée par l'expérience N°2 ($X_v=1,29\text{mm}$; $Y_v=1,93\text{mm}$; $T_v=2,5\text{mm}$; $E_v=220\mu\text{m}$; $k_1=3,17$, $k_2=33,175$)	143
Fig. IV-21 : Effet de Y_v et T_v sur $T_{\max}(\text{MOS})$ avec $X_v(\text{codé})=-0,67$ (a) et $X_v(\text{codé})=0,51\text{mm}$ (b).	145
Fig. IV-22 : Effet de X_v et Y_v sur $T_{\max}(\text{MOS})$ quand $T_v(\text{codé})=1$	145
Fig. IV-23 : Effet de Y_v et T_v sur $T_{\max}(\text{fils})$ quand $X_v(\text{codé})=-0,34$ (a) et effet de la position (X_v , Y_v) du void sur $T_{\max}(\text{fils})$ quand $T_v(\text{codé})=1$ (b)	146

Liste des tableaux

Tableau I-1 : Critères des alliages sans plomb [29]	23
Tableau I-2 : Les alliages tendres sans plomb basses températures	24
Tableau I-3 : Les alliages tendres sans plomb hautes températures	27
Tableau I-4 : Exemples de configurations de voids	37
Tableau I-5 : Classifications des voids selon la norme IPC-7095	38
Tableau I-6 : Norme IPC-7095 pour l'inspection de la qualité du joint brasé BGA (le pourcentage est exprimé par la surface de void par rapport à la surface globale de la brasure observée en tomographie 2D RX)	39
Tableau I-7 : Comparaison des deux méthodes de modélisation électrothermique[118]	44
Tableau I-8 : Niveaux de modélisation thermique	44
Tableau II-1 : Plan optimal pour l'étude de MOSFET en conduction	68
Tableau II-2 : Analyse globale de l'emplacement des points d'expériences (cf. Tableau II-1)	69
Tableau II-3 : Vérification de la multi-linéarité des facteurs	72
Tableau II-4 : Evaluation de l'effet de levier	73
Tableau III-1 : Les dimensions des éléments de l'assemblage	81
Tableau III-2 : Récapitulatif des propriétés physiques des matériaux utilisés dans les modèles [99]:	86
Tableau III-3 : Caractérisation électrothermique du MOSFET N°2	94
Tableau III-4 : Coefficient de régression linéaire de la résistivité électrique de la partie active en fonction de la température exprimée en Kelvin	98
Tableau III-5 : Coefficients ρ_{fil}^T et ρ_{fil}^0 pour les différents prototypes	99
Tableau III-6: Impact du void sur la distribution du courant dans les fils	107
Tableau IV-1 : Relevé des chutes de tension dans le MOSFET et dans les fils par mesures électriques et par simulation	117
Tableau IV-2 : Estimation de la distribution des niveaux de courant dans les fils par simulation	120
Tableau IV-3 : Comparaison de la température en différents points de l'assemblage	123
Tableau IV-4 : Configurations du void dans les modules utilisés	124
Tableau IV-5 : Chutes de tension dans le MOSFET et dans les fils obtenues par des mesures électriques et par simulation (dans les parenthèses)	124
Tableau IV-6 : Distribution du courant dans les fils (Module N°45)	129
Tableau IV-7 : Distribution du courant dans les fils (Module N°46)	130
Tableau IV-8 : Distribution du courant dans les fils (Module N°47)	131
Tableau IV-9 : Extraction des réponses obtenues par simulation pour le plan optimal	133
Tableau IV-10 : Identification des estimateurs du modèle quadratique de deux réponses	135
Tableau IV-11 : Analyse ANOVA globale du modèle	138
Tableau IV-12 : Caractéristiques du modèle quadratique	139
Tableau IV-13 : Les facteurs influents	141
Tableau IV-14 : Prédiction des réponses numériques pour les modules avec void utilisés	146

Introduction générale

L'épuisement des ressources fossiles (pétrole, gaz naturel...) face à une consommation énergétique de plus en plus croissante et le problème de pollution dû à l'effet de serre conduisent à réduire leur consommation. La consommation de pétrole ne cesse d'augmenter depuis les années 30 avec l'accélération de l'économie mondiale tandis que le nombre de gisements à faibles coûts d'exploitation est en baisse. L'agence internationale de l'énergie (IEA) a prévu un record du bilan énergétique dans les prochaines années, avec 92,5 millions de barils par jour, contre 92,1 millions en 2013 [1]. Lorsque les négociations internationales pour réduire les émissions de gaz à effet de serre ont commencé, l'émission mondiale du dioxyde de carbone due à la combustion des carburants atteignait un nouveau record avec 36 milliards de tonnes de CO₂ en 2013 [2], correspondant à 165% des émissions enregistrées en 1990.

Bien que d'autres énergies (nucléaire, solaire, éolienne...) se substituent massivement au pétrole dans plusieurs secteurs d'activité (industrie, résidentiel-tertiaire...), la demande de pétrole dans le secteur des transports poursuit sa croissance, avec une contribution de 70% de la consommation globale [3]. L'intensification des émissions de gaz à effet de serre produites lors de la combustion des énergies fossiles, à l'origine de problèmes environnementaux majeurs sur notre planète, contribue au développement et à l'utilisation de l'énergie électrique (électrification des avions, hybridation des voitures...).

Le secteur automobile, qui est un des moyens de transport le plus utilisé, doit répondre aux problèmes de raréfaction des ressources et de pollution. Parmi les solutions envisageables, l'électrification des véhicules est à l'heure actuelle une alternative intéressante permettant de réduire l'usage des carburants, de limiter l'impact sur l'environnement. Le plan pour le véhicule décarboné, lancé par le gouvernement français, inclut le développement de véhicules tout électrique et hybrides.

Un des objectifs rationnels de l'électrification des véhicules est d'améliorer les rendements énergétiques lors de la transformation de l'énergie source (batteries) à celle adaptée au fonctionnement du moteur. Cette nécessité met au-devant de la scène le rôle des convertisseurs électroniques de puissance, dont les éléments principaux sont les modules de puissance à base de composants semi-conducteurs.

Les convertisseurs électroniques de puissance sont amenés à fonctionner sous des conditions applicatives très sévères (haute température, fortes contraintes électriques, vibrations, humidité...). De plus, les attentes des industriels, de plus en plus exigeants en termes de taux d'intégration et de réduction des coûts, se trouvent confrontées à des impératifs de performance énergétique et de fiabilité [4]. La qualité de réalisation de l'assemblage est donc importante. Cela nécessite que les technologies d'attache utilisées pour l'intégration des composants semi-conducteurs (joint d'assemblage) présentent des performances élevées. En effet, celui-ci doit permettre durant son fonctionnement la circulation de fortes densités de courant et de flux thermiques élevés. Dès lors, la technologie d'attache utilisée pour le report des puces est un élément très critique du point de vue électrothermique et thermomécanique. Or, des cavités d'air (voids) dans l'attache de puce, appelée traditionnellement brasure, peuvent se créer durant le procédé de réalisation en raison de nombreux facteurs. Une étude (analyse de Pareto) a été présentée dans la revue de Rehm Thermal Systems en 2014 [5], permettant d'identifier les

facteurs à l'origine de la formation de void. Lors du processus de brasage, le void peut être formé à cause d'un mauvais état de surface du substrat, de la présence de résidu et d'une mauvaise maîtrise de la phase de refusion [6]. La présence de void dans les brasures de la puce peut être préjudiciable pour la performance et la durée de vie des composants. En effet, les voids empêchent localement l'évacuation de la chaleur en provenance du composant vers le système de refroidissement. Cette situation semblerait conduire à une redistribution du courant en fonction des caractéristiques électrothermiques du composant de puissance [7]. La dépendance du comportement des composants de puissance, qui met en jeu des densités de puissances dissipées importantes, explique l'apparition de points chauds (hot spots) dans le composant à l'aplomb des voids. Cette contrainte thermique localisée peut engendrer la destruction du composant soit de façon directe, soit en initiant un processus de vieillissement et de fatigue [8].

La directive européenne RoHS (Restriction of Hazardous Substances Directive), visant à limiter l'utilisation de six substances dangereuses, y compris le plomb, a pris effet le 1er Juillet 2006. Cette directive, qui touche différents types d'équipements électriques et électroniques, a été à l'origine d'une forte évolution des technologies d'attache de puce. De nombreux alliages sans plomb ont fait l'objet de travaux de recherche afin de trouver une alternative aux alliages SnPb classiques tout en ayant des performances et une fiabilité comparables. A l'heure actuelle, la brasure SAC (SnAgCu) est la solution la plus utilisée dans l'industrie [9]. Une des limitations de cette brasure, tout comme celle des autres alternatives, est leur mouillabilité qui n'est pas comparable à celle des alliages classiques. Cette problématique favorise la formation de void dans la brasure [10]. L'élimination des voids devient alors complexe face au grand nombre de facteurs à maîtriser mais surtout face à la mauvaise mouillabilité. Certaines technologies de brasage, comme le brasage sous vide, permettent de réduire significativement le taux de void jusqu'à 1% [11]. Cependant, la mise en place de ces technologies dans une chaîne de production est difficile. En effet, le brasage sous vide est un procédé lent, de l'ordre d'une vingtaine de minutes pour un cycle de brasage [7]. Il nécessite une mise en œuvre compliquée et demande un coût élevé [12]. La présence d'une pression élevée pendant le brasage par rapport à la pression ambiante a pour objectif l'évacuation des voids, mais risque d'incliner la puce [7]. La difficulté de trouver un compromis entre les critères de production et l'élimination des voids amène à utiliser le brasage conventionnel en contrôlant la densité de void à un niveau acceptable [12]. Cette densité varie en fonction des caractéristiques de void (géométrie, position, distribution...). L'optimisation de ce niveau d'acceptabilité est cruciale. Un seuillage trop sévère engendre des pertes économiques importantes alors qu'un critère trop souple va pénaliser les performances et la fiabilité du composant.

A l'issue d'une étude sur l'état de l'art, il ne semble pas exister de norme dans le domaine de l'électronique de puissance permettant de définir un niveau acceptable de void présent dans l'attache de puce. Cette lacune nous conduit à devoir approfondir le sujet à travers la mise en évidence des phénomènes multi-physiques mis en jeu. Les travaux entrepris lors de cette thèse sont réalisés dans le cadre d'une collaboration entre l'institut VEDECOM, (Véhicule Décarboné et Communicant et de sa Mobilité) et l'institut IFSTTAR (Institut Français des Sciences et Technologies des Transports, de l'Aménagement et des Réseaux). Ils ont pour objectif de proposer des algorithmes à implanter dans un outil de contrôle de qualité d'un assemblage de puissance, en optimisant les critères d'acceptabilité du void. Ces travaux sont basés sur des analyses couplées entre l'expérimental et la simulation numérique. Afin d'identifier la configuration la plus critique du void et de limiter le nombre de configuration à tester, nous utiliserons la méthode de surface

de réponse (MSR). Sur le plan expérimental, la réalisation du void nécessite la mise en place d'un processus, dans lequel la position et la taille sont correctement contrôlées. Celui-ci est suivi par une campagne de mesure thermique avec caméra infrarouge.

Cette étude permet d'apporter des connaissances supplémentaires dans le domaine de l'impact des voids sur les performances. L'originalité des travaux présentés provient de la conception de modèles par éléments finis. Une des particularités de ces modèles se situe dans la capacité de prendre en compte un grand facteur d'échelle entre le niveau du composant MOSFET et celui de l'assemblage. Bien que la modélisation électrothermique ne soit pas innovante, l'application d'un tel modèle pour évaluer l'effet du void semble nouvelle. La finesse des modèles proposés ici permet de mieux appréhender les phénomènes multiphysiques à l'intérieur de l'assemblage, par rapport aux modèles thermiques utilisés jusqu'à présent. Un autre point particulier des modèles proposés dans notre étude, correspond aux propriétés électriques du MOSFET et des fils caractérisant la quantité de chaleur, et qui sont issues de campagnes de caractérisations électrothermiques. Celles-ci permettent de définir des lois physiques plus réalistes par rapport aux données existantes dans la bibliographie. L'aspect novateur de cette étude réside aussi dans l'évaluation des effets couplés entre les différents facteurs influents, à l'aide de la méthode MSR. Elle permet d'estimer l'impact du void pour différentes configurations, ce qui est impossible avec les méthodes classiques (par exemple la méthode « un facteur à la fois »). Enfin, la validation expérimentale, se basant sur des prototypes ayant des voids contrôlés dans l'attache de puce, justifie la robustesse des modèles et la pertinence des réponses obtenues avec la méthode MSR.

Ce mémoire est composé de quatre chapitres. Le premier chapitre introduit l'architecture d'un module électronique de puissance et les contraintes fonctionnelles liées à chaque élément du module. Nous nous focaliserons ensuite sur la brasure de la puce, en regardant l'évolution technologique des alliages utilisés pour la réalisation du joint brasé ainsi que leurs problématiques. Une description succincte des travaux antérieurs sur l'investigation de l'effet du void est aussi présentée. Ce travail bibliographique nous aidera à identifier l'approche la plus adaptée pour atteindre notre objectif en tenant compte des moyens numériques et expérimentaux disponibles. Le deuxième chapitre consiste à élaborer un plan d'expériences optimal pour notre approche MSR. Ceci permet d'identifier les configurations de void à étudier. Le troisième chapitre est consacré à la conception des modèles par éléments finis, représentatifs de deux cas : avec et sans void. Ces modèles seront paramétrés pour pouvoir être couplés avec le plan optimal. L'évaluation numérique du comportement électrothermique de l'assemblage en présence du void sera aussi présentée. Le dernier chapitre détaillera les résultats issus de la campagne expérimentale, et les confrontera aux résultats obtenus avec les modèles numériques pour validation. Une étude paramétrique du modèle avec void, s'appuyant sur le plan optimal, permettra de renseigner les réponses traduisant l'impact du void sur la performance de l'assemblage. En prenant en compte ces réponses à travers une analyse statistique ANOVA (Analysis of Variance), le plan optimal établit une loi d'évaluation de l'impact du void en mettant en évidence la criticité des facteurs influents retenus.

Chapitre I: Assemblage de puissance et ses problématiques

I.1. Les systèmes électroniques de puissance à semi-conducteur

I.1.1. Rôle des interrupteurs de puissance dans la conversion d'énergie

L'électronique de puissance regroupe les dispositifs permettant d'optimiser les transferts d'énergie électrique entre une source et un récepteur en garantissant un rendement élevé (>95%). Le principe de fonctionnement de ces convertisseurs repose sur l'utilisation d'« interrupteurs statiques » à semi-conducteur (ou « commutateurs »), fonctionnant en mode « passant ou bloqué ». Les architectures des convertisseurs statiques sont définies en fonction des besoins applicatifs. Dans un circuit de base utilisant des convertisseurs à découpage, l'élément principal est une « cellule de commutation » (cf. Figure I-1) dans laquelle deux interrupteurs fonctionnent de manière alternative : l'un est ouvert quand l'autre est fermé. La cellule de commutation est réalisée au moyen d'éléments semi-conducteurs de puissance. Le récepteur voit par conséquent soit la tension source (quand K1 est fermé et K2 ouvert), soit une tension nulle (quand K1 est ouvert et K2 fermé). En changeant d'état rapidement, on trouve aux bornes du récepteur une tension inférieure à la tension source E , réglable en ajustant le rapport cyclique. Ce rapport cyclique caractérise le temps pendant lequel l'interrupteur K1 reste à l'état passant sur la période de découpage. L'avantage majeur des convertisseurs à découpage est de permettre un rendement proche de l'unité, ce qui est impossible avec un convertisseur linéaire. La puissance dissipée est réduite aux pertes des éléments du circuit.

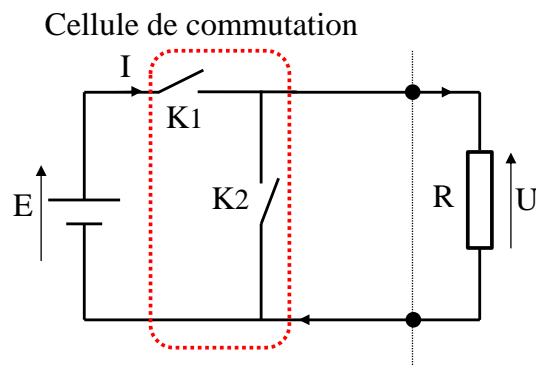


Fig. I-1 : Exemple d'un convertisseur à découpage basique

I.1.2. Les interrupteurs de puissance

Comme présenté précédemment, le principe de la conversion d'énergie s'appuie sur les commutations des interrupteurs de puissance dont les performances et les domaines d'usage conditionnent le choix de la technologie des composants de puissance. Concrètement, le choix de l'interrupteur de puissance est contraint par le mode de commande, la fréquence de commutation et le niveau du courant et de la tension à bloquer dans l'application [13]. Pour les applications très basses tensions (inférieure à 250V), l'utilisation des MOSFETs est préférentielle tandis que pour les tensions plus importantes (supérieure à 1000V), le choix tend vers les transistors IGBTs (Insulated Gate Bipolar Transistor) [14]. Pour les gammes de tension intermédiaires, d'autres impératifs doivent être pris en considération. Les interrupteurs utilisés dans cette étude sont

intégrés dans un convertisseur doubles fonctions « onduleur/redresseur » du système micro-hybride. Ceci représente le premier niveau d'hybridation dans les applications automobiles. Lorsque l'alternateur-démarrreur est en mode démarreur, la conversion d'énergie est assurée par l'onduleur triphasé alimenté en 12V. Ce dernier va transformer l'énergie électrique continue de la batterie en énergie électrique alternative pour l'alternateur-démarrreur. En revanche, lorsque l'alternateur-démarrreur est en mode alternateur pour recharger la batterie, le convertisseur va redresser les tensions de l'alternateur. Les interrupteurs choisis pour l'onduleur triphasé de l'alternateur-démarrreur doivent pouvoir tenir la tension maximale de la batterie lorsqu'ils sont à l'état ouvert. Leur tenue en tension doit être supérieure à la tension de la batterie pour les protéger contre d'éventuelles surtensions dans le réseau. Le choix des interrupteurs de puissance doit ainsi permettre de réduire au maximum les pertes dues à leur auto-échauffement. Ils doivent de ce fait disposer d'une faible résistance à l'état passant. La gamme de tension et les contraintes applicatives lors du fonctionnement de l'onduleur imposent d'utiliser des MOSFETs basse tension. Dans ce paragraphe, nous allons présenter la structure, les technologies et les différents modes de fonctionnement des composants de puissance utilisés pendant les travaux de thèse.

Les transistors MOSFETs en silicium comptent parmi les composants de puissance les plus utilisés en raison de nombreuses caractéristiques favorables à leur intégration dans les convertisseurs basses tensions : faible besoin de puissance pour la commande, fréquences de commutation élevées et facilité d'association en parallèle. Un MOSFET est constitué par la mise en parallèle d'un grand nombre de cellules élémentaires. Ceux utilisés en électronique de puissance sont de structure verticale. Cela offre une tenue en tension plus importante, une meilleure distribution des courants dans les cellules élémentaires. Il existe deux structures se différenciant par la technologie d'intégration de la grille qui assure la commande du transistor (cf. Figure I-2). Les MOSFETs de type « trench » ont une faible résistance à l'état passant, grâce à l'élimination de la résistance parasite JFET entre deux cellules élémentaires adjacentes [15]. Ils permettent une densité de cellules plus élevée que les MOSFETs de type planar [16]. En revanche, les MOSFETs « planar » sont plus facilement utilisés à cause de leur procédé de fabrication moins complexe [17].

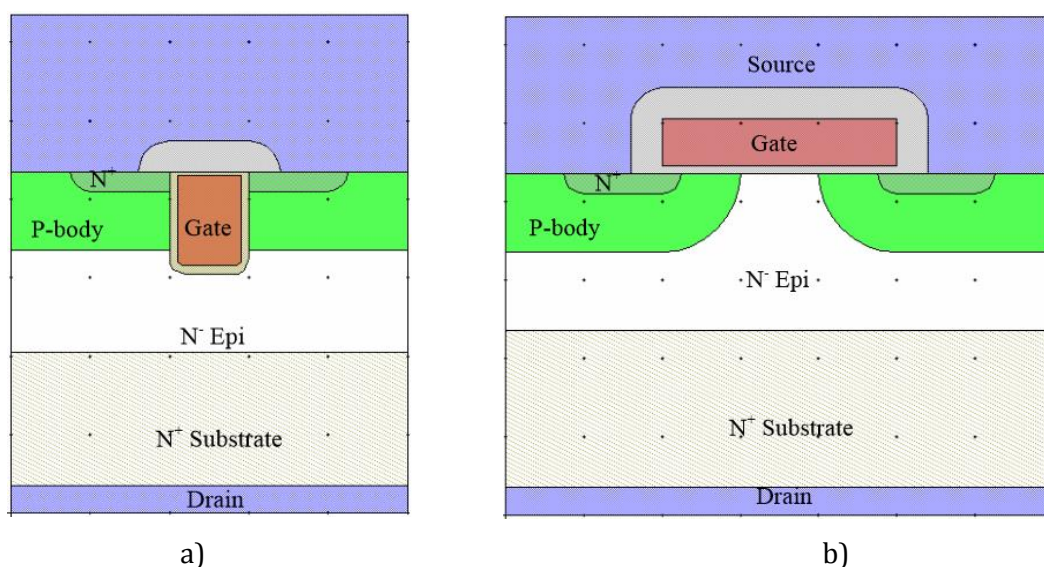


Fig. I-2 : Coupe d'un MOSFET trench (a) et d'un MOSFET planar (b)

Les MOSFETs utilisés dans les travaux de cette thèse sont des composants verticaux en silicium de type N à structure planar (VDMOS) qui ont été développés spécifiquement pour des

applications automobiles basse tension et fort courant (24V – 500A). Chaque cellule MOSFET se caractérise par une zone dite active de 10µm d'épaisseur, une zone de substrat N+ de 228µm d'épaisseur, deux zones de métallisation de source de 10µm d'épaisseur et de drain de 1µm d'épaisseur. La zone active englobe la zone du caisson N+, la zone du canal, la zone d'accumulation de charge, la zone créée par le transistor JFET parasite et enfin la zone de tenue en tension. (cf. Figure I-3). La contribution à la résistance à l'état passant de la zone active est caractérisée par les résistances respectives R_{CSN} , R_{CH} , R_A , R_{JFET} , R_D . La zone de substrat se caractérise par la résistance R_{N+} . Les zones de métallisation se caractérisent par les résistances R_{CS} (source) et R_{CD} (drain).

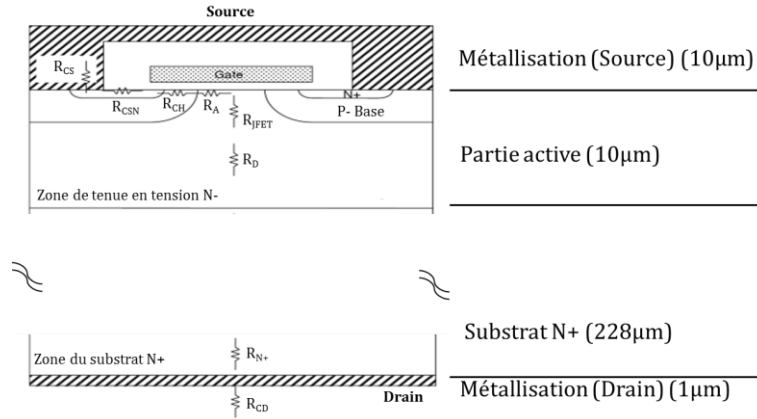


Fig. I-3: Structure du MOSFET utilisé dans cette étude

Une des caractéristiques statiques importantes d'un MOSFET est sa résistance à l'état passant (R_{ds_ON}). Pour une tension de commande V_{gs} suffisamment grande devant la tension de seuil (V_{TH}), la courbe I_D fonction de V_{ds} est linéaire et la résistance R_{ds_ON} est définie par :

$$R_{ds_ON} = \frac{V_{ds}}{I_D} \quad (V_{gs} \gg V_{TH}) \quad (I-1)$$

En discrétisant cette résistance globale en différentes résistances élémentaires caractérisant les zones résistives que nous venons de présenter, elle peut être formulée par la relation [15]:

$$R_{ds_ON} = R_{CS} + (R_{CSN} + R_{CH} + R_A + R_{JFET} + R_D) + R_{N+} + R_{CD} \quad (I-2)$$

Pour les MOSFETs basse tension de type VDMOS, les résistances R_{CS} , R_{CSN} , R_{CD} sont négligeables [15] dues à leur forte conductivité électrique et faible épaisseur. Nous pouvons donc ré-exprimer la résistance R_{ds_ON} à l'aide de la relation ci-dessous où la résistance R_{active} correspond à la résistance équivalente de la partie active du MOSFET.

$$R_{ds_ON} = (R_{CH} + R_A + R_{JFET} + R_D) + R_{N+} = R_{active} + R_{N+} \quad (I-3)$$

La partie active et le substrat N+ sont les deux zones de dissipation volumique principale lorsque le MOSFET est en régime de conduction. A noter que pour une tension de commande donnée, le

courant I_D est limité par le phénomène de pincement du canal, atteint lorsque la chute de tension directe V_{DS} dépasse une tension valant $V_{GS} - V_{TH}$. Le MOSFET est alors dit en régime de saturation.

I.2. Les modules de puissance et leurs contraintes fonctionnelles

Les convertisseurs électroniques de puissance sont réalisés à partir d'un assemblage de puces semi-conductrices. Un module électronique de puissance doit assurer à la fois des fonctions mécaniques, électriques, thermiques et de protection [16].

L'architecture du convertisseur et les choix technologiques intégrés dans le module de puissance varient suivant les domaines d'application (automobile, aéronautique, maritime, ferroviaire...). L'électronique de puissance est parfois soumise à des environnements contraignants que ce soit en température, humidité et vibrations. Les composants de puissance sont particulièrement sensibles à la température car ils dissipent de forts flux thermiques en fonctionnement provoquant un auto-échauffement important. Lorsque la température du composant dépasse sa limite de température, ses performances risquent de se dégrader. C'est aussi un facteur d'accélération des mécanismes d'endommagements. La qualité de réalisation de l'assemblage d'un module de puissance est donc primordiale pour satisfaire les besoins en performance et en fiabilité. Dans les domaines de l'automobile et de l'aéronautique, les besoins applicatifs amènent à réduire l'encombrement et le poids des convertisseurs [17]–[19]. Ces exigences entraînent une augmentation significative des densités de courant et de puissance au sein des modules de puissance. La fabrication industrielle [20] repose sur une amélioration des technologies des composants et d'assemblage tout en maintenant un bon rapport qualité – prix.

Le premier module de puissance isolé a été inventé par Semikron sous le nom de SEMIPACK 1 en 1975 [21]. Il s'appuie sur un schéma d'assemblage dit « conventionnel » qui est le plus commun pour les applications moyennes et fortes puissances à base de composants IGBTs et MOSFETs (cf. Figure I-4). Ce module comprend des puces semi-conductrices reportées sur un substrat céramique isolé par un joint d'attache. Ce dernier est une interface réalisant les liaisons entre la partie électrothermique (fils de connexion internes et externes, puce, joint d'attache de puce) et la partie thermique (semelle, graisse thermique, refroidisseur...). Le substrat se décompose en pistes conductrices reportées sur une céramique assurant l'isolation électrique. Ce substrat céramique est assemblé à une semelle qui a pour rôle l'amélioration de la tenue mécanique et de favoriser le transfert thermique vers le système de refroidissement. Les liaisons électriques internes avec les parties actives, incluant les fils de puissance et de commande, sont assurées par les fils de bonding. Lors de la mise en boîtier, les constituants sont noyés dans un gel silicone isolant électrique afin d'une part d'améliorer la tenue diélectrique de l'ensemble et d'autre part de protéger les parties actives des agressions externes (poussières, corrosion...).

Pour améliorer l'évacuation de la chaleur pendant le cycle de fonctionnement, le module de puissance est reporté sur une source froide de type radiateur. Ce dispositif permet de maintenir la température de jonction du composant, qui est la température moyenne prise localement dans la zone de silicium formant la jonction, sous la limite spécifiée par le fabricant. Au cours des années, la structure du packaging a été modifiée pour répondre à des critères fonctionnels, économiques et environnementaux. Nous nous focaliserons en particulier, en termes d'optimisation de technologie d'assemblage, sur la qualité de la réalisation de l'attache de puce, qui a un impact non négligeable sur la performance et la fiabilité des assemblages.

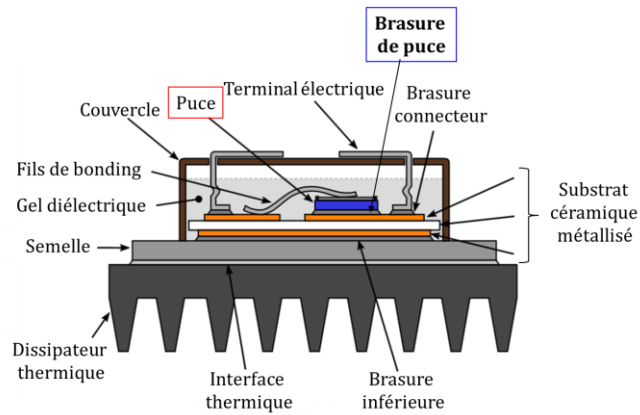


Fig. I-4 : Représentation schématique d'un module de puissance conventionnel

I.3. Problématiques liées à l'attache de puce

I.3.1. Les technologies d'attache de puce

L'attache de puce assure la liaison entre la puce semi-conductrice et le substrat. Dans les applications automobiles, les recherches vers une plus grande intégration ont pour objectif d'ici 2020 de doubler la densité de puissance des convertisseurs avec $10\text{kW}/\text{dm}^3$ contre les $5\text{kW}/\text{dm}^3$ actuels [22]. Les contraintes reportées dans le joint d'assemblage, permettant le report de la partie active, sont encore plus sévères au regard de l'évolution de la densité de puissance des convertisseurs. Cet élément de l'assemblage est l'un des plus critiques en raison des fortes contraintes électriques, thermiques et mécaniques qu'il subit :

- Il doit posséder une bonne conductivité thermique afin de faciliter l'évacuation des calories dissipées dans le composant actif vers le système de refroidissement pour contenir l'élévation de la température ;
- Il doit posséder une bonne conductivité électrique afin de garantir les performances électriques du module de puissance. Le contact électrique doit être le plus homogène possible pour éviter la focalisation d'une densité de courant élevée au niveau des contacts ponctuels qui viendraient affecter le comportement électrothermique du composant [23]. De plus, avec le transport d'une grande densité de courant à travers le joint d'attache de puce, la résistance locale due à l'inhomogénéité du contact électrique peut croître rapidement et conduire à la défaillance du composant ;
- Il doit permettre le maintien mécanique du composant semi-conducteur sur le substrat. Le coefficient de dilatation des matériaux de l'attache de puce doit être compatible avec celui du composant semi-conducteur (de l'ordre de quelques ppm/°C) et du substrat métallisé (au tour d'une dizaine de ppm/°C). La variation du champ de température lorsque l'assemblage est en fonctionnement, combinée aux différences de coefficients de dilatation thermique, induit des contraintes mécaniques au niveau de la brasure conduisant à la fatigue thermomécanique de cette dernière [16].

Le choix de la technologie d'attache doit répondre à ces contraintes fonctionnelles. Nous aborderons dans la prochaine partie les technologies d'attaches les plus utilisées dans l'électronique de puissance, en particulier dans le domaine automobile.

I.3.1.1. Le brasage

Parmi de nombreuses technologies d'attaches rencontrées en électronique de puissance, le brasage est la technologie la plus répandue. Contrairement au soudage (welding), le brasage permet l'assemblage des pièces métalliques sans les détériorer. Il consiste à créer une liaison entre deux matériaux par la fusion d'une pièce supplémentaire appelée alliage d'apport. Cet alliage doit avoir une température de fusion inférieure à celle des métaux assemblés. Le brasage est largement utilisé pour ses avantageuses caractéristiques :

- Faible température de fusion permettant un procédé rapide. En effet, la température du brasage étant peu élevée, elle réduit ainsi le risque de détériorer les autres éléments de l'assemblage ;
- Possibilité de réaliser un brasage entre des matériaux de nature différente ;
- Facilité de mise en œuvre adaptée à une production de masse ;
- Pas de risque de dégradation des matériaux à assembler.

Le produit issu du procédé de brasage est appelé brasure. Dans un assemblage de puissance conventionnel, la brasure est utilisée pour assurer deux liaisons ; l'une entre le composant semi-conducteur et le substrat métallisé (attache de puce) et celle entre le substrat et la semelle. Ces brasures n'ont pas les mêmes contraintes fonctionnelles. Au cours de cette étude, nous focaliserons notre attention sur la première brasure située entre le composant de puissance et le substrat en raison de la criticité des contraintes qu'elle subit. Dans ce manuscrit, le terme brasure sous-entend celle qui assure l'attache de puce au substrat.

La création de la brasure fait appel à des phénomènes physico-chimiques complexes, notamment aux interfaces de contact avec les métaux qui doivent être assemblés. Schématiquement, le procédé de brasage se déroule en quatre phases principales :

- Dépôt de l'alliage d'apport sur le matériau de base et dépôt de la puce sur l'alliage d'apport ;
- Montée de la température du brasage jusqu'à la température de fusion de l'alliage d'apport ;
- Mouillage du métal de base par de l'alliage d'apport. La mouillabilité doit être améliorée en brasage pour assurer la bonne diffusion de l'alliage d'apport dans le métal de base ;
- Diffusion du métal de base dans l'alliage liquide ;
- Solidification et diffusion de l'alliage d'apport lors du refroidissement.

La mouillabilité indique la capacité d'étalement d'un liquide sur la surface d'un solide. Il se caractérise par l'angle α (cf. Figure I-5) dans l'équation de Young.

$$\cos \alpha = \frac{\gamma_{SV} - \gamma_{SL}}{\gamma_{LV}} \quad (I-4)$$

Où γ_{SL} est la tension superficielle exercée à l'interface solide (métal de base) – liquide (alliage d'apport en fusion), γ_{SV} est celle exercée à l'interface solide – vapeur (air environnant) et γ_{LV} est celle exercée à l'interface liquide – vapeur. Nous obtenons une bonne mouillabilité lorsque l'angle α est proche de zéro.

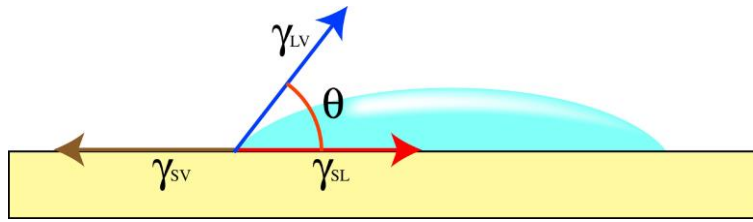


Fig. I-5 : Notion de mouillabilité

A partir d'une température dite « de mouillage », l'alliage d'apport commence à s'étaler à la surface du métal de base. La mouillabilité doit être assurée pour que la pénétration de l'alliage d'apport dans la brasure ait lieu. Celle-ci est améliorée en réduisant la tension superficielle (γ_{SV}) par l'ajout d'un flux. Le flux de brasage est un mélange de produits chimiques permettant de baisser la tension superficielle de l'alliage d'apport, d'éliminer la présence d'oxyde à la surface des métaux et de les protéger contre de nouvelles oxydations lors du brasage. L'étape de mouillage se scinde en deux phases. La première, appelée « adsorption physique », correspond à la création et au développement d'un contact physique par rapprochement des atomes, grâce aux forces d'attraction électrostatique de Van Der Waals, à l'interface de contact. L'état des surfaces présentes doit être amélioré pour faciliter les attractions des atomes. La seconde phase, appelée « adsorption chimique » est marquée par la mise en commun des électrons de valence pour former des liaisons chimiques stables et fortes. L'établissement de l'adsorption physique sans être suivie par l'adsorption chimique va conduire à un phénomène de pseudo-mouillage. Ce phénomène est observé par un étalement de l'alliage d'apport sur le métal de base lorsque la température du brasage dépasse une valeur dite de température de mouillage, et son retrait lors d'un refroidissement. Il est souvent dû à des impuretés surfaciques empêchant la mise en commun des électrons de valence qui sont à l'origine de l'adsorption chimique.

L'étape de diffusion est marquée par la formation d'une zone de cristallisation entre l'alliage d'apport à l'état liquide et le métal de base à l'état solide sous une température élevée. La diffusion d'alliage liquide en solide est prépondérante. Quand la température de brasage dépasse celle de fusion de l'alliage d'apport, la dissolution du métal de base dans l'alliage d'apport à l'état liquide aura lieu. Ceci se fera par une réaction chimique hétérogène menant à la formation des liaisons chimiques. Cette phase est suivie par une phase de diffusion des atomes dissous de l'interface liquide/solide dans le corps même de l'alliage d'apport. Les liaisons chimiques qui se sont formées lors de la phase de dissolution sont favorables à la formation de l'alliage de liaison. Sa nature et ses caractéristiques dépendent du profil de température du brasage et de la concentration des différents atomes en présence. Elles garantissent la tenue mécanique du joint brasé. A noter qu'un autre mécanisme se produit pendant la diffusion : c'est la vaporisation des composés volatils de l'alliage d'apport. Cette diffusion parasite est à l'origine des défauts, y compris des vides, qui affectent la fiabilité de la brasure.

La pénétration de l'alliage d'apport dans l'espace situé entre les métaux se fait sous l'action des forces capillaires. La montée de l'alliage d'apport à l'état liquide pendant le brasage dépend de sa tension superficielle (γ_{SV}). Or, la baisse de la tension γ_{SV} entraîne une augmentation de l'angle de contact α . Ici, nous devons donc nous assurer que, pendant cette étape, la température ne dépasse pas de façon excessive la température de mouillage puisque la tension superficielle γ_{SV} diminue lorsque la température accroit. La température du brasage est toujours à optimiser pour un procédé de brasage.

Le refroidissement permet la solidification de la brasure et l'adhésion des pièces de l'assemblage. La solidification mène à la formation de la structure de la brasure. Elle a une forte influence sur ses propriétés mécaniques. Les différentes étapes de cette phase sont détaillées dans les travaux de [24].

Le brasage est souvent classé en deux familles se distinguant par la température de fusion de l'alliage d'apport : le brasage fort (brazing) et le brasage tendre (soldering). Le brasage tendre est utilisé pour des applications basses températures. Les alliages d'apport ont une température de fusion inférieure à 300°C [25]. En revanche, dans la technique du brasage fort, la température de fusion des alliages d'apport est entre 300°C à 450°C [24]. Cette technique est donc utilisée pour les applications hautes températures. Le brasage fort utilisant des alliages de métaux précieux comme l'or, l'argent est employé pour des applications spécifiques et coûteuses, que nous n'aborderons pas ici.

Le plomb est un composé important des alliages tendres pour les applications basses températures (SnPb37) et hautes températures (PbSn5) [26]. Ces alliages sont intéressants pour leur faible température de fusion, respectivement de 183°C et 328°C [27], par rapport aux autres alliages sans plomb. De plus, ils permettent d'avoir une conductivité thermique et électrique élevée, une bonne mouillabilité, un approvisionnement aisé et un prix compétitif. La directive européenne RoHS interdit l'utilisation de certaines substances chimiques nocives dans les équipements électriques et électroniques. Le plomb faisant partie de celles-ci, cette restriction a provoqué des polémiques sur l'utilisation du plomb dans certaines technologies d'attache, y compris la technologie d'attache de puce en électronique de puissance. Les discussions ont amené à une dérogation de la directive RoHS jusqu'en 2021 pour les alliages ayant un taux massique de plomb au-delà de 85% (SnPb85, SnPb90, SnPb95). Ceci est dû à l'absence d'alternatives pertinentes pour les applications de température supérieure à 250°C [28]. La recherche de nouveaux alliages pour le remplacement des alliages classiques est devenue un des enjeux majeurs pour l'électronique de puissance notamment dans domaine automobile. Le futur candidat doit répondre à des critères non seulement de performance et de fiabilité mais aussi de fabrication (cf. Tableau I-1).

Tableau I-1 : Critères des alliages sans plomb [29]

Critères de performance et de fiabilité	Critères de fabrication
<ul style="list-style-type: none"> Résistance aux déformations thermomécaniques (traction, cisaillement, fluage, fatigue) 	<ul style="list-style-type: none"> Température de fusion comparable à celles des alliages classique, c'est-à-dire 183°C pour Sn37Pb et 310°C pour Pb5Sn[30]
<ul style="list-style-type: none"> Conductivité thermique pour assurer l'évacuation de la chaleur 	<ul style="list-style-type: none"> Mouillabilité
<ul style="list-style-type: none"> Conductivité électrique pour assurer le contact électrique 	<ul style="list-style-type: none"> Rapport qualité - prix au regard de l'application visée
<ul style="list-style-type: none"> Résistance à la corrosion pour éviter l'apparition des défauts lors de l'oxydation des métaux dans l'alliage 	<ul style="list-style-type: none"> Facilité de mise en œuvre par un procédé de brasage simple et rapide
<ul style="list-style-type: none"> Coefficient de dilatation thermique 	<ul style="list-style-type: none"> Disponibilité
<ul style="list-style-type: none"> Formation intermétallique 	<ul style="list-style-type: none"> Recyclabilité et environnement

Les brasures tendres sans plomb et basses températures :

Cette famille regroupe les alliages dont la température de fusion est inférieure à 300°C. En général, elles sont à base d'étain pour l'intérêt de ses propriétés. En effet, l'étain est tendre, ductile, bon conducteur électrique et thermique, possède une excellente résistance contre la corrosion et mouillabilité et surtout une faible température de fusion (232°C) [27]. L'étain existe sous trois structures cristallines différentes à l'état solide. Au-dessus de 162°C, on trouve la forme γ , de structure orthorhombique, cassante. Entre 13°C et 162°C, l'étain est sous forme β , de couleur blanche. En dessous de 13°C, l'étain blanc se transforme lentement en étain gris, de structure diamant, appelée forme α . Cette transformation, appelée « peste de l'étain », est problématique pour la brasure formée à partir de l'alliage d'étain. Celle-ci se traduit par des fissurations, voir même par une désintégration de l'attache [31]. Quelques additifs sont utilisés avec l'étain afin de limiter le phénomène de peste de l'étain. Ceux dont l'utilisation est la plus répandue, sont : l'argent (Ag) qui permet d'améliorer les propriétés thermomécaniques, le bismuth (Bi) et le cuivre (Cu) qui ont la particularité de baisser la température de fusion de l'alliage. D'autres métaux, comme le zinc (Zn), l'indium (In), l'antimoine (Sb) ... sont aussi utilisés comme additif, mais leurs alliages sont moins connus à cause de certaines propriétés moins intéressantes. Ils ont une faible contribution dans la composition de l'alliage, et sont uniquement utilisés pour certaines applications spécifiques. Certains travaux ont permis d'établir une liste des alliages sans plomb existants [28], [29], [32], [33]. Nous proposons ici uniquement celle des principaux alliages utilisés couramment en automobile, se référant aux brasures au plomb et incluant l'alliage de brasure utilisé dans cette étude (Sn3.35Ag0.7Cu0.3Sb). Leurs avantages et inconvénients sont aussi abordés. A noter que la composition chimique des alliages est exprimée en masse.

Tableau I-2 : Les alliages tendres sans plomb basses températures

Alliages	Solidus-Liquidus (°C)	Avantages	Inconvénients
Sn-Zn • Sn9Zn	198 [29]	<ul style="list-style-type: none"> • Faible coût [29], [34] • Bonnes propriétés mécaniques [35] • Température de fusion plus proche de celle des alliages SnPb et plus basse que celle des alliages SnCu et SnAg [34], [35] 	<ul style="list-style-type: none"> • Faible résistance à la corrosion [36]–[38] • Mauvaise mouillabilité [35], [38], [39] • Incompatibilité avec les substrats en cuivre à haute température [39]
Sn-Bi • Bi42Sn	139 [29]	<ul style="list-style-type: none"> • Coût peu élevé [29] 	<ul style="list-style-type: none"> • Endommagement du joint brasé dû à la présence du plomb contaminé [36] • Mauvaise résistance mécanique [36]
Sn-Cu • Sn0.7Cu • Sn0.75Cu • Sn3Cu	<ul style="list-style-type: none"> • 227E • 227-229 • 227-275 [29] 	<ul style="list-style-type: none"> • Faible coût [29], [34] • Bonne résistance au fluage [38] 	<ul style="list-style-type: none"> • Très mauvaises résistances à la fatigue thermique [35] • Température de fusion élevée par rapport à celle des alliages SnPb [40], [41] • Mauvaise mouillabilité [40], [42] • Oxydation [40]
Sn-Ag • Sn2.5Ag • Sn3.5Ag	<ul style="list-style-type: none"> • 221 • 221-225 	<ul style="list-style-type: none"> • Résistances mécaniques comparables à celles des alliages SnPb (traction, 	<ul style="list-style-type: none"> • Mauvaise mouillabilité [29], [39], [40] • Coût élevé [29]

<ul style="list-style-type: none"> • Sn4Ag 	<ul style="list-style-type: none"> • 221-225 [29] 	<ul style="list-style-type: none"> • cisaillement, fluage, fatigue thermique) [36], [39] 	<ul style="list-style-type: none"> • Accroissement de la couche intermétallique à haute température conduisant à la défaillance du joint brasé [39], [43]
<ul style="list-style-type: none"> • Sn-Sb • Sn5Sb • Sn8Sb 	<ul style="list-style-type: none"> • 234-240 • 234-246 [29] 	<ul style="list-style-type: none"> • Mouillabilité comparable à celle des alliages SnPb [36] • Bonne résistance de cisaillement et au fluage [36], [38], [44], [45] • Meilleure fiabilité sous des conditions thermomécaniques sévères [46] • Coût peu élevé [29] 	<ul style="list-style-type: none"> • Température de fusion trop élevée [36] • Toxicité [47]
<ul style="list-style-type: none"> • SnAgZn • Sn3.5Ag1Zn • Sn2Ag2.5Zn 	<ul style="list-style-type: none"> • 217 • 217 [29] 	<ul style="list-style-type: none"> • Amélioration de la résistance mécanique des alliages SnAg [36], [48] • Suppression de la formation des dendrites d'étain [36], [49], [50] 	<ul style="list-style-type: none"> • Mauvaise mouillabilité due à l'ajoute du zinc [51]
<ul style="list-style-type: none"> • SnAgCu • Sn3Ag0.5Cu • Sn3.8Ag0.7Cu • Sn3.9Ag0.6Cu • Sn4Ag0.5Cu • Sn1Ag0.5Cu • Sn0.3Ag0.7Cu 	<ul style="list-style-type: none"> • 217-218 • 217-220 • 217-220 • 217-219 • 225 • 217-227 [30] 	<ul style="list-style-type: none"> • Température de fusion relativement proche de celle des alliages SnPb [39], [52] • Bonne mouillabilité [29], [36], [39], [52] • Bonnes propriétés mécaniques [39], [52] 	<ul style="list-style-type: none"> • Coût relativement élevé [29], [38] • Mauvaise ductilité par rapport à celle des alliages SnPb [53]
<ul style="list-style-type: none"> • SnBiAg • Sn5Bi3.5Ag • Sn7.5Bi2Ag • Sn3.5Ag3Bi • Sn4.9Bi3.4Ag • Sn57Bi0.1Ag 	<ul style="list-style-type: none"> • 198-213 • 190-216 • 208-217 • 201-205 • 138-140 [30] 	<ul style="list-style-type: none"> • Température de fusion relativement proche de celle des alliages SnPb [29] • Excellente mouillabilité [54] 	<ul style="list-style-type: none"> • Faible température de fusion (96°C) de l'eutectique SnPbSi si la contamination due au plomb est présente [54] • Sensibilité au mécanisme de soulèvement du joint à l'interface joint/plaque d'accueil (fillet lifting) [38] • Toxicité [38], [54]
<ul style="list-style-type: none"> • SnZnBi • Sn8Zn3Bi • Sn6Zn6Bi 	<ul style="list-style-type: none"> • 189-199 • 127 [30] 	<ul style="list-style-type: none"> • Faible température de fusion [39] donc amélioration de la compatibilité du procédé de fabrication [55] 	<ul style="list-style-type: none"> • Mauvaise mouillabilité si la composition massique est inférieure à 5% [56]
<ul style="list-style-type: none"> • SnSbAg • Sn7Sb4Ag 	<ul style="list-style-type: none"> • 230 [29] 	<ul style="list-style-type: none"> • Meilleure performance sous cyclage thermique par rapport à des brasures à plomb [57] 	<ul style="list-style-type: none"> • Formation de void et fissuration dues à la fusion partielle [57]
<ul style="list-style-type: none"> • SnInAg • Sn20In2.8Ag 	<ul style="list-style-type: none"> • 178-189 [29] 	<ul style="list-style-type: none"> • Propriétés mécaniques comparables à celles des alliages au plomb [36] • Température de fusion très proche de celle des alliages au plomb [36], [58] • Mouillabilité comparable à celle des alliages au plomb [29], [36], [58] • Résistance à la corrosion [58] • Très bonne conductivité thermique et électrique [59] 	<ul style="list-style-type: none"> • Coût très élevé [29] • Disponibilité du fournisseur (alliages breveté) [29]

La brasure dans notre assemblage (Sn3.35Ag0.7Cu0.3Sb) bénéficie des propriétés favorables des alliages SnAgCu (SAC) (cf. Tableau I-2). Une faible quantité de Sb est ajoutée pour améliorer la ductilité de l'alliage. Sa température de solidus est de 218°C et celle de liquidus est de 220°C [60].

Les brasures tendres sans plomb haute température :

Cette famille comporte les alliages dont la température de fusion varie de 270°C à 350°C [47]. Les alliages utilisés pour l'attache de puce en haute température doivent répondre à des critères plus sévères, hormis les critères abordés dans le Tableau I-1 :

- Température de fusion supérieure à 260°C ;
- Conductivité thermique supérieure à 30W/mK ;
- Résistivité électrique inférieure à $10^{-6}\Omega\text{m}$.

Les alliages les plus utilisés dans l'industrie sont ceux contenant de 85% à 97% de plomb [47][61], issue de l'exception de la directive RoHS sur l'utilisation du plomb dans les conditions sévères. Ceci prouve le manque de travaux de recherche et des connaissances sur la fiabilité des brasures sans plomb pour ces applications [62][63]. Nous présentons un résumé des principaux alliages sans plomb existants pour les applications hautes températures, avec une comparaison de leurs avantages et inconvénients.

Tableau I-3 : Les alliages tendres sans plomb hautes températures

Alliages	Solidus-Liquidus (°C)	Avantages	Inconvénients
AuSn • Au20Sn • Au30Sn	• 280 • 280 [47]	<ul style="list-style-type: none"> Bonne conductivité thermique et mécanique [33], [47], [64] Température plus faible par rapport à d'autres alliages haute température [64], [65] Possibilité de braser sans flux [33], [64], [65] Excellente résistance contre la corrosion [65] 	<ul style="list-style-type: none"> Obtention difficile de l'état eutectique [47], [64] Coût élevé [63]
AuGe • Au28Ge (en at%)	• 360 [66]	<ul style="list-style-type: none"> Faible module d'élasticité [47] Microstructure stable [47] 	<ul style="list-style-type: none"> Température de fusion trop élevée [62], [66] Coût élevé [62], [66] Procédé électrolytique difficile [47]
ZnAl • Zn6Al	• 381 [47]	<ul style="list-style-type: none"> Coût peu élevé [31], [67] Absence des composants intermétalliques [47] Bonne conductivité thermique et électrique [67], [68] 	<ul style="list-style-type: none"> Corrosion dû à la présence du zinc [47] Faible mouillabilité due à l'oxydation du zinc et de l'aluminium [47] Microstructure dendrite [31] Moins ductile par rapport aux alliages SnPb [47]
ZnSn • Zn20Sn • Zn30Sn • Zn40Sn	• 198-383 • 198-374 • 198-365 [47]	<ul style="list-style-type: none"> Excellentes propriétés électriques [47], [69], [70] et mécaniques [69] Bonne résistance contre l'oxydation à haute température et sous condition d'humidité élevée [69], [70] Absences des composants intermétalliques [69] Coût peu élevé [71], [72] 	<ul style="list-style-type: none"> Faible température de solidus [63] Corrosion dû à la présence du zinc [47], [72]
BiAg • Bi2.6Ag • Bi10Ag	• 262,5 • 261-381 [47]	<ul style="list-style-type: none"> Prix peu élevé [47], [73] Bonne résistance à la traction et au cisaillement [33] 	<ul style="list-style-type: none"> Mauvaise conductivité thermique [66] Microstructure dendrite quand la composition d'argent augmente [66], [74] Taux de void plus élevé que celui des alliages SnPb [33], [74] Bi-produit du plomb [66] Mauvaise mouillabilité [75]

I.3.1.2. Le frittage

Dans ce paragraphe, nous allons présenter de manière succincte, une alternative parmi celles des plus prometteuses disponibles à l'heure actuelle pour réaliser l'attache de puce : le frittage. Leurs caractéristiques ainsi que les problématiques qui y sont liées, seront aussi abordées.

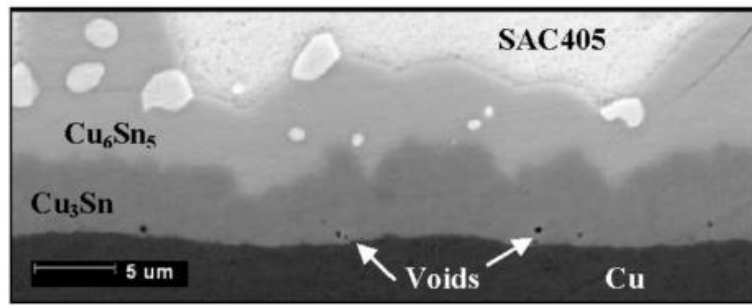
Le frittage est défini comme la consolidation d'un matériau obtenue en minimisant l'énergie du système grâce à un apport d'énergie (thermique, mécanique, ...) mais sans fusion d'au moins d'un de ces constituants. Cette technologie est née sous le contexte de l'arrivée des composants à haute température de fonctionnement. En effet, les récents composants à grand gap (GaN, SiC ou diamant) sont capables de fonctionner à des températures supérieures à 300°C [76]. Ce niveau thermique se situe largement au-delà des points de fusion des brasures actuellement utilisées. Dans l'état actuel des solutions technologiques, le procédé utilisé met en œuvre des nano-poudres ou des micro-poudres d'argent en atmosphère contrôlée à des températures inférieures à 250°C, éventuellement sous une pression de plusieurs dizaines de MPa [77][78]. Une fois établie, les joints peuvent supporter des températures proches du point de fusion de l'argent, c'est-à-dire 961°C. Le frittage permet d'obtenir des caractéristiques thermiques et électriques très intéressantes. Il offre une conductivité électrique et électrique de l'ordre de 3 fois supérieures à celles des brasures à 25°C [79]. Il a été confirmé d'avoir une durée de vie pour l'assemblage très élevée par rapport à celle obtenue avec un assemblage conventionnel avec brasures [80]. Cependant, le frittage présente toujours quelques problématiques. En effet, la migration de l'argent à haute température est identifiée comme une source potentielle de défaillance de la connexion. D'autre part, les contraintes mécaniques liées au procédé d'assemblage peuvent initier de fissures ou même des ruptures des pastilles de silicium [81]. En plus, cette technologie est difficilement utilisable pour la réalisation de l'ensemble des connexions internes des modules de puissance, notamment pour les fils de puissance et de commande. Elle nécessite des travaux d'approfondissements afin devenir pleinement opérationnelle dans les modules de puissance.

I.3.2. La formation de voids dans la brasure

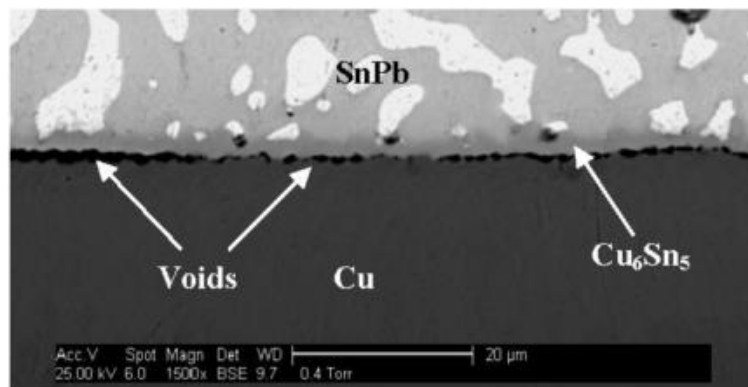
Dans un assemblage conventionnel, la première brasure se trouve entre la puce de puissance et le substrat céramique métallisé DCB (Direct Copper Bonding) et la seconde entre le substrat DCB et la semelle. Les voids se créent dans les deux joints brasés, mais leur criticité n'est pas identique. Du point de vue électrothermique, la brasure de la puce subit des contraintes thermiques et électriques plus élevées, donc les critères d'acceptabilité de void seront plus sévères [6]. Dans cette étude, nous n'évaluerons que l'impact de void dans la brasure de la puce. Pendant le procédé d'assemblage, la formation des voids a plusieurs origines. Les voids rencontrés dans le procédé conventionnel de production peuvent être classés en trois catégories selon leur nature et leur dimension.

Le premier type de void est lié à l'effet Kirkendall (cf. Figure I-6). Dans ce cas, les cavités se créent à l'interface suite à une différence de vitesse de diffusion des différents atomes (Sn et Cu par exemple) [82]–[88]. Dans le cas d'une brasure à base de Sn-Cu, il apparaît pendant le brasage majoritairement deux types de produits de réaction dans la couche intermétallique entre Sn et Cu : Cu_3Sn et Cu_6Sn_5 . Dans les deux cas, le nombre d'atomes Cu est plus élevé que celui des atomes Sn. Les atomes de Cu sont « consommés » plus rapidement que les atomes de Sn, conduisant à un déséquilibre de diffusion intermétallique entre les deux types d'atomes. Le fait que la diffusion des atomes Sn n'arrive pas à compenser la perte des atomes Cu explique la formation de cavités micrométriques à l'interface Cu/ Cu_3Sn . La coalescence de ces microcavités sous diffusion intermétallique, renforcée par le stress mécanique dû à l'incohérence entre les coefficients de dilatation thermique entre le substrat et la brasure, va engendrer la formation de voids macroscopiques dont la taille peut atteindre quelques dizaines de micromètres [83], [88], [89]. La coalescence des voids Kirkendall peut réduire la conductivité thermique, perturber la distribution

du courant et engendrer la propagation de la fissuration jusqu'à la défaillance du joint d'attache [85].



(a)



(b)

Fig. I-6 : Formation de void Kirkendall dans le cas de la brasure SAC 405 (a) et SnPb (b) [87]

Le deuxième type de void provient de l'instabilité de la structure granulaire du joint d'attache [90]. Le grain va s'agrandir au fil du temps afin d'abaisser l'énergie interne de sa structure. La croissance des grains est accélérée lors du cyclage thermique. A la frontière des grains, les contaminants comme les oxydes vont se concentrer, s'élargir et affaiblir cette frontière, conduisant à la formation de micro-voids à 25% de la durée de vie du joint d'attache (cf. Figure I-7). Les micro-voids, continuant de se développer, provoquent les micro-fractures à 40% de la durée de vie, et la rupture du joint d'attache.

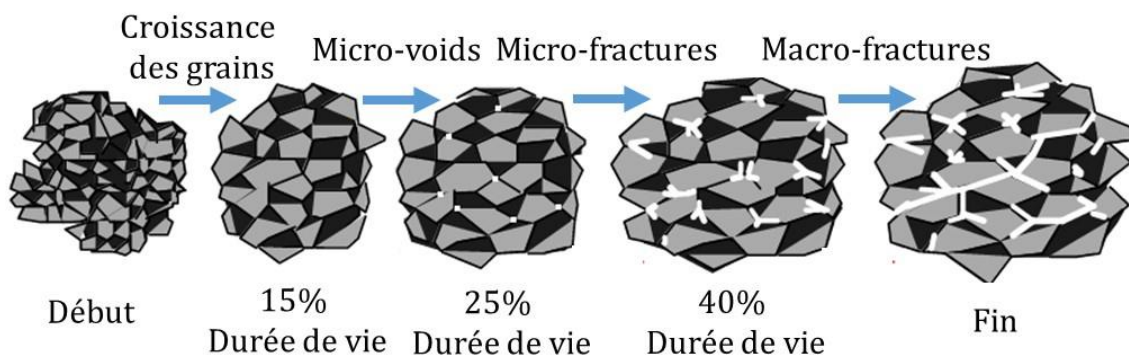


Fig. I-7 : Formation de void aux frontières des grains lors du cyclage thermique [90]

Le troisième type de void concerne les voids macroscopiques que nous allons traiter dans cette étude. Différents des deux types de void que nous venons d'aborder, les voids classés dans la troisième catégorie sont formés dans la brasure durant le procédé de fabrication et non après une longue évolution des micro-voids. De plus, ces voids sont souvent de forme sphérique si leur taille reste petite [6], ou cylindrique si leur taille est plus importante. La présence de ces voids est purement due aux imperfections du procédé de brasage [6] :

- Emprisonnement des bulles d'air qui sont produites lors des réactions entre les différents matériaux du joint brasé et les matériaux à la surface des métaux de base ;
- Emprisonnement des gaz lors de l'activation du flux pendant le procédé du brasage ;
- Résidus du flux ;
- Mauvaise mouillabilité de la brasure sur la surface des métaux de base.

D'autres facteurs, liés à l'humain (nettoyage, stockage) ou à l'environnement, sont aussi invoqués [6].

Une fois le void créé, celui-ci évolue au cours des déformations reportées sur le joint d'assemblage en fonction des contraintes fonctionnelles et environnementales. Pendant le fonctionnement du composant, la brasure subit un stress thermomécanique. Ces sollicitations périodiques imposées par l'usage entraînent des déformations élasto-viscoplastiques qui modifient les caractéristiques de la brasure.

I.3.3. Connaissances sur les conséquences des voids

Nous allons présenter dans ce paragraphe les travaux dans lesquels les effets de void sur les performances et sur la fiabilité sont évalués. Nous allons ensuite faire un état de l'art sur les standards existants qui sont utilisés dans l'industrie afin de qualifier l'attache de puce. Une synthèse des anciens travaux explicitera leurs principales lacunes et l'ambition de cette étude en vue d'améliorer les connaissances sur l'impact de void.

I.3.3.1. Conséquence sur la performance

La présence de voids entraîne une modification locale du gradient thermique et des lignes de courant. Le flux de chaleur se propage vers le système de refroidissement situé généralement entre la puce et le substrat métallisé (baseplate). Avec la présence de voids, le flux doit les contourner pour circuler latéralement dans les matériaux de l'assemblage au lieu de cheminer directement vers le refroidisseur [6]. La résistance thermique est donc localement plus élevée dans la zone située à l'aplomb des voids. Cette perturbation est à l'origine de la création de points chauds locaux (hot spots) dont les effets se retrouvent au niveau de la partie active du composant. L'impact du void sur l'aspect thermique est évident, mais la criticité de ces points chauds est significativement différente suivant deux sous-catégories de void macroscopique détaillée dans les travaux de Yerman [6]: void « froid » et void « chaud » (cf. Figure I-8). Ces deux types de voids se distinguent par l'épaisseur de la métallisation de la face arrière du composant. Lorsque le courant la traverse, celui-ci va avoir tendance à s'y épanouir. La métallisation se comportera alors comme une résistance latérale, en série avec la résistance à l'état passant du composant.

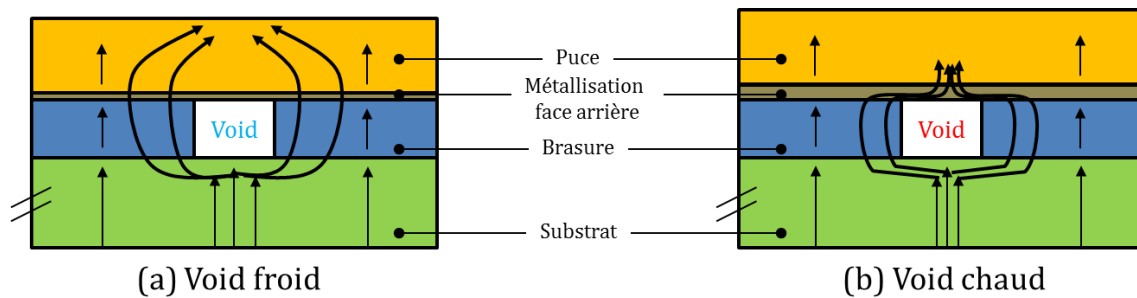


Fig. I-8 : Void froid (a) et void chaud (b)

Dans le cas du void « froid », l'épaisseur de la métallisation étant faible, cela entraîne une résistance latérale élevée. Par conséquent, le courant ne peut pas atteindre la zone à l'aplomb du void. Cette région peut alors se trouver avec une diminution de la densité de courant, donc de la puissance. Ceci explique la faible élévation de température au point chaud. En revanche, la densité de courant, donc la densité de puissance latérale et la chute de tension à l'état passant du composant croient. La température dans la partie latérale va augmenter considérablement lorsque le void est suffisamment grand pour que l'élévation de la densité de puissance latérale soit significative.

A contrario, lorsque la métallisation de la face arrière est épaisse, sa résistance latérale devient faible. Le courant se concentre rapidement dans la zone à l'aplomb du void. La densité de courant y est alors presque uniforme. Ce mécanisme va créer des points chauds dont la température est nettement plus élevée que celle rencontrée dans le reste du composant, dégradant ses performances thermiques.

Ces mécanismes décrits sur ces deux types de voids ont été confirmés expérimentalement. Il peut en résulter un phénomène d'emballement thermique si le système n'arrive pas à trouver un équilibre thermique. Cependant, Yerman n'a pas évalué de manière quantitative l'impact de ces deux types de voids en fonction du taux de présence et de la position. De plus, la brasure utilisée est un alliage contenant du plomb, de l'étain et de l'indium, désormais interdit. Les mécanismes rencontrés sur un alliage sans plomb pourraient être identiques mais avec une criticité à évaluer. L'auteur a remarqué que l'impact du void « chaud » est plus significatif en régime établi alors que l'impact du void « froid » l'est en régime transitoire. D'après son explication, pour un temps d'injection de courant court, le composant n'est pas encore à l'équilibre thermique à cause de sa constante de temps élevée. Quelques soit le type de void, le flux thermique n'a pas encore atteint la brasure. Cependant, dans le cas du void froid, le courant circule déjà dans la portion de la brasure située à son voisinage, et commence à engendrer des perturbations de densité de puissance.

Ninghui Zhu [91] a défini différentes catégories de void suivant :

Leur géométrie et leur position :

- Plusieurs petits voids distribués et un gros void unique ;
- Voids situés au centre ou dans le coin / dans les bords du composant ;
- Voids borgnes ou traversants (épaisseur du void identique à celle de la brasure).

Leur mouillabilité :

- Voids dus à une mouillabilité partielle : petits et isolés ;
- Voids dus à une mouillabilité totale : grands et regroupés.

L'évaluation de la résistance thermique d'un composant laser GaAs ($300\mu\text{m} \times 750\mu\text{m} \times 150\mu\text{m}$) a été réalisée à l'aide d'un modèle thermique 3D par éléments finis. La puissance dissipée dans le volume du composant est de 1W. Les résultats ont montré que pour le même pourcentage de void (50%) dans la brasure AuSn20, l'impact d'un void unique traversant situé au centre du composant est plus critique que celui de petits voids distribués. Ninghui Zhu a mis en évidence la forte dépendance entre l'impact de voids et leur position. Il a annoncé une élévation maximale de la résistance thermique de $8^\circ\text{C}/\text{W}$ pour un taux de void de 20%.

Katsis et Van Wyk [8], [92] ont observé expérimentalement la croissance de void dans la brasure PbSn5Ag2.5 sous l'effet d'un cyclage thermique. Cette brasure fait partie d'un assemblage MOSFET silicium basse tension (75V) sous forme d'un boîtier TO-247. Ils ont relevé un accroissement du taux de void de 10% à 35% après 4000 cycles thermiques passifs entre -55°C et 100°C . Ils ont aussi remarqué l'existence d'une relation linéaire entre l'impédance thermique et le taux de void distribué. Un modèle 3D par éléments finis a été proposé afin d'évaluer l'évolution de la résistance thermique en fonction du taux de void.

Fleischer [93] a évalué par éléments finis l'impact de différentes configurations de void (position et taux de void) dans la brasure Pb20Sn sur la résistance thermique globale d'un assemblage silicium. Dans un premier temps, seuls les voids traversants sont étudiés. Il a constaté que celle-ci dépend linéairement du taux de void dans le cas de void distribué, mais exponentiellement dans le cas d'un void unique. L'élévation de la résistance thermique est respectivement de 30% et de 200% à 73% de taux de void. Ces résultats ont été validés expérimentalement par thermographie infrarouge. L'impact de l'épaisseur de void dans deux cas différents a également été étudié. Le premier cas correspond aux voids traversants, c'est à dire que leur épaisseur est identique à celle de la brasure E_{b1} ($12,7\mu\text{m}$) (cf. Figure I-9). Dans le deuxième cas, les voids sont borgnes. Leur épaisseur ($12,7\mu\text{m}$) est inférieure à celle de la brasure E_{b2} ($38\mu\text{m}$). Les résultats numériques ont démontré que pour un taux de void identique entre 20% et 75%, la résistance thermique d'un void unique traversant est plus élevée que celle d'un void unique borgne. Ceci s'explique par le fait que la différence entre la résistance thermique latérale ($R_{v1} + R_{v2} - R'_{v1} - R'_{v2}$) est plus importante que celle axiale R_a créée par le volume supplémentaire dans le cas du void borgne. L'auteur a aussi remarqué que le terme ($R_{v1} + R_{v2} - R'_{v1} - R'_{v2}$) dépend de la différence entre les épaisseurs ($E_{b1} - E_{b2}$) et la longueur du chemin de propagation du flux l_{v1}, l_{v2} . En revanche, la résistance thermique des voids distribués traversants est inférieure à celle des voids distribués borgnes. Ceci est dû au fait que le flux peut être transporté à travers la partie de la brasure non occupée par le void au voisinage, ce qui réduit la longueur des chemins de propagation du flux $l_{v1}, l_{v2}, \dots, l_{vn}$. Par conséquent, la différence de la résistance thermique latérale entre les deux cas ($(R_{v1} + R_{v2} + \dots + R_{vn}) - (R'_{v1} - R'_{v2} - \dots - R'_{vn})$) diminue, et devient inférieure à la résistance axiale R_a .

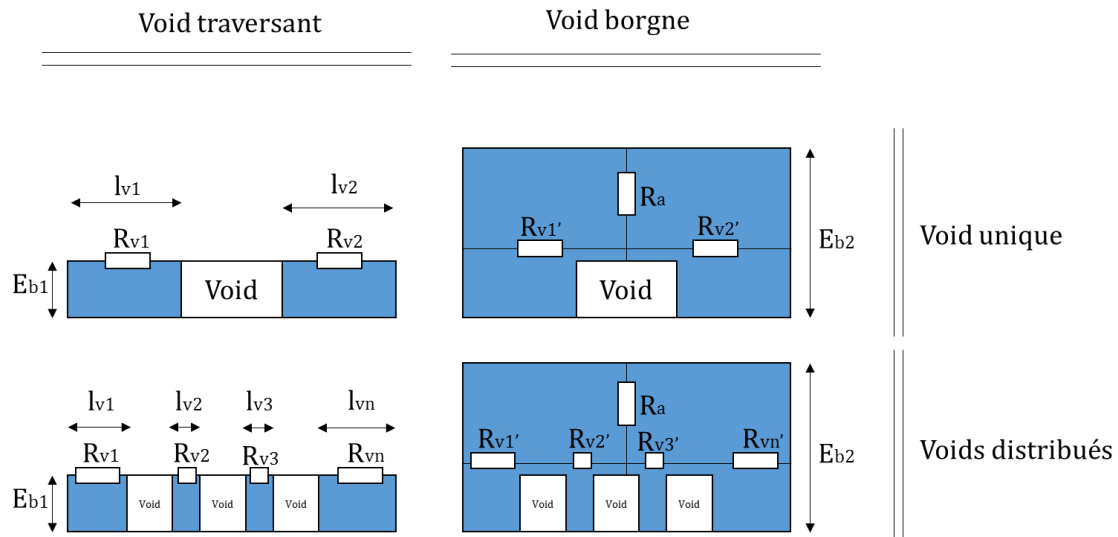


Fig. I-9 : Explication de Fleischer sur l'effet de l'épaisseur du void unique et des voids distribués sur la résistance thermique de l'assemblage

Biswal [94] a étudié l'impact du taux de void sur la température maximale avec un modèle par éléments finis 3D. Cette étude a été réalisée en régime transitoire répétitif sur un composant silicium. Il a remarqué que la taille et le taux de void sont les facteurs les plus influents par rapport à leur distribution. De plus, il a constaté que l'impact des voids n'est pas significatif pendant la première phase de l'injection de puissance (9 μ s). Cette conclusion est en cohérence avec celle d'Yerman [6].

Viduya [95] a évalué expérimentalement l'impact d'un void unique sur l'élévation de température dans la brasure Pb20Sn pour un module IGBT silicium (10mm x 10mm) utilisé dans le domaine d'automobile. Le relevé des températures moyennes de jonction est effectué à l'aide de la méthode TSEPs (Thermo-Sensitive Electrical Parameters). La température au niveau de la métallisation de l'IGBT est observée par thermographie IR. Une puissance de 400W est appliquée au module pendant 12 secondes. La température du refroidisseur est maintenue à 50°C. Il a remarqué une faible variation de la température moyenne (entre 100°C et 105°C). En revanche, une forte augmentation de la température du point chaud a été enregistrée, de 17°C à 49°C lorsque le diamètre du void varie d'1mm à 2,5mm. La relation entre l'élévation de température et le diamètre du void n'est pas linéaire mais exponentielle. La température moyenne et la résistance thermique globale ne sont pas de bons indicateurs pour évaluer les performances d'un module de puissance possédant des voids. Il a donc proposé l'utilisation de la thermographie IR pour visualiser le gradient thermique. Cette conclusion est cohérente avec celle tirée des travaux d'Yerman.

Ciampolini [96] a proposé un modèle analytique ainsi qu'un modèle 3D par éléments finis pour évaluer dans la brasure Sn2Ag l'impact d'un void unique sur l'élévation de température de jonction en fonction de sa position. Le composant étudié est un transistor bipolaire silicium (6mm x 6mm). Une puissance de 20W est appliquée dans le volume du composant. La température du refroidisseur est fixée à 80°C. Le void est supposé être de forme carrée. Le modèle a été validé par une confrontation thermique à l'aide d'une caméra IR thermique de résolution 100 μ m par 160 μ m. La linéarité entre l'élévation de la température et l'aire du void a aussi été constatée lorsque le void est localisé au centre du composant. L'impact du void diminue d'un facteur deux lorsque le void se trouve dans le coin de la puce.

Chang [97] a construit un modèle thermique 3D par éléments finis pour évaluer l'impact d'un void unique dans la brasure Sn3Ag0.5Cu sur la résistance thermique d'un composant de puissance silicium. La source de chaleur est appliquée au volume du composant (2,58mm x 2,4mm x 0,22mm). Le void est modélisé sous la forme d'un cylindre. Il a conclu que l'impact de la taille du void est prédominant, avec une élévation de la résistance thermique respectivement de 1,06%, 6,53% et 27,15% pour un taux de void de 5%, 20% et 79%. En revanche, l'impact de la position est négligeable.

Chen [98] a présenté un modèle 3D par éléments finis pour évaluer l'impact des voids distribués dans le joint d'attache de puce sur l'élévation de la résistance thermique jonction – case d'un module MOSFET silicium. Le type de brasure n'a pas été précisé. Les voids sont générés à partir d'un void élémentaire de forme carré. Un algorithme est implanté dans le logiciel ANSYS pour générer de manière aléatoire les voids élémentaires au taux souhaité. La résistance thermique est relevée à partir de la température maximale du composant et celle du refroidisseur qui est fixe. Les conditions d'entrée de la simulation comme la source de chaleur, la température du refroidisseur n'ont pas été abordées. Il a tout d'abord évalué l'impact de l'épaisseur du void unique pour un taux de void de 10%. L'impact du void unique débouchant est le plus important, exprimé par une élévation de 67% de la résistance thermique. En revanche, l'impact du void unique borgne localisé entre l'interface substrat – puce est le moins significatif, correspondant à une élévation de 57% de la résistance thermique. L'impact de l'épaisseur n'est pas négligeable dans le cas d'un void unique. Ses travaux se poursuivent avec les voids débouchants. Il a démontré la prédominance de l'impact d'un void unique par rapport aux voids multiples distribués avec un taux de void de 10%. Chen a montré que dans la majorité des cas, les voids n'affectent pas de manière importante la résistance thermique de l'assemblage car la probabilité pour que les voids soient distribués dans la brasure est élevée. Il n'y a qu'une probabilité de 4% pour que les voids aient une forte influence sur la résistance thermique. Ces configurations correspondent aux cas où les voids élémentaires sont réunis pour former un grand void. Ceci prouve la grande contribution de la taille du void unique dans son impact global. Il a aussi remarqué que le critère d'acceptabilité des voids doit être plus sévère lorsque la taille de la puce augmente. Les voids situés sous le coin de la puce sont plus critiques que ceux localisés sous son centre. Ces résultats n'ont pas été validés par une étude expérimentale.

Dupont et Blanchard [99] ont évalué expérimentalement l'impact d'un void en régime d'avalanche par thermographie IR. L'étude a été menée sur un module MOSFET silicium (L x l : 8mm x 8mm) basse tension (24V). La brasure PbSn5Ag2.5 contient un void principal cylindrique de diamètre 1,3mm. Le régime d'avalanche est produit par le test UIS (Unclamped Inductive Switching) caractérisé par un courant impulsionnel de 500A-80µs. Ils ont conclu que le void n'a aucun impact lorsque le composant fonctionne en régime d'avalanche. Ceci s'explique par le fait que pour un temps très court, le flux de chaleur reste au-dessus de la brasure donc sa propagation n'est pas encore affectée par la présence du void. Un modèle électrothermique par éléments finis a été proposé pour évaluer l'impact de ce même void en régime transitoire 500A-100ms. La température du refroidisseur est maintenue à 23°C. Ce modèle a été validé par des mesures électriques et thermiques. Les résultats numériques et expérimentaux ont mis en évidence l'apparition d'un point chaud, mais l'impact de celui-ci n'a pas été évalué quantitativement.

Li et Wang [12] ont investigué l'effet des voids sur la conductivité thermique de la brasure SnPb à l'aide d'un modèle thermique 3D par éléments finis. La source de chaleur en conduction est définie par une densité de puissance de 30mW/mm² appliquée à la face supérieure d'un composant de

puissance (13mm x 13mm). La convection est présentée par une température fixée à 80°C au niveau du refroidisseur et à 60°C aux faces extérieures. Le rayonnement est aussi pris en compte avec un coefficient de rayonnement de 0,8. Cependant, l'auteur n'a pas précisé la manière dont le rayonnement est pris en compte. L'impact du void unique et des voids multiples sur la redistribution de la température du composant ont été évalués. Il a été noté que pour un même taux de void, le cas extrême correspond à un void unique localisé sous le centre du composant. Alors que les voids multiples distribués dont la localisation est éloignée du centre du composant ont un impact minimal.

Otiaba [100] a introduit un modèle thermique 3D par éléments finis pour évaluer l'impact des voids dans la brasure Sn3Ag0.5Cu sur la résistance thermique d'un module à base d'un composant silicium (2,5mm x 2,5mm). Cette étude a été faite en régime établi de conduction. La résistance thermique du module (résistance thermique jonction-case) est relevée à partir de la température maximale du composant et de la température du refroidisseur fixée à 25°C. Une source de chaleur surfacique de 1W/mm² est appliquée sur la face supérieure du composant. Le transfert de chaleur par rayonnement est négligé. La distribution des voids à un taux donné dans la brasure est générée à l'aide de l'algorithme de Monte-Carlo couplé avec le modèle numérique. Il a retenu qu'il existe une relation linéaire entre la résistance thermique est le taux de void unique et celui de voids distribués. L'élévation de la température du composant est respectivement de 1,68% et 0,26% pour un taux de void unique et distribués de 30%. Otiaba a aussi étudié l'impact de l'épaisseur du void à différents taux de void. Il a conclu que les voids débouchants sont les plus influents, mais l'épaisseur des voids contribue faiblement à la variation de la résistance thermique jonction-case. D'un autre côté, il a prouvé la forte influence de la position du void unique débouchant occupant 10% de la surface de la puce. Il s'est avéré que la résistance thermique n'augmentait que de 0,1% quand le void était localisé dans le coin, alors que son accroissement s'élevait à 33,5% quand il se situait en dessous du centre de la puce. Il en résulte que le point chaud peut ne pas se créer si le void est éloigné de la source de chaleur.

I.3.3.2. Conséquence sur la fiabilité

D'un point de vue thermomécanique, une fois créés, les voids évoluent au cours des déformations reportées sur le joint d'assemblage en fonction des contraintes fonctionnelles et environnementales [8]. La croissance des voids amène le module à une température plus élevée dans la zone à l'aplomb de ceux-ci, à cause des conséquences sur la performance thermique que nous venons d'aborder. L'augmentation va engendrer des stress thermomécaniques. Ce phénomène en se répétant au cours du fonctionnement du module, conduit à son vieillissement accéléré ou à sa dégradation. La présence de void est donc très critique sur la fiabilité du composant de puissance. De nombreuses investigations ont été réalisées pour améliorer les connaissances de l'impact d'un void sur la fiabilité. Cependant, ces travaux portent principalement sur la fiabilité du joint d'attache dans les composants microélectroniques. Ladani et Razmi [101] ont proposé un modèle 3D par éléments finis pour évaluer l'impact de la taille et la position d'un void unique de forme sphérique sur la durée de vie de la brasure Sn3.8Ag0.7Cu, par cyclage thermique entre -55°C et 125°C. Le void est placé dans le volume, près du centre de la brasure. Ils ont constaté que la relation entre la durée de vie et le taux de void ne s'exprime pas par une fonction monotone. La durée de vie augmente lorsque le taux de void varie de 14% à 35% et commence à décroître quand celui-ci dépasse 35%. Ils expliquent que la plus courte durée de vie du joint brasé n'est pas due directement au taux de void élevé, mais à la géométrie du void. Selon son explication, lorsque le diamètre du void atteint l'épaisseur de la brasure, une forte contrainte

mécanique va être générée à l'interface void – substrat, diminuant la durée de vie de la brasure. Ils ont aussi précisé que quand le void est localisé entièrement dans le volume de la brasure, même si le taux de void dépasse 35%, l'impact du void n'est pas préjudiciable. Les auteurs ont ainsi analysé l'impact de la position du void sur la fiabilité du joint d'attache. En conclusion, le void situé dans le coin, près du site initial des contraintes mécaniques, va les redistribuer et donc baisser la contrainte maximale. Ce cas-ci est plus favorable que le cas où le void est éloigné de la source de contraintes, n'ayant quasiment pas d'effet sur la contrainte maximale. Ladani a aussi travaillé sur l'effet des voids sur la propagation de l'endommagement [102]. Il a constaté que les petits voids situés près du site d'endommagement peuvent empêcher leur propagation. Cependant, ils n'améliorent pas forcément la fiabilité car ils n'arrêtent que les propagations provenant du coin près du void. Les autres endommagements peuvent commencer à d'autres côtés du void, avec la même vitesse de propagation.

Yunus [103] a investigué l'impact du void sur la fiabilité du joint brasé de type BGA/CSP (Ball Grid Array/Chip Scale Package). Il a constaté que le void réduit la durée de vie de la brasure. Son risque de défaillance s'accroît avec la taille des voids. Les gros voids dégradent significativement sa durée de vie quel que soit leur position. Les petits voids peuvent accélérer la défaillance de la brasure due à la formation successive d'endommagements entre les voids.

Yu et Shibutani [104] ont observé le comportement des voids vis-à-vis de la propagation des fissurations et l'impact du void sur la résistance à la fatigue thermique de la brasure Sn3Ag0.5Cu dans un module CSP. Ils ont observé lors de tests de cisaillement, lorsque le diamètre du void sphérique est inférieur à 30% au diamètre de la brasure, que l'effet sur la durée de vie n'est pas significatif. En plus, aucun impact sur la durée de vie de la brasure n'a été observé lorsque le void est éloigné du chemin de propagation des fissurations. Un modèle 3D par éléments finis a été proposé, et montre une bonne corrélation d'un point de vue qualitatif et quantitatif avec l'analyse expérimentale. Les résultats de simulation ont montré que lorsque le diamètre du void dépasse 30% du diamètre de la brasure et que celui-ci est localisé sur le chemin de propagation des fissurations, il influence remarquablement la durée de vie de la brasure. Cette dégradation de la fiabilité ne dépend pas de la position du void sur ce chemin. De plus, le void influence à la fois l'initiation et la propagation des fissurations. Les auteurs ont aussi démontré que l'impact de plusieurs voids distribués et situés sur ce chemin est plus critique que celui provoqué par un void unique à même taux de void.

Les travaux réalisés sur l'impact des voids dans la brasure de puce dans un module de puissance semblent être moins nombreux. Chang [97] a utilisé un modèle 3D par éléments finis pour investiguer l'impact de la taille et de la position d'un void unique sur la fiabilité du joint brasé Sn3Ag0.5Cu. La plage de température utilisée pour le cyclage thermique est de -40 à 125°C. Les résultats de simulations ont montré que l'impact de la taille du void n'est pas significatif, à moins qu'il soit localisé dans le coin de la brasure où les stress mécaniques sont les plus élevés. Ce résultat a été validé par une campagne expérimentale effectuée avec des modules ayant un taux de void dans la brasure variant de 33% à 48%. Il a été observé qu'il n'y avait pas de dégradation due à la fatigue thermique du joint brasé. A noter que le joint d'attache est endommagé, mais par le mécanisme provenant de l'effet des voids Kirkendall.

Otiaba [100] a repris la géométrie et la méthode de génération aléatoire des voids distribués dans le modèle présenté précédemment pour évaluer l'impact des voids sur la fiabilité du joint brasé Sn3Ag0.5Cu. La température varie de -65°C à 150°C pendant le cyclage thermique. Les résultats

des simulations ont été validés par une étude expérimentale effectuée sur les brasures à base d'indium et ayant les mêmes taux de voids que ceux utilisés dans l'étude numérique. L'auteur a constaté que la durée de vie de la brasure est considérablement réduite lorsque le taux de void augmente. De plus, l'impact du void unique est plus important que celui des petits voids distribués. A noter que ces derniers apportent deux tendances opposées. D'un côté, les petits voids risquent de créer de fortes contraintes dans la zone localisée entre les voids, donc d'initier les fissurations. De l'autre côté, ils arrêtent la propagation des fissurations en provenance d'un autre domaine dans la brasure. Il a aussi remarqué qu'un void situé près de la région critique dans laquelle apparait la contrainte maximale, risque d'initier les fissurations. Par contre, un void éloigné de ce site n'a aucun impact sur la distribution des fissurations. Il a aussi prouvé que le type de void contribue fortement à la fiabilité du joint d'attache. Les voids se trouvant à l'interface composant – brasure sont plus préjudiciables que ceux localisés entièrement dans le volume de la brasure. Par conséquent, les voids débouchants sont les plus critiques.

I.3.3.3. Les standards existants

A ma connaissance, il semblerait qu'il n'existe pas de standard pour les assemblages intégrant des composants de puissance. Le critère d'acceptabilité du taux de void dans la brasure de puce pour les applications de puissance est typiquement de 5% [97], [105]. Ceci n'est qu'un critère empirique. Il existe par contre deux autres standards plus connus dans le monde électronique.

Le premier standard est la norme MIL-STD-883G [106] utilisée dans le domaine militaire et aérospatial, qui établit les méthodes, les contrôles et la procédure de test pour évaluer l'intégrité des composants microélectroniques. Elle définit les tests d'endurance devant être menées en rapport avec les contraintes rencontrées par le composant durant un usage militaire et aérospatial. Le standard MIL-STD-883G méthode 2030 propose une inspection non-destructive de l'attache de puce par microscopie acoustique. Cet examen a pour but de détecter la présence de voids dans l'attache de puce et de vérifier les critères d'acceptabilité. Selon ce standard, ces critères sont applicables à la fois pour le joint d'interconnexion puce et pour celui de la semelle. Par contre, il ne concerne que les voids à l'interface de l'attache de puce. Les voids se trouvant dans le volume du joint d'attache et ceux de très petites dimensions sont négligés. Les différentes configurations typiques de voids sont exposées en Figure I-10.

Selon ce standard, la première condition pour qu'une brasure soit recevable en terme de qualité est que la surface totale de l'ensemble des voids ne dépasse pas 50%. Ensuite, pour être qualifiée, la densité de chaque void élémentaire ne doit pas dépasser 15%. Pour le cas où les voids se trouvent dans le coin de la brasure, ce taux est plus sévère, 10%. Enfin, la densité de voids dans chaque quadrant (cf. Figure I-10c et Figure I-10d) ne dépasse pas 70% de l'aire du quadrant, correspondant donc à 17,75% de la surface totale. En appliquant ce standard, la brasure (1) est rejetée par [C1] [C2] [C3], la brasure (3) est rejetée par [C4]. En revanche, les brasures (2) et (4) sont retenues.

Tableau I-4 : Exemples de configurations de voids

Critères	Seuils d'acceptabilité
Densité de voids totale	≤50% [C1]
Densité du void élémentaire	≤15% [C2]
Densité du void élémentaire dans le coin	≤10% [C3]
Densité de voids dans un quadrant	≤70% [C4]

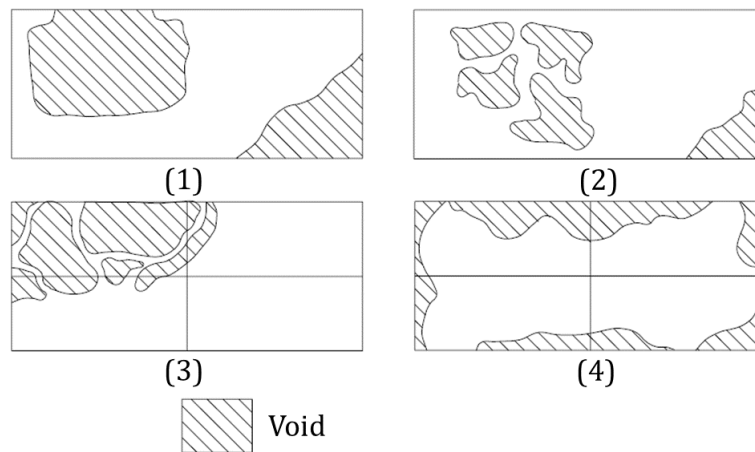


Fig. I-10: Les configurations de voids dans le joint d'attache

Le deuxième standard est la norme IPC (Institute of Interconnecting and Packaging Electronic Circuits) dans l'électronique. Elle propose certains critères d'acceptabilité pour les assemblages électronique. La norme IPC-A-610C propose un critère global pour la qualification du joint d'attache de type BGA. D'après celle-ci, le joint d'interconnexion est qualifié si le taux de void ne dépasse pas 25%. D'une manière plus détaillée, la norme IPC-7095 définit les critères d'acceptabilité pour différents types de void, avant et après le brasage comme présentés dans le Tableau I-5. Les niveaux d'acceptabilité pour chaque type de void sont détaillés dans le Tableau I-6. A noter que les produits sont classés en trois catégories, différenciées par leur domaine applicatif. La première classe correspond aux produits bas de gamme, issus d'une production de masse. La deuxième classe est liée aux applications concernant l'informatique ou les téléphones portables. La troisième classe est dédiée aux applications pour lesquelles une bonne fiabilité est demandée, comme l'aérospatial ou le militaire. Les critères pour les types B, D, E sont les plus sévères, donc cohérents avec les résultats retenus lors des travaux précédents.

Tableau I-5 : Classifications des voids selon la norme IPC-7095

Critère	Dans la brasure	À l'interface puce - brasure	À l'interface brasure - substrat
Void dans la brasure BGA avant l'attachement au PCB	 Type A	 Type B	
Void dans la brasure BGA après l'attachement au PCB	 Type C	 Type D	 Type E

Tableau I-6 : Norme IPC-7095 pour l'inspection de la qualité du joint brasé BGA (le pourcentage est exprimé par la surface de void par rapport à la surface globale de la brasure observée en tomographie 2D RX)

Type de void	Classe 1	Classe 2	Classe 3
A	36%	20%	9%
B	25%	12%	4%
C	36%	20%	9%
D	25%	12%	4%
E	25%	12%	4%

I.3.3.4. Lacunes de la littérature et ambition du travail de thèse

La quantité importante de travaux réalisés sur la thématique des voids a montré l'intérêt porté sur l'acquisition de connaissances sur l'influence qu'ils peuvent avoir sur les performances et la fiabilité des modules électroniques de puissance. Un des grands objectifs actuels de l'industrie automobile est l'estimation efficace de la fiabilité de ces modules. Cependant, les résultats obtenus montrent que les informations de leur impact sur la fiabilité restent limitées, voire contradictoires. La difficulté se situe dans le procédé complexe d'assemblage, qui doit prendre en considération de nombreux facteurs. Les conditions expérimentales sont souvent difficiles à maîtriser dues à l'absence de compréhension des comportements thermomécaniques des matériaux utilisés dans l'assemblage, notamment à l'échelle microscopique. De plus, les essais de vieillissement ont une durée relativement longue. Avant d'atteindre cet objectif, il est crucial d'abord de comprendre l'effet des voids sur les performances de l'assemblage de puissance. D'après l'étude bibliographique présentée dans § I.3.3.1, les conclusions ci-après ont été mises en évidence par différents auteurs :

- La résistance thermique de l'assemblage, donc la température maximale du composant, évolue de façon linéaire avec la densité de voids distribués et de façon exponentielle avec la densité de voids réunis ou du void unique ;
- Plus le void est localisé près de la source de chaleur, plus son impact est important ;
- Le void débouchant est plus critique que le void borgne, mais la contribution de l'épaisseur sur l'impact global de void est faible.

Je présenterai les lacunes de la littérature ainsi que mes points de vue vis-à-vis des études présentées précédemment avant d'éclaircir l'objectif de cette étude afin de combler ces lacunes.

Les lois requises pour l'évaluation de l'impact des voids

Les travaux précédents ont mis l'effort sur l'évaluation de l'impact des voids en fonction de certains facteurs influents : la position (au centre ou dans le coin de la brasure), l'épaisseur (débouchant ou borgne), la densité, la distribution (voids réunis ou distribués) et la nature du void (void chaud ou froid). Lors de ces études, les lois d'évaluation de l'impact des voids ont été proposées. Cependant, elles sont issues de la méthode classique « un facteur à la fois », c'est-à-dire que la réponse est évaluée en fonction d'un facteur en maintenant les autres facteurs à un niveau donné. Il n'existe pas de relation entre la réponse et plusieurs facteurs influents retenus. Les lois obtenues ne permettent pas d'identifier les configurations les plus critiques des voids.

Cette thèse va donc essayer d'apporter une telle relation, afin de remplir cette lacune. Je vais donc m'intéresser à établir une loi reliant les réponses de l'assemblage en fonction de la position et de

la taille d'un void unique. L'extraction de cette loi est issue de la méthode de surface de réponse (RSM) que je détaillerai dans le **Chapitre II**. Une fois que la loi exprimant l'impact du void et que les critères de sécurité fonctionnels sont donnés, nous pouvons extraire les critères d'acceptabilité du void pour l'application utilisée sous des conditions d'usage données.

La prise en compte des couplages multiphysiques

Les études relevées dans la bibliographie définissent essentiellement la puissance dissipée dans le composant comme une source de chaleur surfacique ou volumique uniformément distribuée. Cependant, le comportement du composant dans son environnement fonctionnel est un ensemble complexe intégrant plusieurs aspects couplés : thermique, électrique, mécanique. Les travaux effectués par Dupont et Blanchard [99] sur la réponse d'un composant semi-conducteur en l'absence de défaut dans la brasure propose une méthode pour prendre en compte le couplage électrothermique dans la simulation numérique avec un outil de modélisation éléments finis ANSYS. A travers une confrontation expérimentale et la modélisation EF, on voit l'existence de distributions électrique et thermique non uniformes. Cette étude présente certaines lacunes et nécessite une amélioration de la prise en compte de phénomènes dans la zone de la partie active de la puce. Celle-ci est le domaine volumique dans lequel un couplage électrothermique sera pris en considération. Un tel modèle électrothermique par éléments finis a été introduit par Chauffleur [107]. Il existe d'autres modèles électrothermiques que nous aborderons dans § I.4. Dans l'état actuel de nos connaissances, l'utilisation de modèles électrothermiques pour évaluer l'impact des voids dans un assemblage de puissance est inexistante, à l'exception d'un modèle analytique proposé dans les travaux de Calabrese [108], [109].

Il est aussi à remarquer que les fils de puissance sont souvent oubliés dans la construction des modèles thermiques des études précédentes. D'un point de vue électrothermique, ceux-ci peuvent ne pas être négligeables. En effet, la résistance et la puissance dissipée dans les fils sont importantes par rapport à celles dans le composant, notamment pour les applications basse tension – fort courant. En outre, lorsque le courant se réunit aux niveaux des prises de courant sur la métallisation de source, il est distribué dans les fils de puissance. Cette distribution peut être sensible à la température à cause du gradient de température et de l'interdépendance entre la résistivité électrique et la température des fils. Or, le void crée des perturbations dans la distribution du courant et du flux thermique. De ce fait, l'intégration des couplages électrothermiques permet de mieux présenter les phénomènes multiphysiques au niveau de la partie active et des fils. C'est pourquoi nous cherchons à concevoir des modèles permettant de prendre en compte les couplages électrothermiques dans ces éléments de l'assemblage. Afin d'intégrer les couplages, la résistivité de la partie active et celle des fils doivent être exprimées en fonction de la température. Ceci nécessite la réalisation de caractérisations électrothermiques $I(V, T_j)$ à différents niveaux de température de jonction T_j que nous détaillerons dans § III.2.

Le choix des réponses

Afin d'évaluer l'impact du void sur le comportement de l'assemblage, le choix d'une réponse dont nous regardons l'évolution doit être pertinent. D'une manière générale, les études entreprises ont évalué l'impact du void en observant la résistance thermique globale de l'assemblage. La notion de résistance thermique est liée à la température du composant et du dispositif de refroidissement. Or, l'impact du void sur le comportement thermique du composant est local, c'est-à-dire que la température au point chaud dans le composant à l'aplomb du void est loin de

sa température moyenne. C'est aussi le cas pour la température du refroidisseur. La résistance thermique n'est pas donc un bon indicateur pour évaluer l'impact du void. Les travaux présentés en [94], [96] ont utilisé directement la température maximale du composant comme réponse. Les travaux de [98], [100] ont pris la résistance thermique comme réponse sauf que la température du composant n'est pas une température moyenne mais une température maximale. Vu que la température du refroidisseur et la puissance sont constantes, cette réponse n'est qu'une réponse issue indirectement de la température maximale. A l'heure actuelle, la température maximale du composant est l'indicateur le plus explicatif pour exprimer l'impact des voids sur la performance de l'assemblage, quel que soit son régime de fonctionnement. Il faut aussi noter que dans l'industrie, les critères de sécurité fonctionnels sont souvent liés à la température maximale.

La résistance thermique locale dans la zone du point chaud peut être un autre choix de réponse. Cependant, celle-ci est difficile à déterminer, à la fois numériquement et expérimentalement puisque le courant et la température sont distribués.

Comme présenté précédemment, la prise en compte des fils de puissance est essentielle. La présence de void peut affecter la circulation du courant dans les fils et la température aux prises de courant sur la métallisation. De ce fait, le void peut influencer la température des fils qui peut avoir des conséquences sur leur comportement thermomécanique. Cette température peut être sélectionnée comme réponse que nous cherchons à évaluer vis-à-vis du void.

Validation expérimentale

Les auteurs ont montré que la méthode TSEP sous-estime l'effet du void sur la température du composant. La thermographie infrarouge est considérée comme l'outil le plus pertinent pour mettre en évidence l'impact local du void [95], [96]. La validation nécessite l'utilisation de modules ayant des voids dans la brasure. La méthode utilisée consiste à faire passer un grand nombre de modules à la tomographie RX 2D et de sélectionner les modules ayant des configurations intéressantes, comme par exemple, la densité de voids, la position, la taille de void souhaitées. Celle-ci est utilisable lorsque nous évaluons un seul facteur. Cependant, elle devient impossible à appliquer lorsque nous devons gérer plusieurs facteurs, puisque le nombre de modules à passer à l'analyse RX va se multiplier. C'est pourquoi nous proposons dans ces travaux de thèse, une méthode permettant de générer des voids, en contrôlant leur taille et leur position. La maîtrise de la méthode de création des voids permet de valider les modèles numériques pour différentes configurations de void afin d'améliorer sa robustesse.

Autres absences dans la bibliographie

En dehors des lacunes que nous venons de présenter et que nous allons essayer de combler lors de cette étude, les autres lacunes dans la littérature demanderont les futures investigations. Les modules électroniques de puissance, utilisés pour la simulation et l'expérimentation, sont majoritairement basés sur une technologie silicium. Les composants à grand gap (SiC, GaN...) sont actuellement en cours d'évaluation. Ces modules intègrent des composants subissant des contraintes fonctionnelles aggravées car il s'agit de puce présentant de plus fortes densités de courant et de puissance dissipée. A ce jour, il semble ne pas exister d'études conduites sur le problème de void pour ces nouveaux composants. La criticité des voids sur le comportement du composant à grand gap par rapport à celle des composants classiques est inconnue. En plus, certains composants sont spécialement conçus pour pouvoir fonctionner sous des conditions extrêmes (avalanche, court-circuit précédé par un régime de conduction...). Il est possible que

l'impact du void dans ces conditions soit plus problématique et demande aussi d'autres investigations

I.4. Les modèles électrothermiques

Nous avons vu au § I.3.3.4 l'intérêt majeur des modèles électrothermiques pour l'analyse couplée dans notre étude. Les modèles doivent être représentatifs de la complexité des phénomènes multiphysiques rentrant en jeu. Cela nécessite la mise au point de modèles électrothermiques dans la partie de l'assemblage où le courant est présent. Nous allons nous focaliser sur le couplage électrothermique de la partie active et des fils, dans lesquels il est le plus fort. Dans ce paragraphe, nous allons d'abord décrire brièvement le principe de la modélisation électrothermique et puis la classification des modèles disponibles dans la littérature.

I.4.1. Le principe de la modélisation électrothermique

Le comportement thermique et le fonctionnement électrique d'un composant ou d'un système électronique sont liés. Cela est dû d'une part aux propriétés électriques des composants à semi-conducteur qui sont affectées par la variation de la température et d'autre part à la température de la jonction qui varie en fonction de la puissance dissipée et de l'environnement du refroidissement. Ainsi, afin d'augmenter la fiabilité des systèmes électroniques et de bien optimiser leur conception thermique (boîtiers, conditions de fonctionnement, emplacement des composant sur les circuits imprimés...), il faut avoir une bonne estimation du comportement électrothermique voire mécanique des circuits et des composants. La modélisation électrothermique requiert la résolution de deux problèmes physiques couplés : électrique et thermique. Dans un module de puissance, les éléments comme le composant de puissance, les fils de bonding, l'attache de puce, le substrat métallisé présentent une coexistence entre le courant et le flux thermique. Le modèle thermique assure l'estimation de l'évolution et de la répartition de la température dans l'assemblage en fonction des sources internes de chaleurs et des échanges avec l'extérieur. Le modèle électrique détermine la distribution du courant en se basant sur les caractéristiques électriques relevées à la température donnée par le modèle thermique.

De nombreuses études intègrent un couplage entre le comportement électrique de composants de puissance et l'impact thermique à l'échelle de l'assemblage. Une telle approche est exposée dans le travail de [110] qui se déroule en trois étapes :

- Construction d'un modèle électrique du composant électronique (MOS, IGBT, Diode...). Sa structure doit être simplifiée tout en conservant la représentativité de son comportement électrique ;
- Définition de tous les paramètres du modèle électrique qui dépendent de la température (mobilités, concentrations des porteurs, tension de commande...) ;
- Conception d'un modèle thermique représentatif de la structure globale de l'assemblage.

Différentes méthodes ont été explorées afin d'effectuer le couplage de deux modèles. Elles sont souvent classées en deux principales catégories : la méthode directe et la méthode de relaxation.

I.4.1.1. Méthode directe

La première catégorie inclut les méthodes directes, où les phénomènes électrique et thermique sont considérés comme un problème électrique global et sont traités simultanément dans le même simulateur électrique [111]. Le modèle thermique est extrait sous la forme d'un réseau thermique

équivalent [112], d'un modèle analytique [113] ou comportemental [114] au moyen d'un langage de programmation tel que le C++ ou un langage de modélisation tel que le VHIC-HDL-AMS (Very High Speed Integrated Circuit - Hardware Description Language - Analog and Mixed-Signal).

Un autre type de modélisation électrothermique par la méthode directe est introduit dans le travail de [115], [116]. Elle est réalisée en fournissant au simulateur thermique un tableau contenant les données de puissance recalculées en fonction des paramètres techniques comme la température, les rapports cyclique, le courant, ... (cf. Figure I-11). Ces valeurs de puissance sont issues des simulations paramétriques avec le modèle électrique pour différentes combinaisons de paramètres techniques. Le simulateur thermique, en récupérant la puissance dans le tableau, peut exécuter la simulation thermique.

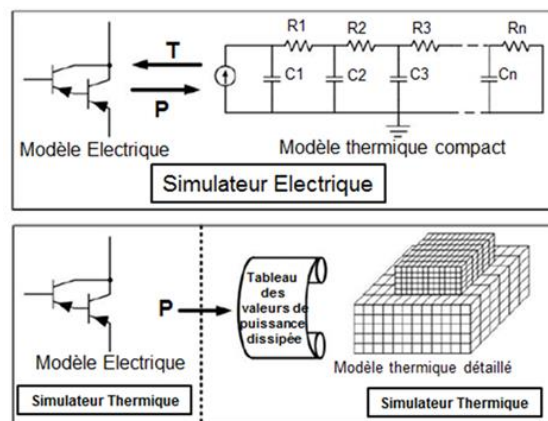


Fig. I-11: Schéma de principe de la méthode directe avec le tableau de données de puissance

I.4.1.2. Méthode de relaxation

La seconde catégorie regroupe les méthodes dites de relaxation. Le phénomène thermique et électrique sont traités séparément en utilisant un simulateur thermique et électrique [111] (cf. Figure I-12). Ce couplage est assuré à travers d'une interface API (Application Programming Interface). Celle-ci permet de gérer la communication entre les deux simulateurs et de contrôler leur activation en fonction du temps. Elle permet aussi de gérer la différence entre les constantes de temps thermique et électrique qui ne sont pas du même ordre de grandeur. Ainsi, elle marque un temps d'attente pour le solveur électrique après chaque pas de calcul, afin de lui permettre de transmettre la puissance dissipée vers le solveur thermique. Ce dernier va ensuite calculer la température qui sera renvoyée au simulateur électrique pour commencer le prochain pas de calcul. Ce processus est itératif jusqu'à ce que le critère de convergence fixé soit satisfait. Une application de cette méthode est détaillée dans [117]. Le simulateur SABER est utilisé afin de traiter le problème électrique et le logiciel ANSYS résout quant à lui le problème thermique.

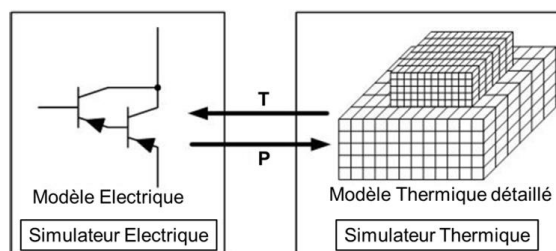


Fig. I-12 : Schéma de principe de la méthode de relaxation

Les avantages et les inconvénients de chaque méthode sont résumés dans le tableau ci-après :

Tableau I-7 : Comparaison des deux méthodes de modélisation électrothermique[118]

Méthode de modélisation électrothermique	Avantages	Inconvénients
Direct	<ul style="list-style-type: none"> • Réduction du temps de calcul puisque le problème de la grande différence des constantes de temps électriques et thermique n'est pas traité • Possibilité de privilégier la précision d'un phénomène physique par rapport à l'autre selon l'objectif de la simulation • Prise en compte d'autres phénomènes physiques 	<ul style="list-style-type: none"> • Manque de précision dans le modèle thermique qui définit la source de chaleur par un point unique, donc pas de l'analyse thermique distribuée au niveau du composant • Méthode délicate dans le cas de plusieurs sources de chaleur
Relaxation	<ul style="list-style-type: none"> • Meilleure représentation du comportement thermique 	<ul style="list-style-type: none"> • Temps de calcul élevé

I.4.2. Choix de la stratégie de modélisation électrothermique

Nous devons sélectionner une stratégie de modélisation électrique et thermique la plus adaptée à notre problème. Quant à l'aspect thermique, trois niveaux de modélisation électrique ont été abordés dans les travaux de Martins [119]. Pour chaque niveau, des hypothèses sont établies et ne sont valables que pour ce niveau de modélisation (cf. Tableau I-8) :

Tableau I-8 : Niveaux de modélisation thermique

Niveau	Puce		Packaging	PCB (Print Circuit Board)	Système
		Architectural			
Objectif	Identification de point chaud Vérification fonctionnelle Respect des spécifications	Identification de point chaud Placement Raffinement des estimations de consommation	Caractérisation thermique Optimisation du design	Identification de point chaud Sur le PCB Placement	Dimensionnement de systèmes de refroidissement
Finesse	[10nm, 100µm]	[50µm, 5mm]	[2mm, 1cm]	[5mm, 5cm]	>5cm
Hypothèse	Modèle conductif + Coefficient d'échange thermique	Modèle conductif + Coefficient d'échange thermique ou Simple modèle de package	Modèle conductif + Coefficient d'échange thermique ou Simple modèle de puce + PCB	Modèle conductif + Coefficient d'échange thermique + Simple modèle de package	Conduction + Convection + Rayonnement

Le niveau de la modélisation de notre étude est une combinaison entre la modélisation du composant MOSFET et de celle du packaging. En fait, nous cherchons à modéliser le comportement électrothermique de l'assemblage vis-à-vis des voids. Le modèle doit permettre de prendre en compte les phénomènes à l'échelle macroscopique comme la conduction provenant du MOSFET et des fils, jusqu'à la convection qui est imposée au refroidisseur. En plus, il doit représenter le comportement thermique à l'échelle microscopique dans différentes zones de dissipation dans l'épaisseur du MOSFET. Pour ce faire, le composant MOSFET doit être discrétisée en différents volumes élémentaires de forme parallélépipédique dont l'épaisseur est de l'ordre de quelques micromètres jusqu'à quelques centaines de micromètre. Le choix de la stratégie de modélisation permettant d'adapter ce grand facteur d'échelle constitue un enjeu majeur dans ces travaux de thèse. La nécessité d'une modélisation multi-échelle devient encore plus cruciale dans la conception d'un système électronique où la communication entre les différents niveaux de modélisation reste toujours difficile.

De nombreux modèles thermiques ont été développés au cours de la dernière décennie. Il existe un grand nombre d'études bibliographiques décrivant la mise en œuvre de ces modèles ainsi que leur utilisation [118], [119]. Ici, nous ne faisons qu'une classification succincte des modèles les plus utilisés en trois grandes familles : modèles analytiques, modèles numériques détaillés et modèles approximatifs (cf. Figure I-13).

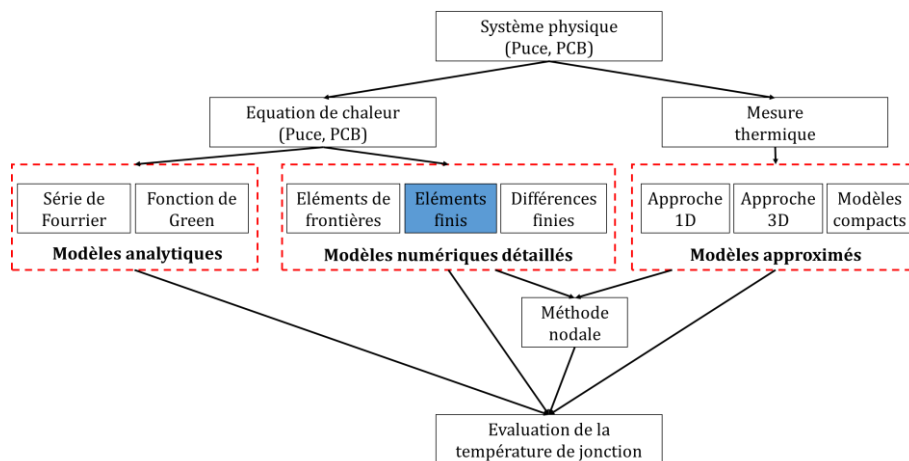


Fig. I-13 : Classification des modèles thermiques

Les études présentées dans § I.3.3.1 et § I.3.3.2 ont montré une contribution majoritaire des modèles des éléments finis dans l'analyse thermique à l'échelle du packaging. Ce sont des modèles développés initialement pour résoudre les problèmes mécaniques. Au fil de temps, ils permettent de résoudre les problèmes de conduction en 2D ou 3D en régime stationnaire, transitoire ou fréquentiel. La méthode des éléments finis offre plusieurs caractéristiques favorables par rapport à d'autres méthodes de modélisation thermique. Elle convient pour sa capacité à :

- Donner une distribution de la température dans les structures de l'assemblage ;
- Traiter les géométries complexes ;
- Prendre en compte les particularités physiques ;
- Prendre en compte plusieurs phénomènes physique simultanément ;
- S'adapter aux frontières de formes irrégulières, ainsi qu'aux problèmes où les conditions aux limites sont décrites sous la forme d'une dérivée [120] ;

- Avoir une bonne précision avec une bonne qualité de maillage (erreur inférieure à 1%) [120].

Cependant, la méthode des éléments finis présente un inconvénient majeur. Il est difficile de coupler un modèle par éléments finis avec un simulateur électrique [120]. Ceci rend donc des difficultés à la modélisation électrothermique avec la méthode de relaxation. Afin de s'affranchir de la difficulté dans la mise au point de la modélisation électrothermique avec la méthode des éléments finis, tout en conservant la possibilité de concevoir un modèle multi-niveaux, Sauveplane et Tounsi ont proposé une stratégie de modélisation dans [121], [122]. La phase amont de ces travaux présente la méthodologie pour la conception du modèle électrique dans un assemblage MOSFET basse tension, qui est implanté dans le modèle par éléments finis. Le MOSFET est discrétisé en plusieurs couches résistives (cf. Figure I-3) dans lesquelles la résistivité électrique est donnée. La résistivité de ces couches est déterminée en fonction de la température à partir de leur niveau de dopage et des caractérisations électrothermiques. Les conditions aux limites pour le modèle électrique sont définies par les grandeurs macroscopiques (potentiel, courant...). Ce modèle électrique est couplé avec le modèle thermique par le simulateur ANSYS. Avec cette méthode, non seulement les problèmes thermiques et électriques sont résolus à l'échelle de l'assemblage, mais aussi l'échelle du composant, à travers les couches résistives.

Notre modélisation, de type direct, va s'appuyer sur la même démarche, avec quelques améliorations au niveau de la représentation du couplage électrothermique de notre composant MOSFET et des fils de puissance. Tous les couplages sont assurés par le simulateur COMSOL.

Conclusion du Chapitre I

Ce chapitre donne une vision globale de la constitution d'un assemblage de puissance en abordant les problématiques introduites par les éléments le constituant. Nous avons abordé en particulier les problématiques causées par les voids dans la brasure de puce sur les performances ainsi que sur la fiabilité de l'assemblage. L'étude bibliographique a montré les nombreux efforts effectués en vue d'évaluer l'impact des voids, mais en soulignant le manque de travaux pour certains aspect :

- Loi reliant tous les facteurs influents semblant inexistante ;
- Phénomènes multi-physiques non encore pris en considération ;
- Méthode de validation en contrôlant les configurations des facteurs influents non encore évaluée ;
- Choix de réponse pertinente afin de visualiser correctement l'impact des voids de manière qualitative et quantitative à discuter.

C'est pourquoi, l'ambition de cette thèse est d'apporter de nouvelles connaissances sur l'impact du void dans l'attache de puce pour compléter les manques de la littérature. Nous allons pour cela présenter la méthode statistique de surface de réponse que nous allons utiliser pour extraire la loi intégrant la position et la taille du void unique. Nous expliquerons l'intérêt de notre méthode de modélisation électrothermique directe, basée sur un modèle électrothermique par éléments finis. Celle-ci doit permettre d'évaluer les couplages électrothermiques dans l'assemblage, avec un grand facteur d'échelle entre le niveau du composant MOSFET et de l'assemblage de puissance. Nous expliquerons également notre stratégie expérimentale, qui cherche à générer le void dans le joint brasé de la puce, à position et à taille contrôlée. La procédure de mise en œuvre de la méthode de surface de réponse, de la conception du modèle électrothermique et de l'approche expérimentale seront discutées dans les prochains chapitres.

Chapitre II: Méthodologie et mise en œuvre des approches numérique et expérimentale

II.1. Formalisation de la méthodologie

L'effet induit par la présence de void dans la brasure dépend de nombreux facteurs (cf. § I.3.3). Il se traduit par des variations d'un certain nombre de grandeurs de sortie, appelées « réponses » du système. Nous cherchons à comprendre la tendance d'évolution des réponses vis-à-vis de la variation de certains facteurs et à identifier le poids de ces derniers au regard de cette tendance. Nous cherchons également à quantifier ces réponses à l'aide d'une formulation mathématique reliant tous les facteurs influents retenus. Un des outils numériques dont l'utilisation est très répandue pour traiter ce genre de problèmes est le plan d'expériences. Seul l'impact du void unique sera évalué dans cette étude. Ceci permet, d'une part, de réduire le nombre de facteurs influents et, d'autre part, de simplifier le domaine d'étude. Les grandes étapes de notre approche sont résumées en Figure II-1.

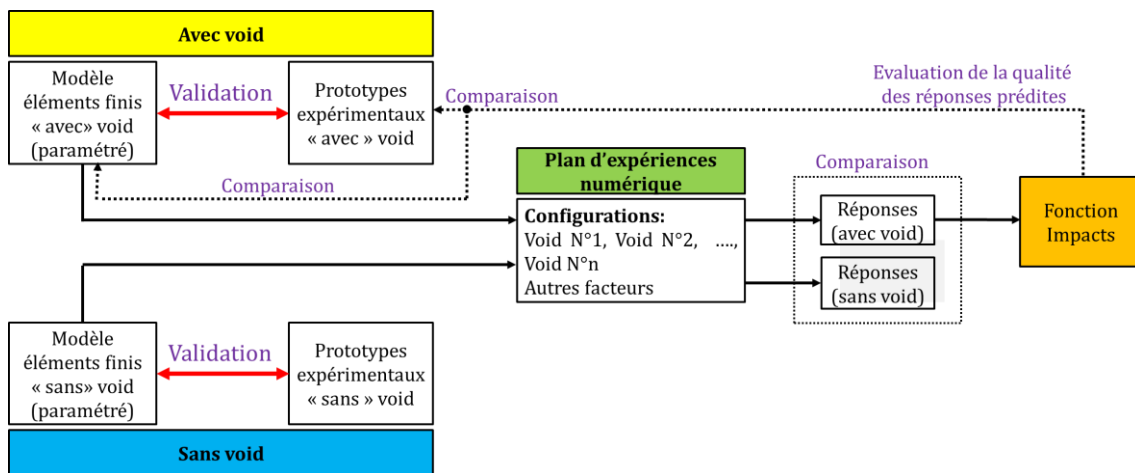


Fig. II-1 : Formalisation de la méthodologie utilisée

Cette étude est décomposée en deux volets : un volet numérique et un volet expérimental. Pour l'approche numérique, deux modélisations par éléments finis seront construites, l'un correspondant à l'assemblage sain sans void et l'autre représentatif de l'assemblage avec void. Ces modèles prennent en compte les couplages électrothermiques de la partie active du composant et des fils de puissance assurant la liaison avec la face supérieure du composant de puissance. De nombreuses variables caractéristiques des modèles seront ensuite paramétrées pour pouvoir générer différentes configurations en fonction notamment des caractéristiques du void. Les résultats des simulations seront confrontés aux mesures issues de l'expérimentation afin de valider les modèles. Cette validation sera réalisée pour le cas « sans » et celui « avec » void. Elle permet de juger de la robustesse des modèles numériques pour les différentes configurations qui caractérisent la présence d'un void. La réalisation des campagnes expérimentales nécessite un certain nombre de prototypes. D'un côté, il est nécessaire de réaliser les prototypes de référence dans lesquels la brasure est caractérisée par un taux de void négligeable. D'un autre côté, il faut fabriquer les prototypes pour lesquels chaque void est intentionnellement créé dans la brasure

afin de disposer des différentes configurations utiles à l'analyse de la réponse électrothermique du composant. Une fois le modèle avec void validé, il sera utilisé pour l'étude numérique paramétrique. Nous déterminons ensuite les points d'expériences virtuelles pour lesquels les simulations paramétriques seront évaluées. La génération des points d'expériences virtuelles, autrement dit des configurations de void à simuler, est exécutée grâce à l'outil de plan d'expériences intégré dans le logiciel Design of Expert™. Les réponses obtenues par la simulation paramétrique sont ensuite intégrées dans le plan d'expérience numérique pour formaliser les fonctions mathématiques reliant les réponses observées avec les facteurs potentiellement influents. Ces fonctions doivent permettre de prédire les réponses à n'importe quel point d'expérience situé dans le domaine d'étude. Enfin, nous vérifions la qualité des réponses estimées par le plan d'expériences en les comparant avec les réponses issues de la simulation et celles obtenues lors des mesures expérimentales.

Nous avons vu que la méthodologie introduite précédemment présente un couplage entre le modèle, les campagnes expérimentales et le plan d'expériences. C'est ce dernier qui extrait les configurations de voids et qui génère les fonctions de réponses. Il existe une grande famille de plans d'expériences. Chaque plan d'expériences permet de traiter un problème spécifique qui dépend de l'objectif de l'évaluation, de contraintes matérielles, budgétaires, Dans le paragraphe suivant, nous faisons un état de l'art sur les méthodes de plans d'expériences à partir desquelles nous justifions le choix du plan d'expériences le plus adapté.

II.2. La méthode de plan d'expériences

II.2.1. Introduction

Les plans d'expériences sous leur forme primitive furent utilisés dès le 14^e siècle pour comprendre et évaluer un phénomène ou une situation. Cependant, il a fallu attendre jusqu'au 19^e siècle pour que les méthodes expérimentales soient largement utilisées en sciences de la nature, sciences humaines et sociales. Nous pouvons citer à titre d'exemple, les travaux de Claude Bernard en 1865 [123], qui sont consacrés au développement de procédés d'investigations appliquées à la physiologie.

Les méthodes rigoureuses d'expérimentation, appuyées sur le principe des plans d'expériences, sont soulignées par les travaux du mathématicien britannique Ronald Fisher. Il a cherché à augmenter les rendements agricoles en faisant varier les combinaisons de nombreux paramètres (engrais, variétés végétales, méthodes de culture, types de sol...). Mais, étant dans l'impossibilité d'évaluer toutes les combinaisons, il a cherché à construire les essais expérimentaux basés sur un modèle statistique rigoureux. Cette approche est abordée dans son ouvrage mondialement connu [124], publié en 1925, étant considéré comme la première brique de la méthode de plan d'expériences. Nous retenons les trois principes pour l'utilisation de la méthode de plan d'expériences :

- La « randomisation » : C'est la technique d'attribution de façon aléatoire des points d'expériences dans le domaine d'étude conformément à des probabilités définies. Elle permet d'éliminer les erreurs systématiques (erreur expérimentale qui ne dépend pas des conditions externes comme l'erreur de l'appareil de mesure) et de compenser les erreurs aléatoires (erreur expérimentale due à la variation de conditions environnantes) ;

- La répétition : Il s'agit du fait de répéter un certain nombre de fois une même expérience sous la même condition. Elle permet de réduire la variance des erreurs aléatoires donc d'améliorer la précision des réponses [125] ;
- Le contrôle local : Il permet d'évaluer les facteurs incontrôlés qui peuvent avoir un impact dû à leur inhomogénéité. Il vise à réduire ou à maîtriser la variation des facteurs incontrôlés et donc à garantir une meilleure précision dans l'interprétation des réponses.

Pour utiliser le plan d'expériences, nous devons supposer que les erreurs aléatoires suivent la loi normale, c'est-à-dire que l'espérance des erreurs aléatoires est nulle et l'écart-type des erreurs correspond à un terme σ quelconque. Par ailleurs, la répétition doit être conjuguée avec la randomisation pour mieux estimer l'erreur expérimentale. Les travaux de Ronald Fisher ont donné naissance à la première famille des plans d'expériences : les plans de criblage ou technique de screening. Ils permettent de répondre aux problèmes suivants :

- Minimiser le nombre d'essais à réaliser pour acquérir un maximum d'informations ;
- Evaluer le degré de l'influence de facteurs ;
- Evaluer l'effet dû aux interactions entre facteurs ;
- Linéariser des réponses d'un processus par un modèle additif.

C'est en 1946 qu'une nouvelle famille de plans de criblage apparaît. Les plans de Plackett – Burman [126] permettent d'étudier de nombreux facteurs à 2 niveaux en respectant le principe d'orthogonalité pour un nombre d'expériences identique au nombre de facteurs. Le stade ultime de cette famille est présenté par les plans super-saturés qui diminuent encore le nombre d'expériences. En 1961, Box et Hunter proposent des plans factoriels fractionnaires [127], qui sont la version réduite des plans complets, notés 2^{k-p} . A noter que pour le même nombre d'expériences réalisées, la méthode de plan d'expériences permet une meilleure précision que la méthode traditionnelle, « un facteur à la fois », qui fixe certains facteurs et regarde l'évolution des autres facteurs. La phase suivante de l'évolution de la technique de criblage a été proposée par Taguchi [128]. Il s'agit d'une restructuration des travaux antérieurs de façon pragmatique en introduisant « la fonction de perte de qualité », traduit par le rapport signal sur bruit. Les plans de Taguchi ont consisté à relier les techniques de l'ingénierie et des notions statistiques pour optimiser le niveau de la conception du produit et le procédé de fabrication.

Les dernières évolutions des plans de criblage dépassent les limites des plans traditionnels grâce au développement de l'informatique. Ces plans reposent sur la conception des expériences qui permettent de définir les facteurs à plusieurs niveaux au lieu de deux niveaux extrêmes dans les anciens plans. La théorie permettant la conception des plans dits « optimaux » (optimal design) est enrichie dans les travaux de Elfving [129], Chernoff [130] et Kiefer [131].

Cependant, les nombreux problèmes industriels, rencontrés notamment en phase de production, nécessitent l'identification des optima d'une ou de plusieurs réponses, souvent quantitatives, afin d'optimiser ou de contrôler les procédés. La méthodologie de surface de réponse (MSR) constitue donc le second volet de la méthode des plans d'expériences, et permet de traiter ce genre de problématique. La méthode MSR peut être considérée comme une suite à la technique de criblage. Le plan de criblage cherche à expliquer « pourquoi » les réponses varient par l'identification des facteurs influents. Le plan de criblage s'intéresse par contre, à comprendre « comment » les réponses varient. La MSR est plus récente que les plans de criblage. Ses prémices apparaissent dans les années 30 dans les domaines de l'agronomie, de la biologie animale et végétale et des

sciences humaines. Cependant, l'originalité de ce concept connu sous le nom de la méthode MSR est typiquement attribuée à deux chimistes Box et Wilson [132] avec l'implantation des techniques de régression analytique et de conduite d'expériences. Les années suivantes ont marqué l'extension de cette méthode pour les modèles du deuxième ordre (central composite design) [133], du troisième ordre (Box – Behnken design) [134] et des plans optimaux [135]. Le fondateur des critères d'optimalité pour les plans optimaux utilisés pour l'analyse de surface de réponse est Kiefer [131], [132]. Les méthodes pour quantifier l'optimalité d'une matrice d'expériences ont été ensuite proposées [133], [134].

II.2.2. Choix du plan d'expériences

Nous pouvons nous apercevoir à la lumière du paragraphe précédent que la principale différence entre la technique de criblage et la méthode MSR réside dans le mode d'analyse des réponses que nous souhaitons observer. Or, notre objectif est non seulement d'identifier les facteurs influents, mais aussi d'observer l'évolution des réponses électrothermiques vis-à-vis des variations des facteurs liées aux caractéristiques du void présent dans la brasure de la puce MOSFET (position, taille, épaisseur...). Nous souhaitons identifier les configurations du void les plus critiques à partir d'une loi exprimant cette évolution en fonction des facteurs influents. C'est pourquoi nous utilisons la méthode MSR qui semble la plus adaptée pour l'objectif de cette étude.

L'utilisation de la technique de criblage peut être intéressante pour diminuer le nombre de facteurs influents avant d'appliquer la méthode MSR [136]. Cependant, comme le nombre de facteurs retenus dans cette étude reste à un niveau acceptable (6), nous avons donc fait le choix de procéder à la conception de la méthode MSR sans passer par l'étape de criblage.

II.2.3. Notions de base des plans d'expériences

II.2.3.1. Variables

Telle que détaillée dans § II.2.1, la méthode MSR renseigne sur l'évolution des réponses vis-à-vis d'une modification des niveaux des facteurs influents. Une réponse correspond à une grandeur de sortie (ou d'observation) dont l'évolution est analysée en fonction des facteurs appliqués. Il appartient aux spécialistes du phénomène étudié de définir au mieux la nature et le type de chacune des réponses en adéquation avec l'objectif de l'étude. Les facteurs englobent tous les paramètres qui peuvent agir sur les réponses. En réalité, la variation des réponses ne devient importante qu'à partir d'un seuil qui intéresse l'expérimentateur. En se référant à ce seuil, il proposera une liste des « facteurs d'entrée » ou « facteurs à étudier » influençant les variations des réponses évaluées. Il est à noter que pour un ensemble de facteurs retenus par le conducteur d'expériences, il n'est pas obligatoire que tous soient réellement influents. L'identification de ceux-ci se fait à l'aide de l'analyse de variance que nous introduirons au **Chapitre IV**. Les réponses et les facteurs d'entrée sont souvent des grandeurs physiques (électrique, thermique, mécanique...) liées à un problème quelconque. Pour évaluer la dépendance entre une réponse donnée et les facteurs d'entrée, nous établissons une fonction mathématique qui relie ces deux groupes de grandeurs. Cette fonction mathématique est appelée « fonction de réponse ». Les réponses et les facteurs d'entrée qui apparaissent dans les fonctions de réponse sont des « variables ».

Pour les autres facteurs, selon [137], ils peuvent être classés en deux catégories :

- Les facteurs contrôlés sont ceux pour lesquels nous cherchons à fixer les valeurs. Il faut remarquer que le terme « fixer » est souvent relatif. D'un point de vue pratique, il est impossible d'imposer un facteur avec une variation strictement nulle. Même pour les produits issus d'un procédé de production de masse ayant une très bonne reproductivité, il existe toujours un écart par rapport à la valeur nominale. Nous pouvons par contre imposer un facteur de manière absolue dans le cadre d'une étude numérique ;
- Les facteurs non-contrôlés sont ceux pour lesquels nous ne pouvons pas imposer la valeur. Ils varient indépendamment du choix du conducteur d'expériences (conditions climatiques, environnement d'utilisation...). Néanmoins, ces facteurs peuvent dans certains cas être quantifiés par des grandeurs mesurables. Ils sont généralement responsables de la majeure partie de l'erreur affectant les réponses observées.

Nous résumons les notions de facteur et de réponse dans un système en Figure II-2

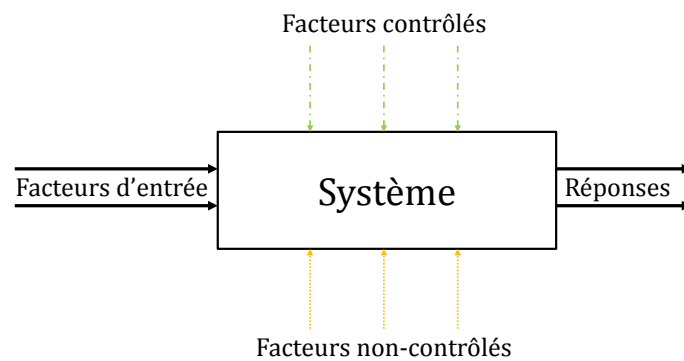


Fig. II-2 : Facteurs et réponses

II.2.3.2. Niveau et modalité

La notion de niveau indique les valeurs quantitatives prises par un facteur pour en évaluer l'influence sur la réponse. Ils sont compris entre un niveau haut F_{max} et un niveau bas F_{min} . La notion de modalité d'un facteur est l'équivalence de celle de niveau mais elle s'applique à des facteurs qualitatifs. Un facteur F quelconque peut être :

- Continu : F prend toutes les valeurs numériques dans l'intervalle $[F_{min}, F_{max}]$. Le nombre de niveaux est donc infini ;
- Discret : F ne peut prendre que certaines valeurs dans l'intervalle $[F_{min}, F_{max}]$. Ces valeurs sont des niveaux de F. Les niveaux sont définis à partir d'une discrétisation de l'intervalle $[F_{min}, F_{max}]$. Le nombre de niveaux est donc fini ;
- Qualitatifs (ou catégoriels) : Notion identique à celle d'un facteur discret. Les facteurs qualitatifs ne sont pas ordonnables. Cependant, nous pouvons transformer des facteurs qualitatifs en facteurs qualitatifs à l'aide d'un codage approprié. A titre d'exemple, pour un facteur « genre », nous pouvons coder 1 pour la catégorie « homme » et 0 pour la catégorie « femme ».

II.2.3.3. Domaine d'étude

Le domaine d'étude, ou l'espace expérimental, englobe toutes les combinaisons des valeurs possibles de l'ensemble des facteurs d'entrée. Les points se situant à l'intérieur du domaine d'étude sont les points candidats. Le domaine d'étude par défaut est isotrope, présenté par un espace dont la dimension correspond au nombre de facteurs d'entrée. Il peut exister des relations entre les facteurs d'entrée, mais cela rend le domaine d'étude plus complexe. Ces relations sont exprimées par des fonctions de contrainte. Les contraintes peuvent être dues à l'impossibilité manifeste ou, plus simplement, à un bornage imposé par l'objet étudié ou par l'expérimentateur. La présence de contraintes à l'intérieur du domaine d'étude est problématique car elle perturbe l'homogénéité de la répartition des points d'expériences. Elle peut provoquer une polarisation des effets due aux facteurs influents et complexifier l'extraction et l'interprétation des surfaces de réponse [137]. Pour un tel domaine d'étude dit anisotrope, le maillage du domaine sera rétabli en éliminant les points d'expériences invalides pour retrouver l'emplacement optimal des points d'expériences tout en respectant ces contraintes [136].

Dans notre cas, le domaine d'étude présente des contraintes dues à l'impossible présence d'un void de taille significative aux abords des extrémités de la brasure car il serait inévitablement éliminé lors de la phase de refusion de la brasure.

II.2.3.4. Modèle postulé

L'interprétation des réponses étudiées s'appuie sur une représentation mathématique liée à un modèle dit « modèle postulé ». Le choix du modèle postulé est un compromis entre la précision désirée, quantifiée par le nombre des essais à réaliser, et les contraintes de ressources notamment matérielles, budgétaires et de temps. Ce modèle est de la forme générale :

$$\text{Réponses} = f(u_1, u_2, u_3, \dots, u_n) \quad (\text{II-1})$$

Où f est la fonction de réponse et $u_1, u_2, u_3, \dots, u_n$ sont les facteurs d'entrée. L'un des modèles les plus utilisés pour l'analyse MSR est le modèle quadratique :

$$\text{Réponses} = \beta_0 + \sum_{i=1}^k \beta_i u_i + \sum_{i=1}^k \beta_{ii} u_i^2 + \sum_{i=1}^k \sum_{j=i+1}^k \beta_{ij} u_i u_j \quad (\text{II-2})$$

Le coefficient β_0 , qui est la moyenne arithmétique des réponses, correspond à la moyenne générale des réponses quand tous les facteurs varient. Il s'agit de la réponse localisée au centre du domaine d'étude [138]. Le coefficient β_i exprime l'effet principal dû au facteur u_i . Les effets principaux correspondent aux effets des paramètres pris séparément, les uns après les autres, sans considérer les interactions. L'effet principal d'un facteur est évalué par la variation d'une réponse quand ce facteur passe du niveau 0, correspondant à la valeur moyenne de ce facteur, au niveau haut. Le coefficient β_{ij} représente l'interaction d'ordre 2 entre les facteurs u_i et u_j . Il correspond à la variation de l'effet du facteur u_i en fonction du niveau du facteur u_j . Cette notion est mutuelle, en effet, l'effet du facteur j sur le facteur i dépend réciproquement du niveau du facteur i . Le coefficient β_{ii} est la traduction de l'effet d'un facteur sur la courbure de la réponse. Il dépend de la complexité du plan d'expérience et du modèle associée. L'évaluation des termes

quadratiques nécessite au minimum trois niveaux par facteur et les facteurs doivent être quantitatifs.

Les modèles polynomiaux d'ordre plus élevés sont utilisés dans le cas d'évaluation de réponses plus complexes, notamment avec des variations brusques. Cependant, son usage pose quelques inconvénients : augmentation très rapide du nombre d'expériences, complexité dans l'expression mathématique [137], approximation incertaine qui se traduit par un faible intervalle de confiance et une forte sensibilité de la réponse à l'ordre polynomial élevé [137], [139], [140].

Il existe également des méthodes sans maillage basées sur les modèles non polynomiaux, comme la méthode multi-quadratique [141]–[143] et celle des éléments diffus [144]–[146], mais elles sont plus difficiles à mettre en œuvre.

Au regard des méthodes disponibles, le modèle quadratique semble le plus adapté à notre approche MSR, grâce à sa simplicité de mise en œuvre, sa facile détection d'optimum, son bon compromis entre précision désirée, nombre d'expériences à tester et temps de calcul.

II.2.4. Expériences

D'un point de vue classique, il s'agit de véritables expériences, autrement dit d'essais expérimentaux qui sont réalisés avec un processus réel et sous des conditions particulières. Ces conditions ne sont jamais identiques à chaque essai, ce qui conduit à des erreurs systématiques et aléatoires. Pour des raisons d'économie et de difficultés quant à la réalisation des dispositifs expérimentaux, de nombreux phénomènes physiques ne peuvent être évalués par l'approche expérimentale, même si cette dernière est couplée à un plan d'expérience qui a déjà allégé les ressources nécessaires. Depuis ces dernières années, la forte évolution des outils de simulations et de traitements numériques permettent une étude extrêmement réaliste de phénomènes multi physiques. Un grand nombre de travaux, basés sur la modélisation numérique, utilisent les plans d'expériences pour évaluer les phénomènes « mono-physiques » [147], [148] et « multi-physiques » [81], [149]–[153] avant la mise en œuvre de la phase d'optimisation. Nous soulignerons ici la grande contribution des modélisations numériques. Elles permettent une modification simple et rapide des facteurs, une accessibilité aisée aux réponses et une réduction des coûts matériels. C'est pourquoi l'utilisation des simulateurs numériques, couplés avec des plans d'expériences, est de plus en plus répandue. Les expériences correspondant à ce mode d'usage des plans d'expériences sont appelées « expériences virtuelles ». L'utilisation du plan d'expériences virtuelles doit prendre en compte les particularités suivantes :

- Les expériences virtuelles sont déterministes. De ce fait, la notion de réplication (répétition) n'a plus de signification puisqu'une simulation donne la même réponse si les variables d'entrée sont identiques. Il en est de même pour la notion d'erreur expérimentale, la notion de randomisation n'ayant plus de sens. Seul le résidu, écart entre la réponse prédictive issue de la MSR et la valeur obtenue par simulation, sera observé. Le résidu est notamment un indicateur permettant d'évaluer le choix du modèle utilisé, la technique de maillage, la précision des données d'entrée, et les hypothèses simplificatrices, ... [137] ;
- Le choix du solveur peut avoir une influence significative sur les résultats donnés par le modèle. A noter que le modèle lui-même déjà entaché d'une erreur intrinsèque par rapport à une représentativité toute relative de la réalité. Sans être une liste exhaustive, cette erreur provient notamment de la simplification de la description des géométries, des

propriétés physiques, de la technique de maillage et des conditions aux limites. Mais c'est le solveur qui détermine la méthode de la résolution des équations représentatives des phénomènes physiques implantées dans le modèle. C'est un paramètre extérieur du modèle qui influence la précision des résultats du modèle ;

- La densité de points d'expériences d'un tel modèle est plus élevée le long du contour du domaine d'étude [154]. Cette distribution de points est optimale pour un modèle polynomial, mais ne permet pas de capter des éventuelles irrégularités à l'intérieur du domaine d'étude.

De ce fait, le plan d'expériences virtuelles doit être utilisé avec précautions. Malgré tout, un plan d'expériences virtuelles dans le domaine de l'électronique de puissance, basé sur un modèle postulé quadratique, peut-être de très bonne qualité. En fait, bien que le modèle mathématique représentatif des phénomènes observés soit complexe, la surface de réponse ne présente pas d'ondulations dans la plupart des cas [154]. En plus, même si la surface de réponse n'est pas très précise d'un point de vue quantitatif, elle permet d'extraire les tendances de l'évolution de la réponse et de mettre en évidence les degrés de criticité des facteurs étudiés. L'enjeu est alors de bien maîtriser les paramètres d'entrée (géométrie, propriétés physiques de matériaux, maillage, solveur...) afin de diminuer l'erreur du modèle.

II.2.5. Critères d'optimalité

Nous avons remarqué les propriétés intéressantes des plans d'expériences et notamment de la méthode MSR pour répondre à l'objectif de notre étude d'évaluation de l'impact du void afin d'identifier les configurations les plus critiques. L'utilisation de la méthode MSR nécessite une identification des points pour lesquels les expériences virtuelles seront réalisées. Ces points sont choisis parmi les points candidats valides dans le domaine d'étude. Le choix des points d'expériences est crucial car il influence directement la précision de l'évaluation des estimateurs β et les réponses prédictives. L'algorithme permettant la génération des points d'expériences doit dès lors respecter certains critères. Ces critères sont généralisés, à partir de la notion d'orthogonalité dans les plans de criblage, afin de pouvoir être appliqués au plan optimal. La notion d'orthogonalité nous indique que le positionnement des points d'expériences est le plus régulier et le plus symétrique possible. Autrement dit, chaque facteur est évalué autant de fois à son niveau haut qu'à son niveau bas. Nous rappelons qu'il existe deux niveaux pour les plans de criblage alors qu'un minimum de trois niveaux par facteurs est demandé pour la méthode MSR. Le respect du critère d'orthogonalité nécessite au minimum 3^k points d'expériences. Ceci se traduit par une augmentation rapide du nombre d'expériences à réaliser en fonction du nombre de facteur d'entrée. Par ailleurs, la notion d'orthogonalité est extrêmement difficile à maîtriser quand le domaine d'étude subit des contraintes comme celles rencontrées dans notre étude. Nous devons par conséquent définir un critère alternatif au critère d'orthogonalité, dit « critère d'optimalité », à appliquer à notre MSR. Le plan d'expériences se basant sur un critère d'optimalité est appelé « plan optimal ». Le système étant caractérisé par 28 équations, nous pouvons le réécrire sous la forme matricielle suivante :

$$Y = X\beta + \varepsilon \quad (\text{II-3})$$

Où Y est un vecteur de dimension $N \times 1$, avec N est le nombre d'expériences effectuées, qui représente la matrice de réponses obtenues par les essais réels ou virtuels aux N points d'expériences, β est aussi un vecteur de dimension $N \times 1$ qui interprète le vecteur d'estimateurs.

Les composantes de ce vecteur indiquent le poids qui quantifie l'impact de chaque facteur. Elles permettent ainsi de renseigner le modèle postulé du plan d'expériences afin d'évaluer de façon quantitative les réponses choisies en fonction des facteurs retenus. La matrice X décrit la modalité de N expériences. Elle est construite à partir des niveaux des facteurs et du modèle postulé utilisé. Le vecteur ε correspond à la matrice des résidus. Dans le cas d'une simulation numérique, elle est l'écart entre la réponse modélisée et la valeur que prédit la surface de réponse. Dans le cadre d'une analyse statistique avec le plan d'expérience, nous supposons que cet écart suit la loi normale caractérisée par une valeur moyenne nulle et un écart type $\hat{\sigma}$. La partie qui est impliquée dans la génération de points d'expériences que nous cherchons à optimiser est bien la matrice X , dite matrice d'expériences. L'enjeu de la MSR, ainsi que la méthode de plan d'expériences, est d'optimiser la génération de la matrice X qui est la traduction du choix du critère d'optimalité. Le principe traditionnel de l'optimalité de plan d'expériences repose sur la minimisation de la variance des estimateurs :

$$\sigma^2(\hat{\beta}) = \hat{\sigma}^2 \times |(X'X)^{-1}| \quad (\text{II-4})$$

Où $\sigma^2(\hat{\beta})$ est la matrice de variance-covariance des estimateurs ; $\hat{\sigma}^2$ correspond à l'erreur globale de la régression, ou la variance résiduelle et $|(X'X)^{-1}|$ exprime le déterminant de la matrice $(X'X)^{-1}$. Nous supposons ici une hypothèse, dite hypothèse d'homoscédasticité (appliquée dans la régression linéaire) telle que $\hat{\sigma}^2$ est constant dans tout le domaine d'étude. Nous déduisons de cette relation II-6 que la variance des estimateurs, donc de leur précision, dépend de la variance de régression $\hat{\sigma}^2$ et du déterminant de la matrice $(X'X)^{-1}$ définie par les points d'expériences et le modèle mathématique utilisé. Par contre, il ne dépend pas de la réponse Y et de la localisation des points d'expériences dans le domaine d'étude. Nous citons ici deux critères d'optimalité les plus connus :

- Critère dit de D - optimalité cherche à optimiser la qualité d'estimation des coefficients du modèle, c'est-à-dire le vecteur d'estimateur. Son principe est de minimiser le déterminant de la matrice $|(X'X)^{-1}|$ ou, autrement dit, de maximiser le déterminant la matrice d'information $|(X'X)|$,
- Critère dit de A - optimalité cherche à minimiser la moyenne de la variance des estimateurs en minimisant la trace de la matrice $|(X'X)^{-1}|$.

Avec la naissance de la méthode MSR, d'autres critères ont été développés dont le principe qui s'appuie sur la minimisation de la variance des réponses prédictives :

$$\text{Var}[\hat{y}(x)] = \hat{\sigma}^2 x^{(m)'} (X'X)^{-1} x^{(m)} \quad (\text{II-5})$$

Où $x^{(m)}$ est la $m^{\text{ième}}$ ligne de la matrice X . Elle est caractérisée par la $m^{\text{ième}}$ expérience. Nous aborderons ici quelques critères les plus utilisés pour l'approche MSR :

- Critère dit de G - Optimalité cherche à minimiser le maximum des variances de la prédiction dans le domaine d'étude ;
- Le critère dit de I - Optimalité cherche à minimiser la moyenne des variances de la prédiction dans le domaine d'étude.

Nous avons cité deux familles de critère d'optimalité qui sont utilisés pour des objectifs différents : l'un cherche à améliorer la précision des estimateurs et l'autre cherche à donner une meilleure estimation des réponses. Le choix d'un critère pour optimiser la précision des estimateurs peut dégrader la précision quant à l'estimation des réponses et vice – versa. Il faut donc se référer à l'objectif de l'étude pour définir le critère d'optimalité qui y convient le mieux. L'évaluation de l'efficacité d'un critère d'optimalité par la procédure SAS OPTEX est détaillée en Annexe 1. Comme nous privilégions l'observation de réponses dans tout le domaine, le critère qui semble le plus adapté à notre besoin est le critère I - Optimalité, ce qui permet d'avoir une erreur moyenne minimale lors de la prédiction de réponses. Dans la partie suivante, nous présenterons la conception du plan optimal d'expériences numérique en utilisant le critère I - optimalité pour l'appliquer à notre étude en corrélation avec les technologies d'assemblage des prototypes étudiés.

II.3. Conception du plan d'expériences virtuelles

II.3.1. Objectif de l'étude et identification des réponses observées

Comme nous l'avons précisé au cours des paragraphes précédents, nous cherchons à évaluer l'impact d'un void unique dans l'attache de puce (brasure) d'un assemblage de puissance, en régime de conduction continue. La criticité de cet impact sera relevée en observant l'évolution de la réponse électrothermique d'un composant de puissance MOSFET Silicium basse tension, vis-à-vis de la variation des facteurs qui caractérisent le void. Les modèles mathématiques doivent permettre de prédire l'impact sur des performances du composant lors de son fonctionnement en régime établi de conduction en regardant les réponses liées à des critères de sécurité fonctionnelle de l'assemblage.

Au sein de l'assemblage, les éléments, tels que le composant MOSFET, les fils de puissance, la brasure et le substrat sont soumis à des stress à la fois thermiques, électriques et mécaniques. Au regard de l'état de l'art sur la problématique liée à la présence de void, la formation de void affecte principalement le comportement électrothermique du composant de puissance et des fils de puissance reportés sur sa partie supérieure (cf. § I.3.3.1). De nos jours, des composants de puissance en silicium peuvent fonctionner à une température maximale de 175°C à 200°C [37]. La limite de température est plus délicate pour les composants hautes tensions. Seuls des composants silicium basses tensions peuvent posséder une température de jonction maximale dépassant 200°C [157]. La technologie dite « Silicon on Insulator » (SOI) [157]-[160] permet d'atteindre une température encore plus élevée, jusqu'à 250°C, grâce à une diminution des courants de fuite. Cependant, cette technologie n'est viable que pour les composants latéraux [157], [158]. Quant aux fils de bonding en aluminium, ils sont difficilement utilisables au-delà de 250°C sans accroître les mécanismes d'endommagement liés à la fatigue thermomécanique due au cyclage thermique [161], [162]. Les critères de sécurité retenus sont les températures maximales du composant (température maximale prise à la jonction située à l'interface partie active – substrat N+ du composant MOSFET) et des fils de puissance. Ces deux critères de sécurité seront retenus comme les réponses R1 et R2 du plan optimal :

$$R1 = T_{\max}(\text{MOS}) \quad (\text{II-6})$$

$$R2 = T_{\max}(\text{fils}) \quad (\text{II-7})$$

II.3.2. Choix d'une stratégie de simulation numérique

Dès lors que l'objectif et les réponses associées sont définis, il convient d'adopter une stratégie pour atteindre l'objectif. Nous avons vu que le choix du modèle quadratique est le plus adapté à notre objectif étant donné les contraintes de notre étude. La simulation effectuée à chacun des points d'expériences va donner une réponse numérique. La méthode MSR va générer une surface de réponse qui se rapproche au mieux des réponses issues de toutes les expériences. Nous devons donc avoir connaissance de toutes les réponses avant de chercher les optima. D'un point de vue méthodologique, l'approche dite indirecte convient à tous travaux cherchant à observer la variation d'une ou, comme c'est le cas ici, de plusieurs réponses en fonction des facteurs mis en jeu. Elle est à différencier des méthodes dites directes, comme la méthode du simplexe [163], qui cherche à pointer rapidement l'optimum sans rechercher une formulation mathématique permettant d'analyser de façon quantitative l'influence des facteurs.

II.3.3. Définition des facteurs et des niveaux

II.3.3.1. Définitions des facteurs d'entrée et leurs niveaux

Pendant le procédé de fabrication, le void peut se positionner soit à l'interface puce – brasure soit à l'interface brasure – substrat soit à l'intérieur de la brasure. Dans ces configurations, l'épaisseur du void est inférieure à celle de la brasure. De plus, la forme réaliste du void est souvent de géométrie complexe qui le rend difficile à paramétrer dans l'outil de simulation. Cependant, les tailles de void étudiées dans notre étude sont de l'ordre du millimètre. Ceci est confirmé par l'analyse destructive par micro-sections des échantillons représentatifs du domaine d'étude (cf. Annexe 2). Nous pouvons de ce fait n'étudier que les voids dit débouchant. Concernant la géométrie du void, celui-ci sera caractérisé par une géométrie cylindrique circulaire afin de simplifier sa définition dans l'outil numérique. Cette hypothèse nous permet de paramétrer le void unique en fonction de trois facteurs intégrés dans le plan optimal pour la méthode MSR :

- Deux facteurs pour définir la position du centre du void (X_v, Y_v) dans le plan (α, β) de la puce;
- Un facteur pour définir la taille du void (T_v), soit son diamètre car le void est supposé avoir la forme cylindrique.

La définition des facteurs X_v, Y_v et T_v est illustrée en Figure II-3. La taille du void correspond à son diamètre. Le référentiel dans le plan ($\alpha\beta$) est déterminé par rapport au sens de répétition des fils de puissance (α) et de leur orientation (β). L'origine au point (0,0) est indiquée dans la même figure. Il faut remarquer que l'emplacement des fils n'est pas symétrique. En effet, pour réserver de la place pour câbler le fils de commande de grille, les fils de puissance sont décalés ici vers la droite.

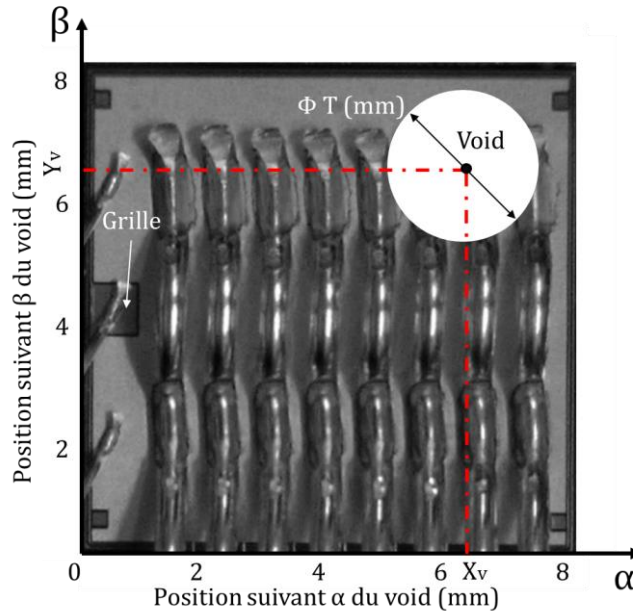


Fig. II-3 : Définition des facteurs X_v , Y_v et T_v

Les facteurs X_v , Y_v et T_v sont les seuls paramètres liés au void. Ils permettent de caractériser les différentes configurations du void utilisées dans notre étude. Cependant, la confrontation expérimentale, présentée en **Chapitre IV**, vient compliquer notre plan optimal. En effet, l'utilisation de modules commercialisés n'est pas envisageable puisqu'il est impossible d'obtenir les configurations des voids souhaitées. Nous avons fait réaliser des prototypes dédiés à cette étude en contrôlant au mieux les caractéristiques des voids pour qu'ils soient analogues à ceux définis dans l'étude numérique (unicité du void, forme cylindrique traversant, contrôle de la position du void...).

Malheureusement, la fabrication des prototypes nous a fait perdre en reproductibilité pour certaines caractéristiques des modules assemblés. En conséquence, certains paramètres non contrôlés de l'assemblage vont avoir un effet sur les réponses que nous souhaitons observer. Pour ceux que nous pouvons contrôler, donc avec très peu de variation sur l'ensemble des prototypes réalisés, nous les classons dans la catégorie «facteurs contrôlés» (cf. § II.3.3.2). Pour ceux que nous ne pouvons pas contrôler, nous les divisons en deux groupes :

- Ceux dont l'impact semble négligeable (cf. § II.3.3.2) ;
- Ceux dont l'impact semble non négligeable sur les réponses que nous désirons observer. La seule manière de les prendre en compte dans le plan optimal est de les considérer comme des facteurs d'entrée. Ces facteurs peuvent être mesurables ou bien non mesurables. Retenons que nous ne cherchons pas à évaluer l'impact du void vis-à-vis de ces paramètres, même si la criticité du void pourrait en dépendre. En fait, ces paramètres d'assemblage nous obligent à les intégrer dans le modèle mathématique afin de pouvoir évaluer leurs impacts en raison de la forte variabilité observée lors de la fabrication des prototypes.

Le procédé d'assemblage, la géométrie des prototypes et les modèles numériques seront présentés au **Chapitre III**. Nous limiterons ce paragraphe à une description simplifiée de

l'assemblage afin de mettre en évidence des paramètres d'assemblage que nous venons de présenter (cf. Figure II-4) :

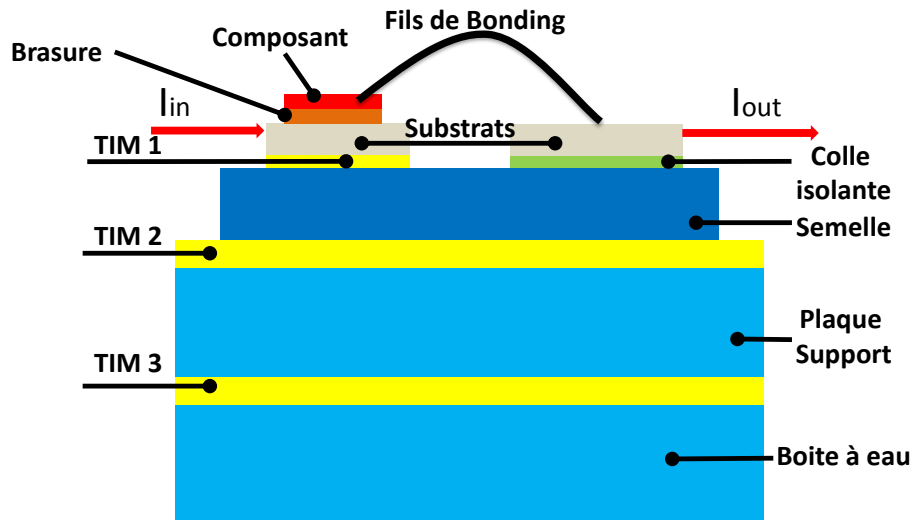


Fig. II-4 : Schéma d'assemblage des prototypes expérimentaux

Pour la réalisation des prototypes, des préformes de brasure SAC de $150\mu\text{m}$ d'épaisseur ont été utilisées pour faire le report d'un MOSFET sur le substrat. Mais, pendant l'opération de brasage, la préforme passe de l'état solide en état liquide entraînant une variation de son épaisseur. Cette variation de l'épaisseur pendant la phase de refusion est difficile à maîtriser. En effet, l'écoulement de la matière dépend de nombreux facteurs comme l'état des surface en contact avec la préforme et le placement de celle-ci entre le substrat et la puce MOSFET. Or, l'effet de l'épaisseur de la brasure sur les réponses étudiées pourrait être couplé avec les autres facteurs d'entrée. L'épaisseur de la brasure E_{SAC} est donc mesurée à l'aide d'un profilomètre optique (cf. Annexe 3). Le coefficient de dispersion de E_{SAC} est estimé proche de 13%. L'écart positif et négatif maximal par rapport à l'épaisseur moyenne \overline{E}_{SAC} est respectivement de 30% et -16%. Nous allons donc intégrer l'épaisseur de la brasure, correspondant à celle du void dans cette étude, dans le plan optimal.

La conductivité thermique verticale de l'interface thermique (TIM) en graphite située entre le substrat et la semelle (TIM1) est donnée juste à titre indicatif par le fabricant (référence : RS 7074780). En réalité, la conductivité thermique de l'interface TIM1 est plus mauvaise en raison des résistances thermiques de contact de part et d'autre de la TIM [164]. L'interface TIM1 est collée au substrat du côté de l'entrée de courant et, pour pouvoir fixer l'ensemble substrat-TIM1 à la semelle, nous avons dû utiliser un système de brides à vis adaptées aux petites dimensions du système. (cf. Figure II-5). Nous avons essayé d'appliquer un couple serrage uniforme aux quatre vis. Cependant, le couple maximal que nous pouvions appliquer ne permettait pas un excellent serrage. Cela implique que la surface de contact entre l'interface TIM1 et la semelle n'est pas bien contrôlée entraînant une dégradation de la qualité de l'interface TIM1. La dégradation de l'interface TIM1 est plus problématique suivant l'axe vertical Z car ceci correspond au sens de propagation du flux de chaleur. En prenant comme hypothèse que la dégradation est homogène suivant l'axe vertical et que la dégradation suivant le plan horizontal XY soit minime, nous exprimons la conductivité spatiale de l'interface TIM1 par :

$$\lambda_{\text{TIM1}}(x, y, z) = \left(\lambda_{x1}, \lambda_{y1}, \frac{\lambda_{z1}}{k_1} \right) \quad (\text{II-8})$$

Où $\lambda_{x1}, \lambda_{y1}, \lambda_{z1}$ sont les conductivités de référence de l'interface TIM1 données par le fabricant et k_1 désigne le coefficient de dégradation de l'interface TIM1. Ce dernier sera étudié et intégré dans le plan optimal.

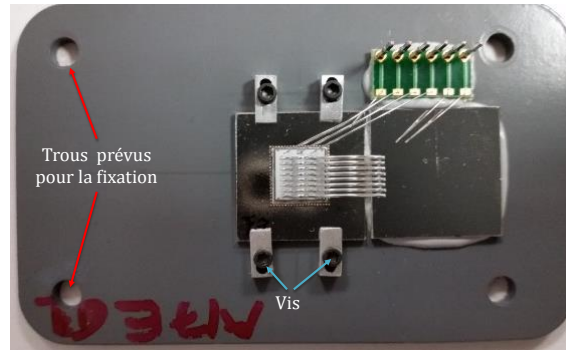


Fig. II-5 : Vis pour la fixation du substrat sur la semelle et trous pour la fixation de la semelle sur la plaque de support

La conductivité thermique verticale de l'interface thermique en polymère à renfort de verre (référence : SIL-PAD S800S), située entre la semelle et la plaque de support (TIM2), est également donnée à titre indicatif. Elle est aussi dégradée à cause notamment de la courbure de la semelle. De la même manière, nous pouvons exprimer la conductivité thermique spatiale de TIM2 par :

$$\lambda_{\text{TIM2}}(x, y, z) = \left(\lambda_{x2}, \lambda_{y2}, \frac{\lambda_{z2}}{k_2} \right) \quad (\text{II-9})$$

Où $\lambda_{x2}, \lambda_{y2}, \lambda_{z2}$ sont les conductivités de référence de la TIM2 telles que communiquées dans la documentation fournie par le fabricant ; k_2 exprime le coefficient de dégradation de la TIM2 qui sera intégré dans le plan optimal.

A noter que l'interface TIM3 en graphite (référence : RS 7074786), située entre la plaque de support et le refroidisseur, n'est pas modifiée au cours des essais.

Le plan optimal évaluera donc l'effet de 6 facteurs dont trois sont liés au void caractérisé par sa position dans le plan $\alpha\beta$ (X_v, Y_v) et sa taille (T_v), et trois sont liés à l'assemblage caractérisé par l'épaisseur de la brasure (correspondant à celle du void) et les coefficients caractérisant la dégradation de la conductivité thermique de TIM1 et TIM2 (k_1, k_2).

II.3.3.2. Les facteurs contrôlés

Dans le cas d'expérience virtuelle, sous-entendu les simulations numériques, tous les paramètres sont contrôlés. De plus, la résistance électrique globale qui intègre celle du MOSFET et des fils R_{total} caractérise la principale source de puissance dissipée induit par l'auto-échauffement dans l'assemblage en régime de conduction. Ainsi, les composants MOSFETs sont issus d'une production de masse et les fils sont fabriqués avec une forte reproductivité grâce à l'outil de

câblage industriel. Néanmoins, malgré l'optimisation du procédé de fabrication, les caractéristiques des MOSFETs et des fils peuvent présenter une légère dispersion. Celles-ci seront évaluées dans § III.2.

L'inclinaison de la puce : Après la phase de brasage qui contrôle la présence d'un void, un angle pourrait être observé entre le plan de la puce et celui du substrat en raison d'une distribution non-homogène de matière dans la brasure. Le problème dû à l'angle d'inclinaison de la puce peut avoir un impact significatif sur les performances du composant de puissance quand il devient important, de l'ordre de 3° [165]. Une optimisation du procédé de brasage a permis de limiter ce problème (cf. § II.4.1). Un contrôle a été mis en œuvre afin de mesurer l'inclinaison de chaque puce intégrée dans les prototypes (cf. Annexe 3). Dans notre cas, les angles d'inclinaison mesurés sur les différents prototypes ne dépassent pas 1°.

D'autres éléments de l'assemblage (semelle, substrats...) sont issus d'une production de masse. Nous supposons qu'ils possèdent les mêmes caractéristiques physiques et dimensionnelles. Ils n'ont pas d'effet significatif pour l'interprétation des réponses étudiées.

II.3.4. Définition du domaine d'étude

II.3.4.1. Définition des fonctions de contraintes

Les contraintes à prendre en compte pour les paramètres géométriques de localisation du void sont liées au fait que ce dernier doit évidemment rester contenu dans la zone qui délimite la brasure de la puce (cf. Figure II-6).

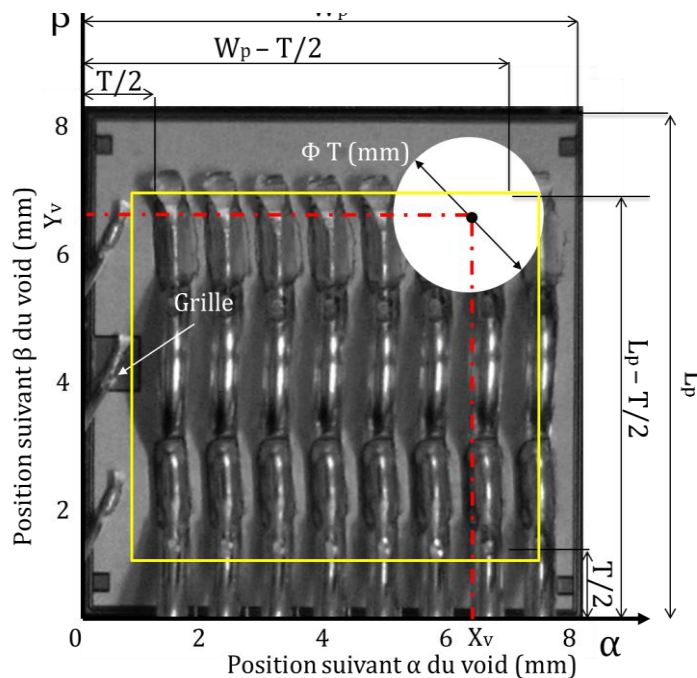


Fig. II-6 : Limitation du domaine d'étude par les contraintes entre X_v , Y_v et T_v

Ces contraintes doivent par conséquent respecter les relations suivantes :

$$\frac{T_v}{2} < X_v < W_p - \frac{T_v}{2} \quad (II-10)$$

$$\frac{T_v}{2} < Y_v < L_p - \frac{T_v}{2} \quad (\text{II-11})$$

Où W_p , L_p sont respectivement la largeur et la longueur de la puce. Le domaine valable du couple (X_v, Y_v) est délimité à l'intérieur d'un rectangle, présenté en trait plein dans la figure au-dessus, et dont les dimensions varient en fonction de la taille du void (T_v).

II.3.4.2. Discrétisation de facteurs

Nous avons détaillé dans le paragraphe II.3.4.1 la classification des facteurs influents. Nous avons retenu trois facteurs caractérisant le void : La position plane (X_v, Y_v) et la taille (T_v). Il est nécessaire de discrétiser ces facteurs afin d'identifier l'emplacement des points d'expérience spécifiques du void, à savoir la localisation et la taille spécifiques. Cette discrétisation impose de les définir comme des facteurs discrets.

II.3.4.2.1. Discrétisation de la taille (T_v) du void

Le domaine d'étude lié au facteur T_v (diamètre du void) est déduit à partir d'un critère d'acceptabilité empirique. Ceci fixe, quel que soit sa position, la surface maximale des voids à 5% de la surface totale de la puce semi-conductrice. Cette hypothèse nous permet de définir la taille du void au centre du domaine (T_c). Dans le cas d'un module utilisant des MOSFETs silicium avec une surface de 7,94mm x 7,97mm, ce point central T_c correspond à un diamètre critique du void de 2mm. Les tailles T_v des voids que nous allons étudier sont autour de cette valeur de référence. Nous cherchons à évaluer si ce critère est sous-évalué (un seuil du taux de void plus sévère sera demandé) ou surévalué (un seuil du taux de void moins sévère sera moins coûteux tout en respectant les bonnes performances de l'assemblage). Nous proposons de prendre une marge de 50% autour de T_c pour délimiter la zone d'intérêt de T_v .

$$0,5T_c \leq T_v \leq 1,5T_c \quad (\text{II-12})$$

Dans le cas de notre composant MOSFET, la zone d'intérêt de la taille du défaut est donc comprise entre 1mm et 3mm. La zone exploratoire du facteur qui caractérise la taille du void correspond à un taux d'occupation variant de 1,2% à 11,2% de la surface totale du MOSFET. Nous discrétisons T_v en 5 niveaux : haut ($1,5T_c$), moyennement haut ($1,25T_c$), moyenne (T_c), moyennement bas ($0,75T_c$), bas ($0,5T_c$) afin d'évaluer l'effet de T_v . Le pas de discrétisation de T_v , à savoir ($0,25T_c$) dans le cas des puces MOSFETs utilisées dans cette étude, est de 500µm.

II.3.4.2.2. Définition des niveaux des facteurs X_v, Y_v

Les facteurs liés au void sont normalement les grandeurs physiques continues. En réalité, les distributions de la température et du courant dans la puce et dans les fils de puissance sont hétérogènes même dans le cas d'un assemblage idéal (cf. Figure II-7). Nous faisons le choix de discrétiser deux régions distinctes :

- Une région décrivant la zone de prise de contact électrique entre les fils et la métallisation de puce (zone A) ;
- Une région en dehors de la zone de prise de contact électrique y compris la zone entre deux prises de contact de fils (trait pointillé) à la surface de la métallisation (zone B).

Dans cette cartographie issue d'une mesure infrarouge (cf. Figure II-7), nous pouvons remarquer que la température est plus élevée dans la zone de prise de contact électrique. En outre, dans la même région, la température est plus importante sous les pads du haut (l'extrémité de la grande boucle située sur la métallisation de puce). Nous supposons que la criticité est différente en fonction de la localisation du void vis-à-vis des prises de contact des fils de puissance. Le besoin d'une pondération de la position du void par rapport à la géométrie du composant et des fils de puissance, implique que le void doit être positionné à des endroits spécifiques dans le plan d'expériences. Nous considérons donc les facteurs de position (X_v, Y_v) comme des facteurs discrets.

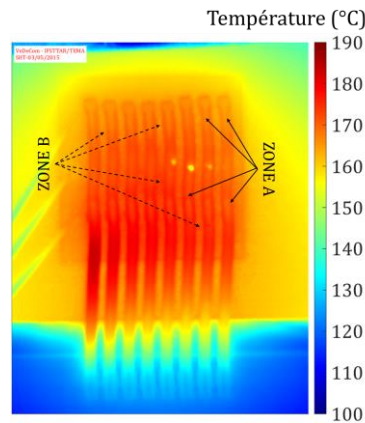


Fig. II-7 : Cartographie de la température d'un module MOSFET sans void

De ce fait, nous chercherons à évaluer l'impact du void en fonction de sa position relative par rapport à la zone A telle que précisée précédemment. Cette particularité nous demande d'investiguer des points d'essais dans et en dehors de la zone se situant sous les prises de contact des fils de bonding (cf. Figure II-8). Les zones de contacts entre n fils de bonding ($n = 8$ dans notre application) et la métallisation sont les prises de contact électrique positionnées sur la première ligne (1H, 2H, ..., nH) et la deuxième ligne (1B, 2B, ..., nB). Le positionnement des prises de contact sont paramétrées par rapport aux axes de la puce par E_h (distance minimale entre les fils et l'axe β), W_{bw} (diamètre des fils), D_h (distance entre les fils adjacents), E_v (distance minimale entre les fils et l'axe α), L_{bw} (largeur des prises de contact) et D_v (distance minimale entre les prises de contact d'un même fil).

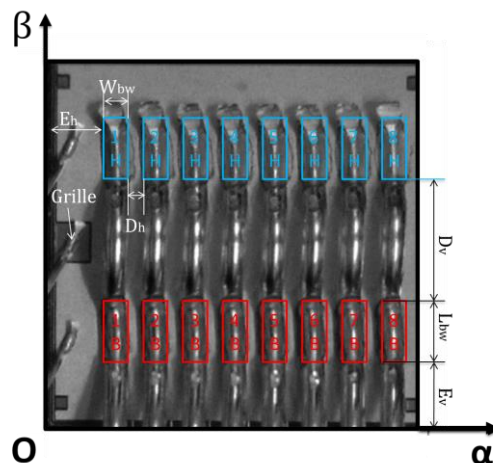


Fig. II-8: Schéma de la puce avec les prises de contact de source et de grille

Nous allons investiguer l'impact de 2 catégories de défauts (cf. Figure II-9). Dans le premier cas, le centre du défaut se trouve au centre de l'un des pads des fils de bonding (symbolisé par les cercles en trait plein). Dans le deuxième cas, le centre du défaut se trouve au milieu de deux fils de bonding adjacents (symbolisé par les cercles en trait pointillé). Le pas ρ_h affecté à X_v est donc :

$$\rho_h = \frac{W_{bw} + D_h}{2} \quad (\text{II-13})$$

Les fonctions de contrainte imposent de positionner le point de départ du facteur X_v à côté gauche de la prise de contact 1B, en décalant d'un pas (ρ_h). Ainsi, le point terminal se situe sous la prise de contact 8B. Les 16 niveaux de X_v peuvent être exprimés par la formulation suivante :

$$X_m = E_h + \frac{m-1}{2}W_{bw} + \frac{m-2}{2}D_h \quad (\text{II-14})$$

Où m est un nombre entier compris entre 1 et 16.

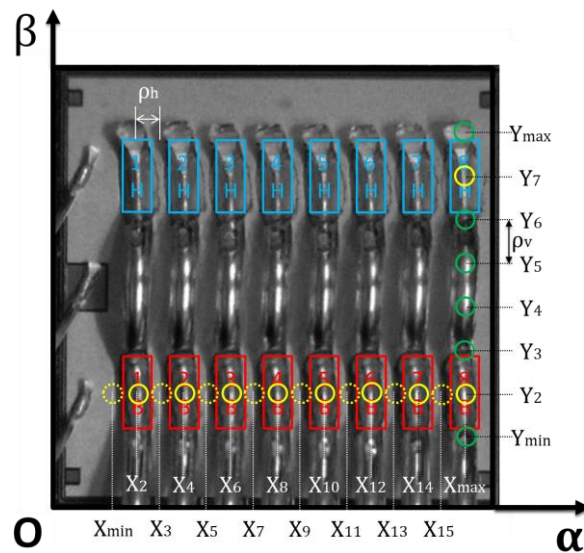


Fig. II-9: Définition des niveaux des facteurs X_v et Y_v

Les défauts sont classés en deux catégories suivant Y_v : une catégorie pour laquelle le centre du défaut se trouve à l'aplomb sous les centres des pads des fils et une catégorie pour laquelle le centre du défaut n'est pas dans la zone sous les pads des fils de bonding. Nous apporterons quatre points supplémentaires répartis régulièrement dans la zone qui ne sont pas sous les pads. Le pas ρ_v affecté Y_v est défini par la relation ci-après :

$$\rho_v = \frac{L_{bw} + D_v}{4} \quad (\text{II-15})$$

Les contraintes du domaine d'étude impose de positionner le point de départ du facteur Y_v au-dessus des prises H, en décalant d'un pas de ρ_v . Ainsi, il impose de définir le point terminal en-dessous des prises B, en décalant aussi d'un pas de ρ_v . Le facteur Y_v est défini donc par 8 niveaux :

deux points terminaux, deux points sous les prises de contact et quatre points dans la zone entre deux prises. Les 8 niveaux nous semblent être suffisants pour l'évaluer un terme de courbure, ce qui nécessite au minimum 3 niveaux par facteur. Les 8 niveaux du défaut sont caractérisés par :

$$Y_n = E_v + \frac{2n + 1}{10} L_{bw} + \frac{n - 2}{5} D_v \quad (\text{II-16})$$

Où n est un nombre entier compris entre 1 et 8.

II.3.4.2.3. Limitation des paramètres d'assemblage E_v, k_1, k_2

Les paramètres d'assemblages sont continus. La notion de « niveau » n'est plus valable. Il est nécessaire de définir leurs niveaux haut et bas.

Le facteur E_v est à la fois un paramètre d'assemblage et un paramètre du void avec l'hypothèse que le void soit traversant. Il est délimité à partir de la mesure de l'épaisseur moyenne de la brasure évaluée avec l'aide d'un profilomètre MICROVU caractérisé par une précision de mesure de $\pm 1,5\mu\text{m}$ (cf. Annexe 3). Nous prenons les valeurs maximale ($285\mu\text{m}$) et minimale ($185\mu\text{m}$) sur l'ensemble des prototypes comme étant respectivement les niveaux haut et bas du facteur E_v . Les facteurs k_1, k_2 sont les paramètres d'assemblage. Il est à rappeler que nous ne cherchons pas à évaluer leur impact. En fait, si nous connaissons ses valeurs dans un module quelconque, à partir d'une caractérisation de sa résistance thermique par exemple, nous pouvons régénérer l'impact du void pour ce module sans avoir besoin de recalculer un autre plan d'expérience. Dans le cadre de notre travail, nous n'avons pas les moyens de caractériser les propriétés de ces interfaces thermiques. Pour une étude thermique en régime statique, nous ne nous intéressons qu'à leur conductivité thermique. D'autre part, la conductivité thermique est une grandeur très sensible, car elle dépend de nombreux facteurs (pression, état de surface...). De plus, les résistances thermiques de contact rendent compliqué l'accès à la conductivité globale des couches TIM1 et TIM2. Nous ne pouvons qu'estimer une plage de variation de leur conductivité équivalente, c'est-à-dire de la conductivité des interfaces TIM1 et TIM2 avec la prise en compte de leurs imperfections. Pour simplifier le calcul, nous supposons le système adiabatique. Les pertes globales P_{total} du composant et des fils de puissances sont alors constantes en régime établi. Elles sont exprimées par la formule suivante :

$$P_{total} = (R_{dsON} + R_{fils}) \times I^2 \quad (\text{II-17})$$

Où R_{dsON} et R_{fils} sont respectivement la résistance à l'état passant du composant MOSFET et la résistance totale des fils de bonding, I est le courant total. Avec cette hypothèse, cette puissance sera transportée à travers des interfaces TIM1 et TIM2. En appliquant la loi de Fourier, nous obtenons la relation suivante :

$$\frac{(R_{dsON} + R_{fils}) \times I^2}{L_i \times W_i} = \frac{\lambda_{0i}}{k_i} \times \frac{\Delta T_i}{H_i} \quad (\text{II-18})$$

Où $L_i, W_i, H_i, \lambda_{0i}$ sont respectivement la longueur, la largeur, la hauteur et la conductivité thermique de référence (fournie par les fabricants) de l'interface thermique TIM_i , avec $i = 1, 2$

correspondant au numéro de l'interface, ΔT_i est l'écart de température entre la face supérieure et la face inférieure de l'interface TIM_i . Ici, il faut préciser que les interfaces utilisées sont supposées avoir la forme d'un parallélépipède. Les ∂T_i sont estimés à partir de nos mesures en régime de dissipation. Ce ne sont pas des valeurs fixes. Comme nous ne cherchons qu'à définir les bornes des λ_i , seul un ordre de grandeur des ∂T_i est estimé par des relevés expérimentaux. A titre d'illustration, nous avons enregistré un ∂T_1 d'environ 50°C et un ∂T_2 d'environ 30°C dans le cas des mesures en régime établi de conduction à 200A, lorsque la température au refroidisseur est fixée à 80°C. Ces mesures ont été réalisées sous des conditions assez critiques pour que le composant soit très proche de sa limite de fonctionnement (sa température est autour de 170°C). La puissance totale relevée sous ces conditions est d'environ 50W. Nous en déduisons la relation à partir de laquelle nous estimons la limite supérieure des k_i :

$$\text{sup}(k_i) = \frac{\lambda_{0i} \times L_i \times W_i \times \Delta T_i}{(R_{\text{dsON}} + R_{\text{fils}}) \times I^2 \times H_i} \quad (\text{II-19})$$

La limite inférieure de k_i est égale à l'unité et correspond à des TIMs parfaites, c'est-à-dire leur conductivité thermique est exactement celle donnée par les fabricants et sans aucune imperfections externes.

II.3.5. Définition d'un modèle postulé

Nous avons justifié le choix du modèle quadratique comme le modèle postulé pour traiter notre problème en considérant six facteurs tels que définis dans § II.2.3.4. La formulation mathématique finale de notre modèle des réponses est donc :

$$\begin{aligned} \text{Réponse (i)} = & \beta_0 + \beta_1 X_v + \beta_2 Y_v + \beta_3 T_v + \beta_4 E_v + \beta_5 k_1 + \beta_6 k_2 \\ & + \beta_7 X_v Y_v + \beta_8 X_v T_v + \beta_9 X_v E_v + \beta_{10} X_v k_1 \\ & + \beta_{11} X_v k_2 + \beta_{12} Y_v T_v + \beta_{13} Y_v E_v + \beta_{14} Y_v k_1 \\ & + \beta_{15} Y_v k_2 + \beta_{16} T_v E_v + \beta_{17} T_v k_1 + \beta_{18} Y_v k_2 \\ & + \beta_{19} E_v k_1 + \beta_{20} E_v k_2 + \beta_{21} k_1 k_2 + \beta_{22} X_v^2 \\ & + \beta_{23} Y_v^2 + \beta_{24} T_v^2 + \beta_{25} E_v^2 + \beta_{26} k_1^2 + \beta_{27} k_2^2 \end{aligned} \quad (\text{II-20})$$

L'estimation des 28 coefficients nécessite par conséquent 28 essais indépendants pour résoudre un système d'équations à 28 inconnues. Le logiciel DoE définit les niveaux des facteurs en respectant le critère d'I - optimalité qui cherche à proposer un bon conditionnement du système ainsi qu'une optimisation des points d'expériences. Il est à remarquer que la solution de ce système d'équation est unique s'il est bien conditionné. Elle ne nous permet pas de juger ou d'estimer la qualité du modèle. Nous intégrerons par conséquent 3 essais supplémentaires, correspondant aux points dits « manque d'ajustement » (le terme anglais est *Lack of Fit*) afin d'améliorer la précision de la prédiction de la surface des réponses. Nous aurons donc un plan optimal caractérisé par 31 configurations.

Nous avons détaillé toutes les étapes de paramétrage du plan optimal pour notre étude. Nous pouvons désormais générer le plan optimal pour mener l'étude numérique. Les données d'entrée seront capitalisées pour la technologie d'assemblage et les conditions de fonctionnement prédéfinies.

II.3.6. Génération du plan optimal

Nous faisons l'application numérique pour le procédé de la conception du plan d'optimisation paramétrique que nous venons de présenter, avec les paramètres détaillés en Annexe 4. Le total de 31 configurations des sextuplets $(X_v, Y_v, T_v, E, k_1, k_2)$ données par le logiciel DoE sont listées dans les colonnes 2, 3, 4, 5, 6, 7 du tableau ci-après :

Tableau II-1 : Plan optimal pour l'étude de MOSFET en conduction

N° d'expérience	Référence MOSFET		T _v (mm)	E (μm)	k ₁	k ₂
	X _v (mm)	Y _v (mm)				
1	7,2	1,1	1	213	13,6	40,0
2	1,3	1,9	2,5	237	3,2	33,2
3	4,3	6,7	1	205	8,3	26,2
4	3,4	1,9	2,5	185	13,2	8,6
5	1,3	6,7	2,5	260	1,0	39,0
6	0,9	1,1	1	285	15,0	34,5
7	2,6	6,7	1	262	1,0	1,0
8	7,2	2,7	1	278	8,2	40,0
9	4,3	1,1	1	185	1,0	1,0
10	4,7	2,7	1	212	1,0	9,8
11	7,2	6,7	1	185	15,0	40,0
12	6,4	5,1	3	232	15,0	22,1
13	6,8	1,1	2	185	4,2	20,9
14	0,9	5,9	1	285	15,0	1,0
15	0,9	5,9	1	185	11,5	36,1
16	1,7	1,9	3	210	14,5	33,4
17	0,9	1,1	1,5	215	8,0	1,0
18	4,7	1,9	1	285	15,0	18,9
19	7,2	4,3	1	248	9,8	1,0
20	3,0	3,5	3	193	1,0	7,8
21	7,2	4,3	1	193	1,0	37,1
22	1,7	5,9	3	285	7,0	1,0
23	1,7	5,9	3	285	15,0	40,0
24	4,3	3,5	2	285	11,9	40,0
25	3,8	6,7	2	193	15,0	6,9
26	6,4	5,9	3	285	6,1	34,2
27	2,6	1,1	1	185	1,6	40,0
28	6,8	6,7	2	259	1,0	1,0
29	4,7	1,9	3	285	1,0	40,0
30	6,4	1,9	3	185	15,0	1,0
31	0,9	3,5	1,5	285	3,5	22,5

II.3.7. Validation du plan optimal

II.3.7.1. Vision globale du plan optimal

Nous allons en premier lieu vérifier l'emplacement des points d'expériences. Nous commençons par un calcul simple de la moyenne globale et de l'écart-type des facteurs correspondant aux 31 points d'expériences :

Tableau II-2 : Analyse globale de l'emplacement des points d'expériences (cf. Tableau II-1)

Facteur	Unité	Type	Min	Max	Moyenne	Niveau intermédiaire
X _v	mm	Numérique - Discret	0,865	7,24	3,98	4,05
Y _v	mm	Numérique - Discret	1,135	6,7	3,80	3,92
T _v	mm	Numérique - Discret	1	3	1,82	2
E _v	µm	Numérique - Continu	185	285	228,41	235
k ₁	Sans	Numérique - Continu	1	15	8,15	8
k ₂	Sans	Numérique - Continu	1	40	21,90	20,5

La moyenne globale des facteurs est très proche de leur niveau intermédiaire, qui est la moyenne de leur niveau maximal et minimal. Ce n'est qu'une observation globale. Elle ne permet pas de juger le bon conditionnement de la matrice d'expériences à partir de l'emplacement des points d'expériences. Elle indique simplement qu'à priori, les points d'expériences sont harmonisés par rapport à leur valeur moyenne, sans générer un effet de polarisation. L'écart-type étant très important par rapport à la valeur moyenne, cela montre que les niveaux des 31 points d'expériences sont très dispersés dans l'espace expérimental virtuel.

II.3.7.2. Orthogonalité du plan optimal

Nous avons vu au § II.2.5 que l'emplacement des points d'expériences joue un rôle déterminant sur l'interprétation des réponses du plan optimal. Il doit respecter le critère d'I - optimalité que nous avons sélectionné. Ce critère permet de minimiser la moyenne des erreurs de la prédiction dans le domaine d'étude. Nous avons démontré dans le même paragraphe que la variance de l'erreur de prédiction ne dépend ni des résultats des expériences, ni des réponses choisies. L'erreur de prédiction est moins élevée aux endroits où il y a plus de points d'expériences. Nous allons chercher à évaluer la qualité prédictive du plan optimal en calculant la portion du domaine d'étude ayant une variance inférieure à la variance résiduelle σ^2 . La technique FDS (Fractional Design Space) permet de juger de l'orthogonalité des points d'expériences et leur densité au travers de l'erreur de prédiction (Standard Error of Design) (cf. Figure II-10).

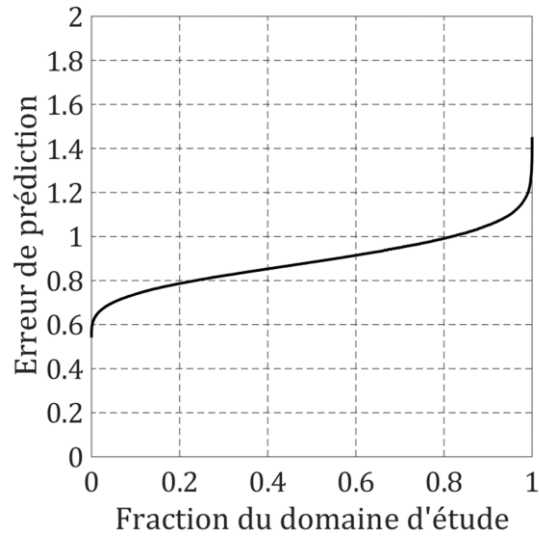


Fig. II-10 : Analyse FDS du plan optimal

Le domaine d'étude est fractionné en 50000 éléments de maillage dont chaque élément correspond à un point. L'erreur de prédiction normalisée à l'écart-type σ sera calculée à tous les points de l'aide de la formule ci-après :

$$\frac{\text{Var}[\hat{y}(x)]}{\sigma^2} = x^{(m)'}(X'X)^{-1}x^{(m)} \quad (\text{II-21})$$

La courbe FDS présente l'évolution de la moyenne de l'erreur de prédiction du plan d'expériences en fonction de la fraction de l'espace du domaine d'étude. Plus la courbe FDS pour un plan d'expériences est plate et basse, plus le plan d'expériences est satisfaisant. En fait, la courbe plus plate indique une meilleure orthogonalité du plan d'expériences car l'erreur est plus homogène dans une grande fraction du domaine d'étude, c'est-à-dire que la distribution du point d'expériences est aussi uniforme. La courbe plus basse correspond à une erreur de prédiction plus faible, donc à un plan d'expériences de meilleure qualité prédictive. Selon le standard proposé par le logiciel, une erreur de prédiction faible doit être inférieure à l'unité. Dans le cas de notre plan optimal, 80% du domaine d'étude présente une erreur de prédiction inférieure à l'unité. Seule 1% du domaine d'étude est relativement mal décrit, correspondant à une erreur de prédiction supérieure à 1,2. L'analyse FDS a montré que notre plan optimal a été construit avec une bonne orthogonalité et performance. Un exemple de l'erreur de prédiction en fonction de X_v et Y_v , dans le cas où les autres facteurs sont à leur valeur moyenne, est exposé en Figure II-11 :

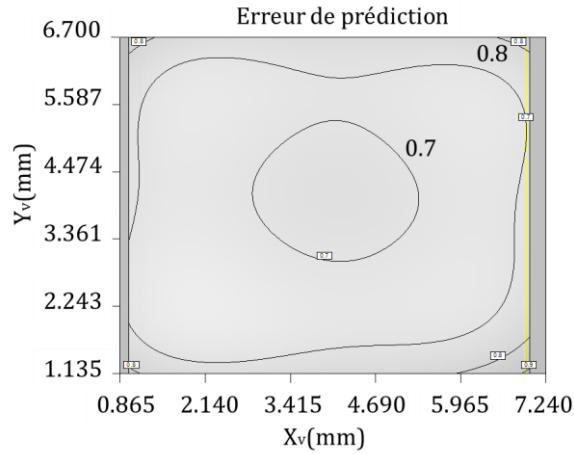


Fig. II-11 : Erreur de prédiction en fonction de la position du void, lorsque $T_v = 2\text{mm}$, $Y_v = 235\mu\text{m}$, $k_1 = 8$, $k_2 = 20,5$

Afin de vérifier l'impact du manque d'orthogonalité du plan optimal sur la variance des coefficients du modèle, c'est à dire les estimateurs, nous devons faire intervenir le facteur d'inflation de variance VIF :

$$\text{VIF}(\hat{\beta}_i) = \frac{1}{1 - R_i^2} \quad (\text{II-22})$$

Où R_i^2 est le coefficient de détermination dans la régression multiple avec les autres estimateurs $\beta_1, \beta_2, \dots, \beta_{i-1}, \beta_{i+1}, \dots, \beta_{27}$. Le facteur VIF permet de vérifier l'hypothèse de l'indépendance entre les facteurs lors de la construction du plan optimal, en vérifiant leur multi-colinéarité (cf. Tableau II-3). Lorsqu'un plan est bien construit, les facteurs sont indépendants. Le coefficient de détermination est nul et le facteur VIF est de l'unité. En revanche, s'il existe une multi-colinéarité entre un facteur avec les autres facteurs, cela va induire un coefficient de détermination plus proche de l'unité. Par conséquent, le facteur VIF va augmenter fortement ce qui conduit à un accroissement de la variance de l'estimateur :

$$\text{Var}(\hat{\beta}_i) = \frac{\sigma^2}{(\sum_{j=1}^n (X_{ij} - \bar{X}_i)^2) \times (1 - R_i^2)} \quad (\text{II-23})$$

Le facteur d'inflation de variance associé à chacun des estimateurs est listé dans le tableau ci-après :

Tableau II-3 : Vérification de la multi-linéarité des facteurs

Facteurs principaux	VIF	Ri ²	Interaction d'ordre 2	VIF	Ri ²	Termes quadratiques	VIF	Ri ²
X _v	1,41	0,29	X _v Y _v	1,29	0,22	X _v ²	1,52	0,34
Y _v	1,36	0,27	X _v T _v	1,56	0,36	Y _v ²	1,43	0,30
T _v	1,45	0,31	X _v k ₁	1,35	0,26	T _v ²	1,37	0,27
k ₁	1,25	0,20	X _v k ₂	1,51	0,34	k ₁ ²	1,33	0,25
k ₂	1,41	0,29	X _v E _v	1,46	0,32	k ₂ ²	1,33	0,25
E _v	1,30	0,23	Y _v T _v	1,33	0,25	E _v ²	1,37	0,27
			Y _v k ₁	1,30	0,23			
			Y _v k ₂	1,27	0,21			
			Y _v E _v	1,45	0,31			
			T _v k ₁	1,32	0,24			
			T _v k ₂	1,43	0,30			
			T _v E _v	1,35	0,26			
			k ₁ k ₂	1,43	0,30			
			k ₁ E _v	1,45	0,31			
			k ₂ E _v	1,37	0,27			

Selon [166], [167], un facteur VIF acceptable doit être inférieur à 10. Les facteurs VIF calculés pour notre plan optimal sont compris entre 1 et 2. Le plan obtenu dispose donc d'une bonne orthogonalité.

L'orthogonalité de notre plan optimal est également évaluée de manière globale à l'aide d'un nombre de conditionnement $\kappa(X)$ de la matrice d'expériences X :

$$\kappa(X) = \det(X) \times \det(X^{-1}) \quad (\text{II-24})$$

Le nombre de conditionnement caractérise la stabilité des estimateurs face à une variation d'une réponse. Il est donc souhaitable que ce paramètre soit le plus faible possible. Le logiciel Design Of Expert suggère qu'un nombre de conditionnement acceptable doit être inférieur à 1000. Le nombre de conditionnement obtenu avec le plan optimal est de 8,235, ce qui démontre encore une fois le bon conditionnement de notre matrice d'expériences, et de son orthogonalité.

II.3.7.3. Vérification des points de levier

Avant de passer à la phase de réalisation des expériences virtuelles à l'aide de la simulation paramétrique, il est important de vérifier l'absence de points de levier parmi les points d'expériences mis en place. La présence des points leviers est problématique. Au point de levier, une faible modification de la réponse peut fortement affecter la réponse obtenue. Afin d'identifier un point de levier, il faut calculer les termes diagonaux de la matrice H définie par :

$$H = X(X'X)^{-1}X' \quad (\text{II-25})$$

Les termes diagonaux de X sont ensuite comparés avec une valeur critique H_{seuil} calculée à partir du rapport entre le nombre d'estimateurs (p) et le nombre d'expériences (N):

$$H_{seuil} = 2 \times \frac{p}{N} = 2 \times \frac{28}{31} = 1,8 \quad (\text{II-26})$$

Le relevé des points de levier est exposé dans le Tableau II-4.

Tableau II-4 : Evaluation des effets de levier

Numéro d'expérience	Effet de levier	Position du point d'expérience	Type du point d'expérience
1	0,96	Arrête	Modèle
2	0,50	Intérieur	Manque d'ajustement
3	0,97	Plan	Modèle
4	1,00	Plan	Modèle
5	0,91	Plan	Modèle
6	0,96	Plan	Modèle
7	0,93	Plan	Modèle
8	0,58	Plan	Manque d'ajustement
9	0,96	Plan	Modèle
10	0,48	Plan	Manque d'ajustement
11	0,95	Sommet	Modèle
12	0,93	Plan	Modèle
13	0,92	Plan	Modèle
14	0,99	Arrête	Modèle
15	0,99	Plan	Modèle
16	0,91	Plan	Modèle
17	0,99	Plan	Modèle
18	0,85	Plan	Modèle
19	0,93	Plan	Modèle
20	0,87	Plan	Modèle
21	0,94	Plan	Modèle
22	0,91	Plan	Modèle
23	0,93	Plan	Modèle
24	0,97	Plan	Modèle
25	0,96	Plan	Modèle
26	0,94	Plan	Modèle
27	0,89	Plan	Modèle
28	0,99	Plan	Modèle
29	0,97	Plan	Modèle
30	0,97	Plan	Modèle
31	0,94	Plan	Modèle
Effet de levier moyenne	0,90		

Tous les effets évalués sont inférieurs à 1,8. Nous pouvons donc conclure à l'absence de points leviers parmi les points d'expériences. Nous pouvons réaliser la simulation paramétrique avec la même rigueur pour toutes les 31 configurations.

II.4. Méthodologie et procédé de réalisation des prototypes expérimentaux

La construction des modèles, couplés avec le plan optimal, nécessite des informations sur la géométrie du modèle. Cette dernière doit être représentative de la géométrie des assemblages réels. Nous introduirons dans cette partie le procédé de réalisation des prototypes expérimentaux. Nous rappelons que deux types de prototypes sont nécessaires. Le premier correspond à un prototype de référence avec un taux de void négligeable et le second correspond à des prototypes contenant un void dans la brasure de la puce MOSFET. La réalisation de ces prototypes doit respecter quelques contraintes :

- Géométrie simple, représentative au mieux de l'assemblage réel ;
- Mise en œuvre facile et rapide du procès d'assemblage ;
- Possibilité de créer des voids maîtrisés ;
- Accessibilité à des mesures électriques et infrarouges.

Le procédé de réalisation d'un prototype se compose de deux étapes : une étape préliminaire permettant de générer un void dans la brasure et une étape finale permettant de rendre fonctionnel le prototype (fils de commande, fils de puissance...). A noter que nous pouvons aussi générer les voids multiples contrôlés. Nous présentons ci-après le procédé utilisé pour la conception des prototypes intégrant un transistor MOSFET.

II.4.1. Génération de voids contrôlés

Cette étape a pour objectif de créer dans la brasure le void unique ou les voids multiples (deux ou trois gros voids au maximum) à des endroits que nous spécifions. Il faut remarquer que la génération de voids contrôlés doit en même temps permettre de maintenir le taux de void parasites à un niveau négligeable devant celui des voids contrôlés. En fait, la présence de voids parasites trop importante peut induire des effets supplémentaires, rendant impossible la confrontation entre les résultats numériques et expérimentaux. A noter que la position et la taille du void généré dans la brasure des prototypes ne sont pas forcément cohérentes avec celles définies dans le plan optimal. Nous essayons de diversifier les configurations afin d'évaluer la robustesse du modèle avec void.

L'assemblage dans cette phase préliminaire est constitué de 3 éléments : un substrat en cuivre, une préforme de brasure tendre Sn3.35Ag0.7Cu0.3Sb et une puce MOSFET. Le principe est tout d'abord d'imposer la localisation du void par l'attaque laser de la face supérieure du substrat. Le procédé de réalisation des prototypes expérimentaux est illustré en Figure II-12. Nous pouvons étalonner les tailles des trous en ajustant le nombre de tir laser (a). Nous avons vérifié, par simulation numérique, que la création du trou dont la profondeur est inférieure à 150 μ m dans le substrat n'induit qu'un effet négligeable face à la présence du gaz qui compose le void dans la brasure.

Nous définissons ensuite une délimitation de la zone d'étalement de la brasure par un détournage (b) réalisé aussi par l'attaque laser à même puissance de tir. Cette zone de détournage permet, par retour d'expériences, d'améliorer l'homogénéité de l'épaisseur de la brasure afin de limiter l'inclinaison (tilt) de la puce. Après une phase de nettoyage dans un bain ultrason, une phase de rinçage dans un bain d'éthanol et une phase de séchage, nous procédons à l'introduction d'une faible quantité du gel de contact (référence : Alpha & Alent / DATA 500 Lot 180314019), placé juste à côté du trou percé, qui joue le rôle d'une source de gaz de germination quand il passe à l'état gazeux pendant le brasage. Le gaz intentionnellement activé sera en partie évacué pendant la phase de dégazage lors du brasage sous vide. Le reste sera enterré dans le trou précédemment créé dans le substrat. Puis, nous préparons l'empilement dans l'ordre substrat - préforme SAC - puce MOSFET (c). Le flux (Tacflux 007® de la société Indium Corporation) dont la quantité est optimisée, est introduit sur la face supérieure du substrat et sur la face supérieure de la préforme SAC. L'empilement est posé dans un moule en graphite qui est spécialement utilisé pour ce type d'assemblage. L'ensemble est à ce stade prêt pour être brasé avec le four de refusion sous vide afin de réduire le taux de voids parasites.

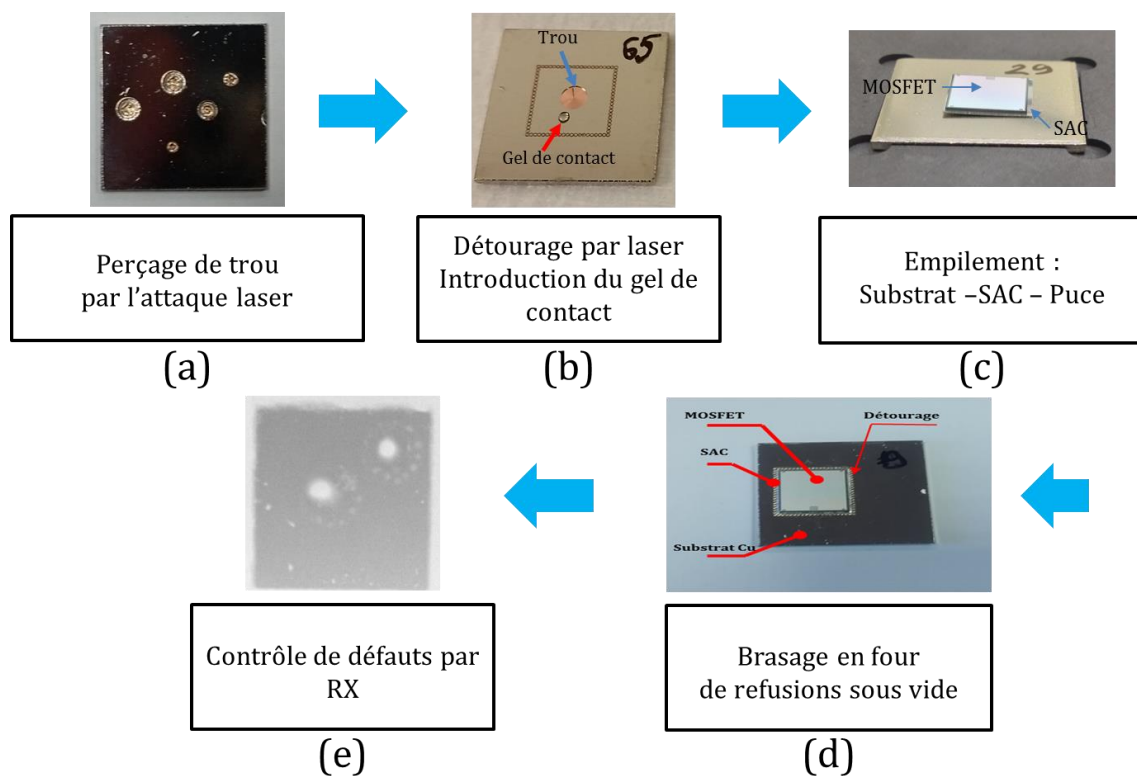


Fig. II-12 : Procédé d'assemblage des prototypes MOSFETs

Les différents cycles du procédé de brasage sous vide sont illustrés en Figure II-13. Le procédé commence par un nettoyage. Pendant ce palier, le vide est tout d'abord activé pendant 60s (1) pour éliminer tous les gaz parasites comme l'oxygène qui contaminerait les pièces métalliques. Ensuite, l'azote est introduit dans le four pendant 30s dans la phase d'activation des surfaces (2). La présence de l'azote dans le brasage sans plomb permet d'améliorer la qualité de la brasure. En fait, l'azote augmente la tension superficielle et empêche l'oxydation des surfaces des pièces pendant la durée du procédé. La phase de nettoyage est terminée par une remise sous vide pendant 60s. L'introduction de l'azote est coupée et l'environnement dans le four se retrouve à l'état dit pur (3). Le passage au deuxième palier (préchauffage 5) est caractérisé par une rampe

montante de 60s pour atteindre 200°C (4). L'oxydation du métal est renforcée sous l'action de la haute température. En plus, le résidu organique peut également impacter la qualité de la brasure. Afin d'éliminer ces défauts, l'acide formique est activé et maintenu pendant la rampe montante (4) et le préchauffage (5). La température est maintenue à 200°C pendant 120s. Le flux commence à se vaporiser. La température doit être gardée suffisamment longtemps pour que l'évaporation du flux soit complète. En revanche, la température ne doit pas être trop élevée puisque l'oxydation s'intensifie à haute température. Le prochain palier, dit de refusion, est précédé par une deuxième rampe montante de 27s pour atteindre 280°C (6). La brasure passe alors de l'état solide à l'état liquide. L'acide formique est toujours activé au début de cette phase durant 40s (7), puis désactivé lorsque le vide est réactivé pendant 40s (8). Le vide pendant la phase de refusion permet d'évacuer toutes les sources de gaz produit pendant l'activation du flux, limitant la création de voids. L'azote est réactivé à la fin de la phase de refusion pendant 20s pour protéger l'ensemble contre la ré-oxydation une fois que le vide est désactivé (9). Le procédé se termine par la phase de refroidissement, réalisé avec une rampe descendante de 60s (10) jusqu'à ce que la température atteigne 50°C (11).

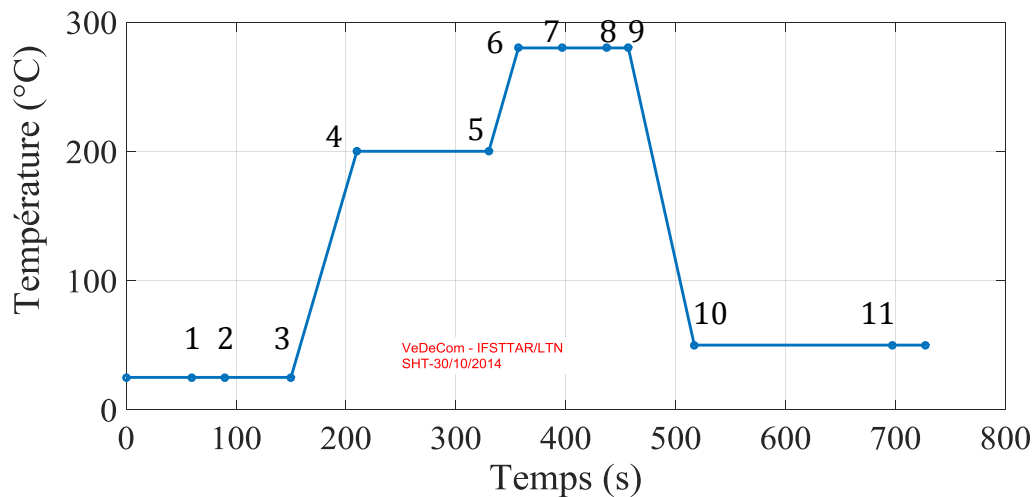


Fig. II-13 : Profil de température du procédé de brasage sous vide

Le produit issu à la sortie du brasage (d) (cf. **Figure II-12**) est inspecté par une imagerie par Rayon X 2D pour observer la qualité du void contrôlé ainsi que celle de voids parasites. Un « bon assemblage » selon notre critère doit avoir une géométrie idéale : pas de tilt important, pas de décalage de la puce et de la brasure par rapport à la zone de détournement, et pas de création de voids importants à part le void contrôlé qui doit être de forme circulaire.

Cette méthode d'assemblage a démontré une très bonne reproductivité avec un taux de déchet inférieure à 10%. Elle fonctionne pour tous les cas : un void, deux voids et trois voids (cf. Figure II-14). Nous pouvons également générer des voids sur un même substrat avec des positions et des tailles variées. Ici, il faut garder à l'esprit que nous ne cherchons pas à créer des voids respectant les configurations proposées par le plan optimal. L'objectif est ici de diversifier au mieux les configurations afin d'avoir une évaluation de la robustesse du modèle numérique avec void au moment de la confrontation simulation – expérimentation.

En revanche, il faut prendre conscience que cette méthodologie a un inconvénient due à l'apparition de voids parasites issus des projections de matières provenant de l'attaque laser. Les

voids parasites sont formés à la périphérie des voids contrôlés. Au regard des informations contenues dans l'état de l'art, leur impact serait secondaire devant l'impact du void contrôlé. Par précaution, nous allons trier les assemblages à partir des images RX afin d'éliminer ceux avec un taux de voids parasites important.

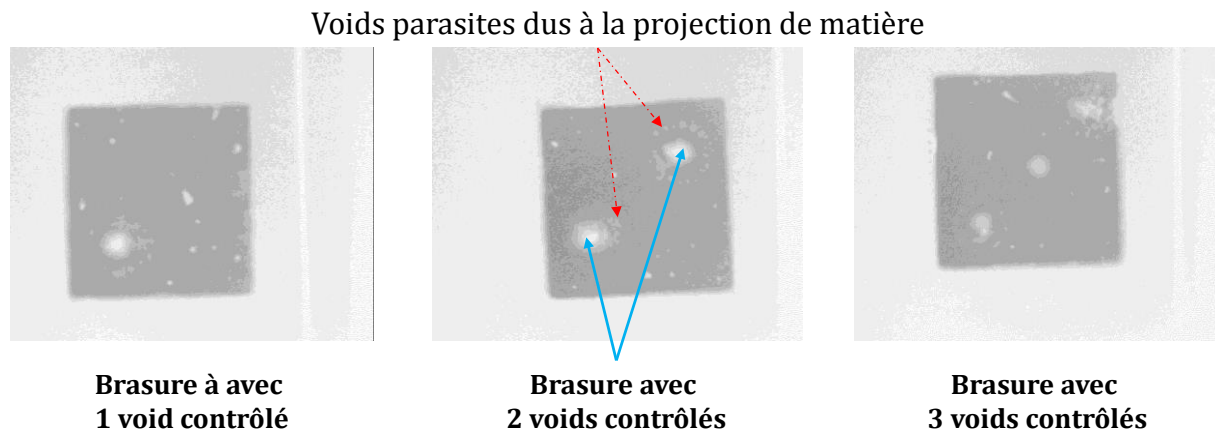


Fig. II-14 : Création de voids contrôlés (diamètre des voids entre 2 et 3mm)

II.4.2. Finalisation de l'assemblage et du câblage

Nous avons brasé le composant MOSFET sur le substrat IN (cf. Figure II-15) en contrôlant la position du void. Cette partie détaille le reste du procédé d'assemblage permettant d'obtenir un dispositif fonctionnel. La géométrie de l'assemblage est présentée dans la même figure. Les empilements des différentes couches doivent respecter la géométrie présentée en Figure II-4. L'ensemble MOSFET – brasure – substrat IN est reporté sur une semelle en aluminium (88mm x 54mm x 3mm) à l'aide d'un système de bride à 4 vis M2 auxquelles nous appliquons un couple homogène de 25Ncm. La semelle est anodisée sur toutes ses faces. Afin d'assurer un meilleur transfert thermique entre le substrat IN et la semelle, nous intercalons une interface thermique (TIM1) en graphite (référence fabricant : RS 707-4780) de 200µm d'épaisseur. Nous reportons ensuite un deuxième substrat du côté de la sortie de courant (substrat OUT) en cuivre sur la semelle grâce à la colle thermique (référence fabricant : Dow Corning 1-4174). Celle-ci assure l'isolation électrique entre le substrat et la semelle et peut fonctionner à une température maximale de 150°C. Nous relient ensuite le connecteur électrique, reporté manuellement sur la semelle avec la même colle thermique, pour y déporter les fils de mesures de potentiels et la commande de la grille du MOSFET.

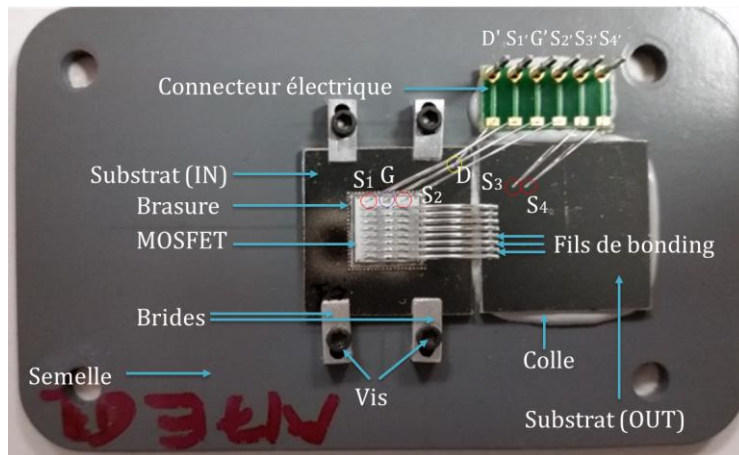


Fig. II-15 : Un prototype expérimental à MOSFET

L'étape suivante pour la réalisation des prototypes consiste à réaliser le câblage des fils de 500 μ m de diamètre pour la puissance, la commande de la grille du MOSFET et les mesures de potentiels (cf. Figure II-16). Nous essayons de respecter au mieux la configuration du module issu de la chaîne de production en termes de nombre de fils, de leur profil et de leur emplacement. Nous réalisons donc 8 fils de puissance avec un espacement entre chaque d'environ 850 μ m. Cette configuration doit permettre de garder les mêmes distances entre les fils et les bords du MOSFET que pour le module réel. Les autres dimensions seront précisées dans le **Chapitre III** consacré à la modélisation. Concernant les fils de commande et de mesure, nous devons nous assurer de la possibilité de commander le composant MOSFET et de pouvoir relever la mesure des grandeurs caractéristiques, à savoir la tension de commande (V_{gs}) et la chute de tension à l'état passant (V_{ds_ON}). Les niveaux des tensions, de l'ordre de quelques centaines de millivolts, nécessite des mesures kelvin. Les fils à câbler sont donc les suivants :

- Un fil reliant un point sur le substrat de cuivre D au premier pad du connecteur D' . Le potentiel électrique du point D devrait être presque identique à celui du drain du MOSFET quand le MOSFET est en fonctionnement statique;
- Deux fils reliant deux points S_1, S_2 positionnés sur la métallisation de la source du MOSFET au deuxième et au quatrième pad du connecteur S'_1, S'_2 . Nous plaçons S_1 et S_2 à deux endroits différents sur la métallisation pour tenter d'observer la distribution du potentiel électrique de la source ;
- Un fil reliant le pad de grille (G) du MOSFET au troisième pad du connecteur G' pour la prise du potentiel de la grille ;
- Deux fils reliant 2 points S_3, S_4 positionnés sur la surface du deuxième substrat (OUT) au cinquième et sixième pad du connecteur. Nous utilisons l'un des deux fils pour mesurer la chute de tension dans les fils de bonding. L'autre, complémentaire, ne sera utilisé que lors d'un défaut sur le premier.

Le câblage des fils de puissance, de commande et de mesure des potentiels est automatisé (machine Wire Bonder - Orthodyne Electronics). La réalisation du câblage est très reproductible avec un positionnement précis à $\pm 0,5\mu$ m et une résolution circulaire à $\pm 0,0035''$.



Fig. II-16 : Câblage des fils par Wire Bonder

Conclusion du Chapitre II

Nous avons expliqué la méthodologie mise en œuvre permettant d'alimenter les volets numériques et expérimentaux. D'une part, nous avons justifié le choix du plan optimal pour la méthode de surface de réponse afin de conduire à une étude numérique paramétrique qui sera présentée dans les chapitres III et IV. La technique pour la conception du plan optimal de notre étude a été aussi détaillée. Elle permet d'identifier les facteurs, les réponses et les 31 configurations du void unique à étudier. D'autre part, nous avons abordé le procédé permettant de réaliser les modules de test utilisés pour les campagnes expérimentales. Celui-ci repose sur la génération du void à position et à taille contrôlées dans la brasure de puce pendant le brasage sous vide. Le procédé se termine par les différentes étapes constituant l'assemblage. Les modules réalisés prévoient les emplacements spécifiques dédiés aux mesures électriques et thermiques que nous allons effectuer au chapitre IV.

Chapitre III: Conception des modèles pour l'étude en régime de conduction

III.1. Description des modèles numériques

Dans ce paragraphe est présentée la conception de deux modèles par éléments finis pour évaluer le comportement électrothermique d'un module de puissance MOSFET composé d'une brasure sans void et avec void. Nous allons commencer d'abord par une présentation du modèle sans void. Le modèle avec void va s'appuyer sur ce dernier avec quelques particularités localisées au niveau du domaine de la brasure.

III.1.1. Géométrie et paramétrage des modèles

La géométrie du modèle (sans void), qui est un assemblage de plusieurs entités volumiques ou domaines, est d'abord construite avec le logiciel de conception mécanique SolidWorks, puis importée dans l'outil COMSOL Multiphysics. Nous prenons le mode d'assemblage proposé par l'outil COMSOL comme l'option d'importation de la géométrie. Ce mode d'importation nous permet de regrouper des entités volumiques en un objet unique en dissociant les frontières des domaines en contact. Ceci offre une possibilité de gérer indépendamment des phénomènes physiques au niveau des interfaces entre les domaines en contact. De plus, cela permet d'optimiser le maillage afin de s'affranchir de certaines difficultés de convergence de la simulation. La géométrie du modèle (cf. Figure III-1) reste globalement représentative de celle du prototype expérimental (cf. § II.4.2). En effet, les éléments de l'assemblage sont modélisés tout en respectant soit les dimensions mesurées sur le prototype expérimental soit celles fournies par les fabricants (épaisseur des interfaces thermiques).

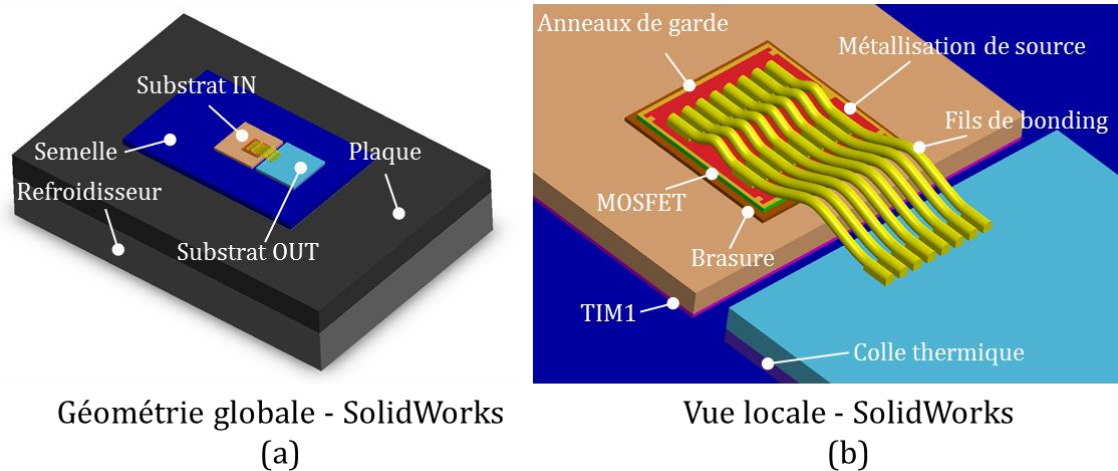


Fig. III-1: Vue globale (a) de la géométrie du modèle (sans void) et vue locale (b) dans la zone du MOSFET

Pour une raison de simplification, ces domaines sont modélisés sous la forme de parallélépipèdes rectangles. Leurs dimensions sont détaillées dans le Tableau III-1. A noter que l'épaisseur de brasure E_v est variable à des fins de paramétrage pour l'utilisation du plan optimal. Le plan d'assemblage global des modèles est présenté en Annexe 5 et Annexe 6.

Tableau III-1 : Les dimensions des éléments de l'assemblage

Elément de l'assemblage	Dimension
MOSFET	8mm x 8mm x 249µm
Brasure MOSFET	8,7mm x 8,7mm x E _v
Substrat IN	20mm x 20mm x 1,2mm
TIM1	20mm x 20mm x 200µm
Semelle	88mm x 54mm x 3mm
TIM2	88mm x 54mm x 130µm
Plaque Support	161mm x 110mm x 12mm
TIM3	161mm x 110mm x 130µm
Boite à eau	161mm x 110mm x 20mm
Colle isolante	20mm x 20mm x 680µm
Substrat OUT	20mm x 20mm x 1,2mm

Le système de fixation sur le refroidisseur et les connecteurs électriques ne sont pas modélisés. Une vue en coupe permettant de mettre en évidence la géométrie du modèle est présentée en Figure III-2. Elle indique notamment les emplacements des interfaces thermiques (TIM1, TIM2 et TIM3).

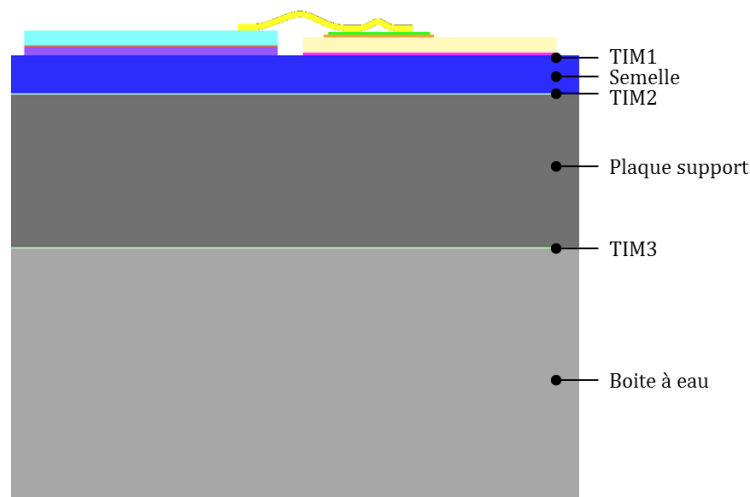


Fig. III-2: Géométrie du modèle en épaisseur

La géométrie de ces modèles numériques comporte des particularités par rapport à celle des prototypes expérimentaux introduits dans le paragraphe précédent. Ces points particuliers proviennent de la simplification de la géométrie comme détaillé ci-après.

Chaque fil de bonding utilisé pour la partie puissance est décomposé en cinq blocs (cf. Figure III-3) :

- Deux blocs (blocs 1 et 3) représentant la prise de contact avec la métallisation de source du MOSFET (cf. Figure III.3-a). Les zones de contact entre les fils de bonding et la métallisation ont une géométrie éclipée en raison du procédé de soudure ultrasonique. Celui-ci entraîne la diffusion lacunaire des atomes entre le fil et la métallisation du MOSFET en aluminium [1] (cf. Figure III.3-c). Afin de simplifier la géométrie du bonding

dans le modèle, nous définirons comme rectangulaire la géométrie des surfaces au niveau des prises de contact (cf. Figure III.3-b) ;

- Deux blocs (blocs 2 et 4) correspondant aux boucles du fil situées entre chaque prise de contact (cf. Figure III.3-a). Ici, il faut remarquer que la géométrie des courbures est construite à partir de la mesure de la géométrie du fil. Cette mesure a été effectuée à l'aide d'un profilomètre ;
- Un bloc (bloc 5) permettant de faire la liaison entre le bonding et le second substrat (OUT) (cf. Figure III.3-a).

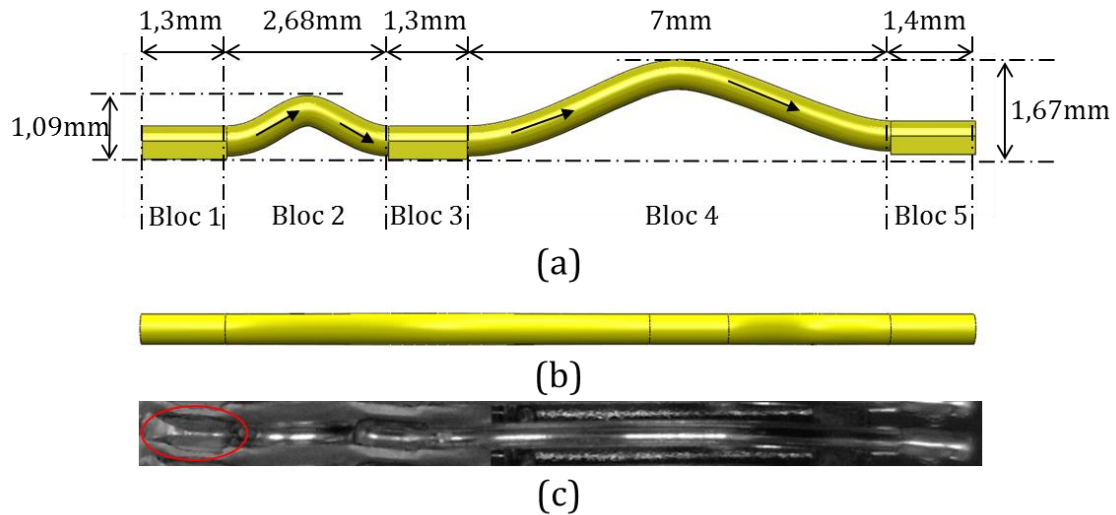


Fig. III-3: Vue frontale (a), vue de dessus (b) du fil de puissance sur SolidWorks et vue de dessus du fil dans un prototype avec la zone de diffusion (dans le cercle) (c)

Le diamètre des fils est de $500\mu\text{m}$, identique à celui des bondings utilisés pour les prototypes. La longueur totale du bonding entre ces deux extrémités est de $14,35\text{mm}$.

Le MOSFET est modélisé sous la forme d'un parallélépipède rectangle de $8\text{mm} \times 8\text{mm}$ et d'épaisseur $249\mu\text{m}$. La surface du MOSFET est décomposée en deux parties dont l'une représente la surface active du MOSFET et l'autre constitue la surface non active (cf. Figure III-4). Toutes les dimensions sont mesurées à l'aide d'un profilomètre (cf. Annexe 5) et reproduites dans les modèles. La surface non active comprend les zones ci-après :

- La zone des anneaux de garde, situés au bord du MOSFET, entourant la partie active ;
- La zone de prise de contact de grille, modélisée sous forme rectangulaire ;
- Les quatre zones de positionnement présentées par les quatre petits rectangles situés près des coins du MOSFET.

La surface totale de la zone des anneaux de garde est d'environ $6,4\text{mm}^2$, correspondant à 10% de la surface totale du MOSFET. Les anneaux de garde servent à réduire le champ électrique à un niveau acceptable à la périphérie des cellules de la zone active [13]. La surface occupée par les anneaux de garde est d'autant plus grande que la tenue en tension est élevée. La surface réservée aux anneaux de garde n'est pas considérable comparée à celle du MOSFET puisque ce dernier est dédié à des applications basse tension (24V). De nombreux modèles considèrent que toute la surface du composant est active (cf. § I.3.3.4). En réalité comme cette surface est réduite, cela implique une densité de courant plus élevée. Or, la densité de courant influence la redistribution

de température dans le composant. Dans notre modèle, la partie non active du MOSFET est modélisée afin d'obtenir une densité de courant plus réaliste tout en maintenant les conditions thermiques.

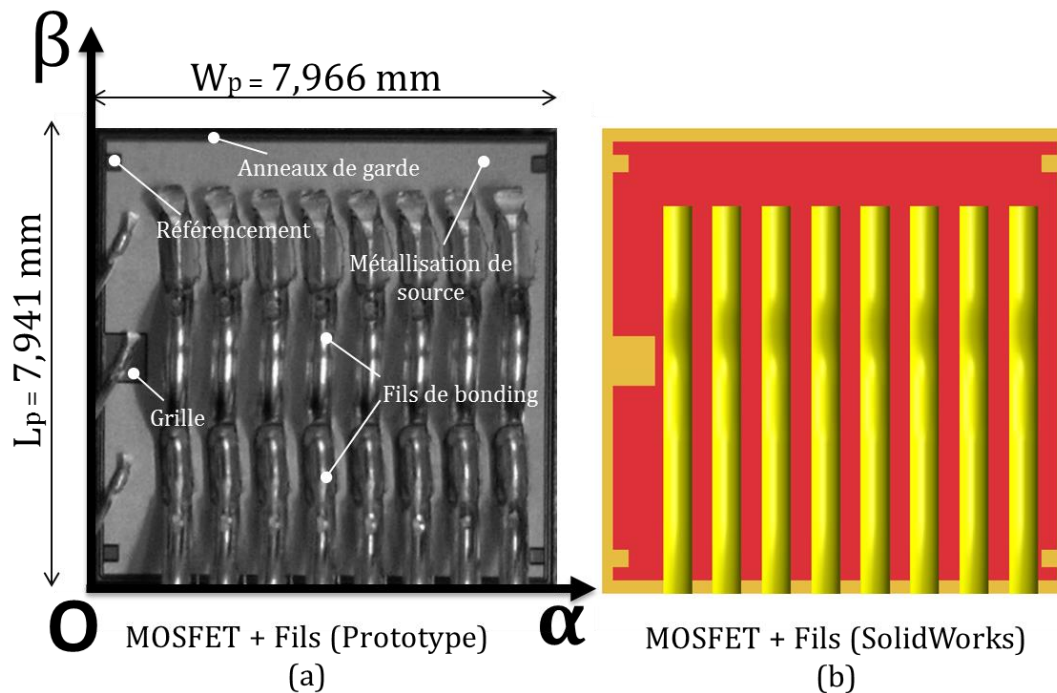


Fig. III-4 : Vue de dessus du MOSFET

Aucune puissance n'est dissipée dans la partie inactive du MOSFET. Dans notre modèle, toute la puissance due à l'auto-échauffement du MOSFET est dissipée dans la partie restante. Elle représente une surface de 57mm^2 . Le volume correspondant à cette partie est décomposé en quatre domaines. Parmi eux, deux domaines permettent de prendre en compte les différentes zones de dissipation volumique dans le silicium. Les deux autres sont les deux métallisations qui favorisent le contact avec la brasure (partie inférieure) et avec des fils de puissance (partie supérieure). Dans le cadre d'une étude en régime continu, la décomposition du MOSFET en une unique zone de dissipation volumique ne changerait pas les résultats sur l'impact du void. Cependant, pour une étude en régimes extrêmes, comme par exemple les régimes d'avalanche, cette décomposition deviendrait cruciale.

Les épaisseurs des différents domaines de ce volume sont présentées à l'aide d'une vue suivant une coupe perpendiculaire au plan de la surface du MOSFET, dans le sens de la longueur des fils de bonding (cf. Figure III-5). Elles sont données par le fournisseur du MOSFET (FreeScale) :

- Un premier domaine, de $10\mu\text{m}$ d'épaisseur, correspondant à la métallisation en aluminium de la source du MOSFET ;
- Un deuxième domaine, de $10\mu\text{m}$ d'épaisseur, correspondant à la partie active du dispositif, regroupant le canal, la zone du JFET ainsi que la zone de tenue en tension. Ce domaine est entouré des anneaux de garde. Dans notre modèle, les anneaux de garde sont limités au niveau de la partie active ;
- Un troisième domaine, de $228\mu\text{m}$ d'épaisseur, correspondant au substrat N+ en silicium, constitué d'une zone fortement dopée d'environ 10^{19} cm^{-3} . N'étant pas limitée par les

anneaux de garde, la surface de ce domaine est identique à celle du MOSFET complet (64mm^2);

- Un dernier domaine, de $1\mu\text{m}$ d'épaisseur, représentant la couche métallisée de drain en argent. Celle-ci présente une couche de finition en TiNiVAg qui permet le brasage entre la face inférieure du MOSFET et le substrat IN. Seule la métallisation de drain est modélisée. La couche de finition est négligée dans notre modèle due à sa faible épaisseur, de l'ordre de quelques dizaines de nanomètres, par rapport à celle des autres domaines. Comme la zone du substrat N+, la surface de ce domaine est identique à celle du MOSFET complet.

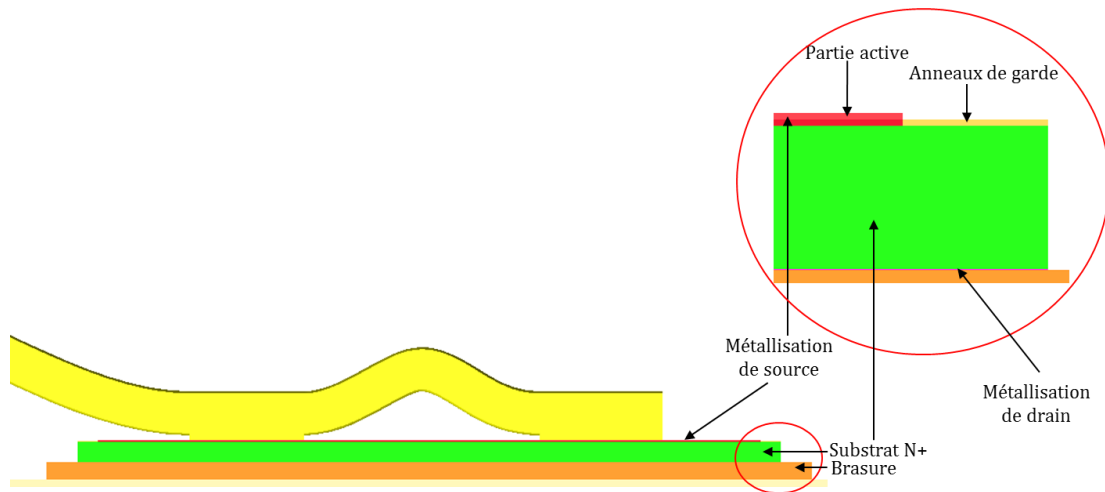


Fig. III-5: Géométrie du MOSFET en épaisseur du modèle

L'emplacement des fils à la surface de la métallisation de source dans les modèles respecte des mesures effectuées avec le profilomètre (cf. Annexe 5). Les fils de commande et de mesures, qui servent à relever le potentiel électrique, ne sont pas modélisés.

Le modèle avec void est construit presque de la même manière que celui sans void. Les deux modèles se différencient uniquement au niveau de la brasure. Dans le modèle avec void, le void est modélisé comme une cavité cylindrique dans la brasure dont l'épaisseur est identique à celle de la brasure. En effet, la conductivité thermique du void correspondant à celle de l'air, elle est négligeable devant celle des autres éléments de l'assemblage [100]. La position (X_v, Y_v) du centre du void, est référencée par rapport au bord de la puce MOSFET. La position plane (X_v, Y_v) , le diamètre T_v et l'épaisseur E_v sont paramétrés pour s'adapter au plan d'expériences présenté dans le **Chapitre II**. Un exemple de modélisation d'un void, dont la position et la taille sont relevées à l'aide d'une image RX, et la forme est obtenue par micro-section, est présenté en Figure III-6.

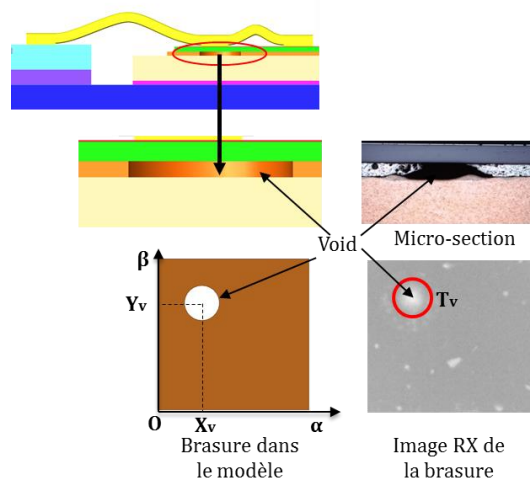


Fig. III-6 : Modélisation du void

III.1.2. Matériaux et modélisation de leur comportement électrothermique

Les propriétés électriques et thermiques des matériaux utilisés sont soit issues de la littérature, ou soit évaluées au cours de campagnes de caractérisation. La majorité des propriétés thermiques sont rendues constantes. Les conductivités électriques sont exprimées en fonction de la température selon la loi linéaire [99]:

$$\rho = \rho_0 \times (1 + \alpha_T \times (T - T_0)) \quad (\text{III-1})$$

Où ρ est la résistivité électrique du matériau, T_0 est la température de référence fixée à 273,15K, α_T est le coefficient de l'interdépendance entre la résistivité électrique et la température.

La résistivité du silicium, dopé N+ dans la zone du substrat de la puce MOSFET, est estimée en fonction de son dopage à partir de [168]. Pour un dopage d'environ 10^{19}cm^{-3} , la résistivité électrique du substrat N+ est d'environ $10^{-2} \Omega \text{cm}$. Cette résistivité est donnée dans la littérature comme étant quasi constante dans la plage de température comprise entre 20°C et 200°C.

Afin d'obtenir des couplages électrothermiques réalistes de la partie active du MOSFET et des fils, nous n'exploiterons pas les données de résistivité existantes dans la littérature. En effet, leurs lois de résistivité électrique sont extraites d'une campagne de caractérisations électrothermiques $I(V, T_j)$ (cf. § III.2). Comme la résistance à l'état passant R_{ds_ON} du composant est donnée en fonction de la température, on peut en déduire la résistivité équivalente de la partie active à partir de la formule III-2 :

$$R_{active} = \rho_{active} \times \frac{e_{active}}{S_{active}} \quad (\text{III-2})$$

Où R_{active} est la résistance globale de la partie active, e_{active} , ρ_{active} et S_{active} sont respectivement son épaisseur, sa résistivité et sa surface active.

La résistance R_{ds_ON} peut être déterminée à partir des caractérisations électrothermiques $I(V, T_j)$. Nous pouvons ensuite en déduire R_{active} à partir de la formule III-3. A noter que la résistance de

la métallisation de source et celle de la métallisation de drain sont négligeables, du fait de leur faible résistivité et épaisseur.

$$R_{\text{active}} = R_{\text{ds_ON}} - R_{\text{N+}} \quad (\text{III-3})$$

Les propriétés physiques des matériaux utilisés sont regroupées dans le tableau ci-après :

Tableau III-2 : Récapitulatif des propriétés physiques des matériaux utilisés dans les modèles [99]:

Élément de l'assemblage	Matériau	Masse volumique (kg/m ³)	Chaleur spécifique (J/kg.K)	Conductivité thermique (W/mK)	Résistivité électrique (Ωm)		
					Résistivité de référence (Ωm)	Coefficient de température (K ⁻¹)	Température de référence (K)
Fils de puissance	Aluminium	2710	913	230	Caractérisations I(V, Tj) (cf. § III.2)		
Métallisation (source + grille)	Aluminium	2700	910	200	4 x 10 ⁻⁸	3,125 x 10 ⁻³	400
Partie active (MOSFET)	Silicium	2330	710	148	Caractérisations I(V, Tj) (cf. § III.2)		
Substrat N+ (MOSFET)	Silicium dopé (10 ¹⁹ cm ⁻³)	2330	710	148	1 x 10 ⁻⁴	0	273,15
Brasure	Sn _{3.35} Ag _{0.7} Cu _{0.3} Sb	2320	7390	58,7	1,3 x 10 ⁻⁷	0	273,15
Substrats IN + OUT	Cuivre	8960	380	390	3,2 x 10 ⁻⁸	2,5 x 10 ⁻³	500
TIM1	Graphite	1650	846	λ _x = 400 λ _y = 400 λ _z = 5/k ₁	7,8 x 10 ⁻⁶	0	273,15
Semelle	Aluminium	2700	870	148	4 x 10 ⁻⁸	3,125 x 10 ⁻³	400
TIM2	Plastique/verre	2500	736	1,6/k ₂	1 x 10 ¹⁰	0	273,15
Plaque de support	Aluminium	2700	870	148	4 x 10 ⁻⁸	0	273,15
TIM3	Graphite	1650	846	λ _x = 400 λ _y = 400 λ _z = 20	7,8 x 10 ⁻⁶	0	273,15
Boite à eau	Aluminium	2700	1300	120	4 x 10 ⁻⁸	0	273,15
Colle	Silicone polymer	2710	700	1,9	1,9 x 10 ⁻⁷	0	273,15
Métallisation de drain	Ag[169]	10492	232	429	1,47 x 10 ⁻⁸	0	273,15
Anneaux de garde	Polyimide[170]	1420	1090	0,12	1,5 x 10 ¹⁷	0	273,15

III.1.3. Conditions aux limites

Comme présenté au § III.1.1, nous avons choisi d'importer la géométrie de l'assemblage dans COMSOL à partir de l'outil de conception SolidWorks. Lorsque le mode d'assemblage est sélectionné, COMSOL génère par défaut, à la frontière des pièces en contact, des conditions de continuité du potentiel électrique et de la température. Les conditions de continuité relient un

domaine de source à un domaine de destination. Elles vont permettre d'établir les contraintes dans les équations électriques et thermiques afin d'avoir une continuité à travers les domaines. Le potentiel électrique et la température du domaine de source sont identiques à ceux du domaine de destination. Dans le cas de notre étude électrothermique, nous dissociions les conditions de continuité thermiques de celles électriques afin de pouvoir les gérer de manière indépendante.

III.1.3.1. Conditions électriques

Nous imposons des conditions de continuité du potentiel électrique aux interfaces sauf au niveau de :

- La face supérieure de la semelle et la face inférieure de l'interface TIM1 isolante électrique ;
- La face inférieure de la partie inactive et la face supérieure de la partie du substrat N+ ;
- Les faces latérales de la partie inactive et celles de la partie active ;
- La face supérieure de la semelle et la face inférieure de la colle thermique où une isolation électrique est imposée.

Ces conditions d'isolation électrique décomposent le modèle en deux régions :

- Une région située au-dessus de la semelle, dans laquelle sont pris en compte les couplages électrothermiques. Ceux-ci sont dus à l'interdépendance du courant de puissance avec le flux thermique induit par l'auto-échauffement des constituants de l'assemblage ;
- L'autre région correspondant au reste du modèle, dans laquelle aucun courant n'est présent à cause de la barrière électrique. Seul le phénomène thermique y est présent.

Une densité de courant uniforme et constante (flèche rouge) est appliquée à la face latérale du substrat IN. Cette densité de courant correspond à un courant total de 200A. Une masse (flèche bleue) est apposée à la face latérale du second substrat OUT (cf. Figure III-7).

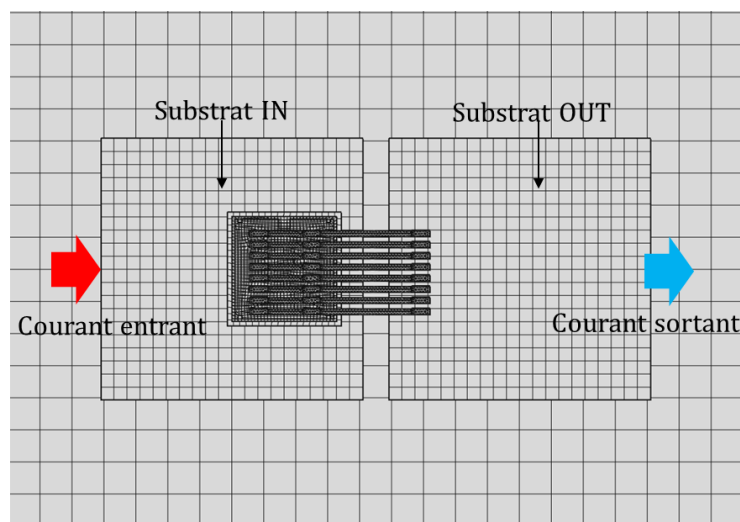


Fig. III-7: Entrée et sortie du courant

III.1.3.2. Conditions thermiques

Nous supposons qu'il y a une continuité des champs de température à toutes les interfaces. Tous les corps volumiques soumis au passage du courant dans les modèles sont considérés comme des sources de chaleur. Les auto-échauffements dépendent de la densité du courant, de la température et des propriétés physiques des matériaux.

L'échange thermique par convection naturelle avec l'air ambiant (20°C) est caractérisé par un coefficient d'échange thermique de 10W/m²K estimé avec l'aide d'un thermocouple placé à 5cm de la surface du composant. Cet échange thermique est présent sur toutes les faces en contact avec l'environnement.

L'échange thermique caractérisant le refroidisseur est décrit par une convection forcée définie par un coefficient d'échange thermique de 1000W/m²K imposé à la surface inférieure de la boîte à eau avec une température de refroidissement fixée à 80°C. Expérimentalement, cette température est celle de l'huile régulée par le système de thermorégulation (Julabo LH85) qui alimente la boîte à eau. Elle représente ainsi la température de l'environnement du convertisseur lors de son fonctionnement. Nous négligeons l'échange thermique par rayonnement, celui-ci étant non-significatif pour nos modèles.

III.1.4. Maillage et solveur

Nous profitons des géométries simples des domaines des modèles pour appliquer un maillage structuré à l'exception du maillage des fils de puissance qui sont de géométrie complexe. Le maillage de ces derniers est de type tétraédrique libre où la taille des éléments est comprise entre 250µm et 500µm. Dans le modèle avec void, la brasure n'est pas pleine. Elle est évidée d'un volume de forme cylindre représentatif du void. Le maillage structuré n'est donc plus valable. Nous générons alors un maillage hexaédrique à partir d'une extrusion de la surface maillée en quadrangle. Ce maillage est géré par la taille des éléments (entre 250µm et 500µm) et par leur nombre positionné sur la périphérie du cercle (Nb_Mail_Void). Ce dernier paramètre varie en fonction de la taille du void pour assurer la compatibilité du maillage entre la brasure, le substrat N+ du MOSFET et le substrat de cuivre (substrat IN). Le maillage global (cf. Figure III-8a) et celui de la brasure (cf. Figure III-8b) sont présentés en Figure III-8.

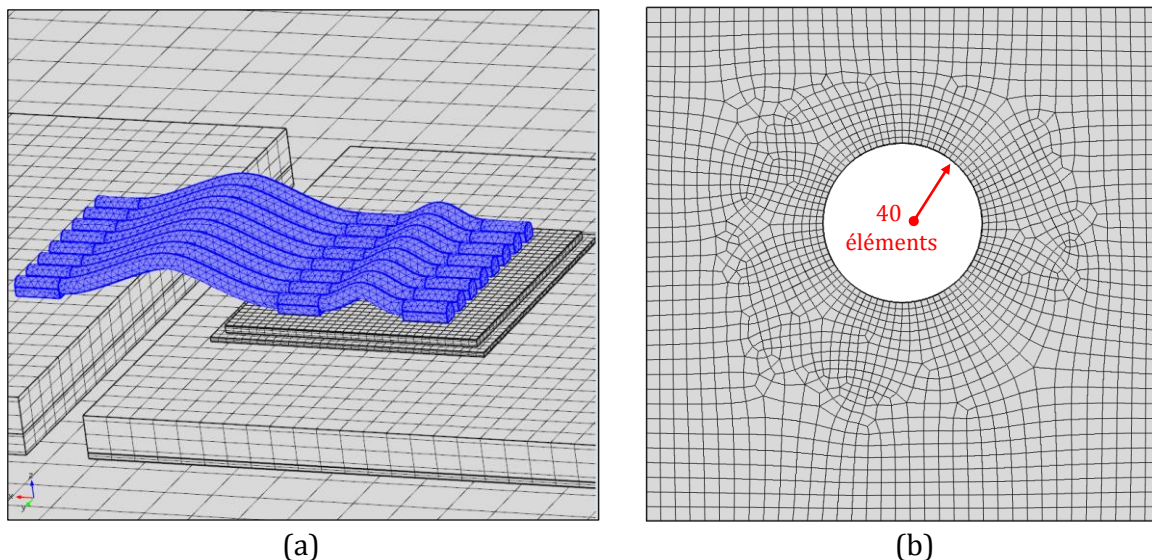


Fig. III-8: Maillage global comprenant celui des fils de puissance (en bleu) (a) et contrôle local du maillage de la brasure (Nb_Mail_Void = 40) dans le modèle avec void (b)

Le paramètre du maillage Nb_Mail_Void doit être optimisé pour ne pas avoir d'effet significatif sur les réponses sélectionnées (cf. § II.3.1). Une fois que les solutions convergent avec le paramètre

Nb_Mail_Void adéquat, les solutions sont stables dans le domaine de l'étude. Le maillage global compte alors près de 80000 éléments.

Le logiciel COMSOL propose deux types de solveurs : un solveur itératif et un solveur direct. Leur performance est déterminée par les algorithmes implantés dans COMSOL. Le solveur itératif nécessite une faible consommation de mémoire vive (RAM) et tend à approcher la solution de manière progressive. L'utilisation de ce type de solveur nécessite un modèle bien conditionné, afin d'éviter le comportement oscillatoire lors de son processus de convergence. Nous avons évalué les deux solveurs. La solution avec le solveur itératif a montré une difficulté lors de la convergence, présentée par des oscillations de l'erreur relative. Nous utiliserons donc le solveur direct puisque celui-ci permet de donner la solution pendant un temps acceptable. Il est aussi favorable pour sa robustesse de convergence, qui est quasi-monotone. Le choix du solveur avec le maillage construit précédemment nous amène à un temps de calcul d'environ 20 minutes pour le modèle sans void et d'environ 25 minutes pour le modèle avec void.

III.2. Extraction des caractéristiques des transistors MOSFETs et des fils

III.2.1. Description du banc de test

A ce stade, les seules informations manquantes pour renseigner nos modèles sont les propriétés électriques du MOSFET et des fils de puissance en fonction de la température. Nous portons une attention particulière à ces propriétés afin de prendre en compte le couplage électrothermique dans la partie active et dans les fils. L'expression des lois des résistivités est établie à partir des caractérisations électrothermiques $I(V, T_j)$ effectuées à l'aide du banc de test (cf. Figure III-9). Celui-ci a été développé au laboratoire des technologies nouvelles (LTN), ancienne désignation de l'équipe TEMA du SATIE à l'IFSTTAR. Le fait d'extraire les propriétés à partir de l'expérimentation permet de présenter dans le modèle les phénomènes multi-physiques de façon plus réaliste.

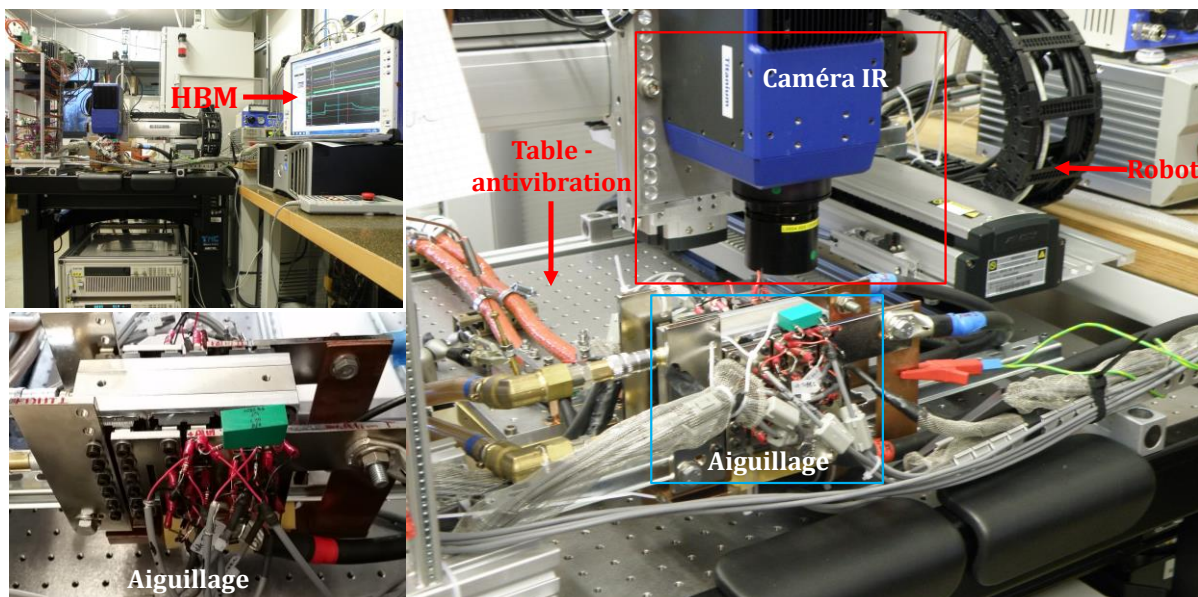


Fig. III-9: Banc de test (TEMA/SATIE - IFSTTAR)

Le banc est constitué des blocs suivants :

- Bloc « alimentation » : celui-ci inclut deux alimentations XANTREX XDC 20-300, capable de fournir un courant continu total de $2 \times 300A$;
- Bloc « régulation de température » : régulation effectuée par un thermorégulateur à bain d'huile Julabo LH85, permettant de maintenir la température du refroidisseur entre $40^{\circ}C$ et $250^{\circ}C$;
- Bloc « mesure de température » : celui-ci contient une caméra infrarouge (IR) CEP-FLIR SC7500. Elle est capable de donner une résolution de $30\mu m \times 30\mu m$ pour un champ de visualisation de $9mm \times 9mm$. Cette dernière est montée sur un robot AR090-S2-300-20N-N-V2 permettant d'effectuer un positionnement précis au-dessus du dispositif étudié. La répétabilité au niveau de la position est de $\pm 20\mu m$;
- Bloc « mesure de grandeurs électriques » : les mesures sont réalisées par un système d'acquisition GEN3i (HBM) qui intègre une carte d'acquisition 6 voies 2Mech/s 18bits.
- Bloc « aiguillage » : celui-ci gère la durée d'injection du courant de puissance dans le composant sous test (Device Under Test – DUT) par un contrôle de la séquence de commutation des MOSFETs auxiliaires pilotés par le système autonome CompactRIO ;
- Bloc « contrôle de température » : il permet d'enregistrer la température de l'air autour du DUT, la température de la semelle du DUT et la température de la plaque de support sous le module de puissance. Ces températures sont relevées respectivement à l'aide d'un thermocouple ouvert de type T, d'un thermocouple ouvert de type K et d'une sonde PT100. Le contrôle de la température de l'huile se fait via l'interface RS232 du thermorégulateur Julabo ;
- Bloc « anti-vibration » : celui-ci est assuré par la table METEK 63-500. Elle permet de compenser les vibrations environnementales.

Le schéma électrique du bloc aiguillage est présenté en Figure III-10. Ce dispositif doit permettre des caractérisations en régime statique tout en limitant l'auto-échauffement du composant sous test.

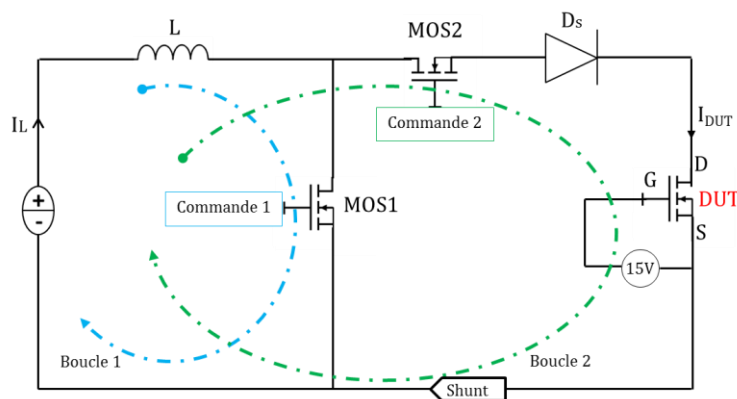


Fig. III-10: Système d'aiguillage du banc de caractérisation

Le MOS 1 et le MOS2 sont constitués de trois MOSFETs auxiliaires de 520A à $25^{\circ}C$ mis en parallèle (référence : IXFN520N075T2) pouvant supporter une tension à l'état bloqué de 75V. Le choix des MOSFETs auxiliaires est important afin de supporter les surtensions notamment lors de l'ouverture du transistor MOS1. Les MOSFETs auxiliaires sont adaptés à l'application en basse tension et possèdent de bonnes performances dynamiques. Pour nos caractérisations, ils sont

commandés avec une tension V_{gs} de 15V. Cela nécessite l'utilisation d'un signal isolé afin de fournir une tension indépendante du potentiel de la source. Cette fonction est assurée par une carte de commande rapprochée dont le schéma électrique est présenté en Annexe 7. Les entrées de la carte de commande rapprochée sont pilotées par le système CompactRIO, celui-ci transmettant un signal numérique qui est l'image d'une tension $\pm 5V$. La tension $\pm 15V$ à la sortie de la carte est assurée par deux alimentations. Les MOSFETs auxiliaires sont protégés contre la surtension par un circuit d'écrêtage actif [171] faisant une rétroaction sur la commande de grille (cf. Figure III-11).

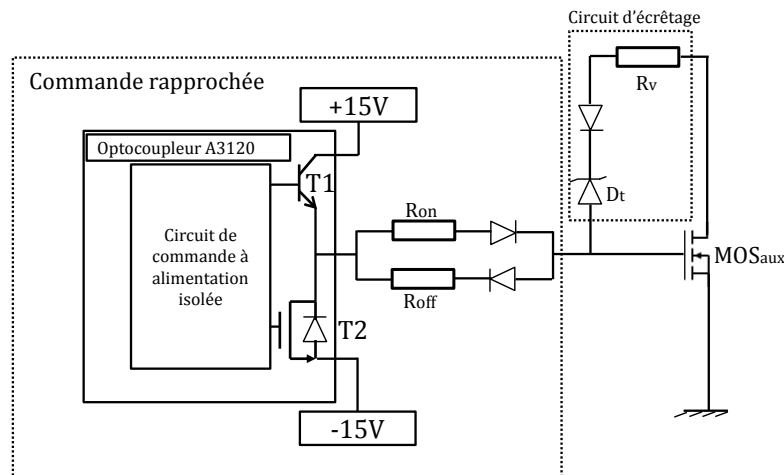


Fig. III-11: Circuit d'écrêtage

Dans un premier temps, le MOS1 est à l'état fermé et le MOS2 est à l'état ouvert. Le courant de puissance I_{DUT} circule dans la première boucle quand l'alimentation est active. De l'énergie est emmagasinée dans une inductance L ($600\mu H$). Cette dernière permet de limiter la variation du courant lors des commutations et d'empêcher la décroissance du courant pendant la phase d'injection. Ensuite, le MOS1 est ouvert et le MOS2 fermé (avec un temps de recouvrement de $5\mu s$). Le courant circule alors dans la boucle où se situe le DUT.

Le courant de puissance, réglable par l'alimentation de puissance, varie de 10A à 200A. Le temps d'injection du courant est de quelques centaines de microsecondes. Le schéma électrique fait apparaître une diode D_s de type Schottky (référence : IXYS DSS2X111-008A). Son rôle est lié principalement à la mesure de TSEP [16] dans le cadre d'un autre projet que nous ne détaillerons pas ici. Le courant traversant le DUT est mesuré par un shunt WSM 150 dont la résistance nominale est de $400\mu\Omega$. La température de la boîte à eau, permettant de réguler et de contrôler la température du composant, est ajustée avec le Julabo. La température du MOSFET est relevée par le thermocouple ouvert mis en contact avec la semelle au plus près du transistor caractérisé afin de mesurer sa température (cf. Figure III-12). La boîte à eau et la plaque de support sont couvertes d'une mousse d'isolation thermique pour limiter les pertes thermiques lors du fonctionnement.

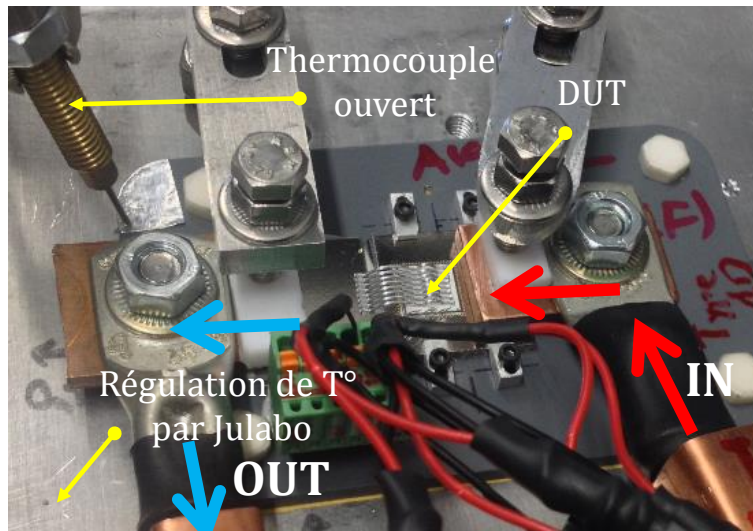


Fig. III-12 : Emplacement du thermocouple ouvert

Les contacts électriques pour le courant de caractérisation sont réalisés par deux plaques en cuivre de 2mm d'épaisseur connectés aux câbles d'alimentation utilisés pour les mesures en dissipation. Le courant rentre dans le DUT via la première plaque (flèche rouge). Celle-ci appuie sur le substrat IN. L'aire de la surface de contact et le maintien du contact sont améliorés par le système de bridage. Il permet d'appliquer une force suffisante pour maintenir le contact électrique entre la première plaque en cuivre et le substrat IN. Le courant ressort par la deuxième plaque (flèche bleue), celle-ci appuyant sur le substrat OUT. De la même façon, un second système de bridage est mis en place pour garantir le maintien du contact électrique à la sortie du DUT. Cette solution permet de passer un courant en régime continu de 200A lors des essais en dissipation qui seront abordés dans le **Chapitre IV**.

Pour les mesures des niveaux de tensions, un connecteur est mis en place afin de relier les six pistes conductrices (cf. § II.4.2) aux bornes de mesures sur le HBM. Ceci permet de faire :

- Deux mesures de chute de tension V_{DS1} et V_{DS2} à deux endroits différents sur la métallisation de source du MOSFET du DUT ;
- Une mesure de la chute de tension dans les fils de puissance V_{Fils} entre les points S_2 et S_3 .

La mesure du courant I_{DUT} doit prendre en compte le taux de conversion tension – courant de $400 \times 10^{-6} V/A$, ce qui correspond à la résistance nominale du shunt résistif aselfique ($400\mu\Omega$). Enfin, les mesures et l'acquisition des données sont automatisées par l'interface Labview/Matlab.

III.2.2. Caractérisations électrothermiques $I(V, T_j)$ en statique des MOSFETs

Chaque MOSFET est caractérisé pour les sept niveaux de courant suivants : 5A, 10A, 20A, 50A, 100A, 150A et 200A, sous une tension de commande V_{gs} de 15V et à différentes consignes de température réglées par le Julabo entre 40°C et 180°C. Bien que la consigne de température soit bien respectée par le Julabo, nous obtenons une température comprise entre 25°C et 160°C par le thermocouple ouvert situé sur la semelle. Cette différence s'explique par des imperfections dans l'isolation thermique du système. Une caractérisation du MOSFET, pour un niveau de courant de 200A à 160°C, est présentée en Figure III-13.

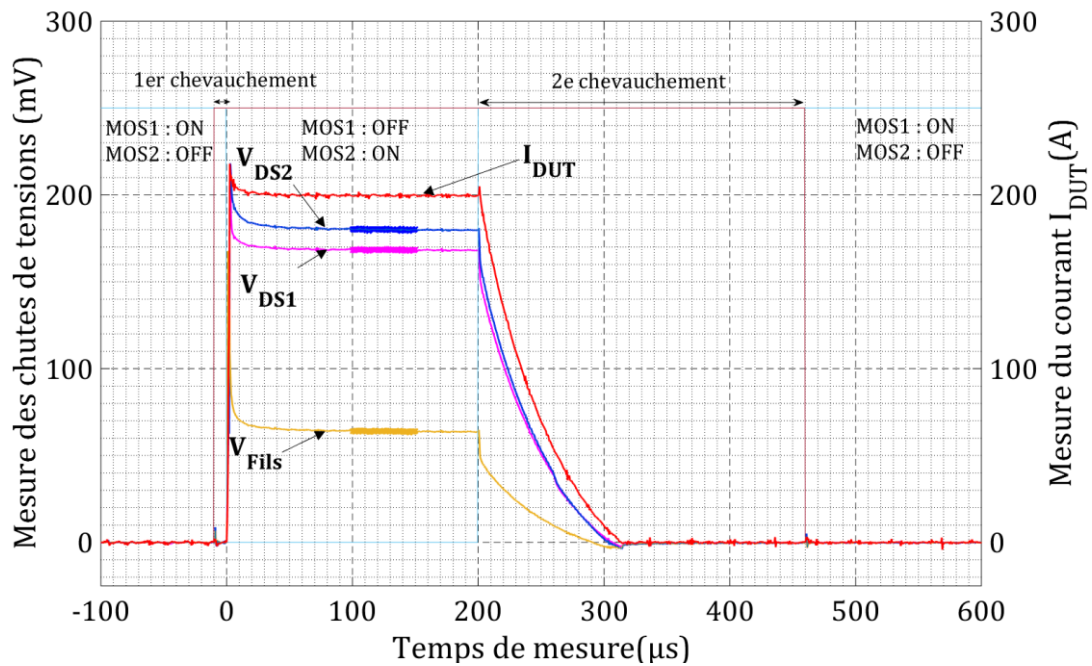


Fig. III-13: Caractérisation électrothermique du MOSFET N°2 à 200A – 160°C

Les chutes de tension V_{ds1} , V_{ds2} , V_{Fils} sont calculées en prenant leur valeur moyenne dans l'intervalle $[100\mu s, 150\mu s]$ à compter du début de l'injection (partie plus épaisse des courbes). Ceci permet d'éviter la zone transitoire au début de la séquence d'injection du courant et de limiter l'influence de l'auto-échauffement. Nous effectuerons des mesures pour sept niveaux de température comprises entre 35°C et 160°C pour le MOSFET N°2. La caractérisation $I(V, T_j)$ de ce module est présentée en Figure III-14.

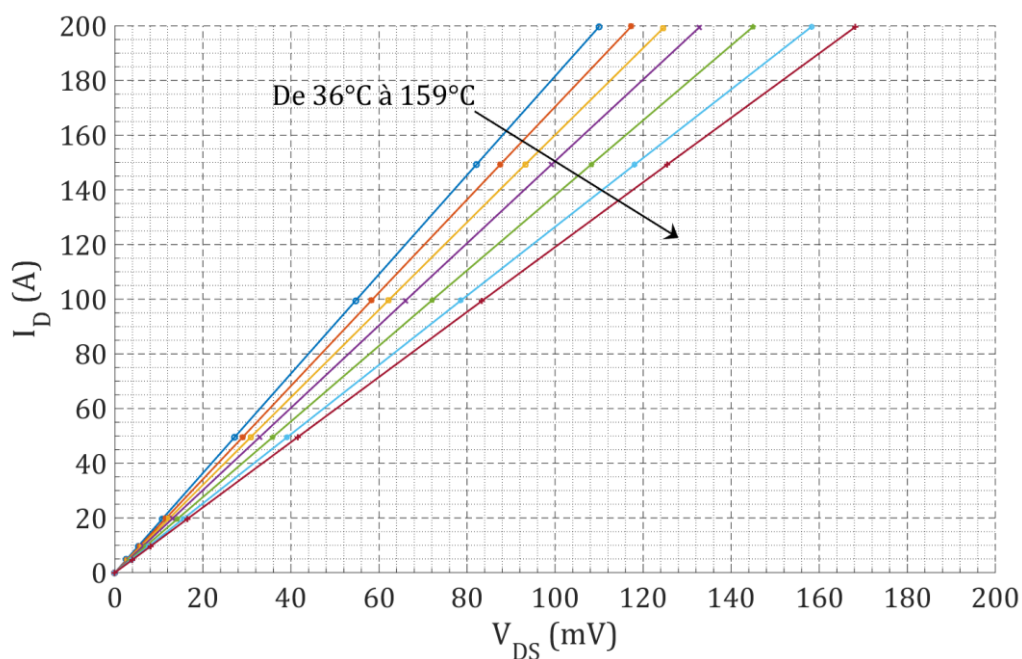


Fig. III-14: Caractérisation $I(V, T_j)$ du MOSFET N°2

En appliquant la méthode présentée au § III.1.2, nous pouvons extraire la résistivité électrique de la partie active du MOSFET N°2 en fonction de la température (cf. Figure III-15). La position de la prise de mesure du thermocouple ouvert a été précisée en Figure III-12.

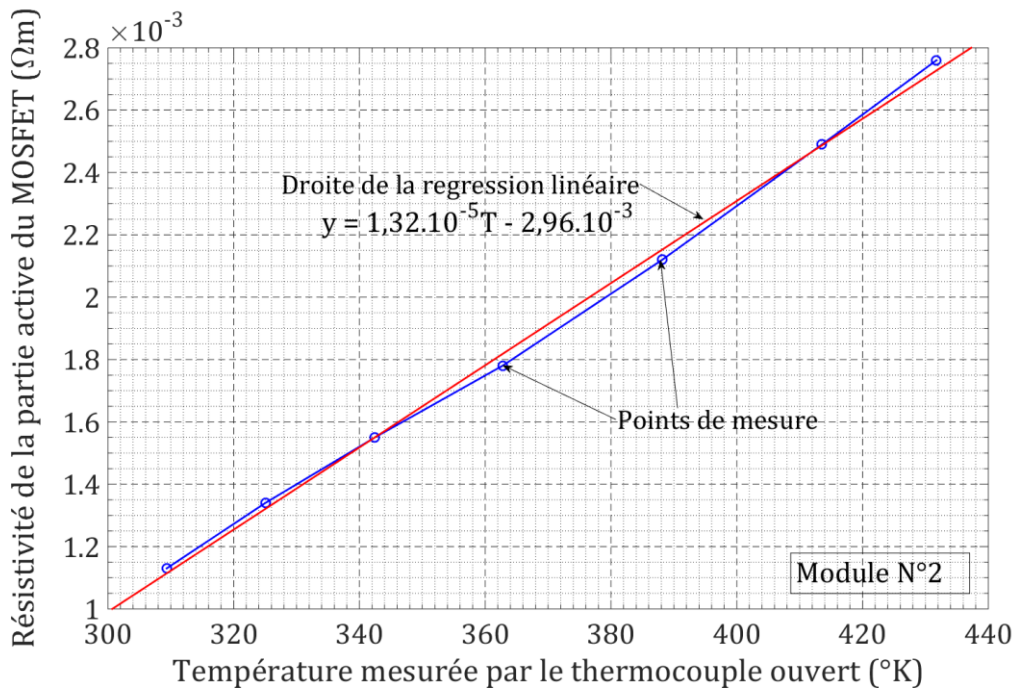


Fig. III-15: Résistivité de la partie active du MOSFET N°2 en fonction de la température

Les données de l'extraction des propriétés physiques vis-à-vis de la température sont détaillées dans le tableau ci-dessous.

Tableau III-3 : Caractérisation électrothermique du MOSFET N°2

$R_{DS,ON}$ (Globale) (V_{DSZ}) (Ω)	Consigne Température (Julabo) (°C)	Température (Thermocouple ouvert type K) (°C)	R_{N+} (Ω)	R_{active} (Ω)	R_{Fils} (Ω)	ρ_{active} ($\Omega.m$)
$5,56.10^{-4}$	40	36,2	$3,56.10^{-4}$	$2,00.10^{-4}$	$2,23.10^{-4}$	$1,13.10^{-3}$
$5,92.10^{-4}$	60	51,9	$3,56.10^{-4}$	$2,36.10^{-4}$	$2,37.10^{-4}$	$1,34.10^{-3}$
$6,31.10^{-4}$	80	69,3	$3,56.10^{-4}$	$2,74.10^{-4}$	$2,51.10^{-4}$	$1,55.10^{-3}$
$6,70.10^{-4}$	100	89,6	$3,56.10^{-4}$	$3,14.10^{-4}$	$2,64.10^{-4}$	$1,78.10^{-3}$
$7,30.10^{-4}$	130	115,0	$3,56.10^{-4}$	$3,74.10^{-4}$	$2,84.10^{-4}$	$2,12.10^{-3}$
$7,96.10^{-4}$	160	140,4	$3,56.10^{-4}$	$4,39.10^{-4}$	$3,05.10^{-4}$	$2,49.10^{-3}$
$8,44.10^{-4}$	181	158,6	$3,56.10^{-4}$	$4,88.10^{-4}$	$3,19.10^{-4}$	$2,76.10^{-3}$

Le calcul des incertitudes sur ρ_{active} est détaillé en Annexe 8.

Les allures des courbes sont semblables à une droite. Une régression linéaire est suffisamment pertinente pour extraire les fonctions analytiques reliant la résistivité électrique de la partie active à la température. Nous en déduisons la loi linéaire la même loi (cf. Equation III-1), mais avec la température exprimée en °K (cf. Equation III-4 et Equation III-5). La résistivité électrique est toujours exprimée en $\Omega.m$.

Régression linéaire de la résistivité électrique en fonction de la température

$$\rho_{\text{active}} = \rho_{\text{active}}^T \times T + \rho_{\text{active}}^0 \quad (\text{III-4})$$

Application numérique MOSFET N°2

$$\rho_{\text{active}} = 1,32 \cdot 10^{-5} \times T - 2,96 \times 10^{-3} \quad (\text{III-5})$$

Où ρ_{active}^T et ρ_{active}^0 sont respectivement les coefficients de température et le coefficient d'extrapolation à l'origine de la résistivité électrique équivalente de la partie active.

La puissance totale est répartie principalement dans le MOSFET et dans les fils. Celle dissipée dans le MOSFET englobe deux domaines volumiques : la partie active et le substrat N+. La puissance dissipée dans la partie active correspond à 25% de la dissipation globale pour les températures inférieures à 40°C (cf. Figure III-16). Sa contribution devient de plus en plus importante lorsque la température augmente et atteint 42% à 160°C. En effet, la résistance $R_{ds,ON}$ globale croît avec la température et la puissance dissipée dans le MOSFET suit la même tendance. Comme la résistivité électrique de la couche N+ reste constante dans la plage de température étudiée, la puissance dissipée dans cette région ne varie pas. A noter que la contribution de la puissance des fils est significative, entre 27% et 29%. Elle diminue légèrement lorsque la température du MOSFET augmente car le coefficient de température des fils est négligeable devant celui du transistor. Par conséquent, la contribution de la dissipation de puissance de la partie active augmente progressivement.

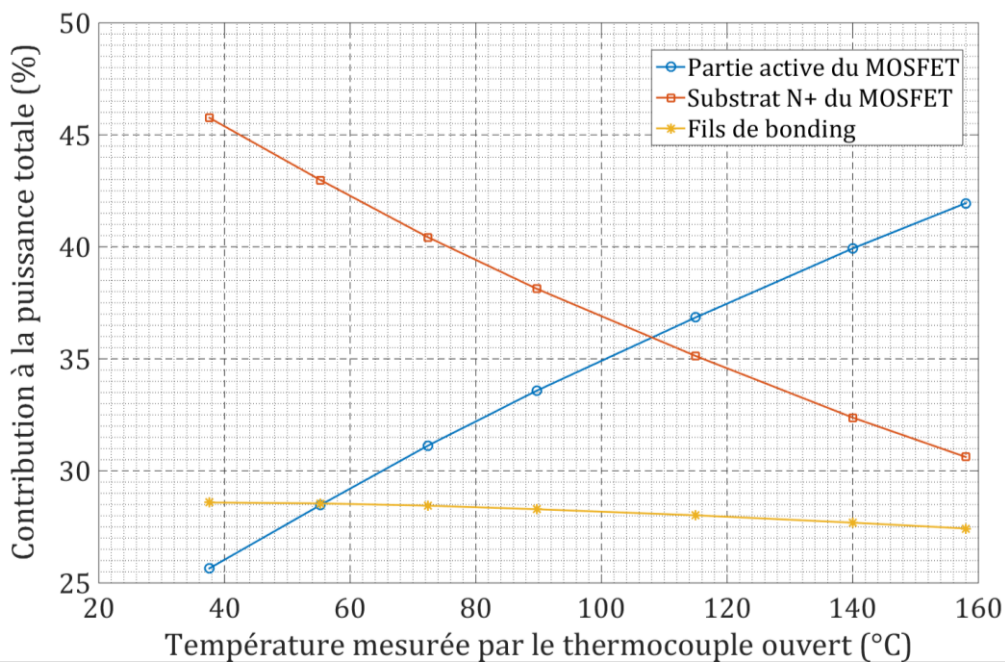


Fig. III-16 : Contribution à la puissance totale du MOSFET et des fils

Nous utilisons la même méthode pour extraire la résistivité des fils de puissance en fonction de la température. La chute de tension dans les fils est mesurée entre les points S_2 et S_3 (cf. Figure III-17). Nous utilisons la prise de potentiel en S_2 à côté de la prise de courant au niveau de la grande boucle et la prise de contact S_3 à côté des pieds de fils de bonding, sur la surface du substrat OUT. Pendant les caractérisations électriques qui limitent les phénomènes d'auto-échauffement significatifs, le gradient thermique au niveau de la métallisation est supposé négligeable. Nous

pouvons donc supposer que le courant est réparti dans les fils de manière uniforme. La résistivité et par conséquent la chute de tension dans chacun des fils sont identiques.

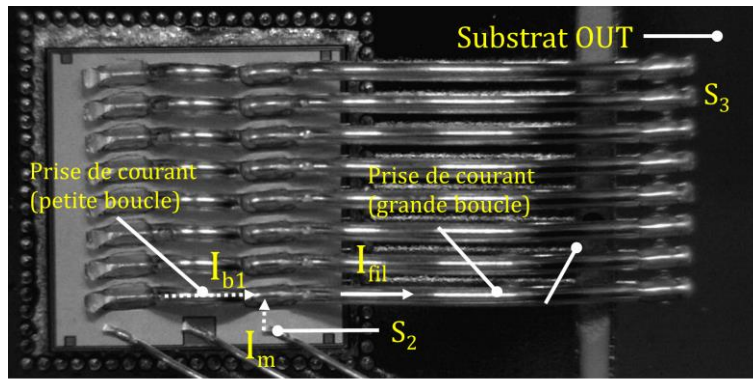


Fig. III-17: Emplacement des prises de mesure pour la chute de tension dans les fils

Nous pouvons en déduire la résistance effective globale des fils R_{fils} ainsi que la résistance d'un fil R_{fil} :

$$R_{fils} = \frac{V_{Fils}}{I_{total}} = \frac{V_{S_2 S_3}}{I_{total}} \quad (III-6)$$

$$R_{fil} = \frac{V_{S_2 S_3}}{\frac{I_{total}}{8}} = \frac{8 \times V_{S_2 S_3}}{I_{total}} = \frac{8 \times V_{S_2 S_3}}{I_{DUT}} \quad (III-7)$$

Nous pouvons alors extraire la résistivité des fils en aluminium :

$$\rho_{fil} = \frac{8 \times V_{S_2 S_3}}{I_{DUT}} \times \frac{\pi \times D_{fil}^2}{4 \times l_{fil}} \quad (III-8)$$

Où D_{fil} , l_{fil} sont respectivement le diamètre et la longueur du profil du fil dans la grande boucle. Le terme $\frac{\pi \times D_{fil}^2}{4}$ correspond à la section d'un fil. La dépendance de la résistivité électrique des fils avec la température est illustrée en Figure III-18.

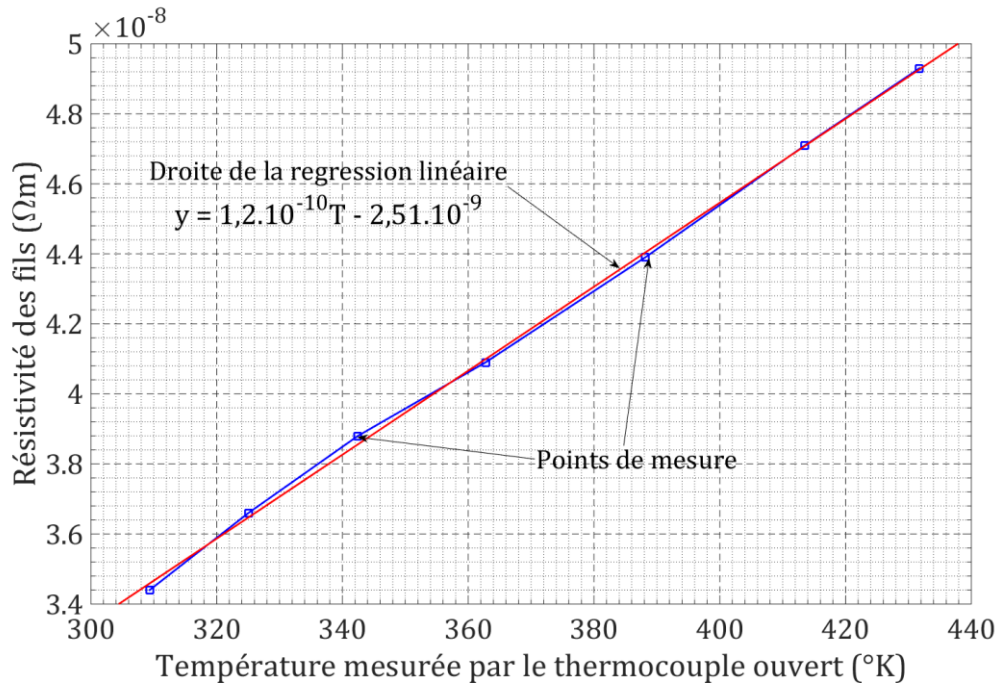


Fig. III-18: Caractéristiques $\rho_{fil}(T)$ des fils de puissance

D'après les mesures, la loi analytique $\rho_{fil}(T)$ peut être exprimée sous forme linéaire :

Régression linéaire de la résistivité électrique en fonction de la température

$$\rho_{fil} = \rho_{fil}^T \times T + \rho_{fil}^0 \quad (III-9)$$

Application numérique Module N°2

$$\rho_{fil} = 1,2 \cdot 10^{-10} \times T - 2,51 \times 10^{-9} \quad (III-10)$$

Où ρ_{fil}^T et ρ_{fil}^0 sont respectivement les coefficients de température et le coefficient d'extrapolation à l'origine de la résistivité électrique des fils.

Nous avons extrait les lois de la résistivité électrique de la partie active du MOSFET et des fils en fonction de la température, dans le cas du module N°2. Avant de procéder à la campagne de mesure thermique, tous ces modules reçoivent désormais un dépôt de peinture noire uniforme d'environ 5µm. Celle-ci permet d'obtenir une émissivité proche de l'unité pour la calibration thermique des mesures IR. L'épaisseur de la peinture doit être suffisamment faible afin d'éviter la génération d'une résistance thermique importante qui viendrait perturber la mesure thermique. Le procédé du dépôt et le contrôle de l'épaisseur de la peinture sont détaillés en Annexe 9. Nous devons vérifier que la présence de la peinture n'a pas d'effet sur les caractérisations électrothermiques, donc sur l'extraction des lois de résistivité. La comparaison des caractéristiques $I(V, T_j)$ effectuées sur le module N°2 avant et après la mise en peinture, est présentée en Annexe 10. On a constaté que le dépôt de peinture n'a qu'un effet négligeable sur celles-ci.

Nous réalisons les caractérisations avec la même méthode pour les prototypes N°45, N°46 et N°47, puis extrayons l'évolution de la résistivité électrique de la partie active du MOSFET en fonction de la température $\rho_{active}(T)$. Cette étape permet d'évaluer le bon fonctionnement des prototypes et de quantifier la dispersion des caractéristiques $\rho_{active}(T)$. Ces prototypes contiennent un void créé

intentionnellement pour l'étude en dissipation. Ce contrôle est essentiel puisqu'il permet d'assurer la confrontation entre les simulations et les mesures effectuées sur ces modules. Afin d'économiser du temps lors des essais expérimentaux, nous allons profiter de la linéarité de cette loi analytique pour ne réaliser les caractérisations des MOSFETs qu'à deux températures de consigne : 40°C et 80°C. Les mesures sont détaillées en Annexe 11. Les caractéristiques $\rho_{active}(T)$ des MOSFETs sont exposées en Figure III-19.

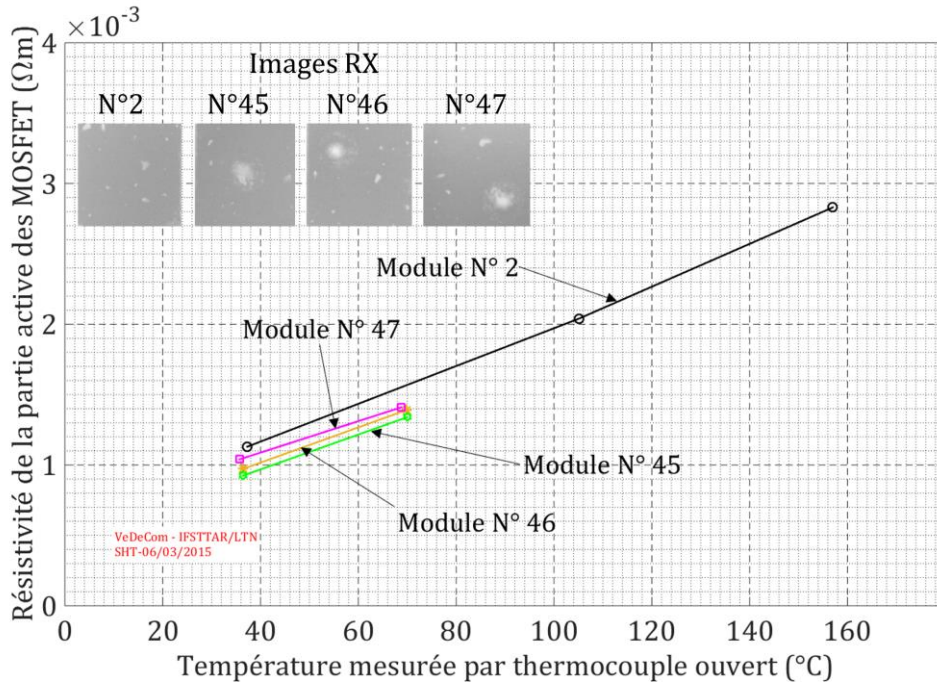


Fig. III-19: Caractéristiques $\rho_{active}(T)$ des MOSFETs peints

De la même manière, nous extrayons la loi analytique $\rho_{active}(T)$ pour les MOSFETs N°45, N°46 et N°47. Les coefficients de température ρ_{active}^T et le coefficient d'extrapolation à l'origine ρ_{active}^0 de la résistivité électrique équivalente de la partie active de chaque module sont résumés dans le tableau ci-dessous.

Tableau III-4 : Coefficient de régression linéaire de la résistivité électrique de la partie active en fonction de la température exprimée en Kelvin.

Module	ρ_{active}^T	ρ_{active}^0
N° 02 (avec peinture)	$1,42.10^{-5}$	$-3,28.10^{-3}$
N° 45 (avec peinture)	$1,24.10^{-5}$	$-2,91.10^{-3}$
N° 46 (avec peinture)	$1,25.10^{-5}$	$-2,90.10^{-3}$
N° 47 (avec peinture)	$1,12.10^{-5}$	$-2,41.10^{-3}$

Nous suivons la même démarche pour l'évaluation de la dispersion des caractéristiques $\rho_{fil}(T)$ avec les modules N°2, N°45, N°46 et N°47 (cf. Figure III-20). Nous comparons l'évolution de la résistivité des fils dans ces modules avec la loi issue de la bibliographie [99].

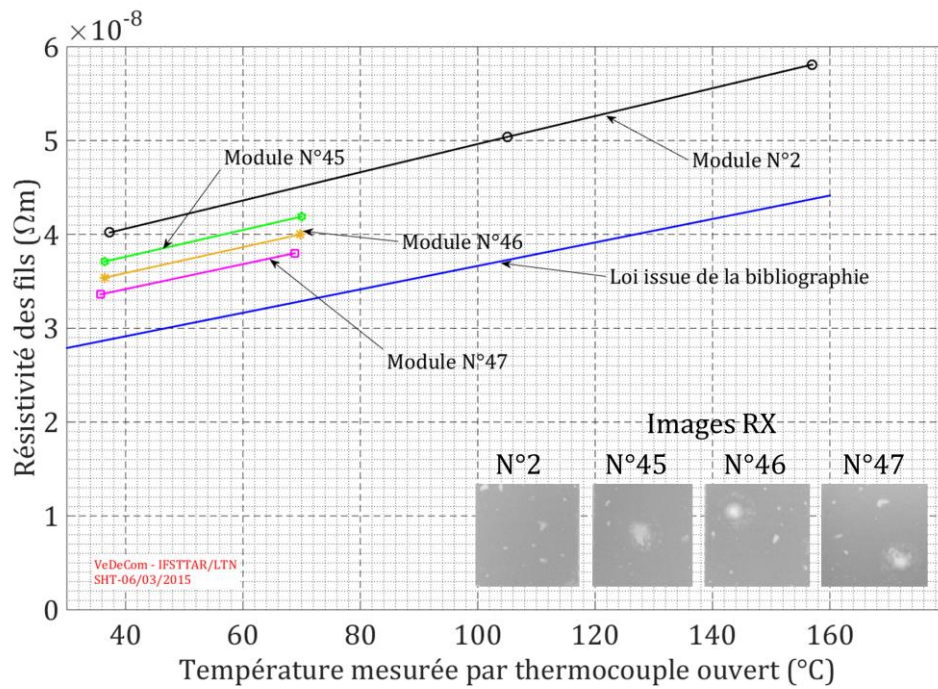


Fig. III-20: Caractéristiques $\rho_{fil}(T)$ des modules points

Les coefficients de température ρ_{fil}^T et le coefficient d'extrapolation à l'origine ρ_{fil}^0 de la résistivité électrique des fils de bonding de chaque module sont présentés dans le tableau ci-après :

Tableau III-5 : Coefficients ρ_{fil}^T et ρ_{fil}^0 pour les différents prototypes

Module	ρ_{fil}^T	ρ_{fil}^0
N° 02 (avec peinture)	$1,50 \cdot 10^{-10}$	$-6,22 \cdot 10^{-9}$
N° 45 (avec peinture)	$1,43 \cdot 10^{-10}$	$-7,12 \cdot 10^{-9}$
N° 46 (avec peinture)	$1,38 \cdot 10^{-10}$	$-7,37 \cdot 10^{-9}$
N° 47 (avec peinture)	$1,30 \cdot 10^{-10}$	$-7,46 \cdot 10^{-9}$

La principale raison de la dispersion des caractéristiques $\rho_{active}(T)$ et $\rho_{fil}(T)$ provient de la dispersion des coefficients ρ_{active}^T et ρ_{fil}^T (cf. Annexe 12). La dispersion est de 5,18% pour $\rho_{fil}(T)$ et de 8,56% pour $\rho_{active}(T)$. Nous avons évalué par simulation la sensibilité de la résistivité électrique de la partie active et des fils sur les réponses sélectionnées. Les résultats obtenus ont démontrés que les réponses sont peu sensibles à cette dispersion, conduisant à une variation de l'ordre de $1^{\circ}C$ des températures calculées. Pour une simplification, nous renseignons les mêmes lois de résistivité pour les fils et pour la partie active dans les modèles. Les lois de résistivités obtenues avec le module N°45 sont appliquées à tous les modèles par éléments finis dans la suite de cette étude.

III.3. Résultats de simulation avec les modèles par éléments finis

Dans ce paragraphe, nous allons présenter les résultats des simulations réalisées avec les deux modèles, sans et avec void, tels que détaillés au § III.1. Les réponses électriques et thermiques seront observées à différents niveaux de l'assemblage afin de comprendre l'influence du void. Nous prenons, pour illustrer cette analyse, la configuration représentative du module N°45 caractérisé par les paramètres :

- Les paramètres techniques : $E_v = 246\mu\text{m}$; $k_1 = 8$; $k_2 = 17,5$;
- Les paramètres dans le cas avec void : $X_v = 3,8\text{mm}$; $Y_v = 4\text{mm}$; $T_v = 2,5\text{mm}$.

Dans un premier temps, les résultats du modèle sans void sont présentés à l'échelle de l'assemblage complet (cf. Figure III-21). La partie haute de l'assemblage a subi comme attendu un auto-échauffement au niveau des fils et du composant de puissance.

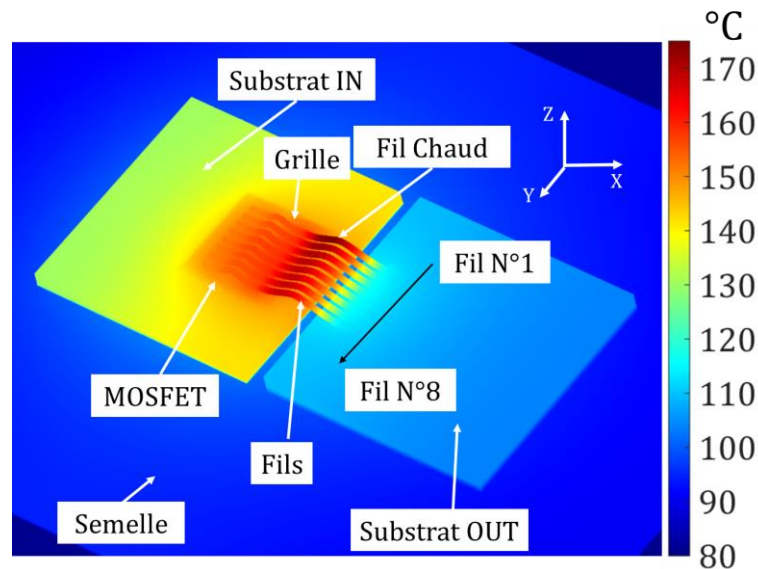


Fig. III-21: Distribution globale de la température obtenue avec le modèle sans void

Nous allons observer en premier lieu la cartographie de température à la surface supérieure de la métallisation de source du MOSFET (cf. Figure III-22). Nous pouvons remarquer que la zone sous les prises de courant est plus chaude que celle à leur voisinage. Ceci est tout à fait normal puisque la densité de courant dans la métallisation est plus élevée dans la zone de prise de contact des fils. Afin d'affiner l'interprétation de ces résultats, dans la même figure, sont présentées la distribution de la température et les lignes de courant. A noter que le sens et la longueur des flèches sont représentatifs des vecteurs de densité de courant dans le plan de métallisation (plan XY). Dans la figure, nous pouvons noter que les lignes de courant se concentrent aux abords des zones de prise de contact des fils de bonding.

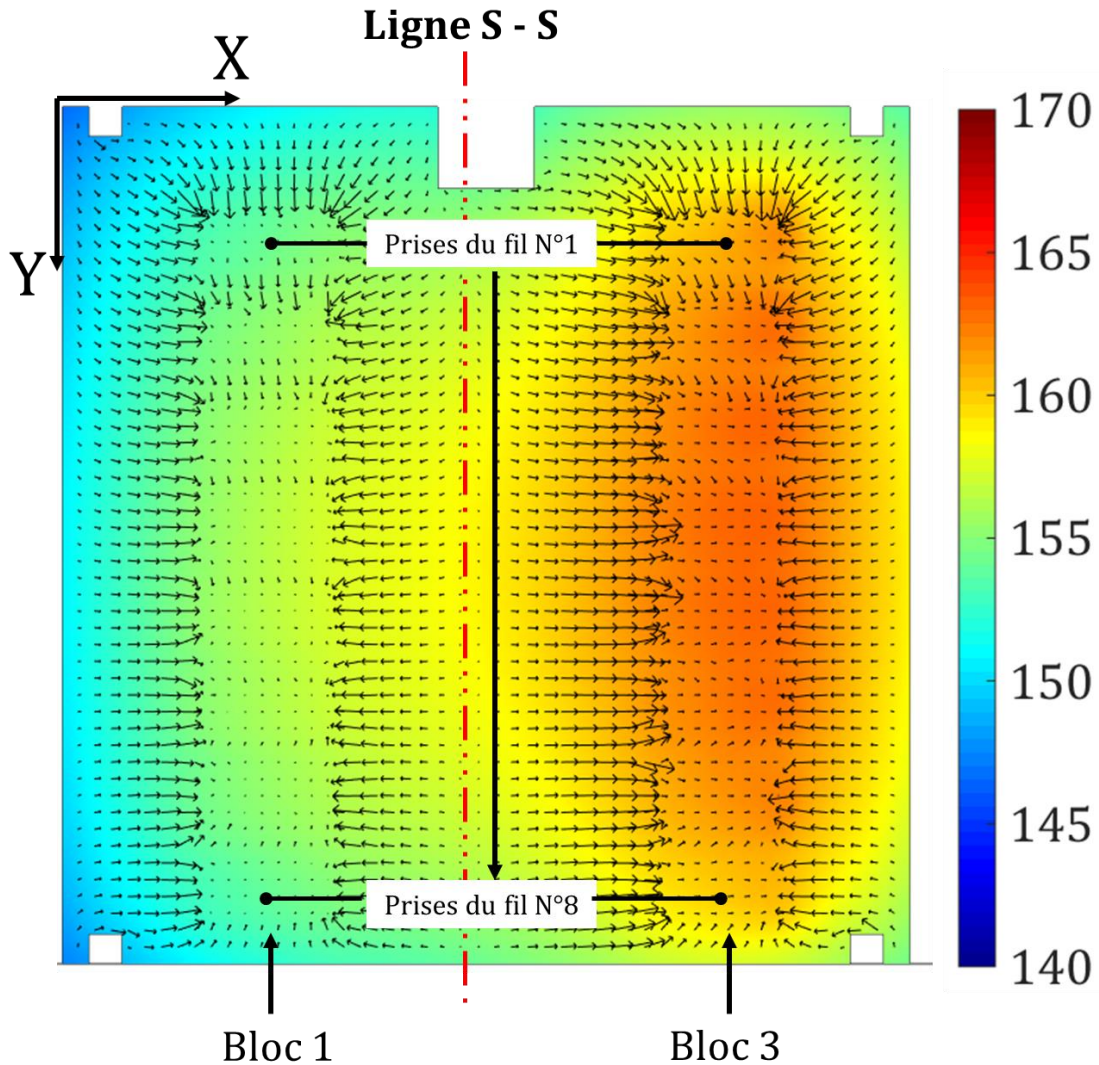


Fig. III-22 : Couplage température – courant à la surface de la métallisation de source

Nous pouvons ensuite remarquer que la température sous les prises du bloc 3, donc celles qui correspondent au départ de la grande boucle, est plus élevée que celle sous les prises du bloc 1. Cette observation peut s'expliquer par deux phénomènes (cf. Figure III-23) :

- Un phénomène de diffusion thermique par conduction, généré par le gradient thermique entre la température maximale T_c dans la grande boucle, et la température dans la zone B, située sous les prises chaudes. A noter que la température T_c est nettement plus élevée que T_B (cf. Figure III-31) ;
- Un phénomène de concentration des lignes de courant, plus important dans la zone B par rapport à la zone A (sous les prises froides). Ce mécanisme est explicité dans la Figure III-23. Lorsque le courant circule dans le substrat N+, les lignes de courant sont verticales car la résistivité électrique dans celui-ci est faible et homogène. Dès que le courant atteint la partie active, le courant commence à s'épanouir. Le courant peut suivre le chemin A (en trait pointillé), c'est-à-dire aller vers la zone A, puis circuler dans la petite boucle avant de rentrer dans la grande boucle. Il peut aussi prendre le chemin B (en trait plein), c'est-à-dire aller vers la zone B puis rejoindre avec le courant dans le chemin A dans la grande boucle. Le chemin B est plus favorable car la distance de parcours est plus courte, bien que

la partie du chemin B dans la partie active puisse être plus résistive que celle du chemin A, due à sa température plus élevée. Nous pouvons visualiser les deux tendances en se référant à la ligne S - S (cf. Figure III-22). Les lignes de courant à gauche de celle-ci prennent le chemin A. Au contraire, les lignes de courant à droite à celle-ci suivent le chemin B. Il faut noter que la ligne S - S est plus proche que la zone A, ce qui permet de démontrer que le courant circule préférentiellement suivant le chemin B.

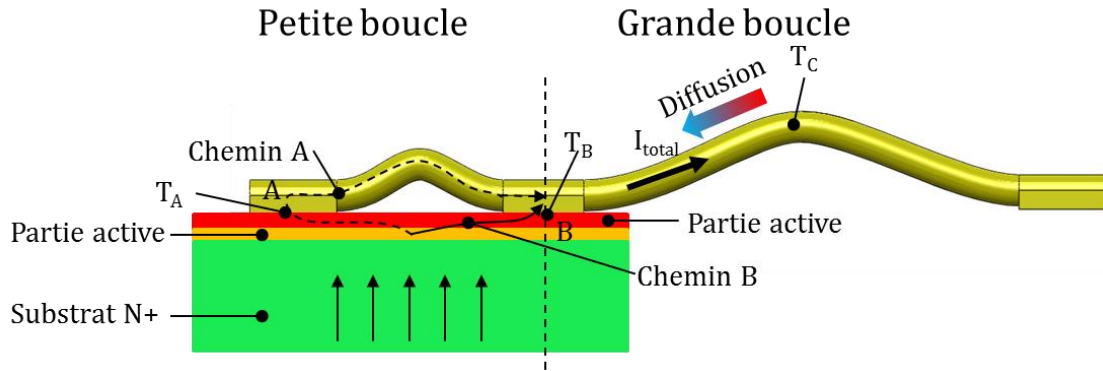


Fig. III-23 : Circulation du courant dans l'épaisseur du MOSFET et dans un fil de bonding

Nous pouvons vérifier l'influence du phénomène de diffusion présenté précédemment en faisant la même simulation, mais cette fois-ci, l'auto-échauffement des fils est éliminé. Ceci signifie que la diffusion est absente. Nous pouvons observer à l'aide de Figure III-24 que la zone la plus chaude n'est plus aux prises de contact des fils. Celle-ci est déplacée vers le centre de la métallisation, du au couplage électrothermique globale du MOSFET.

Nous venons de montrer que la température à la surface supérieure de la métallisation est plus élevée dans la zone de prise de contact du bloc 3. Dans celle-ci, la zone près du bord est plus froide que celle au centre de la métallisation qui est le résultat du couplage électrothermique global et des conditions aux limites du modèle. Dans notre assemblage, l'emplacement des fils est décalé vers le bord du côté opposé du pad de grille afin de prévoir la place pour le câblage du fil de commande. En fait, la distance entre le fil N°1 et le bord est de $860\mu\text{m}$, alors que celle entre le fil N°8 et le bord est de $330\mu\text{m}$. L'action de la convection naturelle explique que la température au bord de la métallisation, du côté du fil N°1 est moins chaud que la température de celui du côté du fil N°8.

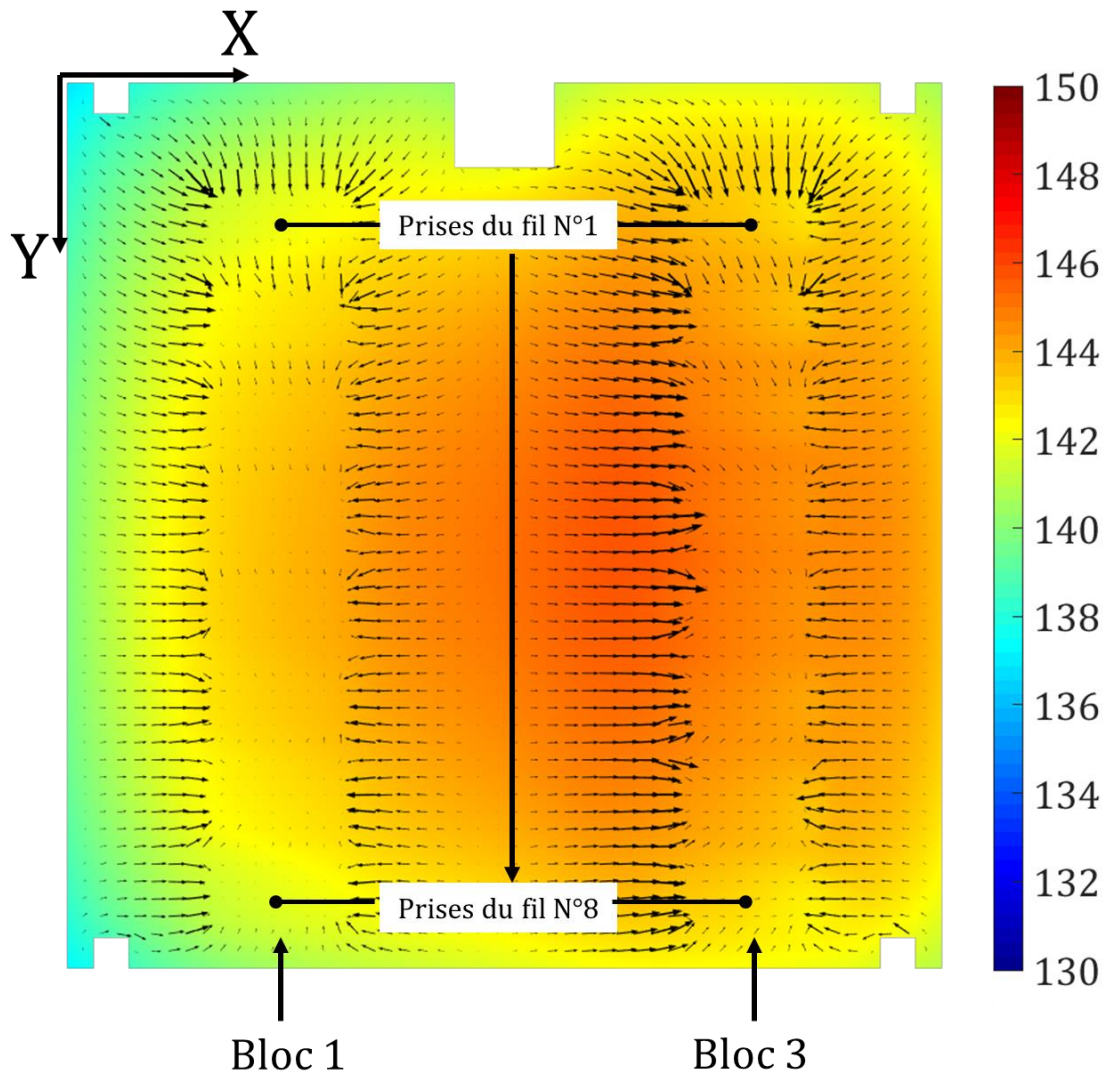


Fig. III-24 : Influence du phénomène de diffusion thermique par conduction des fils sur la localisation de la zone la plus chaude

Une des conséquences de ces phénomènes est la distribution hétérogène de la température des fils de bonding. Concrètement, les fils situés proche de la zone de grille, sont plus chauds. La température maximale des fils diminue lorsqu'ils sont près du centre de la puce. En effet, dans la zone de prise de contact du bloc 3, la température étant plus chaude au centre de la métallisation, elle entraîne une résistance électrique plus élevée que celle dans le reste de ce domaine. Le courant, étant contraint par cette résistance électrique, va circuler par préférence vers les prises de courant près du bord, où la résistance électrique est plus faible. Nous pouvons estimer la distribution du courant dans chacun des fils pour illustrer cet effet. Le courant dans chaque fil est estimé dans la zone de la grande boucle du fil afin de s'affranchir des singularités géométriques du modèle et numériques (cf. Figure III-25).

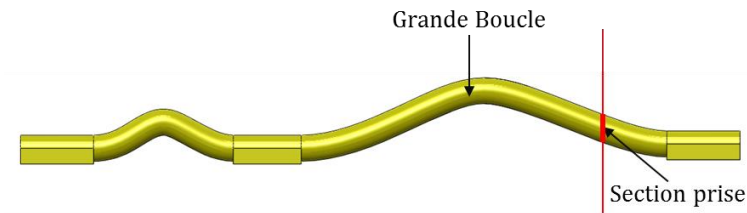


Fig. III-25 : Localisation de section où est calculé le courant dans chaque fil

La quantité de courant distribué dans les fils est présentée en Figure III-26, sous forme normalisée au courant total :

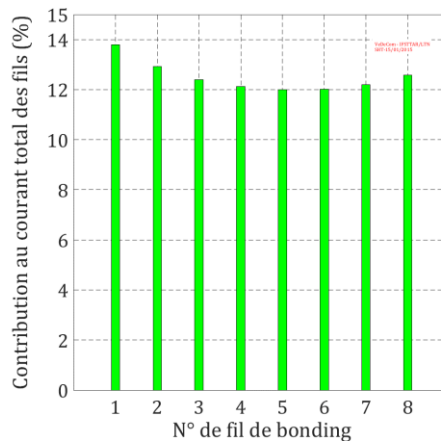


Fig. III-26 : Distribution du courant dans les fils

Les fils dont la prise de contact est située au centre de la métallisation (N°4 et N°5) conduisent le moins de courant, ce qui permet de justifier notre explication. Le courant augmente lorsque les fils sont plus près du bord. Nous constatons aussi que la distribution du courant n'est pas symétrique. Le fil N°1 situé au plus proche de la grille transporte plus de courant par rapport au fil N°8 (13,75% par rapport à 12,5%).

Nous analysons ensuite la distribution du potentiel électrique dans l'assemblage (Figure III-27). Nous pouvons vérifier que les conditions limites électriques sont respectées (cf. Figure III-27a). Nous retrouvons le potentiel nul au niveau du substrat OUT et des parties inactives (la métallisation de grille et les anneaux de garde). Il faut se rappeler qu'en réalité, le potentiel des parties inactives n'est pas strictement nul. Cependant, les conditions d'isolation électrique imposent qu'elles ne sont pas intégrées dans les domaines où siègent des dissipations par auto-échauffement lors de la circulation d'un courant. Nous pouvons également vérifier la distribution du potentiel électrique à travers les différentes couches résistives qui constituent le MOSFET (cf. Figure III-27b).

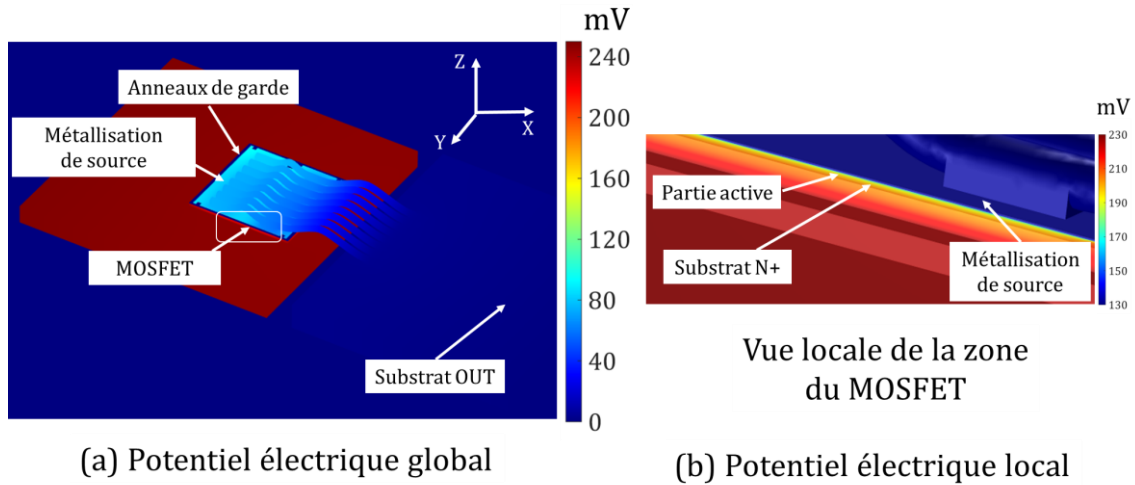


Fig. III-27 : Potentiel électrique au niveau de l'assemblage (a) et de la zone du MOSFET (b)

La distribution du potentiel à la surface de la métallisation est exposée en Figure III-28. Celle-ci est aussi une conséquence de la distribution du courant et de la température que nous venons de présenter. Dans le cas des prises de contact chaudes (du bloc 3), le potentiel au centre de la métallisation est minimal contrairement à celui à son bord où le potentiel est maximal. En effet, leur potentiel dépend principalement de la quantité de courant transporté et de leur résistivité électrique. A noter que cette résistivité évolue suivant la température. Ces fils reçoivent le moins de courant et sont à la température la moins élevée, donc leur résistivité électrique est la plus faible. Nous pouvons ainsi noter que le potentiel aux prises froides (bloc 1) suit la même tendance. Pour le même fil, le potentiel au niveau de la prise froide est plus grand que celui de la prise chaude, puisque le courant est réparti dans la petite boucle avant de se rejoindre au niveau de la prise chaude pour aller à la masse située au substrat OUT (cf. Figure III-23).

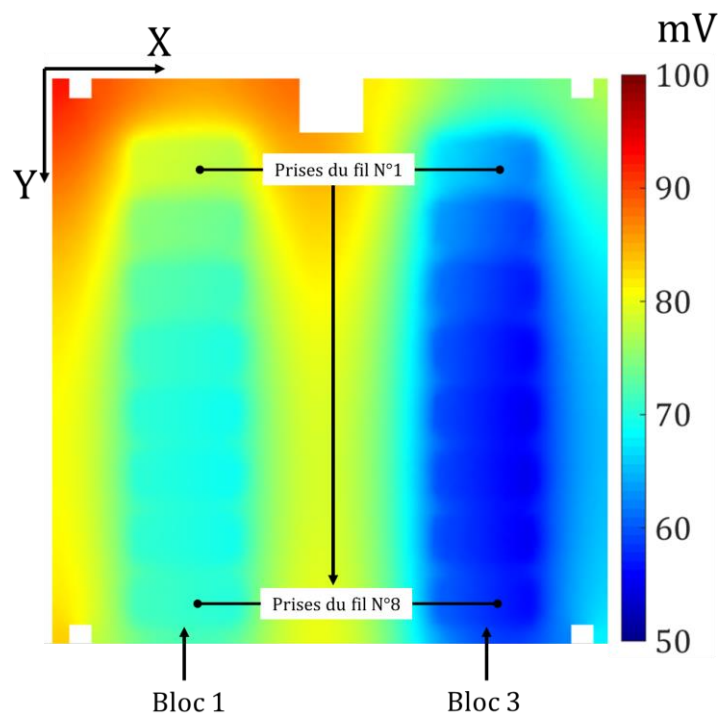


Fig. III-28 : Distribution du potentiel électrique en surface de la métallisation de source

Nous comparons la température globale obtenue avec les deux modèles : sans void et avec void. Dans le modèle possédant un void dans la brasure, un point chaud apparaît au centre de la puce dans la zone à son aplomb, là où la chaleur est plus difficilement évacuée (cf. Figure III-29). Par ailleurs, la température dans la zone restante semble ne pas être affectée (cf. Figure III-30).

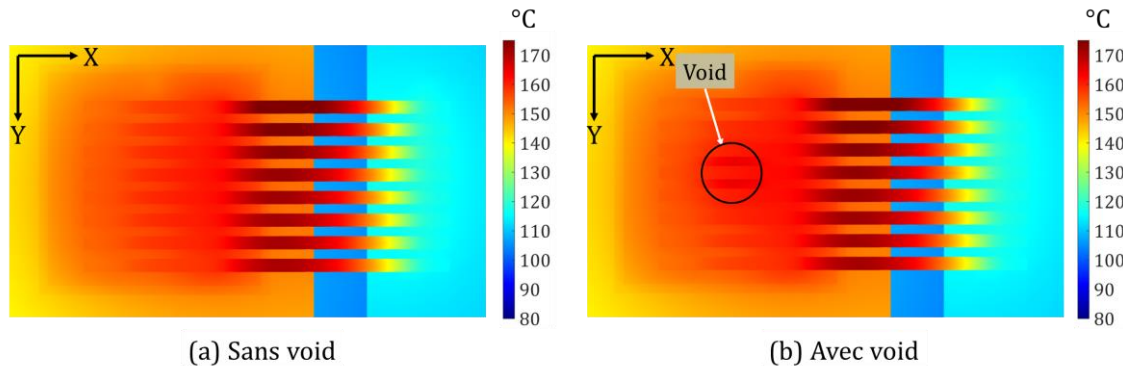


Fig. III-29 : Comparaison entre la température dans la zone du void obtenue avec le modèle sans void (a) et avec void (b)

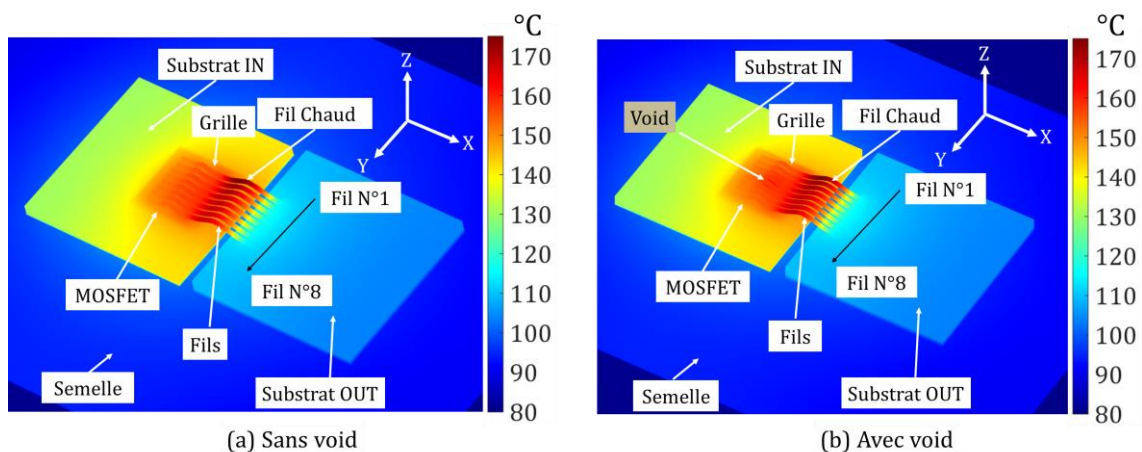


Fig. III-30 : Comparaison entre la température globale obtenue avec le modèle sans void (a) et avec void (b)

Les températures des fils ne sont pas totalement affectées par l'influence locale du void localisé entre les deux rangés des prises de contact. Nous pouvons vérifier cette observation en relevant la température suivant un profil F au milieu de chaque fil comme défini en Figure III-31. La numérotation des fils respecte le sens de la flèche noire de la Figure III-30. Nous relevons alors la température suivant le profil F1 du fil N°1 et celle suivant le profil F3 du fil N°3 dont les prises de contact sont localisées dans l'environnement du void (cf. Figure III-31).

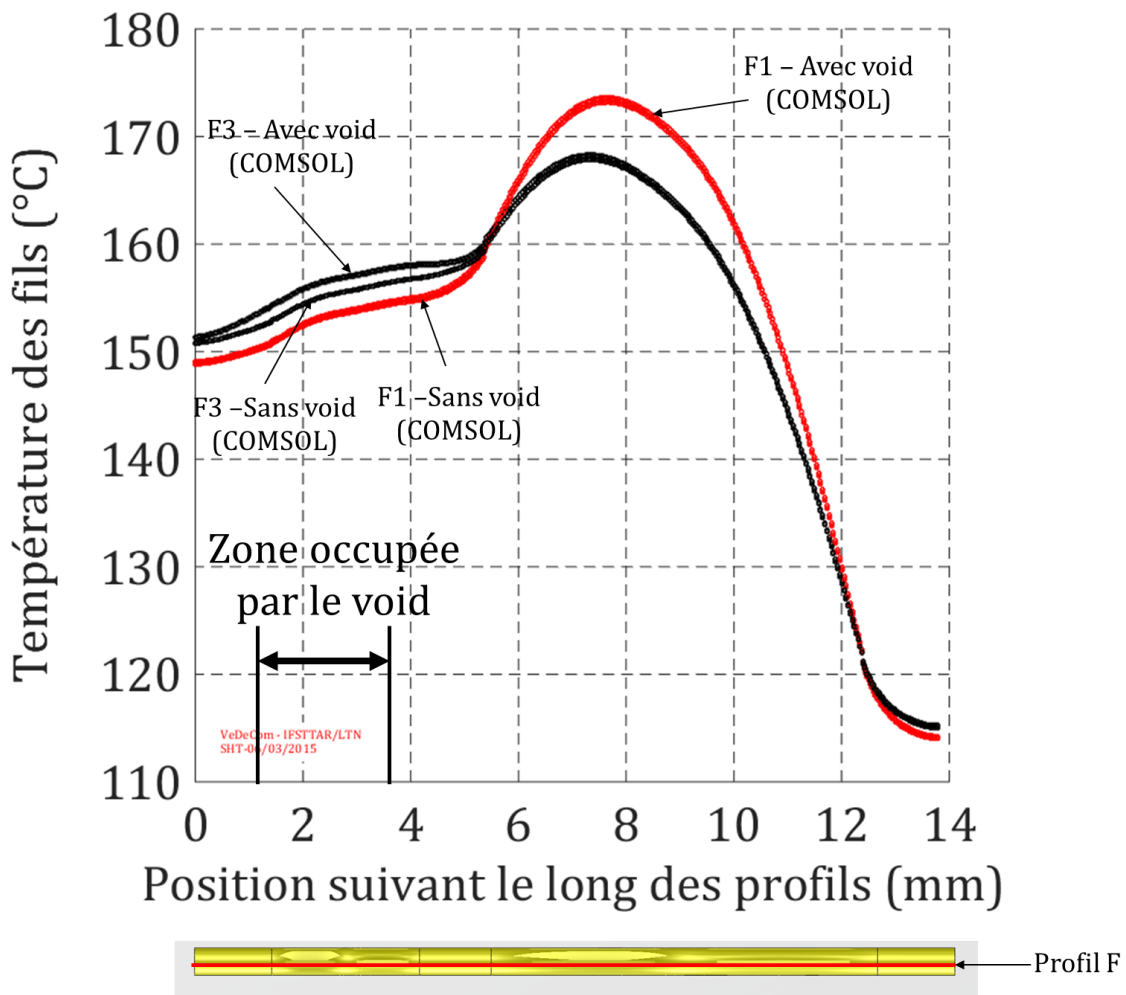


Fig. III-31 : Température des fils suivant le profil F

Les températures suivant le profil F1 obtenues avec les deux modèles sont quasi superposées. En fait, l'emplacement du fil N°1 est suffisamment éloigné de la zone du void pour que ni la température des prises de contact sur la métallisation ni le courant ne soient affectés par la présence du void. Par contre, nous pouvons observer un léger impact du void sur la température dans la petite boucle du fil N°3. Cette perturbation est due à une faible augmentation de la température des prises de contact de ce fil. Le void ne modifie pas de manière significative la distribution du courant dans les fils (cf. Tableau III-6). De ce fait, les températures suivant le profil F3 dans la grande boucle, obtenues avec les deux modèles, sont presque superposées.

Tableau III-6: Impact du void sur la distribution du courant dans les fils

N° de fil	1	2	3	4	5	6	7	8
$\frac{I_{fil}}{I_{total}}$ (%) sans void	13,7	12,9	12,5	12,2	12,1	12,1	12,2	12,5
$\frac{I_{fil}}{I_{total}}$ (%) avec void	13,7	13,0	12,5	12,2	12,1	12,1	12,2	12,5
Taux d'augmentation du courant dans le fil (%)	0,01	0,01	-0,01	-0,02	-0,01	0,01	0,01	0,01
Augmentation du courant dans le fil (mA)	15,7	26,2	-23,5	-40,2	-20,6	11,2	15,3	20,3

Nous cherchons ensuite à évaluer les résultats des modèles dans la zone du void. Nous analysons maintenant une portion de l'assemblage au plus proche de la partie active contenant le substrat IN, la brasure (sans et avec void), la métallisation de drain et le substrat N+. Pour une analyse globale dans cette partie, nous observerons la distribution de la densité de courant (norme) et la direction du courant dans le plan V1 (cf. Figure III-32). Ce plan est défini de telle sorte qu'il soit parallèle avec le plan YZ au travers du centre du void. Le même plan est défini dans le modèle sans void. L'amplitude et le sens des flèches sont définis à partir de la valeur nominale des densités de courant dans l'axe Y et Z.

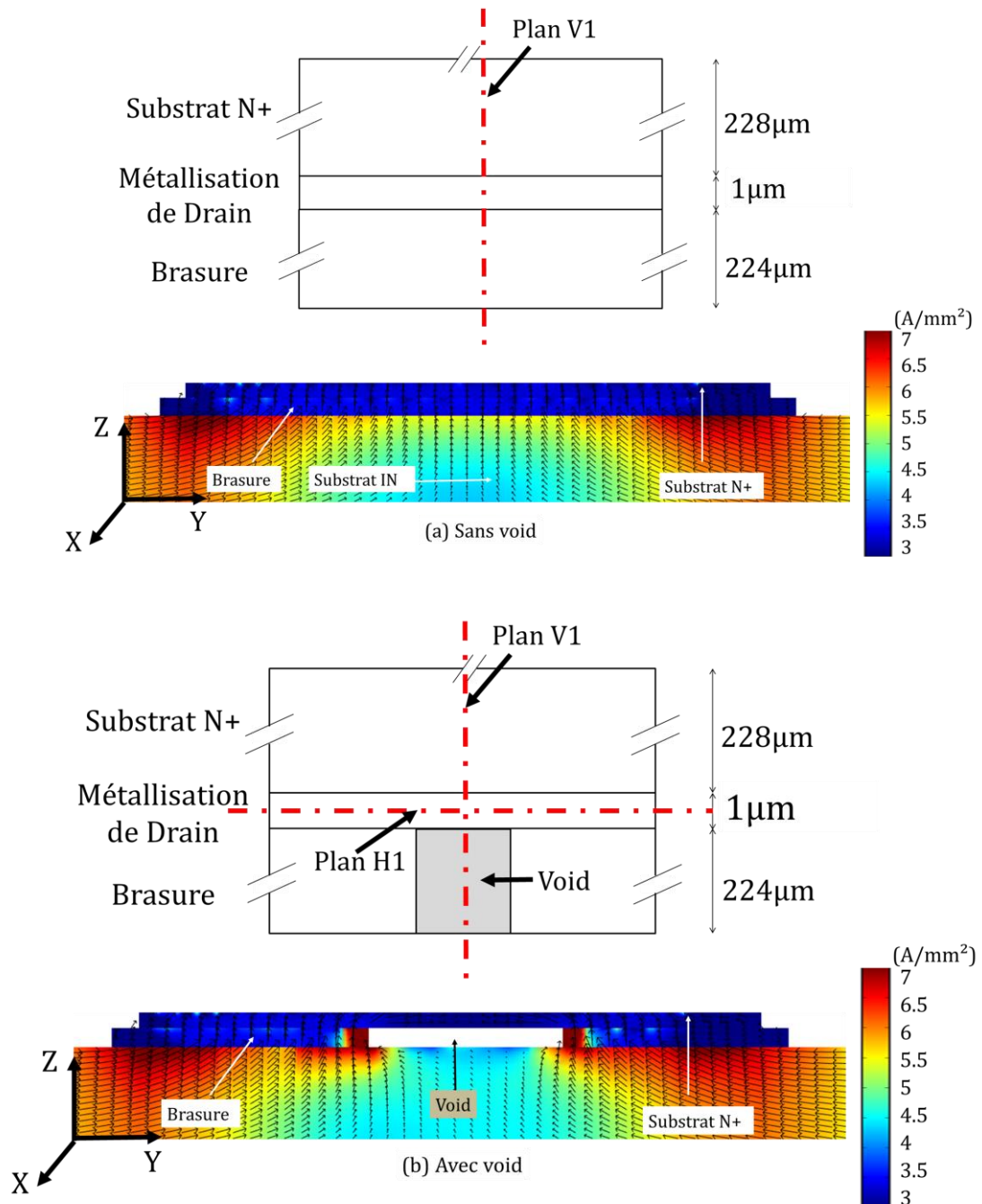


Fig. III-32 : Densité et direction du courant dans le modèle sans void (a) et avec void (b)

La circulation du courant dans la brasure est empêchée par la présence du void. Le courant est redistribué vers les zones latérales dont la résistance électrique est moins importante. Par conséquent, nous observons deux zones de forte densité de courant dans la brasure au voisinage du void. Lorsque le courant quitte la brasure, de résistivité électrique $1,3 \cdot 10^{-7} \Omega \text{m}$, pour pénétrer dans la couche N+ caractérisée par une résistivité nettement moins élevée ($10^{-4} \Omega \text{m}$), il traverse la métallisation de drain d'une résistivité électrique de $1,64 \cdot 10^{-8} \Omega \text{m}$. Le courant tend alors à se redistribuer uniformément dans cette couche.

Afin d'éclaircir le phénomène à ce niveau, nous allons présenter les composantes de la densité de courant en valeur absolue suivant les trois axes X, Y et Z, dans le plan H1 (cf. Figure III-33a). Ce plan est défini de façon à ce qu'il soit parallèle au plan XY, et qu'il traverse la zone au milieu de la métallisation de drain. La composante de l'axe Z (cf. Figure III-33d) est négligeable devant celle de l'axe X (cf. Figure III-33b) et de l'axe Y (cf. Figure III-33c) en raison de la redistribution du courant dans la métallisation de drain à l'aplomb du void. Dans les Figures III-33_{b,c}, nous pouvons explorer les deux zones de forte densité de courant dans le cercle « virtuel », qui est l'image du void dans cette couche. A noter que la valeur de la densité de courant n'est donnée qu'à titre indicatif, car nous sommes dans la zone de singularité. Cependant, la figure permet d'illustrer le phénomène de resserrement du courant au niveau de la métallisation de source. Ce phénomène est cohérent avec les résultats obtenus par Yerman dans le cas du void « chaud » (cf. § I.3.3.1).

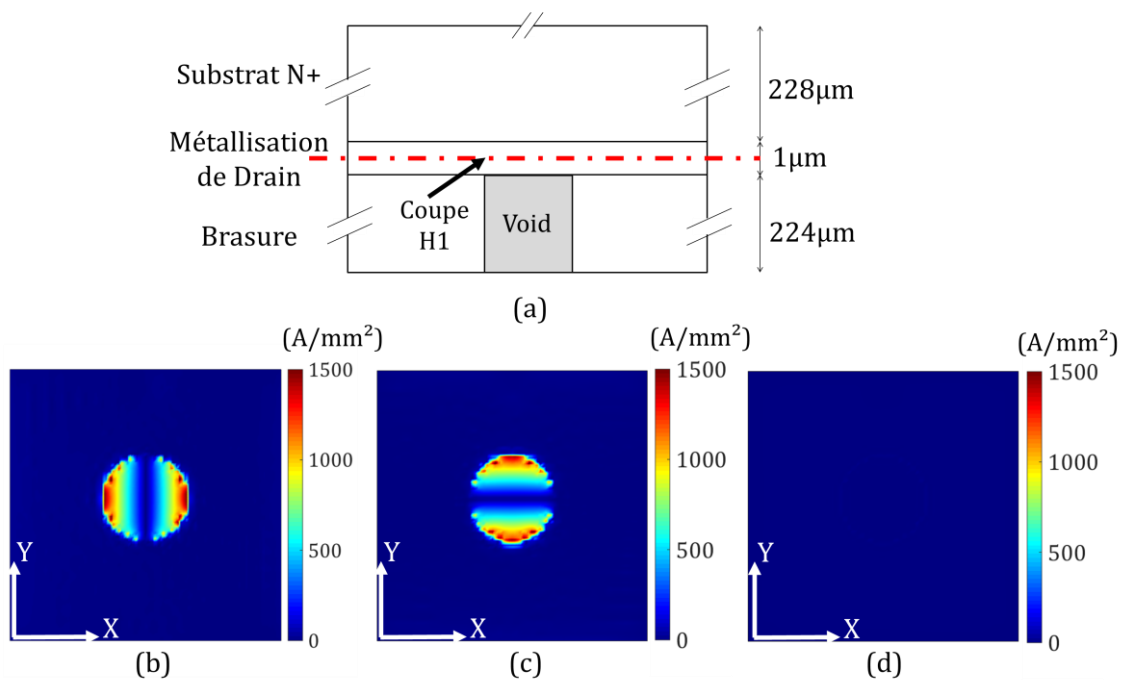


Fig. III-33: Densité de courant dans la métallisation présentée dans le plan H1

La circulation du courant, après avoir franchi la métallisation de drain, est présentée en Figure III-34. Nous choisissons le plan H2, parallèle au plan H1, situé dans la zone du substrat N+, avec une distance de $15,6 \mu\text{m}$ pour être éloigné de la zone de singularité à l'interface substrat N+/partie active du MOSFET (cf. Figure III-34a). Après la tentative de resserrement dans le plan XY de la métallisation de drain, lorsque le courant entre dans la zone du substrat N+ du MOSFET, bonne conductrice électrique, le courant est prédominant dans l'axe Z (cf. Figure III-34d) pour rejoindre au plus vite les prises de contact à la métallisation de source. La composante de l'axe X (cf. Figure III-34b) et celle de l'axe Y (cf. Figure III-34c) deviennent minoritaires. Nous constatons ainsi que

la densité de courant est plus homogène dans le plan H2 que dans le plan H1, et que la zone de perturbation est considérablement moins visible.

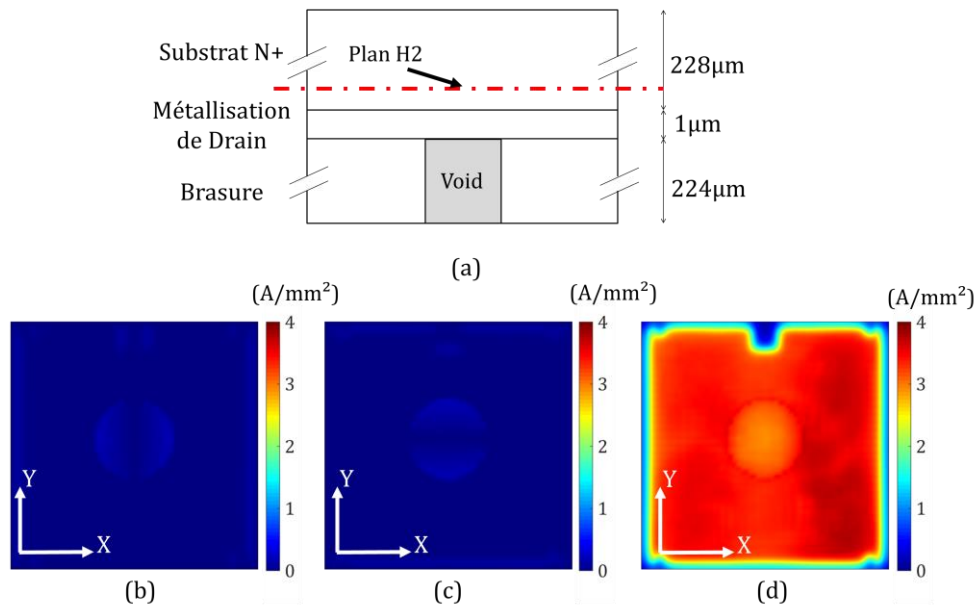


Fig. III-34: Densité de courant dans le substrat N+ du MOSFET présentée dans le plan H2 obtenue avec le modèle avec void

Le même plan est défini pour relever la densité de courant dans le modèle sans void. Une comparaison entre la norme de la densité de courant dans le plan H2 calculée avec le modèle sans void et celle avec le modèle avec void est présentée en Figure III-35. La densité de courant dans la zone à l'aplomb du void est légèrement plus faible que celle située dans la même zone dans le modèle sans void. Cet écart est compensé par une faible augmentation de densité de courant dans la zone au voisinage du void par rapport au modèle sans void. Nous pouvons justifier l'observation précédente par le fait que l'impact du void sur la redistribution du courant est majoritairement présent au niveau de la couche de la métallisation de drain et de la brasure. La présence du void n'a pas d'effet significatif sur la distribution du courant dans le MOSFET et dans les fils. L'impact du void semble s'expliquer principalement à travers l'aspect thermique avec la modification du flux thermique et non par les lignes de courant dans la partie active du composant MOSFET.

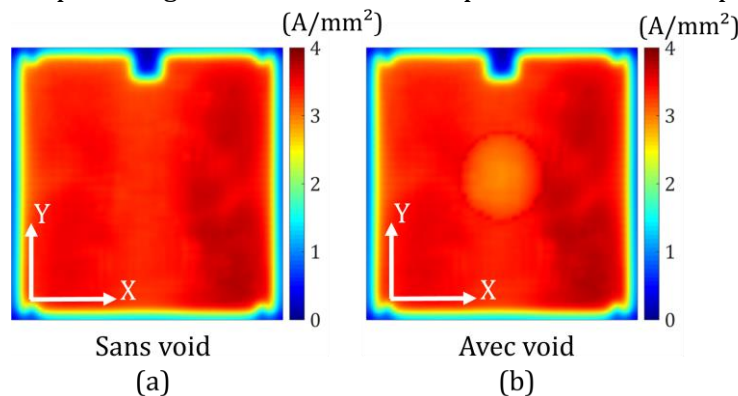


Fig. III-35 : Densité de courant (norme) calculée à partir du modèle sans void (a) et avec void (b)

Conclusion du Chapitre III

Nous avons construit deux modèles dont l'un correspondant à l'assemblage sain et l'autre représentatif de l'assemblage « avec void ». Leur géométrie a été importée à partir des assemblages conçus sur SolidWorks. Dans cette géométrie, le MOSFET est discrétisé en quatre domaines dont deux correspondent à des zones de dissipation volumique principales. La première partie correspond à la partie active dont la résistivité électrique est évaluée par une loi linéaire en fonction de la température. La seconde partie correspond à une zone fortement dopée ayant une résistivité constante en fonction de la température. Les lois de résistivité électrique de la partie active et des fils caractérisent les couplages électrothermiques que nous souhaitons prendre en compte dans les modèles. Celles-ci sont issues des caractérisations $I(V, T_j)$ des MOSFETs. Nous avons également évalué leur dispersion pour s'assurer de la reproductivité des prototypes. Le maillage a été optimisé pour s'adapter à l'étude numérique paramétrique. Les conditions aux limites sont aussi définies pour représenter de façon plus réaliste les conditions des essais expérimentaux en régime établi de conduction. Le solveur direct est sélectionné pour sa performance lors de la résolution du problème multi-physique de cette étude.

La prise en compte des couplages électrothermiques a été vérifiée dans les modèles. Nous avons observé une distribution de la température et du courant non homogène dans le MOSFET et dans les fils de puissance. Le modèle avec void a permis de mettre en évidence l'effet thermique et électrique du void unique. Les résultats de simulation ont montré que l'effet du void sur la distribution du courant dans le MOSFET et dans les fils n'était pas significatif. En revanche, son effet thermique est important. Il a été aussi constaté que le void n'affecte que la température du MOSFET et des fils dans la zone située à l'aplomb du void. De même, nous avons souligné la forte influence de l'épaisseur de la métallisation de drain du MOSFET sur la redistribution du courant dans les parties situées au-dessus de la brasure, donc sur l'effet électrique et thermique.

Les modèles sans et avec void seront validés par la confrontation entre les résultats de simulation et ceux issus des essais expérimentaux. Une fois validés, ils seront utilisés pour l'étude numérique paramétrique pour évaluer l'impact du void que nous allons présenter au **Chapitre IV**.

Chapitre IV: Campagne expérimentale – Validation des modèles par éléments finis

Dans ce chapitre, nous allons proposer une évaluation du modèle à partir d'une comparaison avec les résultats obtenus à l'aide d'une campagne expérimentale. Cette validation comprendra deux parties : l'une correspondant au modèle numérique d'un assemblage sans void et l'autre représentative du modèle avec void. Dans le premier cas, les mesures thermiques et électriques seront effectuées sur un module de référence ayant un taux de void négligeable bien inférieur à 1%. Dans le second cas, ces mesures seront réalisées sur des modules possédant un void unique au sein de la brasure. Afin de juger de la robustesse du modèle vis-à-vis de la position du void, nous choisirons trois modules ayant un void de diamètre 2,5mm, correspondant à un taux de void de 7,7%, mais dont le positionnement diffère pour chacun d'eux. La campagne expérimentale sera réalisée en régime de conduction établie pour un courant de 200A. Ce niveau de courant est choisi pour être représentatif d'un régime de fonctionnement critique.

IV.1. Méthodologie de mesure en dissipation

IV.1.1. Usage du banc de test en dissipation

Nous reprenons le banc de test utilisé pour les caractérisations $I(V, T_j)$ afin de réaliser la campagne expérimentale en régime de conduction établie, mais en tenant compte des modifications suivantes :

- La température de la boîte faisant office de refroidisseur est maintenue à 80°C à l'aide du thermorégulateur Julabo LH85. Cette température est choisie afin d'être représentative de l'environnement dans lequel les convertisseurs fonctionnent pour les applications automobiles ;
- Le courant de puissance circule en permanence dans le DUT jusqu'à ce que l'équilibre thermique soit atteint. Pour les essais en dissipation, le courant est de 200A, permettant d'atteindre pour le composant MOSFET une température proche de sa limite de fonctionnement. Le temps pour que l'assemblage atteigne son équilibre thermique est d'environ dix minutes ;
- Une plaque céramique est mise en place temporairement devant la caméra, permettant une correction des mesures infrarouges. Cette méthode est présentée en Annexe 13 ;
- Une bague, avec un facteur de zoom de deux, est installée devant l'optique de la caméra afin de recueillir l'ensemble des mesures thermiques du composant MOSFET et de son environnement proche dont les fils de bonding de puissance ;
- La mesure du courant de puissance sera réalisée avec un shunt résistif aselphique WSM 400 (LEMSYS) dont la bande passante est de 1,5MHz, le niveau de courant continu admissible est de 400A et la précision de la résistance est strictement inférieure à 0,5%.

Lorsque la température dans la boîte dissipatrice atteint la température de consigne du thermorégulateur Julabo, le courant continu de 200A est injecté dans le DUT jusqu'à l'obtention de l'équilibre thermique au niveau de l'assemblage. La Figure IV-1 définit les profils ainsi que les points aux différents endroits de l'assemblage où nous souhaitons relever l'évolution de la température lors de l'injection du courant. Lorsque le système a atteint son équilibre thermique, nous enregistrons des données mesurées via une routine développée sous Labview.

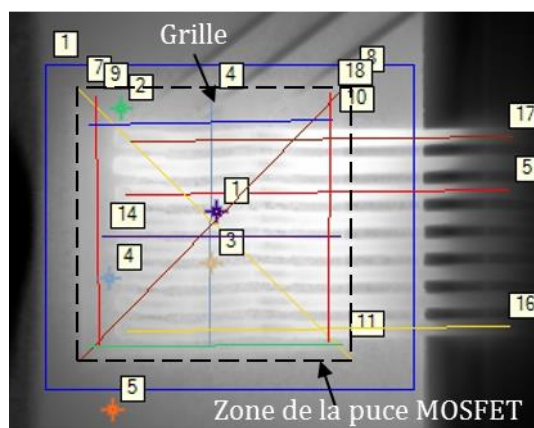


Fig. IV-1 : Evaluation de la température de l'assemblage par une mesure infrarouge.

IV.1.2. Technique de mesure avec caméra infrarouge

La mesure thermique avec la caméra IR est basée sur la mesure de la quantité de rayonnement. Afin de s'assurer de la maîtrise de l'émissivité, un dépôt de peinture est appliqué sur le module pour que ce dernier possède une émissivité homogène et proche de l'unité. Comme présenté au § III.2.2, nous avons mis en place un procédé pour déposer un film de peinture sur les modules, celui-ci devant être fin et uniforme. La peinture utilisée est de type Pyromark 1200. Celle-ci étant thermiquement isolante, une couche trop épaisse risquerait d'avoir une résistance thermique significative, ce qui pourrait perturber la mesure thermique. Le procédé du dépôt de peinture et son optimisation sont détaillés en Annexe 9. L'uniformité de la couche déposée se caractérise par une épaisseur moyenne de $5\mu\text{m}$ avec un écart-type de 16%.

La mesure thermique est effectuée à l'aide de la caméra IR CEP-FLIR, dont la résolution est de $30\mu\text{m}$ et la précision de mesure de la température de $\pm 1\%$. Le module peint est considéré comme un corps gris dont l'émissivité est proche de l'unité. L'émissivité de la peinture est de 0,93. Cette valeur est issue d'une campagne de mesure effectuée au sein du laboratoire LNE (Laboratoire National de métrologie et d'Essais) [172]. Il est à noter que l'émissivité reste constante pour une plage de longueur d'onde correspondant au fonctionnement de la caméra IR (entre $1,5$ et $5,1\mu\text{m}$). Le principe de mesure par thermographie infrarouge est explicité en Annexe 13.

IV.2. Validation des modèles par confrontation expérimentale

La validation des modèles consiste à confronter les résultats numériques avec ceux issus des campagnes expérimentales. Cette validation, basée sur la comparaison des grandeurs électriques et thermiques, est effectuée sur les modules sans void et avec void.

Comme présenté au § II.3.3, les modules n'ont pas les mêmes paramètres techniques dus à la non-reproductivité de leur réalisation. Les facteurs techniques ($E_v; k_1; k_2$) sont différents pour chaque module. Le facteur E_v dans les modèles est issu de l'estimation de l'épaisseur totale de la brasure et de la puce MOSFET à l'aide du profilomètre. Toutefois, nous ne pouvons pas renseigner directement les facteurs k_1 et k_2 puisqu'ils ne sont pas mesurés. Afin de les quantifier correctement, nous devons faire appel à des températures mesurées en différents endroits de l'assemblage (cf. Figure IV-2). Nous supposons que le flux thermique transporté dans la partie de l'assemblage située en dessous du composant MOSFET provient uniquement de son auto-

échauffement. Le flux provenant de l'auto-échauffement des fils est supposé négligeable dans cette branche.

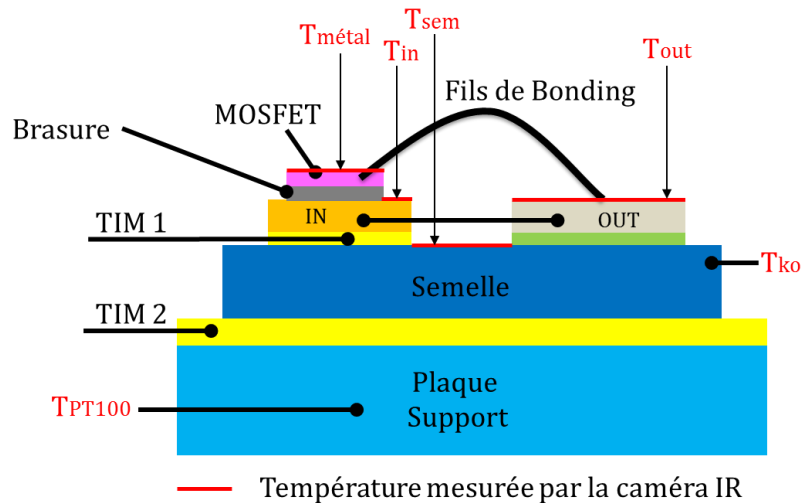


Fig. IV-2 : Mesures de température disponibles sur l'assemblage.

Nous pouvons accéder aux températures ci-dessous pour estimer le couple (k_1, k_2) :

- Cartographie de la température de la métallisation du MOSFET ($T_{m\acute{e}tal}$), hormis les zones cachées par les prises de contact des fils de bonding (mesurée par la caméra IR) ;
- Cartographie de la température de la face supérieure du substrat IN (T_{in}), hormis la zone située en dessous de la brasure (mesurée par la caméra IR). Nous n'utiliserons que la température en un point, au plus près du bord de la brasure, pour l'estimation du facteur k_1 ;
- Cartographie de la température de la face supérieure du substrat OUT (T_{out}), hormis les zones cachées par les prises de contact des fils de bonding (mesurée par la caméra IR) ;
- Cartographie de la température à la surface des fils (T_{fils}) (mesurée par la caméra IR) ;
- Température en un point de la semelle (T_{sem}), dans la zone située entre les deux substrats. Ce point est choisi au plus près de l'interface TIM1 et du point que nous avons pris pour le relevé de la température T_{in} ;
- Température située dans un angle, à la surface de la semelle (mesurée par thermocouple ouvert) ;
- Température en un point de la plaque de support (T_{PT100}), située à l'aplomb du MOSFET (mesurée par la sonde PT100).

Les températures $T_{m\acute{e}tal}$, T_{in} et T_{fils} sont sous l'influence de deux barrières thermiques créées par les interfaces TIM1 et TIM2. Les températures T_{sem} et T_{out} quant à elles, ne subissent que la barrière thermique TIM2. Une partie minoritaire du flux thermique provenant des fils de bonding, va traverser le substrat OUT et la barrière thermique TIM2 avant d'atteindre le système de refroidissement. Par conséquent, l'impact du facteur k_1 porte principalement sur la partie de l'assemblage située au-dessus de l'interface TIM1. Son influence est moins significative sur les températures T_{sem} et T_{out} . Le facteur k_2 impacte sur toute la partie située au-dessus de l'interface TIM2. Il est évalué à partir de la température située à la surface supérieure de la semelle mesurée par la caméra IR, de celle relevée dans la plaque support mesurée par la sonde PT100, et de celle

localisée dans un angle de la semelle mesurée par un thermocouple ouvert (cf. § III.2.1). Pour la même valeur de k_1 , une valeur de k_2 plus importante va conduire à une température plus élevée au niveau de la semelle et l'effet est visible sur tout l'assemblage située au-dessus de l'interface TIM2.

Afin d'estimer les facteurs k_1 , et k_2 , nous construisons un modèle thermique simplifié qui est présenté à travers le schéma de la Figure IV-3 où chaque résistance thermique comprend les résistances thermiques de contact :

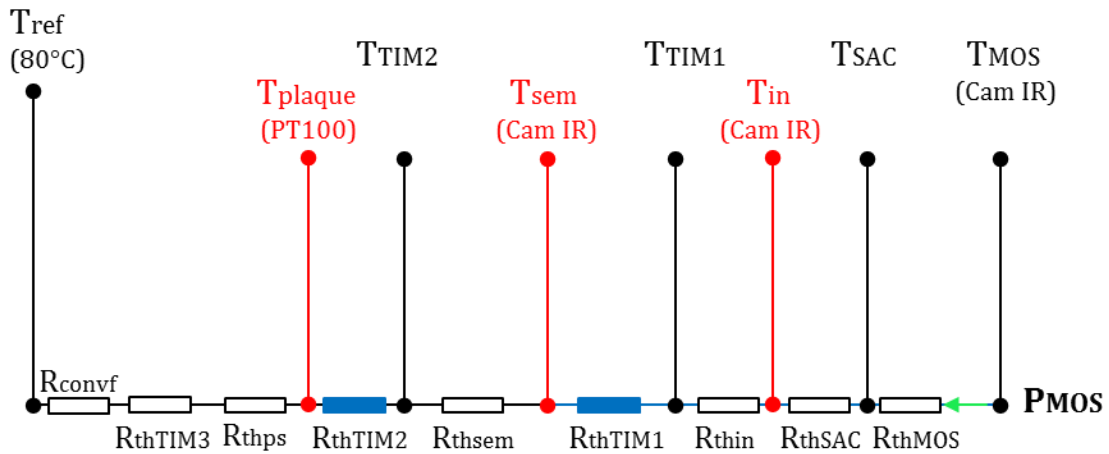


Fig. IV-3 : Réseau thermique simplifié en régime établi.

Le réseau thermique en régime établi inclut les résistances thermiques ci-après :

- La résistance thermique du MOSFET dans son ensemble R_{thMOS} (incluant la métallisation, la partie active, la zone N+ et le dépôt d'alliage à base d'argent) ;
- La résistance thermique de la brasure R_{thSAC} ;
- La résistance thermique du substrat IN R_{thin} ;
- La résistance thermique de l'interface TIM1 R_{thTIM1} ;
- La résistance thermique de la semelle R_{thsem} ;
- La résistance thermique de l'interface TIM2 R_{thTIM2} ;
- La résistance thermique de la plaque de support R_{thps} ;
- La résistance thermique de l'interface TIM3 R_{thTIM3} ;
- La résistance représentative de la convection forcée de l'huile R_{convf} .

Sachant que les résistances R_{thin} et R_{thsem} sont négligeables à cause de la bonne conductivité thermique du cuivre et de l'aluminium, nous pouvons donc estimer les valeurs des résistances thermiques des interfaces TIM1 et TIM2 à partir des équations ci-dessous :

$$R_{thTIM1} = \frac{T_{MOS} - T_{sem}}{P_{MOS}} \quad (IV-1)$$

$$R_{thTIM2} = \frac{T_{sem} - T_{PT100}}{P_{MOS}} \quad (IV-2)$$

Nous pouvons en déduire les facteurs k_1 et k_2 en nous appuyant sur l'équation II-19 présentée au § II.3.4:

$$k_i = \frac{\lambda_{oi} \times L_i \times W_i}{R_{thTIMi} \times H_i} \quad (IV-3)$$

Où i indique l'indice de l'interface respectivement de 1 et 2 pour TIM1 et TIM2.

Nous pouvons observer l'impact de k_1 et k_2 sur la température des modules N°46 et N°47 (cf. Figure IV-4). Leur température maximale, correspondant à celle dans les fils de bonding, est à peu près du même ordre de grandeur (180°C).

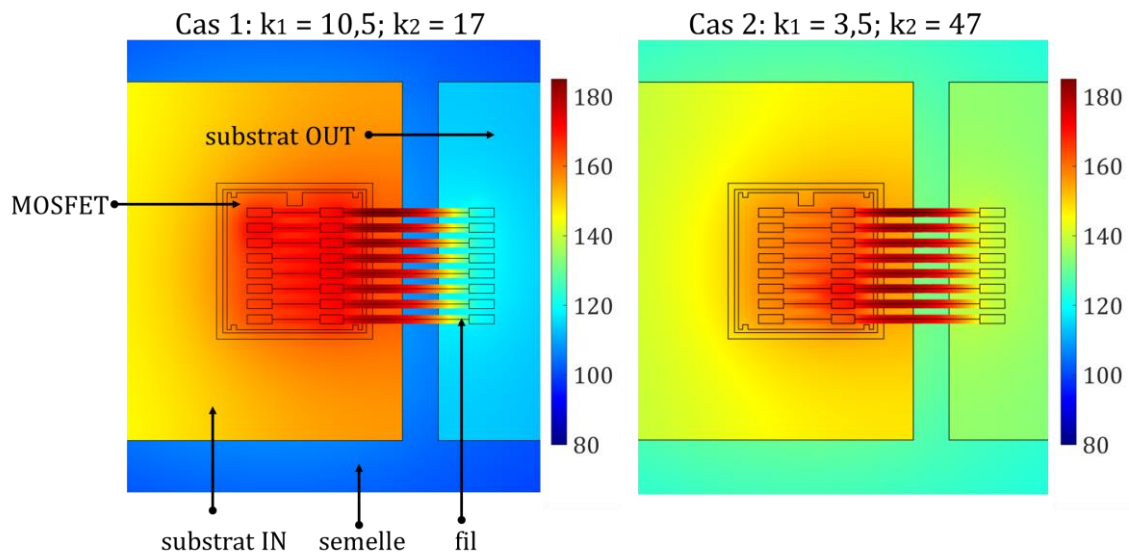


Fig. IV-4 : Evaluation numérique de l'impact des interfaces TIM1 et TIM2 sur la température de l'assemblage

Nous pouvons remarquer que dans le premier cas, les températures $T_{m\acute{e}tal}$ et T_{in} sont plus élevées, du fait de la plus grande dégradation de l'interface TIM1. Cette dégradation est représentée par le facteur k_1 (10,5) dont la valeur est plus importante que dans le deuxième cas (3,5). En revanche, les températures T_{sem} et T_{out} sont inférieures en raison de la faible valeur du facteur k_2 (17) comparée à celle du second cas (47). Les températures mesurées en différents points de l'assemblage permettent de renseigner les facteurs k_1 et k_2 dans le modèle.

IV.2.1. Validation du modèle sans void

Nous allons comparer les résultats observés par simulation avec ceux obtenus expérimentalement pour un assemblage sain. Pour le volet expérimental, nous avons choisi un module de référence (module N°2) dont le taux de void dans la brasure est négligeable (inférieur à 1%). Nous supposons que ce taux de void est suffisamment faible pour ne pas avoir d'impact sur le comportement de l'assemblage. Le choix du couple (k_1, k_2) est réalisé suivant le principe présenté précédemment qui nous amène à choisir la valeur de (9, 24). L'épaisseur de la brasure estimée de 224 μ m sera renseignée dans le modèle. La confrontation se compose de deux parties : confrontation des grandeurs électriques et des grandeurs thermiques.

IV.2.1.1. Confrontation électrique

Comme présenté au § III.2.1, nous avons réalisé les connexions électriques de la commande et de la mesure du MOSFET. Celles-ci permettent de relever les chutes de tension V_{ds1} , V_{ds2} au niveau du composant et V_{fils} au niveau des fils. Ces tensions sont comparées avec celles données par la simulation (cf. Tableau IV-1). Le potentiel électrique au niveau du drain (D), c'est-à-dire à l'entrée du courant, est égal à 246mV. Le potentiel au point S_3 , sous les fils de bonding du côté du substrat OUT, c'est-à-dire à la sortie du courant, est de 3mV. La distribution du potentiel à la surface de la métallisation, entourée par les anneaux de garde, est présentée en Figure IV-5.

Tableau IV-1 : Relevé des chutes de tension dans le MOSFET et dans les fils par mesures électriques et par simulation à 200A

	$V_{ds1}(mV)$	$V_{ds2}(mV)$	$V_{fils}(mV)$
Mesure électrique	171	183	80
Simulation COMSOL	163	174	72
Ecart	5%	5%	11%

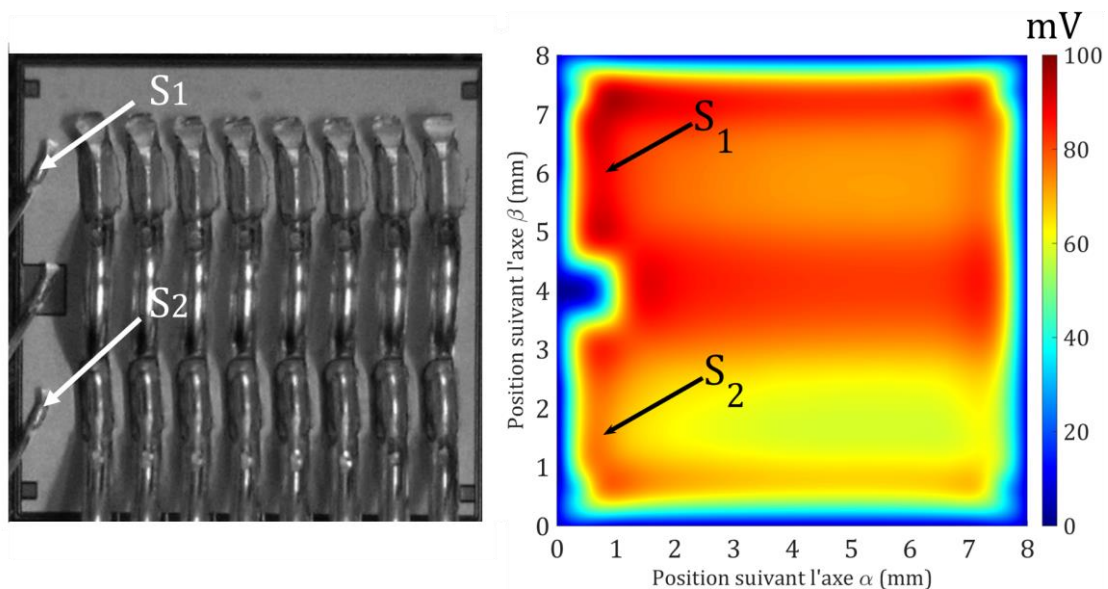


Fig. IV-5 : Distribution du potentiel électrique (mV) à la surface de la métallisation

Les écarts des chutes de tension V_{ds1} , V_{ds2} , V_{s2s3} mesurées par rapport à celles simulées sont respectivement de 5%, 5% et 11%. Ces écarts pourraient provenir des simplifications suivantes :

- Dispersion des caractéristiques $I(V, T_j)$ des modules. Il faut rappeler que nous avons choisi les caractéristiques du module N°45 pour renseigner l'ensemble des modèles numériques (cf. § III.2.2). Or, la résistance à l'état passant du module N°2 est d'environ 7% supérieure à celle du module N°45 pour les mêmes températures. C'est la raison principale pouvant expliquer que la chute de tension obtenue par la simulation est inférieure de 5% à celle mesurée. De la même manière, nous pouvons expliquer l'écart de la chute de tension dans les fils par celui issu de la différence de leur loi de résistivité. Ces écarts deviennent beaucoup plus faibles dans le cas des modules N°45, N°46 et N°47 que nous allons présenter au prochain paragraphe ;
- Erreur due à la linéarisation pendant l'extraction des lois reliant la résistivité de la partie active du MOSFET et des fils à la température ;

- Simplifications du modèle, qui ne permettent pas de prendre en compte les phénomènes complexes à l'échelle cellulaire ;
- Problèmes thermiques au niveau des fils de commande et de mesure, qui refroidissent localement la métallisation.

Malgré tout, ces écarts ne sont pas très importants. Les chutes de tension obtenues par voie numérique montrent un bon accord avec celles évaluées expérimentalement.

IV.2.1.2. Confrontation thermique

Nous allons évaluer la pertinence du modèle vis-à-vis de la réponse thermique en le comparant avec les mesures obtenues avec la caméra IR. Nous observons dans un premier temps la distribution de la température du module N°2 obtenue avec l'outil numérique et la mesure infrarouge (Figure IV-6a,b). Un cadre noir en pointillé précise la localisation de la partie active et de la brasure associée. A noter que trois défauts sont présents sur le module correspondant à des endommagements de la peinture. L'émissivité dans les zones des défauts est nettement dégradée. L'intégrité de la brasure est évaluée avec une analyse par rayons X (RX) (Figure IV-6c).

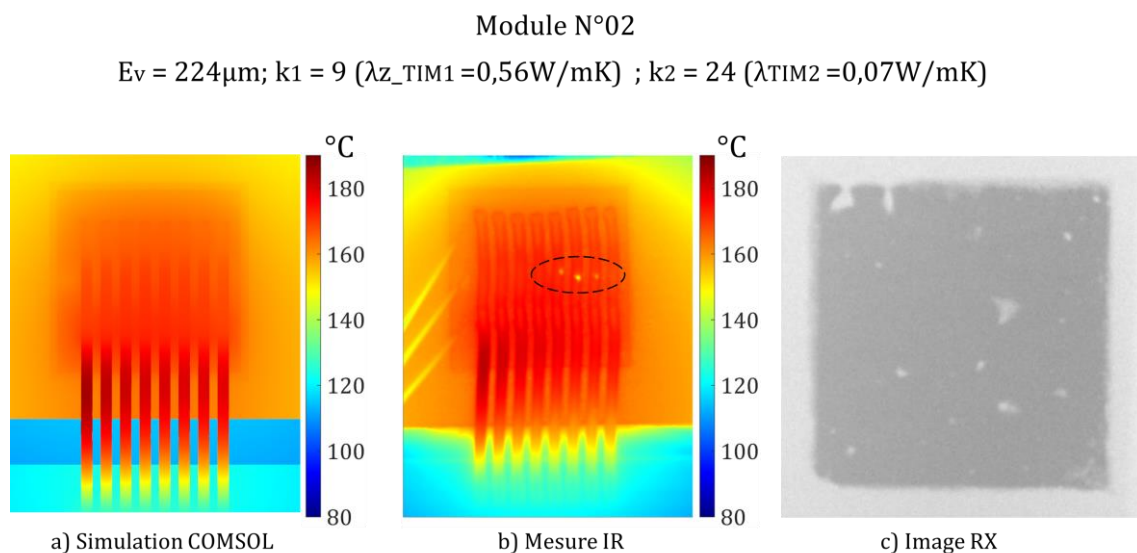


Fig. IV-6 : Température globale de l'assemblage (°C) obtenue par simulation (a) et mesure IR (b) avec le module N°2 dont l'analyse RX est montrée en (c)

D'un point de vue qualitatif, nous obtenons une bonne concordance de la distribution de la température obtenue par la simulation avec celle donnée par la mesure IR. Nous retrouvons l'observation faite au § III.3 avec une température du fil situé au plus près de la grille qui est la plus élevée (Fil N1) et la température maximale dans les fils décroît pour les fils qui en sont le plus éloignés. Nous pouvons vérifier cette observation de manière qualitative en évaluant la température suivant les profils passant au milieu des fils. Vu le grand nombre de fils, seuls les profils des fils les plus chauds F1 et F2 sont présentés (cf. Figure IV-7). La température de tous les profils est détaillée en Annexe 14. Nous gardons cette numérotation des fils de bonding pour tout le reste du document. Les températures mesurées par la caméra IR sont relevées pour ces deux profils F1 et F2 (cf. Figure IV-8) puis comparées avec celles évaluées par le modèle.

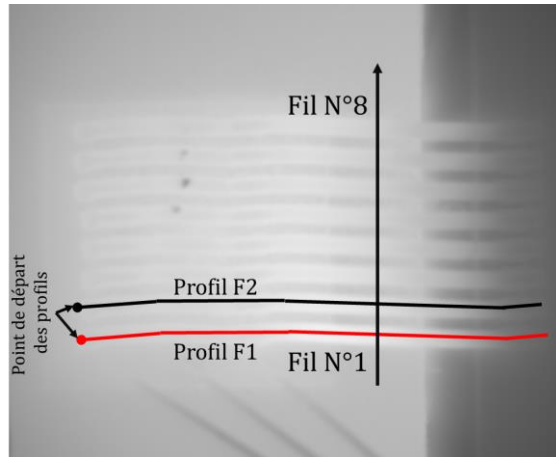


Fig. IV-7 : Définition des profils F1 et F2 et de la numérotation des fils

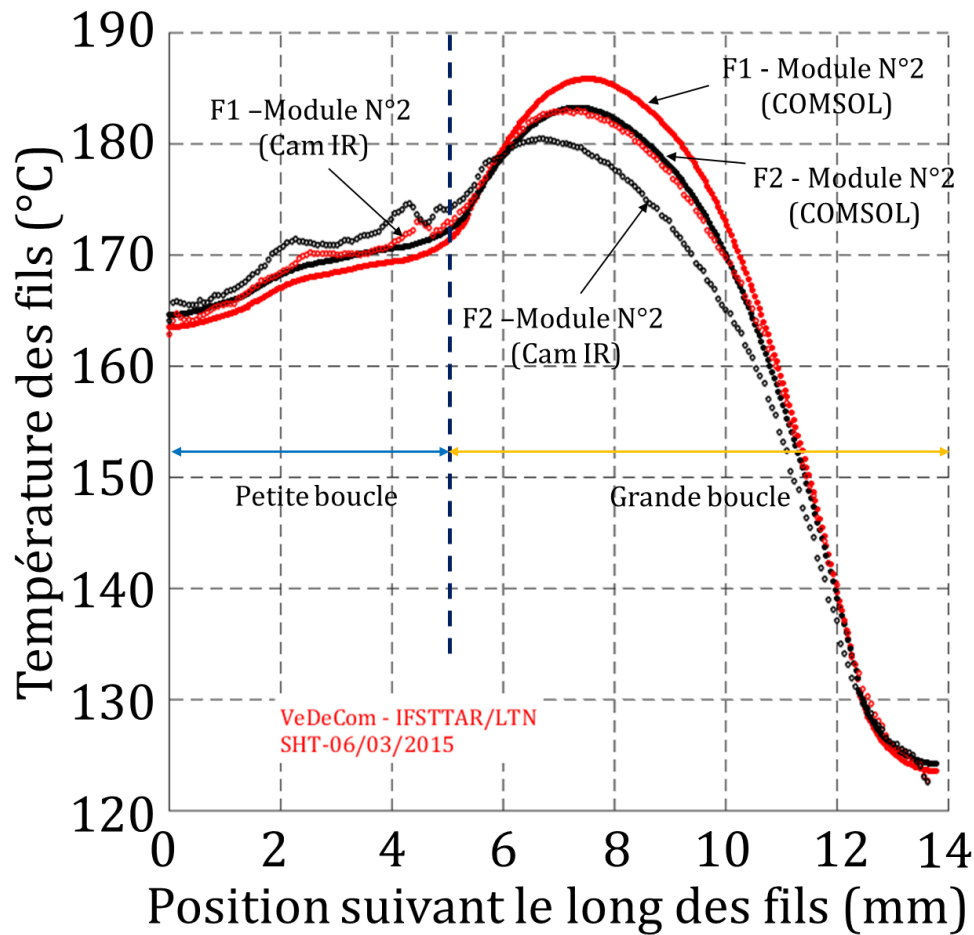


Fig. IV-8 : Comparaison de la température des fils N°1 et N°2 suivant les profils F1 et F2 entre les mesures et la simulation.

Les allures des courbes simulées et celles mesurées sont quasi identiques malgré un léger décalage de l'amplitude et de la localisation des températures maximales, surtout pour la grande boucle. Le décalage en amplitude, de l'ordre de 5°C, n'est pas significatif pour des températures qui sont évaluées autour de 180°C. Il peut provenir d'une erreur dans l'estimation des propriétés physiques (résistivité électrique et conductivité thermique des fils), mais aussi de la distribution

du courant passant dans chaque fil et l'erreur de la caméra infrarouge. Malheureusement, il nous est actuellement impossible de mesurer le courant dans chacun des fils. Cependant, nous pouvons quand même l'évaluer à l'aide du modèle, à partir du calcul de la densité de courant des fils, avec la méthode utilisée au **Chapitre III**. La distribution du courant total dans chacun des fils est présentée dans le tableau ci-après qui respecte la numérotation des fils telle que présentée en Figure IV-7.

Tableau IV-2 : Estimation de la distribution des niveaux de courant dans les fils par simulation

N° du fil	1	2	3	4	5	6	7	8
Courant(A)	27,5	25,9	25,1	24,5	24,3	24,2	24,4	25,0

La distribution du courant total dans chacun des fils est exposée en Figure IV-9. Elle s'exprime par le rapport du courant circulant dans chaque fil sur le courant total (200A). Ces valeurs obtenues par simulation permettent de rendre compte d'une tendance quant à la distribution du courant dans les fils en régime de conduction. Les résultats nous indiquent que le courant circulant dans le fil N°1 serait plus grand que celui circulant dans le fil N°2.

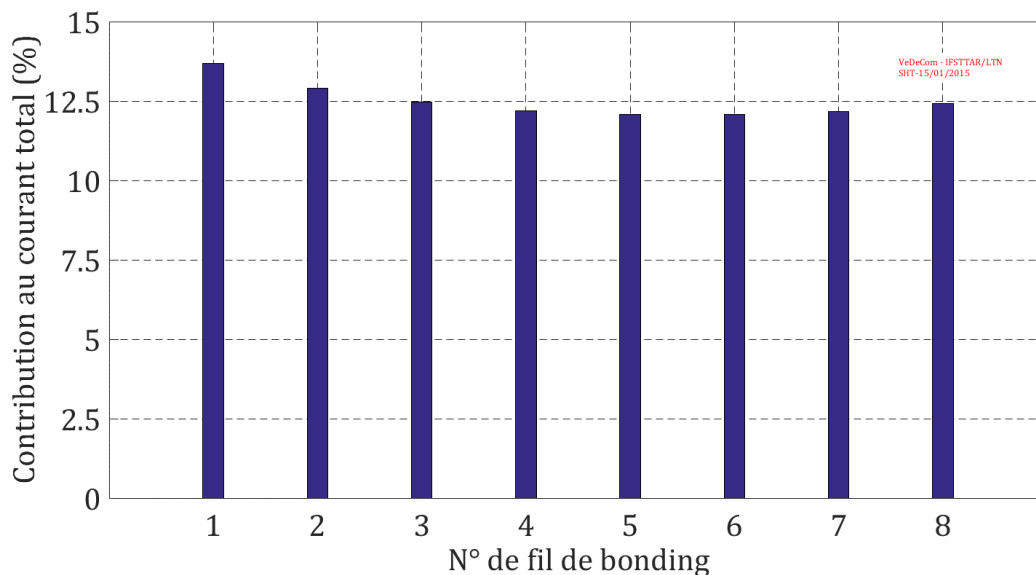


Fig. IV-9 : Evaluation numérique de la distribution du courant total (200A) dans chacun des fils de bonding

Nous pouvons aussi étudier la cartographie de la température sur la métallisation. Il est à remarquer que la mesure infrarouge ne permet pas accéder à tous les points de la métallisation en partie cachée par les fils de bonding (Figure IV-10a). Certains pixels étant près du bord des fils, ces derniers ne sont pas exploitables (Figure IV-10b). Ce phénomène vient de la géométrie des fils. En fait, au bord des fils, la direction du flux n'est plus dans le plan normal à la surface de la métallisation due à la courbure des fils. La quantité de flux transmis au capteur est modifiée, entraînant donc à cet endroit une erreur de mesure. Pour récupérer les informations utiles de température au niveau de la face supérieure de la puce MOSFET (la métallisation de source et la partie inactive), nous créons des masques (Figure IV-10c) afin de nous éviter la prise en compte de ces mesures de température aux abords des fils.

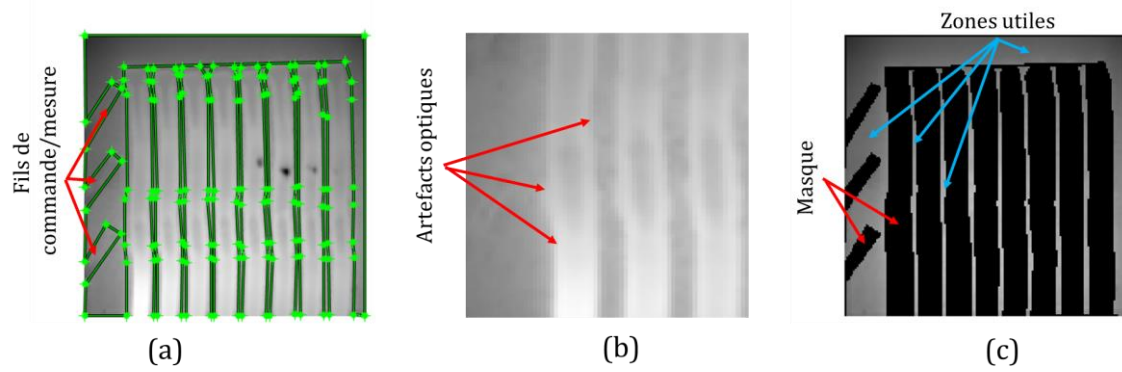


Fig. IV-10 : Masques (a), artefacts optiques (b) et zone utile (hors de la zone noire) (c)

Il est à noter qu'au niveau des prises de contact, la température mesurée par la caméra IR sur les fils est plus faible que celle de la métallisation. Ceci provient de la convection de l'air qui refroidit légèrement la surface haute. D'ailleurs, si cette surface était adiabatique, il n'y aurait pas de différence de température entre les deux points. Dans notre cas, puisque la convection naturelle et la distance entre deux points sont très faibles, l'écart de température est négligeable. C'est pourquoi nous ne prenons que les pixels au centre de la prise de contact (cf. Figure IV-11 – Points dans les cercles).

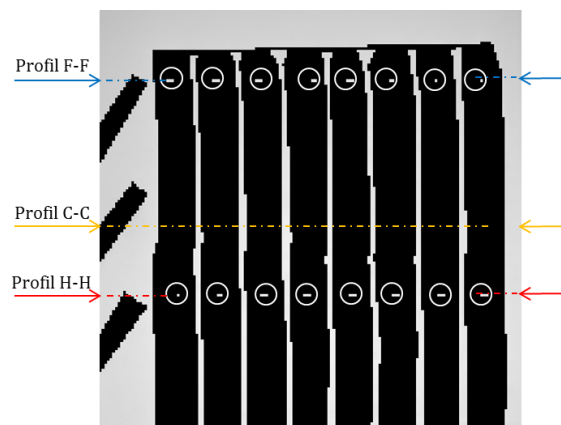


Fig. IV-11 : Prise de température sur la métallisation et définition des profils

Pour la confrontation des réponses thermiques des fils, nous avons choisi les trois profils ci-après :

- Le profil H - H traversant les prises de contact des fils chauds (départ de la grande boucle) ;
- Le profil F - F traversant les prises de contact des fils froids (départ de la petite boucle) ;
- Le profil C - C passant par le centre du MOSFET.

La température de ces profils, obtenue par mesure et simulation, est exposée en Figure IV-12.

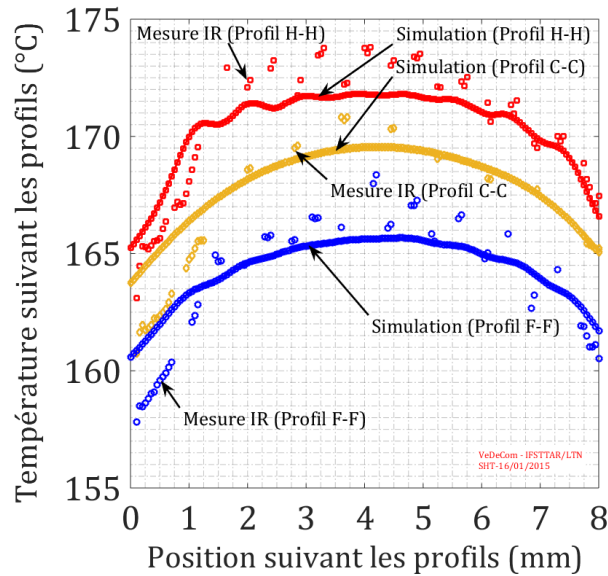


Fig. IV-12 : Comparaison entre mesure et simulation de la température sur la face supérieure de la puce MOSFET suivant les profils

On retrouve par simulation l'allure des courbes obtenues par les mesures IR. D'un point de vue quantitatif, le modèle présente une meilleure corrélation au centre de la métallisation, avec un écart maximal d'environ 2°C dans le cas du modèle sans void. L'écart de température suivant les profils est plus élevé au bord du composant où se trouve la partie inactive (anneaux de garde). Cet écart reste faible par rapport à la plage de température que nous mesurons (inférieur à 2%). La comparaison des températures en différents points de l'assemblage obtenues par simulation et par mesures thermiques est présentée dans le Tableau IV-3. En raison de la difficulté de présenter des résultats globaux, les résultats seront comparés en quelques points particuliers :

- Au niveau des fils, la température maximale $T_{max}(fils)$ sera présentée. Cette température fait partie des réponses étudiées dans l'étude du plan d'expériences ;
- Au niveau de la métallisation, la température maximale $T_{max}(métal)$ sera observée. La température interne du MOSFET, qui n'est pas accessible par la caméra IR, sera rapprochée avec celle de la métallisation. En fait, comme la métallisation est de très bonne conductivité thermique, le gradient de température reste négligeable en prenant en compte la convection naturelle ($10W/m^2K$). La température du MOSFET est une des réponses qui sera étudiée dans l'étude du plan d'expériences ;
- Les températures T_{in} , T_{sem} permettent de vérifier l'estimation du facteur k_1 . Nous prenons le point sur le substrat présenté précédemment en Figure IV-2 ;
- La température T_{out} permet de vérifier la température du substrat OUT à proximité des pieds des fils de bonding. Elle permet ainsi de vérifier le choix du facteur k_2 ;
- La température T_{KO} , mesurée par le thermocouple ouvert, permet de vérifier la température dans le coin de la semelle qui est le plus éloigné de la partie ;
- La température T_{PT100} permet de vérifier la température du refroidisseur et ainsi de la corrélation des températures obtenues par l'approche numérique et celle expérimentale au niveau de la plaque à eau.

Tableau IV-3 : Comparaison de la température en différents points de l'assemblage

	$T_{\max}(\text{fils})$ (°C)	$T_{\max}(\text{métal})$ (°C)	T_{in} (°C)	T_{out} (°C)	T_{sem} (°C)	T_{ko} (°C)	T_{PT100} (°C)
Simulation	186	172	161	122,5	114	95	82
Mesure IR	183	173	161,5	123,5	119	86	81
Ecart relative par rapport à la simulation	-1,6%	0,6%	0,3%	1,8%	4,4%	9,5%	-1,2%

Les écarts sont inférieurs à 5°C hormis le relevé des températures sur la semelle T_{sem} qui est plus important (9°C). Par ailleurs, les températures au niveau du substrat IN et OUT ainsi que la température de la plaque support sont cohérentes. Nous pouvons en partie expliquer ces écarts par un mauvais contact entre le film de cuivre qui permet de faire la mesure et la sonde PT100.

Le modèle donne néanmoins des résultats thermiques très proches de ceux issus des mesures IR que ce soit à l'échelle globale (distribution de la température globale, température au niveau de la plaque de support) ou à l'échelle locale (profils à la surface de la métallisation et des fils).

IV.2.2. Validation du modèle avec void

La robustesse du modèle dans le cas du void unique sera évaluée pour différentes positions ($X_v; Y_v$) du void dans la brasure. Nous avons choisi parmi les nombreux modules réalisés, ceux qui permettent d'analyser l'impact du void à des positions spécifiques. Afin de faciliter la comparaison, nous prenons trois modules dont le void dans la brasure est de taille équivalente (2,5mm). Les trois configurations sont détaillées ci-après (cf. Figure IV-13) :

- La première configuration, correspondant au module N°45, concerne un void localisé au centre de la brasure. Elle est caractérisée par le triplet $(X_v; Y_v; T_v) = (3,8\text{mm}; 4,4\text{mm}; 2,5\text{mm})$;
- La deuxième configuration, correspondant au module N°46, concerne un void localisé sous la petite boucle des fils N°1 et N°2. Elle est caractérisée par le triplet $(X_v; Y_v; T_v) = (2,1\text{mm}; 6,1\text{mm}; 2,5\text{mm})$;
- La troisième configuration, correspondant au module E47, concerne un void localisé sous la grande boucle des fils N°6 et est caractérisée par le triplet $(X_v; Y_v; T_v) = (5,8\text{mm}; 2,2\text{mm}; 2,5\text{mm})$.

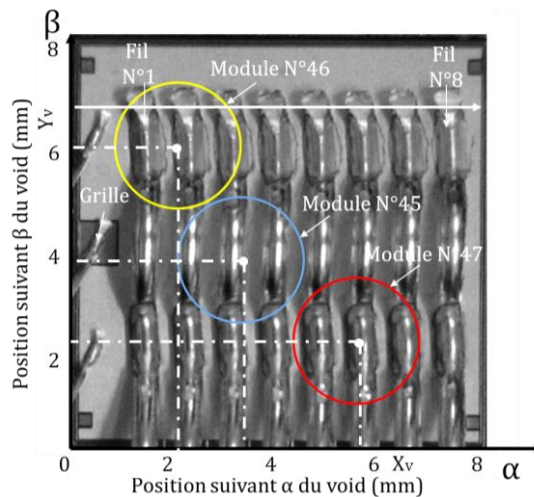


Fig. IV-13 : Position des voids à étudier

Le choix du couple (k_1, k_2) qui caractérise les conductivités thermiques des interfaces TIM1 et TIM2 pour le modèle est issu de la méthode présentée précédemment. L'épaisseur de la brasure (E_v) dans modèle est estimée à partir des mesures réalisées avec le profilomètre. Les valeurs des facteurs dans le modèle sont synthétisées dans le tableau ci-après :

Tableau IV-4 : Configurations du void dans les modules utilisés

Module	X_v (mm)	Y_v (mm)	T_v (mm)	E_v (μ m)	k_1	k_2
N°45	3,8	4,0	2,5	246	8,0	14,5
N°46	2,1	6,1	2,5	263	10,5	17
N°47	5,8	2,2	2,5	197	3,5	47

IV.2.2.1. Confrontation électrique

Le principe de la confrontation électrique dans le cas du modèle avec void est identique à celui utilisé dans le modèle sans void (cf. § IV.2.1). Le relevé des chutes de tension issues des simulations numériques est présenté dans le Tableau IV-5. Les écarts sur les chutes de tension dans le MOSFET sont nettement inférieurs à ceux obtenus dans le modèle sans void. En fait, dans le modèle, les propriétés électriques de la partie active et des fils sont issues des caractérisations $I(V, T_j)$ effectuées sur le modèle N°45 (cf. § III.2.2). Alors qu'en réalité, la caractérisation de la partie active du MOSFET n'est pas identique pour les modules N°45, N°46 et N°47 (cf. § III.2.2). La caractéristique du module N°45 est plus proche de celle des modules N°46 et N°47 (avec void) que celle du module N°2 (sans void). Il en résulte que les écarts sont moins importants dans le cas avec void que ceux du cas sans void que nous avons évalué au § IV.2.1.1. Quant aux fils de bonding, la loi reliant la résistivité électrique des fils à leur température est entachée d'une plus grande dispersion. Malgré tout, les écarts restent acceptables avec une valeur maximale inférieure à 10%.

Tableau IV-5 : Chutes de tension dans le MOSFET et dans les fils obtenues par des mesures électriques et par simulation

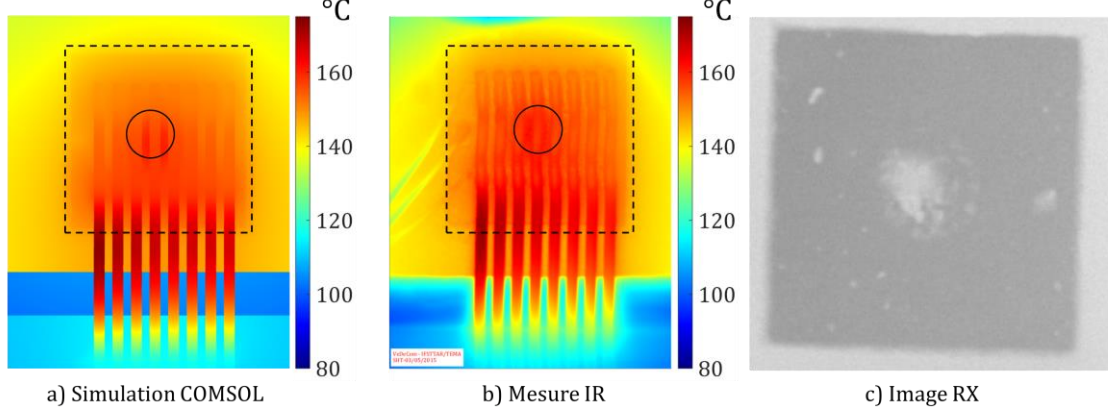
Module	V_{ds1} (simulation) (mV)	V_{ds1} (mesure) (mV)	Ecart sur V_{ds1}	V_{ds2} (simulation) (mV)	V_{ds2} (mesure) (mV)	Ecart sur V_{ds2}	V_{s2s3} (simulation) (mV)	V_{s2s3} (mesure) (mV)	Ecart sur V_{ds2}
N° 45	154	155	0,6%	163	168	3,1%	78	73	-6,4%
N° 46	163	161	-1,2%	174	174	0%	79	72	-8,9%
N° 47	160	158	-1,25%	170	171	0,6%	76	72	-5,3%

IV.2.2.2. Confrontation thermique

Pour évaluer la pertinence du modèle avec void d'un point de vue thermique, nous allons nous appuyer sur la même méthode que celle utilisée pour le modèle sans void (cf. § IV.2.1). Nous regarderons tout d'abord les cartographies globales de température des trois modules : N°45, N°46 et N°47 (cf. Figure IV-14). Les résultats de simulation (a) et des mesures IR (b) seront exposés. Nous ajouterons l'image de l'analyse RX de l'assemblage pour chacun des cas (c) afin d'identifier facilement la position du void.

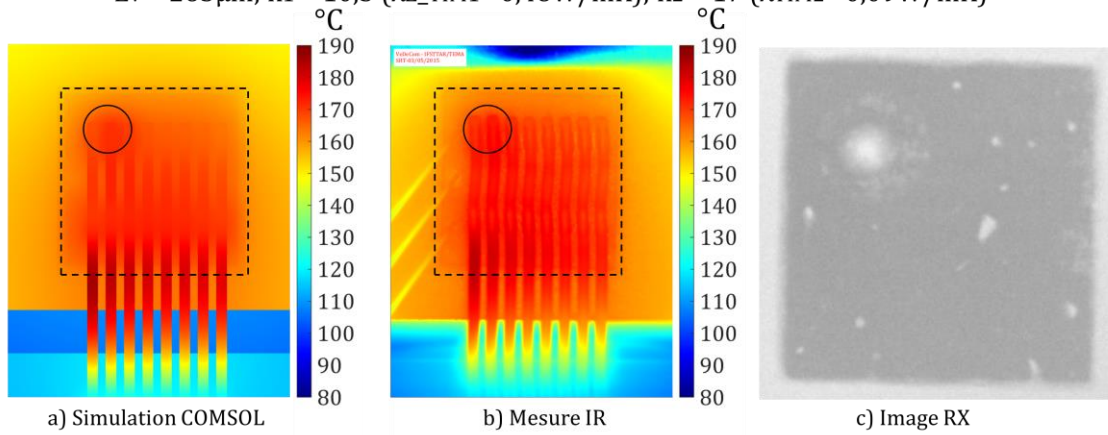
Module N°45

$X_v = 3,8\text{mm}$; $Y_v = 4,0\text{mm}$, $T_v = 2,5\text{mm}$
 $E_v = 246\mu\text{m}$; $k_1 = 8$ ($\lambda_{z_TIM1} = 0,63\text{W/mK}$); $k_2 = 14,5$ ($\lambda_{TIM2} = 0,11\text{W/mK}$)



Module N°46

$X_v = 2,1\text{mm}$; $Y_v = 6,1\text{mm}$, $T_v = 2,5\text{mm}$
 $E_v = 263\mu\text{m}$; $k_1 = 10,5$ ($\lambda_{z_TIM1} = 0,48\text{W/mK}$); $k_2 = 17$ ($\lambda_{TIM2} = 0,09\text{W/mK}$)



Module N°47

$X_v = 5,8\text{mm}$; $Y_v = 2,2\text{mm}$, $T_v = 2,5\text{mm}$
 $E_v = 197\mu\text{m}$; $k_1 = 3,5$ ($\lambda_{z_TIM1} = 1,43\text{W/mK}$); $k_2 = 47$ ($\lambda_{TIM2} = 0,03\text{W/mK}$)

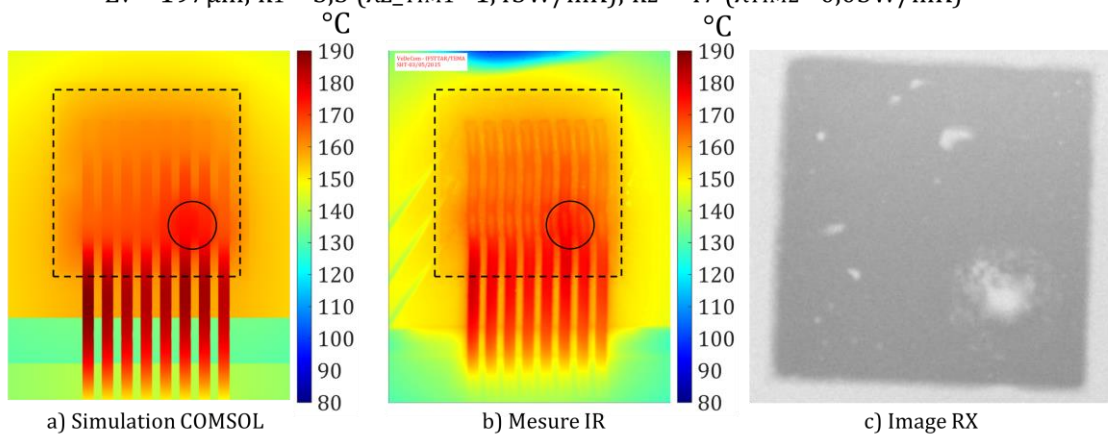


Fig. IV-14 : Confrontation thermique entre les simulations (a) et les mesures (b) pour différentes position du void (c)

Nous trouvons qualitativement un bon accord entre la distribution de la température obtenue par simulation et expérimentalement. Nous retrouvons ainsi un niveau de température quasi identique au niveau du substrat OUT et de la semelle. Cette corrélation démontre la représentativité du modèle avec void en prenant en compte le couple (k_1, k_2) qui caractérise les conductivités thermiques des interfaces TIM1 et TIM2. D'un point de vue local, nous reconnaissons l'apparition du point chaud à l'aplomb du void pour les trois configurations, et ce quelle que soit sa position : au centre (module N°45), sous les fils froids (module N°46) ou sous les fils chaud (module N°47). Leur impact est très localisé à l'aplomb du void dans la région où se trouve un gradient thermique élevé.

Afin de mieux présenter la redistribution de la température dans la zone du void et d'évaluer la performance du modèle pour les différentes configurations, nous regarderons la température selon un profil qui traverse le centre du void. Ce profil, appelé V-V, est parallèle aux lignes des prises de contact (cf. Figure IV-15).

Nous utilisons la même méthode que celle qui a été présentée au § IV.2.1.2 pour extraire la température suivant les profils associés aux modules N°46 et N°47 avec des voids positionnés sous les prises de contact. Dans le cas du module N°45, nous ne pouvons prendre que les points entre les fils car le profil ne passe pas par les prises de contact électrique des fils de bonding. Pour chaque configuration, nous relevons les températures ci-après suivant le profil V-V :

- Température extraite des mesures IR (avec void) ;
- Température extraite des simulations avec le modèle avec void ;
- Température extraite des simulations avec le modèle sans void, effectuées sous les mêmes conditions avec le même triplet (E_v, k_1, k_2) utilisé dans le modèle avec void.

L'extraction des températures suivant les profils est exposée en Figure IV-15. Nous pouvons observer une bonne corrélation des réponses thermiques pour les trois configurations étudiées. En effet, en comparant les résultats issus des approches expérimentales et numériques, les écarts maximums de température restent inférieurs à 2°C, ce qui est acceptable vis-à-vis des niveaux de température relevés entre 150°C et 175°C. La position de la température maximale, obtenue par simulation et expérimentalement, est identique et localisée au centre du void.

Afin d'évaluer l'impact du void, nous devons nous rapprocher de la réponse d'un module de référence sans void sous les mêmes conditions. Malheureusement, le prototype expérimental utilisé comme référence (module N°2) n'a pas les mêmes caractéristiques que les modules avec void. Nous pouvons confirmer cette variabilité en vérifiant la différence entre les facteurs E_v, k_1 et k_2 que nous avons estimé (cf. Tableau IV-4). De ce fait, nous ne pouvons malheureusement pas évaluer l'impact du void expérimentalement. Cependant, comme nous avons évalué la performance du modèle sans void, nous pouvons relever pour chaque configuration l'impact dû à la présence du void en nous basant sur une référence numérique sans void caractérisé par le même triplet (E_v, k_1, k_2) .

Pour chaque configuration, un relevé de la température, obtenue par la simulation sur le modèle sans void suivant le profil V-V, nous permet d'observer l'effet local du void. Nous retrouvons la conclusion effectuée au § III.3. Ainsi, la température obtenue avec le modèle avec void est nettement plus élevée que celle de la courbe de référence mais uniquement dans la zone située à l'aplomb du void. Nous pouvons le constater pour les trois positions du void que nous avons étudiées. Le comportement conduit à une focalisation des gradients thermiques à l'aplomb du

void qui peut être expliquée par le resserrement rapide des lignes de courant dans la couche métallisée du drain en contact avec la partie supérieure de brasure.

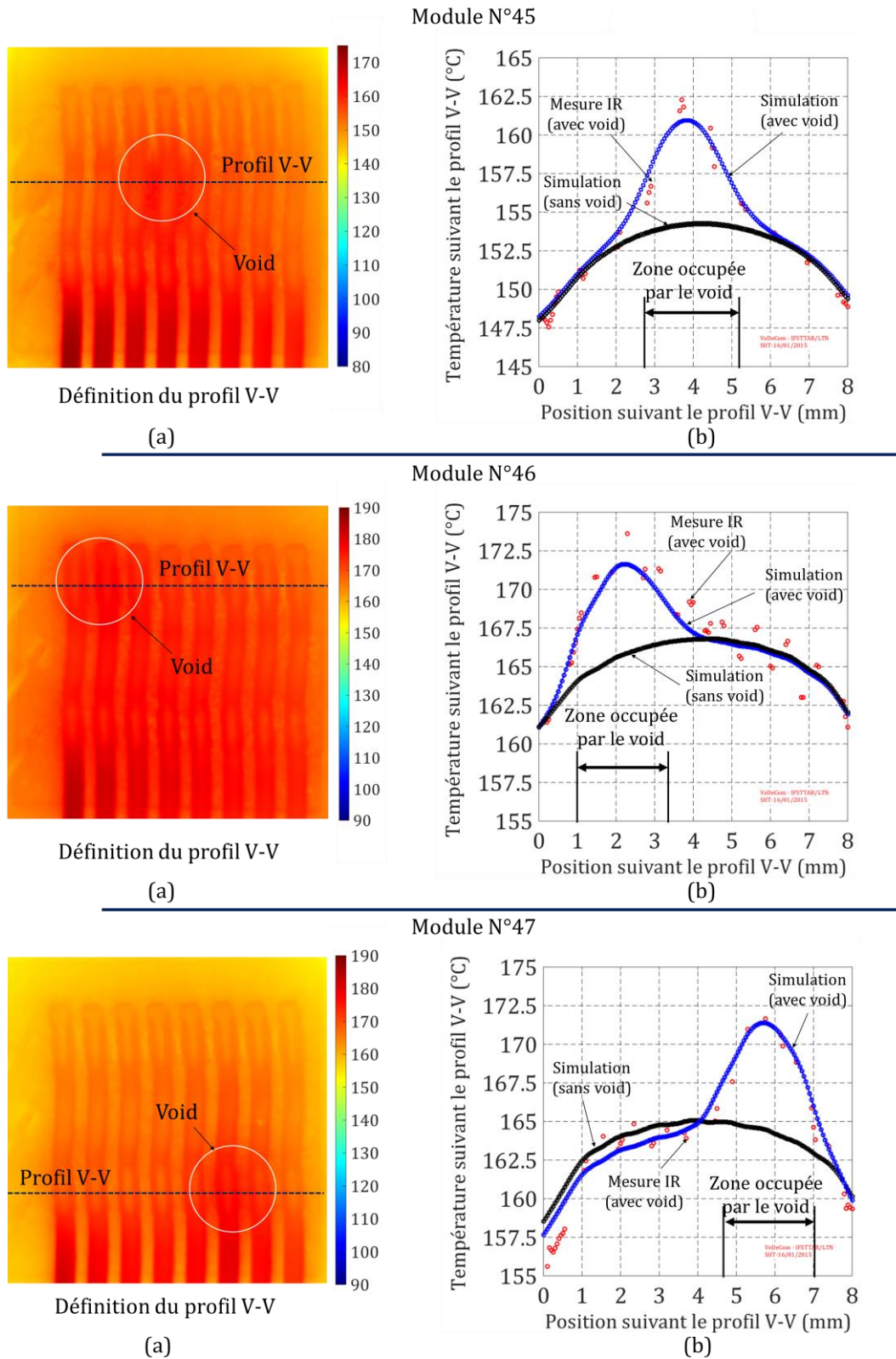


Fig. IV-15 : Profil V-V (a) et température obtenue par des mesures IR (cercles rouges), par simulation avec le modèle avec void (lignes bleues) et sans void (lignes noires) suivant ce profil

Pourtant, le courant rencontre plus de difficultés à se redistribuer dans la zone métallisée à l'aplomb du void lorsque la taille du void augmente. Néanmoins, nous avons vérifié que pour une épaisseur de la métallisation de drain en argent de $1\mu\text{m}$, et pour une taille de void restant dans le domaine d'étude du plan optimal ($\leq 3\text{mm}$), les lignes de courant peuvent se redistribuer avant d'atteindre la partie active.

Pour les modules N°46 et N°47, la température hors de la zone du void est plus élevée pour un modèle sans void qu'un modèle avec void. Cet écart est dû à la différence du maillage appliqué à la brasure. En effet, dans le modèle sans void, le maillage structuré est utilisé puisque la surface de la brasure est de forme rectangulaire. Par contre, dans le modèle avec void, le maillage est de type quadrangle dû à la présence du void. L'écart de température dû à la différence de maillage, de l'ordre de $0,5^\circ\text{C}$, est moins important que l'erreur que nous commettons lors de la mesure IR, qui est de l'ordre de 1°C .

Les résultats obtenus démontrent que la température des fils est d'autant plus affectée par la présence du void que quand les fils sont localisés à son voisinage. Nous pouvons observer les points chauds locaux sur les fils N°4 et N°5 (module N°45) lorsque le void est créé au centre de la puce MOSFET. Le même phénomène est observé dans le cas des modules N°46 et N°47. Les fils N°1, N°2 et N°3 (module N°46) et les fils N°6 et N°7 (module N°47) vont chauffer à cause d'un void situé en dessous des premières prises de contact électrique avec la métallisation. Afin de vérifier la distribution du courant dans les fils, nous comparons la température à la surface des fils calculée par le modèle avec celle mesurée par la caméra IR. La résolution du modèle avec void sera encore une fois vérifiée en observant la réponse d'un certain nombre de fils pour les trois configurations de void citées dans le Tableau IV-4. Nous avons observé une bonne concordance qualitative entre les résultats numériques et expérimentaux à l'aide des cartographies thermiques globales que nous venons de présenter. Afin de mieux visualiser la sensibilité de la température des fils vis-à-vis du void et de sa position, nous regarderons cette température selon les profils F1, F2, ... , F8 sur les fils que nous avons détaillés au § IV.2.1.2. Vu le grand nombre de fils, seuls le fil le plus chaud et celui le plus influencé par le void sont présentés :

- Le fil N°1, N°3, pour le module N°45 ;
- Le fil N°1, N°2, pour le module N°46 ;
- Le fil N°1, N°6, pour le module N°47.

Nous allons aussi comparer ces résultats avec les réponses thermiques des fils, relevées pour chacune des simulations des modules sans void, en utilisant les résultats d'une étude numérique caractérisée par le même triplet de facteurs E_v , k_1 et k_2 que celui caractérisant le modèle avec void.

Cas 1 : Module N°45 – Void situé entre deux lignes de prises de contact (cf. Figure IV-16)

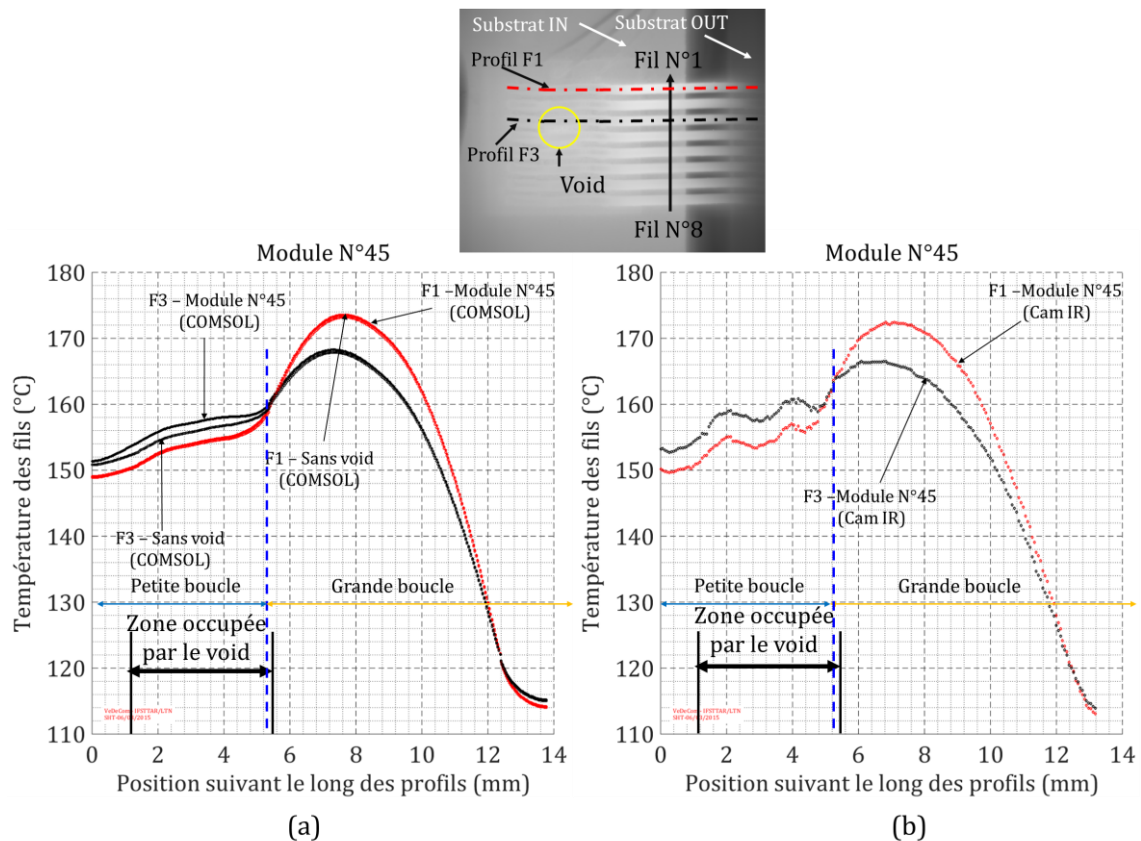


Fig. IV-16 : Température suivant les profils F1 et F3 du module N°45 obtenue par simulation (a) et par mesure (b)

Nous retrouvons l'observation faite au § IV.2.1. Ainsi, la position des pics de température est légèrement décalée. Hormis ce point, les courbes simulées ont la même allure que celles obtenues expérimentalement avec un écart maximum de l'ordre de 3°C. Tous ces écarts ne sont pas significatifs par rapport au niveau de température que nous mesurons au-delà de 100°C et jusqu'à plus de 170°C. Nous obtenons un bon accord entre les deux approches. L'évaluation de l'impact du void sur la température des fils est extraite à l'aide des courbes de même définition mais obtenues avec le modèle sans void. Les courbes relevées avec le modèle avec void sont soit superposées soit très proches de celles du modèle sans void. Cette observation montre que l'impact du void sur la température des fils est négligeable. Nous pouvons appuyer cette conclusion en donnant une estimation du courant qui circule dans chaque fil de bonding. Le tableau ci-après présente et confirme le faible impact de la présence du void sur la distribution du courant dans les fils.

Tableau IV-6 : Distribution du courant dans les fils (Module N°45)

N° de fil	1	2	3	4	5	6	7	8
$\frac{I_{fil}}{I_{total}}$ (%) sans void	13,7	12,9	12,5	12,2	12,1	12,1	12,2	12,5
$\frac{I_{fil}}{I_{total}}$ (%) avec void	13,7	13,0	12,5	12,2	12,1	12,1	12,2	12,5
Taux d'augmentation du courant dans le fil (%)	0,01	0,01	-0,01	-0,02	-0,01	0,01	0,01	0,01
Augmentation du courant dans le fil (mA)	15,7	26,2	-23,5	-40,2	-20,6	11,2	15,3	20,3

Cas 2 : Module N°46 – Void situé sous les prises de contact les plus froides (cf. Figure IV-17)

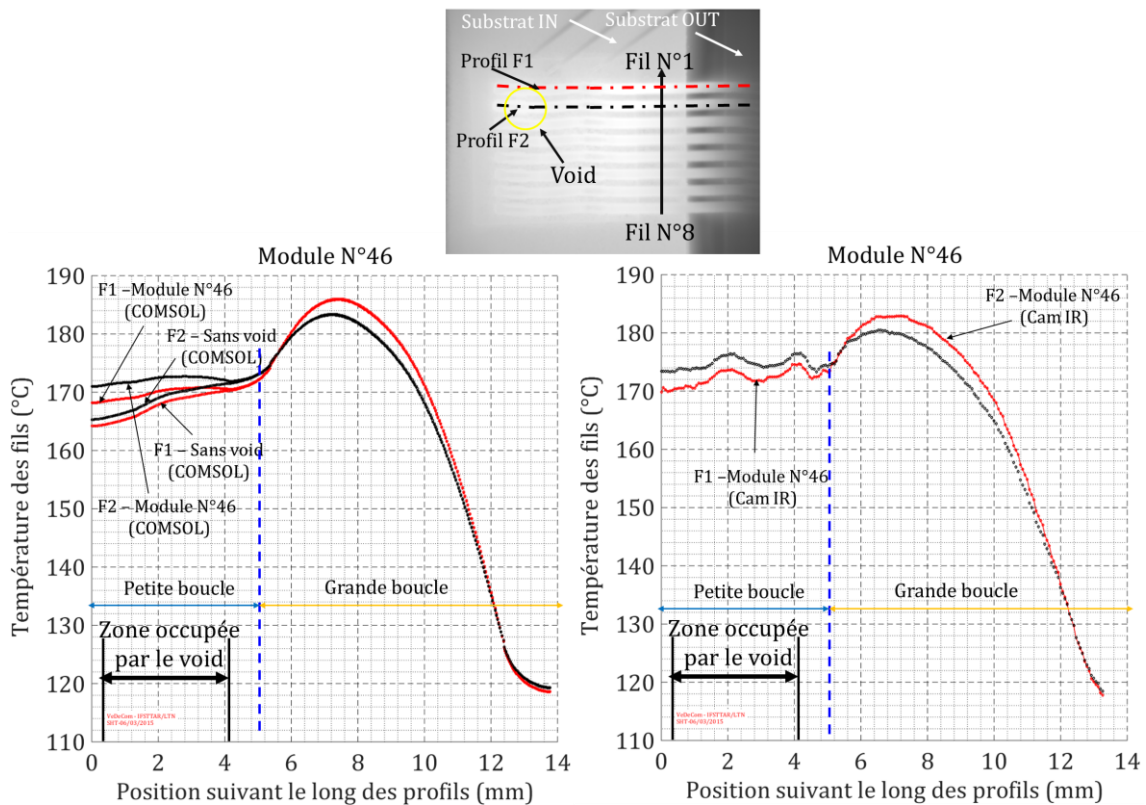


Fig. IV-17 : Température suivant les profils F1 et F2 du module N°46

Nous avons de nouveau une bonne concordance de la température obtenue au niveau des fils N°1 et N°2. Cependant, dans cette configuration, l'impact du void est beaucoup plus visible. Le void, localisé sous les prises de contact des fils froids, augmente localement la température dans cette région. Par contre, la comparaison entre les courbes simulées montre qu'il n'y a pas de différence de température dans la zone non occupée par le void. Ceci peut s'expliquer par deux arguments. L'un provient du fait que l'impact local du void n'influence pas la température au niveau des prises de contact des fils chauds, l'autre étant dû à la stabilité de la distribution de courant dans les fils vis-à-vis du void. Nous pouvons aussi vérifier cette stabilité par une évaluation du courant dans les fils à l'aide des modèles.

Tableau IV-7 : Distribution du courant dans les fils (Module N°46)

N° de fil	1	2	3	4	5	6	7	8
$\frac{I_{fil}}{I_{total}}$ (%) sans void	13,7	13,0	12,5	12,2	12,1	12,1	12,2	12,5
$\frac{I_{fil}}{I_{total}}$ (%) avec void	13,7	12,9	12,5	12,2	12,1	12,1	12,2	12,5
Taux d'augmentation du courant dans le fil (%)	-0,02	-0,03	-0,03	0,00	0,01	0,02	0,03	0,03
Augmentation du courant dans le fil (mA)	-41,6	-67,5	-62,5	-4,3	24,4	41,8	56,1	56,2

Cas 3 : Module N°47 – Void situé sous les prises de contact les plus chaudes (cf. Figure IV-18)

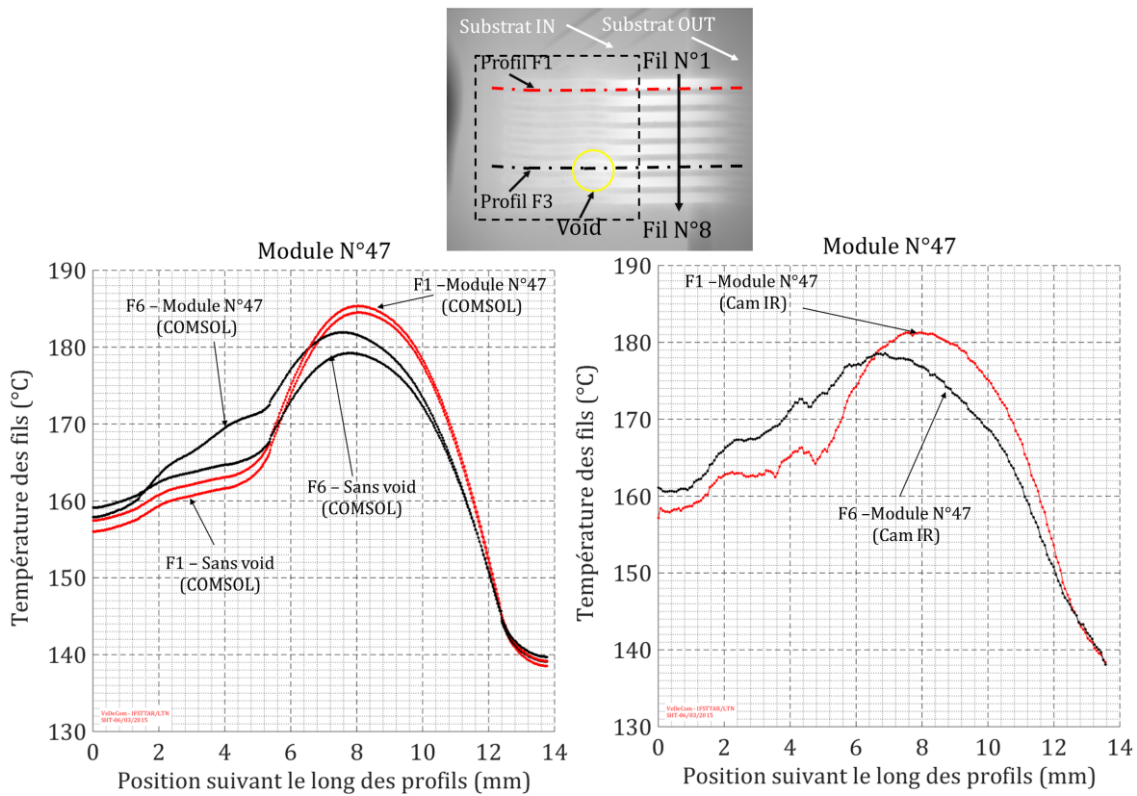


Fig. IV-18 : Température suivant les profils F1 & F6 du module N°47

Nous trouvons aussi un bon accord entre l'allure des courbes simulées et celles mesurées, particulièrement dans la zone affectée par le void. Nous pouvons observer une augmentation très importante de la température, d'environ 8°C, dans la zone des prises de contact des fils chauds, sous laquelle se trouve le void. Dans cette configuration, le void n'affecte pas le fil le plus chaud (N°1) car la température et le passage de courant dans celui-ci ne sont pas modifiés. Cependant, le void influence fortement la température du fil N°6. En fait, la température suivant la grande boucle dépend de la densité de courant et de la température à ses extrémités. Bien que la distribution du courant ne soit que légèrement influencée par le void, la température à l'extrémité proche de la prise de contact est plus élevée à cause de sa présence. Par conséquent, la température suivant le profil augmente de manière significative. Nous remarquons que l'impact d'un void sous les prises de contact des fils chauds (module N°47) semble plus critique que celui d'un void localisé ailleurs.

Tableau IV-8 : Distribution du courant dans les fils (Module N°47)

N° de fil	1	2	3	4	5	6	7	8
$\frac{I_{fil}}{I_{total}}$ (%) sans void	13,7	12,9	12,5	12,2	12,1	12,1	12,2	12,4
$\frac{I_{fil}}{I_{total}}$ (%) avec void	13,8	13,0	12,5	12,3	12,1	12,0	12,1	12,4
Taux d'augmentation du courant dans le fil (%)	0,06	0,06	0,05	0,03	-0,02	-0,10	-0,08	0,00
Augmentation du courant dans le fil (mA)	117,4	112,3	102,2	66,0	-46,6	-193	-155	1,6

Nous avons montré, à la lumière de ce paragraphe, la pertinence de nos modèles. La concordance des résultats obtenus par l'approche numérique et expérimentale a été confirmée pour les trois configurations de la position d'un void de même taille. Le modèle avec void, étant paramétré, il va être utilisé pour l'étude numérique avec les 31 configurations qui ont été générées suivant le plan d'expérience présenté au § II.3.6.

IV.3. Evaluation de l'impact du void en régime établi de conduction par la méthode de surface de réponse

IV.3.1. Réalisation de l'étude paramétrique et extraction des réponses

Comme présenté au § II.3.1, nous évaluons l'impact du void en observant deux réponses. La première réponse est la température maximale du MOSFET, $T_{max}(MOS)$. Elle est évaluée à partir de l'extraction de la température maximale à l'interface entre le domaine de la partie active et celui du substrat N+ du MOSFET (cf. § III.1.1). La seconde réponse est la température maximale $T_{max}(fils)$ relevée à la surface des fils de bonding. Nous avons ainsi généré et validé le plan optimal incluant les 31 points d'expériences virtuelles (cf. § II.3.6 et § II.3.7). La conduite des essais virtuels a été détaillée au **Chapitre III**. La simulation paramétrique appliquée à toutes les configurations issues du plan optimal nous permet d'intégrer les réponses obtenues dans le plan optimal (cf. Tableau IV-9 ; colonne 8 et 9).

Tableau IV-9 : Extraction des réponses obtenues par simulation pour le plan optimal

N° d'expérience	Référence MOSFET		T _v (mm)	E _v (μm)	k ₁	k ₂	T _{max} (MOS) (°C)	T _{max} (fils) (°C)
	X _v (mm)	Y _v (mm)						
1	7,2	1,1	1	213	13,6	40,0	215,7	226,6
2	1,3	1,9	2,5	237	3,2	33,2	159,5	179,8
3	4,3	6,7	1	205	8,3	26,2	170,2	186,4
4	3,4	1,9	2,5	185	13,2	8,6	181,0	184,7
5	1,3	6,7	2,5	260	1,0	39,0	145,7	172,7
6	0,9	1,1	1	285	15,0	34,5	216,8	226,6
7	2,6	6,7	1	262	1,0	1,0	107,2	133,0
8	7,2	2,7	1	278	8,2	40,0	183,8	200,6
9	4,3	1,1	1	185	1,0	1,0	108,6	133,6
10	4,7	2,7	1	212	1,0	9,8	118,0	143,4
11	7,2	6,7	1	185	15,0	40,0	224,0	233,2
12	6,4	5,1	3	232	15,0	22,1	203,2	209,7
13	6,8	1,1	2	185	4,2	20,9	148,2	165,8
14	0,9	5,9	1	285	15,0	1,0	171,9	180,8
15	0,9	5,9	1	185	11,5	36,1	198,3	210,9
16	1,7	1,9	3	210	14,5	33,4	222,4	229,5
17	0,9	1,1	1,5	215	8,0	1,0	138,2	155,0
18	4,7	1,9	1	285	15,0	18,9	197,5	205,6
19	7,2	4,3	1	248	9,8	1,0	147,1	161,2
20	3,0	3,5	3	193	1,0	7,8	121,3	141,8
21	7,2	4,3	1	193	1,0	37,1	143,5	170,7
22	1,7	5,9	3	285	7,0	1,0	136,0	152,0
23	1,7	5,9	3	285	15,0	40,0	227,4	234,4
24	4,3	3,5	2	285	11,9	40,0	206,2	216,1
25	3,8	6,7	2	193	15,0	6,9	179,6	188,4
26	6,4	5,9	3	285	6,1	34,2	167,7	185,9
27	2,6	1,1	1	185	1,6	40,0	148,9	174,6
28	6,8	6,7	2	259	1,0	1,0	108,2	134,1
29	4,7	1,9	3	285	1,0	40,0	158,2	174,7
30	6,4	1,9	3	185	15,0	1,0	179,2	179,5
31	0,9	3,5	1,5	285	3,5	22,5	143,9	166,0

IV.3.2. Evaluation globale du modèle postulé

Comme le plan optimal à six facteurs se base sur un modèle quadratique (cf. § II.2.3.4), notre plan optimal possède les caractéristiques globales ci-après :

Degré de liberté (DdL) pour l'évaluation :

- DdL du modèle : 27, correspondant au nombre d'estimateur (28) en excluant le terme moyenne (β_0) ;
- DdL des résidus : 3, correspondant au nombre d'expériences supplémentaires effectuées en raison du manque d'ajustement ;
- DdL total : 30.

Le logiciel Design of Expert™ propose une première analyse, qui permet de vérifier l'ordre le plus élevé possible du modèle postulé pour évaluer les réponses sans risquer de confondre les effets des facteurs. La confusion, appelée « alias » apparaît lorsque le nombre d'expériences n'est pas suffisant pour évaluer les effets des facteurs séparément en se basant sur le modèle postulé prédéfini. Dans ce cas, il est obligé de confondre certains effets. L'algorithme implanté dans ce logiciel propose le modèle le plus adapté au regard du nombre d'expériences effectuées. Il s'appuie sur deux critères :

- Critère p-valeur globale, indiquant la probabilité que le modèle soit sensibilisé aux bruits dus au manque de précision du modèle postulé plutôt qu'à la variation des réponses. Plus le terme p-valeur est faible, plus le modèle est capable d'interpréter correctement la tendance d'évolution des réponses à l'aide du module postulé utilisé ;
- Critère R^2 ajusté, liée au niveau de la variation qui peut être expliquée par le modèle.

Lors de cette analyse, nous pouvons vérifier la performance de notre modèle quadratique face aux modules simplifiés comme le modèle linéaire (ne contenant que les termes du premier ordre), fractionnaire (ne contenant que les termes quadratiques et ceux du premier ordre) ou encore aux modules plus complexe de l'ordre supérieur à 2. Nous pouvons vérifier le modèle le plus adapté en évaluant la réponse $T_{max}(MOS)$. Pour les 31 configurations de notre étude, un modèle postulé à l'ordre inférieur est plus pertinent en terme de sûreté de la détection des effets, présenté par un faible p-valeur (inférieur à 0,01%) mais moins efficace en termes d'interprétation des effets, présenté par un faible R^2 ajusté à 0,78. Le modèle d'ordre supérieur à 3 va entraîner des alias. Il a été montré que le modèle ayant le meilleur compromis est le modèle quadratique. Ceci se caractérise par un p-valeur suffisamment petit (1,42%) et un R^2 ajusté proche de l'unité (0,9947). Le nombre d'expériences (31) est suffisant pour identifier les effets sans avoir de risque de confusion. Aucune expérience supplémentaire n'est donc nécessaire.

IV.3.3. Analyse mathématique du modèle

Comme les facteurs n'ont pas la même étendue, la présentation mathématique ne permet pas d'identifier le poids de l'impact de chacun des facteurs. Nous devons alors normaliser ces derniers à l'aide d'un codage. Si un facteur F se définit dans la plage de variation $[F_{min}, F_{max}]$, le codage de F est effectué à l'aide de la transformation suivante :

$$F(\text{codage}) = \frac{F(\text{actuel}) - \frac{F_{min} + F_{max}}{2}}{\frac{F_{max} - F_{min}}{2}} \quad (\text{IV-4})$$

Après avoir effectué cette transformation, tous les facteurs sont compris dans l'intervalle normalisé $[-1,1]$. Ils sont désormais présentés en valeur codée. L'analyse mathématique consiste à extraire les fonctions de réponse à partir des résultats de la simulation paramétrique effectuée

avec les 31 configurations. Les estimateurs des modèles quadratiques de deux réponses sont identifiés à l'aide de la méthode des moindres carrés :

Tableau IV-10 : Identification des estimateurs du modèle quadratique de deux réponses

Estimateur	Responses		Estimateur	Responses		Estimateur	Responses	
	T _{max} (MOS)	T _{max} (fils)		T _{max} (MOS)	T _{max} (fils)		T _{max} (MOS)	T _{max} (fils)
Cte	163,66	178,27	X _v Y _v	0,05	0,59	X _v ²	0,01	1,38
X _v	-0,38	-1,09	X _v T _v	-1,04	-1,75	Y _v ²	0,33	0,74
Y _v	-2,77	-0,88	X _v k ₁	-0,03	0,01	T _v ²	1,08	0,59
T _v	2,89	0,77	X _v k ₂	-0,62	-0,16	k ₁ ²	1,90	2,70
k ₁	35,03	26,75	X _v E _v	-0,23	0,28	k ₂ ²	-2,00	-2,76
k ₂	22,57	23,09	Y _v T _v	-2,80	-0,92	E _v ²	0,66	0,50
E _v	0,71	0,17	Y _v k ₁	0,20	-0,02			
			Y _v k ₂	-0,26	-0,55			
			Y _v E _v	-0,29	-0,15			
			T _v k ₁	-0,28	0,34			
			T _v k ₂	0,22	0,71			
			T _v E _v	0,35	-0,24			
			k ₁ k ₂	3,19	3,15			
			k ₁ E _v	-0,08	-0,07			
			k ₂ E _v	-0,11	-0,50			

Même si ce n'est qu'une estimation globale, nous pouvons à priori réaliser l'évaluation de la criticité de chaque facteur en regardant les niveaux des réponses des estimateurs. L'identification des estimateurs se fait avec un degré de confiance que nous devons évaluer à travers une analyse qui se base sur leur variance. Cette analyse statistique appelée ANOVA (Analysis of Variance) sera abordée dans le prochain paragraphe.

IV.3.4. Analyse ANOVA du modèle quadratique

L'équation issue de l'analyse statistique n'est qu'une approximation des réponses données par le modèle avec void. L'estimation des coefficients du modèle quadratique s'appuie sur des résultats des essais qui sont, pour chacune des expériences virtuelles du plan optimal, des valeurs particulières d'une variable aléatoire. L'analyse statistique consiste à mettre en œuvre les tests statistiques qui permettent de porter un jugement sur les résultats obtenus. Celle-ci est composée de trois étapes :

- Une analyse globale qui est utilisée pour vérifier la validité des hypothèses choisies en retenant des modèles de forme quadratique ;
- Une analyse au niveau des estimateurs afin de classer l'ordre des effets. Elle permet de reproduire un modèle réduit en ne prenant en compte que les facteurs les plus influents ;
- Une analyse au niveau des résidus pour vérifier si leur distribution suit la loi normale

IV.3.4.1. Analyse ANOVA globale du modèle quadratique

L'analyse ANOVA globale repose sur trois termes :

- Somme totale des carrés des écarts des valeurs observées (*SCT*) consistant à expliquer la variation totale d'une réponse par rapport à sa moyenne. Elle est déterminée à partir de la formule ci-après :

$$SCT = \sum_{i=1}^{N=31} (y_i - \bar{y})^2 \quad (IV-5)$$

Où y_i est la réponse obtenue en réalisant l'expérience i , \bar{y} est la moyenne de toutes les réponses obtenues avec 31 expériences. A noter que le terme SCT ne dépend pas du modèle utilisé. Il ne dépend que des résultats du plan d'expériences.

- Somme des carrés des écarts des valeurs estimées du modèle (*SCM*) indiquant la variation d'une réponse estimée par le modèle \hat{y}_i par rapport à sa moyenne :

$$SCM = \sum_{i=1}^N (\hat{y}_i - \bar{y})^2 \quad (IV-6)$$

- Somme des carrés des résidus SCR renseignant l'écart d'une réponse (simulée ou mesurée) par rapport à celle estimée par le modèle (quadratique) :

$$SCR = \sum_{i=1}^N (y_i - \hat{y}_i)^2 \quad (IV-7)$$

Nous vérifions immédiatement la relation ci-après, appelée l'équation d'analyse de variance :

$$SCT = SCM + SCR \quad (IV-8)$$

L'analyse globale consiste à réaliser un test statistique dit test de Fisher. Ce test commence par une évaluation de la probabilité d'une hypothèse nulle H_0 :

« H_0 : Le modèle ne permet pas de décrire la variation des réponses observées, c'est-à-dire tous les 27 estimateurs hormis le terme constant, sont nuls »

L'hypothèse réciproque, H_1 , correspond au fait que l'hypothèse H_0 est rejetée. C'est-à-dire qu'il existe au minimum un estimateur non-nul (hormis le terme constante) et que le modèle est donc capable de décrire les effets des facteurs sur la réponse étudiée.

La probabilité que l'hypothèse nulle soit retenue doit être faible pendant l'interprétation des réponses $T_{max}(MOS)$ et $T_{max}(fils)$. Le test permettant d'extraire cette probabilité est issue d'une variable aléatoire F_0 . Ceci est défini à partir du rapport entre deux variances :

$$F_0 = \frac{\frac{SCM}{p-1}}{\frac{SCR}{N-p}} \quad (IV-9)$$

Où $p - 1$ est le degré de liberté affecté à la somme SCM et $N - p$ est celui affecté à la somme SCR. A noter que pour notre modèle, le nombre d'estimateurs p vaut 28 et le nombre d'expériences N vaut 31. La variable F_0 suit la loi de Fisher - Snedecor.

$$F_0 \approx F(p - 1, n - p) \quad (IV-10)$$

La variable F_0 est à comparer avec le seuil F_c qui est déterminé à partir de la loi de Fisher - Snedecor pour un risque α . Ceci indique que le rejet de l'hypothèse nulle se fait avec un risque de 5%. Le modèle est retenu si la probabilité que l'hypothèse nulle soit retenue est inférieure à 5%. La valeur de F_0 doit être supérieure à la valeur critique F_c .

$$F_c \approx F_{1-\alpha}(p - 1, n - p) \quad (IV-11)$$

Afin de faciliter l'évaluation de l'hypothèse nulle, nous introduisons la notion probabiliste appelée « p-valeur ». Cela explique la probabilité que l'on rejette à tort l'hypothèse nulle. Plus la variable F_0 est grande, moins de risque que l'on rejette l'hypothèse nulle par erreur, donc plus la probabilité p-valeur est faible. Les calculs de F_0 et p-valeur effectué par le logiciel Design of Expert sont exposés dans le tableau ci-après :

Tableau IV-11 : Analyse ANOVA globale du modèle

Source	DdL	$T_{max}(MOS)$				$T_{max}(fils)$			
		SCM	SCM DDL	F valeur	P- valeur Prob >F	SCM	SCM DDL	F valeur	P- valeur Prob >F
Model	27	4,0E+04	1,5E+03	3,5E+03	6,8E-06	2,8E+04	1,1E+03	1,8E+03	1,9E-05
X_v	1	1,7E+00	1,7E+00	4,2E+00	1,3E-01	1,4E+01	1,4E+01	2,4E+01	1,6E-02
Y_v	1	1,0E+02	1,0E+02	2,4E+02	5,7E-04	1,0E+01	1,0E+01	1,8E+01	2,4E-02
T_v	1	1,3E+02	1,3E+02	3,1E+02	4,0E-04	9,2E+00	9,2E+00	1,6E+01	2,9E-02
k₁	1	2,0E+04	2,0E+04	4,9E+04	2,1E-07	1,2E+04	1,2E+04	2,0E+04	7,7E-07
k₂	1	7,5E+03	7,5E+03	1,8E+04	9,2E-07	7,8E+03	7,8E+03	1,3E+04	1,4E-06
E_v	1	8,0E+00	8,0E+00	1,9E+01	2,2E-02	4,3E-01	4,3E-01	7,3E-01	4,6E-01
X_vY_v	1	1,6E-02	1,6E-02	3,8E-02	8,6E-01	2,7E+00	2,7E+00	4,6E+00	1,2E-01
X_vT_v	1	8,8E+00	8,8E+00	2,1E+01	1,9E-02	2,5E+01	2,5E+01	4,2E+01	7,4E-03
X_vk₁	1	8,0E-03	8,0E-03	1,9E-02	9,0E-01	1,2E-03	1,2E-03	2,0E-03	9,7E-01
X_vk₂	1	3,2E+00	3,2E+00	7,5E+00	7,1E-02	2,1E-01	2,1E-01	3,5E-01	5,9E-01
X_vE_v	1	3,7E-01	3,7E-01	8,9E-01	4,1E-01	5,8E-01	5,8E-01	9,9E-01	3,9E-01
Y_vT_v	1	7,6E+01	7,6E+01	1,8E+02	8,8E-04	8,2E+00	8,2E+00	1,4E+01	3,3E-02
Y_vk₁	1	4,1E-01	4,1E-01	9,8E-01	4,0E-01	6,0E-03	6,0E-03	1,0E-02	9,3E-01
Y_vk₂	1	7,1E-01	7,1E-01	1,7E+00	2,8E-01	3,1E+00	3,1E+00	5,2E+00	1,1E-01
Y_vE_v	1	7,5E-01	7,5E-01	1,8E+00	2,7E-01	2,1E-01	2,1E-01	3,5E-01	6,0E-01
T_vk₁	1	1,0E+00	1,0E+00	2,4E+00	2,2E-01	1,4E+00	1,4E+00	2,4E+00	2,2E-01
T_vk₂	1	5,4E-01	5,4E-01	1,3E+00	3,4E-01	5,8E+00	5,8E+00	9,9E+00	5,1E-02
T_vE_v	1	1,5E+00	1,5E+00	3,5E+00	1,6E-01	6,8E-01	6,8E-01	1,2E+00	3,6E-01
k₁k₂	1	1,0E+02	1,0E+02	2,4E+02	5,8E-04	9,8E+01	9,8E+01	1,7E+02	1,0E-03
k₁E_v	1	6,9E-02	6,9E-02	1,6E-01	7,1E-01	5,0E-02	5,0E-02	8,5E-02	7,9E-01
k₂E_v	1	1,3E-01	1,3E-01	3,2E-01	6,1E-01	2,6E+00	2,6E+00	4,5E+00	1,3E-01
X_v²	1	5,4E-04	5,4E-04	1,3E-03	9,7E-01	6,0E+00	6,0E+00	1,0E+01	4,9E-02
Y_v²	1	3,2E-01	3,2E-01	7,6E-01	4,5E-01	1,6E+00	1,6E+00	2,8E+00	2,0E-01
T_v²	1	4,1E+00	4,1E+00	9,9E+00	5,1E-02	1,3E+00	1,3E+00	2,1E+00	2,4E-01
k₁²	1	1,3E+01	1,3E+01	3,1E+01	1,1E-02	2,7E+01	2,7E+01	4,5E+01	6,7E-03
k₂²	1	1,3E+01	1,3E+01	3,1E+01	1,2E-02	2,4E+01	2,4E+01	4,2E+01	7,6E-03
E_v²	1	1,6E+00	1,6E+00	3,9E+00	1,4E-01	9,3E-01	9,3E-01	1,6E+00	3,0E-01
SCR	3	1,3E+00	4,2E-01			1,8E+00	5,9E-01		
SCT	30	4,0E+04				2,8E+04			

Les p-valeurs sont très faibles et réciproquement les valeurs F_0 sont très grandes pour les deux réponses étudiées. Il y a juste 0,00068% pour la réponse $T_{max}(MOS)$ et 0,0019% pour la réponse $T_{max}(fils)$ que les effets soient confondus dans le résidu de la régression. Notre modèle quadratique est donc capable d'expliquer les effets des facteurs. L'hypothèse nulle est alors rejetée.

Nous pouvons aussi évaluer la qualité descriptive à partir du coefficient de régression ajusté R_{adj} :

$$R_{adj}^2 = 1 - \frac{\frac{SCR}{n-p}}{\frac{SCT}{N-1}} \quad (IV-12)$$

Il est souhaitable que le coefficient R_{adj} soit proche de l'unité, c'est-à-dire que le terme SCR reste faible devant le terme SCT. Nous pouvons alors évaluer la qualité prédictive du modèle à partir du coefficient de corrélation prédictif :

$$R_{pred}^2 = 1 - \frac{PRESS}{SCT} \quad (IV-13)$$

Où PRESS (Predicted Residual Sum of Squares) est un coefficient qui permet de vérifier la qualité de prédiction du modèle à un point d'expérience dans le plan. Le modèle reconstruit, en supprimant ce point va donner la réponse et la variance au point manquant. Le coefficient PRESS est exprimé à l'aide de la formulation suivante :

$$PRESS = \sum_{i=1}^N \frac{(y_i - \hat{y}_i)^2}{1 - h_{ii}} \quad (IV-14)$$

Où h_{ii} est le i -ième terme diagonal de la matrice $H = X(X'X)^{-1}X'$. Un modèle ayant une grande capacité prédictive possède un faible coefficient PRESS. L'erreur résiduelle associée à chaque réponse est très faible devant la moyenne. Cela se traduit par des coefficients de variation négligeables (0,39% et 0,42%) qui sont les rapports entre les écarts-types et les moyennes correspondant. Les coefficients R_{adj} et R_{pred} , étant proches de l'unité, permet de juger la qualité prédictive de notre modèle quadratique. La qualité du modèle quadratique utilisé est montrée dans le tableau ci-après :

Tableau IV-12 : Caractéristiques du modèle quadratique

	Ecart-type	Moyenne	Coefficient de variation	PRESS	R ²	R _{adj} ²	R _{pred} ²
T _{max} (MOS)	0,65	167,01	0,39%	653,72	1,0000	0,9997	0,9836
T _{max} (fils)	0,77	182,54	0,42%	1028,50	0,9999	0,9994	0,9638

IV.3.4.2. Analyse ANOVA sur les estimateurs

Le principe de l'analyse statistique sur les estimateurs est semblable à celui utilisé l'analyse globale que nous venons de présenter. Pour un estimateur β_i , (l'indice i est non nul) nous extrayons l'hypothèse nulle H'_0 :

« H'_0 : Le facteur X_i n'a pas d'effet sur la réponse Y_i , c'est-à-dire $\beta_i = 0$ »

Alors la variable aléatoire F_1 , permettant d'évaluer la validité de l'hypothèse nulle H'_0 , est définie comme ci-après :

$$F_1 = \frac{|\beta_i - 0|}{\sqrt{c_{ii} \times \frac{\sum_{i=1}^N (Y_i - \hat{Y}_i)^2}{N - p}}} \quad (\text{IV-15})$$

La variable aléatoire F_1 suit la loi de Student de $N - p$ degré de liberté :

$$F_1 \approx t(N - p) \quad (\text{IV-16})$$

La valeur critique utilisée pour cette variable aléatoire est définies de la même manière que celle pour la variable F'_c , avec un risque α valant 0,05 par défaut.

$$F'_c \approx t(1 - \alpha, N - p) \quad (\text{IV-17})$$

Les calculs de F'_c et p-valeur pour les estimateurs, par le logiciel Design of Expert, sont présentés dans le même tableau utilisé pour l'analyse ANOVA globale du modèle (cf. Tableau IV-11). A noter que plus la probabilité p-valeur d'un estimateur est faible, plus le terme lié à ce estimateur est influent.

Un seuillage de 5% est proposé par défaut pour l'identification des facteurs influents. Parmi les facteurs influents retenus, nous allons les classer en deux catégories :

- Facteurs fortement influents, ayant une probabilité p-valeur inférieure à 0,01% ;
- Facteurs moyennement influents ayant une probabilité p-valeur comprise entre 0,01% et 1% ;
- Facteurs faiblement influents ayant une probabilité p-valeur comprise entre 1% et 5%.

Les facteurs influents, classés par l'ordre de criticité, sont présentés dans le tableau ci-dessous :

Tableau IV-13 : Les facteurs influents

	Facteurs influents	T _{max} (MOS)	Facteurs influents	T _{max} (fils)
		p-valeur Prob >F		p-valeur Prob >F
Forte	k ₁	2,1E-07	k ₁	7,7E-07
	k ₂	9,2E-07	k ₂	1,4E-06
Moyenne	T _v	4,0E-04	k ₁ k ₂	1,0E-03
	Y _v	5,7E-04	k ₁ ²	6,7E-03
	k ₁ k ₂	5,8E-04	X _v T _v	7,4E-03
	Y _v T _v	8,8E-04	k ₂ ²	7,6E-03
Faible	k ₁ ²	1,1E-02	X _v	1,6E-02
	k ₂ ²	1,2E-02	Y _v	2,4E-02
	X _v T _v	1,9E-02	T _v	2,9E-02
	E _v	2,2E-02	Y _v T _v	3,3E-02
			X _v ²	4,9E-02

Nous pouvons aussi extraire les fonctions de réponse en fonction des facteurs influents retenus:

$$\begin{aligned}
 T_{\max}(\text{MOS}) = & 163,66 + (35,03 \times k_1 + 22,57 \times k_2) \\
 & + (2,89 \times T_v - 2,77Y_v + 3,19 \times k_1k_2 - 2,80 \\
 & \times Y_vT_v) + (1,90 \times k_1^2 - 2 \times k_2^2 - 1,04 \times X_vT_v \\
 & + 0,71 \times E_v)
 \end{aligned} \tag{IV-18}$$

$$\begin{aligned}
 T_{\max}(\text{fils}) = & 178,27 + (26,75 \times k_1 + 23,09 \times k_2) \\
 & + (3,15 \times k_1k_2 + 2,70 \times k_1^2 - 1,75 \times X_vT_v - 2,76 \\
 & \times k_2^2) + (1,09 \times X_v - 0,88Y_v + 0,77 \times T_v - 0,92 \\
 & \times Y_vT_v + 1,38 \times X_v^2)
 \end{aligned} \tag{IV-19}$$

Les fonctions qui caractérisent les deux réponses sont fortement influencées par les facteurs k_1, k_2 . Ceci est dû d'une part à la mauvaise conductivité thermique des interfaces TIM1 et TIM2, et d'autre part à l'intervalle de variation de ces facteurs. Les estimateurs liés aux facteurs k_1, k_2 sont nettement plus élevés que celui des autres facteurs. Cependant, il faut rappeler que les interfaces utilisées dans notre étude ne sont pas représentatives de celles utilisées dans les modules industrialisés. Elles sont beaucoup moins performantes en raison des contraintes fonctionnelles lors de la réalisation des assemblages. L'impact des interfaces thermiques est limité pour les interfaces qui sont réalisées avec une meilleure maîtrise du procédé d'assemblage. Ceci permet de limiter la valeur de facteurs k_1, k_2 ainsi que leur dispersion.

Impact du void sur la température maximale du MOSFET

Nous pouvons remarquer l'impact important de la taille du void T_v sur la température maximale du MOSFET, présenté par un estimateur le plus élevé (2,89) parmi les estimateurs liés aux paramètres du void (cf. Tableau IV-10). Ceci permet de conclure que la taille du void est le facteur le plus influent sur la température du MOSFET, lorsque tous les paramètres techniques de l'assemblage sont maîtrisés. Nous pouvons ainsi noter que l'effet de la position suivant l'axe β du void (Y_v) à savoir la position par rapport aux deux lignes de prise de contact de bonding est aussi significatif, avec un estimateur de -2,77. Ceci justifie le choix de révéler l'information de la position du void par rapport aux prises de contact « chaudes » afin d'interpréter correctement sa criticité. Le signe «-», vu l'origine de notre référencement étant près des fils chauds, indique que plus void est éloigné des fils chauds, moins l'impact du void est important. Ici, il faut noter que la position codée de Y_v tends vers -1 lorsque le void se rapproche des fils chauds, et +1 dans le cas contraire. Cela veut aussi dire que, quand le void est localisé près des fils froids, la position de la température maximale peut ne pas être à la position du void. Nous exposons à titre d'exemple la cartographie de température au niveau de l'interface entre la partie active et le substrat N+, obtenue par l'expérience virtuelle N°5 dans le plan optimal. Le void, localisé à la position (X_v, Y_v) valant (1,29 ; 6,7), et ayant un diamètre de 2,5mm, créé un point chaud local près de sa localisation (cf. Figure IV-19). Cependant, la température maximale du MOSFET est au niveau des prises de contact des fils chauds. Il faudrait un void de taille plus grande pour générer un impact local plus critique qui pourrait changer le site de la température maximale.

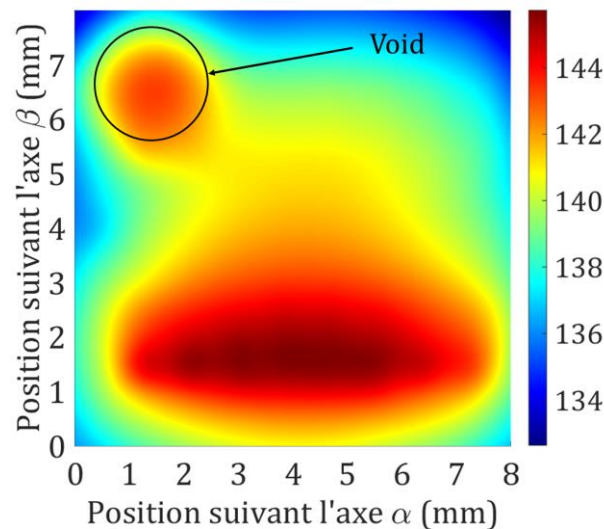


Fig. IV-19 : Température de jonction du MOSFET donnée par l'expérience N°5
($X_v=1,29\text{mm}$; $Y_v=6,7\text{mm}$; $T_v=2,5\text{mm}$; $E_v=225,5\mu\text{m}$; $k_1=1$, $k_2=39,025$)

Ensuite, dans le modèle mathématique, nous pouvons reconnaître l'interaction de deux facteurs influents $Y_v T_v$ liés au void. Son estimateur à -2,8 démontre que l'impact d'un void est le plus critique lorsque un gros void localisé sous les fils chauds (Y_v vaut -1 et T_v vaut 1). L'impact global du void est renforcé par le couplage de $Y_v T_v$ au-delà des effets propres de la position Y_v et de la taille T_v . Nous citons en exemple le cas de l'expérience virtuelle N°2 du plan optimal (cf. Figure

IV-20). A noter que la valeur codée Y_v est la plus proche de -1 possible, mais ne peut pas valoir -1 à cause de la contrainte du domaine d'étude entre Y_v et T_v .

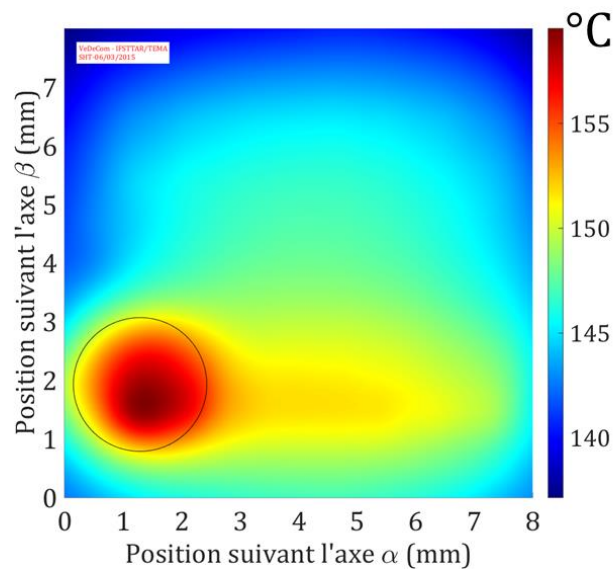


Fig. IV-20 : Température de jonction du MOSFET donnée par l'expérience N°2
($X_v=1,29\text{mm}$; $Y_v=1,93\text{mm}$; $T_v=2,5\text{mm}$; $E_v=220\mu\text{m}$; $k_1=3,17$, $k_2=33,175$)

L'impact de la position suivant l'axe α , X_v n'est pas significatif. Seule son interaction avec la taille du void est prise en considération dans le modèle mathématique mais reste relativement faible. L'estimateur de l'interaction $X_v T_v$ (-1,04) prévoit que l'impact sera plus significatif lorsque la valeur codée de X_v vaut -1, et celle de T_v vaut 1, c'est-à-dire qu'un gros void se rapproche du fil le plus chaud.

Impact du void sur la température maximale des fils

La température maximale des fils est moins affectée par la présence d'un void. Tous les facteurs les plus influents sont les paramètres techniques de l'assemblage, à savoir les facteurs k_1 et k_2 . L'impact de la taille du void T_v est très faible. Son estimateur n'est que de 0,77 ce qui est bien moins important que celui dans l'équation de $T_{max}(MOS)$. L'impact de la position (X_v, T_v) est également faible. En fait, la distribution de la température dans un fil est définie par la température à ses extrémités et le niveau du courant qui le traverse. Or, nous avons montré que l'impact du void sur la redistribution du courant dans les fils est minime, les températures aux prises de contact des fils sont les seuls éléments influents sur la température maximale. Comme le courant circulant dans les fils ne varie quasiment pas, l'impact du void sur la température des fils est moins important que celui sur la température du MOSFET. Ceci explique les faibles estimateurs liés aux facteurs du void. La température maximale des fils est affectée par plus de facteurs (simples, couplés ou quadratiques) mais, chacun a une influence modérée. Il n'existe pas des facteurs ayant un impact prédominant comme dans le cas de la température du MOSFET. Nous identifierons la configuration la plus critique à l'aide d'une analyse graphique (cf. § IV.3.5).

Nous remarquons enfin qu'il n'y a pas de couplage important entre les paramètres techniques d'assemblage (k_1, k_2, E_v) et les paramètres du void (X_v, Y_v, T_v). Nous retiendrons que les imperfections de l'assemblage au niveau des interfaces thermiques ainsi que le manque de

maitrise de l'opération de brasage va modifier la température maximale des fils de manière indépendante des paramètres du void.

IV.3.4.3. Analyse ANOVA sur les résidus

Les estimateurs ont été identifiés lors de l'analyse mathématique présentée précédemment. La détermination des estimateurs s'appuie sur la méthode des moindres carrés, qui permet de minimiser la somme des variances résiduelles. Elle a été procédée en utilisant les hypothèses sur les résidus ci-après :

- La normalité de la distribution (cf. § II.2.5) ;
- La variance constante (cf. § II.2.5) ;
- La randomisation (cf. § II.2.1). Cette hypothèse n'a plus de sens dans une étude numérique (cf. § II.2.3.4).

Cette analyse statistique sur les résidus permet donc de vérifier si ces hypothèses sont respectées. Elle est détaillée en Annexe 15.

IV.3.5. Analyse graphique du modèle

Nous allons observer l'évolution des réponses $T_{max}(MOS)$ et $T_{max}(fils)$ en fonction des facteurs influents sous forme graphique. Cette analyse permet de visualiser plus facilement les optima des réponses. Dans le cas de notre étude, nous devons identifier les configurations les plus critiques du void, c'est-à-dire le triplet (X_v, Y_v, T_v) qui maximise les températures $T_{max}(MOS)$ et $T_{max}(fils)$. Nous avons retenu lors de l'analyse mathématique (cf. § IV.3.3), qu'il n'existe pas un couplage important entre les paramètres techniques (k_1, k_2, E_v) et les paramètres du void (X_v, Y_v, T_v). Ceci signifie que les configurations critiques ne dépendent pas de ces paramètres techniques. Nous fixerons donc les facteurs k_1, k_2 à leur valeur de référence, c'est-à-dire à l'unité. Le facteur E_v , ayant une faible influence, il est arbitrairement défini égale à sa valeur moyenne de $235\mu m$ (cf. § II.3.7.1). Seule l'évolution des réponses observées vis-à-vis des facteurs caractéristiques du void est évaluée.

IV.3.5.1. Impact des facteurs sur la température maximale du MOSFET

Nous observons tout d'abord la variation de la taille du void au regard de celle des facteurs Y_v et T_v (cf. Figure IV-21). Les facteurs sont exprimés en valeur codée (cf. § IV.3.3).

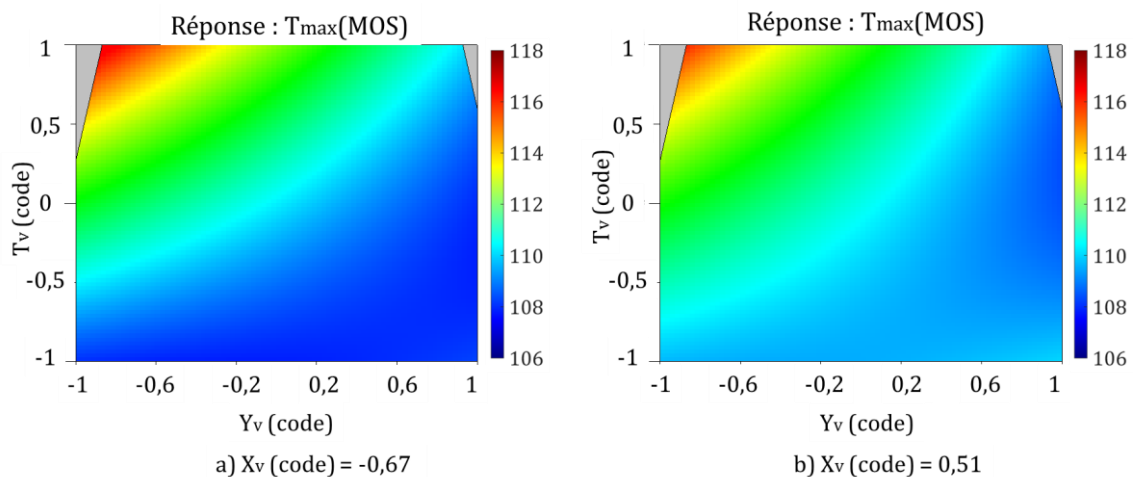


Fig. IV-21 : Effet de Y_v et T_v sur $T_{max}(MOS)$
avec $X_v(\text{codé}) = -0,67$ (a) et $X_v(\text{codé}) = 0,51\text{mm}$ (b)

Les figures démontrent le fort impact des facteurs Y_v et T_v . La température $T_{max}(MOS)$ augmente quand Y_v tend vers -1 et T_v tend vers 1. Les allures des deux cartographies sont presque identiques. La température diminue légèrement lorsque la valeur codée de X_v change de -0,67 à 0,51. A noter que deux régions grises dans les cartographies ne sont pas accessibles à cause des contraintes dans le domaine d'étude (cf. § II.3.4.1). Nous pouvons dire que la position la plus critique du void est sous la prise de contact du fil N°1 (le fil le plus chaud). Nous pouvons confirmer cette observation en regardant la cartographie de température $T_{max}(MOS)$ à différentes positions du void lorsque la valeur codée de la taille T_v vaut l'unité (cf. Figure IV-22). L'impact de X_v est très faible, les iso-contours sont presque parallèle avec l'abscisse. La présence du void sous les fils chauds a la même criticité, même si il n'est pas sous le fil N°1.

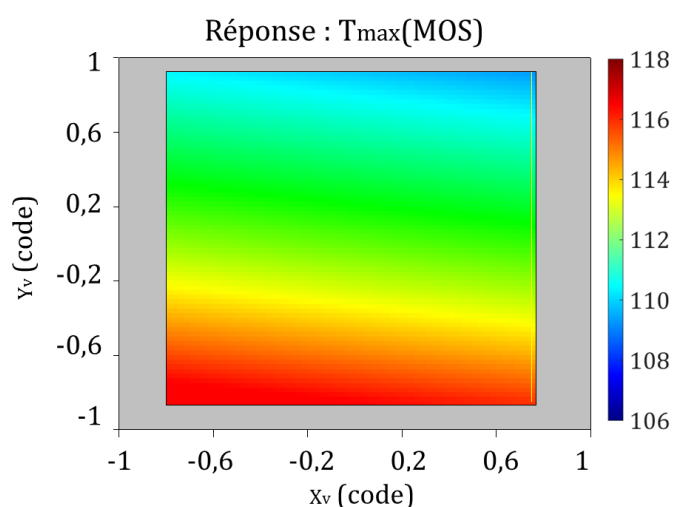


Fig. IV-22 : Effet de X_v et Y_v sur $T_{max}(MOS)$
quand $T_v(\text{codé}) = 1$

IV.3.5.2. Impact des facteurs sur la température maximale des fils

L'impact sur la température maximale des fils $T_{max}(fils)$ est relevé en Figure IV-23. Nous retrouvons la position la plus critique du void sous le fil N°1, mais l'impact est beaucoup moins significatif par rapport à celui sur la température $T_{max}(MOS)$ pour la même taille du void.

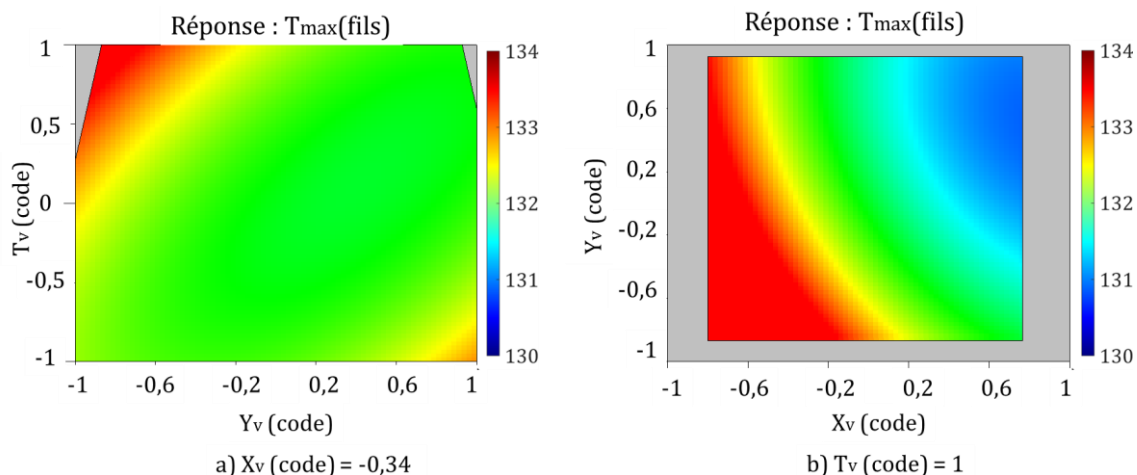


Fig. IV-23: Effet de Y_v et T_v sur $T_{max}(fils)$ quand $X_v(\text{codé}) = -0,34$ (a)
 et effet de la position (X_v, Y_v) du void sur $T_{max}(fils)$ quand $T_v(\text{codé}) = 1$ (b)

IV.3.6. Validation des fonctions de réponse

Les équations mathématiques issues de l'étude de simulation paramétrique couplée avec le plan optimal seront validées à partir des réponses obtenues par les simulations. Nous reprenons les simulations effectuées sur les modules N°45, N°46 et N°47, c'est-à-dire à des configurations arbitraires qui n'apparaissent pas dans les 31 configurations du plan optimal.

Le logiciel Design Of Expert évalue des réponses prédites moyennes en fonction des facteurs liés aux trois modules. Il calcule ainsi l'intervalle de confiance associé à chaque réponse prédictive. Nous pouvons remarquer que les réponses obtenues par la simulation pour les modules N°45 et N°46 rentrent dans les intervalles de confiance calculés. Ceci permet de valider les fonctions des réponses issues de l'analyse mathématique et l'analyse ANOVA.

Tableau IV-14 : Prédiction des réponses numériques pour les modules avec void utilisés

	Réponse	Réponse prédites moyenne	Ecart-Type	Réponse prédites inférieure	Réponse prédites supérieure	Réponses simulée
Module N°45	$T_{max}(MOS)$	158,38	0,65	157,00	159,75	159,45
	$T_{max}(fils)$	171,52	0,77	169,89	173,15	172,56
Module N°46	$T_{max}(MOS)$	171,88	0,65	170,47	173,30	172,85
	$T_{max}(fils)$	185,20	0,77	183,53	186,88	185,86
Module N°47	$T_{max}(MOS)$	169,85	0,65	167,31	172,38	172,00
	$T_{max}(fils)$	187,76	0,77	184,75	190,77	184,50

Nous pouvons ainsi noter que la réponse simulée $T_{max}(fils)$ du module N°47 ne rentre pas dans l'intervalle de confiance proposé par la fonction de réponse correspondante. Ceci s'explique par le fait que le facteur k_2 , valant 46 dans cette configuration, dépasse sa limite supérieure qui est fixée à 40 dans son domaine d'étude (cf. § II.3.7.1). Néanmoins, l'écart entre la réponse simulée et celle prédite par le modèle n'est pas très élevé.

Conclusion du Chapitre IV

Dans ce chapitre, nous avons évalué la performance du modèle sans void et avec void. Les confrontations entre les résultats numériques et expérimentaux ont montré la bonne qualité des modèles du point de vue thermique et électrique. En particulier, le modèle avec void a prouvé sa robustesse dans l'évaluation des phénomènes électriques et thermiques pour différentes configurations de void unique. Après la validation du modèle avec void, les simulations paramétriques couplées avec le plan optimal, défini au chapitre II, ont identifié les facteurs influents sur les deux réponses $T_{max}(MOS)$ et $T_{max}(fils)$. Parmi les facteurs techniques, les paramètres k_1 et k_2 ont l'effet le plus significatif mais indépendant de celui des facteurs caractérisant le void. En général, l'effet du void sur la réponse $T_{max}(MOS)$ est nettement plus significatif que sur la réponse $T_{max}(fils)$. Parmi les facteurs liés au void, la contribution de la taille du void T_v à la variation des deux réponses est la plus importante. Quant à la position Y_v , elle affecte de manière importante la réponse $T_{max}(MOS)$. Elle prévient que cette réponse sera maximale lorsque le void est placé du côté des prises chaudes. L'impact du facteur X_v est non-négligeable mais moins significatif. Il indique que la position la plus critique du void est obtenue lorsque celui-ci est localisé sous la prise chaude du fil le plus chaud (celui situé proche de la grille). La qualité de prédiction des modèles mathématiques des réponses issus de la MSR a été justifiée en comparant leurs prédictions à des résultats de simulation sur certaines configurations de void. Ces modèles mathématiques permettront d'extraire les critères d'acceptabilité du void une fois que les critères de sécurité du composant et des fils seront renseignés.

Conclusion générale et perspectives

Les attentes des industriels de plus en plus sévères en termes de performance et de fiabilité pour l'assemblage de puissance ont amené à optimiser sa qualité en tenant compte des contraintes économiques. La qualité de la brasure de puce, affectée par la présence de void, fait l'objet de notre investigation. Dans ce manuscrit, j'essaie d'acquérir de nouvelles connaissances sur l'effet des voids sur les performances électriques et thermiques de l'assemblage.

Le premier chapitre, consacré à une étude bibliographique, a mis en évidence les lacunes sur l'impact des voids sur les performances et la fiabilité pour les assemblages de puissance. Une d'elles provient de l'absence de méthode permettant d'évaluer les effets dus aux facteurs influents ainsi que de ceux engendrés par leurs interactions. Une autre réside dans l'absence de modèles permettant de prendre en compte les couplages multiphysiques dans le composant et les fils de puissance. De plus, des méthodes expérimentales, permettant de valider les modèles numériques, restent à améliorer. J'ai essayé dans les travaux présentés de prendre en compte et de combler au maximum ces lacunes.

Dans le deuxième chapitre, j'ai présenté la méthode MSR et l'ai appliqué pour évaluer les effets des voids sur les grandeurs caractérisant les performances de l'assemblage. Celle-ci, basée sur un modèle postulé de forme quadratique, permet de réaliser une analyse couplée entre les facteurs influents. Ces facteurs concernent non seulement les caractéristiques du void unique (position dans X_v , Y_v et taille T_v) mais aussi les facteurs techniques liés aux conductivités thermiques des interfaces et à l'épaisseur de la brasure des assemblages testés. La méthode MSR, après avoir minimisé le nombre d'expériences, a identifié les 31 configurations du void à étudier. Elles font partie d'un plan optimal qui sera utilisé pour les simulations paramétriques que nous avons détaillées dans le **Chapitre IV**. Une étude préliminaire a validé ce plan optimal en évaluant l'orthogonalité des points d'expériences. Dans ce chapitre, j'ai également proposé une méthode permettant de générer le void unique dans la brasure, en contrôlant sa taille et sa position. Cette méthode a été utilisée pour réaliser les prototypes expérimentaux avec lesquels nous avons réalisés des mesures électriques et thermiques dans les **Chapitre III** et **Chapitre IV**.

Dans le **Chapitre III**, j'ai introduit deux modèles par éléments finis, représentatifs des cas : sans et avec void. Ils prennent en compte des couplages électrothermiques dans la partie active du MOSFET et dans les fils de puissance. Ces modèles par éléments finis, permettent de comprendre les phénomènes avec un grand facteur échelle, de l'ordre du micromètre dans le composant MOSFET, jusqu'à l'ordre du centimètre, voire du décimètre dans les autres éléments de l'assemblage (semelle, refroidisseur...). Dans ces modèles, le MOSFET est discrétisé en différents volumes, y compris la partie active et non active. Le maillage et le solveur ont été optimisés afin d'obtenir un meilleur compromis entre la précision et le temps de calcul. J'ai présenté tout d'abord les résultats numériques obtenus avec le modèle sans void. Au niveau des fils de bonding, une distribution de la température et du courant hétérogène a été relevée, permettant de vérifier la prise en compte des couplages électrothermiques. Le fil près du bord, du côté de la grille est le plus chaud puisqu'il reçoit le plus du courant. En revanche, celui situé au centre est le plus froid puisqu'il conduit moins de courant. Quant à la métallisation de source, nous avons constaté que la température sous les prises de contact chaudes, est plus élevée que celle sous les prises froides. Cette observation s'explique par la conduction thermique des fils et la distribution des lignes de courant à la surface supérieure de cette métallisation. La température maximale de cette dernière

se trouve près de son centre due à l'effet du couplage global et de la convection imposée à son bord. Nous avons ensuite évalué le modèle avec void. Nous avons remarqué que ce dernier n'a pas d'effet significatif sur la distribution du courant et de la température dans les fils. Par contre, une zone chaude est apparue dans la partie de la métallisation à l'aplomb du void dans laquelle la chaleur est plus difficilement évacuée. Afin de trouver des explications pour ces résultats, nous avons observé le phénomène dans la métallisation de drain et dans le substrat N+ du MOSFET. Nous avons constaté que l'épaisseur de la métallisation de drain du MOSFET influence fortement la redistribution du courant dans les parties situées au-dessus de la brasure. Par conséquent, elle affecte la puissance dissipée dans la portion du MOSFET à l'aplomb du void. Dans le cas de notre assemblage, les lignes de courant ne sont quasiment pas modifiées dans le MOSFET et dans les fils. L'impact du void est principalement d'origine thermique dû à la mauvaise conductivité thermique du void. L'impact est donc présent localement dans la zone du void.

Le dernier chapitre est consacré à la validation des modèles à travers des campagnes expérimentales effectuées à l'aide d'un banc de test. La validation est réalisée avec un module sans void et trois modules ayant différentes configurations de void. Nous avons trouvé une bonne concordance entre les résultats obtenus par simulation et les mesures thermiques et électriques pour tous les cas évalués. Après l'étape de validation, les modèles ont été utilisés pour l'étude de simulation paramétrique couplée avec le plan optimal construit dans le **Chapitre II**. Les analyses mathématiques et statistiques ont permis d'extraire les fonctions de réponse $T_{max}(MOS)$ et $T_{max}(fils)$ en fonction des paramètres influents et leurs interactions. Il a été constaté que les paramètres techniques modifient la température maximale des fils de manière indépendante des paramètres du void. Quant aux facteurs liés au void, la taille est le facteur le plus influent sur les réponses observées. Cependant, son influence est nettement plus importante sur la réponse $T_{max}(MOS)$ que sur la réponse $T_{max}(fils)$. L'impact du facteur Y_v est significatif sur la réponse $T_{max}(MOS)$. La valeur critique de Y_v correspond au cas où le void est localisé du côté des prises de contact chaudes. Il a un faible impact sur la réponse $T_{max}(fils)$. L'effet dû au facteur X_v seul est négligeable sur la réponse $T_{max}(MOS)$. Il génère par contre un impact non négligeable lorsqu'il est couplé avec le facteur T_v . Cette situation correspond à un gros void situé sous la prise du fil le plus chaud, qui devient la configuration la plus critique du void unique. Tout comme les facteurs Y_v et T_v , le facteur X_v a une faible influence sur la réponse $T_{max}(fils)$. Les réponses issues de la méthode MSR ont été comparées à celles obtenues par simulations et par mesures thermiques avec les trois modules avec void. Ceci permet de justifier la qualité prédictive des réponses générées par la méthode MSR.

Ces travaux n'ont pas cherché à proposer des critères d'acceptabilité de void dans la brasure de la puce. En effet, les critères obtenus avec les prototypes seraient différents de ceux liés aux modules commercialisés. Ici, je ne m'intéresse qu'à l'évaluation de manière qualitative de l'impact du void. Les résultats obtenus permettent malgré tout une réflexion sur les méthodes utilisées pour l'inspection de la qualité de la brasure dans les modules de puissance de façon générale. Ils permettent également d'optimiser la géométrie de l'assemblage ainsi que de sélectionner l'outil de brasage le plus adapté aux critères fonctionnels et économiques de l'industrie automobile. D'une part, il a été démontré que ces critères dépendent fortement de l'épaisseur de la métallisation de la face arrière du composant (la métallisation de drain dans le cas de nos MOSFETs). Cette observation doit inciter les fabricants de modules de puissance à identifier l'épaisseur optimale de cette métallisation afin d'harmoniser le pic de température du composant dans la zone du void, donc de réduire sa criticité. D'autre part, les critères d'acceptabilité doivent

prendre en compte non seulement le taux de voids mais aussi leur position par rapport aux prises de contact de bonding. En effet, un critère plus sévère doit être proposé pour les voids situés sous les prises de contact chaudes, et plus souple pour ceux localisés dans la zone restante. L'optimisation de ces critères permet de ne pas rejeter par erreur les modules dont la criticité est surévaluée, donc intéressant sur le plan économique. De plus, les niveaux d'acceptabilité des voids sont un indicateur pour la mise au point la plus adéquate possible de l'outil de brasage. Pour certaines applications, cela éviterait l'utilisation dans la chaîne de production d'outils à la fois coûteux et compliqués à mettre en place, comme le brasage sous vide. Les niveaux d'acceptabilité réalistes ne peuvent être obtenus qu'avec une analyse quantitative. Une telle analyse nécessite des conditions idéales, c'est-à-dire que la réalisation des modules doit être la plus reproductive possible. Celle-ci fait appel à des modules issus de la chaîne de production.

La visualisation de l'impact du void devrait se faire à l'aide des techniques permettant d'extraire une cartographie de température du module. En effet, nous avons remarqué que l'effet du void est local, une température moyenne ou celle relevée à un endroit spécifique ne permettent pas de capturer son impact.

Cette étude est limitée à l'évaluation de l'impact du void en régime stationnaire. Dans le monde industriel, on cherche aussi à comprendre son impact dans des conditions spécifiques, comme par exemple les régimes transitoires, de court-circuit ou d'avalanche. Une autre condition encore plus sévère, représentée par un cycle d'avalanche précédé par un régime de conduction, pourrait être aussi une des grandes perspectives de cette étude.

Les modèles proposés lors de cette étude ont prouvé leur performance dans le cas du void unique. Une évaluation plus généralisée dans le cas de voids multiples serait intéressante afin de vérifier sa robustesse. Une méthode analytique serait à identifier afin d'estimer les réponses dans le cas de plusieurs voids à partir de celles données par l'étude portée sur le void unique. Les éventuels effets interactifs entre deux ou plusieurs voids différents seraient aussi à évaluer afin de compléter cette étude.

Cette thèse pourrait également se poursuivre par une évaluation de l'impact du void avec les nouvelles alternatives pour les composants de puissance : les composants à grand gap (SiC, GaN, diamant...). Ces composants, subissant des stress thermiques et électriques plus importants, nécessiteraient des critères d'acceptabilité de void plus stricts par rapport à ceux appliqués aux composants silicium. Ces futurs travaux permettront d'enrichir les connaissances qui restent encore restreinte sur les nouveaux composants.

Nous avons vu de nombreuses perspectives sur la thématique de void. La finalité industrielle repose sur la fiabilité de l'assemblage. La qualité de la brasure doit répondre à la fois à des critères de performance et de fiabilité. L'analyse de l'impact du void sur la performance permet de proposer un ordre d'idée sur la fiabilité. Une étude approfondie sur son effet sur la fiabilité sous cyclages actifs et passifs permettrait d'étendre le champ de connaissance. Cette étude devrait être réalisée avec les assemblages reproductifs et avec une méthode plus adéquate pour relever la température du composant, dans et hors de la zone du void.

Annexes

Annexe 1: **SAS OPTEX** procédure

Les coefficients caractérisant les différents critères d'optimalité sont déterminés à partir des relations suivantes :

$$D_{\text{eff}} = 100 \times \left(\frac{|X'X|^{1/p}}{N} \right)$$
$$A_{\text{eff}} = 100 \times \left(\frac{p}{\text{trace}(N(X'X)^{-1})} \right)$$
$$G_{\text{eff}} = 100 \times \sqrt{\frac{p}{\max_{x \in C} NV(x)}} = 100 \times \sqrt{\frac{p}{N \max_{x \in C} X^{(m)'}(X'X)^{-1}X^{(m)}}}$$
$$I = \text{average}_{x \in C} NV(x) = \text{average}_{x \in C} N X^{(m)'}(X'X)^{-1}X^{(m)}$$

Où N est la taille du plan d'expériences (nombre d'expériences), p exprime le nombre d'estimateurs du modèle, C décrit l'ensemble des points d'expériences générées par l'utilisateur du plan d'expériences

Annexe 2: Contrôle de la l'épaisseur de voids

Les images RX nous ont permis d'inspecter la qualité des voids contrôlés dans un plan en mesurant la position (X, Y) et la taille de chaque void. Cependant, les images RX ne sont pas capables de donner une vision de la forme de void. Nous nous intéresserons surtout à l'épaisseur du void. D'après l'état de l'art, il relève que l'impact d'un void traversant est plus critique à celui d'un void borne. De plus, dans notre approche, nous avons proposé l'hypothèse que le void est traversant. Nous pouvons gérer facilement l'épaisseur d'un void numérique. Afin de pouvoir confronter expérimentalement, nous devons contrôler par une analyse destructive cette caractéristique géométrique pour éviter de mauvaises interprétations.

Nous sélectionnons 2 images RX de 2 brasures avec des voids contrôlés. Les voids à inspecter sont choisis de sorte que leur opacité (netteté) soit différente. Leur taille est presque identique.

- Module E52 : image RX le plus flou (la couleur dans la zone de void est « transparente ») ;
- Module E56 : image RX et très net (la couleur dans la zone de void est blanche).

Nous procédons à la micro-section de la zone proche du centre de chaque void (traits pointillés). Nous obtenons les images de la micro-section données par la caméra AxioCam Icc1R3, montée sur un microscope optique inversée (cf. Figure A - 1)

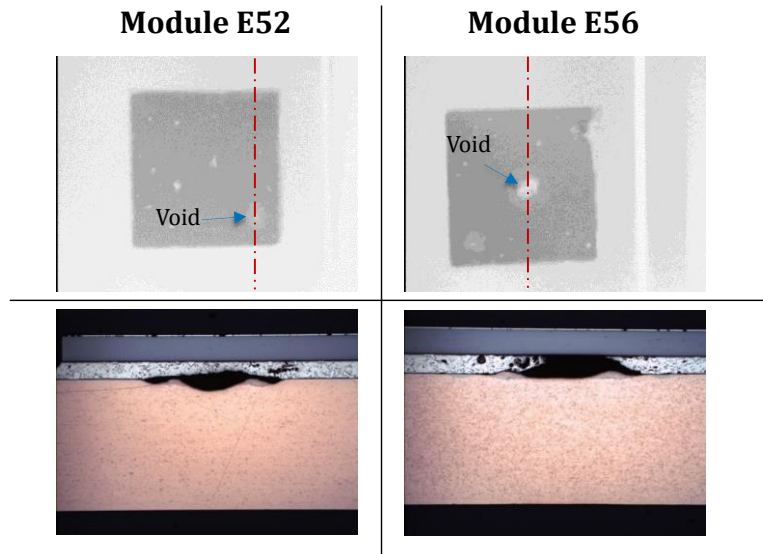


Fig. A - 1 : Observation de la forme des voids par micro-section

Les résultats de cette campagne a permis de démontrer que plus la couleur est claire plus la quantité de gaz emprisonné est élevée et par voie de conséquent plus le void est proche d'une configuration type traversant. Le void E52 caractérisé par un faible contraste est quant à lui non traversant. Au contraire, le void est traversant dans le cas du void E56 caractérisé par un contraste élevé. Nous pouvons en premier temps se repérer par rapport au contrat relevé sur l'échantillon E56. Ceci n'est qu'une estimation relative mais nous pourrons vérifier l'épaisseur des voids contrôlés par micro-section quand toutes les mesures auront été effectuées.

Annexe 3: Contrôle de l'épaisseur de la brasure

Nous ne pouvons pas évaluer l'épaisseur de la brasure de façons directe avec le profilomètre puisque ce n'est pas possible d'accéder cette à l'interface brasure - puce. Nous mesurons d'abord l'épaisseur de l'ensemble brasure – puce MOSFET. Nous supposons que la production des puces est parfaitement maitrisée, c'est-à-dire que l'épaisseur est constante pour tous les MOSFETS que nous possédons (238 μ m). Cette hypothèse nous permet d'en déduire l'épaisseur de la brasure.

Afin de mesurer l'épaisseur totale (brasure + MOSFET), nous créons un repérage au niveau du substrat de cuivre. Nous effectuons la mesure d'épaisseur à l'aide du profilomètre à 8 points sur la métallisation et un point sur le pad de grille du MOSFET (cf. Figure A – 2)

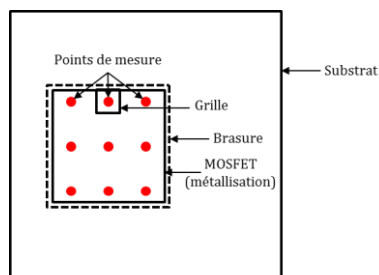


Fig. A - 2 : Méthode de mesure de l'épaisseur totale de l'ensemble MOSFET - brasure

Les résultats de cette mesure sont présentés dans le tableau ci-après :

Module	$E_{\text{MOSFET}} + E_{\text{SAC}}$ (μm)	E_{SAC} (μm)	$\frac{E_{\text{SAC}} - \overline{E_{\text{SAC}}}}{\overline{E_{\text{SAC}}}}$	Tilt ($^{\circ}$)
N°2	425	187	-15	0,89
N°36	439	201	-8	0,94
N°40	454	216	-2	0,29
N°43	456	218	-1	0,77
N°45	484	246	12	0,71
N°46	501	263	20	0,15
N°47	435	197	-10	0,72
N°48	461	223	2	0,62
N°51	478	240	9	0,33
N°53	467	229	4	0,82
N°54	453	215	-2	0,31
N°58	423	185	-16	0,12
N°59	429	191	-13	0,33
N°60	523	285	30	0,11
N°61	433	195	-11	0,77
N°62	458	220	0	0,26
Etendu	100	100	46	
Moyenne		219		
Ecart-Type		28		
Coefficient de dispersion		12,45%		

Annexe 4: Paramètres du plan optimal

Paramètre	Désignation	Valeur	Unité
E_h	Distance entre l'axe β et fil N°1	1,04	mm
W_{bw}	Largeur de la prise de contact du fil	0,5	mm
D_h	Distance entre 2 fils	0,35	mm
E_v	Distance entre l'axe α et les fils chauds	1,28	mm
L_{bw}	Longueur de la prise de contact du fil	1,3	mm
D_v	Distance entre 2 prises de contact d'un même fil	2,675	mm
L_p	Longueur de la puce MOSFET	8	mm
W_p	Largeur de la puce MOSFET	8	mm
n	Nombre de fils	8	
X_{vmin}	Niveau bas du facteur X_v	0,865	mm
X_{vint}	Moyenne du facteur X_v	4,265	mm
X_{vmax}	Niveau haut du facteur X_v	7,665	mm
ρ_h	Pas de discrétisation du facteur X_v	0,425	mm
Y_{vmin}	Niveau bas du facteur Y_v	1,14	mm
Y_{vint}	Moyenne du facteur Y_v	3,918	mm
Y_{vmax}	Niveau haut du facteur Y_v	6,700	mm
ρ_v	Pas de discrétisation du facteur Y_v	0,994	mm
T_{vmin}	Niveau bas du facteur T_v	1	mm
T_c	Moyenne du facteur T_v	2	mm
T_{vmax}	Niveau haut du facteur T_v	3	mm
ρ_T	Pas de discrétisation du facteur E_v	0,5	mm
E_{vmin}	Niveau bas du facteur E_v	0,185	mm
E_{vint}	Moyenne du facteur E_v	0,235	mm
E_{vmax}	Niveau haut du facteur E_v	0,285	mm
λ_{01}	Conductivité thermique de référence de TIM1	5	W/mK
λ_{02}	Conductivité thermique de référence de TIM2	1,6	W/mK
k_{1max}	Coefficient de dégradation maximal de l'interface TIM1	15	
k_{2max}	Coefficient de dégradation maximal de l'interface TIM2	40	
L_1	Longueur de l'interface TIM1	20	mm
W_1	Largeur de l'interface TIM1	20	mm
H_1	Epaisseur de l'interface TIM1	0,2	mm
L_2	Longueur de l'interface TIM2	88	mm
W_2	Largeur de l'interface TIM2	54	mm
H_2	Epaisseur de l'interface TIM2	0,13	mm

Annexe 5: Plan du MOSFET et d'assemblage des fils sur la métallisation de source du MOSFET (cf. Figure A - 3)

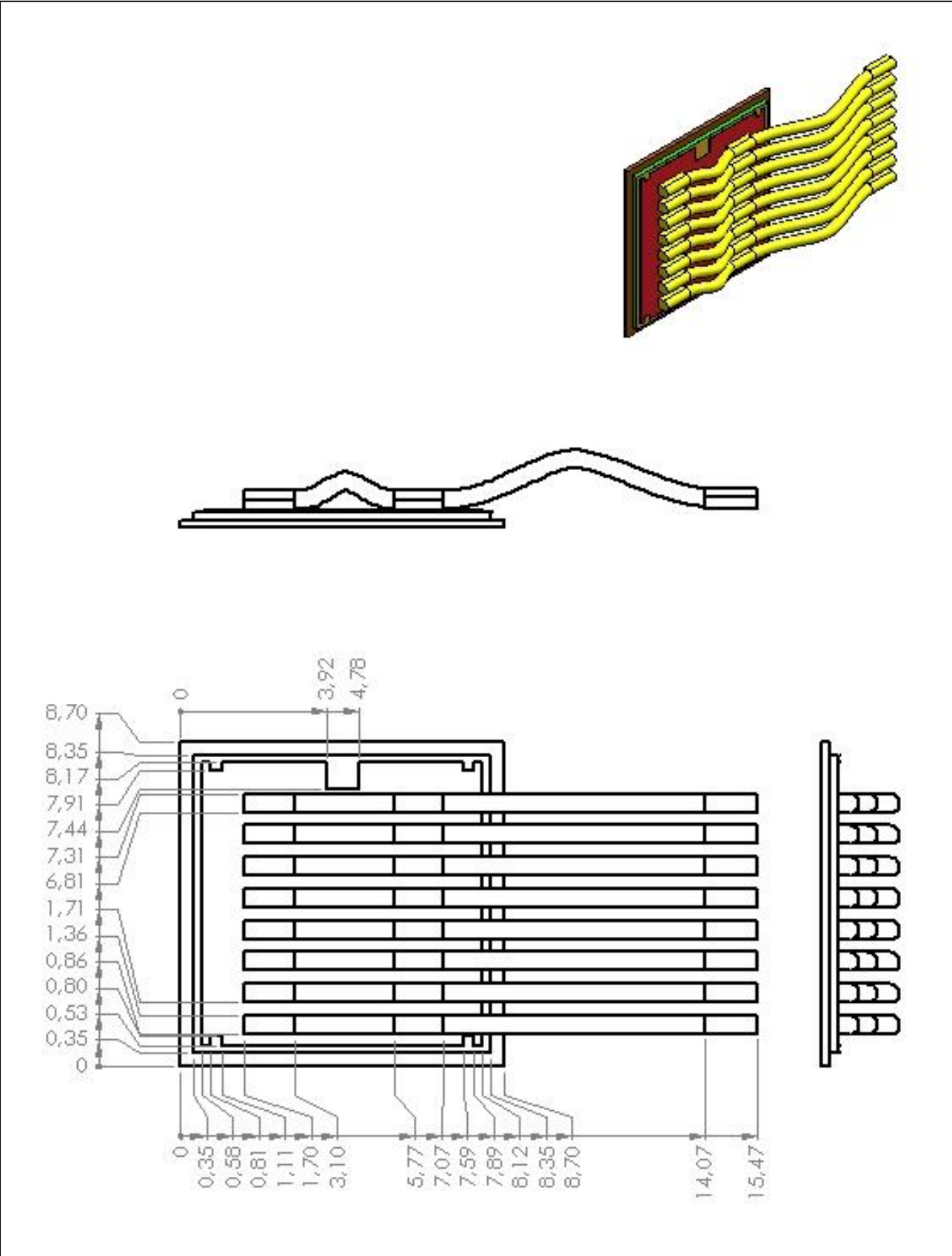


Fig. A - 3 : Dimension du MOSFET et emplacement des fils

Annexe 6: Plan d'assemblage du module (cf. Figure A - 4)

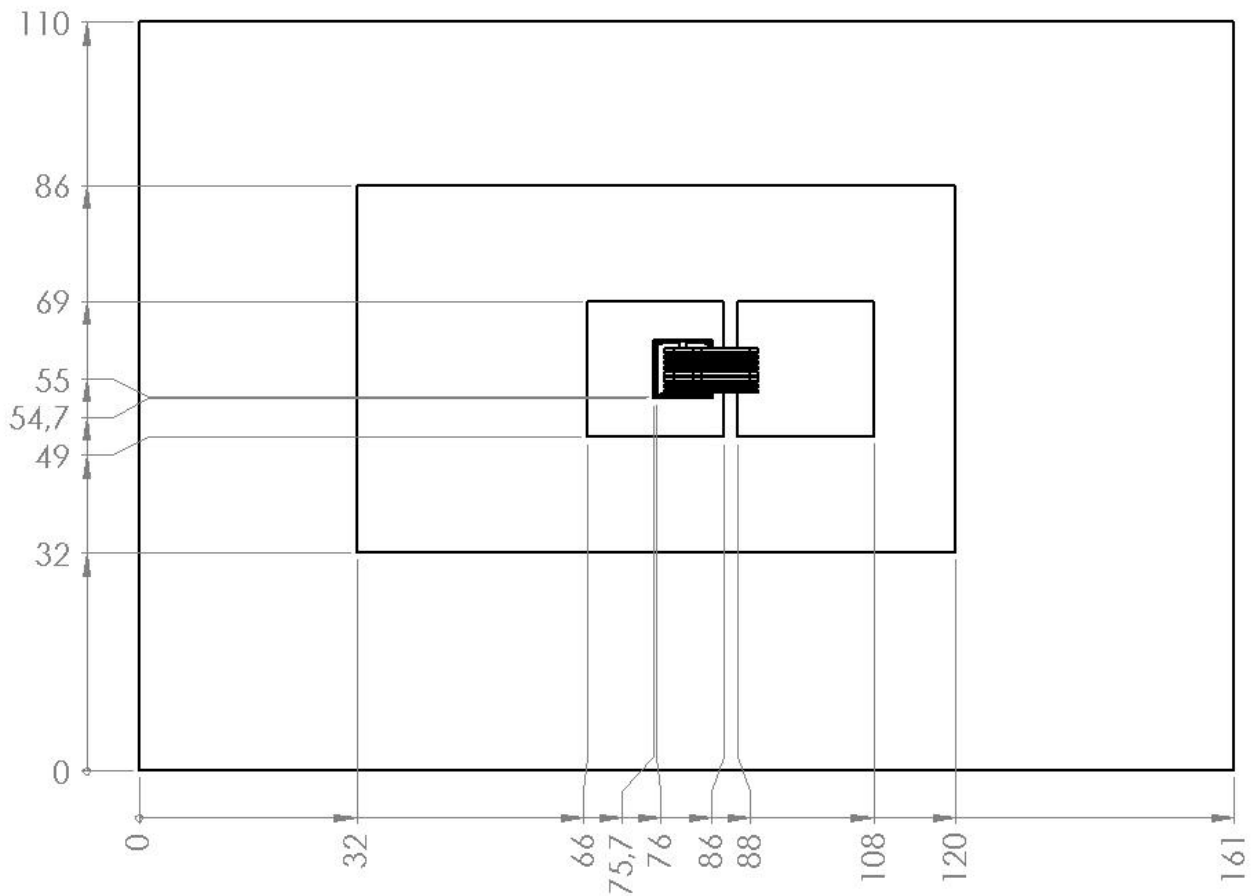


Fig. A - 4 : Plan d'assemblage des modules

Annexe 7: Schéma électrique de la carte de commande rapprochée (cf. Figure A - 5)

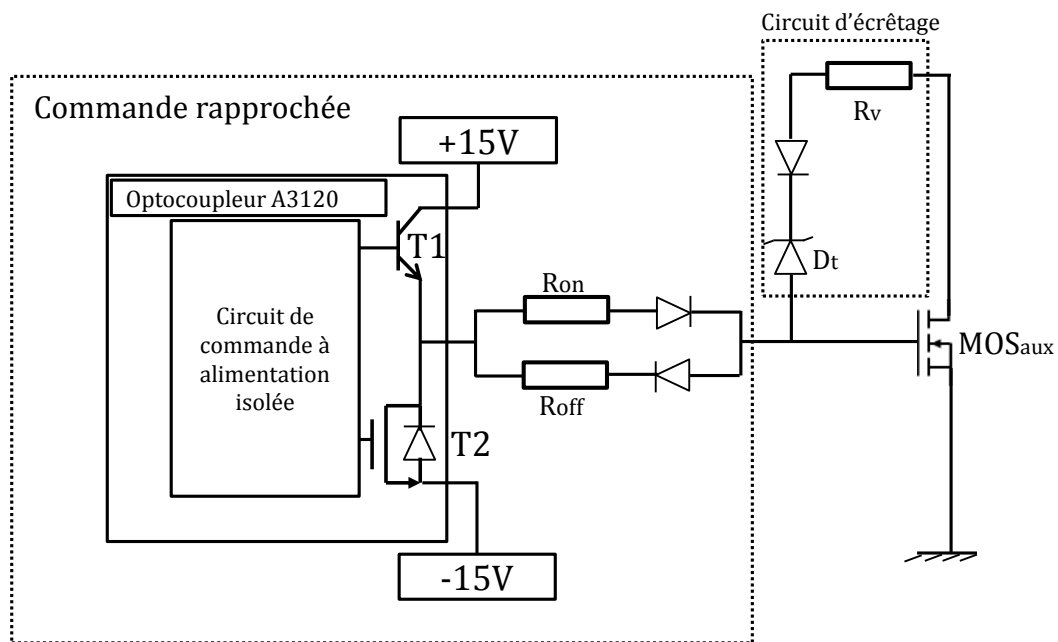


Fig. A - 5 : Schéma électrique de la carte de commande rapprochée

Annexe 8: Incertitude de mesures sur ρ_{active} :

$$\frac{\Delta\rho_{active}}{\rho_{active}} = \frac{\Delta V_{DS2}}{V_{DS2}} + \frac{\Delta I_{DUT}}{I_{DUT}} + \frac{\Delta S_{active}}{S_{active}} + \frac{\Delta e_{active}}{e_{active}}$$

Où $\Delta\rho_{active}$, ΔV_{ds2} , ΔI_{DUT} , ΔS_{active} , Δe_{active} sont respectivement l'erreur absolue du calcul de la résistivité, de la mesure de la chute de tension directe V_{ds2} , du courant traversant le DUT, de l'aire du MOSFET et de son épaisseur. Dans le dessin technique du MOSFET, Δe_{active} n'est pas renseignée. Nous supposons que l'erreur sur ce paramètre n'est significative. Etant donné que l'aire du MOSFET est le produit de sa longueur L_p par sa largeur W_p , l'erreur commise lors de la mesure de la surface avec le profilomètre est donnée par :

$$\frac{\Delta S_{active}}{S_{active}} = \frac{\Delta L_p}{L_p} + \frac{\Delta W_p}{W_p}$$

Où ΔL_p , ΔW_p sont respectivement l'erreur liée à L_p et à W_p . Nous en déduisons :

$$\frac{\Delta\rho_{active}}{\rho_{active}} = \frac{\Delta V_{ds2}}{V_{ds2}} + \frac{\Delta I_{total}}{I_{total}} + \frac{\Delta L_p}{L_p} + \frac{\Delta W_p}{W_p}$$

A noter que l'erreur sur la mesure L_p et W_p est évaluée à partir de la précision du profilomètre en trois dimensions. Le calcul de l'erreur sur L_p et W_p est détaillée en Annexe 16. En outre, nous devons prendre en compte dans ΔI_{DUT} l'erreur due à la conversion courant-tension (cf. Annexe 17). Nous obtenons alors pour la précision de ρ_{active} :

$$\frac{\Delta\rho_{active}}{\rho_{active}} = \frac{\Delta V_{ds2}}{V_{ds2}} + \frac{\Delta V_{shunt}}{V_{shunt}} + \frac{\Delta I_{shunt}}{I_{shunt}} + \frac{\Delta L_p}{L_p} + \frac{\Delta W_p}{W_p}$$

Où R_{shunt} , V_{shunt} sont respectivement la résistance et la tension aux bornes du shunt, ΔR_{shunt} et ΔV_{shunt} étant les erreurs liées à ces paramètres.

L'application numérique :

- L'erreur relative $\frac{\Delta R_{shunt}}{R_{shunt}}$ du shunt est d'environ 0,5% d'après sa fiche technique ;
- Les erreurs relatives $\frac{\Delta L_p}{L_p}$ et $\frac{\Delta W_p}{W_p}$, respectivement sur la mesure de la longueur et de la largeur de la puce MOSFET, sont d'environ 0,026% (cf. Annexe 16) ;
- Les erreurs sur les chutes de tension ΔV_{ds2} et ΔV_{shunt} incluent une partie variable correspondant à 0,075% du calibre de mesure et une partie fixe de 400 μ V. A noter que ces tensions relevées est la moyenne des mesures effectuées dans l'intervalle [100ms ; 150 μ s]. Comme le calibre est identique pour tous les points de mesure, leur erreur est identique et égale à l'erreur sur la tension retenue.

L'erreur de l'extraction de la résistivité électrique de la partie active $\Delta\rho_{active}$ varie avec la température et le niveau de courant. Plus ils sont grands, plus la mesure sera précise et plus l'erreur $\Delta\rho_{active}$ sera petite. Pour donner un ordre de grandeur de $\Delta\rho_{active}$:

- Pour une température T_j égale à 36,2°C avec un courant I_{total} de 5A (le calibre utilisé pour la mesure des tensions V_{ds2} et V_{shunt} est de 20mV) :

$$\frac{\Delta\rho_{active}}{\rho_{active}} = \frac{0,075\% \times 20 + 0,4}{2,60} + \frac{0,075 \times 20 + 0,4}{1,87} + 0,005 + 0,00026 + 0,00026 = 31,28\%$$

- Pour une température T_j égale à 115°C avec un courant I_{total} de 200A (le utilisé pour la mesure de la tension V_{ds2} est de 200mV et celui pour la tension V_{shunt} est de 100mV) :

$$\frac{\Delta\rho_{active}}{\rho_{active}} = \frac{0,075\% \times 200 + 0,4}{147,7} + \frac{0,0075\% \times 100 + 0,4}{79,78} + 0,005 + 0,00026 + 0,00026 = 1,15\%$$

Annexe 9: L'optimisation du procédé de dépôt de peinture

La peinture est pulvérisée sur le module à l'aide d'un pistolet à air comprimé connecté au robot. Le débit de peinture à la sortie de la buse du pistolet est donné par une ouverture fixe de cette dernière ainsi que par une pression d'air constante (0,2 bar). La distance de pulvérisation entre la buse et le module est aussi optimisée afin de mieux maîtriser la quantité de peinture déposée sur le module. Une fois le débit établi, l'épaisseur de la peinture ne dépend alors que de la vitesse de déplacement du robot et du nombre de trajets effectués par ce dernier. Une série d'essais de dépôt de peinture a montré que le procédé est optimal pour quatre déplacements à 600mm/s.

L'évolution de l'épaisseur de la peinture suivant la vitesse de déplacement du robot pour deux trajets du robot est présentée en Figure A - 6 :

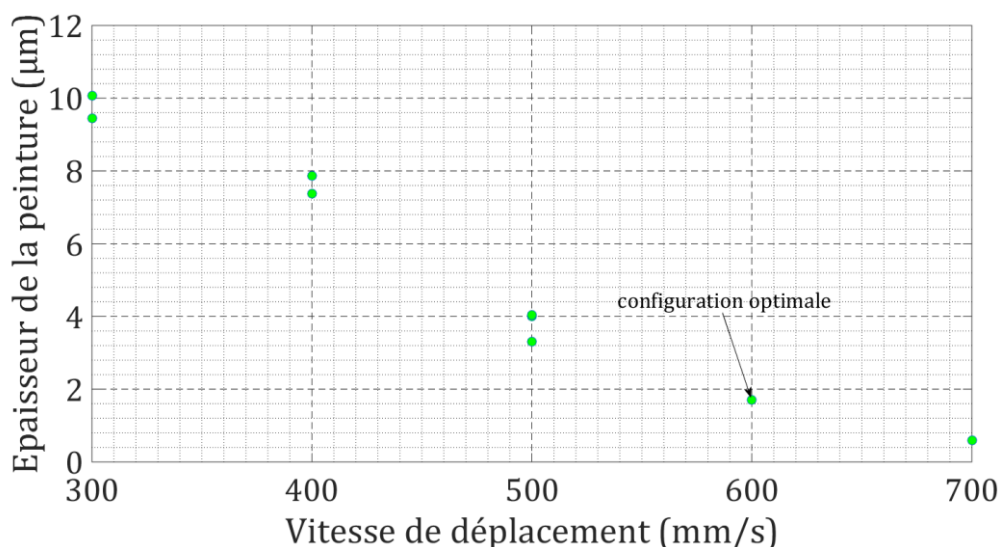


Fig. A - 6 : Schéma électrique de la carte de commande

La vitesse optimale du robot est de 600mm/s, ce qui permet une épaisseur souhaitée (environ 2 μ m). A la vitesse de 700mm/s, nous pouvons obtenir une peinture encore moins épaisse (moins de 1 μ m), mais l'uniformité de la peinture devient sensible. Afin d'améliorer son homogénéité, nous répétons le trajet du robot. La relation entre l'épaisseur de la peinture et le nombre de trajets est exposée en Figure A - 7 :

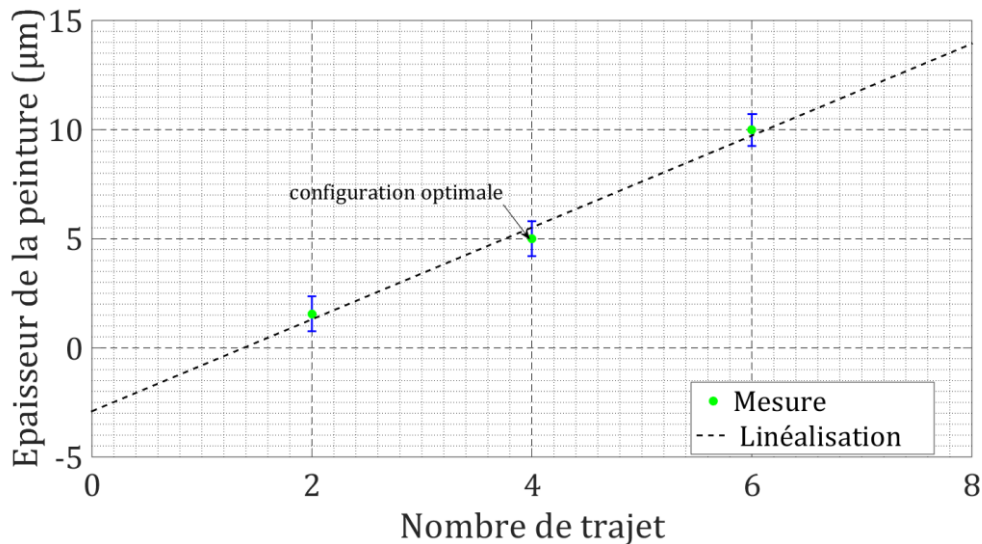


Fig. A - 7 : Schéma électrique de la carte de commande

Le nombre de trajet (4) offre un meilleur compromis entre l'épaisseur souhaitée (5 μ m) et son uniformité.

Annexe 10: Comparaison des caractéristiques $I(V, T_j)$ du MOSFET N°2 avant et après la mise en peinture (cf. Figure A - 8)

Nous comparons les caractéristiques $I(V, T_j)$ obtenues avec le module N°2 avant et après la mise en peinture. Cette comparaison est effectuée à deux températures de consigne (40°C et 180°C). L'écart de la tension V_{ds} à 200A obtenues dans les deux cas est respectivement de 1mV (40°C) et 2mV (180°C). Les écarts relatifs sur V_{ds} sont inférieurs à 1%. A la consigne de température de 40°C, cet écart peut s'expliquer par le fait que la température est plus inférieure dans le cas sans peinture (1,1°C). Or, à 200A, les caractéristiques montrent une élévation d'environ 0,5mV/°C. A la même température (37,3°C), les deux caractéristiques devraient être plus proches puisque la courbe correspondant au cas sans peinture serait décalée vers la droite. A la consigne de température de 180°C, cet écart pourrait provenir de l'erreur des mesures thermiques effectuées par le thermocouple de type K. L'erreur de mesure avec ce type de thermocouple que nous utilisons est $\pm 1,5^\circ$ C, selon la norme NF EN 60-584. Malgré tout, les écarts restent faibles. L'impact dû à la peinture n'est donc pas important.

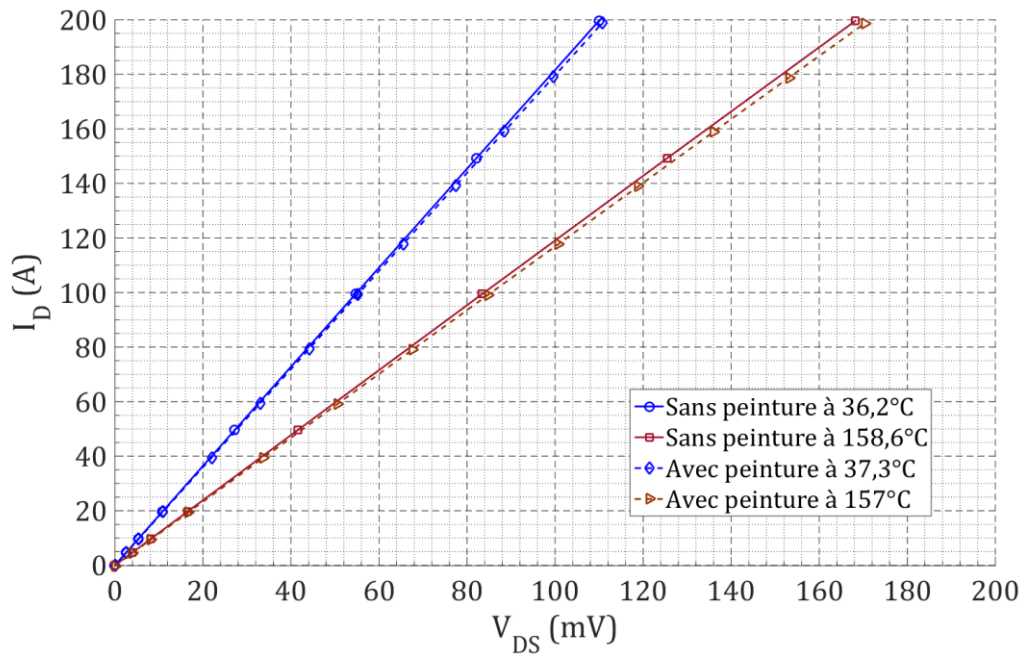


Fig. A - 8 : Influence de la peinture sur les caractérisations $I(V, T_j)$

Annexe 11: Caractérisations électrothermiques des MOSFETs N°45, N°46, N°47

MOSFET N°45 :

RdsON (Globale) (Ω)	T(consigne) ($^{\circ}\text{C}$)	T(semelle) ($^{\circ}\text{C}$)	RN+ (Ω)	Ractive (Ω)	Ractive/RdsON(Globale) %	ρ active (Ωm)
$5,19 \cdot 10^{-4}$	40	36,4	$3,56 \cdot 10^{-4}$	$1,63 \cdot 10^{-4}$	31,4	$9,24 \cdot 10^{-4}$
$5,93 \cdot 10^{-4}$	80	70	$3,56 \cdot 10^{-4}$	$2,36 \cdot 10^{-4}$	39,9	$1,34 \cdot 10^{-3}$

MOSFET N°46 :

RdsON (Globale) (Ω)	T(consigne) ($^{\circ}\text{C}$)	T(semelle) ($^{\circ}\text{C}$)	RN+ (Ω)	Ractive (Ω)	Ractive/RdsON(Globale) %	ρ active (Ωm)
$5,28 \cdot 10^{-4}$	40	36,5	$3,56 \cdot 10^{-4}$	$1,72 \cdot 10^{-4}$	32,5	$9,73 \cdot 10^{-4}$
$6,02 \cdot 10^{-4}$	80	69,8	$3,56 \cdot 10^{-4}$	$2,46 \cdot 10^{-4}$	40,8	$1,39 \cdot 10^{-3}$

MOSFET N°47 :

RdsON (Globale) (Ω)	T(consigne) ($^{\circ}\text{C}$)	T(semelle) ($^{\circ}\text{C}$)	RN+ (Ω)	Ractive (Ω)	Ractive/RdsON(Globale) %	ρ active (Ωm)
$5,40 \cdot 10^{-4}$	40	35,7	$3,56 \cdot 10^{-4}$	$1,84 \cdot 10^{-4}$	34,0	$1,04 \cdot 10^{-3}$
$6,05 \cdot 10^{-4}$	80	68,8	$3,56 \cdot 10^{-4}$	$2,48 \cdot 10^{-4}$	41,1	$1,41 \cdot 10^{-3}$

Annexe 12: Dispersion des caractéristiques $\rho_{\text{active}}(T)$ et $\rho_{\text{fils}}(T)$

	ρ_{active}^T	ρ_{fil}^T
Module N°2	$1,42.10^{-5}$	$1,50.10^{-10}$
Module N°45	$1,24.10^{-5}$	$1,43.10^{-10}$
Module N°46	$1,25.10^{-5}$	$1,38.10^{-10}$
Module N°47	$1,12.10^{-5}$	$1,30.10^{-10}$
Moyenne	$1,26.10^{-5}$	$1,40.10^{-10}$
Ecart-type	$1,08.10^{-5}$	$7,27.10^{-12}$
Dispersion	8,56%	5.18%

Annexe 13 : Principe de mesure avec la caméra infrarouge

Le module lors de son échauffement émet un flux de rayonnement dépendant de la température, de la longueur d'onde et de l'émissivité. Dans la bande spectrale fonctionnelle de la caméra qui est très étroite, l'onde peut être considérée comme monochromatique. Le flux rayonné par le module peint est capté à chaque instant par un détecteur photovoltaïque. Celui-ci est constitué d'une matrice de 320×256 pixels qui transforme le flux reçu pendant un temps d'intégration donnée en tension électrique en observant la modification du champ électrique interne due à cette excitation. Le temps d'intégration doit être choisi pour travailler avec la plus grande sensibilité possible sans avoir de saturation au niveau du détecteur. Pour les niveaux de température maximum d'environ 170°C et 185°C, atteint respectivement par le MOSFET et les fils à l'équilibre thermique, le temps d'intégration est de 70µs. La tension numérisée sur 14 bits est transformée en image de température à l'aide d'une courbe d'étalonnage qui est intégrée dans la fonction FLIR-Hypercal® de la caméra. La cartographie de température est obtenue en moyennant la température de cent images enregistrées lors de l'acquisition.

Nous pouvons commettre deux sources d'erreur principales lors de la mesure avec la caméra IR. Les autres erreurs sont dues à des imperfections de la caméra (performance de l'optique, stabilité thermique de l'appareil [173]).

- La conversion du signal électrique en signal numérique
- La conversion du signal numérique en température

Les erreurs lors de la conversion du signal numérique en image de température sont détaillées en Annexe 18. Nous n'aborderons ici que la mise en place d'une méthode permettant d'améliorer la précision de la conversion du signal électrique en signal numérique. A noter que sur la caméra, les pixels sont considérés comme des capteurs indépendants. Chaque pixel est caractérisé par sa fonction de transfert :

$$DL = \alpha_{ij}\Phi + \beta_{ij}$$

Où DL , α_{ij} et β_{ij} sont respectivement le niveau numérique de la tension transformée à partir d'un flux de rayonnement Φ , les coefficients de la courbe d'étalonnage du pixel situé sur la ligne i et la colonne j de la matrice du détecteur. Les fonctions de transfert n'ont pas les mêmes coefficients, ceci étant dû aux limites technologiques liées à la fabrication du détecteur et de l'optique. De ce fait, les images obtenues par mesure par caméra infrarouge sont susceptibles de comporter des

bruits dus à cette non-conformité. Nous devons alors nous assurer que les pixels possèdent la même fonction de transfert avant la réalisation des mesures. Pour ce faire, un procédé de correction de non-uniformité (NUC) a été mis en place. Parmi les méthodes existantes pour effectuer cette correction, les deux plus connues sont basées pour l'une sur la calibration utilisant une source uniforme (Calibration-Based Method) [174]-[176] et pour l'autre sur la variation d'une séquence d'images captées pendant le fonctionnement de la caméra (Scene-Bases Method)[175], [177]. Nous avons choisi la méthode basée sur la calibration pour sa simplicité et sa précision [176]. Celle-ci consiste à mettre devant la caméra, avec une légère délocalisation de celle-ci, une plaque céramique ayant une émissivité proche de l'unité et une température quasi-homogène. La correction NUC prend la moyenne des ensembles de niveaux numériques (DL) et l'applique à tous les pixels, pour un temps d'intégration donné. Après correction, les capteurs du détecteur ont tous la même position de calibration β_{ij} . La correction que nous avons réalisée permet d'étalonner les pixels dans une plage de variation d'environ 5 DL, donc avec un écart de température et de luminance négligeable après calibration. Un autre procédé de correction NUC, implanté dans la fonction Hypercal permet la correction du gain α_{ij} .

Annexe 14: Température suivants les profils du module N°2

Résultats obtenus par simulation : (cf. Figure A - 9)

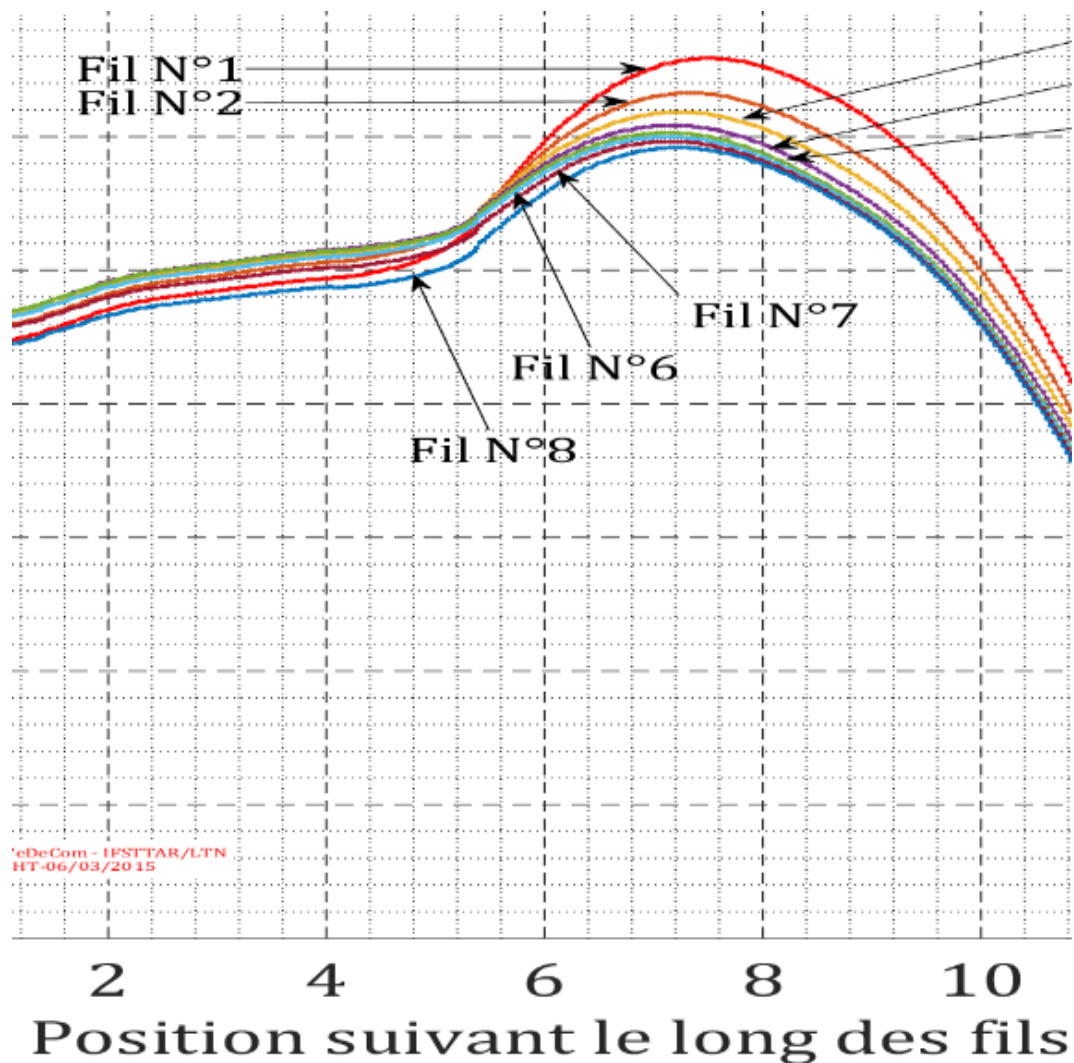


Fig. A - 9 : Température des fils obtenue par simulation (Module N°2)

Résultats obtenus par la mesure IR (cf. Figure A - 10)

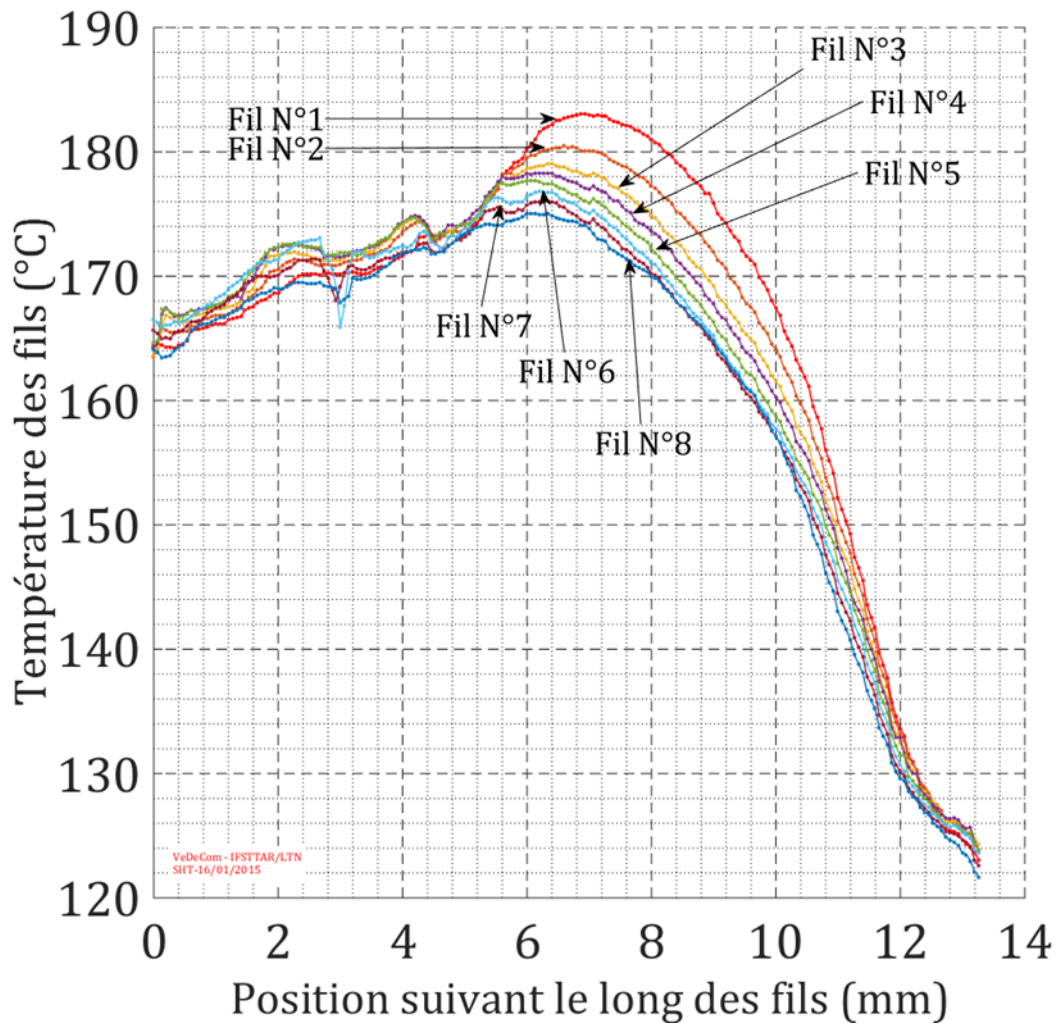


Fig. A - 10 : Température des fils obtenue par simulation (Module N°47)

Annexe 15: Analyse ANOVA pour les résidus

Vérification de la distribution des résidus

Nous allons vérifier tout d'abord si la distribution des résidus suit la loi normale réduite. En fait, la fonction de répartition $\Phi(0,1)$ de la loi normale réduite $N(0,1)$ ressemble à une droite dans l'intervalle $[-2,2]$ (cf. Figure A - 2) :

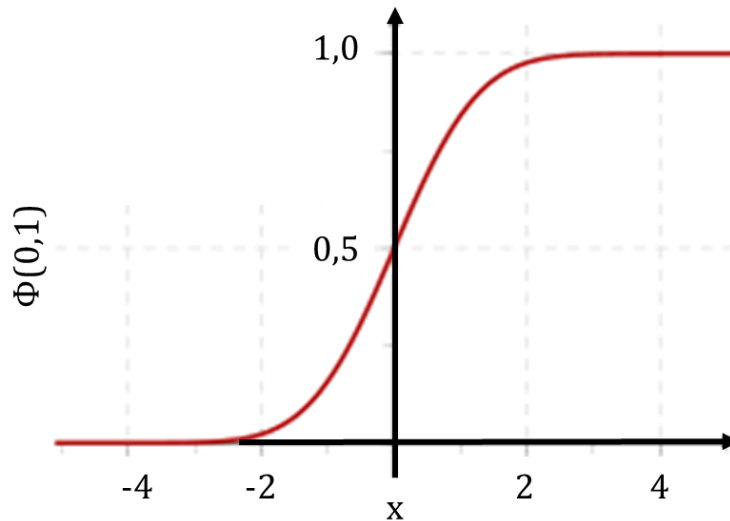


Fig. A - 11 : Fonction de répartition de la loi normale réduite

Le logiciel Design of Expert propose une représentation de la probabilité cumulative des résidus et la compare avec une droite qui est la trace théorique. Cette droite représente la droite de la fonction $\Phi(0,1)$ dans l'intervalle $[-2,2]$. L'idée est de vérifier si tous les points sont près de la droite théorique, c'est-à-dire que l'hypothèse de la normalité de la distribution des résidus est validée. Nous extrayons deux tracés qui correspondent à la distribution des résidus des deux réponses observées (cf. Figure A - 12) :

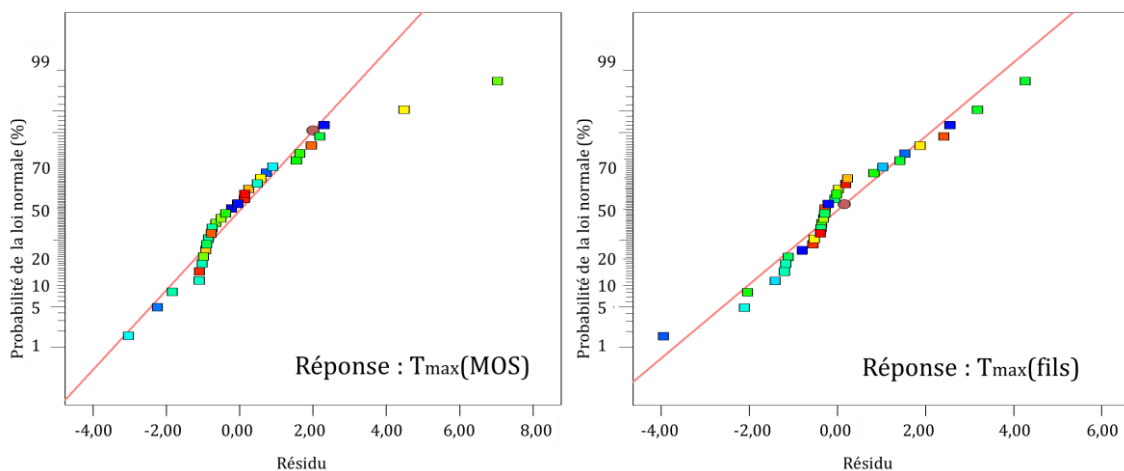


Fig. A - 12 : Vérification de la distribution normale des résidus des réponses

Les points sont proches des droites théoriques dans l'intervalle $[-2, 2]$. L'hypothèse de la normalité de la distribution des résidus est confirmée.

Vérification de la variance constante

Un graphique qui permet de comparer les résidus vis-à-vis des valeurs prédites, sera utilisé pour confirmer l'hypothèse de variance constante. La valeur des résidus devrait être indépendante de la taille des valeurs prédites. Nous devons donc surveiller la tendance des résidus pour éviter que la tendance soit de la forme d'un mégaphone. La tendance des résidus aux points d'expériences est exposée en Figure A - 3. Nous n'avons pas observé un accroissement remarquable des résidus

lorsque la valeur des réponses prédites varie de 110°C à 230°C. L'hypothèse de la variance constante est confirmée.

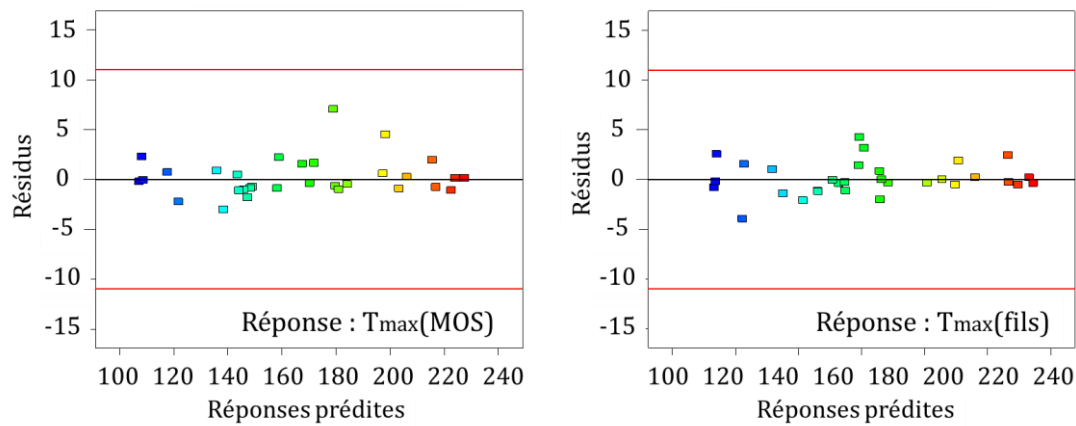


Fig. A - 13 : Tendence des résidus vis-à-vis des réponses prédites

Vérification de l'hypothèse de randomisation

La randomisation est un des principes de base pour la conception d'un plan d'expérience. Le plan optimal doit normalement être vérifié si les résidus sont aléatoires vis-à-vis de l'ordre des expériences, pour éliminer l'erreur statique lors de la réalisation des essais. Cependant, le plan optimal utilisé ici nous sert uniquement pour l'étude numérique. La randomisation n'a donc plus de sens.

Annexe 16: Calcul de l'erreur de la mesure de L_p et W_p par le profilomètre MICROVU

On appelle :

- $\Delta L_{px}, \Delta W_{px}$ sont caractérisés par la précision du profilomètre suivant l'axe X
- $\Delta L_{py}, \Delta W_{py}$ sont caractérisés par la précision du profilomètre suivant l'axe Y
- $\Delta L_{pz}, \Delta W_{pz}$ sont caractérisés par la précision du profilomètre suivant l'axe Z
- L_{px}, L_{py}, L_{pz} sont la mesure de L_p suivant l'axe X, Y et Z respectivement
- W_{px}, W_{py}, W_{pz} sont la mesure de W_p suivant l'axe X, Y et Z respectivement

Alors :

$$L_p = \sqrt{L_{px}^2 + L_{py}^2 + L_{pz}^2}$$

$$\Rightarrow L_p^2 = L_{px}^2 + L_{py}^2 + L_{pz}^2$$

$$\Rightarrow L_p \Delta L_p = L_{px} \Delta L_{px} + L_{py} \Delta L_{py} + L_{pz} \Delta L_{pz}$$

$$\Delta L_p = \frac{L_{px}\Delta L_{px} + L_{py}\Delta L_{py} + L_{pz}\Delta L_{pz}}{\sqrt{L_{px}^2 + L_{py}^2 + L_{pz}^2}}$$

De même :

$$\Rightarrow \Delta W_p = \frac{W_{px}\Delta W_{px} + W_{py}\Delta W_{py} + W_{pz}\Delta W_{pz}}{\sqrt{W_{px}^2 + W_{py}^2 + W_{pz}^2}}$$

Application numérique :

$$\Rightarrow \Delta L_p = \frac{7934 \times 2 + 337 \times 2 + 16 \times 3}{\sqrt{(7934^2 + 337^2 + 16^2)}} = 2,09\mu\text{m}$$

$$\Rightarrow \Delta W_p = \frac{341 \times 2 + 7959 \times 2 + 56 \times 3}{\sqrt{(341^2 + 7959^2 + 56^2)}} = 2,10\mu\text{m}$$

Nous obtenons donc :

$$\Rightarrow L_p = 7941,17 \pm 2,09\mu\text{m}$$

$$\Rightarrow W_p = 7966,50 \pm 2,10\mu\text{m}$$

Annexe 17: Calcul de l'erreur de la mesure de I_{total} par le shunt WSM 150

$$I_{total} = \frac{V_{shunt}}{R_{shunt}}$$

$$\Rightarrow \frac{\Delta I_{total}}{I_{total}} = \frac{\Delta V_{shunt}}{V_{shunt}} + \frac{\Delta R_{shunt}}{R_{shunt}}$$

Annexe 18: Les erreurs lors de la conversion du signal en image de température

Lors du rayonnement du module, il émet des photons qui sont captés par le détecteur de la caméra. Ce rayonnement est quantifié par le nombre de photons captés pendant un temps d'intégration. On raisonne en luminance L est caractérisée par un flux reçu à partir d'un corps noir (Φ), suivant une direction de rayonnement (θ, φ), angle solide Ω et une surface d'émission apparente $dScos\theta$:

$$L = \frac{d^2\Phi}{d\Omega dS \cos\theta}$$

La luminance dépend de la longueur d'onde λ de la source. La luminance spectrale L_λ d'un corps noir répond à la loi de Planck [178] :

$$L_\lambda = \frac{2\pi hc^2 d\lambda}{\lambda^5 \left(e^{\frac{hc}{\lambda k T_{\text{mod}}}} - 1 \right)}$$

Où :

- $h = 6,626\ 069\ 57 \cdot 10^{-34}$ J·s est la constante de Planck ;
- $k = 1,38054 \cdot 10^{-23}$ J/K est la constante de Boltzmann ;
- $c = 2,998 \cdot 10^8$ m/s est la vitesse de la lumière ;
- T_{mod} est la température du module à une position donnée.

Pour la plage de longueur d'onde utilisée par la caméra, la luminance que voit la caméra est donc :

$$L = \int_{1,5\mu\text{m}}^{5,1\mu\text{m}} \frac{2\pi hc^2 d\lambda}{\lambda^5 \left(e^{\frac{hc}{\lambda k T_{\text{mod}}}} - 1 \right)}$$

Cependant, dans le cadre de notre étude, l'optique de la caméra ne voit pas la totalité de cette luminance. En fait, le module peint n'est pas un corps noir parfait. Son émissivité ε n'est pas à l'unité mais y est inférieure. L'optique voit donc une luminance inférieure à celle donnée par un corps noir. En plus, la transmission du rayonnement à l'optique comprend les sources de rayonnement parasites suivantes :

- La luminance provenant de l'atmosphère dans cet environnement ;
- Et celle provenant des objets dans l'environnement autour du modèle, réfléchi à la surface du module, puis atténuée par l'atmosphère.

Afin d'éviter l'atténuation atmosphérique et de régler la profondeur du champ, nous rapprochons la caméra à quelques centimètres du module. Nous pouvons de ce fait considérer l'atmosphère comme transparente. La luminance parasite due au rayonnement de l'atmosphère est alors négligeable. La luminance que voit l'optique L_{opt} correspond à la somme des luminances provenant de deux sources de rayonnement dont l'une correspond au flux émis par le module et l'autre (L_e) provient des objets environnants :

$$L_{\text{opt}} = \varepsilon \times \int_{1,5\mu\text{m}}^{5,1\mu\text{m}} \frac{2\pi hc^2 d\lambda}{\lambda^5 \left(e^{\frac{hc}{\lambda k T_{\text{mod}}}} - 1 \right)} + (1 - \varepsilon) \times \sum \int_{1,5\mu\text{m}}^{5,1\mu\text{m}} \frac{2\pi hc^2 d\lambda}{\lambda^5 \left(e^{\frac{hc}{\lambda k T_{\text{env}}}} - 1 \right)}$$

En appliquant la loi de Lambert, nous obtenons l'approximation :

$$L_{opt} = \sigma \times (\varepsilon \times T_{mod}^4 + (1 - \varepsilon) \times T_{env}^4)$$

Où $\sigma = 5,67032 \cdot 10^8 \text{ Wm}^{-2}\text{K}^{-4}$ est la constante de Stefan - Boltzmann ; T_{env} et la température de chaque objet environnant.

La conversion du flux reçu en signal numérique, puis en image température T_{mes} , est basée sur une courbe d'étalonnage dont la loi est implantée dans la routine de Hypercal. La loi d'étalonnage de chaque pixel peut être considérée sous forme polynomiale ou sous une forme analogue de type Planck.

$$L_{opt} = \sigma \times \varepsilon_{mes} \times T_{mes}^4$$

Où ε_{mes} est l'émissivité que nous avons mesurée.

D'où :

$$\varepsilon \times T_{mod}^4 + (1 - \varepsilon) \times T_{env}^4 = \varepsilon_{mes} \times T_{mes}^4$$

Cette dernière équation permet de mettre en évidence les facteurs influents à la mesure thermique par la caméra infrarouge.

Erreur due au flux de rayonnement parasite :

Nous avons obtenu une émissivité de la peinture du module de 0,93. Le module absorbe donc 93% du flux rayonné par les objets environnant sur le banc et ne laisse réfléchir que 7% de ce flux, indiqué par le terme $1-\varepsilon$ dans l'équation. En plus, ce type d'erreur est négligeable dans le cas des mesures à des hautes températures, à cause de l'ordre élevé de la température (T_e^4). Pour les niveaux de températures à la surface des modules dans notre étude (autour de 170°C), alors que la température des objets environnants est inférieure à 50°C, cette erreur est minime.

Erreur due à la mesure de l'émissivité :

A partir de l'équation que nous venons d'obtenir, nous pouvons estimer les erreurs sur la mesure optique engendrées par l'erreur sur l'émissivité :

$$\left(\frac{T_{mes}}{T_{mod}}\right)^4 = \frac{\varepsilon_{mes}}{\varepsilon_{mod}}$$

$$\left(1 + \frac{\vartheta T_{mes}}{T_{mod}}\right)^4 = 1 + \frac{\vartheta \varepsilon_{mes}}{\varepsilon_{mod}}$$

Où ϑT_{mes} , $\vartheta \varepsilon_{mes}$ sont respectivement les erreurs absolues sur la mesure de température par la caméra IR et celle de l'émissivité. En appliquant la formule du développement limité de Taylor, on obtient :

$$1 + 4 \times \frac{\partial T_{mes}}{T_{mod}} = 1 + \frac{\partial \epsilon_{mes}}{\epsilon_{mod}}$$

D'où :

$$\frac{\partial T_{mes}}{T_{mod}} = 0,25 \times \frac{\partial \epsilon_{mes}}{\epsilon_{mod}}$$

Nous retirons qu'une erreur de 1% sur la mesure de l'émissivité entraîne 0,25% d'erreur sur la température, ce qui correspond à une erreur absolue maximale d'environ 0,43°C pour une mesure autour de 170°C.

Erreur due l'angle θ :

Celle-ci permet d'expliquer les artefacts optiques en bordure des fils de bonding. En fait, l'optique ne voit pas le flux thermique émis de cette région dans le plan normale à cause de la courbure des fils. L'angle θ est inférieur pour les points situés près de la courbure que celui dans le plan parallèle au plan de l'optique. La température mesurée est donc supérieure à la vraie température de ces points. Nous allons observer la température mesurée par la caméra au long des profils G1 (passant par les prises de contact) et G2 (cf. Figure A - 4).

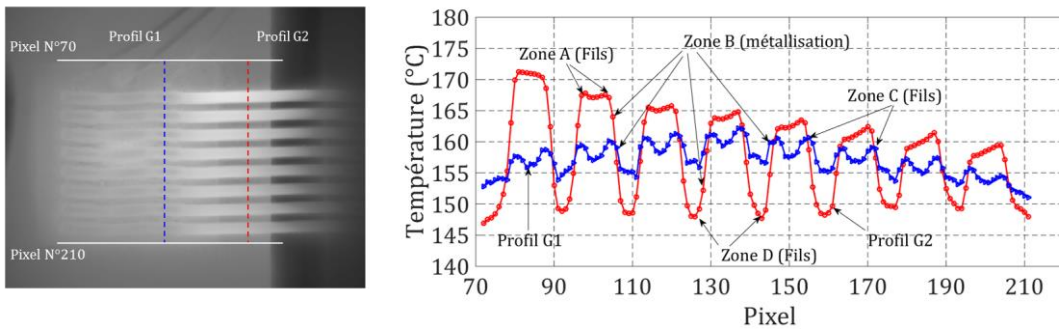


Fig. A - 14 : Température suivant les profils G1 et G2

La température dans la zone A, B et C n'est pas mesurée correctement. Nous réalisons un pic de température d'un fil dans la zone A et C par rapport à la température en son centre. Ainsi, la température du MOSFET mesurée au plus près des fils (zone B) est nettement plus élevée que celle entre les fils (zone D).

Il faut aussi remarquer que, les pics de températures sont plus visibles dans le cas du profil G1. Ce phénomène pourrait s'expliquer par l'effet de la densité de courant dans les fils. En fait, la densité de courant est plus élevée au bord des fils que celle localisée au centre. Au bord des fils, un effet couplé entre la concentration du courant et le changement brusque la géométrie. L'effet dû à la densité de courant est plus significatif au niveau des prises de contact, ce qui explique les pics importants de la température des fils dans le cas du profil G1.

Références bibliographiques

- [1] International and Energy Forum Publication, “A Comparison of Recent IEA and OPEC Outlooks”, 4th IEA-IEF-OPEC Symposium on Energy Outlooks, Riyadh, Arabie Saoudite, p. 16, 2014.
- [2] P.Friedlingstein et al., “Global Carbon Project annual report”, Earth System Science Data, vol. 6, pp. 235–263, 2013.
- [3] Service de l’Observation et des Statistiques, “Chiffres clés de l’énergie”, Repères, 2012.
- [4] X. Fan, K. T. Aung, X. Li, “Investigation of thermal performance of various power-device packages”, Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Micro-Systems, EuroSimE '08, Freiburg, Allemagne, pp. 1–8, 2008.
- [5] Rehm Thermal Systems, “Industry 4.0 - Intelligent Software Solutions”, Blaubeuren-Seissen, Allemagne, pp. 1–36, 2014.
- [6] A. Yerman, J. Burgess, R. Carlson, et al, “Hot Spots Caused by Voids and Cracks in the Chip Mountdown Medium in Power Semiconductor Packaging”, IEEE Transactions on Components, Packaging, and Manufacturing Technology, vol. 6, pp. 473–479, 1983.
- [7] R. Diehm, “Reduction of Voids in Solder Joints an Alternative to Vacuum Soldering”, IPC APEX EXPO Proceedings, San Diego, Etat-Unis, 2012.
- [8] D. C. Katsis, J. D. Van Wyk, “Void-induced thermal impedance in power semiconductor modules: Some transient temperature effects”, IEEE Industry Applications Society, vol. 39, pp. 1239–1246, 2003.
- [9] D. A. Shnawah, M. F. M. Sabri, I. A. Badruddin, “A review on thermal cycling and drop impact reliability of SAC solder joint in portable electronic products”, Microelectronics Reliability, vol. 52, no. 1, pp. 90–99, 2012.
- [10] J. Pan, “Lead-free Solder Joint Reliability – State of the Art and Perspectives”, Proceedings of the 37th International Symposium on Microelectronics, vol. 2, pp. 72–83, 2006.
- [11] K. Roemer, “Void Free Soldering with Vacuum”, Head of Application and Product Management, Rehm Thermal Systems, pp. 1–2, 2010.
- [12] H. Li, C. Wang, M. Yang, N. Wang et al, “The effect of Voids on Thermal Conductivity of Solder Joints”, Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), pp. 1061–1064, 2012.
- [13] Y. Weber, “Conception d’une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium”, thèse, Université de Toulouse III, 2008.

- [14] B. Bernoux, "Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides", thèse, Université de Toulouse, 2010.
- [15] J. Baliga, "Advanced Power MOSFET Concepts", Springer, ISBN 978-1-4419-5917-1, 2010.
- [16] B. Thollin, "Outils et méthodologies de caractérisation électrothermique pour l'analyse des technologies d'interconnexion de l'électronique de puissance", thèse, Université de Grenoble, 2013.
- [17] J. Flannery, M. Meinhardt, P. Cheasty et al, "State of The Art of Integrated Power Modules (IPMs) for 0.75kW and 2kW Drive Applications", Applied Power Electronics Conference and Exposition, Dallas, Texas, Etats-Unis, 1999.
- [18] J. G. Kassakian, D. J. Perreault, "The future of electronics in automobiles", Proceedings of the 13th International Symposium on Power Semiconductor Devices & ICs. (IPSD '01), vol. 2, pp. 657 - 665, 2001.
- [19] F. C. Lee, J. D. Van Wyk, D. Boroyevich et al, "Technology Trends toward a System-in-a-Module in Power Electronics", Circuits and Systems Magazine, vol. 2, no. 4, pp. 4 - 22, 2002.
- [20] K. Hussein, A. Fujita, K. Sato, "Trend in Power Devices for Electric and Hybrid Electric Vehicles", 20th Asia and South Pacific Design Automation Conference (ASP-DAC), no. 1, p. 7792, 2015.
- [21] W. Tursky, "Devices and Their Packaging Technology", IEEE 4th Workshop Future of Electronic Power Processing and Conversion, Salina, Italy, 2000.
- [22] J. J. W. Kolar, U. Drofenik, J. Biela et al, "PWM converter power density barriers", Power Conversion Conference - Nagoya, pp. 9 - 29, 2007.
- [23] H. Medjahed, "Contribution à la simulation électro-thermomécanique numérique 3D: appliquée à l'étude de la fiabilité des interrupteurs à semiconducteurs packages, utilisés en traction ferroviaire", thèse, Université de Toulouse, 2012.
- [24] C. Chaminade, "Physique et technologie du brasage tendre par faisceau laser", thèse, Université Louis Pasteur Strasbourg I, 2006.
- [25] A. Masson, "Mise en œuvre de techniques d'attaches de puces alternatives aux brasures classiques pour des applications haute température", thèse, INSA Lyon, 2012.
- [26] F. Le Henaff, "Contribution à l'étude, la mise en œuvre et à l'évaluation d'une solution de report de puce de puissance par procédé de frittage de pâte d'argent à haute pression et basse température", thèse, Université Sciences et Technologies - Bordeaux I, 2014.
- [27] Y. Zhang, "Tin and Tin Alloys for Lead-Free Solder", Modern Electroplating, 5th Edition, New Jersey, Etats Unis, DOI: 10.1002/9780470602638.ch6, pp. 139-204, 2011.
- [28] C. Gensch, Y. Baron, O. Deubzer, 7th Adaptation to Scientific and Technical Progress of Exemptions 8(e), 8(f), 8(g), 8(h), 8(j) and 10(d) of Annex II to Directive 2000/53/EC (ELV), vol. 8, no. d, 2014.
- [29] M. Abteu, G. Selvaduray, "Lead-free solders in microelectronics", Materials Science and Engineering Reports, vol. 27, pp. 95-141, 2000.

- [30] T. Siewert, S. Liu, D. R. Smith et al, "Properties of Lead-Free Solders", Colorado, États-Unis, 2002.
- [31] G. Zeng, S. D. McDonald, K. Sweatman et al, "Fundamental studies on the effect of impurities on phase transformation kinetics", IEEE Electronics Packaging (ICEP), Toyama, Japon, pp. 135–139, 2014.
- [32] M. Berthou, "Fiabilité des assemblages sans-plomb en environnement sévère", thèse, Université Bordeaux 1, 2012.
- [33] V. R. Manikam, K. Y. Cheong, "Die attach materials for high temperature applications: a review", IEEE Transactions on Components, Packaging, and Manufacturing Technology, vol. 1, no. 4, pp. 457–478, 2011.
- [34] S. Vaynman, G. Ghosh, M. E. Fine, "Some Fundamental Issues in the Use of Zn-Containing Lead-Free Solders for Electronic Packaging", Materials Transactions, vol. 45, no. 3, pp. 630–636, 2004.
- [35] H. Singh, "Recent advances on Sn-Cu solders with alloying elements: Review", Journal of Materials Science: Materials in Electronics, vol. 22, no. 04, pp. 565–578, 2011.
- [36] N. Lee, "Getting ready for lead free solders" Soldering & Surface Mount Technology, vol. 65, 1997.
- [37] J. E. Lee, K. S. Kim, K. Suganuma et al, "Interfacial Properties of Zn-Sn Alloys as High Temperature", Journal of Electronic Materials, vol. 46, no. 11, pp. 2413–2418, 2005.
- [38] C. Thanachaynont, "Low-Cost Lead-Free Solder for EE Industries", IEEE International Conference on Industrial Technology, vol. 2, no. 11–14, pp. 1213 – 1218, 2002.
- [39] E. Efzan, A. Marini, "A review of solder evolution in electronic application", International Journal of Engineering Science, vol. 1, no. 1, pp. 1–10, 2012.
- [40] R. Kumar, "Effect of Ag on Sn-Cu Lead Free Solders", Materials Science-Poland, vol. 33, no. 2, pp. 317–330, 2014.
- [41] C. Luef, H. Flandoreer, H. Ipser, "Lead-free solder materials: Experimental enthalpies of mixing of liquid Ag-In-Pd-Sn alloys", Metallurgical and Materials Transactions A, vol. 36, no. May, pp. 1273–1277, 2005.
- [42] H. Nishikawa, J. Y. Piao, T. Takemoto, "Interfacial reaction between Sn-0.7Cu (-Ni) solder and Cu substrate", Journal of Electronic Materials, vol. 35, no. 5, pp. 1127–1132, 2006.
- [43] A. Chaillot, N. Venet, P. Tegehall et al, "ENEPIG finish : An Alternative Solution for Space Printed Circuit Boards (PCB)", Microelectronics Packaging Conference (EMPC), Grenoble, 2013.
- [44] R. Mahmudi, A. R. Geranmayeh, M. Bakherad et al, "Indentation creep study of lead-free Sn-5%Sb solder alloy", Materials Science and Engineering: A, vol. 457, pp. 173–179, 2007.
- [45] A. R. Geranmayeh, G. Nayyeri, R. Mahmudi, "Microstructure and impression creep behavior of lead-free Sn-5Sb solder alloy containing Bi and Ag", Materials Science and Engineering: A, vol. 547, pp. 110–119, 2012.

- [46] J. M. Morelle, K. L. Tan, L. Vivet et al, "Alternative lead free die attach for power module packaging", 7th International Conference on Integrated Power Electronics Systems (CIPS), Nuremberg, Allemagne, vol. 9, pp. 1-7, 2012.
- [47] G. Zeng, S. McDonald, K. Nogita, "Development of high-temperature solders: Review", *Microelectronics Reliability*, vol. 52, no. 7, pp. 1306-1322, 2012.
- [48] T. Luo, X. Chen, J. Hu, A. Hu, et al, "Study on Properties of Low-Ag Content Sn-Ag-Zn Lead-free Solders", 11th International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP), pp. 399-404, 2010.
- [49] M. McCormack, S. Jin, "The Design and Properties of New Pb-Free Solder Alloys with improved properties", IEEE International Symposium on Electronics and the Environment, Orlando, États-Unis, pp. 171-176, 1995.
- [50] Y. Liu, T. Luo, A. Hu, S. Li et al, "Formation and growth of intermetallic compounds of Sn-2Ag-2.5Zn on Cu and Ni substrates", 13th International Conference on Electronic Packaging Technology and High Density Packaging (ICEPT-HDP), Guilin, Chine, pp. 1240-1243, 2012.
- [51] H. Le, W. Qian, M. Jusheng, "The Study On the Novel Lead-Free Solder Alloy", International Symposium on Electronic Materials and Packaging (EMAP 2000), pp. 191-193, 2000.
- [52] Z. Cai, J. C. Suhling, P. Lall et al, "Mitigation of lead free solder aging effects using doped SAC-X alloys", 13th IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), San Diego, Etats-Unis, pp. 896-909, 2012.
- [53] Y. S. Park, Y. M. Kwon, H. Y. Son et al, "Effect of Sb addition in Sn-Ag-Cu solder balls on the drop test reliability of BGA packages with Electroless Nickel Immersion Gold (ENIG) surface finish", International Conference on Electronic Materials and Packaging (EMAP 2007), Daejeon, Corée du Sud, pp. 3-7, 2007.
- [54] A. A. Shapiro, J. K. Bonner, O. A. Ogunseitan et al, "Implications of Pb-free microelectronics assembly in aerospace applications", *IEEE Transactions on Components and Packaging Technologies*, vol. 29, pp. 60-70, 2006.
- [55] J. Villain, W. Jilck, E. Schmitt et al, "Properties and reliability of SnZn-Based lead-free solder alloys", International IEEE Conference on the Asian Green Electronics (AGEC), Hong Kong, Chine, pp. 89-92, 2004.
- [56] J. Zhou, P. Li, Y. Xiao et al, "Microstructure and deformability of Sn-Zn-Bi alloys", 7th International Conference on Electronic Packaging Technology (ICEPT '06), Shanghai, Chine, pp. 6-10, 2007.
- [57] P. Adamson, "Lead-free Packaging for Discrete Power Semiconductors", International Rectifier, JEDEC Conference, 2002.
- [58] H. Oulfajrite, A. Sabbar, M. Boulghallat, et al, "Electrochemical behavior of a new solder material (Sn-In-Ag)", *Materials Letters*, vol. 57, pp. 4368-4371, 2003.
- [59] Y. Ocak, S. Aksöz, N. Maraşlı et al, "Thermal and electrical conductivity of Sn-Ag-In alloys", *Journal of Non-Crystalline Solids*, vol. 356, pp. 1795-1801, 2010.

- [60] L. Senju Metal Industry Co., "Environment-friendly Lead-Free Solder", Edition 227A-2002-3-WEB-AQ, Japon, 2002.
- [61] S. Park, S. Nagao, Y. Kato et al, "High-Temperature Die Attachment Using Sn-Plated Zn Solder for Power Electronics", IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 5, no. 7, pp. 902–909, 2015.
- [62] E. George, M. Pecht, "A Lead - Free Transition Plan for Safety and Reliability Critical Products", International Conference on challenges in IT, Engineering and Technology (ICCIET'2014), Phuket, Thailand, 2014.
- [63] W. Liu, P. Bachorik, N. C. Lee, "A Composite Solder Alloy Preform for High Temperature Lead Free Soldering Applications", Whitepapers Indium Corporation, 2012.
- [64] J. W. Yoon, H. S. Chun, J. M. Kooet et al, "Au-Sn Flip - Chip Solder Bump for Microelectronic and Optoelectronic Applications", Microsystem Technologies, vol. 13, no. 11, pp. 26–28, 2006.
- [65] T. A. Tollefsen, A. Larsson, O. M. Løvvik et al, "Au-Sn SLID bonding - Properties and possibilities", Metallurgical and Materials Transactions B, vol. 43, no. 2, pp. 397–405, 2012.
- [66] V. Chidambaram, J. Hattel, J. Hald, "High-temperature lead-free solder alternatives" Microelectronic Engineering, vol. 88, no. 6, pp. 981–989, 2011.
- [67] A. Haque, Y. S. Won, B. H. Lim, "Effect of Ni Metallization on Interfacial Reactions and Die Attach Properties of Zn-Al-Mg-Ga High Temperature Lead-Free Solders", 34th International Electronic Manufacturing Technology Conference, Melaka, Malaysia, pp. 1 – 6, 2010.
- [68] P. W. Chih, B. Joseph, A. Mesa et al, "Application and High Temperature Storage Test on Zn-Al-Ge High Temperature Solder for Die Attach", IEEE 16th Conference on Electronics Packaging Technology (EPTC), Singapour, pp. 463–468, 2014.
- [69] S. Kim, K. S. Kim, G. Izuta, et al, "Reliability of die attached AlN-DBC module using Zn-Sn high temperature lead-free solders", 2nd Electronics System Integration Technology Conference, Greenwich, Grande Bretagne , pp. 411–416, 2008.
- [70] M. M. Hasan, "Microstructure and Bulk Material Properties of Zn-Al Alloys as an Exciting Replacement of Lead Based High Temperature Interconnect Materials", International Journal of Science and Advanced Technology, vol. 4, no. 1, 2014.
- [71] J. Song, M. Lin, Y. Lai et al, "Impact Test Performance of Zn-based Die-attach Joints for Power Devices", 2nd IEEE CPMT Symposium, Kyoto, Japon, pp. 12–15, 2012.
- [72] S. A. Musa, M. Arif, A. Mohd et al, "Zn-Sn Based High Temperature Solder - A Short Review", Advanced Materials Research, pp. 519–522, 2013.
- [73] V. Chidambaram, J. Hattel, J. Hald, "Design of lead-free candidate alloys for high-temperature soldering based on the Au-Sn system", Materials and Design, vol. 31, no. 10, pp. 4638–4645, 2010.
- [74] M. Rettenmayr, P. Lambracht, B. Kempf et al, "High Melting Pb-Free Solder Alloys for Die-Attach Applications", Advanced Engineering Materials, vol. 7, no. 10, pp. 965–969, 2005.

- [75] H. Zhang, D. Ph, N. Lee, "Reliability of BiAgx Solder As a Drop-in Solution for High Temperature Lead-Free Die-Attach Applications", *SMT Surface Mount Technology Magazine*, vol. 26, no. 2, 2013.
- [76] P. Neudeck, R. Okojie, L. Chen, "High-temperature electronics-a role for wide bandgap semiconductors", *IEEE Proceedings*, vol. 90, no. 6, pp. 1065–1076, 2002.
- [77] A. Masson, W. Sabbah, R. Rival et al, "Report de puce par frittage d'argent - mise en œuvre et analyse", EPF 2012, Bordeaux, 2012.
- [78] H. Schwarzbauer, R. Kuhnert, "Novel large area joining technique for improved power device performance", *IEEE Transactions on Industry Applications*, vol. 27, no. 1, pp. 93–95, 1991.
- [79] L. Zhang, "Etude de fiabilité des modules d'électronique de puissance à base de composant SiC pour applications hautes températures", thèse, Université Sciences et Technologies - Bordeaux I, 2014.
- [80] R. Amro, J. Lutz, "Double-Sided Low-Temperature Joining Technique for Power Cycling Capability at High Temperature", 2005 European Conference on Power Electronics and Applications, 2005.
- [81] A. Zeanh, "Contribution à l'amélioration de la fiabilité des modules IGBT utilisés en environnement aéronautique", thèse, Université de Toulouse, 2009.
- [82] J. Park, S. Kim, M. Jeong et al, "Effect of Cu - Sn intermetallic compound reactions on the Kirkendall void growth characteristics in Cu / Sn / Cu microbumps Effect of Cu - Sn intermetallic compound reactions on the Kirkendall void growth characteristics in Cu / Sn / Cu microbumps", *Japanese Journal of Applied Physics*, vol. 06, pp. 4–8.
- [83] K. Weinberg, T. Böhme, H. Müller, "Kirkendall voids in the intermetallic layers of solder joints in MEMS", *Computational Materials Science*, vol. 45, no. November, pp. 827–831, 2009.
- [84] Y. W. Wang, Y. W. Lin, C. R. Kao, "Kirkendall voids formation in the reaction between Ni-doped SnAg lead-free solders and different Cu substrates", *Microelectronics Reliability*, vol. 49, pp. 248–252, 2009.
- [85] S. Liang, C. Ke, M. Zhou, "Phase field simulation of Kirkendall voids at the interface of microscale Sn/Cu system lead-free interconnects", 15th International Conference on Electronic Packaging Technology (ICEPT), Chengdu, Chine, pp. 641–645, 2014.
- [86] J. Y. Kim, J. Yu, T. Y. Lee, "Effect of electrodeposition conditions on Kirkendall void formation between electrodeposited Cu film and Sn-3.5Ag solder", 57th Conference on Electronic Components and Technology (ECTC '07), Nevada, Etats-Unis, pp. 1620–1625, 2007.
- [87] P. Borgesen, L. Yin, P. Kondos et al, "Sporadic degradation in board level drop reliability - Those aren't all kirkendall voids", 57th Conference on Electronic Components and Technology (ECTC '07), Nevada, Etats-Unis, pp. 136–146, 2007.
- [88] J. Zoua, L. Moa, F. Wu et al, "Effect of Cu substrate and solder alloy on the formation of kirkendall voids in the solder joints during thermal aging", 11th International Conference

- on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP), Xi'an, Chine, pp. 944–948, 2010.
- [89] C. S. Yun, P. Malberti, M. Ciappa et al, “Thermal component model for electrothermal analysis of IGBT module systems”, IEEE Transaction on Advanced Packaging, vol. 24, no. 3, pp. 401–406, 2001.
- [90] W. Engelmaier, “Solder joints in electronics: design for reliability”, Engelmaier Associates Inc., 1997.
- [91] N. Zhu, “Thermal impact of solder voids in the electronic packaging of power devices”, 15th IEEE on Semiconductor Thermal Measurement and Management Symposium, Bedford, Angleterre, pp. 22–29, 1999.
- [92] D. C. Katsis, J. D. van Wyk, “A thermal, mechanical, and electrical study of voiding in the solder die-attach of power MOSFETs”, IEEE Transactions on Components and Packaging Technologies, vol. 29, pp. 127–136, 2006.
- [93] A. S. Fleischer, L. H. Chang, B. C. Johnson, “The effect of die attach voiding on the thermal resistance of chip level packages”, Microelectronics Reliability, vol. 46, pp. 794–804, 2006.
- [94] L. Biswal, A. Krishna, D. Sprunger, “Effect of solder voids on thermal performance of a high power electronic module”, Proceedings of 7th Electronic Packaging Technology Conference (EPTC'05), Singapour, vol. 2, no. 3, 2005.
- [95] L. A. Viduya, E. W. Gerbsch, M. B. Hayes et al, “The effects of solder voids in the device to substrate interface for electric vehicle and other power applications”, IEEE Power Electronics in Transportation, pp. 99–104, 1996.
- [96] L. Ciampolini, M. Ciappa, P. Malberti et al, “Modelling thermal effects of large contiguous voids in solder joints”, Microelectronics Journal., vol. 30, pp. 1115–1123, 1999.
- [97] J. Chang, L. Wang, J. Dirk et al, “Finite element modeling predicts the effects of voids on thermal shock reliability and thermal resistance of power device”, Welding Journal, vol. 85, p. 63S–70S, 2006.
- [98] L. Chen, M. Paulasto-Kröckel, U. Fröhler et al, “Thermal impact of randomly distributed solder voids on R_{th-JC} of MOSFETs”, 2nd Electronics System-Integration Technology Conference (ESTC '08), Greenwich, Grande Bretagne, pp. 237–243, 2008.
- [99] L. Dupont, J. L. Blanchard, R. Lallemand et al, “Experimental and numerical results correlation during extreme use of power MOSFET designed for avalanche functional mode”, Microelectronics Reliability, vol. 50, no. 9–11, pp. 1804–1809, 2010.
- [100] K. C. Otiaba, “Thermal and Thermo-mechanical Performance of Voided Lead-free Solder Thermal Interface Materials for Chip-scale Packaged Power Device”, thèse, University of Greenwich, 2013.
- [101] L. J. Ladani, J. Razmi, “Interaction effect of voids and standoff height on thermomechanical durability of BGA solder joints”, IEEE Transactions on Device and Materials Reliability, vol. 9, no. 3, pp. 348–355, 2009.

- [102] L. J. Ladani, "Damage Initiation And Evolution In Voided And Unvoided Lead Free Solder Joints Under Cyclic Thermo-Mechanical Loading", thèse, University of Maryland, 2006.
- [103] M. Yunus, K. Srihari, J. M. Pitarresi et al, "Effect of voids on the reliability of BGA / CSP solder joints", 26th IEEE/CPMT International Symposium on Electronics Manufacturing Technology, Santa Clara, Cuba, vol. 43, pp. 2077–2086, 2000.
- [104] Q. Yu, T. Shibutani, D. S. Kim et al, "Effect of process-induced voids on isothermal fatigue resistance of CSP lead-free solder joints", *Microelectronics Reliability*, vol. 48, pp. 431–437, 2008.
- [105] M. Thomas, "A Lead-free Solution for Power and High-power Applications", *Advanced Packaging*, ISBN-13: 978-9057681448, 2007.
- [106] "2030, Norme MIL - STD - 883G - Method - Ultrasonic Inspection of Die attach," pp. 1–4, 1987.
- [107] X. Chauffleur, P. Tounsi, J. M. Dorkel et al, "Non linear 3D electrothermal investigation on power MOS chips", *Proceedings of the 2004 Meeting Bipolar/BiCMOS Circuits and Technology*, pp. 156–159, 2004.
- [108] G. Calabrese, F. Gualdi, S. Baricordi et al, "Numerical simulation of the temperature distortions in InGaP/GaAs/Ge solar cells working under high concentrating conditions due to voids presence in the solder joint", *Solar Energy*, vol. 103, pp. 1–11, 2014.
- [109] S. Baricordi, G. Calabrese, F. Gualdi et al, "A joint thermal-electrical analysis of void formation effects on concentrator silicon solar cells solder layer", *Solar Energy Materials and Solar Cells*, vol. 111, pp. 133–140, 2013.
- [110] P. Türkes, "Electro-thermal simulation of power electronic systems," *Microelectronics Journal*, vol. 29, pp. 785–790, 1998.
- [111] H. M. Gutierrez, C. E. Christoffersen, M. B. Steer, "An integrated environment for the simulation of electrical, thermal and electromagnetic interactions in high-performance integrated circuits", *Conference on Electrical Performance of Electronic Packaging*, San Diego, Etats-Unis, pp. 7–10, 1999.
- [112] T. Leitner, "Electro-Thermal Simulation Using A Circuit Simulator And A Modified Spice3 Semiconductor Model Library", 5th International Workshop Mixed Design of Integrated Circuits and Systems (MIXDES'98) , vol. 98, pp. 189–193, 1998.
- [113] W. Batty, C. E. Christoffersen, C. M. Snowden et al, "Fully Physical Coupled Electro-Thermal Modelling of Power Devices and Circuits", 13 th Workshop on Physical Simulation of Semiconductor Devices, Ilkley, Angleterre, 2002.
- [114] A. Maxim, "A high accuracy power MOSFET SPICE behavioral macromodel including the device self-heating and safe operating area simulation", 14th Annual Applied Power Electronics Conference and Exposition (APEC '99), Dallas, Etats-Unis, vol. 1, pp. 177 – 183, 1999.
- [115] L. Mussard, P. Tounsi, P. Austin et al, "New electro-thermal modeling method for IGBT power module", *Proceedings of the 2004 Bipolar/BiCMOS Circuits and Technology Meetings*, Montréal, Canada , 2004.

- [116] P. Tounsi, J. M. Dorkel, P. Dupuy, et al, "New method for electrothermal simulations: HDTMOS in automotive applications", 20th Annual IEEE Semiconductor Thermal Measurement and Management Symposium, no. 1, pp. 2-7, 2004.
- [117] S. Wünsche, C. Clauß, P. Schwarz et al, "Electro-thermal circuit simulation using simulator coupling", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 5, no. 3, pp. 277-282, 1997.
- [118] W. Habra, "Développement de modèles thermiques compacts en vue de la modélisation électrothermique des composants de puissance", thèse, Université Paul Sabatier - Toulouse III, 2007.
- [119] O. Martins, "Méthodologie d'analyse thermique multi niveaux de systèmes électroniques par des modèles compacts", thèse, Institut Polytechnique de Grenoble, 2011.
- [120] J. Antonios, "Développement de modèles et de méthodes de calculs électriques et thermiques appliqués aux onduleurs à IGBT", thèse, Université de Nantes, 2011.
- [121] J. B. Sauveplane, P. Tounsi, E. Scheid, et al, "3D electro-thermal investigations for reliability of ultra low ON state resistance power MOSFET," Microelectronics Reliability, vol. 48, pp. 1464-1467, 2008.
- [122] J. B. Sauveplane, P. Tounsi, A. Dera et al, "Smart 3-D finite-element modeling for the design of ultra-low on-resistance MOSFET", IEEE Transactions on Advanced Packaging, vol. 30, no. 4, pp. 789-794, 2007.
- [123] C. Bernard, "Introduction a l'étude de la médecine expérimentale", ISBN: 9782081307582, 1865.
- [124] R. Fisher, "Statistical methods for research workers", ISBN-13: 978-0050021705, 1925.
- [125] M. Cavazzuti, "Optimization Methods : From Theory to Design", Springer, ISBN: 978-3-642-31186-4, 2013.
- [126] R. L. Plackett, "The Design of Optimum Multifactorial Experiments", Biometrika, ISSN 1464-3510, vol. 33, no. 4, pp. 305-325 1946.
- [127] J. S. Hunter, "The 2k " Fractional Factorial Designs - Part I", Technometrics, DOI: 10.2307/1266725, vol. 3, no. 3, pp. 311-351, 2009.
- [128] G. Taguchi, "Quality engineering (Taguchi methods) for the development of electronic circuit technology", IEEE Transactions on Reliability, vol. 44, no. 2, pp. 225-229, 1995.
- [129] G. Elfving, "Optimum allocation in linear regression theory", The Annals of Mathematical Statistics, vol. 23, no. 2, pp. 255-262, 1952.
- [130] H. Chernoff, "Locally Optimal Design for estimating parameters", The Annals of Mathematical Statistics, vol. 24, no. 4, pp. 586-602, 1953.
- [131] J. Kiefer, "General Equivalence Theory for Optimum Designs", The Annals of Mathematical Statistics, vol. 2, no. 5, pp. 849-879, 1974.

- [132] G. E. P. Box, K. B. Wilson, "On the Experimental Attainment of Optimum Conditions", *Journal of the Royal Statistical Society. Series B*, vol. 13, no. 1959, pp. 1–45, 1951.
- [133] R. H. Myers, "Response Surface Methodology: Process and Product Optimization Using Designed Experiments", ISBN: 978-0-470-17446-3, 1971.
- [134] G. E. P. Box, D. W. Behnken, "Some New Three Level Designs for the Study of Quantitative Variables", *Technometrics*, DOI: 10.1080/00401706.1960.10489912, vol. 2, no. 4, pp. 455–475, 1960.
- [135] J. A. Cornell, "Response Surfaces: Designs and Analyses: Second Edition", ISBN 9780824797416, 1996.
- [136] F. Rabier, "Modélisation par la méthode des plans d'expériences du comportement dynamique d'un module IGBT utilisé en traction ferroviaire", thèse, ENI de Tarbes, 2007.
- [137] S. Vivier, "Stratégies d'optimisation par la méthode des plans d'expériences et Application aux dispositifs électrotechniques modélisés par éléments finis", thèse, Ecole Centrale de Lille, 2002.
- [138] J. Goupy, "Tutoriel: Les plans d'expériences", *Revue Modulad*, p. 43, 2006.
- [139] A. Gelman, G. Imbens, "Why High-order Polynomials Should not be Used in Regression Discontinuity Designs", NBER Working Paper No. w20405, 2014.
- [140] A. Gelman, "Evidence on the deleterious impact of sustained use of polynomial regression on causal inference", *Research and Politics*, DOI: 10.1177/2053168015569830, pp. 1–7, 2014.
- [141] J. Havinga, G. Klaseboer, T. Van den Boogaard, "Sequential Optimization of Strip Bending Process Using Multiquadric Radial Basis Function Surrogate Models", *Key Engineering Materials*, ISSN 1013-9826, vol. 554–557, pp. 911–918, 2013.
- [142] A. Menon, D. K. L. Lawrence, "Structural Optimization Using Ansys and Regulated Multiquadric Response Surface Model", *Mechanical Engineering*, ISBN 9780542466465, p. 130, 2005.
- [143] B. P. Wang, "An Effective Simulation-Based Design Optimization Algorithm Using Sequential Regularized Multiquadric", *Journal of Aeronautics, Astronautics and Aviation, Series A*, vol. 38, no. 3, pp.145 - 158, 2006.
- [144] M. C. Costa, J.-L. Coulomb, Y. Marechal et al, "An adaptive method applied to the diffuse element approximation in optimization process", *IEEE Transactions on Magnetics*, vol. 37, no. 5, pp. 3418–3422, 2001.
- [145] Y. Marechal, J. L. Coulomb, G. Meunier et al, "Use of the diffuse element method for electromagnetic field computation", *IEEE Transactions on Magnetics*, vol. 29, no. 2, pp. 1475–1478, 1993.
- [146] B. Nayroles, G. Touzot, P. Villon, "Generalizing the finite element method: Diffuse approximation and diffuse elements", *Computational Mechanics*, vol. 10, no. 5, pp. 307–318, 1992.

- [147] F. Guillon, "Modélisation et optimisation par plans d'expériences d'un moteur à commutation", thèse, Université de Lille, 2004.
- [148] C. Barbier, S. Thibaud, P. Picart et al, "Plan d'expériences numérique pour l'analyse des conditions de contact en microformage", 18ème Congrès Français de Mécanique, Grenoble, no. 1999, pp. 27–31, 2007.
- [149] H. Abbouchi, "Etude de la fatigue de contact de roulement : approche expérimentale dans un matériau fragile et modélisation numérique", thèse, Université de Poitiers, 2008.
- [150] E. Gauthier, "Etude expérimentale et numérique de la dégradation cyclique des électrodes en CuCr1Zr lors du soudage par résistance par point", thèse, Université de Bretagne Sud, 2014.
- [151] L. Siegert, "Caracterisation et modelisation electrothermique des interconnexions et inductances en cuivre epais", thèse, Université François - Rabelais de Tours, 2013.
- [152] L. Siegert, G. Gautier, "Détermination d'une formule analytique prédisant l'effet joule dans les interconnexions en cuivre sur substrat verre", Journées Nationales du Réseau Doctoral de Microélectronique JNRDM'02 , no. 1, pp. 1–3, 2002.
- [153] I. Iatcheva, I. Lilianova, H. Tahrilov et al, "Industrial heating system creating given temperature distribution", Serbian Journal Of Electrical Engineering, vol. 5, no. 1, pp. 57–66, 2008.
- [154] A. Jourdan, "Planification D'Experiences Numeriques", Revue Modulad, pp. 63–73, 2005.
- [155] V. V. N. Obreja, "An experimental investigation on the nature of reverse current of silicon power pn-junctions", IEEE Transactions on Electron Devices, vol. 49, no. 1, pp. 155–163, 2002.
- [156] B. Wrzecionko, J. Biela, J. W. Kolar, "SiC power semiconductors in HEVs: Influence of junction temperature on power density, chip utilization and efficiency", 35th Annual Conference of IEEE on Industrial Electronics (IECON '09), Porto, Portugal, pp. 3834–3841, 2009.
- [157] R. Robutel, "Etude des composants passifs pour l'électronique de puissance à haute température: application au filtre CEM d'entrée" thèse, Institut National des Sciences Appliquées de Lyon, 2012.
- [158] H. Arbess, M. Bafleur, "MOS-IGBT power devices for high-temperature operation in smart power SOI technology", Microelectronics Reliability, vol. 51, no. 9–11, pp. 1980–1984, 2011.
- [159] S. P. Gimenez, E. H. S. Galembek, C. Renaux, and D. Flandre, "Diamond layout style impact on SOI MOSFET in high temperature environment", Microelectronics Reliability, vol. 55, no. 5, pp. 783–788, 2015.
- [160] M. Yoshimura, A. Uchida, S. Matsumoto, "Design issues of a thin-film p-channel SOI power MOSFET for high-temperature applications", Microelectronics Reliability, vol. 53, no. 9–11, pp. 1778–1782, 2013.

- [161] Y. Yamada, Y. Takaku, Y. Yagi et al, "Reliability of wire-bonding and solder joint for high temperature operation of power semiconductor device", *Microelectronics Reliability*, vol. 47, pp. 2147–2151, 2007.
- [162] W. Loh, M. Corfield, H. Lu et al, "Wire Bond Reliability for Power Electronic Modules - Effect of Bonding Temperature", *International Conference on Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems (EuroSime 07)*, Londre, Angleterre pp. 427 – 432, 2007.
- [163] F. Walters, "Sequential Simplex Optimization - An Update", *Analytical Letters*, DOI: 10.1080/00032719908542815, vol. 32, pp. 193–212, 1999.
- [164] J-P Ousten, "Etude du comportement au vieillissement des interfaces thermiques pour modules électroniques de puissance des applications transports", thèse, ENS - Cachan, 2013.
- [165] C. Yue, "The Influence of Die Tilting on the Thermal Response and Die Attach Stress of a Bottom Exposed Package", *13th International Conference on Electronic Packaging Technology and High Density Packaging (ICEPT-HDP 12)*, Guilin, Chine, pp. 685–690, 2012.
- [166] R. A Stine, "Graphical Interpretation of Variance Inflation Factors", *The American Statistician*, DOI: 10.1080/00031305.1995.10476113, vol. 49, no. 1, pp. 53–56, 1995.
- [167] V. Abiodun, A. Adewole, "Estimation of Regression Coefficients in the Presence of Multicollinearity", *Social and Basic Sciences Research Review*, ISSN: 2313-6758, vol. 2, no. 10, pp. 404–415, 2014.
- [168] S. S. Li and W. R. Thurder, "The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon", *Solid-State Electronics*, vol. 20, pp. 609–616, 1977.
- [169] D. R. Smith and F. R. Fickett, "Low-Temperature Properties of Silver", *Journal of Research of the National Institute of Standards and Technology*, vol. 100, no. 2, p. 119, 1995.
- [170] DuPont™, "Kapton properties", vol. 26, 2014.
- [171] P. O. Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée", thèse, Institut National Polytechnique de Grenoble, 2010.
- [172] Y. Avenas, L. Dupont, "Evaluation of IGBT thermo-sensitive electrical parameters under different dissipation conditions - Comparison with infrared measurements", *Microelectronics Reliability*, vol. 52, no. 11, pp. 2617–2626, 2012.
- [173] J. C. Batsale, "Analyse thermographique du comportement des matériaux", thèse, Université de Bordeaux, 2013.
- [174] M. Sheng, J. Xie, Z. Fu, "Calibration-based NUC method in real-time based on IRFPA", *Physics Procedia*, 2011 International Conference on Physics Science and Technology (ICPST 2011), Dubai, Émirats Arabes Unis, vol. 22, pp. 372–380, 2011.

- [175] A. Kumar, "Sensor Non Uniformity Correction Algorithms and its Real Time Implementation for Infrared Focal Plane Array-based Thermal Imaging System", *Defence Science Journal*, vol. 63, no. 6, pp. 589–598, 2013.
- [176] A. E. Mudau, C. J. Willers, D. Griffith et al, "Non-uniformity correction and bad pixel replacement on LWIR and MWIR images", 2011 Saudi International Conference on Electronics, Communications and Photonics Conference (SIECPC), Riyadh, Arabie Saoudite pp. 1 – 5, 2011.
- [177] S. N. Torres, E. M. Vera, R. A. Reeves et al, "Adaptive scene-based nonuniformity correction method for infrared-focal plane arrays", *Proceeding SPIE Infrared Imaging Systems: Design, Analysis, Modeling, and Testing XIV*, vol. 5076, pp. 130–139, 2003.
- [178] F. H. S. Palma, "Déformation de champs thermiques et traitement d'images infrarouges. Application à la caractérisation de systèmes dynamiques", thèse, Université de Toulouse, 2009.

