



# Le Packaging en électronique de puissance

Cyril Buttay

► **To cite this version:**

Cyril Buttay. Le Packaging en électronique de puissance. Sciences de l'ingénieur [physics]. INSA de Lyon, 2015. <tel-01267363>

**HAL Id: tel-01267363**

**<https://tel.archives-ouvertes.fr/tel-01267363>**

Submitted on 4 Feb 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Distributed under a Creative Commons Attribution 4.0 International License

# HABILITATION A DIRIGER DES RECHERCHES

présentée devant

l'Institut National des Sciences Appliquées de Lyon  
et l'Université Claude Bernard LYON I

Titre

**Le Packaging en électronique de puissance**

SPECIALITE :  
Génie Électrique

par  
Cyril Buttay

Soutenue le 4 décembre 2015 devant la Commission d'examen

---

(par ordre alphabétique)

Noms Prénom Fonction

AVENAS Yvan	Maître de conférences HDR INP Grenoble
JOHNSON Mark	Professeur, université de Nottingham, UK
JOUBERT Charles	Professeur des universités, Lyon 1
KHATIR Zoubir	Directeur de recherche IFSTTAR
LEBEY Thierry	Directeur de recherche CNRS
MOREL Hervé	Directeur de recherche CNRS
WOIRGARD Éric	Professeur des universités, Bordeaux

Laboratoire Ampère



---

## Résumé

Le *packaging*, qui regroupe toutes les fonctions d'isolation, de connexion, de gestion thermique et de protection physique des puces à semiconducteur, a des effets majeurs sur leurs performances. Les éléments constitutifs d'un boîtier sont présentés dans le premier chapitre de ce mémoire, qui constitue un état de l'art du *packaging* de puissance. Les limites des solutions existantes sont exposées, que ce soit au niveau de leurs performances électriques, de leur fiabilité, ou de leur température maximale de fonctionnement.

Dans le second chapitre, nous nous intéressons à des structures innovantes, destinées à dépasser les limites des solutions actuelles. En particulier, les solutions permettant de refroidir les puces de façon plus efficace (refroidissement « double face ») sont présentées en détails, en s'appuyant sur des prototypes réalisés au laboratoire.

Le troisième chapitre présente les développements autour du *packaging* pour la haute température (température ambiante supérieure à 200 °C), qui a constitué le principal axe de mes travaux au laboratoire Ampère. Il débute par une étude du comportement électro-thermique de composants en carbure de silicium, qui se révèlent adaptés au fonctionnement en haute température, mais nécessitent néanmoins une gestion thermique performante. La suite du chapitre est consacrée à l'étude de méthodes d'attache de puce alternatives aux brasures et permettant le fonctionnement à haute température. Deux méthodes sont identifiées (soudure en phase liquide transitoire et frittage d'argent), mais seule la seconde se révèle applicable aux puces actuelles.

En plus des applications en haute température, la partie prospective du mémoire présente des possibilités de développement vers l'intégration en électronique de puissance, et vers le *packaging* pour la haute tension.



# remerciements

Avant de rentrer dans le vif du mémoire, il me faut remercier toutes les personnes qui ont participé aux travaux présentés ici. C'est peut-être la partie dont la rédaction est difficile, puisqu'il ne faut oublier personne alors même que le travail de recherche est profondément collaboratif (et qu'il implique donc beaucoup de monde). Et puis, soyons honnête, c'est probablement la section qui sera la plus lue...

Je vais commencer par remercier les examinateurs (après tout, ils vont juger mon travail, un peu de flagornerie n'a jamais fait de mal). Les rapporteurs, en particulier, ont toute ma sympathie (désolé pour la longueur du manuscrit).

Deux personnes de l'équipe ont particulièrement aidé à la rédaction de ce manuscrit : Charles et Hervé. Leurs retours m'ont été fort utiles, et je les en remercie ici.

Le travail que je présente dans ce mémoire provient en grande partie des doctorants que j'ai encadrés (qui a dit exploités?) jusqu'ici. Merci donc à (par ordre d'apparition :) Amandine, Victor, Bassem, Stanislas, Raphaël, Anne-Sophie, Chen-jiang, Leonardo, Ilyas, Hugo.

Je remercie également tous les collègues du laboratoire Ampère, qu'ils soient chercheurs, administratifs ou personnels techniques. La liste est trop longue pour que je m'aventure à les citer nommément, mais les remerciements n'en sont pas moins sincères.

Également nombreux sont les collègues des autres laboratoires, avec qui j'ai eu (et continue à avoir) des échanges enrichissants, que ce soit au travers de projets de recherche ou de simples discussions. Merci donc à Marie-Laure, Séverine, Céline, Vincent, Yvan, Pierre-Olivier, Jean-Christophe, Éric, Stéphane, Rafaël, Laurent, Olivier, Anthony, Sébastien...

Merci également aux industriels qui viennent avec leurs problèmes ou leurs financements (idéalement les deux, voire, encore mieux, uniquement le second). Certains veulent rester discrets, je ne vais donc citer personne ici, mais ils se reconnaîtront.

Je les ai déjà remerciés deux paragraphes plus haut, mais Vincent et Céline, qui font tourner la plateforme 3DPHI, méritent une médaille. Merci d'une manière générale à ceux qui œuvrent pour que cette initiative réussisse, qu'ils soient Toulousains, Montpelliérains, voire même Grenoblois ou Parisiens!

Je continue ma petite tournée des organisations en remerciant les membres de Supergrid (et avant tout Michel et les participants du programme 3) et ceux du laboratoire commun Safran/Ampère (En premier lieu Régis et Marwan).

Enfin, mes derniers remerciements vont à Mark, dans l'équipe duquel j'ai commencé à travailler sur le *packaging*, ce qui a réorienté la suite de ma carrière de chercheur en génie électrique. J'ai beaucoup pris de plaisir à travailler avec toi. Thank you Mark!

# Table des matières

<b>Table des matières</b>	<b>vii</b>
<b>I Curriculum Vitæ détaillé</b>	<b>1</b>
<b>1 Parcours</b>	<b>3</b>
1.1 Situation actuelle . . . . .	3
1.2 Formation initiale . . . . .	3
1.3 Expérience professionnelle . . . . .	3
<b>2 Activités de recherche</b>	<b>5</b>
2.1 Encadrement d'étudiants . . . . .	5
2.2 Contribution à des projets de recherche . . . . .	5
2.3 Positionnement de ma recherche au sein du laboratoire Ampère . . . . .	5
2.4 Publications . . . . .	11
<b>3 Activités annexes</b>	<b>19</b>
3.1 Participation à la vie du laboratoire . . . . .	19
3.2 Participation à la communauté scientifique . . . . .	20
<b>4 Enseignement</b>	<b>21</b>
4.1 Activités durant ma thèse (2001–2004) . . . . .	21
4.2 Activités post-doctorat 2005–2007 . . . . .	21
4.3 Après mon recrutement (2008 –) . . . . .	22
<b>II Travaux scientifiques</b>	<b>25</b>
<b>5 Le packaging en électronique de puissance et ses limites</b>	<b>27</b>
5.1 Introduction au <i>packaging</i> en électronique de puissance . . . . .	27
5.1.1 Vue d'ensemble . . . . .	28
5.1.2 Description des différents éléments constitutifs du boîtier . . . . .	29
5.2 Effet du packaging sur les performances électriques des convertisseurs . . . . .	39

5.2.1	Éléments parasites . . . . .	40
5.2.2	Influence des éléments parasites dynamiques . . . . .	41
5.2.3	Effets résistifs . . . . .	46
5.3	(Manque de) Fiabilité du packaging . . . . .	49
5.3.1	Une étude fine de la robustesse des substrats céramiques métallisés : le projet SuMeCe . . . . .	50
5.4	Limites en température du packaging . . . . .	55
5.4.1	Caractéristiques de l'environnement « haute température » . . . . .	55
5.4.2	État de l'art et limites . . . . .	58
5.5	Évolutions en cours et à venir . . . . .	61
<b>6</b>	<b>Nouvelles structures de modules de puissance</b>	<b>65</b>
6.1	Promesses des structures « 3D » . . . . .	65
6.1.1	Refroidissement efficace . . . . .	65
6.1.2	Circuit faiblement inductif . . . . .	66
6.1.3	Augmentation de la densité de puissance . . . . .	66
6.1.4	Assemblage plus fiable . . . . .	67
6.2	Tour d'horizon des structures « 3D » . . . . .	67
6.3	Structure à « plot massif » . . . . .	70
6.3.1	Structure brasée . . . . .	70
6.3.2	Structure frittée . . . . .	78
6.4	Structure à « micropoteaux » . . . . .	84
6.4.1	Étude du collage direct cuivre-cuivre . . . . .	85
6.4.2	Procédé de fabrication des micropoteaux . . . . .	88
6.4.3	Réalisation d'assemblages fonctionnels . . . . .	91
6.4.4	Caractérisation électrique et thermique de la structure mi- cropoteaux . . . . .	93
6.5	Conclusions sur les nouvelles structures de modules de puissance . . . . .	97
<b>7</b>	<b>Le packaging pour l'électronique de puissance « haute température »</b>	<b>99</b>
7.1	Stabilité thermique des composants SiC . . . . .	99
7.1.1	Mécanisme d'emballage thermique . . . . .	99
7.1.2	Étude de la diode « Schottky » SiC . . . . .	101
7.1.3	Étude du transistor JFET . . . . .	108
7.1.4	Conclusion sur la stabilité thermique des composants SiC . . . . .	117
7.2	Attache de puces « haute température » . . . . .	118
7.2.1	Axes de développement . . . . .	118
7.2.2	Mise en œuvre d'une attache de puce par TLPB « Or/Étain » . . . . .	127
7.2.3	Mise en œuvre d'attaches de puce par frittage d'argent . . . . .	132
7.2.4	Évaluation du frittage pour les applications « haute tempé- rature » . . . . .	141
7.2.5	Réalisation de démonstrateurs « tout frittés » . . . . .	149
7.3	Conclusions sur le packaging haute température . . . . .	152

---

<b>III Conclusions et perspectives</b>	<b>155</b>
<b>8 Perspectives</b>	<b>157</b>
8.1 Cadre de recherche . . . . .	157
8.2 Packaging pour la haute température . . . . .	161
8.3 Nouvelles structures de modules de puissance . . . . .	163
8.4 Vers les hautes tensions . . . . .	166
<b>9 Conclusion</b>	<b>169</b>
<b>Bibliographie</b>	<b>171</b>



# Liste des symboles

$\alpha$	Paramètre empirique du modèle de diode PiN (V), page 104
$\beta$	Paramètre empirique du modèle de diode PiN ( $\Omega^{-1}V^{-1}$ ), page 104
$\gamma$	mobilité de l'argent ( $h^{-1}$ ), page 146
$\lambda$	Conductivité thermique (W/m.K), page 33
$\lambda_e$	Conductivité thermique assurée par les porteurs de charge (W/m.K), page 33
$\lambda_p$	Conductivité thermique assurée par les phonons (W/m.K), page 33
$\sigma$	Conductivité électrique ( $\Omega^{-1}.m^{-1}$ ), page 33
$E_A$	énergie d'activation du phénomène de migration d'argent (eV), page 146
$I_D$	Courant de drain d'un transistor MOSFET ou JFET (A), page 111
$I_{sat}$	Courant de saturation (A), page 102
$I_{SBD}$	Courant direct dans la partie unipolaire d'une diode MPS (A), page 102
$k$	Constante de Boltzmann ( $8,617343 \cdot 10^{-5}$ eV/K), page 102
$K_p$	"transconductance" du JFET ( $A.V^{-2}$ ), page 112
$L$	Facteur de Lorentz (variable selon les matériaux, $\approx 2,44 \cdot 10^{-8} W \cdot \Omega \cdot K^{-2}$ pour les métaux), page 33
$L_D$	Inductance de drain (H), page 42
$L_G$	Inductance de grille (H), page 41
$L_S$	Inductance de source (H), page 42
$m$	facteur entier représentant le mécanisme de transport de matière lors du frittage (2 à 4), page 125
$n$	facteur d'idéalité (pour une diode unipolaire, sans dimensions), page 102
$p$	sensibilité de la mobilité de l'argent au champ électrique, page 146
$P_{cond}$	Pertes en conduction (W), page 114

$Q$	Chaleur extraite par le système de refroidissement (W), page 114
$q$	Charge électronique ( $1,6 \cdot 10^{-19} C$ ), page 102
$r$	rayon de particule ( $m$ ), page 125
$R_a$	Rugosité arithmétique ( $\mu m$ ), page 123
$R_S$	Résistance dynamique ou série ( $\Omega$ ), page 102
$R_{300K}$	Valeur de la résistance $R_{DS_{on}}$ à 300 K ( $\Omega$ ), page 114
$R_{DS_{on}}$	Résistance drain-source d'un transistor MOSFET ou JFET à l'état passant ( $\Omega$ ), page 111
$R_{thJA}$	Résistance thermique, de la jonction du composant, à l'environnement ambiant ( <i>Junction-to-Ambient</i> ) (K/W), page 114
$R_{th}$	Résistance thermique (K/W), page 114
$T$	Température (K), page 33
$t$	temps (s), page 125
$T_A$	Température ambiante (K), page 114
$T_F$	Température absolue de fusion (K), page 60
$T_H$	Température homologue (sans dimensions), page 60
$T_J$	Température de jonction (K), page 114
$T_{op}$	Température absolue de fonctionnement (K), page 60
$V$	Tension aux bornes de la jonction (V), page 102
$V_{BR}$	Tension drain source maximale supportée par un transistor MOSFET (tension d'« avalanche ») (V), page 43
$V_{DS}$	Tension drain-source d'un transistor MOSFET ou JFET (V), page 111
$V_{GS}$	Tension grille-source d'un transistor MOSFET ou JFET (V), page 111
$V_O$	Tension nominale du bus continu d'un convertisseur (V), page 43
$V_{pt}$	Tension grille-source de percement <i>punch-through</i> (à une valeur de courant de grille donnée) (V), page 112
$V_{th}$	Tension de seuil d'un transistor (V), page 112
$Al_2O_3$	Oxyde d'aluminium, ou Alumine, utilisé comme céramique isolante électrique, page 34
$AlN$	Nitride d'aluminium, utilisé comme céramique isolante électrique, page 34
$AMB$	<i>Active Metal Braze</i> , attache métal/céramique par brasure active, page 35

- BJT *Bipolar Junction Transistor*, ou transistor bipolaire, page 100
- CoC *Chip-on-Chip*, structure physique de bras d'onduleur dans laquelle les puces sont empilées, de manière à ce que la phase soit au milieu et les bus continus à l'extérieur, page 97
- CTE *Coefficient of Thermal Expansion*, coefficient de dilatation thermique (*ppm/K*), page 32
- DBA *Direct Bonded Aluminium*, substrat aluminium/céramique réalisé par attache directe., page 35
- DBC *Direct Bonded Copper*, substrat cuivre/céramique réalisé par attache directe., page 35
- DEL, LED Diode Électroluminescente (Light-Emitting Diode), page 28
- DRX Diffraction des Rayons X, méthode d'analyse permettant d'observer la structure cristalline de la matière, page 140
- EDS, EDX *Energy Dispersive –X-Ray– Spectroscopy*, système intégré dans certains microscopes électroniques pour mesurer la composition chimique d'un échantillon, page 130
- GaN Nitrure de Gallium, page 58
- JFET Transistor à effet de champ à jonction (*Junction Field-Effect Transistor*), page 108
- MPS *Merged PiN Schottky* (diode mixte Schottky/bipolaire), page 101
- PCB *Printed Circuit Board*, circuit imprimé, page 66
- PiN Diode bipolaire de puissance, page 101
- RTA *Rapid Thermal Annealing* : four à lampe permettant le traitement rapide de *wafers* (de l'ordre de la centaine de degrés celsius par seconde), page 92
- SAB *Surface-Activated Bonding*, méthode de collage direct métal-métal, page 85
- SBD *Schottky Barrier Diode* (diode Schottky), page 101
- SDL Spectroscopie à Décharge Luminescente, méthode d'analyse de la composition chimique d'un échantillon, durant laquelle l'échantillon est creusé par attaque plasma, page 140
- SiC Carbure de Silicium, page 58
- SMI, IMS Substrat Métallique Isolé (*Isolated Metal Substrate*), page 35
- SPS *Spark Plasma Sintering*, frittage « flash » dans lequel l'apport de chaleur se fait par circulation d'un courant élevé (plusieurs kA) dans une matrice en graphite, page 85

- TLPB Soudure en phase liquide transitoire (*Transient Liquid Phase Bonding*, également appelée SLID pour *Solid-Liquid Interface Diffusion*), page 120
- TLPS Méthode d'assemblage similaire au TLPB, dans laquelle les métaux du joint sont sous forme de mélange de poudre plutôt que de couches empilées (*Transient Liquid Phase Sintering*), page 123
- XPS Spectroscopie de photoelectrons induits par rayons X, méthode d'analyse de la composition chimique de surface (quelques nanomètres) d'un échantillon, page 140

**Première partie**

**Curriculum Vitæ détaillé**



# CHAPITRE 1

## Parcours

### 1.1 Situation actuelle

Chargé de Recherche (CR1) au laboratoire Ampère, INSA de Lyon  
36 ans, né le 16/07/1978

### 1.2 Formation initiale

**2001-2004** (3 ans), INSA de Lyon. Thèse de doctorat (soutenue le 30 novembre 2004). « Contribution à la conception en électronique de puissance par la simulation : application à l'onduleur basse tension ». Contrat CIFRE avec VALEO Electrical Systems et le Centre de Génie Électrique de LYon (CEGELY).

Jury :

- François Forest (président) ;
- Patrick Austin (rapporteur) ;
- Jean-Luc Schanen (rapporteur) ;
- Dominique Bergogne (directeur) ;
- Jean-Pierre Chante (directeur) ;
- Cédric Plasse (examineur).

**2000-2001** (1 an) INSA Lyon. Diplôme d'Études Approfondies. Spécialité Génie Électrique, déroulement couplé avec la formation d'ingénieur

**1996-2001** (5 ans) Ingénieur INSA de Lyon. spécialité Génie Électrique, option conversion de l'énergie électrique.

### 1.3 Expérience professionnelle

**Depuis le 1<sup>er</sup> janvier 2008** Laboratoire Ampère, Lyon. Chargé de recherches CNRS. Recherche sur le packaging haute température et haute fiabilité en électronique de puissance.

- 2005–2007** (26 mois) *Electrical Machines and Drives research group*, université de Sheffield, puis université de Nottingham à partir d'octobre 2006. *Research Associate*, Packaging en électronique de puissance.
- 2004–2005** (9 mois) Poste d'ATER au Laboratoire de Génie Électrique et Ferro-électricité (LGEF), INSA de Lyon. Mise en place d'une plateforme de prototypage Dspace.
- 2001–2004** (36 mois) VALEO Electrical Systems, Créteil/CEGELY, Lyon. Modélisation d'un onduleur du domaine automobile. Thèse CIFRE, incluant un semestre dans les locaux de Valeo, au sein de l'équipe R&D électronique. Application des méthodes de modélisation que j'ai développées à un onduleur conçu par l'équipe.

## CHAPITRE 2

# Activités de recherche

### 2.1 Encadrement d'étudiants

Les encadrements de doctorants auxquels j'ai participé sont regroupés dans les tables 2.1 (thèses terminées) et 2.2 (thèses en cours au 1<sup>er</sup> juin 2015). Je n'ai donné que le sujet de la thèse, le contenu étant repris plus loin dans ce mémoire (dans la description de mes travaux scientifiques, partie II).

La table 2.3 liste les différents stages (niveau DUT à master 2) que j'ai encadrés, avec un bref descriptif du sujet.

### 2.2 Contribution à des projets de recherche

Les projets de recherche auxquels j'ai participé sont résumés dans les tableaux 2.4 (projets terminés) et 2.5 (projets en cours). Les budgets sont mentionnés pour donner une idée de l'envergure de chaque projet.

### 2.3 Positionnement de ma recherche au sein du laboratoire Ampère

Le laboratoire Ampère est découpé en 3 départements (Méthodes pour l'Ingénierie des Systèmes, Bio-ingénierie, et celui qui nous intéresse ici : Énergie Électrique). Ce département recouvre principalement des activités sur les matériaux diélectriques et magnétiques, sur les composants actifs, et sur leurs applications en électronique de puissance.

Le fonctionnement à haute température de systèmes d'électronique de puissance est un des axes de recherche du département (avec le fonctionnement à haute tension et l'intégration des systèmes de puissance). Le packaging constituant une des plus fortes limites à la montée en température, c'est tout naturellement par là que j'ai commencé mes activités à Ampère (cela fait l'objet du cha-

Docteur	Début	Soutenue	Sujet	Détails	encad.	Poursuite
Amandine MASSON	1/10/08	2/02/12	Mise en œuvre de techniques d'at- taches de puces alternatives aux brasures classiques pour des ap- plications haute température.	Direction Hervé Mo- REL, Financement FRAE	90 %	Ingénieur chez Airbus Space and Defense
Victor Dos SANTOS	1/01/09	Démission	Étude de diodes faibles pertes pour onduleur automobile à haut rendement.	Direction : Domi- nique PLANSON, financement CIFRE	90 %	Ingénieur chez EDF
Wissam SAB- BAH	5/11/09	25/06/13	Contribution à l'étude des assem- blages et connexion nécessaires à la réalisation d'un cœur de puis- sance haute température à base de JFET carbure de silicium (SiC).	Direction WOIRGARD (IMS), co-direction Sté- phane AZZOPARDI, financement CIFRE	5 %	Post-doc IRT St Exupéry
Bassem MOUAWAD	16/11/09	18/03/13	Assemblages innovants en élec- tronique de puissance utilisant la technique de « Spark Plasma Sinte- ring.	Direction Hervé MOREL, codirection Vincent BLEY (LA- PLACE), financement ANR	50 %	Post-doc Univ. Nottingham
Stanislas HASCOËT	18/10/10	19/11/13	Mise en œuvre de nouveaux ma- tériaux d'assemblage dans les mo- dules multipuces de puissance (MCM).	Direction Domi- nique PLANSON, financement CIFRE	90 %	Ingénieur Schlumberger
Raphaël RIVA	1/12/10	10/07/14	Solution d'interconnexions pour la Haute Température.	Direction : Bruno ALLARD, financement Euripides Catrene	90 %	Post-doc IRT St-Exupéry

TABLE 2.1 – Encadrements de thèse terminés (les taux d'encadrement sont une estimation de mon implication réelle)

Doctorant	Début	Sujet	Détails	encadrement
Anne-Sophie PODLEJSKI	1/02/13	Conception et dimensionnement d'un convertisseur statique de puissance en environnement sévère.	Direction : Christian VOLLAIRE, financement FRAE	20 %
Chenjiang YU	1/11/13	Technologies de fabrication pour les convertisseurs de puissance intégrés.	Direction Eric LABOURÉ (GEEPS), financement ANR	50 %
Leonardo RUFFEIL DE OLIVERA	1/12/13	Convertisseur de puissance intégré à fort rendement à base de composants « grand gap » pour applications photovoltaïques.	Direction Yvan AVENAS, Codirection Pierre-Olivier JEANNIN, financement région (ARC Énergie)	30 %
Ilyas DCHAR	20/12/13	Conception d'un module de puissance possédant un mode de défaillance en court-circuit ( <i>fail-to-short</i> ).	Direction Hervé MOREL, financement CIFRE	90 %
Hugo REYNES	16/02/15	Conception d'un module d'électronique de puissance pour applications très haute tension.	Direction Hervé MOREL, financement CIFRE	90 %

TABLE 2.2 – Encadrements de thèse en cours (les taux d'encadrement sont une estimation de mon implication réelle)

Étudiant	Année	Sujet	niveau
Nabil QORCHI	2009	État de l'art du packaging haute température en électronique de puissance.	Master 2
Diaba KEITA	2009	Banc de vieillissement de composants par cyclage thermique.	DUT
Samy MAZINE	2010	Banc de vieillissement de composants par cyclage thermique.	DUT
Intédhar CHE-RIGUI	2010	Régulation d'un conditionneur de température.	DUT
Hoan ANH DUNG	2011	Étude de l'emballement thermique des transistors JFET SiC.	Master 2
Jordan HENRY	2012	Réalisation de la partie programmation et électronique d'un Dip Coater.	DUT
Rémy BAUBET	2013	Conception d'une source lumineuse à LED pour agrandisseur multigrade.	DUT
Justine BILLORE	2013	Assemblage de capteurs par frittage d'argent.	Master 1
Stephen ME-THOGO	2013	Définition d'un profil de refusion pour brasure sans plomb.	DUT
Marien KAM-DEN SOPDIE	2014	Conception d'un module de puissance faiblement inductif.	Master 2
Elie ABOU RJEILLY	2014	Étude de la porosité d'un joint d'argent fritté.	Master 2
Jean ZARAKET	2014	Conception d'un onduleur qZSI haute fréquence.	Master 2
Abdelhakim BEN OMAR	2014	Conception d'un onduleur qZSI haute fréquence.	Master 2
Damien MOU-REAUX	2015	Comparaison de sondes de courant et tension pour l'électronique de puissance rapide.	Master 2
Remy CAILLAUD	2015	Packaging faiblement inductif pour onduleur SiC.	Master 2
Rodrigo LEITE	2015	Refroidisseur « tout céramique » pour réduction des courants de mode commun.	Master 2

TABLE 2.3 – Stagiaires encadrés

Projet	Financ.	Période	Description	Budget	Mon rôle
THOR	CATRENE	2010 – 2013	packaging haute température pour l'électronique de puissance, en collaboration avec des partenaires industriels. Thèse Raphaël RIVA.	Ampère : 760 k€	Participant
	CIFRE	2010 – 2014	Thèse de Stanislas HASCOËT) portant sur les technologies de report de puce haute température.	Ampère : 45 k€	Responsable
	CIFRE	2009 – 2013	Thèse de Wissam SABBAH sur les technologies d'assemblage haute température, en collaboration avec le laboratoire IMS.	Ampère : 0	Resp. Ampère
	CIFRE	2009	Thèse de Victor DOS SANTOS, démissionnaire.	Ampère : 16 k€	Responsable
SuMeCe	Carnot	2011 – 2014	Projet avec les laboratoires MATEIS, LaMCoS et LMI (Lyon) portant sur la modélisation de la défaillance des substrats céramiques métallisés.	total : 196 k€	Responsable
	BQR INSA	2009 – 2010	Collaboration avec le laboratoire CETHIL, ayant pour but la mesure de température d'une puce de puissance par microscopie thermique.	total : 26 k€	Responsable
	BQR INSA	2010 – 2011	Collaboration avec le laboratoire MATEIS, pour la réalisation de substrats AIN-Molybdène cofrittés.	Ampère : 6 k€	Resp. Ampère
EPAHT	FRAE	2008 – 2012	Projet portant sur le packaging haute température pour les composants SiC, en collaboration avec le laboratoire LAPLACE. Thèse d'Amandine MASSON.	Ampère : 222 k€	Resp. Ampère
ECLIPSE	ANR	2009 – 2012	Packaging 3D, en collaboration avec les laboratoires G2ELab, LAPLACE et IFSTTAR-LTN. Thèse de Bassem MOUAWAD.	Ampère : 191 k€	Resp. Ampère
Poly-Panacee	Carnot	2011	Collaboration avec le laboratoire IMP (Ingénierie de matériaux polymères), portant sur le développement et l test d'encapsulants haute température.	Ampère : 20 k€	Participant
Capteur fritté	contrat industriel	2012	Développement du frittage d'argent pour un capteur destiné aux applications de forage.	Ampère : 10 k€	Responsable
Capteur fritté	contrat industriel	2014 – 2015	Amélioration des performances du capteur précédemment développé en vue de son industrialisation.	Ampère : 30 k€	Responsable

TABLE 2.4 – Projets et contrats de recherche auxquels j'ai participé (et qui sont maintenant terminés), avec une description rapide des objectifs et de mon rôle.

Projet	Financ.	Période	Description	Budget	Mon rôle
ARC énergie	région	2014 – ...	Projet avec le laboratoire G2ELab portant sur des modules de puissance tridimensionnels. Thèse Leonardo RUFFEIL.	Total: 15 k€	Resp. Ampère
ETHAER	ANR	2013 – ...	Collaboration avec les laboratoires IES, LAPLACE et GeePs, sur le développement de convertisseurs intégrés. Thèse Chenjiang YU.	Ampère: 128 k€	Resp. Ampère
ACCITE	FRAE	2013 – ...	Collaboration avec les laboratoires Green, LAPLACE et LSEE, sur l'intégration convertisseur/machine en environnement sévère. Thèse Anne-Sophie PODLEJSKI.	Ampère: 224 k€.	participant
IMRA	contrat industriel	2014 – 2015	Développement d'un onduleur en carbure de silicium haute fréquence pour applications automobiles.	Ampère: 100 k€.	responsable
Power-SWIPE	FP7	2012 – ...	intégration de composants passifs.	Ampère: 392 k€	Participant
GENOME	invest. avenir	2014 – ...	Projet en collaboration avec les laboratoires IMS et Satie, portant en ce qui me concerne sur le packaging en électronique de puissance.	Ampère: 439 k€	Participant
Supergrid	invest. avenir	2013 – ...	Développement de réseaux haute tension DC, avec la participation de nombreux partenaires industriels et académiques, pour une durée supérieure à 10 ans. Thèses d'Ilyas DCHAR et Hugo REYNES.	total ≈ 150 M€	participant

TABLE 2.5 – Projets et contrats de recherche auxquels je participe actuellement, avec une description rapide des objectifs et de mon rôle.

pitre 7). Il n'y avait jusqu'alors pas de travaux portant spécifiquement sur le packaging.

Avec le démarrage en 2013 du *Supergrid Institute* (entité Lyonnaise visant à développer les réseaux haute tension continue), je m'intéresse désormais également au domaine de la haute tension, autre point fort du laboratoire. Ces travaux sont malheureusement trop peu avancés pour être traités dans la suite de ce mémoire. Enfin, concernant l'intégration des systèmes de puissance, et même si une grande partie de mes activités se fait plutôt en lien avec la plateforme 3DPHI (Toulouse), j'ai des liens forts à l'intérieur du laboratoire : par exemple, les travaux de Christian MARTIN, sur les composants magnétiques intégrés, partagent avec les miens beaucoup d'étapes technologiques (et une bonne partie du matériel!).

## **2.4 Publications**

La liste des publications que j'ai écrites ou co-écrites est donnée dans les pages qui suivent.

## — Revues à comité de lecture —

- [R1] C. Buttay, T. Salah, D. Bergogne, B. Allard, H. Morel, and J.-P. Chante, "Avalanche behavior of low-voltage power MOSFETs," *IEEE Power Electronics Letters*, vol. 2, no. 3, pp. 104–107, 2004. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00138863>
- [R2] A. Faiz, D. Guyomar, P. Lionel, and C. Buttay, "Semi-passive Piezoelectric Noise Control in Transmission by Synchronized Switching Damping on Voltage Source," *Journal of Physics IV*, no. 128, pp. 171–176, 2005.
- [R3] C. Buttay, H. Morel, B. Allard, P. Lefranc, and O. Brevet, "Model requirements for simulation of low-voltage MOSFET in automotive applications," *IEEE Transactions on Power Electronics*, vol. 21, no. 3, pp. 613–624, 2006. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00138878>
- [R4] A. Faiz, D. Guyomar, P. Lionel, and B. Cyril, "wave transmission reduction using a piezoelectric semi-passive non linear technique on voltage source," *Sensors and Actuators A*, vol. 128, pp. 230–237, 2006.
- [R5] T. B. Salah, C. Buttay, B. Allard, H. Morel, S. Ghedira, and K. Besbes, "Experimental Analysis of Punch-Through Conditions in Power P-I- N Diodes," *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 13–20, 2007. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00135198>
- [R6] C. Buttay, C. Johnson, J. Rashid, F. Ufrea, G. Amaratunga, P. Tappin, N. Wright, P. Ireland, T. Yamamoto, Y. Takeuchi, and R. Malhan, "High temperature direct double side cooled inverter module for hybrid electric vehicle application," *Material Science Forum*, vol. 556–557, pp. 709–712, Sep. 2007. [Online]. Available : <http://www.scientific.net/MSE556-557.709>
- [R7] F. Morel, X. Lin-Shi, J.-M. Retif, B. Allard, and C. Buttay, "A Comparative Study of Predictive Current Control Schemes for a Permanent-Magnet Synchronous Machine Drive," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 7, pp. 2715–2728, 2009. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00386480>
- [R8] N. G. Wright, C. M. Johnson, A. Horsfall, C. Buttay, K. Vassilevski, W. S. Loh, R. Skuriat, and P. Agyakwa, "Applications-Based Design of SiC Technology," *Material Science Forum*, vol. 600–603, pp. 919–924, 2009. [Online]. Available : <http://www.scientific.net/MSE600-603.919>
- [R9] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, C. Joubert, M. Lazar, C. Martin, H. Morel, D. Tournier, and C. Raynaud, "State of the art of high temperature power electronics," *Materials Science and Engineering : B*, vol. 176, no. 4, pp. 283–288, 2011, microtechnology and Thermal Problems in Electronics. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0921510710006136>
- [R10] E. Haddad, C. Martin, C. Joubert, B. Allard, M. Soueidan, M. Lazar, C. Buttay, and B. Payet-Gervy, "Modeling, Fabrication, and Characterization of Planar Inductors on YIG Substrates," *Advanced Materials Research*, vol. 324, pp. 294–297, Aug. 2011. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672240>
- [R11] B. Mouawad, M. Soueidan, D. Fabrègue, C. Buttay, and B. Allard, "Mechanical Study of Copper Bonded at Low Temperature using Spark Plasma Sintering Process," *Advanced Materials Research*, vol. 324, pp. 177–180, 2011. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00799899>
- [R12] R. Robutel, C. Martin, H. Morel, C. Buttay, N. Gazel, and D. Bergogne, "Design of a High Temperature EMI Input Filter for a 2 kW HVDC-Fed Inverter," *Journal of Microelectronics and Electronic Packaging*, vol. 8, no. 1, pp. 23–30, 2011. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00729066>

- [R13] B. Mouawad, M. Soueidan, D. Fabrègue, C. Buttay, B. Allard, V. Bley, H. Morel, and C. Martin, "Application of the Spark Plasma Sintering Technique to Low-Temperature Copper Bonding," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 2, no. 4, pp. 553–560, Apr. 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672244>
- [R14] B. Mouawad, M. Soueidan, D. Fabrègue, C. Buttay, V. Bley, B. Allard, and H. Morel, "Full Densification of Molybdenum Powders Using Spark Plasma Sintering," *Metalurgical and materials transactions A*, vol. 43, no. 9, pp. 3402–3409, 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00707782>
- [R15] S. Hascoët, C. Buttay, D. Planson, R. Chiriac, and A. Masson, "Pressureless Silver Sintering Die-Attach for SiC Power Devices," *Materials Science Forum*, vol. 740, pp. 851–854, 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00799893>
- [R16] C. Buttay, C. Raynaud, H. Morel, G. Civrac, M.-L. Locatelli, and F. Morel, "Thermal Stability of Silicon Carbide Power Diodes," *IEEE Transactions on Electron Devices*, vol. 59, no. 3, pp. 761–769, 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672440>
- [R17] F. Dubois, D. Bergogne, C. Buttay, H. Morel, and R. Meuret, "Normally-On SiC JFETs : Active Protections," *EPE Journal*, vol. 22, no. 3, pp. 6–13, Jul. 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00821756>
- [R18] D. Fabrègue, B. Mouawad, C. Buttay, M. Soueidan, A. Lamontagne, R. Forte, M. Perez, L. Courtois, C. Landron, É. Maire, and V. Massardier, "Elaboration of architected materials by spark plasma sintering," *Materials Science Forum*, vol. 706–709, pp. 1885–1892, 2012. [Online]. Available : <http://www.scientific.net/MSF706-709.1885>
- [R19] A. Masson, W. Sabbah, R. Riva, C. Buttay, S. Azzopardi, H. Morel, D. Planson, and R. Meuret, "Die attach using silver sintering. Practical implementation and analysis," *European Journal of Electrical Engineering*, vol. 16, no. 3-4, pp. 293–305, 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874465>
- [R20] D. Bergogne, C. Buttay, R. Robutel, F. Dubois, R. Ouaida, and H. Morel, "Electro-Thermal Behaviour of a SiC JFET Stressed by Lightning Induced Over-Voltages," *EPE Journal*, vol. 23, no. 3, pp. 5–12, Jul. 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00997389>
- [R21] C. Buttay, R. Ouaida, H. Morel, D. Bergogne, C. Raynaud, and F. Morel, "Thermal Stability of Silicon Carbide Power JFETs," *IEEE transactions on Electron Devices*, vol. 60, no. 12, pp. 4191–4198, Dec. 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00881667>
- [R22] R. Ouaida, C. Buttay, A. D. Hoang, R. Riva, D. Bergogne, H. Morel, C. Raynaud, and F. Morel, "Thermal Runaway Robustness of SiC VJFETs," *Materials Science Forum*, vol. 740-742, pp. 929–933, Jan. 2013. [Online]. Available : <http://hal.archives-ouvertes.fr/hal-00799884>
- [R23] R. Riva, C. Buttay, B. Allard, and P. Bevilacqua, "Migration issues in sintered-silver die attaches operating at high temperature," *Microelectronics Reliability*, vol. 53, pp. 1592–1506, 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874458>
- [R24] W. Sabbah, S. Azzopardi, C. Buttay, R. Meuret, and E. Woïrgard, "Study of die attach technologies for high temperature power electronics : Silver sintering and gold-germanium alloy," *Microelectronics Reliability*, vol. 53, no. 9-11, pp. 1617–1621, Oct. 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00881584>
- [R25] R. Robutel, C. Martin, C. Buttay, H. Morel, P. Matavelli, D. Boroyevich, and R. Meuret, "Design and Implementation of Integrated Common Mode Capacitors for SiC JFET Inverters," *IEEE transactions on power electronics*, vol. 29, no. 7, pp. 3625–3636, Jul. 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874455>

- [R26] B. Mouawad, B. Thollin, C. Buttay, L. Dupont, V. Bley, D. Fabrègue, M. Soueidan, B. Schlegel, J. Pezard, and J.-C. Crebier, "Direct Copper Bonding for Power Interconnects : Design, Manufacturing and Test," *IEEE transactions on Components, Packaging and Manufacturing Technology*, vol. 5, no. 1, pp. 143–150, jan 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01207014>
- [R27] S. Ghedira, C. Buttay, H. Morel, and K. Besbes, "Measurement and numerical analysis of C-V characteristics for normally-on SiCED-JFET," *The European Physical Journal Applied Physics*, vol. 66, no. 2, p. 20103, May 2014, 7 pages. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01005929>
- [R28] F. Kahlouche, K. Youssef, M. H. Béchir, S. Capraro, A. Siblini, J.-P. Chatelon, C. Buttay, and J.-J. Rousseau, "Fabrication and characterization of a planar interleaved micro-transformer with magnetic core," *Microelectronics Journal*, vol. 45, no. 7, pp. 893–897, Jul. 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01058212>
- [R29] J. Li, M. Johnson, C. Buttay, W. Sabbah, and S. Azzopardi, "Bonding strength of multiple SiC die attachment prepared by sintering of Ag nanoparticles," *Journal of Materials Processing Technology*, pp. 299–308, Jan. 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01065130>
- [R30] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, and H. Morel, "Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs," *Microelectronics Reliability*, p. 6, 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01198584>

### — Communications à des congrès, symposium —

- [C31] C. Buttay, D. Bergogne, H. Morel, B. Allard, R. Ehlinger, and P. Bevilacqua, "Towards a Sensorless Current and Temperature Monitoring in MOSFET-Based H-Bridge," in *Proceedings of the 2003 Power Electronics Specialists Conference, (PESC'03)*, Acapulco, Mexico, Jun. 2003. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00413325>
- [C32] —, "A Voltage-Measurement Based Estimator for Current and Temperature in MOSFET H-Bridge „," in *Proceedings of the European Power Electronics Conference (EPE'03)*, Toulouse, France, Sep. 2003. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00413309>
- [C33] C. Buttay, O. Brevet, B. Allard, D. Bergogne, and H. Morel, "Paralleling of low-voltage MOSFETs operating in avalanche conditions," in *Proc. European Conference on Power Electronics and Applications*, 2005, pp. 9 pp.–. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00138894>
- [C34] A. Badel, A. Faiz, C. Buttay, and D. Guyomar, "Piezoelectric energy conversion enhancement for random vibrations : A probabilistic approach applied to vibration control, wave control and energy harvesting," in *International joint conference IFSIMS & SMEBA*, Tokyo, Japan, Oct. 2005.
- [C35] H. Morel, B. Allard, S. M'Rad, C. Buttay, K. Ammous, and A. Ammous, "Bond Graph Modeling of Current Diffusion in Magnetic Cores," in *International Conference on Bond Graph Modelling (ICBGM'05)*, New Orleans, Louisiana, Jan. 2005. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00412621>
- [C36] M. Musallam, C. Buttay, M. Whitehead, and C. Johnson, "Real-time compact electronic thermal modelling for health monitoring," in *Proc. European Conference on Power Electronics and Applications*, 2007, pp. 1–10.
- [C37] C. Buttay, J. Rashid, C. Johnson, F. Udrea, G. Amaratunga, P. Ireland, and R. Malhan, "Compact Inverter Designed for High-Temperature Operation," in *Proc. IEEE Power Electronics Specialists Conference PESC 2007*, 2007, pp. 2241–2247.
- [C38] C. Buttay, J. Rashid, C. Mark Johnson, P. Ireland, F. Udrea, G. Amaratunga, and R. Malhan, "High performance cooling system for automotive inverters," in *Proc. European*

- Conference on Power Electronics and Applications*. Aalborg, Denmark : EPE, Sep. 2007, pp. 1–9.
- [C39] C. Johnson, C. Buttay, S. Rashid, F. Udrea, G. Amaratunga, P. Ireland, and R. Malhan, “Compact Double-Side Liquid-Impingement-Cooled Integrated Power Electronic Module,” in *Proc. 19<sup>th</sup> International Symposium on Power Semiconductor Devices and IC’s ISPSD ’07*, 2007, pp. 53–56.
- [C40] M. Musallam, C. Buttay, C. M. Johnson, C. Bailey, and M. Whitehead, “Reduced Order Electro-Thermal Models for Real-Time Health Management of Power Electronics,” in *Eurosime, Conference on Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems*, P IEEE Components and M. Society, Eds., Apr. 2007, pp. 1–6. [Online]. Available : <http://ieeexplore.ieee.org/iel5/4201119/4201120/04201225.pdf?isnumber=4201120>
- [C41] D. Bergogne, A. Hammoud, D. Tournier, C. Buttay, Y. Amieh, P. Bevilacqua, A. Zaoui, H. Morel, and B. Allard, “Electro-thermal behaviour of a SiC JFET stressed by lightning-induced overvoltages,” in *Proc. 13<sup>th</sup> European Conference on Power Electronics and Applications EPE ’09*. Barcelona : EPE, Sep. 2009, pp. 1–8. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00446059>
- [C42] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, C. Joubert, M. Lazar, C. Martin, H. Morel, D. Tournier, and C. Raynaud, “State of the art of High Temperature Power Electronics,” in *Proceedings of the VIII Conference Thermal Problems in Electronics, microtherm 09*, Lodz, poland, Jun. 2009. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00413349>
- [C43] C. Buttay, R. Robutel, C. Martin, C. Raynaud, S. Dampieni, D. Bergogne, and T. Chailloux, “Effect of High Temperature Ageing on Active and Passive Power Devices,” in *HiTEC 2010*, Albuquerque, United States, May 2010, p. 000228. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00485273>
- [C44] R. Robutel, C. Martin, C. Buttay, H. Morel, and R. Meuret, “Caractérisation des non-linéarités dans les condensateurs céramiques haute température,” in *Électronique de Puissance du Futur, 13<sup>ème</sup> édition (EPF 2010)*, Saint-Nazaire, France, Jun. 2010. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00618657>
- [C45] R. Robutel, C. Martin, H. Morel, C. Buttay, D. Bergogne, and N. Gazel, “Design of High Temperature EMI Input Filter for a 2 kW HVDC-Fed Inverter,” in *HiTEC 2010*, Albuquerque, United States, May 2010, p. 000236. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00485284>
- [C46] B. Allard, C. Buttay, D. Tournier, R. Robutel, J.-F. Mognotte, P. Lamelot, B. MORILLON, P. Godignon, D. Bergogne, C. Martin, and H. Morel, “Higher temperature power electronics for larger-scale mechatronic integration,” in *Automotive Power Electronics*, Paris, France, Apr. 2011, p. Actes sur CD (pas de pagination), 10 pages. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00687139>
- [C47] C. Buttay, C. Raynaud, H. Morel, G. Civrac, M.-L. Locatelli, and F. Morel, “Thermal Requirements of SiC Power Devices,” in *6th European Advanced Technology Workshop on Micropackaging and Thermal Management*, La Rochelle, France, Feb. 2011. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672631>
- [C48] C. Buttay, C. Raynaud, H. Morel, M. Lazar, G. Civrac, and D. Bergogne, “High-temperature behavior of SiC power diodes,” in *Proc. 2011-14th European Conf. Power Electronics and Applications (EPE 2011)*, 2011, pp. 1–9. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672602>
- [C49] C. Buttay, A. Masson, J. Li, M. Johnson, M. Lazar, C. Raynaud, and H. Morel, “Die Attach of Power Devices Using Silver Sintering - Bonding Process Optimisation and Characterization,” in *Proceedings of the High Temperature Electronics Network Conference (HiTEN 2011)*. Oxford, UK : IMAPS, Jul. 2011. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672619>

- [C50] F. Dubois, D. Risaletto, D. Bergogne, H. Morel, C. Buttay, and R. Meuret, "Active protections for normally-on SiC JFETs," in *Proc. 2011-14th European Conf. Power Electronics and Applications (EPE 2011)*, 2011, pp. 1–10. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00629227>
- [C51] E. Haddad, C. Martin, C. Joubert, B. Allard, M. Soueidan, M. Lazar, C. Buttay, and B. Payet-Gervy, "Modeling, Fabrication, and Characterization of Planar Inductors on YIG Substrates," in *CIMA*, Beirut, Lebanon, Mar. 2011, pp. Tu–P9. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00787193>
- [C52] A. Masson, C. Buttay, H. Morel, C. Raynaud, S. Hascoet, and L. Gremillard, "High-temperature die-attaches for SiC power devices," in *Proc. 2011-14th European Conf. Power Electronics and Applications (EPE 2011)*, 2011, pp. 1–10. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00672602>
- [C53] H. Morel, Y. Hamieh, D. Tournier, R. Robutel, F. Dubois, D. Risaletto, C. Martin, D. Bergogne, C. Buttay, and R. Meuret, "A multi-physics model of the VJFET with a lateral channel," in *EPE*, Birmingham, United Kingdom, Aug. 2011, p. CD. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00629220>
- [C54] B. Mouawad, M. Soueidan, D. Fabrègue, C. Buttay, V. Bley, and B. Allard, "Mechanical Study of Copper Bonded at Low Temperature Using Spark Plasma Sintering Process," in *CIMA*, Beirut, Lebanon, Mar. 2011, p. CD. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00687147>
- [C55] B. Mouawad, C. Buttay, M. Soueidan, H. Morel, and B. Allard, "3-Dimensional, Solder-Free Interconnect Technology for High-Performance Power Modules," in *Proceedings of the Conference on Integrated Power Systems (CIPS)*, Nüremberg, 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00707741>
- [C56] B. Mouawad, C. Buttay, M. Soueidan, V. Bley, D. Fabrègue, and F. Mercier, "Sintered molybdenum for a metallized ceramic substrate packaging for the wide-bandgap devices and high temperature applications," in *Proceedings of the International Symposium on Power System Devices (ISPSD)*, Brugges, 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00707820>
- [C57] A. Masson, W. Sabbah, R. Riva, C. Buttay, S. Azzopardi, H. Morel, D. Planson, and R. Meuret, "Report de puce par frittage d'argent – mise en œuvre et analyse," in *Conférence Électronique de puissance du futur*, Bordeaux, France, Jul. 2012. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00729156>
- [C58] S. Hascoët, C. Buttay, D. Planson, R. Chiriac, and A. Masson, "Pressureless Silver Sintering Die-Attach for SiC Power Devices," in *ECSCRM*, St Petersburg, Russia, Sep. 2012, p. 2p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00759987>
- [C59] K. El Falahi, F. Dubois, D. Bergogne, L. V. Phung, C. Buttay, and B. Allard, "High temperature anti short circuit function for normally-on SiC JFET in an inverter leg configuration," in *HiTEC*, Albuquerque, United States, May 2012, p. 6p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00760372>
- [C60] C. Martin, R. Robutel, C. Buttay, F. Sixdenier, P. Bevilacqua, H. Morel, and R. Meuret, "High Temperature Ageing of Fe-based Nanocrystalline Ribbons," in *HiTEC*, IMAPS, Ed., Albuquerque, United States, May 2012, p. 6p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00760373>
- [C61] R. Ouaida, C. Buttay, A. D. Hoang, R. Riva, D. Bergogne, H. Morel, C. Raynaud, and F. Morel, "Thermal Runaway Robustness of SiC VJFETs," in *ECSCRM*, St Petersburg, Russia, Sep. 2012, p. 2p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00759975>
- [C62] W. Sabbah, R. Riva, S. Hascoet, C. Buttay, S. Azzopardi, E. Woïrgard, D. Planson, B. Allard, and R. Meuret, "Evaluation of silver-sintering die attach," in *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*. IEEE, 2012, pp. 1–7.

[Online]. Available : [http://hal.archives-ouvertes.fr/docs/00/70/77/33/PDF/CIPS2012\\_Final\\_Paper\\_apres\\_review\\_v14\\_.pdf](http://hal.archives-ouvertes.fr/docs/00/70/77/33/PDF/CIPS2012_Final_Paper_apres_review_v14_.pdf)

- [C63] D. Bergogne, F. Dubois, C. Martin, K. El Falahi, L. V. Phung, C. Buttay, S. Dhokkar, B. Allard, R. Meuret, and H. Morel, "An Airborne High Temperature SiC Power Converter for Medium Power Smart Electro Mechanical Actuators," in *HiTEC*, IMAPS, Ed., Albuquerque, United States, May 2012, p. 6p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00760366>
- [C64] K. El Falahi, S. Hascoët, C. Buttay, P. Bevilacqua, L. V. Phung, D. Tournier, B. Allard, and D. Planson, "High temperature, Smart Power Module for aircraft actuators," in *Proceedings of the High Temperature Electronics Network (HiTEN)*. Oxford, UK : IMAPS, Jul. 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874666>
- [C65] X. Fonteneau, F. Morel, C. Buttay, H. Morel, and P. Lahaye, "Predicting Static Losses in an Inverter-Leg built with SiC Normally-Off JFETs and SiC diodes," in *APEC*, Long Beach, CA, United States, Mar. 2013, pp. 2636–2642. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00829353>
- [C66] E. Haddad, C. Martin, C. Buttay, C. Joubert, B. Allard, and D. Bergogne, "High Temperature, High Frequency Micro-Inductors for Low Power DC-DC Converters," in *EPE'13-ECCE Europe*, Lille, France, Sep. 2013, p. paper 390, 9 pages. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874475>
- [C67] F. Dubois, D. Bergogne, D. Tournier, C. Buttay, R. Meuret, and H. Morel, "Analysis of the SiC VJFET gate punch-through and its dependence with the temperature," in *Proceedings of the European Conference on Power Electronics and Applications (EPE)*, Lille, France, Sep. 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874655>
- [C68] C. Buttay, "High Temperature Operation of SiC Converters," in *ECPE SiC and GaN user forum*, Munich, Germany, May 2013. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874751>
- [C69] C. Buttay, K. El Falahi, R. Robutel, S. Hascoët, C. Martin, B. Allard, and C. Johnson, Mark, "Integrated packaging allows for improvement in switching characteristics of silicon carbide devices," in *Power Control Intelligent Motion 2014 (PCIM 2014)*, Nuremberg, Germany, May 2014, p. 8 p., 8 pages. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00997355>
- [C70] C. Chen, D. Labrousse, S. Lefebvre, C. Buttay, and H. Morel, "Estimation des pertes dans les transistors bipolaires SiC," in *Symposium de Génie Électrique 2014*, Cachan, France, Jul. 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01065220>
- [C71] C. Cheng, D. Labrousse, S. Lefebvre, H. Morel, C. Buttay, J. André, and M. Domeij, "Power Loss Estimation in SiC Power BJTs," in *Power Control Intelligent Motion 2014 (PCIM 2014)*, Nuremberg, Germany, May 2014, p. 8 p. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00997718>
- [C72] E. Haddad, C. Martin, C. Joubert, B. Allard, C. Buttay, T. A. Tannous, and P. Bevilacqua, "Planar, Double-Layer Magnetic Inductors for Low Power, High Frequency DC-DC Converters," in *CIPS*, Nuremberg, Germany, Feb. 2014, p. CD (5 pages). [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00739037>
- [C73] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, L. Ruffeil De Oliveira, C. Buttay, and R. Riva, "Realization and Characterization of an IGBT Module Based on the Power Chip-on-Chip 3D Concept," in *ECCE 2014*, Pittsburg, United States, Sep. 2014, p. . [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01067144>
- [C74] R. Ouaida, C. Buttay, R. Riva, D. Bergogne, C. Raynaud, F. Morel, and B. Allard, "Thermal stability of SiC JFETs in conduction mode," in *EPE'13-ECCE Europe*, Lille, France, Sep. 2013, p. paper 223, 8 pages. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00874471>

- [C75] A.-S. Podlejski, C. Buttay, D. Bergogne, J. Morand, C. Vollaïre, and A. Bréard, “Mesure précise des pertes dans un module d’électronique de puissance par une méthode calorimétrique,” in *Symposium de Génie Électrique 2014*, Cachan, France, Jul. 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01065267>
- [C76] R. Riva, C. Buttay, M.-L. Locatelli, V. Bley, and B. Allard, “Design and Manufacturing of a Double-Side Cooled, SiC based, High Temperature Inverter Leg,” in *Proceedings of the High Temperature Electronics Conference and Exhibition, HiTEC 2014*. Albuquerque, NM : IMAPS, May 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-00997365>
- [C77] R. Riva, C. Buttay, R. Perrin, M.-L. Locatelli, V. Bley, and B. Allard, “3D Packaging Structure for High Temperature Power electronics,” in *From Nano to Micro Power Electronics and Packaging Workshop*. Tours, France : IMAPS France, Oct. 2014. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01081697>
- [C78] C. Buttay, B. Allard, and R. Riva, “Silver sintering for power electronics integration,” in *International Conference on Electronic Packaging, & IMAPS All Asia Conference (ICEP- IAAC)*. Kyoto, Japan : IMAPS, Apr. 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01196525>
- [C79] C. Yu, É. Labouré, and C. Buttay, “Thermal management of lateral GaN power devices,” in *International Workshop on Integrated Power Packaging (IWIPP)*, ser. Proceedings of the International Workshop on Integrated Power Packaging. Chicago, United States : IEEE, May 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01196527>
- [C80] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, and H. Morel, “Robustness of SiC MOSFETs in short-circuit mode,” in *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM 2015)*, ser. PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of, Nuremberg, Germany, May 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01196528>
- [C81] A.-S. Podlejski, A. Bréard, C. Buttay, E. Rondon-Pinilla, F. Morel, and C. Vollaïre, “Layout modelling to predict compliance with EMC standards of power electronic converters,” in *EMC 2015*, ser. Proc. of the IEEE International Symposium on Electromagnetic Compatibility, Dresden, Germany, Aug. 2015, pp. 779–784. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01188561>
- [C82] C. Yu, C. Buttay, E. Labouré, V. Bley, and C. Combettes, “Highly integrated power electronic converters using active devices embedded in printed-circuit board,” in *4th Micro/Nano-Electronics, packaging and assembling, design and manufacturing forum MiNaPAD 2015*. Grenoble, France : IMAPS, Apr. 2015. [Online]. Available : <https://hal.archives-ouvertes.fr/hal-01197043>

### — Autres —

- [A83] C. Buttay, “Contribution à la conception par la simulation en électronique de puissance : application à l’onduleur basse tension,” Ph.D. dissertation, Institut National des Sciences Appliquées de Lyon, Villeurbanne, Nov. 2004.
- [A84] —, “Modules et boîtiers de puissance (packaging),” in *Techniques de l’ingénieur*. Éditions T.I., 2010, vol. D3 116, p. 18.
- [A85] B. Allard and C. Buttay, “Contraintes et solutions packaging pour l’électronique de puissance haute température,” *Électronique Mag*, vol. -, pp. 40–41, Mar. 2010. [Online]. Available : <http://www.electronique-mag.com/article2718.html>

## CHAPITRE 3

# Activités annexes

### 3.1 Participation à la vie du laboratoire

**Membre du conseil de laboratoire** depuis janvier 2011.

**Responsable de la commission informatique** depuis mars 2012. J'ai formé cette commission sur demande du directeur d'unité pour essayer de donner une cohérence au système informatique du laboratoire.

**Mise en place d'un cluster de calcul :** principalement utilisé par les membres du groupe « Électronique de Puissance et Intégration », ce petit cluster peut traiter 52 tâches simultanément avec un ordonnancement automatique. Depuis 2009, il a effectué. Il remplace une série de stations de travail qui nécessitaient une soumission individuelle des tâches de calcul. Après avoir effectué le renouvellement de ce cluster début 2015, j'ai passé le relais à Luong Viet PHUNG, maître de conférence au laboratoire Ampère.

**Mise en place d'une plateforme *packaging* :** achat d'équipements (300 k€ environ), installation et maintenance (70 k€/an de fonctionnement) d'une petite salle blanche avec une zone « chimie ». Cette plateforme est utilisée fréquemment par une dizaine d'utilisateurs. Elle a fait également l'objet d'une procédure de déclaration auprès du CNRS, afin de pouvoir accueillir, contre rémunération, des utilisateurs extérieurs. Un point particulier a été mis sur la sécurité (sorbonne, stockage de produits chimiques ventilé, détection d'anoxie...).

**Développement d'un logiciel de gestion d'instruments de mesure :** ce logiciel, écrit en Java, permet d'accéder à de nombreux équipements du laboratoire (sources, oscilloscopes, traceurs de caractéristiques, analyseur d'impédance) à partir de tous les postes individuels (quel que soit leur système d'exploitation), d'enregistrer leur configuration et de récupérer les mesures.

## 3.2 Participation à la communauté scientifique

**Participation aux comités scientifiques de conférences** : JCGE, journée de puissance en microélectronique (IMAPS), ESTC

**Reviewer** pour : JCGE, ECCE, IEEE Trans. on Power Electronics, IEEE Trans. on Electron Devices, IEEE Trans. on Component, Packaging and Manufacturing Technology, Journal of Electronic Materials (Springer), International Journal of Thermal Sciences (Elsevier), Microelectronics Reliability (Elsevier). À l'heure actuelle, cela représente 20–30 articles par an.

**Participation à des Jurys de thèse** , pour les doctorants dont j'ai participé à l'encadrement (Amandine MASSON, Bassem MOUAWAD, Wissam SABBAH, Stanislas HASCOËT, Raphaël RIVA), ou en tant que membre externe : Éric VAGNON (Grenoble), Aymen BEN KAABAR (Grenoble/Lyon), Luis NAVARRO (Barcelone), Imran YAQUB (Nottingham).

**Participation à 3 jurys de recrutement** (Lyon, Grenoble, Toulouse)

**Évaluation de projets européens** dans le cadre de Cleansky 1 et 2 (7 jours)

**Co-responsable de la plateforme 3DPHI** avec Vincent BLEY et Éric LABOURÉ. Cette plateforme technologique (500 m<sup>2</sup>), sise à Toulouse, offre des moyens pour l'intégration de puissance. Je m'y rends une à deux fois par mois.

**Responsable du sous-programme « Packaging »** de Supergrid Institute. Mes activités sur Supergrid représentent 20 % de mon temps de travail.

**Participation au comité d'évaluation** de l'Unité Mixte Internationale (UMI) LN2 à Sherbrooke, Canada (21/09/2015).

## CHAPITRE 4

# Enseignement

### 4.1 Activités durant ma thèse (2001–2004)

J’ai assuré l’encadrement des travaux pratiques de Mesure Automatique Productique (MAP) au département de génie électrique de l’INSA de Lyon sur la période 2001–2003, pour deux types de public : les étudiants de 3<sup>e</sup> année du département de génie électrique (bac+3), et les étudiants dits « DUT+3 » (qui reprennent des études d’ingénieurs après un DUT et au moins trois ans d’expérience professionnelle). Comme leur nom l’indique, les TP de MAP portent sur des sujets allant de la mesure de puissance en réseau triphasé à l’automatique à événements discrets ou à la régulation.

Durant la même période, j’ai également assuré l’encadrement d’un projet de fin d’études (trois étudiants INSA), pourtant sur un développement lié à ma thèse (estimateur de température et de courant pour un onduleur triphasé destiné à l’automobile).

### 4.2 Activités post-doctorat 2005–2007

J’ai obtenu pour l’année scolaire 2004–2005 un poste d’attaché temporaire d’enseignement et de recherche (ATER) à plein temps. Dans le cadre de ce poste, j’ai assuré les travaux pratiques de physique au premier cycle de l’INSA de Lyon (3 à 4 séances hebdomadaires de 3 heures). Le programme portait sur les manipulations d’optique (premier semestre) et sur les “phénomènes variables avec le temps” (second semestre).

Je n’ai pas effectué de service d’enseignement durant les deux années suivantes (post-doc à Sheffield puis Nottingham). L’équipe à laquelle j’appartenais était en effet entièrement composée de chercheurs, sans charge d’enseignement.

### 4.3 Après mon recrutement (2008 –)

De 2009 à 2012, j'ai effectué avec des collègues des départements de génie électrique, d'informatique et de télécommunications de l'INSA de Lyon l'encadrement de l'option « SETRE » (Systèmes Embarqués). L'objectif de cette option est des mettre ensemble des groupes d'étudiants de formations différentes (4 à 5 groupes pour un effectif total de 20 étudiants) pour les faire travailler sur un projet mêlant matériel et logiciel. J'ai arrêté cette activité pour me consacrer à d'autres enseignements plus en ligne avec ma recherche.

Dans le but de sensibiliser les étudiants au sujet du *packaging* (le recrutement des doctorants sur un domaine trans-disciplinaire est une difficulté sur laquelle je reviendrai), je propose depuis 2012 une introduction au *packaging* en électronique de puissance. Ce cours de 2 h s'adresse à des étudiants de dernière année du département de génie électrique de l'INSA. De même, je donne aux étudiants du master de génie électrique (Université Lyon 1, niveau M1) un cours portant sur les composants actifs de puissance. Ce cours traite des composants eu-mêmes (physique du semiconducteur, structures de composants), mais également des aspects thermique et *packaging*.

Enfin, et de façon cette fois complètement séparée de mon activité de recherche, j'ai eu entre 2010 et 2014 la responsabilité pédagogique de la section « Arts-Plastiques Études », qui offre aux étudiants de l'INSA la possibilité de suivre un enseignement artistique (peinture, sculpture, design, architecture, photographie, video...) en plus de leurs études d'ingénieur. Cette formation, dont j'ai pu moi-même profiter lorsque j'étais étudiant, me semble très enrichissante (même si ses effets difficile à quantifier) dans un cursus d'ingénieur. Faute de candidat disponible lors du départ en retraite du précédent responsable, et parce que je connaissais la section pour l'avoir pratiquée, j'ai assuré l'intérim le temps de trouver un enseignant-chercheur INSA volontaire. Depuis la rentrée scolaire 2014, la section est dirigée par Emmanuel CARTILLIER.

Année	Enseignement	Niveau	Domaine	Vol. (équ.TD)
2001–2002	TP MAP	3 <sup>e</sup> année INSA (Bac+3)	Travaux pratiques mesure – automatique – productique. Formation à la mesure et à l'automatique.	90 h
2002–2003	TP MAP	« DUT+3 »	Travaux pratiques mesure – automatique – productique. Formation à la mesure et à l'automatique.	18 h
2003–2004	Projet de fin d'études	5 <sup>e</sup> année INSA (Bac+5)	Encadrement d'un groupe de trois étudiants travaillant sur un « estimateur de température et de courant pour un onduleur triphasé basse tension »	42 h
2001–2004	Humanités	5 <sup>e</sup> année INSA (Bac+5)	Encadrement de deux étudiants en projet personnel en humanités. Sujets : « Georges Brassens à travers ses chansons » et « l'exploitation des enfants »	4 h
2004	TP physique	1 <sup>re</sup> année INSA (Bac+1)	Travaux pratiques de physique au premier cycle (cycle préparatoire) dans le cadre d'un poste d'ATER à temps plein.	177 h
2009–2012	Projets transversaux	5 <sup>e</sup> année INSA (bac+5)	Encadrement de projets sur l'électronique embarquée réunissant des étudiants des départements de génie électrique, télécommunications et informatique	50 h
2010–2014	Arts-Plastiques Études	2–5 <sup>e</sup> année INSA	Responsabilité pédagogique de la section Arts-Plastiques Études	200 h
2012–...	<i>packaging</i> en EP	5 <sup>e</sup> année INSA (bac+5)	Cours d'introduction au <i>packaging</i> en électronique de puissance pour les étudiants de génie électrique	6 h
2013–...	Composants actifs de puissance	Master M1 Génie électrique (bac +4)	Cours d'introduction aux composants actifs (principales structures, thermique, aspects pratiques)	20 h
total 2001 – 2014				607 h

TABLE 4.1 – Résumé de mes activités d'enseignement



**Deuxième partie**

**Travaux scientifiques**



# Le packaging en électronique de puissance et ses limites

### Avant propos

Bien que le mot *packaging* soit un terme anglais qui ne signifie rien de plus qu'« emballage », il s'est imposé en français dans le domaine de l'électronique. L'emballage d'un composant ne recouvre de fait que son conditionnement avant utilisation (sachets, rouleaux, etc.). Le terme d'« encapsulation », quant à lui, est habituellement réservé à un sujet bien précis (l'enrobage du composant dans un matériau diélectrique), qui ne prend pas en compte l'ensemble des fonctions du *packaging*.

Je prie donc le lecteur de me pardonner l'utilisation d'un anglicisme que j'écrirai par la suite sans italiques. Pour décrire l'objet, par contre, je préfèrerai le terme de « boîtier » à celui de « package ».

### 5.1 Introduction au *packaging* en électronique de puissance

Si la fonctionnalité principale d'un composant actif (transistor, diode, etc.) est assurée par la puce semi-conductrice, le packaging assure néanmoins quatre grandes fonctions [22] :

**Tenue mécanique :** permettre le maintien des puces, ainsi que leur protection vis à vis de l'extérieur (poussières, humidité, doigts...)

**Gestion thermique :** évacuer la puissance perdue par les puces vers l'extérieur du système ;

**Isolation électrique :** assurer l'isolation entre les différents potentiels du circuit ;

**Connexions électriques :** fournir des connexions internes mais également avec le monde extérieur (terminaux).

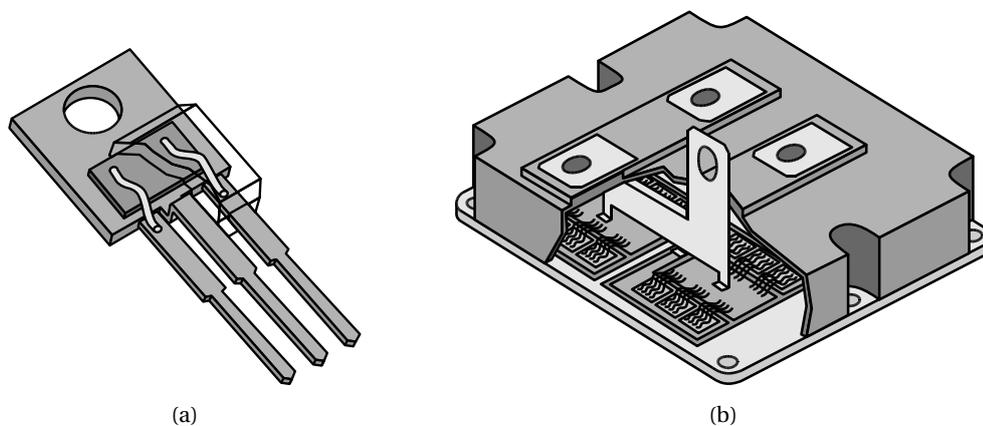


FIGURE 5.1 – À gauche (a) vue écorchée d'un composant discret (ici de type TO-252) ; un tel composant fait environ un centimètre carré et a un calibre de l'ordre de 1 kVA. À droite (b), vue écorchée d'un module de puissance « standard » ; un tel module mesure environ  $14 \times 14 \text{ cm}^2$  et son calibre est de l'ordre de 1 MVA.

Ces fonctions sont indispensables, et comme nous le verrons plus loin, le packaging constitue souvent le point limitant des performances en électronique de puissance.

Avant d'entrer plus avant dans les détails, remarquons par ailleurs que le packaging est un point important d'autres domaines de l'électronique, en particulier l'électronique numérique (microprocesseurs) et l'optoélectronique (Diodes Electro-Luminescentes – DEL – pour l'éclairage). Pour ces deux exemples, les densités de puissance à évacuer sont remarquablement comparables à celles rencontrées en électronique de puissance (supérieures à  $100 \text{ W/cm}^2$ ). Les différences majeures sont les tensions appliquées (jusqu'à plusieurs milliers de volts en électronique de puissance contre quelques volts pour les processeurs et les DEL) et les températures admissibles (moins d'une centaine de degrés Celsius pour les processeurs avancés et les DEL, couramment plus de  $150 \text{ °C}$  en puissance). Les densités locales de courant, par contre, peuvent être plus élevées en microélectronique, causant des phénomènes d'électromigration qui ne sont pas observés en électronique de puissance [103].

### 5.1.1 Vue d'ensemble

Les composants de puissance peuvent se diviser en deux grandes familles, visibles figure 5.1 :

**les composants discrets** qui ne renferment qu'une seule puce (figure 5.1(a)). Ils ont deux (diodes) ou trois (transistors) terminaux, reliés directement à la puce, et la surface d'échange thermique n'est habituellement pas isolée électriquement. Ces composants sont soit réservés aux faibles puissances

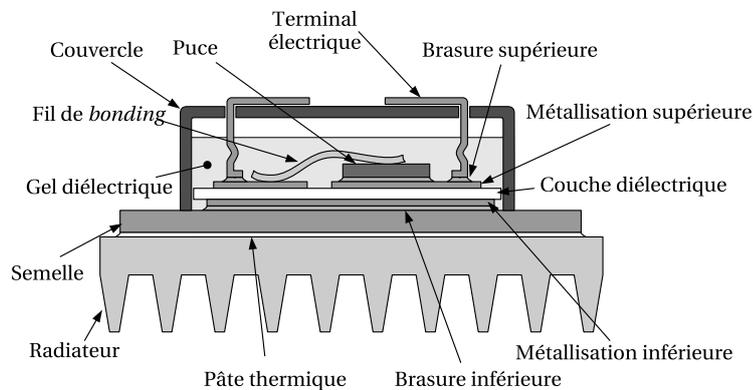


FIGURE 5.2 – Vue en coupe d'un module de puissance montrant les différentes composantes

(inférieures à quelques kVA commutés), soit aux très fortes puissances (quelques MVA commutés) dans le cas des *press-pack*.

**Les modules de puissance** (figure 5.1(b)) ont un nombre variable de terminaux reliés, par un circuit interne, à plusieurs puces. Une isolation électrique est nécessaire entre les différents potentiels du circuit, et cette isolation s'étend habituellement à la surface d'échange thermique : dans la majorité des cas, elle est isolée électriquement.

Dans ce qui suit, nous allons présenter les différents éléments du *packaging*. Nous nous concentrerons sur le module de puissance, les composants discrets pouvant être considérés comme un cas simplifié (notamment du point de vue de l'isolation électrique).

### 5.1.2 Description des différents éléments constitutifs du boîtier

Une vue en coupe d'un module de puissance « classique » est visible figure 5.2. Un tel module correspond à ce que l'on trouve actuellement sur le marché, et nous reviendrons dans les chapitres suivants sur les éléments qui font l'objet de nouveaux développements.

#### 5.1.2.1 Puces

La puce comprend non seulement le pavé de matériau semi-conducteur (silicium, carbure de silicium, nitrure de gallium...), mais également des couches métalliques pour constituer les terminaux et des couches diélectriques pour isoler les potentiels. Les dimensions typiques vont de quelques millimètres carré à  $13 \times 13 \text{ cm}^2$  (voire un disque de 10 cm de diamètre dans le cas des *press-pack*), pour une épaisseur allant de 70 à 500  $\mu\text{m}$ .

La grande majorité des puces de puissance a une structure verticale, ce qui signifie que les faces inférieures et supérieures sont actives électriquement. En conséquence, la face inférieure assure à la fois une connexion électrique et l'évacuation de la chaleur dissipée par la puce.

#### 5.1.2.2 Brasures

La brasure est la principale technique utilisée pour solidariser les puces et les terminaux avec un substrat, et le substrat avec une semelle. Elle repose sur la fusion d'un alliage (sous vide ou sous atmosphère réductrice pour prévenir l'oxydation). À l'état liquide, cet alliage va former avec les pièces à joindre de nouveaux alliages ou des intermétalliques [61]<sup>1</sup>. Après refroidissement et solidification, on obtient ainsi une liaison mécanique.

Deux niveaux de brasures sont visibles sur la figure 5.2 : le premier lie les puces et les terminaux au substrat, et le second le substrat à la semelle. Ces deux niveaux étant réalisés successivement, il faut faire appel à des alliages de brasures ayant des températures de fusion différentes, afin que le premier niveau ne fonde pas durant la réalisation du second. En pratique, il faut choisir des alliages ayant des points de fusion écartés d'au moins 40 °C [140]. Si l'on ajoute à cela la contrainte de la température maximale du procédé de brasure, qui doit rester raisonnable<sup>2</sup>, le choix des alliages de brasure utilisables devient très restreint.

Dans les applications les plus courantes, les puces sont brasées sur le substrat à l'aide d'un alliage à forte teneur en plomb (90 à 99 %), avec un point de fusion autour de 300 °C [95]. Pour l'attache semelle/substrat, on utilise un alliage type « SAC » (brasure sans plomb contenant de l'étain –Sn–, de l'argent –Ag– et du cuivre –Cu–), avec un point de fusion légèrement supérieur à 200 °C [140]. L'entrée en vigueur, en 2006, de la directive européenne RoHS (*Restriction of the use of certain Hazardous Substances in electrical and electronic equipment*) va cependant mettre un terme à l'utilisation du plomb, même si certains secteurs comme le spatial font encore l'objet d'exemptions.

Une fois écartés les alliages à base de plomb, ne restent principalement que les alliages à base d'or (AuSn, AuGe, AuSi). Ceux-ci sont chers (ils contiennent plus de 80 % d'or), et d'une mise en œuvre plus complexe que les brasures au plomb : ils forment des intermétalliques fragiles et nécessitent une bonne maîtrise du procédé pour éviter les formations de vides [95]. On peut également citer les alliages à base de zinc ou de bismuth, mais ceux-ci semblent actuellement d'un usage bien moins courant, en raison d'une mise en œuvre plus complexe [41] (problèmes d'oxydation notamment).

1. Les composés intermétalliques (ou simplement les « intermétalliques ») sont des phases composées de plusieurs métaux et qui possèdent une structure cristalline. Elles sont souvent fragiles, on cherche donc à limiter leur développement.

2. Il n'y a pas de limite claire au « raisonnable » mais on peut considérer que la fusion de la métallisation aluminium des puces (660 °C) ou la dégradation des passivations organiques (≈500 °C) constituent des limites dont il convient de ne pas s'approcher. On peut ainsi considérer qu'un procédé de brasure dépassant 450 °C est difficilement acceptable.

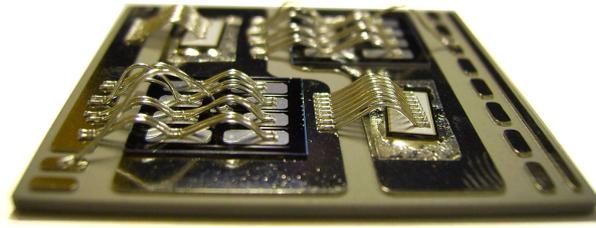


FIGURE 5.3 – Un substrat céramique (AlN), équipé de puces IGBT et diodes et de leurs fils de câblage (document Univ. Nottingham).

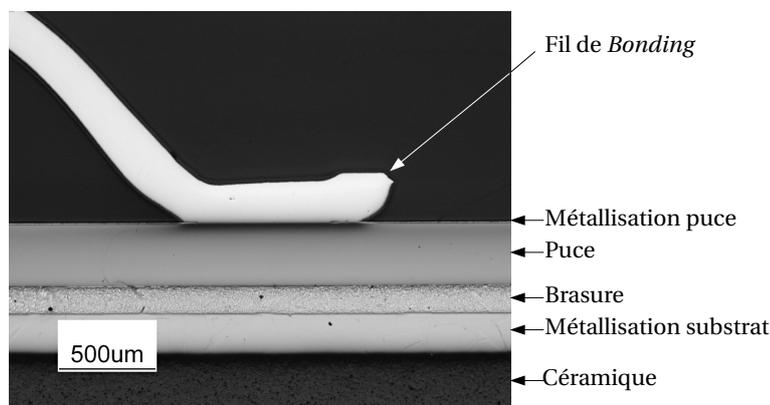


FIGURE 5.4 – Coupe métallographique d'une puce de puissance brasée sur un substrat céramique et équipée d'un fil de câblage (fil de *bonding*). On voit les épaisseurs relatives du fil et de la métallisation de la puce (qui apparaît à peine sur la photographie). L'ombre visible sous le fil est probablement un artefact de polissage causé par la différence de dureté des matériaux lors du polissage. (document Univ. Nottingham)

La brasure est un des éléments limitants pour les applications « haute température » qui font l'objet du chapitre 7. J'y décrirai en particulier deux techniques alternatives à la brasure (section 7.2).

### 5.1.2.3 Fils de câblage

Dans la très grande majorité des cas, la connexion entre la face supérieure de la puce et le substrat ou les terminaux du module est réalisée à l'aide de fils de câblage (parfois nommés *wirebonds*, *bondwires*, *wirebondings*, voire fils de *bondings*) [22, 140]. Contrairement à la microélectronique, qui fait appel à des fils très fins (descendant jusqu'à 15  $\mu\text{m}$  de diamètre) pour des raisons de miniaturisation, les fils de câblage destinés à l'électronique de puissance sont les plus gros possibles pour réduire leur résistance électrique. Des fils de plus de 300  $\mu\text{m}$  de diamètre sont communs. Ils sont solidarisés par soudure ultrasonore, un procédé à

froid qui repose sur la déformation plastique des matériaux à joindre. Cette technique s'applique à des matériaux ductiles, au premier rang desquels on retrouve le cuivre, l'or et l'aluminium. Pour des raisons de coût et de résistance à l'oxydation, l'aluminium est préféré dans la quasi-totalité des cas (l'or est très utilisé en micro-électronique, le faible diamètres des fils limitant les quantités d'or nécessaires). En conséquence, la métallisation supérieure des puces est également en aluminium pour éviter la formation d'intermétalliques ou des réactions galvaniques.

Soumis à la fois à d'importants niveaux de densité de courant (plusieurs milliers d'ampères par centimètres carrés), de température (ils sont connectés à la face supérieure des puces, le point le plus chaud d'un module de puissance), et de contrainte thermo-mécaniques (du fait de leur longueur et de la différence de coefficient de dilatation (CTE, pour *Coefficient of Thermal Expansion*) entre l'aluminium et le silicium des puces), les fils de câblage sont un des points faibles des modules de puissance [32]. Ils constituent également une fraction non négligeable de la résistance totale des composants de puissance, surtout en basse tension [21]. De fait, depuis de nombreuses années, des recherches (non moins nombreuses) portent sur le remplacement des fils de câblage. Je reviendrai dans la section 6 sur les propositions les plus innovantes, celles qui reposent sur un changement profond de la structure du module.

Les autres travaux de recherche portent plutôt sur une évolution du procédé, certains étant dès à présent passés à l'étape industrielle. Citons le remplacement des fils et métallisations aluminium par du cuivre (pour réduire la résistance des fils) [56]. Une autre voie repose sur des fils de cuivre enrobés d'aluminium, pour conserver une compatibilité avec les puces métallisées aluminium, plus courantes [131]. Toujours pour réduire la résistance électrique des fils, on observe un développement des rubans (donc une section rectangulaire plutôt que ronde pour les fils), qui offrent en outre une meilleure répartition du courant à la surface des puces, une plus grande cadence de fabrication (moins de fils à placer par puce) et une hauteur plus faible, les rubans étant plus minces à section identiques que les fils [118]. Dans le domaine de la haute température, les fils d'or ou de platine peuvent offrir une meilleure fiabilité [71]. Enfin, concernant l'amélioration de la fiabilité, on peut noter l'enrobage des « pieds de câblage » dans une résine epoxy (nommé « *glob-top* ») et l'insertion entre puce et fil d'une couche tampon en molybdène, deux techniques qui permettent d'augmenter la durée de vie de l'ensemble [32, 58].

#### 5.1.2.4 Substrat

Le substrat joue trois rôles principaux :

**isolant électrique** : il isole électriquement la face arrière des puces du système de refroidissement ;

**conducteur électrique** : un circuit est gravé sur sa face supérieure pour assurer l'interconnexion des différents éléments du module ;

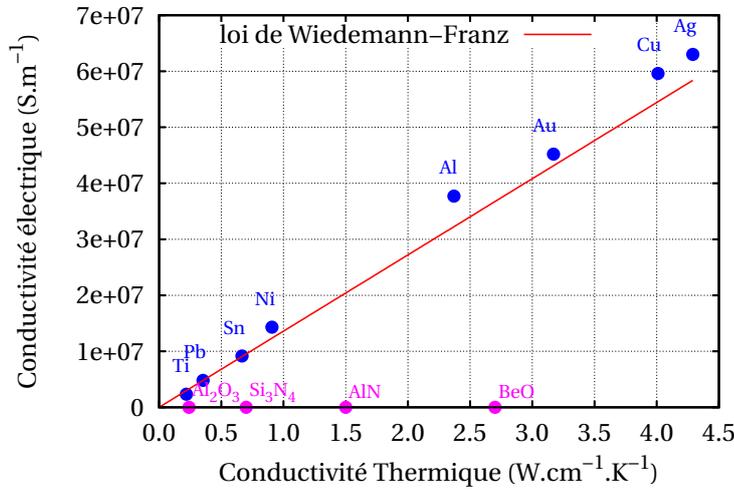


FIGURE 5.5 – Relation entre conductivité thermique et électrique des métaux et des isolants électriques utilisés pour les substrats céramique métallisés.

**conducteur thermique :** il offre un chemin pour l'évacuation de la chaleur dissipée par les puces vers le radiateur (cf. figure 5.2).

La fonction de conduction électrique est remplie par une couche métallique (cuivre ou aluminium). Il est intéressant de noter, par contre, que les deux autres fonctions (isolant électrique et conducteur thermique), sont quasiment antinomiques. La conductivité thermique  $\lambda$  peut en effet s'écrire comme la somme de la contribution de la conductivité due aux porteurs de charge ( $\lambda_e$ ) et de la conductivité due aux phonons ( $\lambda_p$ ), c'est à dire aux vibrations du réseau cristallin :

$$\lambda = \lambda_e + \lambda_p \tag{5.1}$$

Tout comme la conductivité électrique, la conductivité thermique due aux porteurs de charge  $\lambda_e$  nécessite des porteurs de charge libres de se déplacer. Il y a donc tout naturellement un lien très fort entre la conductivité électrique  $\sigma$  et  $\lambda_e$ , selon la loi de Wiedemann-Franz :

$$\lambda_e = LT\sigma \tag{5.2}$$

Avec  $L$  le facteur de Lorentz (variable selon les matériaux,  $\approx 2,44 \cdot 10^{-8} W \cdot \Omega \cdot K^{-2}$  pour les métaux) et  $T$  la température. À titre d'exemple, on peut voir sur la figure 5.5 que la conductivité thermique des métaux est très largement dictée par  $\lambda_e$  (droite rouge).

Chercher un matériau conducteur thermique mais isolant électrique revient donc à chercher un matériau pour lequel  $\lambda_e = 0$  mais  $\lambda_p$  (donc  $\lambda$ ) est élevé. Ces

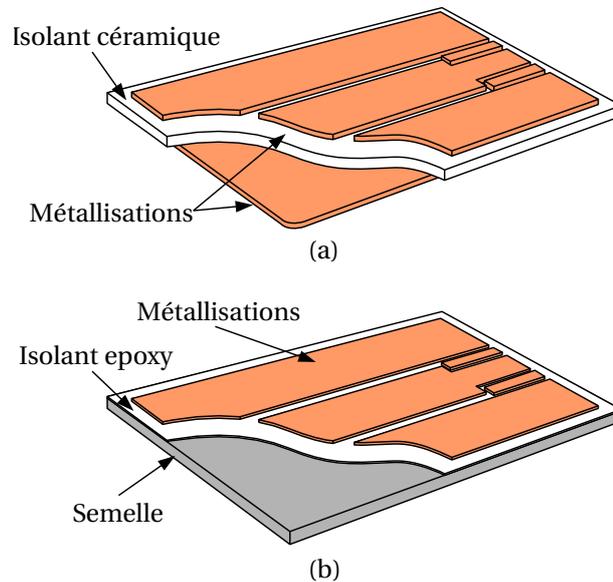


FIGURE 5.6 – Deux substrats utilisés en électronique de puissance : Substrat céramique type DBC ou AMB (a) et substrat métallique isolé, ou SMI (b).

matériaux sont rares : l'alumine ( $\text{Al}_2\text{O}_3$ , 22–33  $\text{W/m/K}$ <sup>3</sup>), le nitrure de silicium ( $\text{Si}_3\text{N}_4$ , 70  $\text{W/cm/K}$ ), le nitrure d'aluminium ( $\text{AlN}$ , 150 à 180  $\text{W/m/K}$ ), l'oxyde de béryllium ( $\text{BeO}$ , 270  $\text{W/cm/K}$ ) et le diamant (2000  $\text{W/m/K}$ ). Les deux derniers sont très rarement utilisés, le  $\text{BeO}$  à cause de sa toxicité, le diamant à cause de son coût. L' $\text{Al}_2\text{O}_3$ , l' $\text{AlN}$  et le  $\text{Si}_3\text{N}_4$ , trois matériaux céramiques, sont donc utilisés dans la quasi-totalité des substrats destinés aux fortes puissances (figure 5.6).

Le choix n'est pas beaucoup plus vaste en ce qui concerne les matériaux destinés aux métallisations du substrat : dans la vaste majorité des cas, c'est le cuivre qui est utilisé, en raison notamment de sa conductivité électrique élevée ( $59,6 \cdot 10^6 \text{ S}\cdot\text{m}^{-1}$ ). Il offre également l'avantage de former une liaison dite « directe » avec l'alumine, ou avec l' $\text{AlN}$  préalablement traité [135]. L'autre alternative est l'aluminium, dont la conductivité électrique reste satisfaisante ( $37,7 \cdot 10^6 \text{ S}\cdot\text{m}^{-1}$ ), et qui semble offrir une meilleure fiabilité vis à vis du cyclage thermique [13, 80]. Je reviendrai en détails sur l'effet du cyclage thermique dans la section 5.3.

Concernant la liaison entre la céramique et sa métallisation, deux techniques existent : la technique directe, citée ci-dessus (DBC, pour *Direct Bonded Copper* dans le cas du cuivre et DBA *Direct Bonded Aluminium* dans le cas de l'aluminium), et la brasure active (AMB, pour *Active Metal Braze*). Dans ce dernier cas, courant notamment lorsque la céramique utilisée est du  $\text{Si}_3\text{N}_4$ , on utilise un alliage de brasure « *TiCuSil* » (pour *titanium, Copper, Silver*). Cela produit des liaisons offrant de très bonnes performances (avec notamment une couche d'attache

3. toutes les valeurs numériques de ce paragraphe proviennent de [140]

sans vides, ce qui améliore la tenue aux décharges partielles [134]), mais le procédé de réalisation est plus complexe : l'alliage de brasure résistant aux agents de gravure de la métallisation de cuivre (utilisés pour former le circuit électrique), il est nécessaire de le déposer selon le motif du circuit final. La métallisation de cuivre est alors gravée selon ce même motif, en assurant un bon alignement [81] avec la couche de brasure active. Dans le cas des substrats réalisés par attache directe, on ne grave les substrats vierges qu'en fin de procédé, en une seule étape.

Pour les puissances plus faibles (ou pour des coûts plus réduits), on peut également citer le Substrat Métallique Isolé (SMI, figure 5.6(b)), dans lequel l'isolation électrique est assurée par une fine couche de composite verre-epoxy. Les performances thermiques de ce composite sont très faibles (de l'ordre de 0,01 W/cm/K), mais sont compensées par la finesse de la couche (100  $\mu\text{m}$ ). Une autre approche, très prisée dans le domaine automobile, notamment pour les tensions les plus basses (14 V) est le *leadframe*, où le circuit est formée par une simple tôle de cuivre découpée à l'emporte-pièce, et reportée sur un radiateur à l'aide d'un adhésif isolant électrique et conducteur thermique. Cette dernière solution permet d'utiliser des couches de cuivre très épaisses (plus d'un millimètre), qui auraient été très difficiles à former par gravure chimique. Dans la suite de ce document, je me concentrerai néanmoins principalement sur les substrats céramiques : ils offrent les meilleures performances et sont actuellement les seuls à satisfaire les besoins des applications dites « haute température », qui font l'objet du chapitre 7.

#### 5.1.2.5 Semelle

La semelle assure le maintien du module : elle est solidaire du système de refroidissement (le plus souvent boulonnée). Elle sert également d'interface thermique entre l'intérieur du module et le système de refroidissement. À ce titre, elle doit présenter la résistance thermique la plus faible, et si possible assurer un étalement de la chaleur à évacuer, de façon à présenter une surface d'échange maximale.

Le choix de matériaux utilisables pour fabriquer une semelle est plus vaste que dans le cas des substrats, car seule compte la conductivité thermique. Les caractéristiques électriques n'interviennent plus (ni isolation électrique, assurée par le substrat, ni conductivité électrique particulière). Par contre, l'interface substrat(s)/semelle ayant une surface importante (plusieurs centimètres carrés ou dizaines de centimètres carrés), les différences de coefficient de dilatation même faibles peuvent causer des contraintes mécaniques fortes. De ce point de vue, les semelles en cuivre, très courantes, ne sont pas satisfaisantes : le CTE du cuivre est de 17 ppm/K, alors que le CTE d'un substrat céramique métallisé est de 4 à 7 ppm/K [140].

Pour contourner ce problème de CTE élevé, il est possible de recourir à des matériaux composites : formés d'inclusions enrobées dans une matrice, les propriétés de ces matériaux vont dépendre des propriétés de chacun de leurs consti-

tuants et des proportions du mélange. Par exemple, des inclusions de grains de carbure de silicium dans une matrice d'aluminium vont former de l'AlSiC, dont le coefficient de dilatation est intermédiaire entre celui du SiC (3 ppm/K) et de l'aluminium (23 ppm/K). On obtient ainsi, suivant les proportions du mélange, un CTE global de 6,5 à 12 ppm/K, et une conductivité thermique allant de 180 à 220 W/m.K [14] (soit environ la moitié de celle du cuivre). Un autre avantage de ce matériau est sa densité plus faible, ce qui permet d'obtenir des semelles plus légères qu'avec le cuivre. Par contre, le SiC étant extrêmement dur, ce matériau est difficilement usinable ; ce composite doit donc être directement fabriqué aux dimensions finales voulues (*net-shape*) [116]. D'autres matériaux céramiques existent, avec des inclusions en SiC, diamant ou fibres de carbone et des matrices en cuivre ou aluminium. Un matériau prometteur est ainsi le composite cuivre/diamant, dont la conductivité thermique peut dépasser 600 W/m.K [133].

D'autres approches permettent également de réaliser des semelles à faible coefficient de dilatation et forte conductivité thermique : le co-laminage de tôles de cuivre et de molybdène [140], le frittage de mélanges de poudres (par exemple cuivre/tungstène) ou l'utilisation d'alliages type Invar ou Kovar (alliages de nickel et de fer présentant un coefficient de dilatation nul sur une plage de température donnée) [61].

Enfin, pour finir ce tour d'horizon des semelles, il faut mentionner que dans certains cas, celle-ci est inutile : c'est le cas quand le substrat céramique est assez solide (tenue en flexion notamment) pour assurer la fixation du module et si le système de refroidissement est assez efficace pour qu'il ne soit pas nécessaire d'étalement la chaleur pour faciliter son évacuation [17]. Ce point est discuté section 6.1.1, page 65.

#### 5.1.2.6 Les finitions métalliques

Les finitions métalliques ne sont pas vraiment un élément constitutif du module en elles-mêmes : elles n'apparaissent pas sur le schéma de la figure 5.2, et sont en fait intégrées au processus de fabrication d'autres éléments (puces, substrats, semelle). Elles jouent néanmoins un rôle de premier plan dans la qualité et la fiabilité des assemblages, et elles interviendront à plusieurs reprises dans la suite de ce document. Elles méritent donc que l'on s'y attarde quelque peu. Notez que nous n'allons pas traiter ici des couches métalliques directement en contact avec les semi-conducteurs, et qui ont pour objet la formation de contacts (ohmiques ou redresseurs).

**Rôle des finitions** La coupe donnée figure 5.7 montre la localisation des différentes finitions métalliques et leur premier rôle : rendre compatible les pièces à assembler avec les méthodes d'assemblage. Par exemple, on utilise couramment une couche d'aluminium en face supérieure des puces de puissance, de manière à pouvoir y souder des fils de câblage, eux aussi en aluminium. Pour les assemblages brasés, les surfaces à joindre doivent être correctement mouillées par l'alliage de

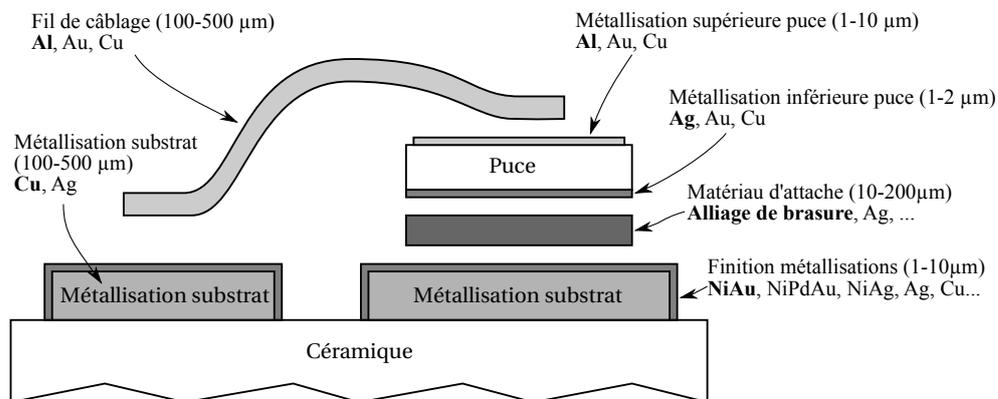


FIGURE 5.7 – Éléments métalliques dans un module de puissance. Les métaux indiqués en gras sont les plus utilisés (figure d'après [61]).

brasure, et former avec lui des composés intermétalliques satisfaisants [146]. Pour ces assemblages brasés, les finitions sont souvent multi-couches, car elles doivent assurer une protection contre l'oxydation (par exemple une fine couche d'or) pour favoriser le mouillage. Elles jouent également le rôle de barrière de diffusion (classiquement avec une couche de nickel), pour contrôler la formation des composés intermétalliques, et prévenir la diffusion d'espèces chimiques dans des zones indésirables. Enfin, une couche est parfois nécessaire pour assurer l'adhésion des finitions sur les pièces qu'elles recouvrent (en général Ti ou Cr).

**Méthodes de dépôt** Les caractéristiques des finitions sont contraintes non seulement par la nature des métaux utilisés, mais également par la méthode de dépôt utilisée. Cette méthode va en effet définir l'épaisseur du dépôt, son homogénéité et sa structure cristalline. De plus, chaque méthode a ses propres limitations (nature des métaux, des pièces à traiter). Les grandes familles de méthodes de dépôt sont [61] :

**Les dépôts par voie sèche (évaporation et pulvérisation cathodique)** : ces méthodes sont principalement utilisées pour le traitement des puces car elles permettent d'obtenir des niveaux de pureté et de propreté compatibles avec les besoins de la microélectronique. Les dépôts ainsi obtenus ont des épaisseurs allant de quelques dizaines de nanomètres à quelques microns. De très nombreux métaux peuvent être déposés successivement, en conservant une atmosphère protectrice (vide ou argon). Par contre, le dépôt se fait uniformément, un masquage préalable est donc nécessaire si l'on veut effectuer un dépôt sur des zones spécifiques (dépôt dit « sélectif »).

**L'électrodéposition** permet de déposer certains métaux comme l'or ou le cuivre, avec des dépôts pouvant aller jusqu'à plusieurs dizaines de microns. Elle nécessite néanmoins que les pièces à recouvrir soient conductrices et reliées à

un potentiel. Dans le cas d'un substrat possédant plusieurs pistes indépendantes, il faudra donc relier ces pistes entre elles avant le dépôt. L'épaisseur de dépôt est contrôlée par la densité de courant électrique et par la durée du dépôt. L'homogénéité et la qualité du dépôt dépendent aussi de la densité de courant électrique et de sa bonne répartition,

**Le dépôt autocatalytique (*electroless*)** (habituellement de nickel) permet de déposer des couches épaisses (plusieurs microns), sans nécessité de relier électriquement les pièces à traiter, ni besoin de masquer les zones à protéger (le dépôt ne se fait que sur les surfaces métalliques). Il offre l'avantage d'une grande homogénéité, mais ne produit pas des dépôts purs : dans le cas du nickel, on ajoute au bain de l'hypophosphite de sodium pour permettre la réaction, ce qui se traduit par la présence de phosphore (quelques pourcents) dans le dépôt métallique final. Ce procédé est utilisé pour les classiques finitions « Nickel-Or » que l'on retrouve souvent en électronique de puissance.

**Le dépôt par déplacement (*immersion*)** se fait en voie humide comme l'électrodéposition ou le dépôt autocatalytique. Comme pour le dépôt autocatalytique, il ne nécessite ni masquage, ni connexions électriques. Mais là où le dépôt autocatalytique est une réaction auto-entretenu (plus on laisse les pièces à traiter longtemps dans le bain, plus le dépôt est épais), le dépôt par déplacement est une réaction entre le bain et les pièces à traiter : une fois les pièces recouvertes, la réaction s'arrête. Cette méthode produit donc des dépôts fins (quelques dizaines de nanomètres). Elle est bien adaptée au dépôt de l'or, dont un dépôt épais serait trop coûteux, et poserait des problèmes de fiabilité (l'or forme des composés intermétalliques fragiles avec les brasures). Dans les finitions « Nickel-Or », l'or sert à protéger le nickel de l'oxydation. Une couche mince suffit donc.

Comme indiqué ci-dessus, certaines finitions reposent sur plusieurs procédés de dépôt. C'est le cas de l'« ENIG » (Electroless Nickel Immersion Gold), le classique « Nickel-Or »<sup>4</sup>.

#### 5.1.2.7 Encapsulation

La fonction encapsulation vise à protéger la puce de son environnement. En particulier, elle permet d'augmenter la tenue diélectrique autour de la puce, et ainsi d'éviter un arcage par contournement de ses protections périphériques. Le matériau d'encapsulation doit donc supporter des champs électriques élevés (plusieurs dizaines de kV/mm), et ne pas absorber d'humidité (pour conserver ses bonnes propriétés diélectriques). Il doit également supporter des températures élevées (idéalement plus de 200 °C) puisqu'il est en contact avec la puce, et ne pas

4. Un bon tour d'horizon des finitions disponibles pour les circuits imprimés est donné sur <http://www.ami.ac.uk/courses/topics/>

exercer de contraintes mécaniques trop importantes, notamment sur les fils de câblage [140].

Pour remplir ce cahier des charges, différentes techniques d'encapsulation peuvent être utilisées :

**Encapsulation gazeuse :** c'est le cas des boîtiers hermétiques, remplis d'azote ou d'argon. Cela permet une encapsulation particulièrement fiable, mais à un coût très élevé (boîtier métallique, dégazage puis remplissage, fermeture du boîtier) ;

**Encapsulation par un gel silicone :** technique la plus courante pour les modules, elle est relativement simple à mettre en œuvre (il faut principalement veiller à ce que le gel soit correctement dégazé, pour éviter la formation de bulles). Un gel souple ne transmet que peu de contraintes mécaniques à son environnement, malgré un coefficient de dilatation pouvant approcher 500 ppm/K [157]. Le principal problème est la tenue en température, qui ne dépasse pas 250 °C actuellement pour les gels les plus performants. Et même lorsque l'on reste en deçà de la température maximale de fonctionnement, on observe un vieillissement rapide qui se traduit par une rigidification du gel, et l'apparition de fissures et la chute de la tenue diélectrique [157, 129]

**Encapsulation par une résine époxy rigide :** très utilisée pour les composants discrets, cette solution commence à se développer pour les modules. Par exemple Fuji [108] ou Powerex [109] proposent des boîtiers de ce type. Les avantages sont une plus grande simplicité de fabrication (l'époxy sert à encapsuler les puces et à former le boîtier du composant, en une seule étape) ; et apparemment une capacité à fonctionner haute température (200 °C actuellement) de façon continue. Par contre, la résine étant très rigide, il faut veiller à ce que son coefficient de dilatation thermique soit compatible avec celui des puces et des fils de câblage, sous peine de défaillance rapide en cyclage thermique. Ce point semble maîtrisé, puisque Fuji annonce une fiabilité nettement accrue pour ses modules « epoxy » par rapport à la technologie « gel silicone » [108].

Mis à part le packaging hermétique (qui coûte cher !), l'encapsulation repose sur des matériaux organiques dont les températures de fonctionnement sont relativement limitées (aux alentours de 200 °C pour un fonctionnement à long terme). L'encapsulation constitue donc le principal verrou à lever pour réaliser des modules de puissance « faible coût » (par exemple pour l'automobile), capables de tirer au mieux partie des composants SiC.

## 5.2 Effet du packaging sur les performances électriques des convertisseurs

Après ce tour d'horizon des éléments qui constituent un module de puissance, je vais maintenant présenter les effets que le packaging peut produire sur les per-

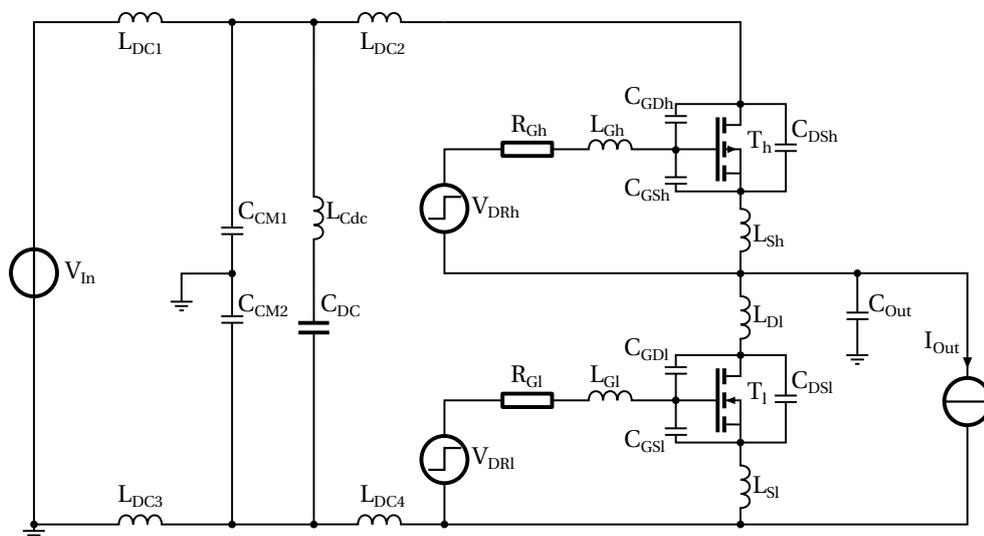


FIGURE 5.8 – Schéma d'un bras d'onduleur mettant en évidence les éléments parasites principaux (les couplages, notamment inductifs, ne sont pas indiqués pour plus de clarté). Les connexions au symbole « masse » seront considérées comme équipotentielles.

performances électriques d'un convertisseur.

### 5.2.1 Éléments parasites

Le schéma d'un bras d'onduleur est visible figure 5.8. En plus des deux transistors (ici des MOSFET de puissance, on considérera donc qu'ils possèdent une diode interne antiparallèle), chaque élément de connexion peut être associé à une résistance, une inductance (couplée aux autres inductances du circuit) et à l'armature d'une capacité parasite. Dans le schéma, néanmoins, ne figurent que les éléments pertinents : inductances des branches soumises à de fortes variations de courant, capacité parasite des points subissant de rapides variations de tension. Ni les résistances parasites, ni les couplages magnétiques ne sont représentés par souci de simplification.

Il faut également noter que ces composants parasites liés au câblage ne sont pas les seuls éléments indésirables : les composants de puissance ramènent dans le circuit des capacités parasites qui sont souvent largement plus grandes que celles du câblage (plusieurs nanofarads, contre quelques dizaines ou centaines de picofarads pour un substrat céramique), et qui vont avoir un effet prépondérant sur le comportement dynamique. Ces capacités sont de plus fortement non-linéaires (forte dépendance à la tension), ce qui complique l'analyse et nécessite des modèles adaptés [47].

### 5.2.2 Influence des éléments parasites dynamiques

**La capacité parasite de sortie  $C_{Out}$** , formée entre le conducteur de sortie (phase) et la masse environnante (boîtier métallique, châssis...), subit de fortes variations de tensions lors des commutations des transistors du bras. Un courant (le courant de mode commun) va traverser cette capacité et retourner à la source de tension d'entrée à travers un circuit « extérieur » (boîtier métallique, châssis...), représenté figure 5.8 à l'aide du symbole « masse ». Ce chemin de retour n'étant pas maîtrisé, il est susceptible de traverser des équipements sensibles.

Dans le cas d'un module de puissance classique, qui utilise des substrats céramiques métallisés,  $C_{Out}$  est de l'ordre de quelques dizaines à quelques centaines de picofarads, mais peut atteindre des valeurs bien plus importantes suivant la charge connectée au convertisseur (par exemple un câble blindé relié à un moteur électrique). À l'extrême, des valeurs importantes de  $C_{out}$  (plusieurs nanofarads) vont également causer une réduction des vitesses de commutation.

Des condensateurs de filtrage (filtrage de « mode commun »,  $C_{CM1}$  et  $C_{CM2}$ ) peuvent être utilisés pour offrir un chemin de retour préférentiel au courant de mode commun, surtout si  $L_{DC1}$  et  $L_{DC3}$  sont fortes comparées à  $L_{DC2}$  et  $L_{DC4}$ . Cela confine ces courants à l'intérieur du convertisseur, et évite qu'ils ne perturbent un équipement sensible [126].

**L'inductance de grille  $L_G$**  est souvent élevée (dizaines ou centaines de nanohenrys) parce que les circuits de commande sont habituellement séparés des composants de puissance (sur un circuit imprimé placé au-dessus du module). Une valeur importante de  $L_G$  va ralentir la commutation, voire causer des oscillations avec les capacités d'entrée des composants de puissance. Il faut alors augmenter la valeur de la résistance de grille pour amortir ces oscillations, ce qui se ralentit encore la commutation.

Une faible impédance du circuit de grille est néanmoins nécessaire pour éviter les commutations indésirées des composants de puissance : sur la figure 5.8, quand  $T_h$  se ferme, le potentiel de drain de  $T_l$  ( $V_{Dl}$ ) augmente brusquement. Un courant proportionnel à  $\frac{dV_{Dl}}{dt}$  va alors traverser  $C_{GDl}$ . Si l'impédance du circuit de grille de  $T_l$  est suffisamment faible, il va absorber la majeure partie de ce courant, et la tension grille-source de  $T_l$  restera inférieure à la tension de seuil du composant. Dans le cas contraire,  $T_l$  se mettra en conduction, causant un court-circuit de bras. Ce problème est particulièrement important pour les composants SiC ou GaN, dont les capacités sont importantes [64, 75].

**L'inductance de drain ( $L_{Dl}$ ,  $L_{DC2}$ )** stocke de l'énergie ( $\frac{1}{2}LI^2$ ) lorsque le transistor correspondant est passant. Dans un circuit à commutation dure, cette énergie sera dissipée à l'ouverture du transistor, entraînant des surtensions et des pertes en commutation. Dans le cas des applications basse tension/fort courant (14 V/100 A), que j'ai étudiées durant ma thèse, cela constitue la majeure partie des pertes en commutation.  $L_D$  va également former un réseau oscillant avec les

capacités des composants de puissance. Cette inductance doit donc être la plus faible possible. Tout comme pour les circuits de commandes, les condensateurs de bus continu sont habituellement placés à l'écart des modules de puissance (pour des raisons pratiques, ou pour des raisons thermiques, les condensateurs étant souvent plus limités en température que les semiconducteurs de puissance). En conséquence,  $L_{DC2}$  (voir fig. 5.8) et  $L_{DC4}$  peuvent atteindre plusieurs dizaines de nanohenrys.

**L'inductance de source  $L_S$**  est commune aux circuits de puissance (courant de drain) et de contrôle (courant de source). De ce fait, elle a les mêmes effets que décrits ci-dessus pour  $L_G$  et  $L_D$ . De plus, elle introduit une contre-réaction négative qui s'oppose (en les ralentissant) aux commutations. Il en résulte que même des valeurs extrêmement faibles de  $L_S$  ont des conséquences très importantes sur la vitesse de commutation des transistors. Des études ont porté sur l'annulation de cette contre-réaction (par exemple en forçant un couplage magnétique entre  $L_G$  et  $L_S$  [4]), mais elle se traduit par une augmentation indésirable de  $L_G$ .

Néanmoins, dans un système bien conçu, la séparation entre les circuits de puissance et de contrôle se fait au plus près des puces de puissance.  $L_S$  est donc plus faible que  $L_G$  ou  $L_D$ , de l'ordre de quelques nanohenrys.

Il faut également noter qu'il existe un rapport  $\frac{L_D}{L_S}$  optimal [155] : lorsque ce rapport est large, les composants commutent rapidement ( $L_S$  faible), causant de fortes surtensions et de fortes oscillations à cause de la forte valeur de  $L_D$  (sous-amortissement). À l'opposé, un rapport faible signifie que le transistor commute plus lentement ( $L_S$  fort) que nécessaire pour empêcher l'apparition de surtensions à l'ouverture (sur-amortissement).

À titre d'illustration de l'effet des inductances de drain et de source, j'ai repris des résultats de ma thèse [21], qui porte sur la modélisation d'un onduleur basse tension (réseau 14 V) destiné aux applications automobiles. Elle met en évidence l'importance du câblage dans le comportement d'un convertisseur. Du fait du positionnement faible tension/fort courant (plusieurs centaines d'ampères), les effets résistifs et inductifs sont prépondérants, et ont de lourdes conséquences sur les pertes. Je ne traiterai donc pas ici des effets des capacités parasites (notamment sur la CEM).

Une première conséquence du calibre très basse tension des composants est leur passage en avalanche quasi-systématique lors des commutations. Les MOSFETs de la gamme 20-50 V sont d'ailleurs spécialement conçus pour supporter l'avalanche répétitive [20]. La figure 5.9 illustre ce fonctionnement.

Les figures 5.10 et 5.11 présentent les formes d'ondes simulées pour un transistor MOSFET basse tension (STB210NF02, courant nominal 120 A, tension nominale 20 V) avec différentes valeurs d'inductance de drain et de source. La résistance de grille  $R_G$  est fixée à 2  $\Omega$ , le courant de sortie est de 100 A, la tension d'entrée de 15 V, et on ne commande pas l'interrupteur du haut ( $T_h$  sur la figure 5.8). Sauf indication contraire dans les figures, les inductances  $L_G$ ,  $L_S$  et  $L_D$

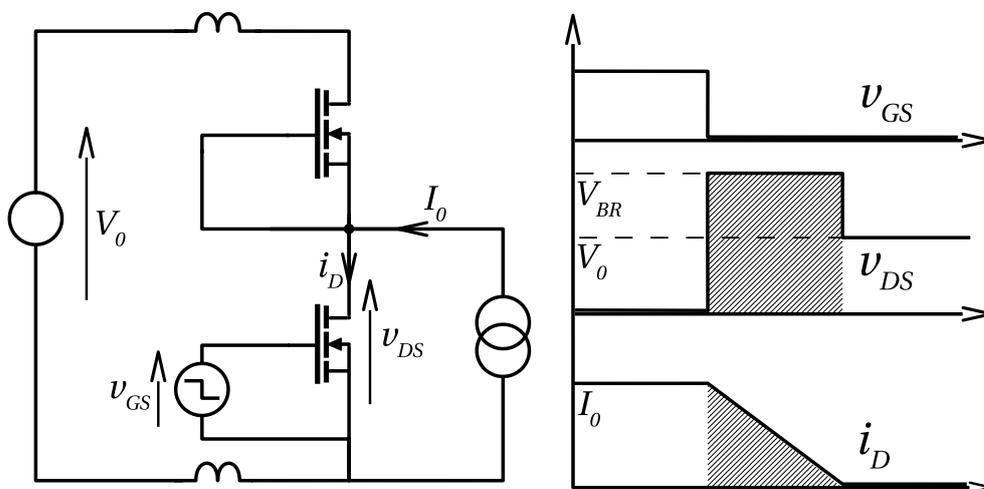


FIGURE 5.9 – Effet des inductances parasites de bus continu sur un bras d'ondeur basse tension. Ici, l'ouverture du transistor du bas produit une surtension qui cause son passage en avalanche.

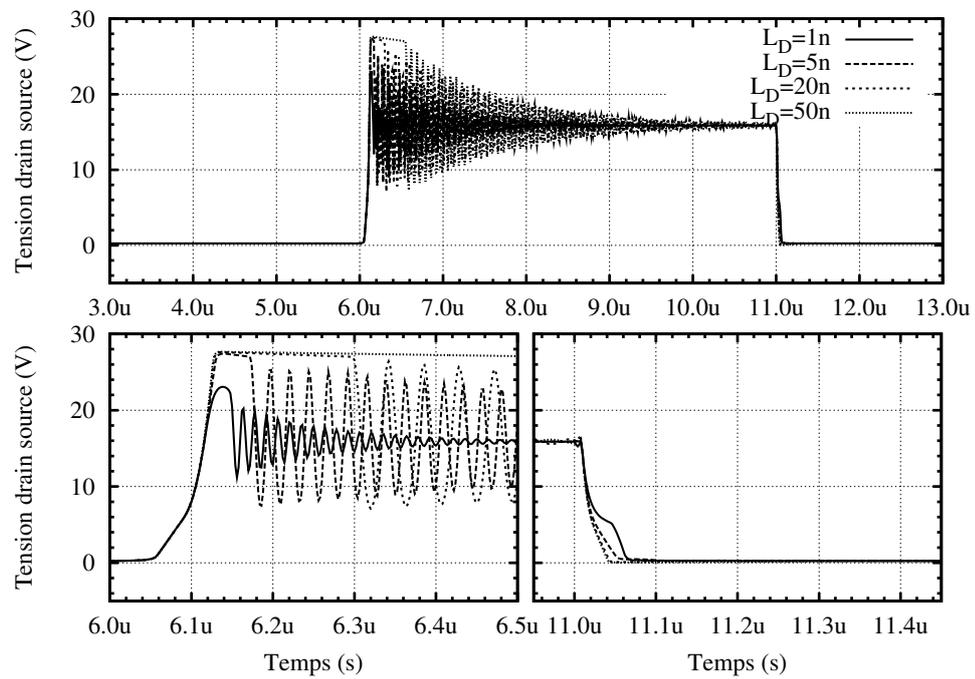
sont fixées à 1 nH. L'effet de l'inductance de grille n'est pas présenté ici, mais est détaillé dans [21].

La plage de variation choisie pour les inductances (1–50 nH) est représentative d'un câblage allant d'extrêmement peu inductif [75] à relativement inductif (un simple fil de câblage pouvant dépasser 10 nH [57, 105]. D'autres interconnexions, décrites dans le chapitre suivant, permettent de passer en-dessous du nanohenry [88].

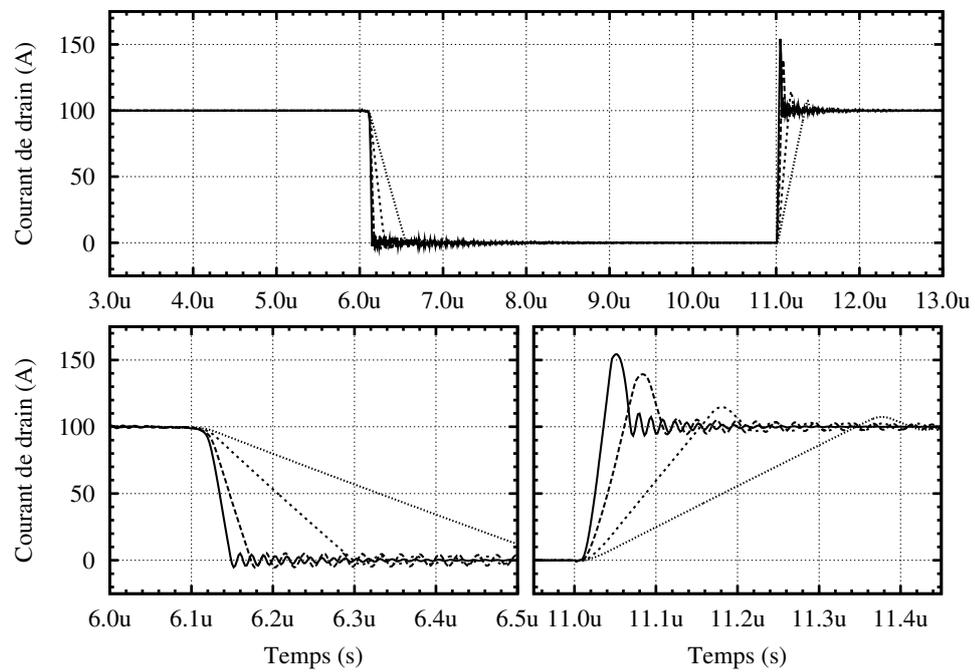
On observe que les inductances  $L_D$  et  $L_S$  ont des effets proches, ralentissant les commutations lorsque leur valeur augmente. C'est surtout visible sur le tracé du courant, figures 5.10(b) et 5.11(b), avec un affaissement des fronts lorsque les inductances augmentent. On remarque également que  $L_S$  a un effet plus marqué que  $L_D$ , en raison de son effet de contre-réaction puissance-contrôle.

Une autre différence est clairement visible sur les tracés des tensions drain-source (figures 5.10(a) et 5.11(a)). Lorsque  $L_D$  augmente, à l'ouverture, le transistor passe en avalanche et on observe un fort régime oscillatoire. Par contre, à la fermeture, la tension s'annule, permettant une commutation sans pertes. Si l'on s'intéresse à  $L_S$ , on voit que les oscillations à l'ouverture sont moins marquées, que la surtension est plus limitée ( $V_{DS}$  de l'ordre de 20 V contre 27 V sur la figure 5.11(a)), et que la tension à l'ouverture ne s'annule pas.  $L_S$  tend en effet à ralentir les commutations, et par là à les « calmer ».

Une autre façon de représenter ces effets est proposée figures 5.12 et 5.13 : il s'agit des pertes en commutation (pertes à la fermeture et à l'ouverture) en fonction de  $L_D$  et  $L_S$ . Ces résultats sont obtenus par la même simulation temporelle que pour les figures 5.10 et 5.11, avec une intégration du produit  $V_{DS} \times I_D$  sur une

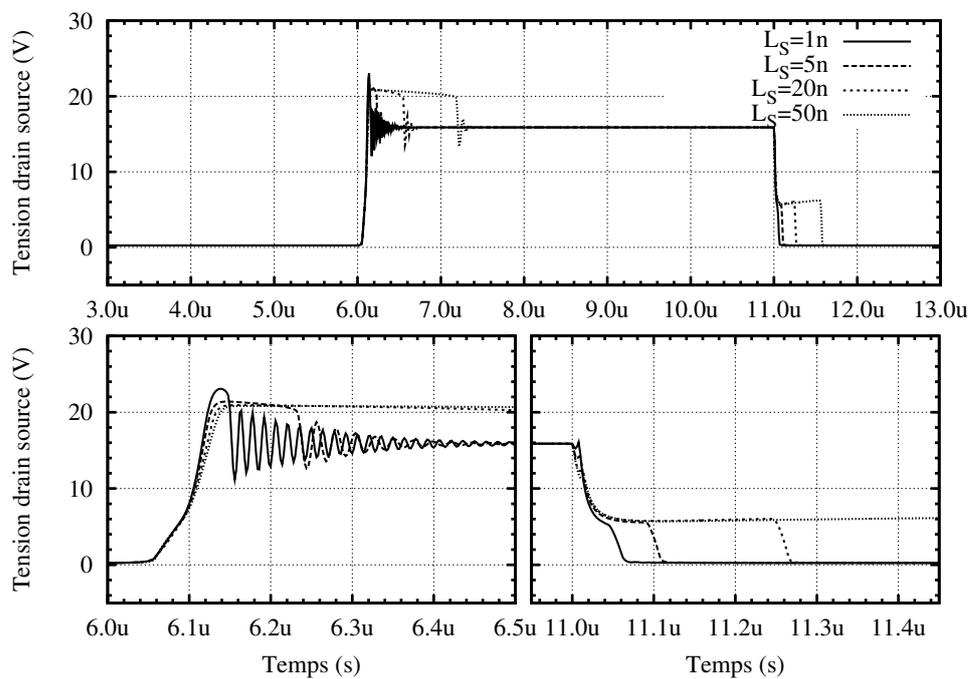


(a)

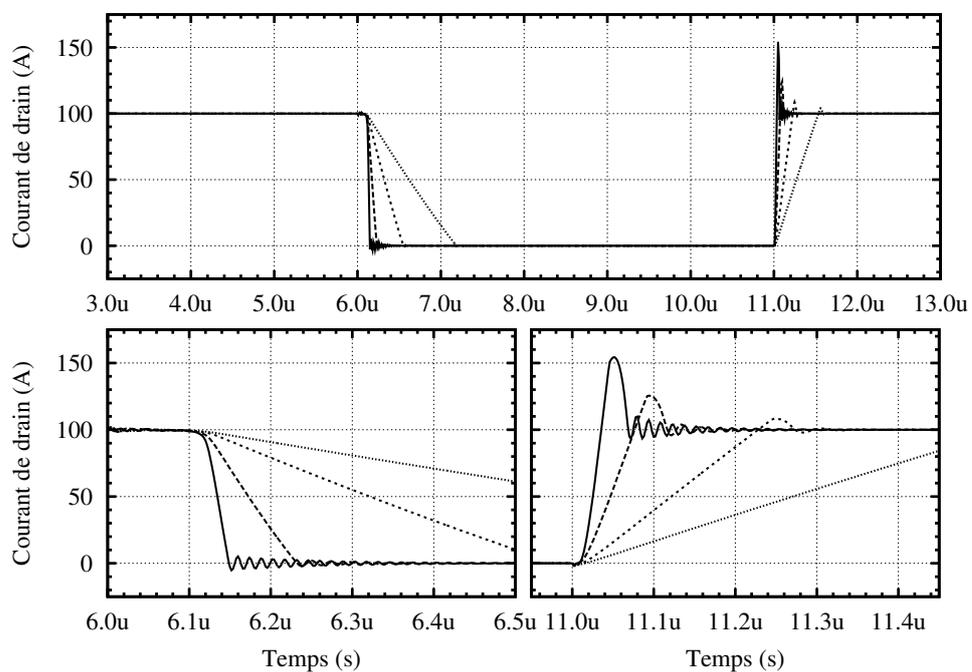


(b)

FIGURE 5.10 – Effet de l'inductance de drain d'un MOSFET basse tension sur les formes d'ondes à la commutation dans une cellule de commutation (simulation). Tension drain-source (a) et courant de drain (b).



(a)



(b)

FIGURE 5.11 – Effet de l'inductance de source d'un MOSFET basse tension sur les formes d'ondes à la commutation dans une cellule de commutation (simulation). Tension drain-source (a) et courant de drain (b).

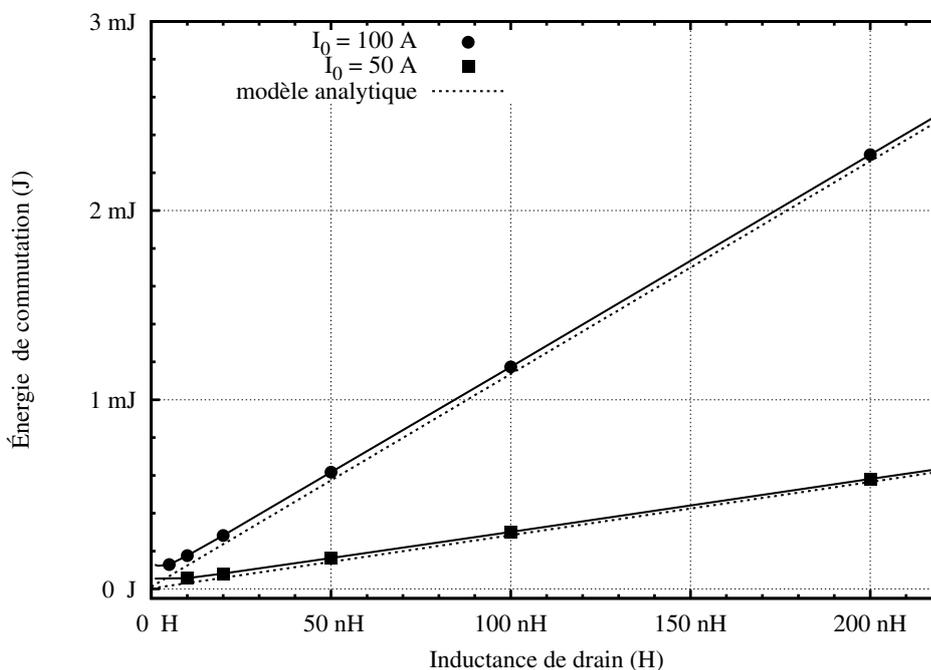


FIGURE 5.12 – Effet de l'inductance de drain d'un MOSFET basse tension sur les pertes en commutation (simulation). La configuration est identique à celle de la figure 5.10. Le modèle analytique correspond directement à l'énergie dissipée lors d'un passage en avalanche  $\frac{V_{BR}-V_0}{2V_{BR}-V_0} LI_D^2$  (voir figure 5.9).

période.

Il apparaît que les pertes en commutation augmentent linéairement avec les inductances, et plus fortement avec  $L_S$  qu'avec  $L_D$ . Dans le cas de la figure 5.12, j'ai rajouté une courbe « analytique », qui correspond à la dissipation de l'énergie stockée dans l'inductance de drain, et qui constitue une bonne approximation des pertes en commutation. On voit ainsi la forte influence du câblage sur le comportement de ce convertisseur.

### 5.2.3 Effets résistifs

La figure 5.14 représente la résistance à l'état passant ( $R_{DS(on)}$ ) des MOSFET disponibles dans le commerce en fonction de leur tenue en tension (et rapporté à la surface de leur puce). J'avais tracé cette courbe à l'occasion de ma thèse, en utilisant les données disponibles alors (2004) dans les documents fabricant, pour des transistors en boîtier TO220 et T0263 (« D2PAK ») et en estimant la taille de la puce à  $0,3 \text{ cm}^2$  (la taille maximale de puce pouvant rentrer dans ce type de boîtier).

À l'occasion du projet ANR ETHAER, un travail bien plus systématique a été entrepris par les laboratoires IES et LAPLACE, avec le remplissage de grandes

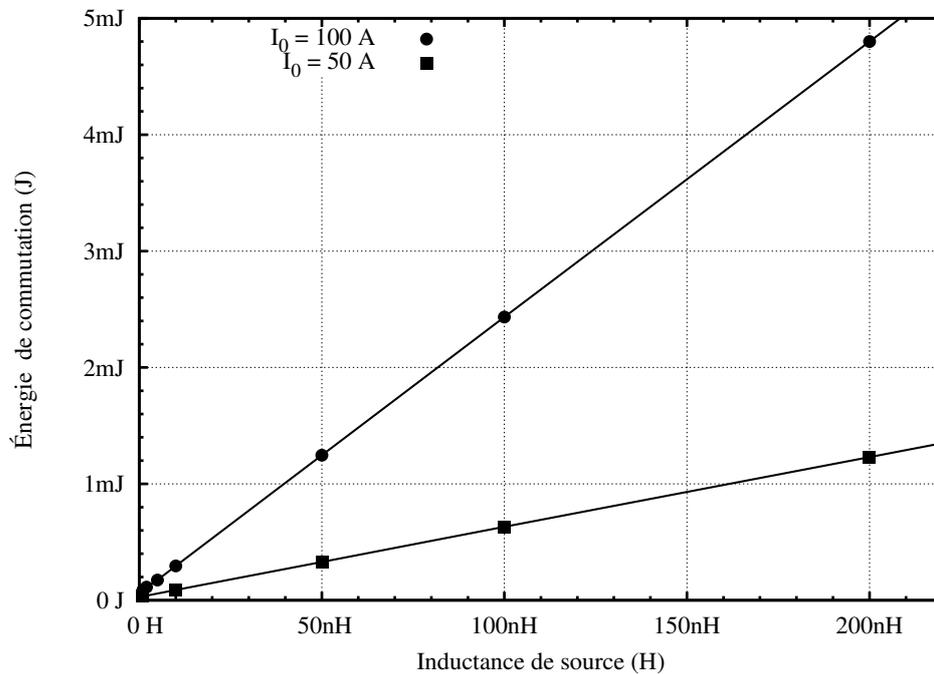


FIGURE 5.13 – Effet de l'inductance de source d'un MOSFET basse tension sur les pertes en commutation (simulation). La configuration est identique à celle de la figure 5.11.

bases de données listant les caractéristiques de très nombreux composants (MOSFET, IGBT, composants « grands gaps »...). La taille de puce (mesurée par rayons X et non plus estimée) est également enregistrée dans cette base. En me basant sur ces données, j'ai pu compléter la courbe avec des données de 2014.

Le premier point notable est une large amélioration de la résistance à l'état passant, pour toutes les gammes de tension. Les valeurs de  $R_{DS_{on}}$  des meilleurs composants actuels sont quasiment 10 fois plus faibles que celles des composants de 2004. Dans de nombreux cas, on touche la courbe « MOS idéal » qui représente la résistance d'une couche de silicium supportant la tension nominale (résistance de *drift*). Pour les tensions les plus hautes (600 V et plus), cette limite est même dépassée : ces composants ont une structure à « superjonction » dans laquelle la zone de *drift* inclut des régions P. Ces structures, différentes de celles considérées pour la courbe « MOS idéal », permettent donc de dépasser les limites des MOSFET classiques et se sont rapidement imposées au-delà de 600 V.

Un second point remarquable est que cette amélioration du  $R_{DS_{on}}$  est encore plus sensible pour les valeurs de tension inférieures à 100 V. En 2004, d'autres effets résistifs venaient s'ajouter à la résistance de *drift* : résistances de canal, de substrat, et surtout du packaging. Ces résistances supplémentaires étaient mises en évidence par la courbe noire de la figure 5.14, qui considère un MOS idéal avec une

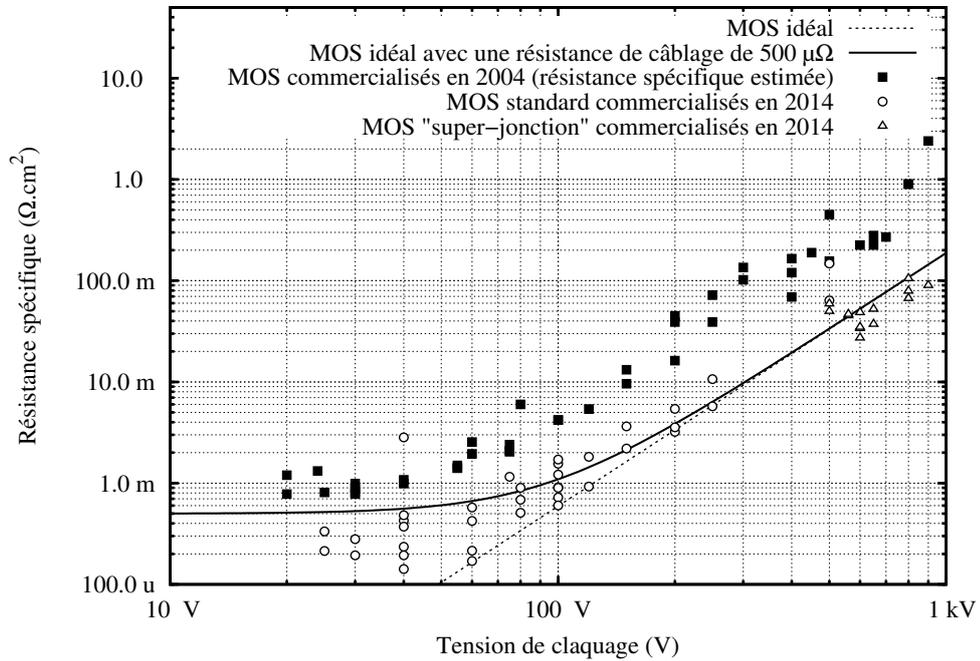


FIGURE 5.14 – Résistance spécifique des MOSFETs disponibles dans le commerce en fonction de leur calibre en tension. Les valeurs de 2004 ont été estimées pour des MOSFETs en boîtier TO220 et TO263, en considérant une taille de puce de  $0,3 \text{ cm}^2$  [21]. Les valeurs de 2014 proviennent du travail de thèse de Julien BOURDON et Jérémie BRUNELLO (Projet ETHAER), qui ont mesuré directement les tailles de puces par visualisation aux rayons X. Il m'ont aimablement transmis ces données, et je les en remercie ici.

résistance série additionnelle de  $500 \mu\Omega$ . En 2014, ces limites ont été largement dépassées, notamment avec le développement de nouveaux boîtiers moins résistifs (utilisation de clips de cuivre en remplacement des fils de câblage, connexions plus courtes...).

Les résistances de l'ordre de  $1 \text{ m}\Omega \cdot \text{cm}^2$  déjà disponibles en 2004 pour un composant de basse tension pouvaient déjà sembler extrêmement faibles, voire suffisantes. Néanmoins, il faut noter que dans ces gammes de tension, il n'est pas rare qu'un composant supporte un courant de drain pouvant atteindre  $100 \text{ A}$ . Pour une puce de  $0,3 \text{ cm}^2$  comme celles considérées ci-dessus, cela correspond à un  $R_{DS(on)}$  de  $3,3 \text{ m}\Omega$ , et une dissipation à l'état passant de  $33 \text{ W}$ , qui est loin d'être négligeable.

Réduire la résistance spécifique par un meilleur packaging permet non seulement de produire des composants ayant un  $R_{DS(on)}$  plus faible à taille de puce égale, mais également d'utiliser des puces plus petites pour une même valeur de  $R_{DS(on)}$ . Dans ce cas, l'intérêt est de réduire les capacités parasites des MOSFET (qui sont

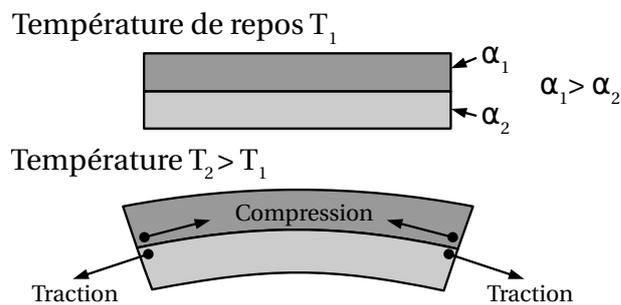


FIGURE 5.15 – Contraintes et déformation d’un assemblage de matériaux différents sous l’effet d’un changement de température. Exemple du bilame.

proportionnelles à la surface de la puce, pour une technologie donnée), et donc l’énergie nécessaire à la commutation.

En conclusion de cette section, il est confirmé que le packaging d’un composant de puissance a des effets importants sur ses performances électriques, que ce soit sur son comportement dynamique ou statique. Les interconnexions sont notamment source d’inductances et de résistances parasites. Pour améliorer ces interconnexions, il faut en changer radicalement la technologie (je pense notamment aux fils de câblage). Cela fait l’objet du chapitre 6.

### 5.3 (Manque de) Fiabilité du packaging

La fiabilité à long terme des systèmes d’électronique de puissance est un sujet qu’il est facile d’ignorer dans le contexte d’un laboratoire, où la plupart des essais ne durent que quelques heures. C’est néanmoins un problème extrêmement important. Une démarche de *roadmapping* Britannique, à laquelle j’ai pu prendre part en 2006, a ainsi mis en évidence que la fiabilité est le principal problème des industriels consultés [70]. C’est confirmé par un autre sondage auprès des industriels [156], qui montre en outre que les composants actifs (et leur packaging!) constituent dans la majorité des cas le point faible des convertisseurs (les condensateurs arrivent en seconde place).

Depuis quelques années, nous avons entrepris au laboratoire Ampère quelques études portant sur la fiabilité des composants actifs. Dans ces études, le packaging n’est pas abordé, l’accent étant mis sur le semiconducteur. Les premiers travaux portant sur la fiabilité du packaging ont débuté avec le projet Su-MeCe (décrit en détail dans ce qui suit) et avec le projet GENOME (non détaillé dans ce mémoire, du fait de son faible avancement au moment de la rédaction).

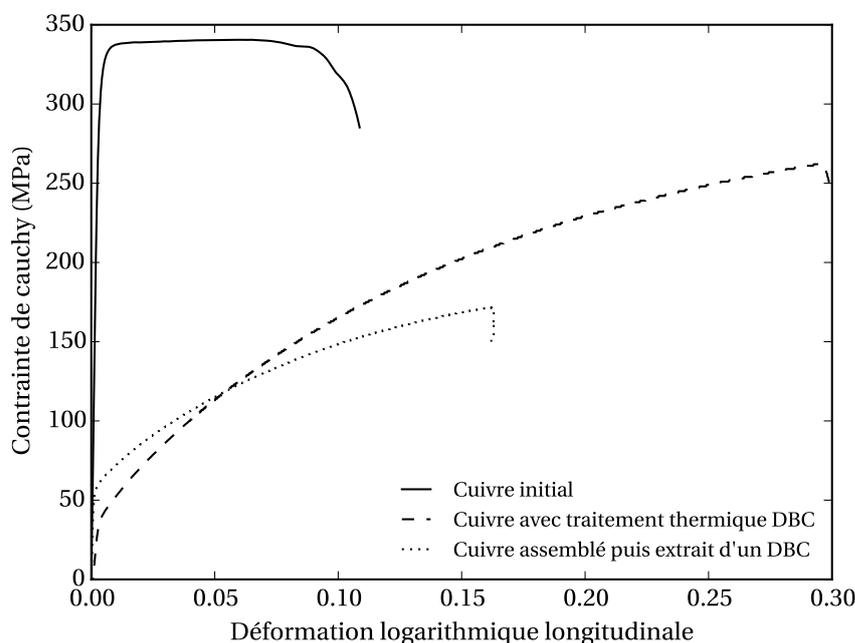


FIGURE 5.16 – Courbes de traction de trois éprouvettes de cuivre de même composition, mais ayant subi des traitements différents.

### 5.3.1 Une étude fine de la robustesse des substrats céramiques métallisés : le projet SuMeCe

Le substrat céramique métallisé fait partie des éléments sévèrement éprouvés lors d'un cyclage thermique : il comporte en effet deux matériaux dont les coefficients de dilatation sont éloignés (4 à 7 ppm/K pour la céramique, 17 ppm/K pour le cuivre), assemblés sur une surface de plusieurs centimètres carrés.

Plusieurs études ont cherché à modéliser le comportement de ces substrats, de façon à pouvoir prédire l'apparition de défaillances dans des conditions données. Cela permettrait de choisir le substrat le plus adapté à un cahier des charges donné, en jouant sur les épaisseurs respectives de métal et de céramique, sur le type de céramique, ou sur la technique d'assemblage (*direct bonding*, DBC ou brasure active, AMB).

La présence, sur le campus de la Doua, de spécialistes des céramiques (Laurent GRÉMILLARD), des assemblages métal/céramique (Olivier DEZELLUS), et de la mécanique de la fracture (Rafaël ESTEVEZ et Anthony GRAVOUIL), nous a permis de nous intéresser à la modélisation des substrats DBC. L'idée initiale était d'évaluer l'effet des hétérogénéités dans la céramique (zones en compression ou en traction) sur la propagation des fissures. Dans certaines conditions, on peut en effet définir un niveau de contraintes en-dessous duquel une fissure se verra stoppée par une zone en compression de la céramique. Cela nécessite une modé-

lisation très fine, puisqu'il faut descendre à l'échelle des grains de la céramique.

Mais avant d'en arriver à ce niveau de raffinement de la modélisation (auquel nous ne sommes d'ailleurs pas encore !), il nous a tout d'abord fallu identifier précisément les propriétés macroscopiques des éléments d'un DBC : propriétés mécaniques du cuivre, de la céramique, et de leur assemblage.

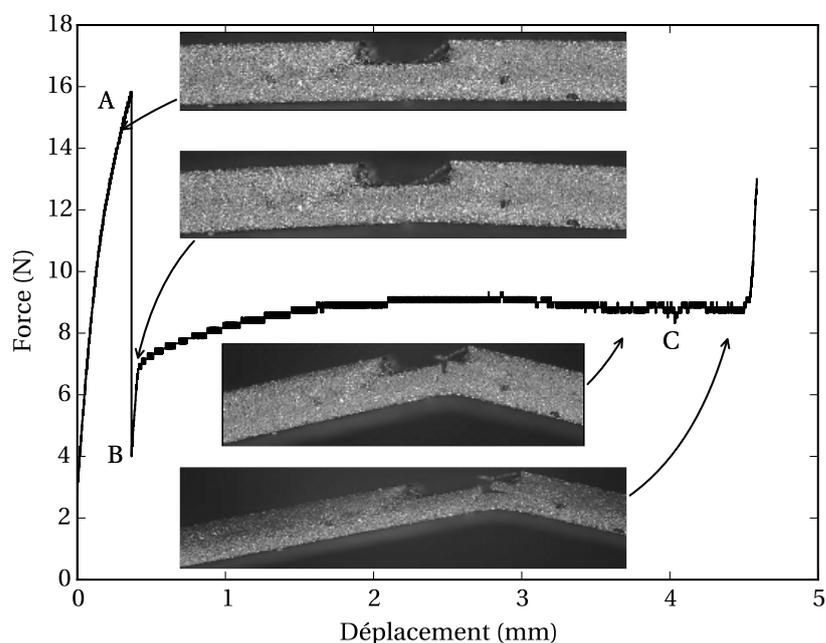
Même un matériau a priori bien connu comme le cuivre a dû être ré-étudié dans le cas précis du DBC, comme illustré figure 5.16. Nous nous sommes procurés des feuilles de cuivre auprès d'un fabricant de DBC (Curamik), dans trois états :

- initial : le cuivre tel que reçu par Curamik, après laminage, et sans traitement thermique particulier ;
- cuivre avec traitement thermique DBC : cette feuille a subi le cycle thermique de l'assemblage DBC (température maximale de l'ordre de 1072 °C [68], proche du point de fusion du cuivre, à 1084 °C), sans être placée sur une plaque de céramique. Elle n'a donc pas été assemblée, et a pu se dilater et se contracter librement durant le cycle thermique ;
- cuivre assemblé puis extrait d'un DBC : non seulement cette feuille a subi le traitement thermique, mais elle a effectivement été assemblée sur une feuille de céramique. Elle a donc été exposée à une contrainte mécanique lors du refroidissement post-assemblage. La feuille de cuivre a été extraite de l'assemblage DBC par Curamik, en dissolvant la céramique (ici de l'AlN) dans de la soude.

Des éprouvettes de traction ont été découpées dans ces feuilles de cuivre (par électro-érosion, de façon à introduire le minimum de contraintes mécaniques durant la phase de découpe).

La différence de comportement entre le cuivre dans son état initial et après traitement thermique apparaît clairement sur la figure 5.16 : dans le premier cas, on a un cuivre écroui, avec une limite élastique élevée et une plage de déformation plastique limitée avant rupture. Dans les deux autres cas, le cuivre entre rapidement en régime de déformation plastique, et supporte une grande déformation avant rupture. Il est donc primordial de tenir compte de l'historique du cuivre dans notre modélisation. Il faut de plus utiliser un modèle prenant en compte l'écrouissage cinématique (accumulation de déformation lors d'un chargement cyclique). Les détails de cette modélisation sont présentés dans la thèse d'Ay-men BEN KAABAR [8].

La caractérisation de la céramique (en fait « des » céramiques, puisque nous avons étudié l'alumine et l'alumine renforcée par de la zircone) a consisté en des essais de flexion 3 points, afin de définir la contrainte à rupture dans en se basant sur une distribution de Weibull. Là encore, une préparation spécifique des éprouvettes a été nécessaire pour ne pas introduire de défauts notables dans la céramique : les plaques d'alumine (fournies par Curamik) ont été découpées à l'aide d'une scie à wafer. Les premiers essais de découpe, avec une scie diamantée destinée à la métallographie, produisaient en effet de petits éclats sur les bords



(a)



(b)

FIGURE 5.17 – Courbe force-déplacement obtenue en essai de flexion 4 points. L'éprouvette est une bande de DBC d'environ  $80 \times 5 \text{ mm}^2$  dont la couche de cuivre supérieure est séparée en 2 (b). La courbe peut se découper en plusieurs phases : tout d'abord, on a une flexion élastique de l'éprouvette (jusqu'au point A). Ensuite, la couche de céramique se fissure brutalement (B). La poursuite de l'essai de flexion se traduit par la déformation, puis le pelage de la couche de cuivre inférieure de la céramique (jusqu'à C).

des éprouvettes. Les essais de flexion, effectués sur une trentaine d'éprouvettes de chaque nuance, montrent une faible dispersion des résultats (de l'ordre de 20 %), ce qui est indicateur de la bonne qualité de la céramique et de la préparation des éprouvettes.

Dernière étape de la phase de caractérisation : l'étude de l'interface cuivre-céramique. Des éprouvettes de DBC (visibles figure 5.17(b)) ont été préparées au laboratoire Ampère (gravure chimique des couches de cuivre, découpe de la cé-

ramique par scie à wafer). Une séparation est ménagée dans la couche de cuivre supérieure, pour créer une amorce de rupture. Ces éprouvettes sont ensuite soumises à des conditions de flexion « 4 points », et on observe la propagation de la fissuration au cours du test.

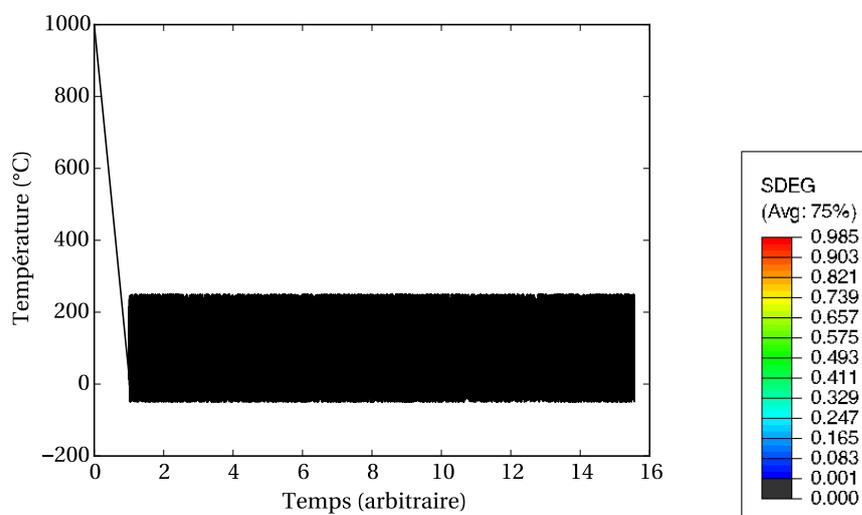
Cet essai, simple dans son principe, a demandé une mise au point longue : la propagation de la fissure est suivie par corrélation d'image, c'est à dire qu'on vient prendre des clichés de l'éprouvette au cours de l'essai, et qu'on identifie sur chacun d'eux les champs de déformation. Nos éprouvettes (de par leur taille, leur relativement grande déformation avant rupture et leur composition) ont nécessité une configuration particulière (objectif télécentrique, ré-usinage des bords d'éprouvette, etc.). Un exemple de résultat est donné figure 5.17(a) : on y voit la courbe force/déplacement, sur laquelle nous avons affiché les images de l'éprouvette correspondante. C'est sur de plateau situé entre les points B et C que l'on va extraire l'énergie de séparation cuivre-céramique ( $32 \text{ J/m}^2$ <sup>5</sup>). Les essais montrent en effet qu'entre les points B et C la fissure se propage à l'interface cuivre-céramique, et non pas au sein de la céramique elle-même.

Après cette phase de caractérisation expérimentale, nous pouvons procéder à une modélisation des structures DBC par éléments finis. L'interface cuivre-DBC est représentée par des éléments cohésifs tenant compte de l'endommagement. Un exemple de résultat de simulation est visible figure 5.18 : on simule l'élaboration de la structure DBC, puis son cyclage (1000 cycles de -50 à +250 °C). Des images montrent la valeur de la variable d'endommagement au cours de ce profil thermique (figures 5.18(c) à 5.18(f)). Il apparaît qu'un léger endommagement survient après le refroidissement post-élaboration, mais qu'il n'évolue quasiment plus par la suite. Ces résultats sont réalistes : ils ont été obtenus pour une structure de DBC particulièrement robuste (céramique épaisse, cuivre mince, avec des motifs de réduction de contraintes ou *dimples*). Des tests que nous avons effectués par ailleurs sur une structure identique n'ont pas montré d'endommagement après plusieurs centaines de cycles d'amplitude comparable.

Le projet SuMeCe touche tout juste à sa fin, et nous n'avons pas encore terminé d'en exploiter les résultats. Il reste en particulier à simuler des structures plus communes (cuivre plus épais en particulier), pour pouvoir les comparer aux résultats disponibles dans la littérature. Les travaux actuels ont néanmoins mis en évidence la nécessité d'identifier les paramètres du modèle sur le DBC lui-même (les paramètres des matériaux « génériques » étant trop éloignés de la réalité). Si l'on dispose d'un modèle satisfaisant, la prédiction de la durée de vie d'un DBC dans des conditions données semble alors possible.

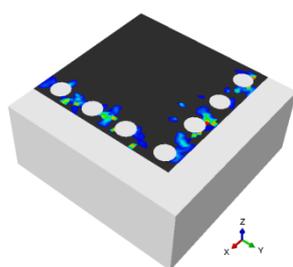
---

5. je ne rentre pas ici dans les détails de cette étude, qui nécessiteraient de trop longs développements.

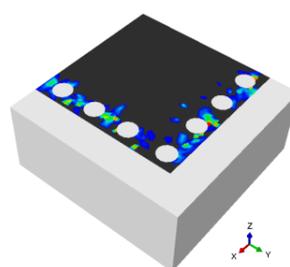


(a) Profil thermique appliqué

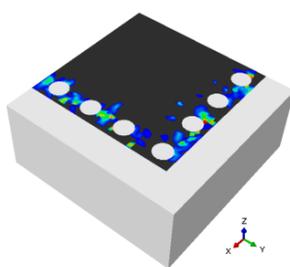
(b)



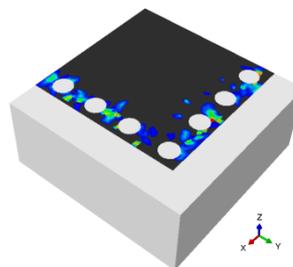
(c) Élaboration



(d) 10 cycles



(e) 100 cycles



(f) 1000 cycles

FIGURE 5.18 – Simulation de l'endommagement d'une structure DBC au cours du cyclage thermique. Le profil thermique (a) débute par le refroidissement après élaboration du DBC, suivi du cyclage proprement dit, ici entre  $-50$  et  $+250$  °C. Il apparaît que pour la configuration choisie ( $127 \mu\text{m}$  de cuivre et  $635 \mu\text{m}$  d'alumine) équipée de *dimples* – les motifs visibles en bordure de métallisation –, un léger endommagement apparaît dès la phase d'élaboration, mais n'évolue quasiment plus ensuite. Les figures (c) à (f) montrent en effet des niveaux d'endommagement sensiblement identiques (l'échelle est donnée en (b), 0 correspondant à une structure intacte, 1 à un endommagement total).

Emplacement sur le véhicule	Température maximale ( °C)
points chaud sur la transmission*	177
Plancher*	85
À proximité des supports du radiateur*	100
Palier arrière de l'alternateur†	160
Circuit de refroidissement*	120
Collecteur d'échappement*	649

TABLE 5.1 – Température maximale atteignable en différents points d'une voiture (sources : \* [72], † [98]).

## 5.4 Limites en température du packaging

Pour certaines applications (sur lesquelles je vais revenir) la fiabilité insuffisante des composants d'électronique de puissance n'est pas le seul problème. Elles nécessitent également des composants pouvant fonctionner à des températures plus élevées. Et ici encore, dans de nombreux cas, c'est le *packaging* qui limite la température maximale que peuvent supporter les composants.

Le sujet de la haute température en électronique de puissance constitue une large part de mon activité, et les résultats font l'objet d'un chapitre complet du présent mémoire (chapitre 7). Je vais donc l'introduire ici.

### 5.4.1 Caractéristiques de l'environnement « haute température »

Le terme de « haute température » recouvre une grande variété de définitions. Dans le cas de l'électronique de puissance, nous nous baserons sur les capacités des composants à semi-conducteurs : comme nous le verrons plus loin, 200 °C constituent grossièrement une frontière au-dessus de laquelle la plupart des composants en silicium ne peuvent aller. Nous considérerons donc 200 °C (mesurés au niveau de la « jonction ») comme la limite basse de la « haute température » [24].

Mais le plus souvent, les environnements dans lesquels fonctionnent les applications haute température ne peuvent simplement se réduire à une température élevée. Cette température peut, au contraire, varier sur une très large plage (conditions de *cyclage thermique profond*), s'accompagner de vibrations et de chocs, d'humidité... Dans ce qui suit, nous allons donc décrire les différents environnements haute température. Il faut cependant remarquer que cette liste ne peut être exhaustive ni sur les domaines d'application, ni sur les caractéristiques de l'environnement correspondant : l'amélioration des performances de l'électronique de puissance haute température va automatiquement entraîner l'apparition de nouveaux besoins et d'environnements plus sévères (convertisseurs plus près des réacteurs d'avion, forages plus profonds, etc.)

#### 5.4.1.1 Environnement automobile

Par rapport à d'autres environnements, les températures rencontrées en automobile sont relativement modérées (table 5.1) : sous le capot, mis à part sur le circuit d'échappement, les températures sont de l'ordre de 100 à 160 °C. La principale difficulté réside dans les contraintes économiques, qui imposent l'utilisation de technologies bas coût (par exemple des boîtiers plastiques), mal adaptées aux températures élevées.

Les véhicules hybrides nécessitent des convertisseurs de plusieurs kilowatts (cas de l'hybride léger, basé sur un alerno-démarrreur) à plusieurs dizaines de kilowatts. Ces convertisseurs doivent supporter la cohabitation avec un moteur thermique, dont la température du circuit de refroidissement évolue entre 90 et 120 °C [33], pour retomber à moins de 0 °C en cas d'arrêt prolongé à l'extérieur. À cette variation de la température ambiante s'ajoutent les variations causées par le fonctionnement intermittent des composants de puissance : un convertisseur doit ainsi supporter 8000 h de fonctionnement, correspondant à plusieurs millions de cycles de fonctionnement [33].

#### 5.4.1.2 Environnement aéronautique

Depuis plus d'une dizaine d'années, l'architecture interne des avions s'électrifie fortement. Cette démarche est nommée « avion plus électrique » (*more electric aircraft*) voire « avion tout électrique » (*all-electric aircraft*) [82, 127]. Il faut cependant noter que la dénomination « tout électrique » ignore les réacteurs, qui continueront encore pour de nombreuses années à utiliser des combustibles fossiles !

L'architecture plus électrique vise à remplacer les trois réseaux d'énergie utilisés dans un avion (hydraulique, pneumatique, électrique) par un unique réseau électrique. On en attend des réductions de consommation énergétique, de poids, et une simplification des réseaux et de la maintenance [127].

Si la plupart des convertisseurs nécessaires à l'avion plus électrique peuvent être placés dans des zones tempérées et pressurisées de l'appareil, ce n'est pas le cas de tous. Certains systèmes, positionnés dans les zones pourtant les plus « hospitalières » du réacteur, devront supporter des températures ambiantes allant de -50 à +225 °C [101]. À cela s'ajoutent, lorsque l'avion est à son altitude de croisière, des contraintes de basse pression atmosphérique et de rayonnements ionisants.

Suivant leur utilisation, les convertisseurs utilisés dans l'avion plus électrique couvrent une gamme de puissance allant de 2 à 100 kW [46].

#### 5.4.1.3 Environnement spatial

Il est difficile de définir un « environnement spatial type » : ce sont les missions d'exploration qui nécessitent les plus hautes températures de fonctionnement, et les températures rencontrées dépendent par définition de l'endroit que l'on explore. Deux exemples sont donnés dans une présentation de la Nasa [79].

La température de surface de Vénus atteint 460 °C. Depuis 1970, 10 sondes y ont été envoyées, et y ont survécu entre 23 et 127 minutes (l'électronique était placée dans une enceinte adiabatique pour la protéger temporairement de l'environnement). Le prochain objectif est une mission longue (90 jours), qui ne pourra donc plus utiliser cette inertie thermique, qui devra faire appel à des composants fonctionnant en continu à haute température.

Un second exemple porte sur l'exploration de Jupiter. Il s'agit là de laisser tomber une sonde au cœur de la planète gazeuse pour y faire des relevés, jusqu'à ce que la température et la pression atmosphérique aient raison de la sonde. L'objectif est ici de pénétrer de plus de 200 km, ce qui nécessite de supporter des températures allant jusqu'à 400 °C et des pressions jusqu'à 100 bars.

#### 5.4.1.4 Forage profond

Les industriels du forage (pétrolier ou gazier, notamment) sont les utilisateurs les plus anciens et les plus établis de l'électronique haute température. Il suffit pour s'en convaincre de voir leur présence en masse aux conférences HiTEN et HiTEC<sup>6</sup>, où les papiers traitant directement d'applications « forage » représentent quasiment un tiers des communications (les autres papiers traitant principalement de composants ou de packaging).

Actuellement, les industriels visent des températures ambiantes de fonctionnement pour leurs outils de l'ordre de 225 °C [117], avec à terme un objectif à plus de 250 °C (augmentation des profondeurs de forage). La majorité des systèmes électroniques embarqués sont des capteurs destinés à caractériser le puits, mais on retrouve de l'électronique de puissance pour les fonctions d'alimentation de ces capteurs ou pour la commande de certains actionneurs (orientation de la tête de forage pour le forage horizontal par exemple).

Dans certains cas, l'électronique de puissance prend une place plus importante. On peut par exemple noter l'existence de convertisseurs très haute tension (>100 kV) [60] pour l'alimentation de tubes à neutrons que l'on descend dans les puits pour les « radiographier », ou de compresseurs destinés à exploiter plus complètement des gisements de gaz, et qui doivent fonctionner pendant 5 ans à une température ambiante de 150 °C [36].

Enfin pour terminer ce rapide tour d'horizon du forage, citons une application a priori plus propre<sup>7</sup> : le forage géothermique profond [115, 5]. On vise ici les températures les plus élevées, de façon à améliorer le rendement de génération. Certains puits ont en effet des températures supérieures à 300 °C, ce qui nécessite des outils de forage particulièrement résistants. Certains pays, comme les États-Unis ont l'ambition de développer fortement la géothermie.

---

6. *High Temperature Electronics Network* et *High Temperature Electronics Conference*, qui se tiennent en alternance avec environ 120 et 200 participants respectivement.

7. Certaines techniques, comme la fracturation de la roche utilisée pour améliorer l'échange thermique et connecter le puits d'injection et d'évacuation, font néanmoins débat.

Environnement	Ambiante maximale	Ambiante minimale	durée de cycle	nombre de cycles	durée de vie
automobile	120-160 °C	-55 °C	heure(s)		8000 h
aéronautique	200 °C	-55 °C	heure(s)	15000	50000 h
forage	225 °C		jours		5 ans

TABLE 5.2 – Définition (très) simplifiée des différents environnements haute température [10, 46, 33, 72]. Le cahier des charges des applications spatiales variant du tout au tout d'un cas à l'autre, je n'ai pas pu en tirer des conditions « type ».

#### 5.4.1.5 Fonctionnement haute température en ambiance basse température

Il s'agit ici de laisser fonctionner les convertisseurs à haute température, non plus parce que l'environnement est chaud, comme dans les quatre domaines d'application précédents, mais parce que l'on a réduit le système de refroidissement. On peut ainsi imaginer un convertisseur fonctionnant dans une température ambiante « normale » (25–50 °C), avec une température de jonction des puces dépassant les 200 °C. Le système de refroidissement (radiateur), qui occupe normalement un volume important, pourrait alors être réduit.

Un exemple d'un tel type d'utilisation est donné dans [66], avec un convertisseur fonctionnant à une température ambiante (déjà élevée) de 150 °C, et dans lequel on autorise une température de jonction des puces de puissance de 250 °C. Par rapport à une température de jonction plus classique (175 °C par exemple), cela permet de se contenter d'un refroidissement passif au lieu d'un système plus sophistiqué.

Bien qu'attractif, ce fonctionnement à « refroidissement réduit » est plus complexe qu'il n'y paraît. Même avec des composants capables de fonctionner à température très élevée (300 °C et plus), le système de refroidissement ne peut être véritablement réduit. Je reviens en détail sur le sujet dans la section 7.1.

#### 5.4.2 État de l'art et limites

La température de fonctionnement des convertisseurs a longtemps été limitée par les capacités des puces silicium. Le développement récent de composants en carbure de silicium a permis de lever ce verrou : comme on peut le voir dans la figure 5.19, les composants réalisés dans des matériaux « grand gap », au premier rang desquels le SiC, peuvent fonctionner des températures de jonction extrêmement élevées [122].

Un verrou pouvant en cacher un autre, la montée en température est maintenant limitée par les composants passifs (notamment les condensateurs), et par le packaging [24]. Concernant les passifs de puissance, une étude du comportement de différentes technologies de composants avec la température et le temps est présentée dans [125].

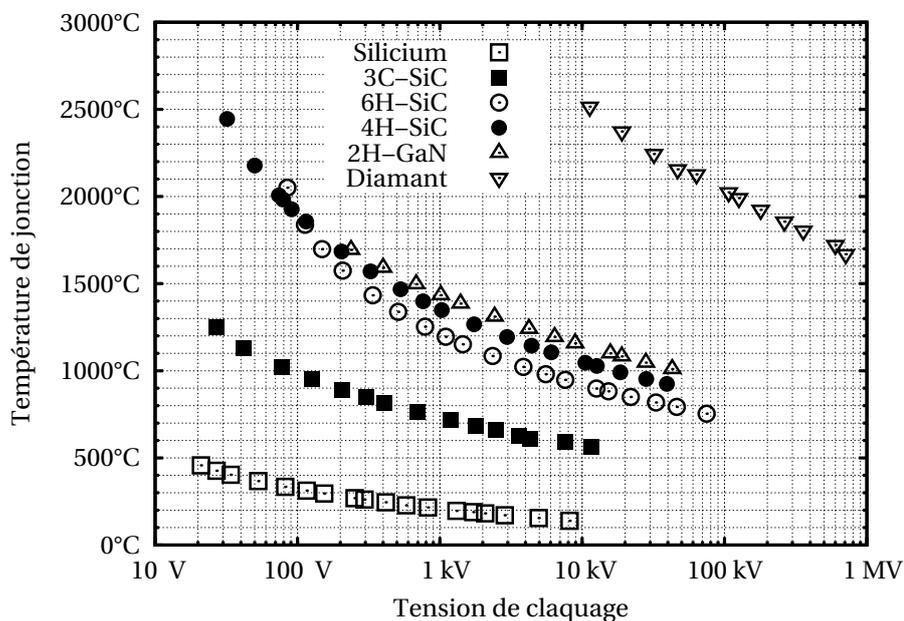


FIGURE 5.19 – Température de fonctionnement maximale d'un composant en fonction de son calibre en tension, pour différents matériaux semi-conducteurs. Ces courbes sont obtenues par calcul. Les températures indiquées correspondent au point où la densité de porteurs intrinsèques est égale au dopage maximum permettant de supporter la tension indiquée. D'après [122].

Le packaging haute température fait l'objet de plusieurs articles bibliographiques [35, 74] qui permettent d'identifier les points faibles. Il en ressort que l'encapsulation [90] et la « brasure »<sup>8</sup> [95] sont intrinsèquement limités en température (température de dégradation des gels silicones autour de 200–250 °C, température de fusion des brasures de puce usuelles autour de 300 °C). À cela s'ajoutent tous les phénomènes de vieillissement, accélérés par la haute température, et qui touchent de nombreux autres éléments. On peut par exemple citer la croissance d'intermétalliques aux interfaces métal/métal [71]. Enfin, le cyclage thermique, dont l'amplitude augmente pour la plupart des applications haute température (cf. table 5.2), génère des contraintes thermo-mécaniques très importantes qui peuvent rapidement dégrader le packaging.

L'étude d'attaches de puce haute température constitue une grosse partie du travail que je présente dans ce mémoire (section 7.2). Je vais donc en introduire ici la problématique. Les solutions applicables seront présentées dans la section 7.2.1.

Dans un module de puissance tel que décrit figure 5.2, page 29, le flux de cha-

8. Dans ce qui suit, j'appellerai cette couche « attache de puce » puisqu'elle peut être réalisée par brasure, mais également par d'autres procédés.

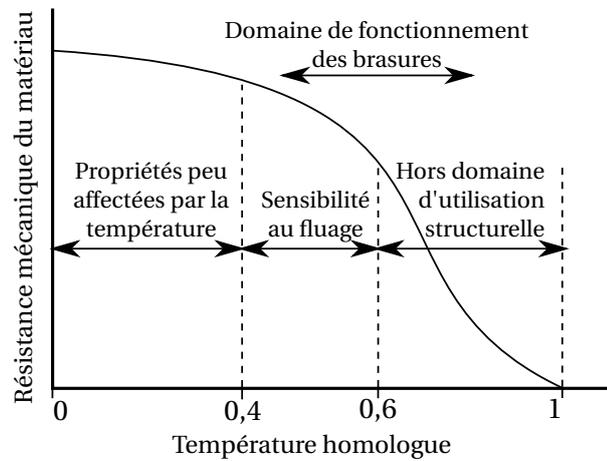


FIGURE 5.20 – Évolution des propriétés mécanique d'un métal en fonction de sa température (exprimée en fraction de sa température absolue de fusion). D'après [http://www.ami.ac.uk/courses/topics/0164\\_homt/index.html](http://www.ami.ac.uk/courses/topics/0164_homt/index.html) (CC-BY-NC-SA)

leur dissipé par la puce ( $>100 \text{ W/cm}^2$ ) traverse l'attache de puce pour parvenir aux couches inférieures et être évacué au niveau du radiateur. Cette couche doit donc avoir des performances thermiques comparable à celles des matériaux de la puce et du substrat (une conductivité thermique idéalement supérieure à  $100 \text{ W/m.K}$ ), et elle doit supporter à peu près les mêmes températures que la puce.

La forte conductivité thermique recherchée impose l'emploi de matériaux métalliques : les colles, même chargées de particules métalliques, sont limitées à quelques  $\text{W/m.K}$ . Les brasures, constitués d'alliages métalliques, permettent d'attendre des valeurs de plusieurs dizaines de  $\text{W/m.K}$ .

La haute température de fonctionnement pose un autre problème : plus on s'approche de la température de fusion d'un matériau, plus ses performances mécaniques se dégradent (voir figure 5.20). On peut définir un ratio entre températures absolues de fonctionnement ( $T_{op}$ ) et de fusion ( $T_f$ ) :

$$T_H = \frac{T_{op}}{T_f} \quad (5.3)$$

Bien que ce ratio soit sans dimensions, il est habituellement nommé « température homologue ». Comme on peut le voir figure 5.20, il serait préférable de travailler avec une valeur de  $T_H$  inférieure à 0,4. En pratique, ce n'est pas possible :  $T_f$  et  $T_{op}$  étant des températures absolues (donc exprimées en kelvin), une température homologue de 0,4 imposerait des températures de fusion de l'alliage de brasure incompatible avec les limites des composants électroniques. À titre d'exemple, pour une température de fonctionnement de  $100 \text{ °C}$  ( $373 \text{ K}$ ), il faudrait un alliage de brasure ayant un point de fusion de  $\frac{373}{0,4} = 933 \text{ K}$  ( $660 \text{ °C}$ ). À cette température, l'aluminium qui constitue la métallisation supérieure des puces, fond !

Température de fonctionnement $T_{op}$		Température de fusion $T_F$		Différence $T_F - T_{op}$
°C	K	°C	K	
100	373	193	466	93
200	473	318	591	118
300	573	443	716	143
400	673	568	841	168

TABLE 5.3 – Correspondance température de fonctionnement/température de fusion pour une température homologue de 0,8.

La température homologue des brasures usuelles est donc plutôt aux environs de 0,8. ce qui se traduit par une perte de performances mécaniques, et donc par une plus grande sensibilité à la fatigue.

Plus gênant encore, l'équation (5.3) impose une « fuite en avant » des températures de fusion dès lors que les températures de fonctionnement augmentent. Comme on peut le voir table 5.3, la température de fusion augmente plus vite que la température d'utilisation. Cela se traduit par des contraintes de plus en plus importantes sur les composants lors de la phase d'assemblage. Si l'on peut presque se contenter de la classique brasure eutectique étain-plomb ( $T_F = 183$  °C) pour une température de fonctionnement de 100 °C (à  $T_H = 0,8$ ), une température de fonctionnement de 300 °C (nécessaire pour des températures ambiantes de 200 à 250 °C) va imposer des brasures dont la température de fusion dépasse les 440 °C.<sup>9</sup>

## 5.5 Évolutions en cours et à venir

Que ce soit dans le domaine de la haute température ou, plus généralement, dans tous les domaines d'application, le packaging est un des points faibles des composants de puissance. Il est donc normal que de nombreux travaux s'attachent à en améliorer les performances et la fiabilité.

Côté performances, le besoin est tiré par les nouveaux composants SiC et GaN, qui permettent des commutations plus rapides, et nécessitent donc un packaging très faiblement inductif (par exemple moins de 1 nH pour le GaN [75]). Côté fiabilité, le moteur est l'utilisation de l'électronique de puissance dans des applications critiques, à grande durée de vie (transports et réseaux électriques).

Le frittage d'argent, sur lequel je reviendrai en détail pour les applications haute température, permet de supporter plus de 10 fois plus de cycles thermiques que les brasures classiques [77]. Il a été choisi comme alternative aux brasures au plomb par plusieurs industriels, comme Semikron [49], et l'on assiste actuelle-

9. Une autre solution est l'emploi de verres chargés d'argent [95] (*silver glass*), offrant une conductivité thermique de l'ordre de 80 W/m.K, mais dont le procédé de mise en œuvre est plus complexe, avec une température de plus de 400 °C.

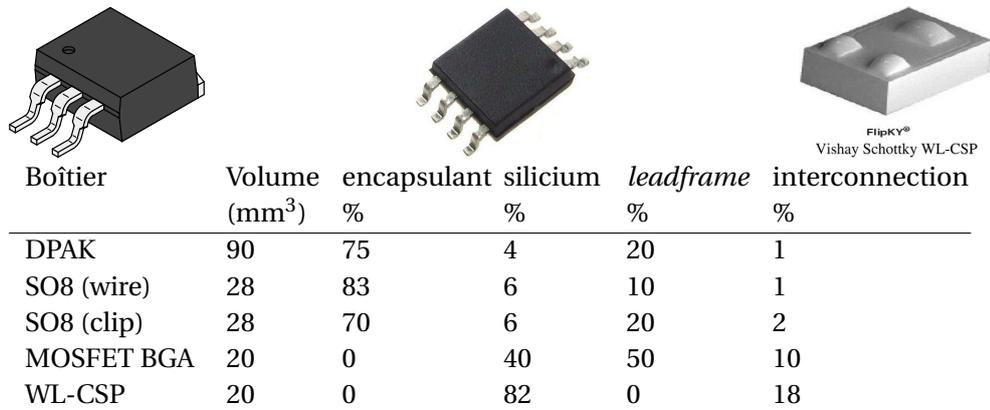


FIGURE 5.21 – source : Évolution de la taille et du contenu des boîtiers discrets depuis le DPAK (en haut, à gauche) ou le SO8 (figure du milieu), jusqu’au *Wafer Level – Chip-Scale Packaging*, ou WL-CSP, en haut à droite, d’après [89]. Source des figures : wikimedia commons sauf le WL-CSP, [89]. Les figures ne sont pas à l’échelle.

ment à une multiplication des solutions commerciales basées sur le frittage (pâtes, film sec à base de nano- ou micro-particules).

En face supérieure de la puce, il serait intéressant de se débarrasser des fils de câblage, qui ont de nombreux inconvénients : pas de fabrication collective (ils sont placés un par un) ; leur longueur et leur forme de boucle génère une inductance parasite de plusieurs nanohenrys ; ils constituent l’un des points faibles du module en cyclage thermique.

Pour tirer partie des avantages des rubans et du frittage, certains ont tout naturellement cherché à reporter des rubans par frittage [106, 80], mais cette approche n’a pas l’air d’avoir été développée industriellement. Une solution qui s’en rapproche, repose sur l’utilisation de circuit imprimé flexible (un empilement d’une ou plusieurs couches de polyimide et de cuivre) pour connecter les faces avant des puces [39]. Cette solution est maintenant exploitée industriellement, avec des puces frittées sur un substrat DBC et des interconnexions flexibles elles-même frittées [130] (technologie « SKIN » de Semikron). De nombreuses solutions alternatives de prise de contact en face supérieure des puces ont été proposées dans la littérature (report d’un second substrat DBC, enfouissement dans du circuit imprimé, etc.). J’y reviens dans le chapitre 6, qui traite de ces solutions « avancées ».

Une autre tendance lourde du packaging en électronique de puissance, c’est sa disparition ! Elle est illustrée figure 5.21 : la diminution de taille des composants discrets passe par une suppression graduelle de ce qui entoure la puce (encapsulant epoxy, fils de câblage, etc.). Cela permet de faire des composants plus petits, nécessaires pour les applications nomades (téléphones, etc.), mais cela simplifie aussi sensiblement la fabrication de ces composants. Dans le *Wafer-level packaging*, les opérations de packaging se font de façon collective, sur un *wafer* com-

plet, là où les opérations de packaging classique (brasure, câblage) nécessitent un traitement individuel de chaque puce. Enfin, du fait de leurs longueurs d'interconnexions réduites, ces boîtiers (si on peut encore les appeler ainsi) offrent d'excellentes performances électriques. Les premiers composants GaN de puissance, extrêmement rapides, sont d'ailleurs vendus sous cette forme (une puce avec des bossages de brasure pour les contacts).

Ces boîtiers sont cependant principalement destinés aux tensions les plus faibles, du fait de leur distance entre terminaux réduite. D'autre part, ils nécessitent des machines avancées pour leur montage, ce qui les destine principalement aux applications de fort volume.

Au niveau des modules, la même tendance se traduit par l'intégration « mécatronique », dans laquelle la conception du circuit de puissance (jusqu'au niveau de la puce) se fait en même temps que celle du système qui l'entoure (par exemple, un actionneur). Cela permet de supprimer certains éléments inutiles (comme le boîtier plastique du module, intégré au châssis du système). Cela permet également d'intégrer au plus près des composants de puissance tout ce qui est nécessaire à leur fonctionnement (circuits de commande, découplage, refroidissement), et permet ainsi d'obtenir de meilleures performances [23].



## CHAPITRE 6

# Nouvelles structures de modules de puissance

Les modules de puissance fabriqués maintenant depuis plusieurs dizaines d'années ont, dans la grande majorité des cas, la structure présentée figure 5.2, page 29. Comme mentionné dans le chapitre précédent, cette structure présente plusieurs limitations, et de nombreux travaux de recherche visent à la repenser complètement pour améliorer les performances globales des modules. Une grande partie des solutions explorées peut être regroupée sous le terme de structures « tridimensionnelles » (ou « 3D »), par opposition aux structures classiques, dites « planaires » (où tous les contacts électriques sont ramenés sur un même plan, la face supérieure du substrat céramique). C'est sur ces structures 3D que je vais me concentrer dans ce chapitre.

### 6.1 Promesses des structures « 3D »

Avant de présenter un rapide état de l'art des structures « 3D » (section 6.2), voyons les avantages (réels ou théoriques) qu'elles offrent par rapport aux modules planaires.

#### 6.1.1 Refroidissement efficace

Dans un module planaire tel que celui de la figure 5.2, la dissipation de chaleur ne peut se faire que dans une seule direction, de la puce vers le radiateur. Le gel silicone qui encapsule la puce est en effet un piètre conducteur de chaleur (conductivité généralement inférieure à  $1 \text{ W/m}\cdot\text{K}^1$ ), et seule la face inférieure du module est connectée à un dissipateur de chaleur.

Dans un module 3D, la chaleur peut être évacuée par plusieurs faces du boîtier (classiquement par la face inférieure et la face supérieure). Il est alors théorique-

---

1. Source : <http://nusil.com>

ment possible de diviser par 2 la résistance thermique du boîtier. Dans les faits, la surface utile en face supérieure de la puce est plus faible qu'en face inférieure, à cause des protections périphériques et, dans le cas d'un transistor, de la présence du terminal de commande. Le passage d'un refroidissement simple face à double face se traduit donc par une diminution de la résistance thermique de l'ordre de 40 % [136] et non pas de 50 % (voir section 6.3 pour un exemple).

Pour minimiser la résistance thermique, les isolants électriques placés en périphérie du module doivent avoir la conductivité thermique la plus élevée. On fait donc appel à des substrats céramiques métallisés (c.f. figure 5.5) placés de part et d'autre des puces, d'où le nom de « sandwich » souvent donné à ces structures.

### 6.1.2 Circuit faiblement inductif

Les fils de câblage et les terminaux du module génèrent des inductances parasites non négligeables (de l'ordre de la dizaine de nanohenrys pour les fils, plusieurs dizaines de nanohenrys au total [148]). Plusieurs technologies de packaging ont été développées pour limiter les inductances parasites liées à cette connectique [105]. Elles consistent toutes en l'amélioration de la connexion en face supérieure des puces : là où les fils de câblage des modules planaires servent à ramener tous les potentiels sur un même plan (le substrat métallisé), les interconnexions en face supérieure de ces modules peuvent connecter directement une puce à une autre, à un terminal, voire même à d'autres composants du convertisseur (circuits de commande, composants passifs...). Cela permet de réduire les distances entre composants et les surfaces des boucles, et donc par là les inductances parasites.

Si les premiers développements d'interconnexions « améliorées » ont fait appel à des technologies très variées (matériaux céramiques, circuits de cuivre emboutis, sérigraphie...), on observe actuellement une orientation vers des technologies issues du circuit imprimé : connexions des faces supérieures par un circuit imprimé flexible [39, 142], enfouissement de la puce dans un circuit imprimé multicouches [75, 65], voire intégration de composants passifs [151]. Dans le cas de l'enfouissement de puces, des inductances parasites de quelques centaines de picofarads sont obtenues. La technologie « PCB » (Printed Circuit Board, ou circuit imprimé) permet également très simplement d'intégrer des composants standards (montés en surface).

Une autre approche [148] est d'empiler les puces (par exemple les transistors complémentaires d'un bras d'onduleur) : la distance est encore réduite, et on obtient une disposition très favorable d'un point de vue électrique. La gestion thermique, par contre, est plus complexe, puisque certaines puces sont plus éloignées du refroidisseur.

### 6.1.3 Augmentation de la densité de puissance

Il s'agit là du corollaire des deux points précédents : le meilleur refroidissement permet, à température de jonction constante, de contrôler une puissance

plus importante avec la même puce ; la réduction de taille des interconnexions (nécessaire pour réduire les inductances) se traduit par un module plus compact.

#### 6.1.4 Assemblage plus fiable

C'est la promesse la plus discutable : si certains auteurs affirment que leur technologie apporte un gain de fiabilité (par exemple [26]), ils s'agit soit d'une affirmation théorique, soit de résultats expérimentaux partiels. La fiabilité dépend en effet de la bonne conception d'une structure (accord des coefficients de dilatation, capacité à absorber des contraintes mécaniques, etc.), mais également du contrôle du procédé de fabrication (qualité de fabrication). Ce dernier point est particulièrement important, et nécessite une gestion rigoureuse de la ligne de production habituellement incompatible avec la souplesse nécessaire à des moyens universitaires. En conséquence, les modules présentés dans la littérature sont fabriqués en trop petites quantités et avec un procédé insuffisamment mature pour pouvoir être soumis à de véritables tests de fiabilité.

Les modules 3D n'offrent pas intrinsèquement une meilleure fiabilité. L'amélioration de certaines performances (meilleur refroidissement, réduction des pertes en commutation) permettent de réduire le cyclage thermique et ont un effet favorable. Dans d'autre cas, au contraire (augmentation des densités de puissance par exemple), cela peut avoir l'effet opposé.

## 6.2 Tour d'horizon des structures « 3D »

Au cours des 10 dernières années, une grande variété de structures a été présentée. Elles sont comparées dans plusieurs papiers bibliographiques. [136] et [97]<sup>2</sup> se concentrent sur le refroidissement (notamment double face). [105] s'intéresse également aux performances électriques et à la fiabilité de 6 structures. Une liste plus exhaustive (mais moins détaillée) est donnée dans une présentation du GDR SEEDS [6]. Enfin, Bassem MOUAWAD présente un état de l'art assez complet des méthodes de prise de contact sur les puces dans le premier chapitre de sa thèse [111].

Au vu de ces nombreux papiers, j'invite le lecteur intéressé par le sujet à s'y référer. Je ne donnerai ici qu'un très rapide aperçu de l'existant, simplement destiné à situer les technologies développées dans le reste de ce chapitre.

Une vue schématique des différentes structures existantes est donnée figure 6.1. La première, la structure planaire (figure 6.1(a)), a été décrite dans le chapitre précédent, et recouvre toutes les variantes présentées section 5.5 (rubans, fils de cuivre, etc.). Dans le second cas (figure 6.1(b)), le câblage est fait par un ruban bimétallique (aluminium en bas, cuivre en haut). Cela permet une soudure ultrasonique classique du ruban sur la puce, et une brasure du ruban sur le substrat supérieur. Cette structure a été présentée par Valeo, et brevetée [107]. Elle est, à

2. Ce rapport est plus complet, mais accessible uniquement aux membres d'ECPE.

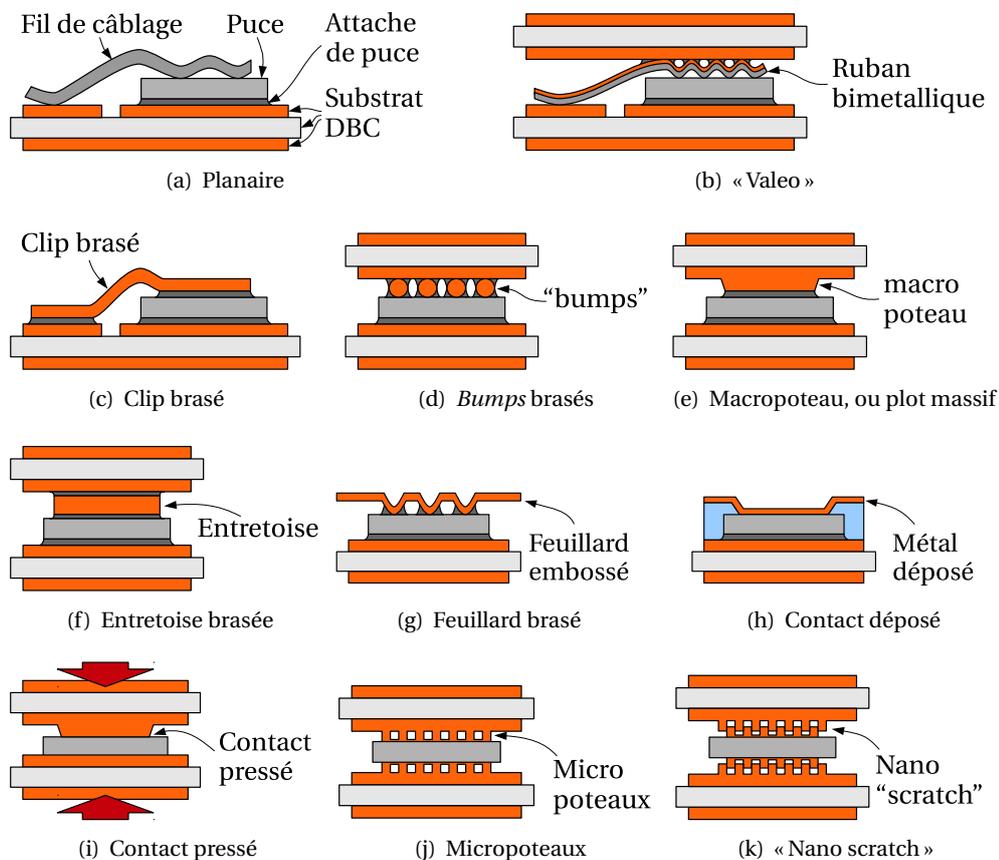


FIGURE 6.1 – Vue schématique de différentes méthodes de prise de contact sur les puces de puissance.

ma connaissance, la seule à ajouter ainsi une interconnexion brasée au câblage classique.

Viennent ensuite les prises de contact « brasées »<sup>3</sup>, figures 6.1(c) à (g). Il s'agit là d'utiliser le même type d'interconnexion pour la face supérieure de la puce et pour sa face inférieure. Cela peut permettre d'utiliser un conducteur de forte section (comme le clip, figure 6.1(c)). Cette technique est couramment utilisée dans certains boîtiers discrets, notamment des MOSFET basse tension pour lesquels on cherche à réduire la résistance à l'état passant.

D'autres mises en œuvre du contact brasé permettent en plus un refroidissement double face (figures 6.1(d) à (f)). Elles font alors appel à une structure « sandwich », dans laquelle la puce est placée entre deux substrats DBC. Ces variantes diffèrent par la forme du contact en face supérieure de la puce. En effet, si la plu-

3. Cette brasure peut être remplacée par d'autres méthodes (frittage ou soudure par diffusion) que je présenterai plus loin.

part des puces de puissance ont en face inférieure un contact qui recouvre toute la surface de la puce, le (ou les) contact supérieur n'occupe qu'une partie de la surface. Le reste est occupé par les protections périphériques, qui assurent la tenue en tension à l'état bloqué. Il n'est donc pas possible d'avoir un contact direct de la face supérieure de la puce avec un substrat DBC plan (comme c'est le cas pour la face arrière), sous peine de venir court-circuiter ces protections périphériques<sup>4</sup>. Il faut ménager un espace entre le substrat supérieur et ces protections périphériques, et ne venir prendre le contact que sur certaines zones.

Pour éviter de court-circuiter les protections périphériques, une solution (figure 6.1(d)) est d'intercaler de petits éléments entre la puce et le substrat. Il peut s'agir de billes de brasure (un alliage à haut point de fusion), ou des cylindres de cuivre [141, 86]. Une autre (figure 6.1(e)) est de former des reliefs dans la métallisation de cuivre. Je reviendrai en détail sur cette méthode, que j'ai utilisée à deux reprises, dans la suite de ce chapitre. Enfin, on peut imaginer reporter une entretoise massive entre la puce et le substrat (figure 6.1(f)) dans le cas où l'écartement requis serait trop important pour former un « macropoteau » [26].

Le dernier type de connexion brasée ne permet pas le refroidissement double face (figure 6.1(g)), puisqu'il ne prévoit pas d'isolant électrique en face supérieure. Il s'agit de venir reporter un feuillard de cuivre, sur lequel on a formé des bossages [26]. Une variante est l'utilisation d'un substrat flexible multicouche, ce qui permet de réaliser des interconnexions plus complexes, et éventuellement de reporter des composants (drivers, passifs, etc.) au plus près de la puce de puissance. Semikron a fait une mise en œuvre industrielle de cette solution (sans les bossages, en tirant partie de l'isolant du substrat flex pour l'isolation électrique) dans ses modules Skiin [130].

Outre les contacts « brasés », une autre famille est visible figure 6.1(h) : ici, le conducteur supérieur est déposé, que ce soit par évaporation sous vide, électro-déposition, sérigraphie, ou une combinaison de ces techniques. Cela nécessite un support (la puce doit être encapsulée dans un diélectrique, et n'exposer que ses zones de contact). Par défaut, cette technique ne permet pas le refroidissement double face. Deux mises en œuvre de cette technique sont le Siplit [154] (Siemens Planar Interconnect Technology), et l'enfouissement de puces dans du circuit imprimé [75]. Ces techniques semblent prometteuses, parce qu'elles offrent des circuits très faiblement inductifs, et parce qu'elles sont très bien adaptées à la production de masse (traitement collectif, la prise de contact de toutes les puces est réalisée en même temps, indépendamment de leur nombre). J'y reviendrai dans les perspectives de ce manuscrit (section 8.3).

Pour finir ce tour d'horizon des prises de contact, je peux mentionner le contact pressé (figure 6.1(i)), très utilisé pour les applications haute tension du fait de son mode de défaillance en court-circuit (press-packs), et récemment étu-

---

4. Je parle ici de puces « classiques », avec une protection périphérique en surface supérieure. Des puces dont les protections seraient verticales [150] pourraient permettre un contact direct entre face supérieure de la puce avec un substrat DBC plan.

dié au G2ELab [147]. Je ne m'étendrai pas ici sur la structure « micropoteaux » figure 6.1(j), qui fait l'objet d'une description détaillée dans la suite de ce chapitre. Enfin, le « nano-scratch », développé au LAPLACE [92] (figure 6.1(k)), s'inspire du « velcro » : des forêts de nano-poteaux de cuivre (poteaux de quelques centaines de nanomètres de diamètre, quelques microns de haut) sont formées sur les éléments à joindre, et forcées en contact l'une contre l'autre, pour enchevêtrer les poteaux.

Dans la suite de ce chapitre, je vais me concentrer sur des structures permettant un meilleur refroidissement (refroidissement double face). Dans la figure 6.1, cela correspond aux configurations où la puce est prise en « sandwich » entre deux substrats DBC. En particulier, je vais m'intéresser aux structures « macropoteau » (figure 6.1(e)) et « micropoteaux » (figure 6.1(j)). Ces structures ont pour avantage un nombre minimum d'éléments et d'interfaces (deux substrats, une puce, et dans certains cas deux couches d'attache de puce). Cela simplifie la conception, l'assemblage, et devrait offrir les meilleures performances thermiques, le flux de chaleur ayant un accès plus direct à l'extérieur. Leur principal inconvénient est une préparation des substrats ou des puces plus complexe.

Il faut noter que le contact pressé (figure 6.1(i)) ou le nano-scratch (figure 6.1(k)), développés respectivement au G2ELab et au LAPLACE, offrent les mêmes avantages et inconvénients. La comparaison des performances électriques et thermiques de toutes ces structures a fait l'objet d'un projet ANR (ECLIPSE). Il n'est cependant pas possible d'en tirer une conclusion nette, les maturités technologiques des différentes méthodes de contact étant très inégales.

### 6.3 Structure à « plot massif »

Comme présenté section 6.2, la structure à plot massif offrent les meilleures performances de refroidissement, en permettant d'extraire la chaleur par les deux faces de la puce.

Dans ce qui suit je présente deux mises en œuvre de cette structure. La première, réalisée lors de mon post-doc à Nottingham, consiste en un onduleur triphasé complet, intégrant la commande et le refroidissement. Dans cet onduleur, les puces sont brasées des deux côtés. La seconde mise en œuvre se limite au bras d'onduleur, mais avec un objectif de fonctionnement haute température (puces SiC, frittage d'argent, etc.). Elle a été réalisée à Ampère dans le cadre des projets EPAHT et THOR.

#### 6.3.1 Structure brasée

Une vue en coupe de cette structure est visible figure 6.2(a) : les puces (il y en a quatre par module, deux IGBT en silicium et deux diodes SiC) sont placées entre deux substrats céramiques métallisés. Des reliefs sont formés sur les faces internes des métallisations pour prendre le contact en face supérieure des puces

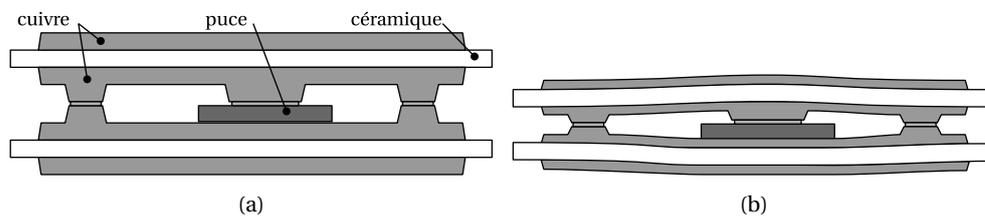


FIGURE 6.2 – Concept du module "sandwich" brasé : les éléments en cuivre ont le coefficient de dilatation le plus important de l'empilement. Après assemblage (b), c'est le cuivre qui va se contracter le plus, créant une force compressive sur la puce.

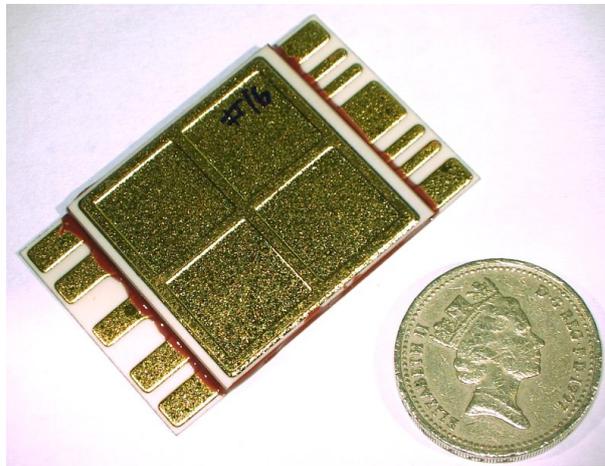


FIGURE 6.3 – Photographie du module « brasé » renfermant deux diodes schottky SiC et deux IGBT Si.

(sans empiéter sur leurs protections périphériques), mais également pour solidariser directement les deux substrats.

Cette liaison directe entre les substrats offre deux avantages : tout d'abord, elle protège les puces des contraintes mécaniques en cisaillement ou en rotation, qui sont particulièrement sévères. Le second avantage est décrit figure 6.2(b) : le cuivre des métallisations possède un coefficient de dilatation bien plus important que celui du silicium ou du carbure de silicium (17 ppm/K contre 3 ou 4 ppm/K). Après l'étape de brasure, lors du refroidissement, les bossages de cuivre vont donc se rétracter plus que les puces, ce qui va entraîner l'apparition d'une force de compression sur les puces. Cet effet, que nous n'avons pas pu quantifier, est probablement limité (la dilatation des bossages est inférieure à 4 microns, soit l'ordre de grandeur de la rugosité du cuivre des substrats). Il peut cependant être amplifié en forçant une courbure des substrats (par des motifs ou des épaisseurs de cuivre différentes sur les deux faces).

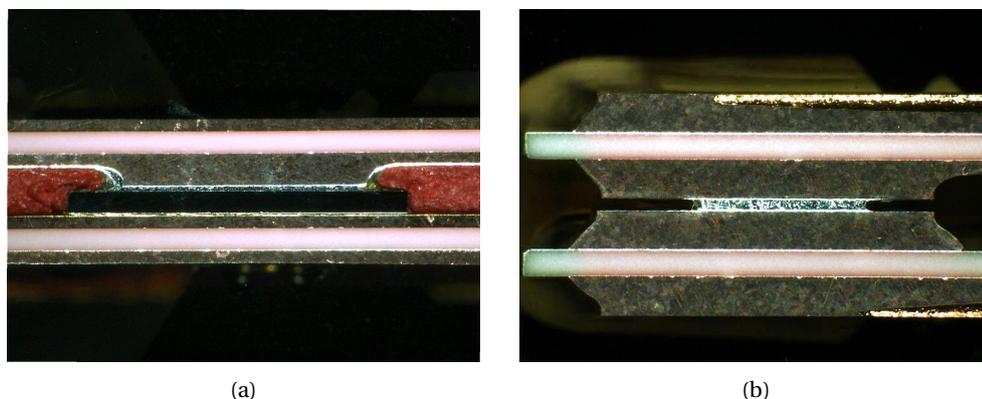


FIGURE 6.4 – Coupe du module de la figure 6.3 montrant (a) une diode et la prise de contact brasée en face supérieure et (b) l'interconnexion entre les deux substrats en bordure du module. La puce mesure 5 mm de côté.

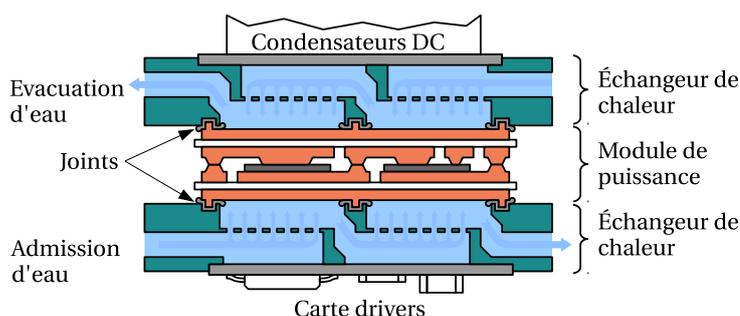


FIGURE 6.5 – Schéma du refroidissement double face : l'eau est projetée contre les faces externes du module de puissance à travers de petits trous qui créent une circulation turbulente.

Une photographie du module « sandwich » brasé est visible figure 6.3. Des coupes métallographiques sont données figure 6.4. On peut y voir les bossages, formés par gravure d'une métallisation de  $600\ \mu\text{m}$  (les substrats ont été réalisés par la société Curamik). La couche rouge (figure 6.4(a)) est une encapsulation par du gel silicone.

Le développement de cet onduleur a été financé par la société Denso, un équipementier automobile japonais. Le cahier des charges de l'onduleur est ainsi basé sur l'environnement d'un véhicule hybride ; en particulier, il doit fonctionner en utilisant le circuit de refroidissement d'un moteur thermique (de l'eau, à une température maximale de  $120\ ^\circ\text{C}$ , avec une faible chute de pression). À l'époque (le projet a débuté en 2005), les transistors en carbure de silicium n'étaient pas disponibles, nous avons donc fait appel à des transistors IGBT en silicium, avec une température de jonction maximale de  $175\ ^\circ\text{C}$ .

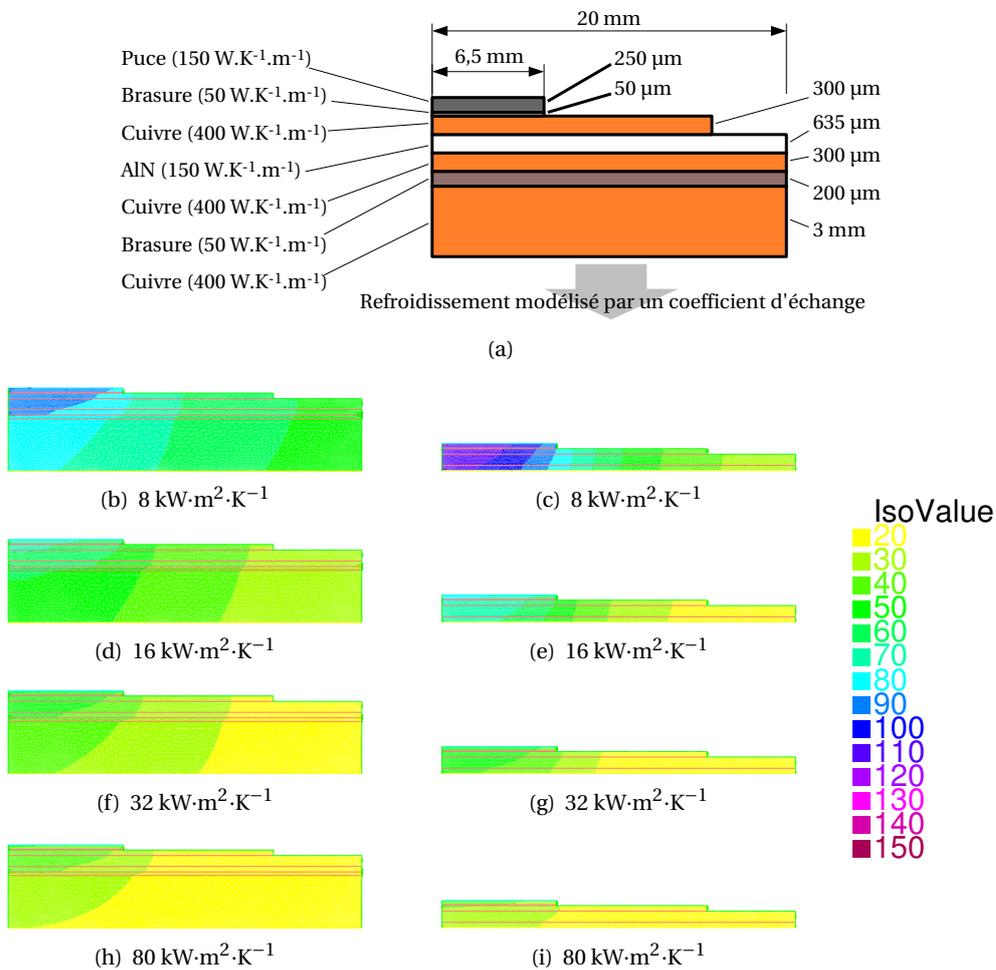


FIGURE 6.6 – Simulation par éléments finis d'une structure de module de puissance. Les détails de cette simulation sont donnés dans [17].

Étant donné la faible différence entre température ambiante ( $120 \text{ }^\circ\text{C}$ ) et température de jonction ( $175 \text{ }^\circ\text{C}$ ), le refroidissement doit être particulièrement efficace. La solution retenue est décrite figure 6.5 : le fluide caloporteur est projeté directement sur les faces externes du module, de chaque côté, sans passer par une semelle. La projection, un jet faible pression (en anglais *jet impingement*), permet d'obtenir un écoulement turbulent, qui assure une bonne évacuation de la chaleur (un écoulement laminaire ne permettrait pas de renouveler le fluide en contact avec le module et aurait des performances moindres). À l'opposé, un système de spray (jets haute pression) serait probablement plus performant, mais nécessiterait une bien plus grande chute de pression (plusieurs bars).

Des simulations par éléments finis, présentées figure 6.6, permettent de montrer la relation entre l'efficacité du mécanisme de convection et l'effet positif ou

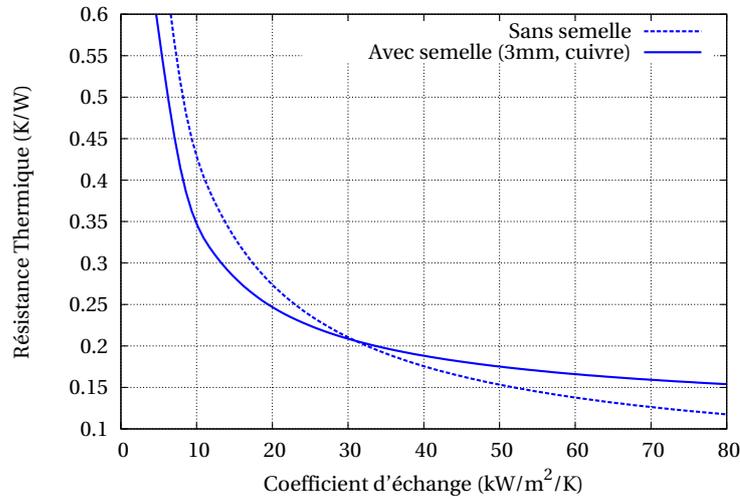


FIGURE 6.7 – Évolution de la résistance thermique des deux structures simulées figure 6.6 en fonction du coefficient d'échange en face inférieure du module. Au-delà de  $32 \text{ W}\cdot\text{m}^2\cdot\text{K}^{-1}$ , la semelle n'a plus d'effet bénéfique, le refroidissement étant suffisamment efficace pour ne plus nécessiter d'étalement de la chaleur.

négatif d'une semelle. Deux structures ont été simulées, l'une avec semelle (figure 6.6(a)), l'autre sans (même figure, mais sans les deux couches inférieures). Lorsque l'on refroidit ces structures avec un système relativement peu efficace ( $8 \text{ kW}/\text{m}^2\cdot\text{K}$ , correspondant à un refroidissement par eau avec un écoulement laminaire) [121], la chaleur dissipée par la puce se répartit sur toute la semelle (figure 6.6(b)). En l'absence de semelle (figure 6.6(c)), l'étalement de la chaleur est moins efficace, et la température de puce est plus élevée (de l'ordre de  $20 \text{ }^\circ\text{C}$ ). À l'opposé, avec un refroidissement très efficace ( $80 \text{ kW}/\text{m}^2\cdot\text{K}$ , correspondant aux meilleurs systèmes de refroidissement), l'étalement de chaleur n'est plus nécessaire, et une grande partie de la structure reste à  $20 \text{ }^\circ\text{C}$  (figures 6.6(h) et 6.6(i)). Dans ce cas, la semelle n'apporte pas d'avantage, et ne constitue qu'un obstacle de plus entre la puce et le fluide de refroidissement. Cette évolution est visible figure 6.7 : au delà de  $30 \text{ kW}/\text{m}^2\cdot\text{K}$ , il devient plus efficace ne pas utiliser de semelle. C'est la solution retenue ici, puisque l'on vise un coefficient d'échange de l'ordre de  $40 \text{ kW}/\text{m}^2\cdot\text{K}$ .

Pour tirer parti au mieux du circuit de refroidissement, les autres éléments de l'onduleur (*drivers* et condensateurs de filtrage) sont montés sur des cartes de circuit métallique isolant, elles-mêmes en contact direct avec le fluide (cette fois sans forcer un écoulement particulièrement turbulent, vu le faible niveau de pertes – quelques watts – à évacuer).

Une vue éclatée du convertisseur est visible figure 6.8, et la réalisation correspondante figure 6.9. Cet onduleur est dimensionné pour une tension bus de

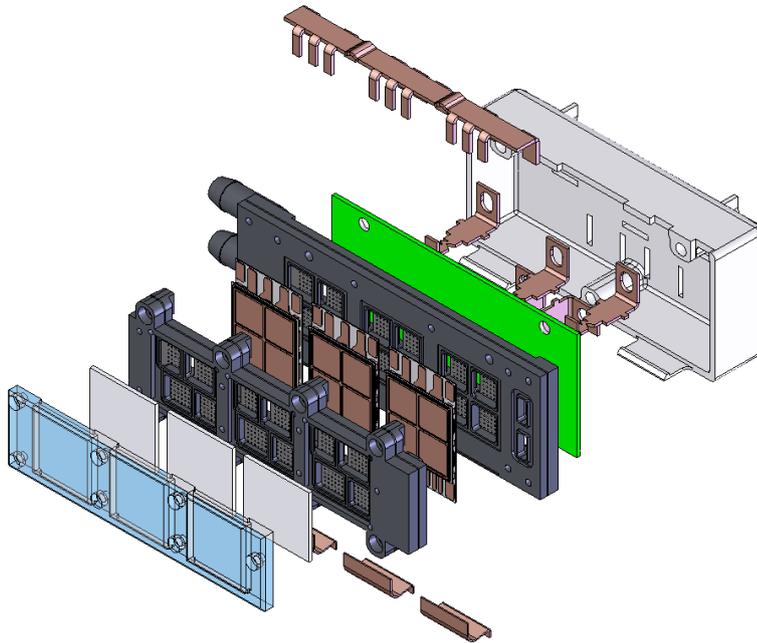


FIGURE 6.8 – Vue éclatée de l'onduleur triphasé complet, avec les trois modules « sandwich » brasés, le refroidissement direct double face (éléments gris foncé), la carte des condensateurs du bus continu (en vert, condensateurs non représentés), le busbar (en haut) connectant les modules à la carte des condensateurs, et les trois cartes *driver* (en blanc).

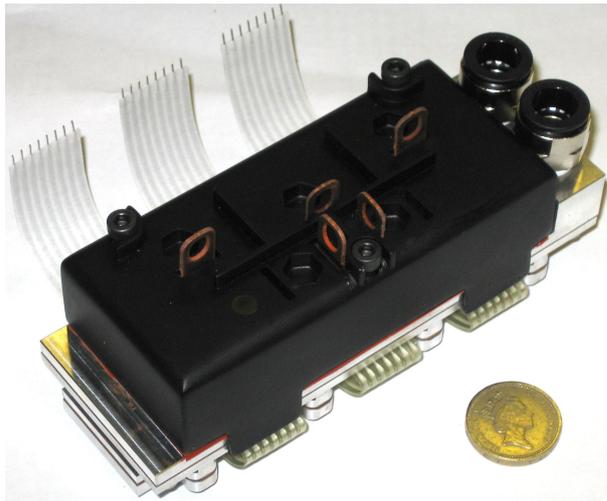


FIGURE 6.9 – Photographie de l'onduleur triphasé complet, avec les connexions électriques et les raccords d'entrée et de sortie du circuit de refroidissement.

TABLE 6.1 – Valeurs d'inductances mesurées sur l'onduleur à de la figure 6.9, entre les condensateurs d'entrée et les terminaux des modules sandwich.

	Module 1	Module 2	Module 3
Terminal négatif ( $L_2$ )	10,1 nH	12,4 nH	10,1 nH
Terminal positif ( $L_1$ )	7,3 nH	9,7 nH	7,2 nH

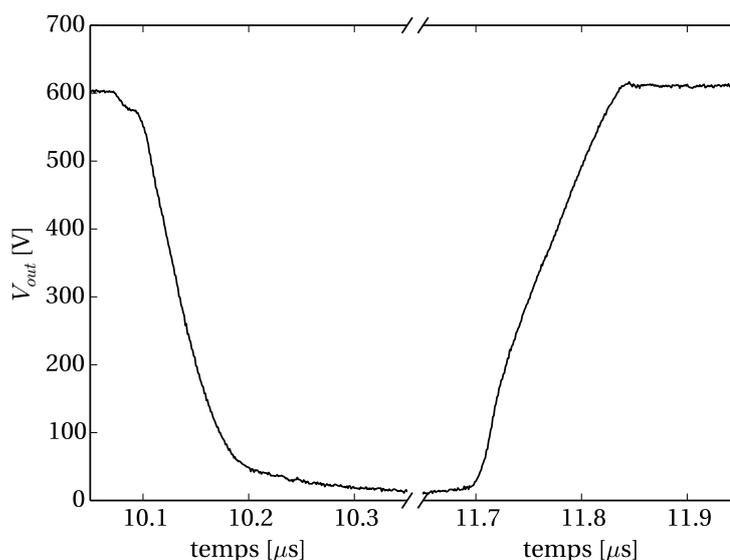


FIGURE 6.10 – Tension de phase mesurée sur les terminaux du module "sandwich" brasé, montrant une absence de surtension ou d'oscillations [16].

600 V, un courant de phase de 14 A et une puissance totale de 10 kW [15]. Il mesure 130 mm de long.

Comme décrit section 6.1.2, l'un des avantages des structures « 3D » est la réduction des inductances parasites. Le convertisseur décrit ici a été conçu (entre autres) dans cette optique. En particulier, l'interconnexion entre les condensateurs d'entrée et les modules de puissance est basée sur un busbar laminé, une structure particulièrement peu inductive [27]. La table 6.1 liste les valeurs d'inductance mesurées entre les condensateurs et les terminaux des modules de puissance (les inductances internes du module ne sont pas mesurables, faute d'accès physique). En conséquence de ces valeurs, les formes d'ondes en commutation sont très propres (voir par exemple figure 6.10). Ces mesures électriques sont détaillées dans [16].

Les performances du système de refroidissement direct sont présentées en détails dans [17]. La table 6.2 résume les résistances thermiques mesurées pour différents débits de fluide de refroidissement, suivant si l'on utilise une ou deux faces

TABLE 6.2 – Résistance thermique jonction-ambient (K/W)

	refroidissement double-face	refroidissement simple-face
1 l/min	0,45	0,66
2 l/min	0,39	0,6
3 l/min	0,36	0,58

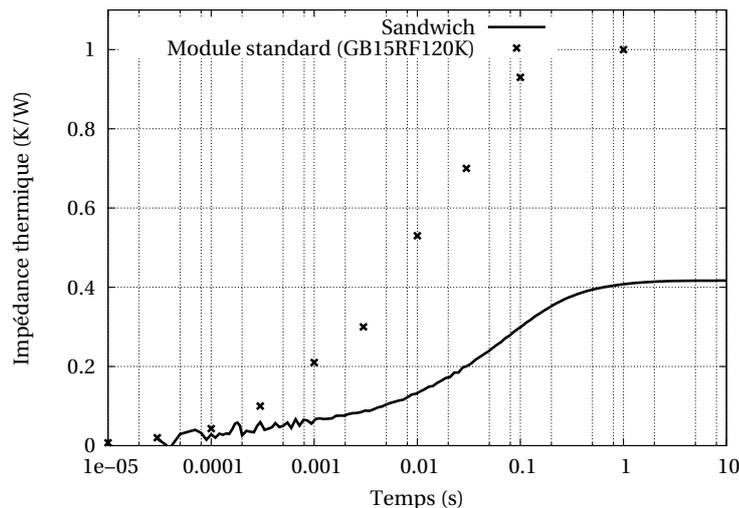


FIGURE 6.11 – Comparaison entre l'impédance thermique (jonction-ambient) du module sandwich et celle donnée (jonction-boîtier) dans la datasheet des puces, montées dans un module "standard" (refroidissement simple face).

du module pour le refroidissement. L'efficacité du refroidissement s'accroît naturellement avec le débit, et lorsque l'on utilise les deux faces du module au lieu d'une. Dans ce dernier cas, l'amélioration est de l'ordre de 30 à 35 %, et non pas 50 % comme on pourrait s'y attendre, en raison de la dissymétrie des puces : leur contact arrière a une surface de  $5 \times 5 \text{ mm}^2$  contre  $3 \times 3 \text{ mm}^2$  pour la face avant. Dans tous les cas, cette résistance « jonction-ambient » est nettement inférieure à la résistance thermique « jonction-boîtier » d'1 K/W indiquée par le fabricant pour les mêmes puces placées dans un boîtier standard (avec semelle et destiné à un montage sur radiateur).

Concernant les aspects dynamiques, les impédances thermiques comparées d'un module refroidi double-face avec un débit de 2 l/min et de la même puce en boîtier standard sont visibles figure 6.11. Il apparaît que le régime établi est atteint en 1 s environ. Comparé à une solution standard à laquelle il faut rajouter un radiateur massif, il s'agit d'une valeur faible, ce qui signifie que ce module ne pourra supporter que des surcharges limitées, et qu'il faudra veiller à ne jamais interrompre la circulation du fluide caloporteur.

En conclusion, ce module a permis de démontrer l'intérêt d'une structure

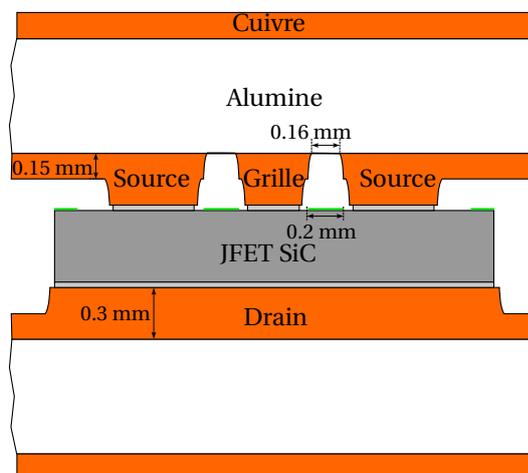


FIGURE 6.12 – Les puces utilisées ont une grille de faibles dimensions, placée en leur centre. Cela nécessite une gravure précise et avec des flancs nets. Cette figure, réalisée à l'échelle, montre les dimensions visées.

« sandwich » avec refroidissement direct sur les performances électriques et thermiques. Je n'ai pas décrit les étapes de réalisation du module, faute de place. Elles sont assez semblables à celles du module décrit dans la section suivante, pour lequel j'ai au contraire mis l'accent sur la technologie de fabrication.

### 6.3.2 Structure frittée

Cette structure a été conçue dans le cadre du projet EPAHT, en collaboration avec le laboratoire LA PLACE, et finalement réalisée dans le cadre du projet THOR. L'objectif était ici de produire un module de puissance pouvant fonctionner à une température ambiante supérieure à 200 °C pour des applications sur bus haute tension aéronautique (540 V DC). Le circuit réalisé est un demi-pont, utilisant deux transistors JFETs (et leurs diodes internes). Le choix de ces transistors et leur caractérisation en température sont exposés dans le chapitre 7, section 7.1, page 99). L'assemblage est effectué par frittage d'argent plutôt que par brasure, en raison d'un point de fusion plus élevé (voir section 7.2 page 118). La structure « sandwich » a été sélectionnée ici pour éviter de recourir à des fils de câblage (que nous n'avons pas étudiés sur ces projets), et pour permettre un refroidissement plus efficace, puisque nous avons identifié une sensibilité des transistors JFETs à l'emballage thermique (voir section 7.1.3, page 108).

Une première difficulté de cette réalisation est illustrée figure 6.12 : Les seules puces JFET SiC disponibles au moment de l'étude (transistors JFET 1200 V fabriqués par SiCED) mesurent 2,4×2,4 mm<sup>2</sup> ou 4×4 mm<sup>2</sup> et ont un contact de grille central de petites dimensions. L'espace entre grille et source est faible (200 μm) comparé à l'épaisseur des métallisations des substrats utilisés (300 μm). Il faut

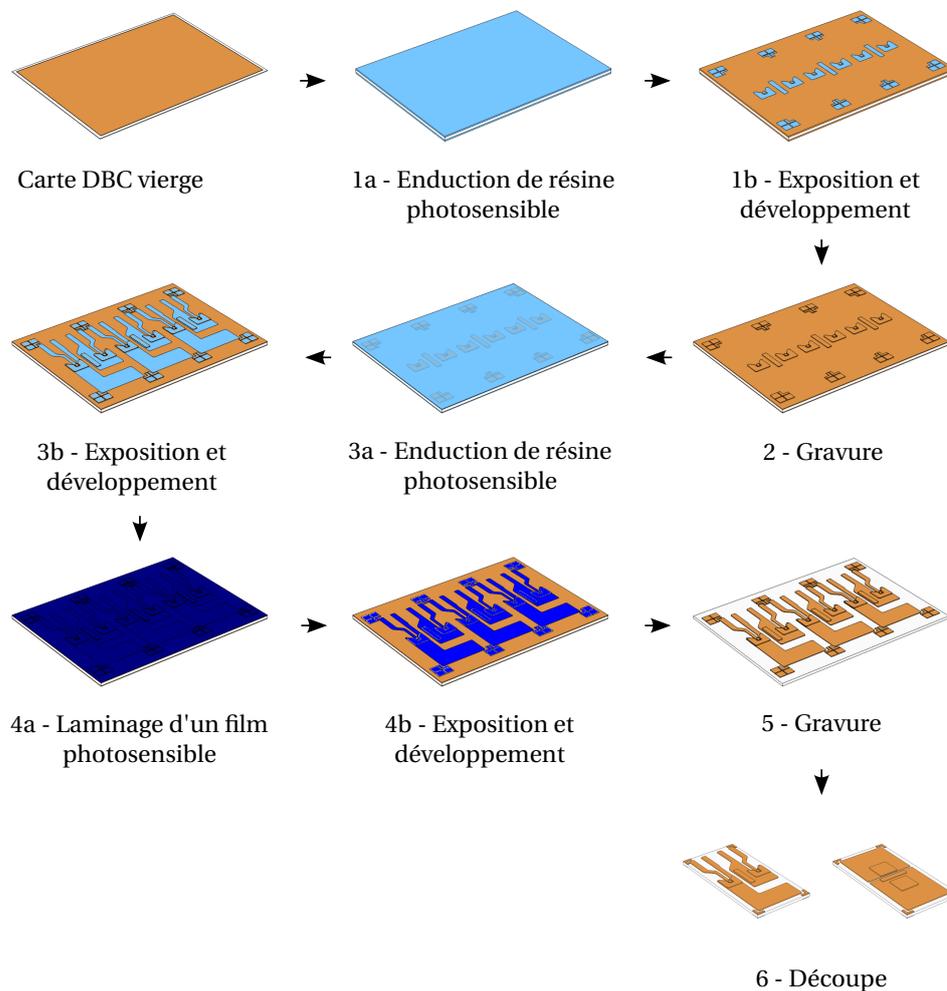


FIGURE 6.13 – Les étapes de réalisation d'un substrat DBC « double gravure » permettant d'obtenir la résolution recherchée.

donc effectuer des gravures avec un facteur de forme élevé, qui sont largement en-dehors des règles de fabrications industrielles : de l'ordre de  $500\ \mu\text{m}$  entre pistes chez Curamik, pour une seule gravure [51], 1,2 mm entre pistes pour une double gravure chez Kyocera [81]. Nous avons donc dû développer notre procédé de gravure pour atteindre les résolutions requises et obtenir la métallisation à deux niveaux nécessaire à la prise de contact en face supérieure des puces. Ces travaux ont été menés dans le cadre de la thèse de Raphaël RIVA et sont décrits en détails dans son mémoire [123]. La fabrication du module a fait l'objet d'une publication en conférence [124].

Comme visible figure 6.13, les deux niveaux de la métallisation de cuivre sont obtenus par deux gravures successives. La première étape de gravure, d'une pro-

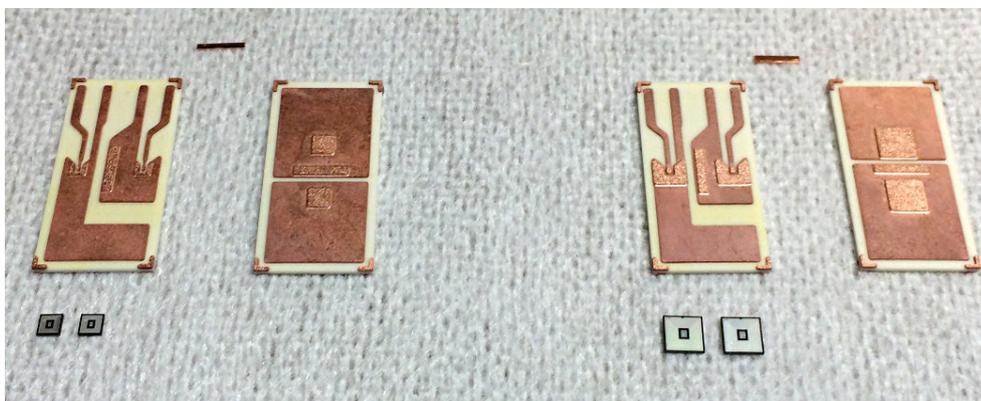


FIGURE 6.14 – Les éléments du module "fritté" : substrats, puces, entretoise. Deux versions ont été réalisées, pour deux tailles de puce ( $4 \times 4 \text{ mm}^2$  et  $2,4 \times 2,4 \text{ mm}^2$ ).

fondeur de  $150 \mu\text{m}$  sert à former les parties saillantes correspondant aux terminaux des puces. Durant la seconde étape, on grave la métallisation jusqu'à la céramique, de façon à séparer les différentes pistes du circuit. La préparation de cette seconde étape est plus complexe : les reliefs laissés par la première gravure doivent être protégés tout en conservant une bonne résolution de gravure. La solution mise en place nécessite l'application successive de deux masques : l'un en résine, appliquée par trempage, qui offre une bonne résolution et la protection des flancs ; l'autre, un film sec plus épais, protège les crêtes des reliefs sur lesquelles la résine ne se répartit pas uniformément.

Le résultat de ces opérations de gravure est visible figure 6.14. Chacun des substrats mesure  $12,7 \times 25,4 \text{ mm}^2$ .

La seconde difficulté de réalisation, toujours liée à la faible taille des puces SiC, est l'assemblage de la structure : dans un module « classique », seul le câblage doit être fait avec précision, mais il peut s'accommoder de puces grossièrement positionnées (de l'ordre du millimètre). Ici, les puces doivent être placées avec une précision meilleure que  $200 \mu\text{m}$  (la séparation entre les contacts de grille et de source), et nous ne possédons pas de repère visuel pour cela.

La solution retenue ici est identique à celle utilisée pour le module « brasé » (section précédente), et est décrite figure 6.15 : des guides d'alignement sont découpés au laser dans de la céramique. Une première phase d'assemblage (étapes 1 à 4 sur la figure 6.15) permet de positionner les puces par rapport au premier substrat. Une seconde phase (étapes 5 à 8) permet de positionner le second substrat par rapport au premier.

Dans le cas d'une solution brasée, cet assemblage en deux étapes (puces sur premier substrat, puis second substrat sur puces et premier substrat) nécessite de faire appel à deux alliages de brasures différents : il ne faut en effet pas dépasser le point de fusion de la première brasure lors de la réalisation de la seconde (les puces ne seraient alors plus maintenues, et leur alignement serait perdu). Pour le

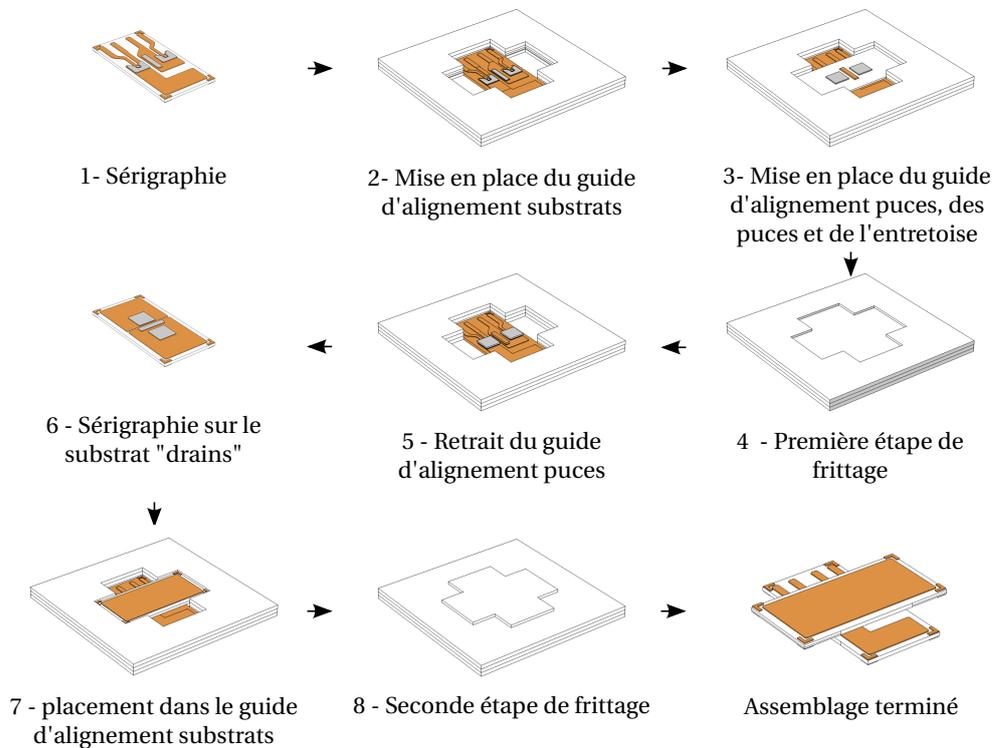


FIGURE 6.15 – L'assemblage se fait en deux étapes, avec des guides (céramique découpée) permettant l'alignement des différents éléments.

module brasé, on a ainsi utilisé un alliage Au-Sn (point de fusion 281 °C) pour la première brasure, et un alliage « SAC » (point de fusion 212 °C) pour la seconde.

Cet étagement des températures de fusion n'est pas nécessaire lorsqu'on utilise le frittage d'argent, comme c'est le cas ici : le procédé de frittage se fait à température modérée (200 à 300 °C), et forme un joint d'argent pur dont le point de fusion est de 961 °C. Plusieurs étapes de frittage peuvent donc se succéder sans risquer d'endommager la ou les précédentes. Par contre, le frittage se fait entièrement en phase solide. Il n'y a donc pas de phénomènes de déplacement de matière ou de mouillage comme avec une brasure. Ces phénomènes permettent de rattraper les petites erreurs (alignement, espacement) qui apparaissent dans un assemblage à plusieurs puces. Nous avons donc porté une attention particulière au dépôt de la pâte d'argent et à son séchage pour obtenir une consistance adaptée avant frittage : trop fluide, et la pâte s'étale et crée des courts-circuits entre les contacts de la puce (voir figure 6.16(a)). Trop sèche, et la pâte n'aura plus la souplesse suffisante pour accommoder de petites différences de hauteurs entre les différents éléments du module. Un séchage de 85 °C pendant 5 min semble être, pour la pâte utilisée (Heræus LTS117-O2P2), une valeur satisfaisante (figure 6.16(b)).

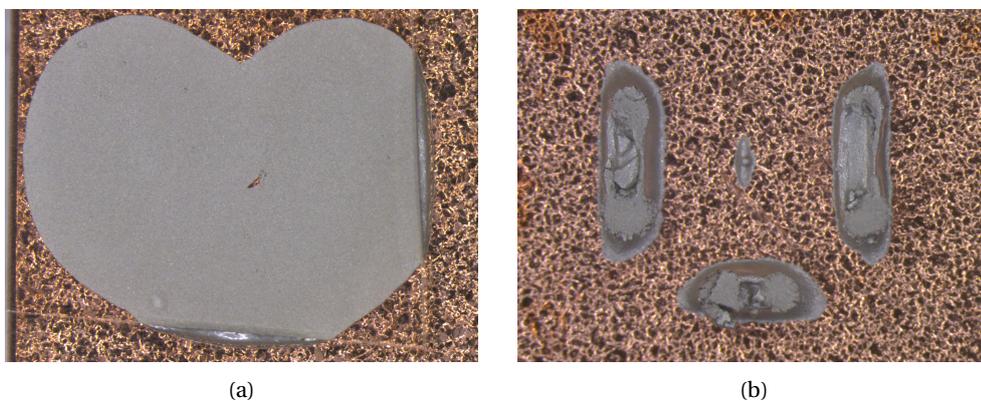


FIGURE 6.16 – Évaluation de l'étalement de la pâte d'argent lorsqu'on applique la puce directement après dépôt ((a)) et après un séchage de 5 minutes à 85 °C ((b)). Ces photos sont obtenues en utilisant une lame de verre au lieu de la puce, et sont prises avant l'étape de frittage.

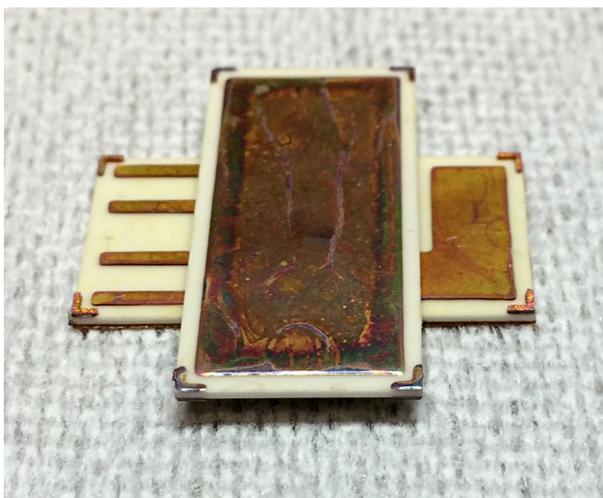


FIGURE 6.17 – Photographie du module "fritté" terminé. Chacun des deux substrats céramique métallisés mesure 25,4×12,7 mm<sup>2</sup>.

Le module assemblé et une microsection sont visibles figures 6.17 et 6.18. Des tests électriques préliminaires (faible tension/faible courant) montrent qu'il est fonctionnel, que tous les contacts nécessaires ont été formés et qu'aucun court-circuit n'est apparu.

Dernière étape de réalisation du module, son encapsulation. Dans le cadre du Projet EPAHT, un matériau d'encapsulation supportant des températures de fonctionnement élevé (300 °C et plus) a été identifié [38, 90] : le parylène HT. C'est donc ce matériau que nous avons utilisé pour le module « sandwich » décrit ici.

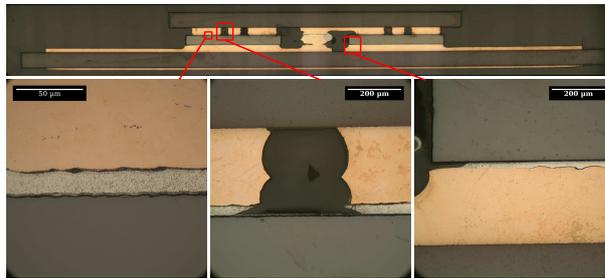


FIGURE 6.18 – Microsection d'un module assemblé (mais non encapsulé, montrant le facteur de forme élevé des gravures (notamment autour du contact de grille, image en bas au centre). Des fissures semblent visibles le long des interfaces frittées (zones gris clair sur les images du bas), mais cela peut en partie être dû à des artefacts de préparation d'échantillon.

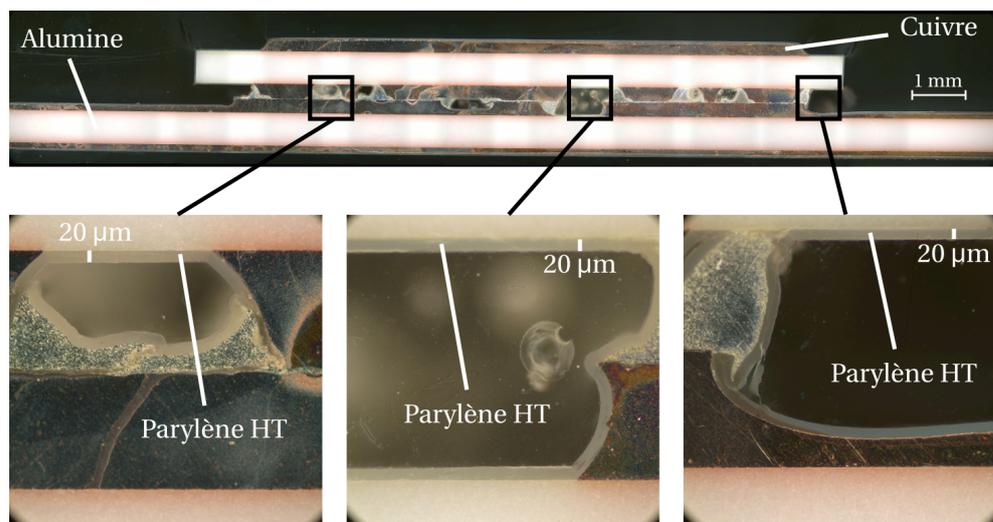


FIGURE 6.19 – Coupe d'un module (sans puces) enduit de  $20\ \mu\text{m}$  de parylène HT. On observe que ce matériau forme une couche homogène, y compris dans les zones internes.

Le parylène se dépose en phase vapeur et forme une couche mince (quelques centaines de nanomètres à quelques dizaines de microns d'épaisseur), très régulière et capable de pénétrer dans des plus petites anfractuosités. Pour vérifier la régularité du dépôt sur une structure « sandwich », nous avons assemblé et fait encapsuler un module sans puces. La coupe métallographique de ce module est visible figure 6.19, et montre qu'en tout point du module, l'épaisseur de parylène HT est bien conforme aux spécifications du dépôt ( $20\ \mu\text{m}$ ).

### 6.3.2.1 Conclusions

Ce module visait à démontrer la faisabilité d'un contact double face sur des puces de petites dimensions reposant sur le frittage d'argent. Dans la section précédente, le module a été assemblé par brasure, ce qui permet de compenser de petites erreurs d'alignement (grâce aux effets de mouillage durant la brasure). J'ai pu montrer ici qu'il était néanmoins possible d'assembler un module « sandwich » par frittage d'argent, malgré l'absence de cette phase liquide. D'autre part, il est possible de graver les substrats DBC avec une résolution suffisante pour les puces SiC, habituellement plus petites que les puces silicium. La méthode proposée, bien qu'améliorable (elle fait appel à 3 étapes de photolithographie, là où 2 seraient en théorie nécessaires), est tout à fait adaptable à une production de masse.

Tous les éléments de ce module supportent des températures élevées (plus de 300 °C), mais des tests plus poussés sont nécessaires pour vérifier la fiabilité de l'assemblage. Un point faible de ce module est l'absence de contact direct entre les deux substrats DBC (au contraire du module présenté section 6.3.1, par exemple figure 6.2, page 71). De ce fait, toute contrainte mécanique exercée sur les DBC est transmise aux puces, avec des effets de concentration de contraintes du fait de leur petite taille. J'ai pu observer en effet que plusieurs assemblages ont cassé pendant leur manipulation, sans pourtant être soumis à des efforts déraisonnables. Une meilleure conception (contacts directs entre substrats DBC) devrait permettre de protéger les puces de ces contraintes mécaniques.

## 6.4 Structure à « micropoteaux »

Les travaux décrits ci-dessous ont été réalisés dans le cadre de la thèse de Bassem MOUAWAD [111], financée par le projet ANR ECLIPSE. Ils prolongent les travaux de Ludovic MÉNAGER [104], antécédents à mon arrivée au laboratoire et encadrés par Vincent BLEY, Bruno ALLARD et Maher SOUEIDAN. Les deux thèses ont été effectuées en collaboration avec le laboratoire LAPLACE, à Toulouse.

Les travaux de Ludovic avaient permis de mettre en place les étapes technologiques de réalisation du module. Ceux de Bassem ont visé à étudier l'assemblage du module par collage direct cuivre-cuivre, à améliorer les méthodes de fabrication, et à caractériser les performances des modules. Le collage direct cuivre-cuivre constitue une innovation forte de ce travail, puisqu'il n'a (à ma connaissance) jamais été appliqué en électronique de puissance et parce que, comme nous allons le voir, les résultats obtenus dépassent largement ceux rapportés dans la littérature pour un collage cuivre-cuivre basse température.

Une vue en coupe de la structure à micropoteaux est visible figure 6.20. Des micropoteaux de cuivre sont créés à la surface des puces par électrodéposition. Ces micropoteaux sont ensuite connectés au substrat supérieur par une technique similaire à la thermocompression. Il en résulte une structure « sandwich » comparable à celle de la figure 6.2(a), avec une multitude de petits contacts au lieu d'un

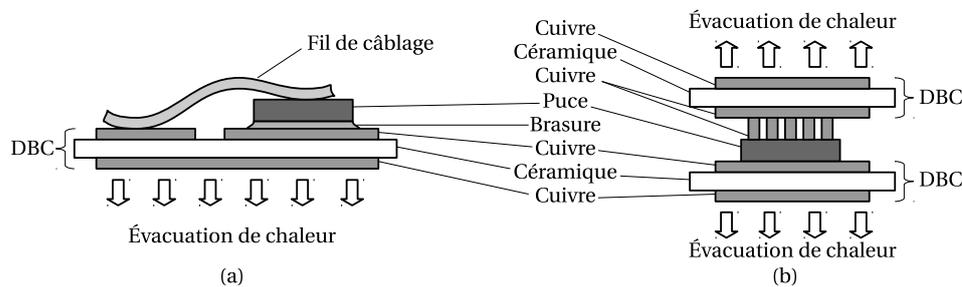


FIGURE 6.20 – Représentation de la structure à « micropoteaux »

plot massif. L'idée sous-jacente est de former des motifs plus souples, susceptibles de supporter et d'absorber les différences de dilatation au sein du module.

Les informations présentées ici sont détaillées dans le manuscrit de thèse de Bassem. La section 6.4.1 décrit la réalisation et la caractérisation du collage direct cuivre/cuivre sur des éprouvettes massives. La section 6.4.2 présente la fabrication de structures « sandwich » à micropoteaux et la section 6.4.3 leur assemblage par collage direct. Enfin, les caractérisations électrique et thermique (objet du projet ECLIPSE) sont décrites en section 6.4.4.

#### 6.4.1 Étude du collage direct cuivre-cuivre

Le collage direct cuivre-cuivre, c'est à dire la solidarisation de deux pièces en cuivre par la simple application de chaleur et de pression (sans matériau d'apport et sans fusion des pièces à joindre) a été rapporté par plusieurs auteurs [45, 29, 87]. Cependant, les méthodes proposées nécessitent soit une pression ou une température élevées (400 °C dans [29]), soit le recours à des conditions de propreté extrême (ultra-vide et absence de contamination des surfaces pour le « *Surface Activated Bonding* », ou SAB [143, 144], effectué à température ambiante).

Dans [44], des assemblages sont effectués pour des températures de 400 à 1000 °C (appliquée pendant une heure). Les tenues en traction à rupture mesurées vont de 65 MPa à 400 °C à 190 MPa à 800 °C. Une technique alternative, présentée dans [63] repose non pas sur une thermo-compression, mais sur un dépôt chimique (*electroless*) de cuivre pour combler l'espace entre deux pièces à joindre. La tenue à la traction est alors très bonne (>148 MPa).

La technique présentée ici repose sur le même mode opératoire que la thermo-compression (application simultanée de chaleur et de pression sur les pièces à joindre), mais fait appel à un équipement dit de « frittage flash » (*Spark Plasma Sintering*, ou SPS), où la chaleur est générée par la circulation d'un courant élevé (plusieurs kiloampères) dans la matrice en graphite contenant les échantillons (voir figure 6.21(a)). Les résultats obtenus sont bien meilleurs que ceux présentés dans la littérature, avec des tenues à rupture en traction de plus de 200 MPa pour des assemblages réalisés à 200 °C.

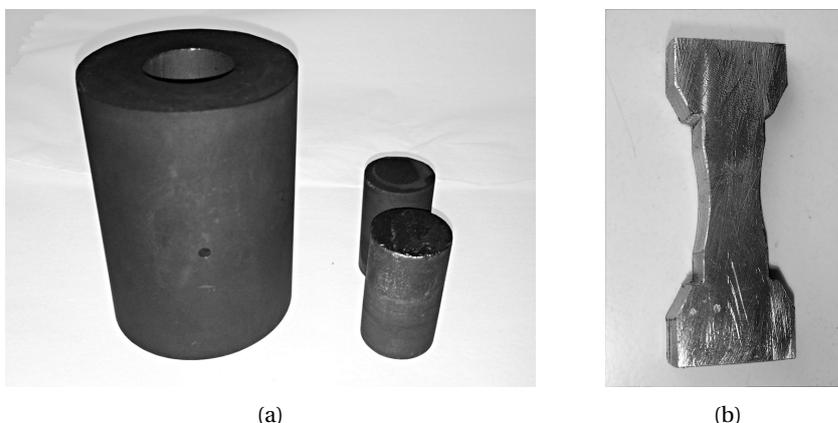


FIGURE 6.21 – Matrice de graphite et cylindres de cuivre (diamètre 20 mm) avant assemblage (a) et éprouvette de traction (cylindres assemblés et usinés) (b).

TABLE 6.3 – Résumé des résultats expérimentaux. Par comparaison, la tenue à la traction d'une éprouvette de cuivre brut (sans assemblage) a été mesurée à 365 MPa

n°	t (min)	T (°C)	P (MPa)	contrainte à rupture $\gamma$ (MPa)
1	5	300	77	181
2	20	300	77	239
3	20	300	16	170
4	5	300	16	132
5	5	200	77	106
6	20	200	77	270
7	20	200	16	261
8	5	200	16	pas de collage (0)
9	20	250	16	150
10	20	250	16	141
11	20	250	16	180
12	20	250	16	169
13	20	250	16	183

Pour des raisons pratiques, les essais ont été effectués non pas sur des structures à micro-poteaux, mais sur des barreaux de cuivre de 20 mm de diamètre (figure 6.21(a)). Après assemblage, ces barreaux sont usinés selon la forme visible figure 6.21(b) pour garantir que la rupture se fait au niveau du joint, et que d'éventuelles imperfections en périphérie ne viennent pas dégrader la mesure.

Trois paramètres ont été étudiés : la température d'assemblage ( $T$ ), la pression ( $P$ ) et la durée du procédé ( $t$ ). Cette étude est détaillée dans [110]. Le résumé des essais est donné table 6.3. On peut voir que dans la majorité des cas, un collage de bonne qualité ( $>100$  MPa) a été réalisé, malgré des paramètres relativement

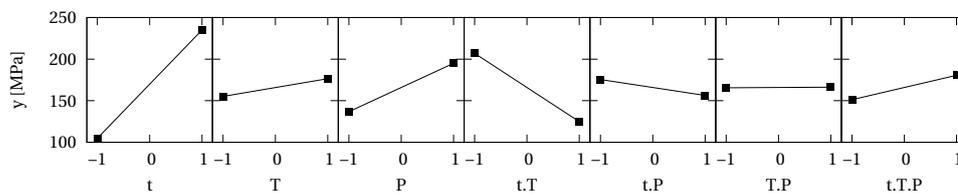


FIGURE 6.22 – Effet des paramètres de température (T), durée du plateau (t), pression d'assemblage (P) et de leurs interactions sur la contrainte à rupture en traction des assemblages. Les valeurs « -1 » et « 1 » correspondent respectivement à 5 et 20 min pour le temps t, 200 et 300 °C pour la température T, 16 et 77 MPa pour la pression P.

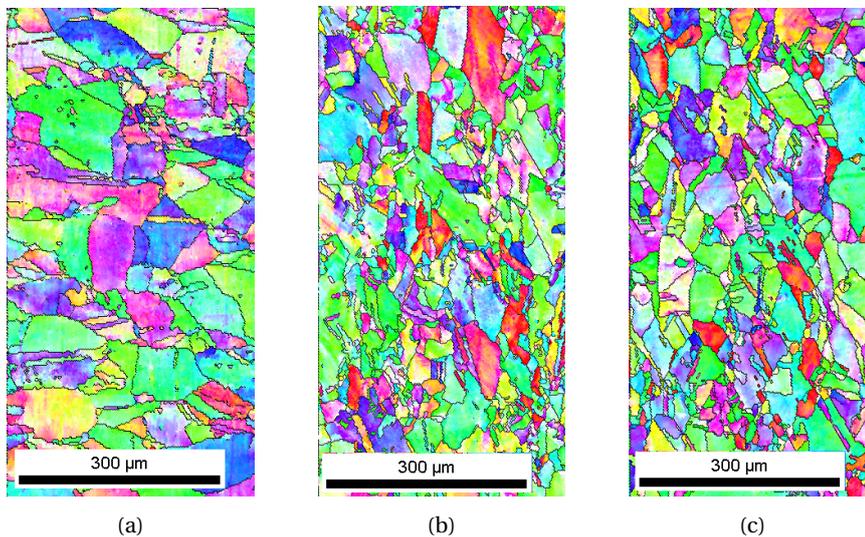


FIGURE 6.23 – Analyse EBSD de barreaux de cuivre assemblés sous une pression de 16 MPa, une durée de 20 minutes, et une température de 200 °C (a), 250 °C (b) et 300 °C (c) montrant la diminution de la granulométrie au-delà de 200 °C : les granulométries moyennes sont en effet respectivement de 101, 46 et 50  $\mu\text{m}$ .

bénins (comparables à ce que subit une puce lors d'une brasure ou d'un frittage). L'effet des paramètres est présenté figure 6.22. Les essais 9 à 13 de la table 6.3, effectués avec les mêmes paramètres, montrent que la précision de la mesure n'est que de l'ordre de 20 % (classique avec des essais de traction). Dans ces conditions, seuls les paramètres  $t$ ,  $P$  et  $t.T$  (action conjuguée du temps et de la température) apparaissent significatifs dans la figure 6.22.

Si  $t$  et  $P$  ont bien l'effet attendu (leur augmentation entraîne une amélioration du collage), le paramètre  $t.T$  est plus surprenant : une éprouvette assemblée plus longtemps à plus haute température a une tenue moindre qu'une éprouvette as-

semblée à basse température pour un temps court. Cela pourrait être un artefact causé par le faible nombre d'essais, mais une autre hypothèse est que l'augmentation de température et de temps pourrait entraîner une recristallisation du cuivre lui-même, réduisant ses propriétés mécaniques. Cette dernière hypothèse semble confirmée par trois mesures EBSD (*Electron BackScattering Diffraction*) visibles figure 6.23 : on observe une large différence de granulométrie du cuivre suivant la température d'assemblage. Là encore, ces essais devraient être reproduits garantir l'absence de biais expérimental.

En tout état de cause, les tenues en traction observées sont très élevées. Nous avons cherché à comprendre le mécanisme de collage, sans obtenir d'explication satisfaisante. Des éprouvettes ont été entourées de matériaux isolants avant assemblage (pour s'assurer que le courant électrique du SPS ne passait pas par le cuivre), mais cela n'a pas entraîné de modification notable de la tenue à rupture. Une analyse [111] semble montrer une profondeur de diffusion du cuivre lors de l'assemblage plus importante qu'attendu selon la littérature (2 à 3  $\mu\text{m}$  contre quelques nm prévus), sans que l'on puisse l'expliquer.

Malgré la participation active de Damien FABRÈGUE (chercheur à MATEIS et spécialiste du SPS) ainsi que celle de Maher SOUEIDAN (chercheur à Ampère avec un profil plus « matériaux » que le mien) à ces travaux, nous n'avons pas réussi à comprendre complètement les très bons résultats du collage direct cuivre-cuivre, que nous avons néanmoins exploité pour la réalisation des modules décrite ci-après.

#### 6.4.2 Procédé de fabrication des micropoteaux

Le procédé de croissance des micropoteaux sur des puces semi-conductrices (dans notre cas des diodes) est décrit figure 6.24. Dans son principe, il est identique à celui mis au point par Ludovic MÉNAGER dans sa thèse [104]. La nouveauté est le passage à la production en « série », avec le traitement de plusieurs puces à la fois (ici 21), ce qui a permis de multiplier les essais. On s'approche d'un véritable procédé industriel, où les étapes sont réalisées sur un wafer plutôt que puce par puce.

La figure 6.25 montre un morceau de wafer (morceau que j'appellerai wafer dans le reste du document) avant traitement, et avant électrodéposition. Le procédé de la figure 6.24 débute avec un wafer commercial (diodes 60 A, 600 V, de  $6 \times 6 \text{ mm}^2$  fournies par Microsemi sous forme de wafer non découpé). Ces diodes ayant une finition d'aluminium en face supérieure (finition adaptée au câblage), il faut déposer des couches d'amorce (phase b) : 25 nm de Ti pour l'adhésion et 300 nm de Cu. Cette couche assure également l'interconnexion de toutes les diodes, nécessaire à l'étape d'électrodéposition. Le wafer est ensuite placé dans un support adapté, destiné à le maintenir, à protéger sa face inférieure, et à créer une connexion électrique sur sa face supérieure. Un film photosensible (Dupont Riston PM275, 75  $\mu\text{m}$  d'épaisseur) est laminé sur l'ensemble (phase c). Ce film est

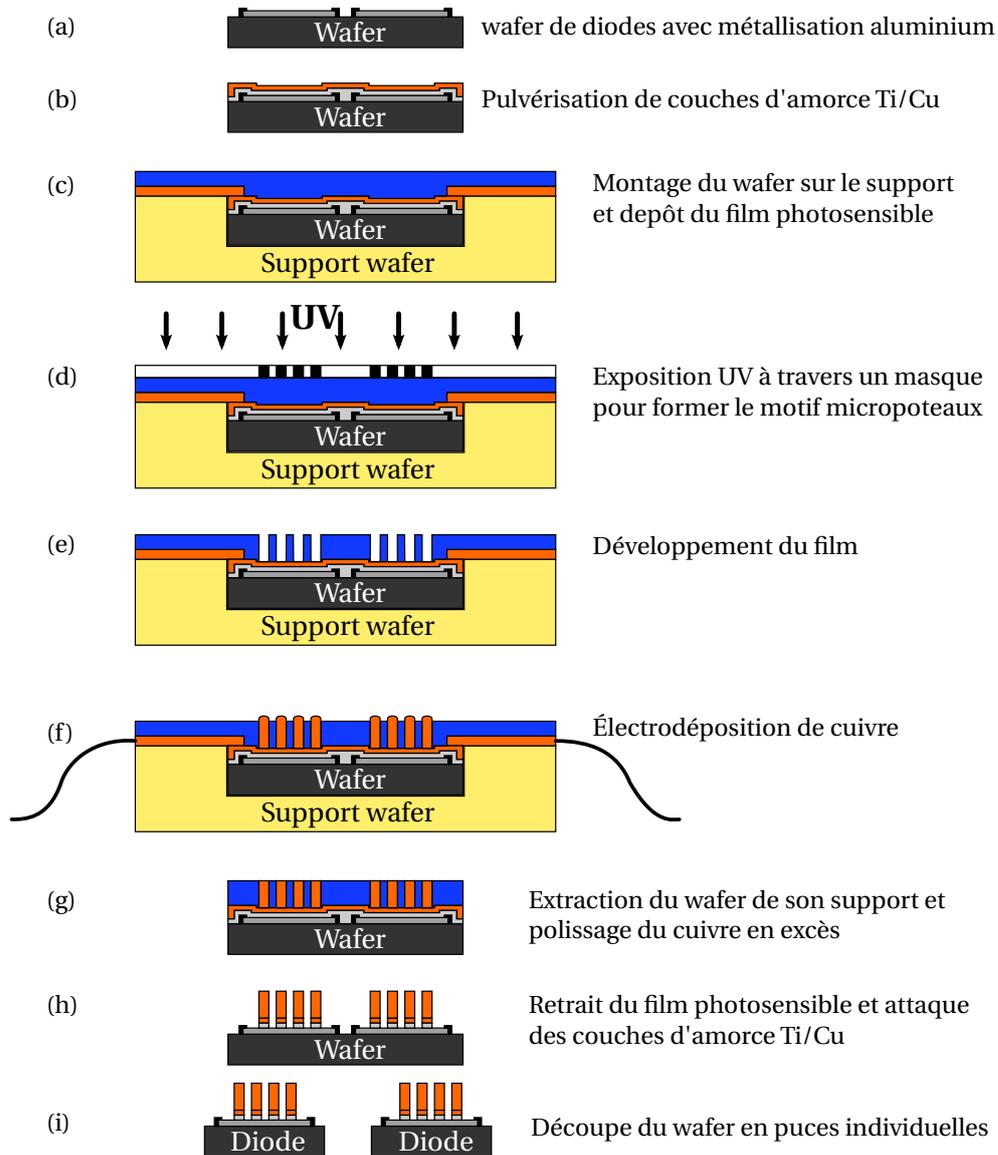


FIGURE 6.24 – Processus de fabrication des micropoteaux.

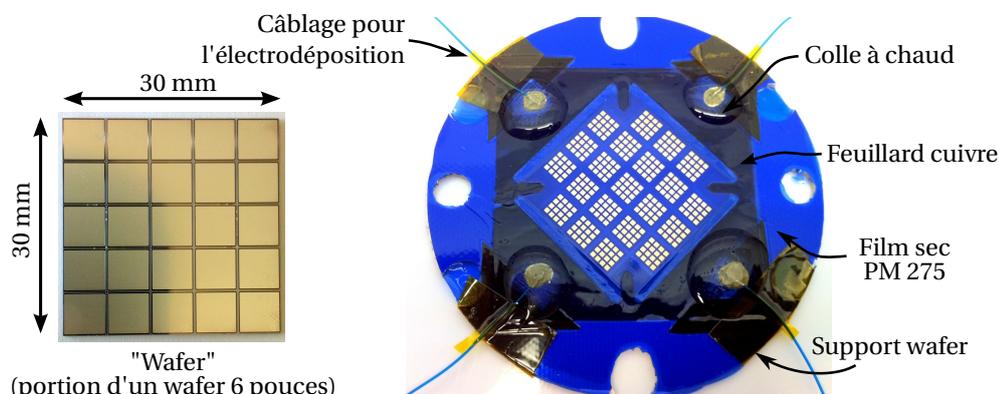


FIGURE 6.25 – Photographie du « wafer » avant traitement et une fois placé dans le support (étape e de la figure 6.24).

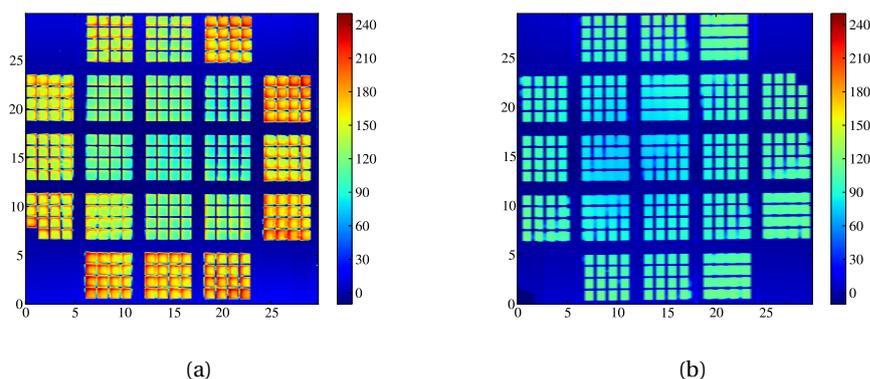


FIGURE 6.26 – Cartographie d'un wafer et de ses micropoteaux avant (a) et après (b) l'étape de polissage coplanaire. Mesures effectuées au profilomètre Dektak 150

insolé (phase d) et développé (phase e) pour former les moules dans lesquels les micropoteaux vont croître (phase f).

Le wafer est ensuite extrait de son support, et on procède à une phase de polissage coplanaire (sur polisseuse Logitech PM5, LAAS), afin d'homogénéiser la hauteur des poteaux (phase g). Du fait d'une alimentation électrique par les coins du wafer, voir figure 6.25(b), la hauteur des poteaux tend en effet à être plus faible au centre du wafer que sur les bords. À titre d'exemple, on peut voir la cartographie d'un wafer avant (figure 6.26(a)) et après (figure 6.26(b)) polissage. Enfin, le film photosensible est retiré (bain de NaOH à 3 %), les couches d'amorce sont attaquées pour ne subsister que sous les poteaux (Transcene APS-C 1 min pour le Cuivre, *Buffered Oxide Etch* –BOE– 5 % 1 s pour Ti, phase h), et les puces sont découpées (scie Disco DAD3220, phase i).

TABLE 6.4 – Tenue en cisaillement à rupture d'assemblages « sandwich micropoteaux » assemblés par SPS ou RTA. F est la force de cisaillement, S la surface de contact effective de l'interface entre le substrat et les micropoteaux, et  $\tau$  est la contrainte de cisaillement correspondante.

SPS				RTA			
T (°C)	F (N)	S (mm <sup>2</sup> )	$\tau$ (MPa)	T (°C)	F (N)	S (mm <sup>2</sup> )	$\tau$ (MPa)
300	113	2,6	43	300	199	11,8	16
300	184	8,9	20	300	93	7,3	12
300	275	8,4	32	200	133	5,2	25
300	275	8,9	30	200	187	4,0	46
200	181	7,0	25				
200	21	1,1	18				
200	31,5	5,6	5,6				
200	176,5	8,4	21				

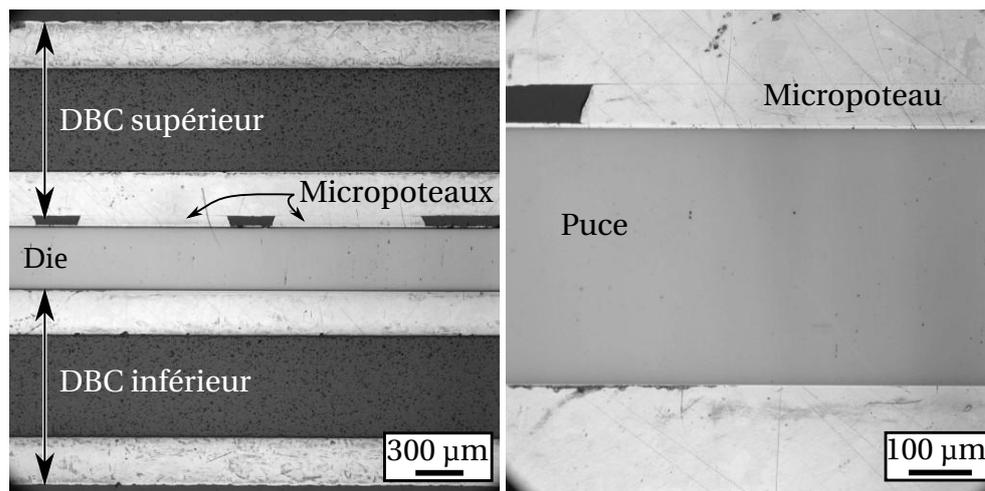


FIGURE 6.27 – Microsection d'un assemblage « DBC/puce/DBC » avec les micropoteaux en face supérieure de la puce.

### 6.4.3 Réalisation d'assemblages fonctionnels

Avant assemblage, les substrats DBC utilisés sont polis mécaniquement pour obtenir un fini « miroir ». La gamme de polissage débute au grain 220, pour se poursuivre au diamant 1  $\mu\text{m}$  puis à la silice 50 nm. Le cuivre des substrats DBC possède en effet une rugosité naturelle ( $R_a > 2 \mu\text{m}$ ) trop élevée pour assurer un collage correct.

Une fois substrats et puces préparés, ils sont immédiatement utilisés (moins d'une heure entre le nettoyage final avec du BOE 5 % et l'assemblage, pour

éviter une oxydation excessive). L'assemblage consiste à placer un empilement DBC/puce/DBC dans la matrice de la presse, puis à exécuter le profil thermique voulu. Deux températures d'assemblage ont été testées (200 ou 300 °C), dans une presse SPS ou dans un four à lampe (RTA pour *Rapid Thermal Annealing*) équipé d'un système de pressage, sans que l'on observe de différence notable dans la tenue mécanique des assemblages (voir table 6.4).

Les contraintes de cisaillements observées sont de l'ordre la vingtaine de mégapascals, avec une forte dispersion (5,6 à 46 MPa). On observe une forte variation de la surface de contact micropoteaux/DBC, qui indique que la planéité des micropoteaux est probablement insuffisante (malgré l'étape de polissage) pour assurer un contact homogène de tous les poteaux (cette surface est mesurée à partir des traces laissées par les poteaux après cisaillement). Même si elle ne peut être comparée aux résultats de la table 6.3 (tests en cisaillement en non pas en traction), ni aux normes de tenue en cisaillement (qui sont prévues pour des puces reportées sur toute leur surface et non pas à travers des contacts discrets [1]), les valeurs rapportées dans la table 6.4 semblent acceptables pour une application électronique.

Une coupe métallographique d'un assemblage est visible figure 6.27. L'interface poteaux-DBC est de très bonne qualité, puisqu'elle est quasi-invisible. On peut remarquer que les poteaux ont un facteur de forme très faible (ils sont beaucoup plus larges que hauts). Cette forme a été choisie pour des raisons de facilité de fabrication : le développement du film photosensible est une étape manuelle qui permet difficilement d'atteindre la résolution maximale  $-50 \mu\text{m}$  du film. Des poteaux plus étroits et plus nombreux seraient préférables pour des raisons de fiabilité (meilleure flexibilité des structures), mais il ne s'agit pas d'une limite intrinsèque de notre technique. Des poteaux de diamètre  $40 \mu\text{m}$  et de hauteur  $80 \mu\text{m}$  sont par exemple utilisés industriellement pour la technologie « *copper pillar* » [76]. Dans ce cas, les poteaux sont coiffés d'une goutte d'étain et l'assemblage avec le substrat se fait par brasure.

On peut également remarquer sur la figure 6.27 que la face inférieure de la puce (finie argent) est collée directement sur le DBC inférieur. Des micropoteaux auraient pu être utilisés là aussi (ce qui aurait nécessité un système de traitement « double face » du wafer, notamment pour l'insolation du film photosensible), mais nous avons fait le choix d'un collage direct argent/cuivre. Il n'est pas possible de comparer la qualité de ce collage Ag-Cu au collage Cu-Cu décrit ci-dessus à partir de la table 6.4 car bien que tous les échantillons ont cassé du côté supérieur de la puce, les surfaces de contact sont différentes (quelques  $\text{mm}^2$  pour les poteaux, voir table 6.4,  $6 \times 6 \text{ mm}^2$  pour les faces arrières des puces).

Autre indicateur de la qualité du collage cuivre-cuivre, les faciès de rupture montrent à chaque fois une variété de modes de défaillance : Dans celui qui est visible figure 6.28, on peut voir que seuls deux poteaux sont restés sur la puce après cisaillement, alors que les 14 autres sont restés collés sur le substrat. Parmi les poteaux arrachés de la puce, la rupture se situe soit au niveau de la couche amorce (poteaux du haut), soit dans le silicium lui-même (traces en bas à droite de la



FIGURE 6.28 – faciès de rupture d'un assemblage puce/DBC après essai de cisaillement, montrant que la plupart du temps, la rupture ne se produit pas à l'interface micropoteaux/DBC.

puce). Tous les faciès de rupture que nous avons observés montrent ces modes de défaillances, dans des proportions variables (allant jusqu'à la casse complète de la puce dans certains cas).

Ces assemblages ont également fait l'objet d'une caractérisation électrique grossière (sous pointes), pour accéder aux métallisations internes des assemblages « sandwich ». Ces caractérisations (notamment le courant de fuite) ne montrent pas de dégradation des puces liée au procédé d'assemblage. Une caractérisation plus fine a été réalisée et fait l'objet de la section suivante.

#### 6.4.4 Caractérisation électrique et thermique de la structure micropoteaux

Le projet ANR ECLIPSE avait pour objectif de comparer les performances (notamment électriques et thermiques) de trois technologies de prises de contact : le contact pressé (développé au G2ELab[147]), les « nano-scratch » (développés au laboratoire LAPLACE [92]), et les micropoteaux qui nous intéressent ici. Les valeurs à mesurer étant extrêmement faibles (de l'ordre de quelques micro- ou milliohm pour la résistance électrique), un véhicule de test particulier a été développé. Il est visible figure 6.29. Malheureusement, en raison de divers retards, seuls les véhicules de test à micropoteaux ont pu être assemblés, ce qui n'a pas permis de comparaison avec les autres technologies.

Deux substrats identiques sont utilisés pour former l'assemblage sandwich. Ils possèdent un piédestal (obtenu par double gravure, comme décrit section 6.3.2) de la dimension de la puce, afin de faciliter le polissage du cuivre sur la zone de contact avec la puce. Une série d'amenées de courant est gravée sur la face interne, de façon à pouvoir maîtriser la répartition du courant au plus près de la puce. Les

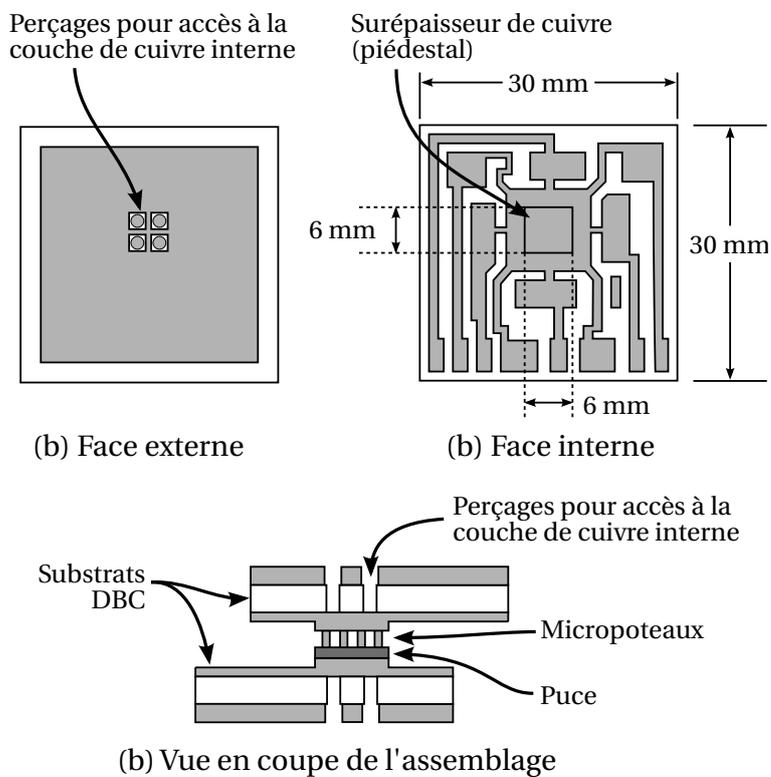


FIGURE 6.29 – Véhicule de test permettant d'effectuer une caractérisation électrique et thermique fine de la prise de contact par technologie micropoteaux.

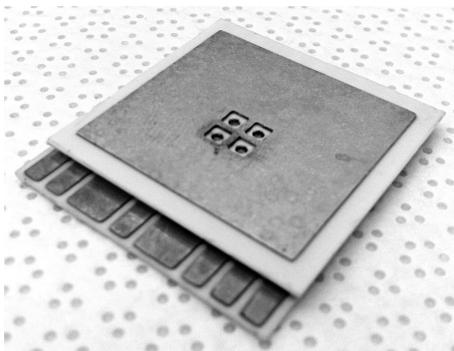


FIGURE 6.30 – Photographie d'un véhicule de test « DBC/puce/DBC » (dimensions 30 mm de côté).

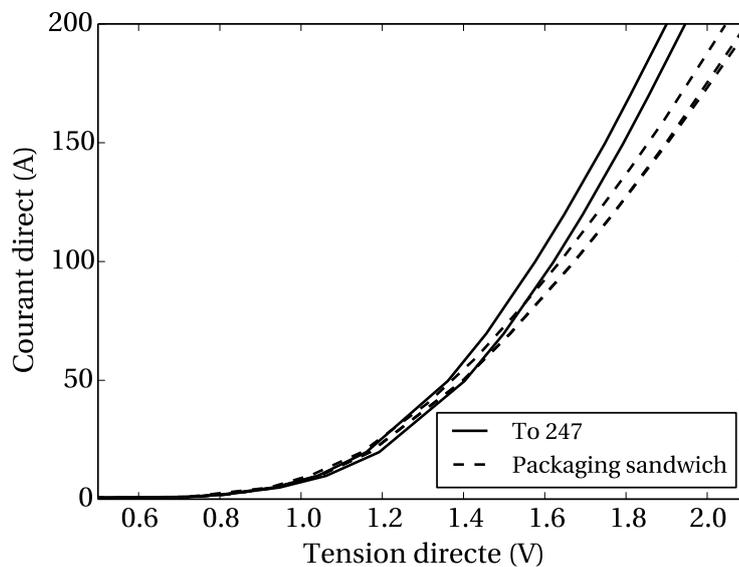


FIGURE 6.31 – Comparaison de la caractéristique statique des puces en boîtier TO247 et avec le packaging "micro-poteaux". La dégradation de caractéristique est due à une oxydation des couches d'amorce.

couches de céramique sont percées au laser pour pouvoir introduire des sondes (de tension ou de température, figure 6.29(b)) directement à la verticale du contact à étudier.

Le procédé de réalisation des assemblages est conforme à celui présenté section 6.4.3. Un guide spécifique, usiné en graphite, permet le maintien et l'alignement des trois éléments (deux substrats et une puce), en décalant les deux substrats l'un par rapport à l'autre pour exposer leurs contacts électriques. La photographie d'un module réalisé est visible figure 6.30.

Des mesures d'impédance thermique et de résistance électrique ont été effectuées sur ces véhicules de test par Laurent DUPONT, du laboratoire IFSTTAR-LTN (Versailles). À titre de comparaison, nous avons utilisé une diode APT60D60BG, version en boîtier TO247 de la diode que nous avons utilisée pour cette étude. Le banc utilisé pour les caractérisations a été spécifiquement développé à l'IFSTTAR et utilise des impulsions de courant très courtes pour éviter l'auto-échauffement (de l'ordre de 10  $\mu$ s pour un courant pouvant atteindre 200 A, [112]).

Alors que l'on pouvait s'attendre à une amélioration sensible de la caractéristique directe des puces packagées par micropoteaux par rapport à un boîtier standard (surface de contact plus importante, interconnexions en cuivre plutôt qu'en aluminium, mesure 4 points jusqu'au pied des poteaux...), la figure 6.31 montre au contraire une dégradation de l'ordre de 200 mV à 200 A. Des analyses complémentaires (détaillées dans [112]) ont montré que cette différence venait d'une oxydation des couches d'amorce déposées sur les puces en tout début de procédé

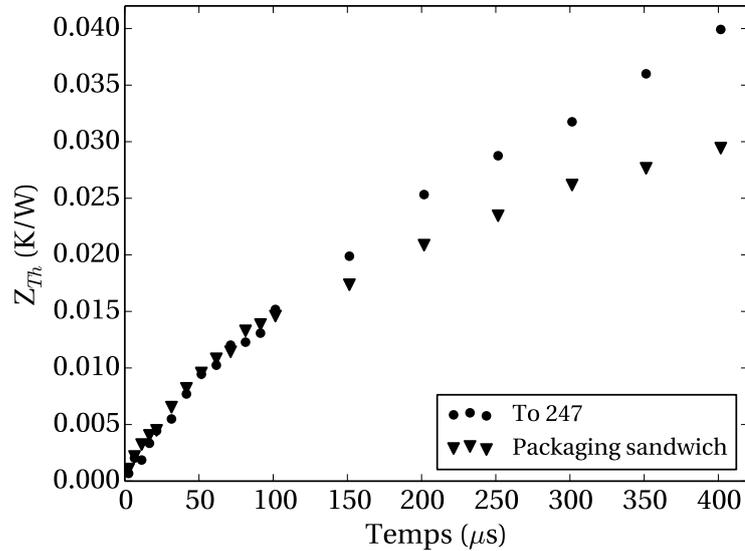


FIGURE 6.32 – Comparaison de l'impédance thermique transitoire des puces en boîtier TO247 et avec le packaging "micro-poteaux".

(contamination de la couche de titane, probablement durant le dépôt lui-même).

Une caractérisation des wafers à chaque étape du procédé (nous n'avons effectué de caractérisation qu'avant et après l'assemblage puce/DBC, pensant à tort que c'était l'étape la plus risquée!) aurait permis d'identifier ce problème dès le début et de refaire rapidement le dépôt. N'ayant observé le problème qu'en toute fin de projet, nous n'avons pas eu le temps de reprendre la fabrication depuis le début. C'est d'autant plus frustrant que l'étape qui a raté (le dépôt des couches d'amorce) n'est utilisée que pour adapter les puces existantes (avec une finition aluminium) à notre procédé. Dans une application industrielle, on peut imaginer que les diodes seraient directement fabriquées avec une finition compatible (cuivre), et qu'il n'y aurait pas besoin de faire un dépôt supplémentaire pour permettre la croissance des micropoteaux.

Les mesures thermiques (figure 6.32) montrent, elles, une amélioration sensible pour la structure micropoteaux. Elles n'ont été effectuées que sur une durée réduite (quelques centaines de microsecondes) car les conditions aux limites du module « sandwich » étaient mal maîtrisées (du fait des trous dans le DBC, voir figure 6.29), et parce que seule une face du module était en contact avec une plaque froide. Aux plus faibles durées (0–100  $\mu\text{s}$ ), il n'y a pas de différence visible entre les boîtiers TO-247 et « sandwich », ce qui est également surprenant : les poteaux de cuivre, à proximité immédiate de la jonction, devraient jouer le rôle de tampon thermique à ces échelles de temps [114]. Des mesures plus fines (probablement accompagnées de simulations éléments finis) sont nécessaires pour comprendre si c'est une limitation du banc de mesure, ou si nous avons un problème du même

type que celui observé pour les mesures électriques.

## 6.5 Conclusions sur les nouvelles structures de modules de puissance

De nombreux travaux de recherche visent à dépasser la structure « planaire » des modules de puissance, pour en améliorer les performances. Pour tirer pleinement partie des composants SiC et GaN, il faut en effet réduire les inductances parasites et dissiper des densités de puissance plus importantes.

J'ai présenté certains développements dans ce chapitre. Il faut d'ailleurs noter qu'ils permettent aussi un fonctionnement à haute température, qui fait l'objet du chapitre suivant. Ces développements continuent : par exemple la thèse de Leonardo RUFFEIL, avec le G2ELab, où l'on conçoit une structure *Chip-on-Chip* (CoC) qui utilise des plots massifs frittés.

D'autres travaux que j'ai amorcés récemment portent sur l'utilisation de technologies PCB (circuit imprimé) : enfouissement de puces dans du circuit imprimé, utilisation de circuits imprimés flexibles pour remplacer la connectique des puces... Si ces technologies sont intrinsèquement plus limitées en température (elles reposent sur des isolants organiques et non plus céramiques), elles offrent une plus grande souplesse pour la conception et la réalisation.

Dans tous les cas, une question demeure : que faire une fois la démonstration faite, une fois qu'on a montré qu'une structure ou une technologie offrait de meilleures performances ? Pour aller plus loin et en faire une exploitation industrielle, il faut aussi démontrer que la fiabilité est au rendez-vous. Cela sous-entend d'avoir un procédé de fabrication industriel, pour produire les quantités de modules nécessaires aux tests, avec une qualité maîtrisée (sous peine de tester la fiabilité du procédé de fabrication et non pas celle de la technologie). Il faut donc sans doute le soutien d'un industriel. L'automobile semble être un secteur qui a un besoin impératif de nouvelles structures, si j'en juge à l'intérêt de différents acteurs automobiles pour mes travaux. De par son importance et sa production de masse, ce secteur serait peut-être capable de porter le développement industriel d'une technologie.

Je reviens sur ces conclusions et perspectives de façon plus détaillée en fin de mémoire, page 163.



# Le *packaging* pour l'électronique de puissance « haute température »

Ce chapitre est divisé en deux grandes parties. La première traite de la stabilité thermique des composants SiC. Il s'agit d'une étude portant plus sur les composants que sur leur *packaging*, mais elle a des conséquences directes sur le refroidissement de ces composants (et donc sur leur *packaging*).

La seconde partie présente les travaux que j'ai menés autour de l'« attache de puce » haute température, principalement par la technique du frittage d'argent. Cette technique est à l'heure actuelle très étudiée pour remplacer les brasures (au plomb, notamment) dans l'électronique de puissance à températures « conventionnelles ». Mon travail a porté sur l'utilisation du frittage d'argent dans le cas spécifique de la haute température.

## 7.1 Stabilité thermique des composants SiC

### 7.1.1 Mécanisme d'emballage thermique

Une partie des limitations thermiques des composants est liée au phénomène d'« emballage thermique ». Il s'agit simplement d'un état dans lequel le composant dissipe plus de chaleur que son système de refroidissement ne peut en dissiper. Dans ces conditions, la température du composant va s'élever jusqu'à sa destruction.

Schématiquement, le principe d'apparition de l'emballage thermique est décrit figure 7.1 : considérons un composant imaginaire (courbe en pointillés) dont les pertes augmentent de façon exponentielle avec sa température, et son système de refroidissement associé (droite en trait plein, dont la pente est la résistance thermique, et l'abscisse à l'origine est la température ambiante). La caractéristique du système de refroidissement peut être utilisée pour séparer l'espace (P, T) en deux régions (A et B). Dans la première, le composant dissipe plus de puissance que ce que le système de refroidissement ne peut extraire, il va donc

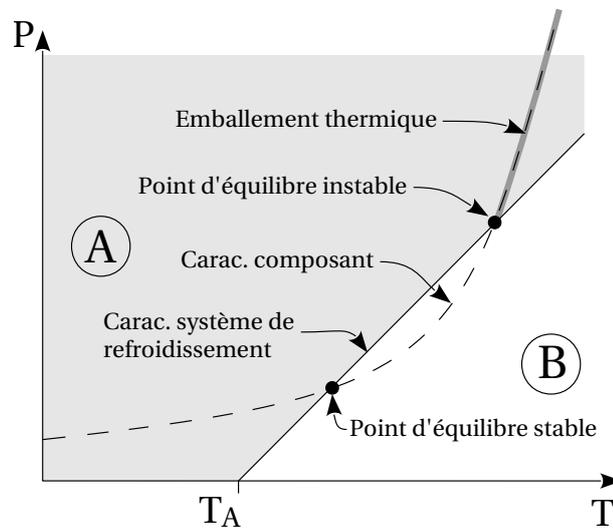


FIGURE 7.1 – Mise en évidence des conditions d'apparition de l'emballement thermique, pour un composant imaginaire connecté à un système de refroidissement simple.

s'échauffer. Dans la région B, au contraire, le composant dissipe moins, il va donc refroidir.

Deux points d'équilibre apparaissent (intersections entre les deux courbes), où la puissance dissipée par le composant correspond exactement à la puissance que peut extraire le système de refroidissement. Mais si le point inférieur constitue un équilibre stable, le point supérieur est, lui, instable : si la température du composant diminue, il entre dans la région B, sa température va baisser jusqu'à ce qu'il retombe sur le point d'équilibre stable. Si sa température augmente, au contraire, le composant entre dans la région A et sa température va augmenter indéfiniment. Ce dernier cas correspond à l'emballement thermique.

L'emballement thermique peut apparaître dans différents modes de fonctionnement d'un composant : l'augmentation de puissance dissipée en fonction de la température peut être causée par une augmentation du courant de fuite à l'état bloqué, par une variation de la vitesse de commutation, etc. Un article paru en 2009 [139] traite de l'emballement thermique causé par la diminution de la mobilité des porteurs dans le SiC lorsque la température augmente. Cette diminution se traduit par une augmentation de la résistivité du matériau, et donc par une augmentation de la résistance à l'état passant du composant. Le papier conclut à une forte sensibilité des composants SiC (diodes Schottky, MOSFET, JFET ou BJT) à l'emballement thermique, mettant en doute la capacité de ces composants à fonctionner à haute température.

Cet article, entièrement basé sur un modèle très simple, fait des approximations très discutables pour arriver à des conclusions qui le sont également. J'ai donc cherché à évaluer, par une approche expérimentale, la sensibilité de certains

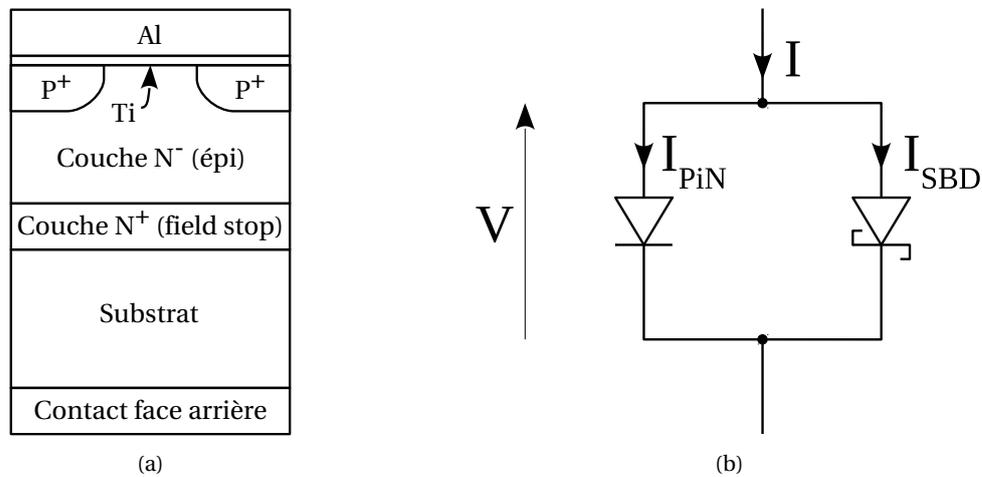


FIGURE 7.2 – Structure d'une diode MPS et schéma équivalent en polarisation directe.

composants SiC à l'emballage thermique à l'état passant. Les résultats de cette étude sont décrits dans les sections 7.1.2 et 7.1.3.

### 7.1.2 Étude de la diode « Schottky » SiC

(Le contenu de cette section est décrit plus en détails dans [18] et [19].)

Pour des raisons de facilité d'approvisionnement, le premier composant dont j'ai cherché à étudier la stabilité thermique est la diode « Schottky » SiC. Je mets ici des guillemets, car les diodes actuellement vendues sous ce nom sont en fait souvent des diodes de type *Merged PiN Schottky* (MPS) dont la structure est visible figure 7.2(a). Il s'agit de diodes à barrière de Schottky (SBD, pour *Schottky Barrier Diode*), sur lesquelles on rajoute (souvent en périphérie) une jonction bipolaire. Cette dernière n'est pas activée en fonctionnement nominal du fait de sa tension de seuil plus élevée (de l'ordre de 3 V contre moins de 1 V pour la SBD). Elle permet néanmoins, comme nous le verrons plus loin, d'apporter une plus grande stabilité lors des surcharges.

En fonctionnement direct, cette diode peut donc être représentée par le schéma de la figure 7.2(b), avec une diode SBD et une diode PiN en parallèle.

#### 7.1.2.1 Caractérisation expérimentale

Les composants étudiés ici sont des diodes fabriquées par SiCED, avec un calibre en tension de 1200 V et une surface de  $2,7 \times 2,7 \text{ mm}^2$ . J'ai travaillé avec des « puces nues » afin de pouvoir explorer une large gamme de températures (les composants en boîtier plastique dépassent difficilement les 200 °C). Pour se prémunir de problèmes éventuels liés à l'oxydation des puces, la caractérisation  $I(V)$



FIGURE 7.3 – Dispositif de caractérisation sous vide, permettant de chauffer une puce nue et de venir prendre des contacts à l'aide de micromanipulateurs équipés de pointes. La diode MPS sous test est visible au centre de l'image.

en polarisation directe a été effectuée sous vide, dans le dispositif visible figure 7.3, en mode impulsionnel et avec une configuration 4 points. Les connexions sont réalisées à l'aide de pointes.

Plusieurs caractérisations ont été effectuées, pour des températures allant de 22 à 430 °C (703 K). Les résultats de mesure sont présentés en traits pleins sur la figure 7.4(a).

### 7.1.2.2 Modélisation électrothermique

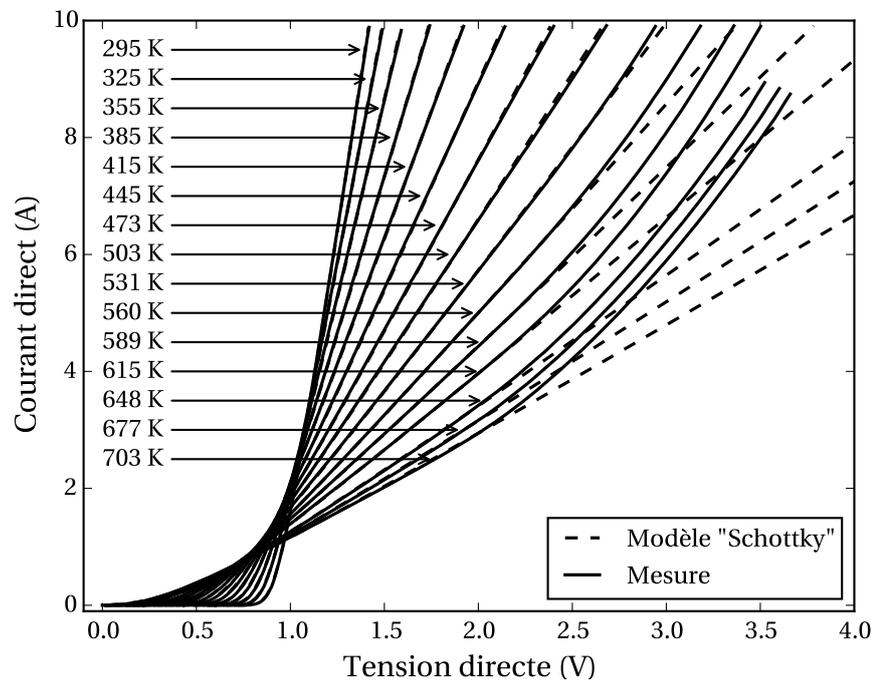
L'étape suivante a consisté à construire un modèle en se basant sur le schéma de la figure 7.2(b). La caractéristique directe de la diode SBD peut s'écrire [18] :

$$I_{SBD} = I_{sat} \left[ \exp \left( \frac{q(V - R_S I_{SBD})}{nkT} \right) - 1 \right] \quad (7.1)$$

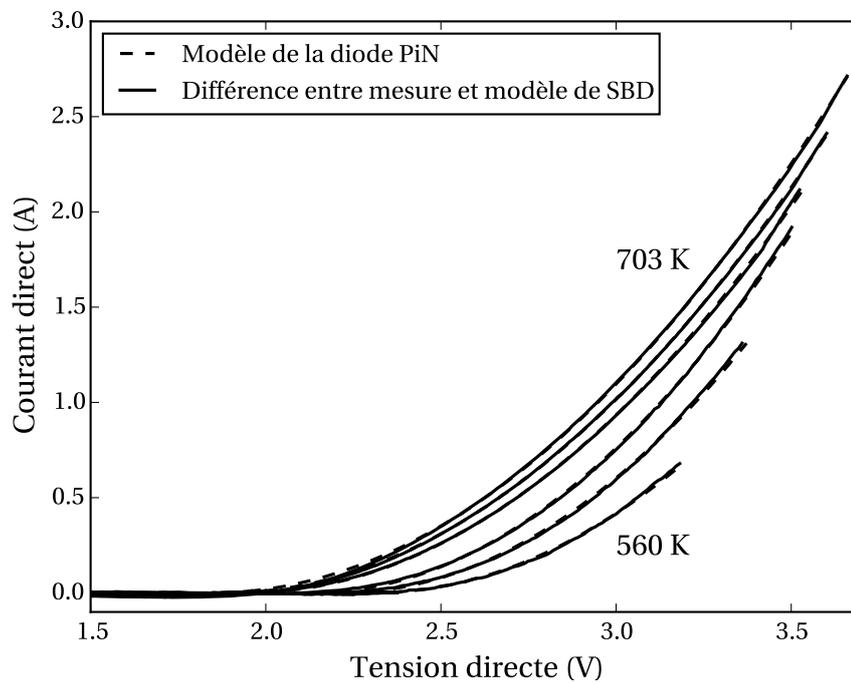
où  $V$  est la tension aux bornes de la diode,  $I_{SBD}$  le courant qui la parcourt,  $q$  la charge électronique,  $k$  la constante de Boltzmann, et  $n$  le facteur d'idéalité de la diode.  $R_S$  est la résistance dynamique, et  $I_{sat}$  le courant de saturation de la diode. Ces trois derniers facteurs sont dépendants de la température.

Pour chacune des mesures de la figure 7.4(a), un modèle de diode Schottky est identifié. La routine d'identification ne considère que les tensions inférieures à 2 V, puisqu'au-delà, la diode PiN commence à faire sentir son effet.

Dans un deuxième temps, on identifie les paramètres du modèle de la diode PiN en se basant justement sur la différence qui apparaît au-delà de 2 V entre les



(a)



(b)

FIGURE 7.4 – Identification du modèle de diode : identification du modèle de diode schottky (a) puis du modèle de diode PiN (b).

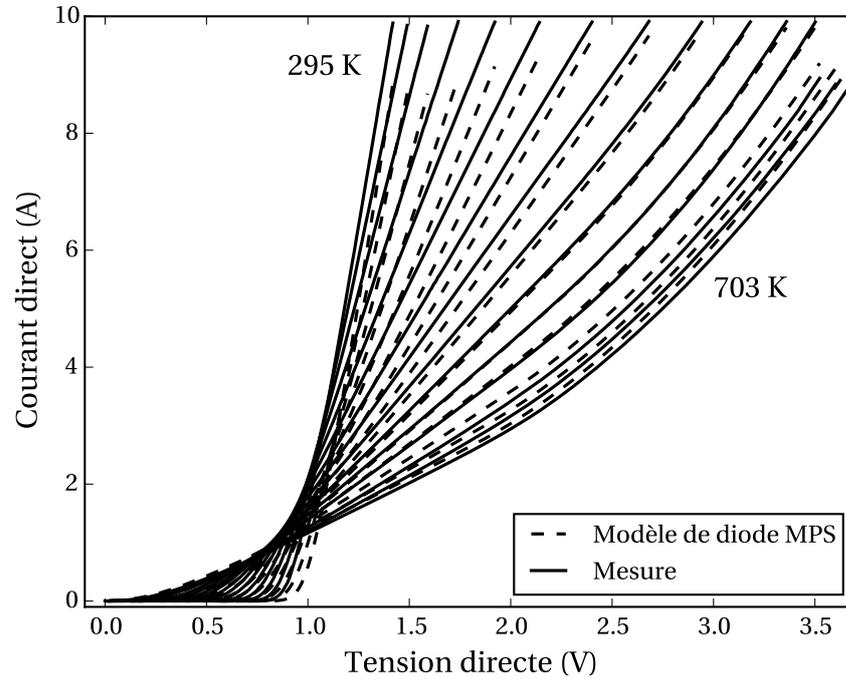


FIGURE 7.5 – Comparaison entre mesure et modèle électrothermique complet de la diode MPS.

courbes de mesure et le modèle de diode SBD identifié. Cette différence est tracée en traits pleins sur la figure 7.4(b).

Le modèle empirique utilisé pour la chute de tension directe de la diode PiN est très simple [18] :

$$I_{PiN} = \beta (V - \alpha(T))^2 \quad (7.2)$$

Avec  $\beta$  et  $\alpha$  deux paramètres,  $\beta$  étant constant et  $\alpha$  dépendant de la température.

Le modèle obtenu pour chaque température est tracé en pointillés figure 7.4(b). On peut voir que la modélisation est satisfaisante, et que la diode PiN entre en « service » au-delà de 260 °C (533 K) approximativement.

En me basant sur les jeux de paramètres identifiés pour les diodes SBD et PiN à chaque température, ainsi que sur des équations donnant la dépendance en température de ces paramètres, j'ai pu procéder à la construction d'un véritable modèle électrothermique, c'est à dire un modèle dont la température est un paramètre explicite. Cette phase n'est pas décrite ici, mais le lecteur retrouvera dans [18] l'ensemble des équations, les valeurs des paramètres et la description de la procédure d'identification globale.

Le résultat est visible figure 7.5, avec les mesures en traits plein et le modèle électrothermique en pointillés. L'ajustement est moins fidèle que figure 7.4 (où chaque courbe correspond à un jeu de paramètres distinct), mais reste tout à fait

acceptable puisque l'ensemble des courbes pointillées est ici décrit par un jeu de paramètres unique.

### 7.1.2.3 Étude de la sensibilité à l'emballlement thermique

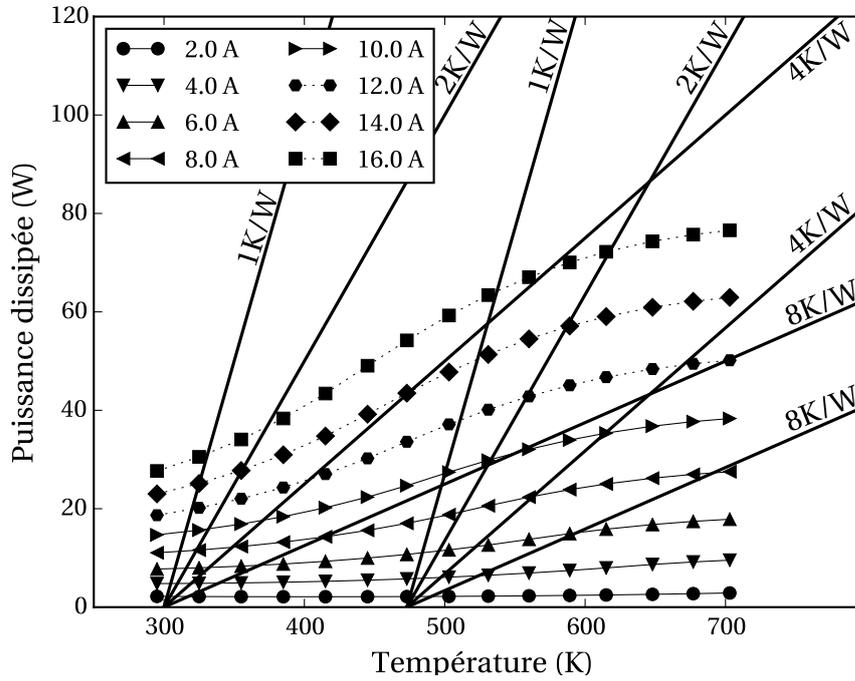
Maintenant que nous disposons d'un modèle électrothermique, il devient possible d'étudier la sensibilité de la diode MPS à l'emballlement thermique. De plus, en retirant de ce modèle tout ce qui concerne la diode PiN, nous pouvons comparer le comportement de la diode SBD seule, et ainsi voir l'apport de la diode PiN dans la stabilisation de l'ensemble.

Les caractéristiques  $P(T)$  de la diode MPS et de sa composante SBD sont données figure 7.6, pour plusieurs valeurs de courant direct. Les données correspondant à des courants supérieurs à 10 A sont tracées en pointillés, la validité du modèle n'ayant pas été vérifiée au-delà. Les caractéristiques thermiques correspondant à 4 valeurs de résistances thermiques (1 à 8 K/W) et deux températures ambiantes (27 °C et 200 °C soit respectivement 300 K et 473 K) sont également données (traits pleins épais).

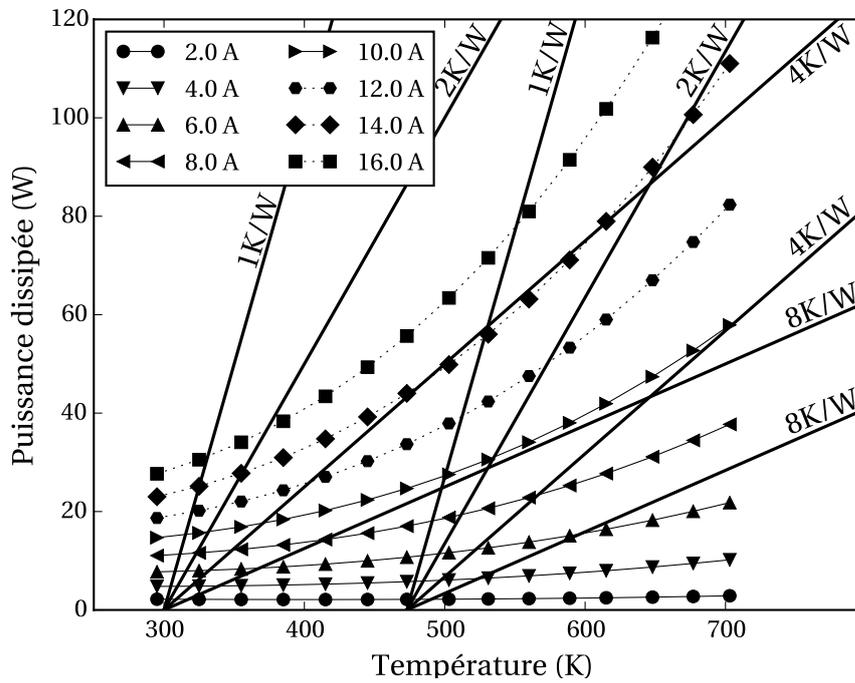
Si l'on compare ces graphes à la version simplifiée de la figure 7.1 (page 100), il apparaît que les diode MPS et SBD ont des comportements très différents vis-à-vis de l'emballlement thermique : là où les caractéristiques  $P(T)$  de la diode MPS se couchent au-delà de 550 K (en raison de la mise en conduction de la diode PiN), celles de la diode SBD prennent au contraire l'aspect exponentiel décrit figure 7.1. Par exemple si on considère les courbes « 14 A » et la caractéristique thermique « 4K/W, 300 K », la diode MPS n'offre qu'un point d'équilibre (stable) aux alentours de 470 K, alors que la diode JBS en présente deux, le second instable. Une légère augmentation de température ou de courant direct n'aura pas d'effet notable dans le cas de la MPS, mais déclenchera un emballlement dans le cas de la SBD.

Une autre façon de présenter ces résultats est visible figure 7.7 : y est tracée la résistance thermique maximale qui permet d'assurer que la diode ne s'emballle pas. Lorsqu'il n'y a pas de phénomène d'emballlement, comme avec la diode MPS, on a fixé la limite à 500 °C (il est bien sûr inenvisageable que la diode fonctionne longtemps à cette température, le contact schottky se détériorant rapidement au-delà de 350°C [120, 25]).

En conclusion de cette étude, il apparaît que conformément à [139], une pure diode Schottky (SBD) serait sensible au phénomène d'emballlement thermique. Ce problème a cependant été contourné par les fabricants qui proposent maintenant des structures MPS, dont le comportement est bien plus sain : leurs pertes en conduction augmentent beaucoup moins vite avec la température qu'avec les diodes SBD.



(a)



(b)

FIGURE 7.6 – Puissance dissipée en fonction de la température de jonction, pour plusieurs valeurs de courant direct et pour la diode MPS complète (a) et pour sa composante Schottky uniquement (b).

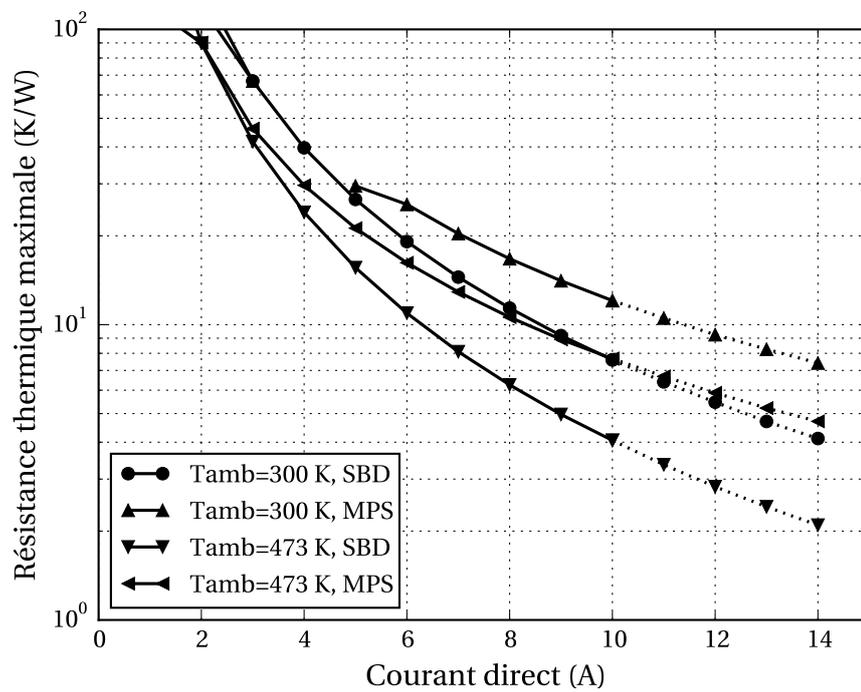


FIGURE 7.7 – Résistance thermique admissible maximale pour la diode MPS et pour sa partie SBD seule, pour deux températures ambiantes, en fonction du courant direct.

### 7.1.3 Étude du transistor JFET

Au travers de nombreuses études [113, 59], un composant compatible avec les besoins de l'électronique haute température a été identifié au laboratoire Ampère : le JFET fabriqué par SiCED (et maintenant par Infineon). Il était donc important d'évaluer la sensibilité de ce composant vis à vis du phénomène d'emballement thermique. Un composant susceptible d'emballement doit être bien refroidi, ce qui a des conséquences directes sur les performances thermiques du packaging.

Plusieurs sources d'instabilité thermique ont été évaluées pour le JFET :

**Emballement thermique à l'état bloqué :** le courant de fuite à l'état bloqué augmente avec la température, mais il n'atteint pas des niveaux provoquant une dissipation de puissance extrême. Dans [122], il est montré que ce phénomène se produit à des températures dépassant 1000 °C.

**Effets de focalisation :** pour les composants unipolaires, ce type de mécanisme nécessite une tension de seuil qui diminue avec la température. Cela entraîne une réduction de la résistance drain-source du transistor. Si la température de la puce n'est pas uniforme, cette réduction de résistance se fera localement, entraînant une augmentation du courant à cet endroit, un échauffement ponctuel, et finalement la destruction du composant. Cet effet a pu être observé pour des MOSFET basse tension en silicium [34]. On observe également cette variation de tension de seuil sur les MOSFET en carbure de silicium [28], même si aucun phénomène de focalisation n'a, à ma connaissance, été reporté jusqu'à présent. Pour le JFET, par contre, la tension de seuil reste quasi-constante, ce type de mécanisme ne peut donc pas se produire.

**Perte de contrôle :** le courant de fuite de la jonction grille-source du JFET augmente avec la température, et au-delà d'un certain point, il devient impossible d'assurer le blocage du transistor. Ce point sera étudié dans la section 7.1.3.2.

**Emballement thermique à l'état passant :** l'augmentation de la résistance drain-source se traduit par une augmentation des pertes en conduction avec la température. Ce mécanisme est comparable à celui étudié section 7.1.2, et fera ici l'objet d'une étude détaillée.

#### 7.1.3.1 Caractérisation expérimentale

Le dispositif de test sous pointes utilisé pour la caractérisation des diodes SiC (voir section 7.1.2.1) avait deux limites majeures : le niveau de courant admissible par les pointes (une dizaine d'ampères en mode impulsionnel, moins en continu), et l'absence de contrôle de l'interface thermique (les composants sont posés ou collés à la laque d'argent sur la plaque chauffante). Pour l'étude du transistor JFET il a été prévu dès le départ de pouvoir se mettre dans les conditions d'un éventuel emballement thermique (en contrôlant l'environnement thermique et en dissipant une puissance suffisante). Le dispositif sous pointe était donc insuffisant.

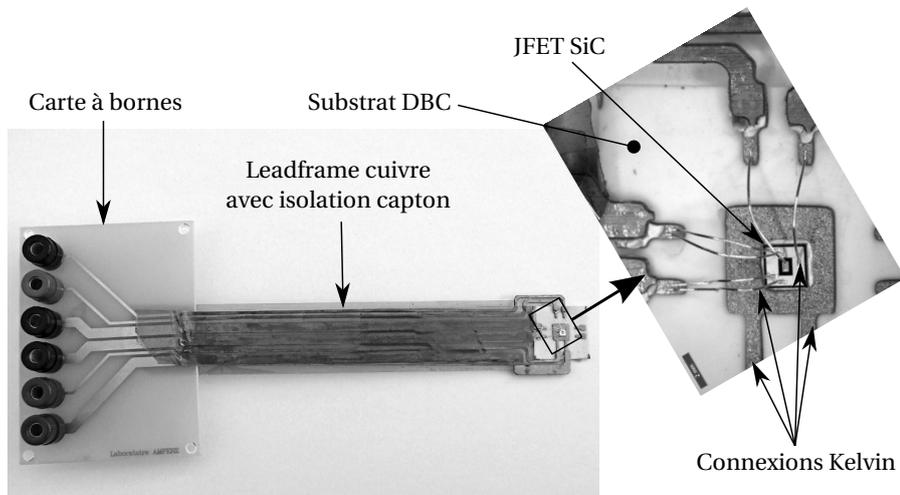


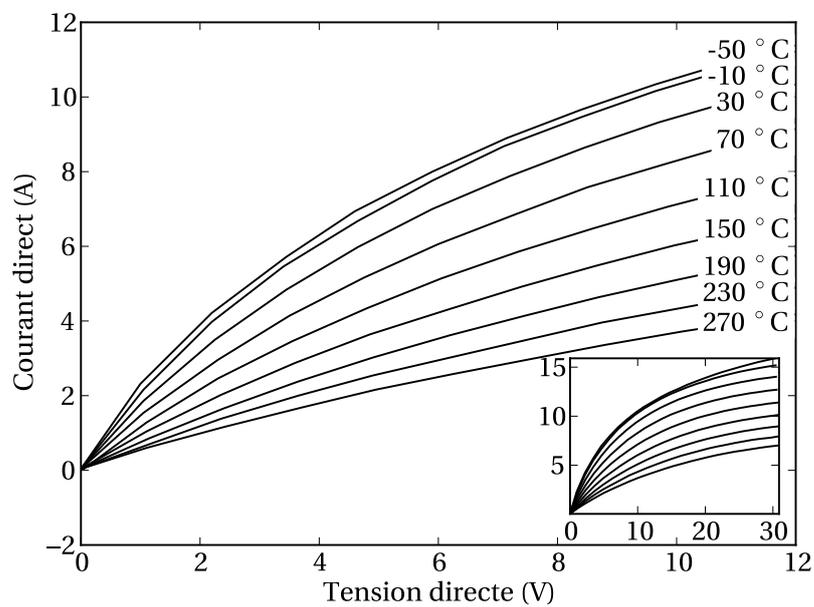
FIGURE 7.8 – Le véhicule de test haute température, permettant de caractériser un JFET jusqu'à 300 °C, puis de tester sa sensibilité à l'emballage thermique.

TABLE 7.1 – Detail des véhicules de test (JFET fabriqués par SiCED)

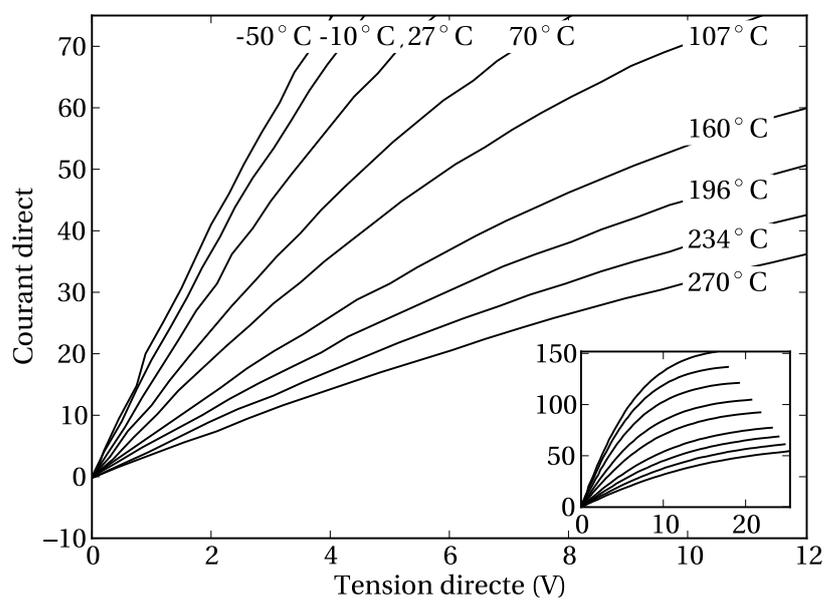
TV number	Taille de puce	$R_{DS_{on}}$	$R_{th_{JA}}$
#1	2,4×2,4 mm <sup>2</sup>	490 mΩ	4.5 K/W
#2	4,08×4,08 mm <sup>2</sup>	57 mΩ	7.9 K/W
#3	4,08×4,08 mm <sup>2</sup>	65 mΩ	2 K/W

Les composants ont donc été montés sur un support de test haute température, visible figure 7.8. Ce dispositif est composé de la puce JFET, montée par frittage d'argent (voir section 7.2) sur un substrat céramique (DBC) gravé au laboratoire. Les connexions entre la face supérieure de la puce et le substrat sont assurées par des fils de bonding de 150  $\mu\text{m}$  (réalisés par Thales TMI). Le substrat est à son tour connecté par frittage à un *leadframe* (un ensemble de conducteurs gravés – également au laboratoire – dans une plaque de cuivre de 350  $\mu\text{m}$  d'épaisseur). Les connecteurs du *leadframe* sont maintenus espacés par un ruban de *Kapton* adhésif. Un circuit imprimé est brasé à l'autre extrémité du *leadframe* et fournit des connexions rapides vers les dispositifs de test. Il faut noter que nous avons maintenu des connexions kelvin depuis la puce (y compris au niveau des *wire-bonds*) jusqu'aux dispositifs de test.

Sans s'aventurer sur le terrain de la fiabilité à long terme, ce véhicule de test peut supporter transitoirement des températures très élevées au niveau de la puce et du substrat (la limite la plus basse étant la fusion des fils de bonding, soit plus de 600 °C). Le *leadframe*, du fait de son isolation en *Kapton*, pourra supporter ponctuellement des pointes à 300 °C.



(a)



(b)

FIGURE 7.9 – Caractéristique directe à l'état passant ( $V_{GS} = 0 V$ ) des JFET 1 (a) et 2 (b) en fonction de la température.

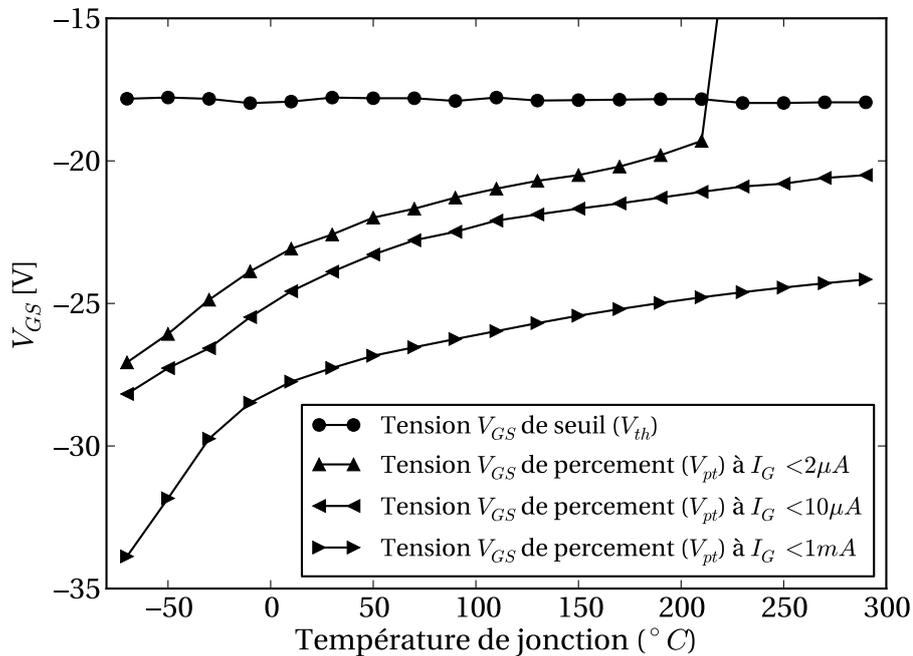


FIGURE 7.10 – Évolution de la tension de seuil et de la tension de perçement (*punch-through*) du JFET 1 en fonction de la température de jonction.  $V_{pt}$  est mesurée pour différentes valeurs du courant de grille.

Trois véhicules ont été assemblés, en utilisant deux lots de puces JFET (fabriquées par SiCED) :

- une puce de  $2,4 \times 2,4 \text{ mm}^2$ , qui correspond à une des premières générations de JFET, avec une résistance drain-source ( $R_{DS_{on}}$ ) théorique de  $500 \text{ m}\Omega$  ;
- deux puces de  $4,08 \times 4,08 \text{ mm}^2$ , d'une génération plus récente, avec un  $R_{DS_{on}}$  théorique de  $50 \text{ m}\Omega$ .

Ces véhicules de test sont résumés dans le tableau 7.1 (la résistance thermique sera discutée plus loin).

Nous avons réalisé deux séries de caractérisations électriques sur ces véhicules :

- courant de fuite de grille, en fonction de la tension  $V_{GS}$ , mesuré à l'aide d'une source de précision Keithley SMU 2410 ;
- caractéristique directe  $I_D = f(V_{DS}, V_{GS})$ , mesurée à l'aide d'un traceur de caractéristiques Tektronix 371A.

Dans les deux cas, la température du JFET était contrôlée par un conditionneur de température Thermonics T2500/E, dans une gamme allant de  $-50 \text{ }^\circ\text{C}$  à  $+270 \text{ }^\circ\text{C}$ . Un exemple de caractéristique obtenue (pour les JFET 1 et 2) est donné figure 7.9.

### 7.1.3.2 Comportement de la grille du JFET

L'état du JFET est défini par deux paramètres principaux de sa caractéristique de grille : la tension de seuil ( $V_{th}$ ) et la tension de percement de la jonction grille-source ( $V_{pt}$ , pour *punch-through*).  $V_{th}$  est la tension grille-source nécessaire pour bloquer le transistor.  $V_{pt}$  est la tension grille-source pour laquelle le courant de grille atteint une valeur donnée, habituellement définie comme étant le courant maximum que le circuit de commande peut fournir de façon continue. Ces deux tensions étant négatives, la tension  $V_{GS}$  assurant le blocage du transistor est donc :

$$V_{th}(T) > V_{GS} > V_{pt}(T) \quad (7.3)$$

En effet, piloter le transistor avec une tension  $V_{GS}$  dépassant  $V_{pt}$  se traduirait par une dissipation de puissance excessive dans le transistor et surtout dans son circuit de commande associé. Pour des raisons pratiques, le niveau de courant de grille établi est habituellement inférieur à quelques milliampères.

Lorsque le JFET fonctionne en saturation, sa caractéristique  $I_D/V_{DS}$  peut être approximée par l'équation suivante [9] :

$$I_D = \begin{cases} 0 & \text{si } V_{GS} > V_{th} \\ K_p(V_{GS} - V_{th})^2 & \text{si } V_{GS} \leq V_{th} \end{cases} \quad (7.4)$$

(Notez que la caractéristique  $I_D = f(V_{DS})$  est habituellement plus complexe, les JFET étudiés ici ayant deux canaux, l'un horizontal, l'autre vertical) [9].  $V_{th}$  et  $K_p$  sont identifiés à partir de la caractéristique  $I_D/V_{DS}$  par une technique des moindres carrés. L'évolution de  $V_{th}$  en fonction de la température est tracée sur la figure 7.10. Il apparaît que cette évolution est très faible, et que l'on peut considérer  $V_{th}$  comme constant. C'est confirmé par [46], puisque  $V_{th}$  est principalement lié aux niveaux de dopage du JFET et à sa géométrie, tous deux indépendants de la température.

La valeur de la tension de percement (*punch-through*) est quant à elle directement extraite de la mesure de la caractéristique de grille  $I_G = f(V_{GS})$ . Sa définition est relativement arbitraire, puisque  $V_{pt}$  correspond à la tension grille-source pour laquelle le courant de grille atteint une valeur donnée. Trois valeurs de courant ont été choisies pour la figure 7.10 : 2  $\mu\text{A}$ , 10  $\mu\text{A}$  et 1 mA.

On peut voir que, pour ces trois niveaux de courant,  $V_{pt}$  croît avec la température. Pour 10  $\mu\text{A}$ , les courbes  $V_{th}$  et  $V_{pt}$  ne se croisent pas sur la gamme -70/+290 °C, mais la plage de tensions permettant le blocage du transistor (7.3) devient extrêmement faible (-18 à -20 V à 290 °C). Cette « marge de sécurité » s'élargit pour un courant de grille de 1 mA. Pour 2  $\mu\text{A}$ , au contraire, il devient impossible d'ouvrir le JFET au-delà de 210 °C, puisque la tension de percement devient inférieure (en valeur absolue) à la tension de seuil.

Cela signifie que pour assurer un contrôle fiable du JFET, le circuit de commande doit pouvoir fournir un courant de grille de 10  $\mu\text{A}$  minimum (condition assez simple à satisfaire), en particulier pour les températures les plus hautes.

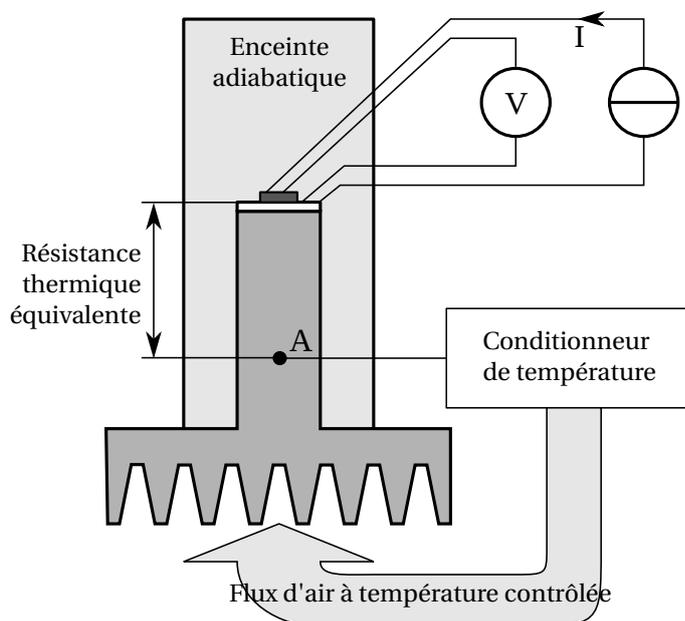


FIGURE 7.11 – Principe du dispositif de test d'emballage, dans lequel on fixe la résistance thermique et la température ambiante.

Pour tenir compte des dispersions de caractéristiques entre différents transistors, il est même préférable de définir une valeur de courant plus élevée, de l'ordre du milliampère. À l'opposé, piloter ce JFET avec un circuit ne pouvant fournir que quelques microampères en régime permanent nous expose à la destruction du composant, qui va devenir incontrôlable dès que sa température de jonction dépasse 200 °C.

### 7.1.3.3 Étude de la sensibilité à l'emballage thermique à l'état passant

Quatre modes d'instabilité thermique potentiels sont listés page 108. Nous avons démontré que le JFET SiCED n'est pas sensible aux trois premiers (emballement à l'état bloqué, focalisation, perte de contrôle). Reste donc à vérifier la sensibilité au dernier : l'emballage thermique à l'état passant (que j'appellerai simplement « emballement thermique » dans ce qui suit).

À l'état passant, et pour les tensions drain-source faibles (par exemple moins de 4–5 V sur la figure 7.9(b)), le transistor JFET a un comportement résistif, caractérisé par la résistance drain-source  $R_{DS_{on}}$ . Cette résistance est principalement due à la résistivité de la couche faiblement dopée assurant la tenue en tension du JFET à l'état bloqué.  $R_{DS_{on}}$  a donc la même dépendance à la température que la résistivité du SiC [139] :

$$R_{DS_{on}}(T_J) = R_{300K} \left( \frac{T_J}{300} \right)^{2,3} \quad (7.5)$$

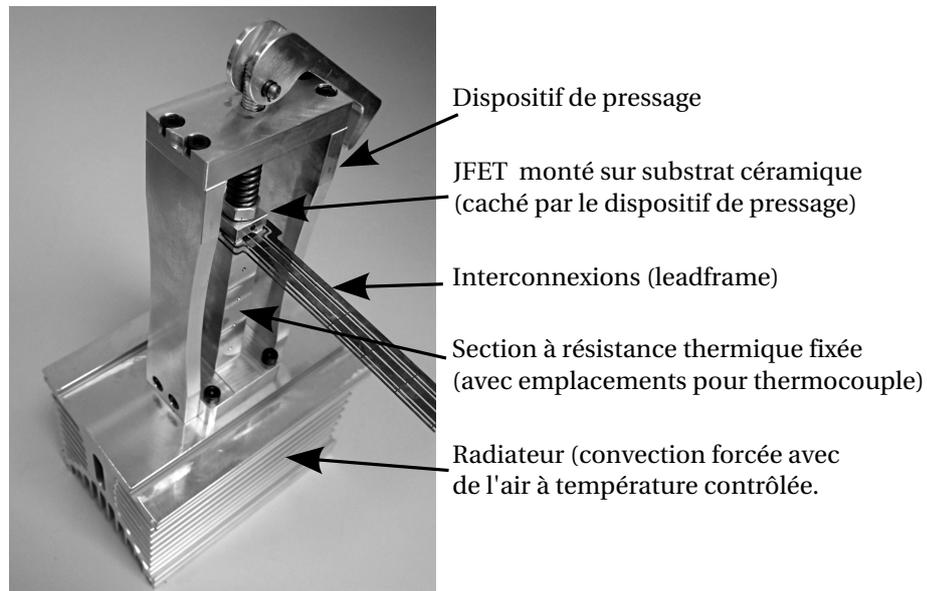


FIGURE 7.12 – Dispositif de test permettant de fixer la résistance thermique et la température ambiante.

avec  $R_{300K}$  la valeur de la résistance  $R_{DS(on)}$  à 300 K et  $T_J$  la température de « jonction », c'est à dire de la zone active de la puce SiC. La dépendance en température est forte (puissance 2,3), nous sommes donc dans un cas proche de la situation schématisée figure 7.1, page 100 : les pertes en conduction  $P_{cond}$ , égales à  $R_{DS(on)}(T_J) \times I^2$ , augmentent beaucoup plus vite avec la température que les performances du système de refroidissement. Ces dernières augmentent linéairement avec la température puisque la chaleur extraite  $Q$  vaut  $(T_J - T_A)/R_{th}$ , avec  $T_A$  la température ambiante et  $R_{th}$  la résistance thermique du système de refroidissement.

Le JFET semble donc sensible à l'emballage thermique, ce qui a été confirmé par une étude identique à celle effectuée sur la diode SiC page 101 (construction et utilisation d'un modèle de pertes à partir de la caractérisation expérimentale). Cette modélisation empirique n'est pas présentée ici pour des raisons de place, le lecteur intéressé pourra se reporter vers [119].

Afin d'illustrer expérimentalement cette sensibilité, j'ai mis en place le banc expérimental décrit figure 7.11 : les véhicules de test décrits précédemment (voir figure 7.8) sont placés sur un support dont on contrôle la température en un point A à l'aide d'un « conditionneur de température » Thermonics T2500/E. Comme la température au point A est fixée, on peut identifier le système de refroidissement à un modèle simple : la température au point A est la température ambiante, et seuls les éléments situés entre ce point et la zone active de la puce interviennent dans la résistance thermique. Ce dispositif permet donc de fixer simultanément  $T_A$  et  $R_{th}$  :  $T_A$  en changeant la consigne du conditionneur de température,  $R_{th}$

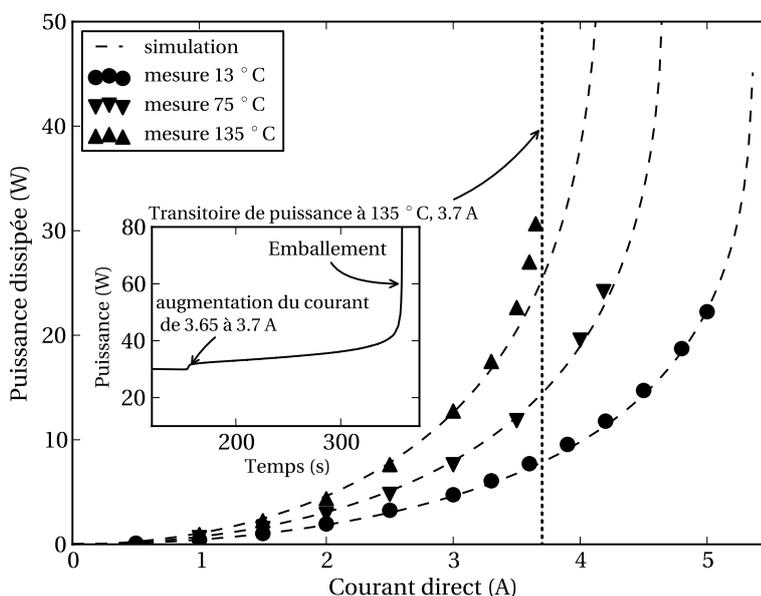


FIGURE 7.13 – Température de jonction en fonction du courant direct pour le JFET 1 ( $R_{DS_{on}} = 490 \text{ m}\Omega$ ,  $R_{thJA} = 4,5 \text{ K/W}$ ) et trois températures ambiantes. Le transitoire mesuré pour l’emballement obtenu à 3,7 A et 135 °C est présenté dans l’encadré.

en déplaçant le point A le long de la colonne. Une photographie du support est visible figure 7.12. Une enceinte adiabatique (une enveloppe en PTFE remplie de vermiculite) permet de garantir que la quasi-totalité du flux de chaleur émis par la puce sous test est transmis par conduction jusqu’au radiateur.

Les trois véhicules de test de la table 7.1 ont été montés sur ce banc de test (avec les résistances thermiques décrites dans la table). Pour chacun d’eux, j’ai mesuré les pertes en conduction pour trois températures ambiantes (13, 75 et 135 °C), en augmentant le courant de drain jusqu’à l’apparition d’instabilités thermiques. La puissance dissipée au niveau de la puce a été mesurée à l’aide de multimètres Keithley 2000 et 2100, d’un Shunt (Metrix HA0171), et en se servant des connexions kelvin des véhicules de test.

Les résultats obtenus pour les véhicules de test 1, 2 et 3 sont visibles figures 7.13, 7.14 et 7.15 respectivement. Il apparaît que quelle que soit la température ambiante, il est possible d’atteindre un régime d’instabilité thermique. C’était prévisible pour le JFET 2, qui est refroidi à travers une résistance thermique importante (7,9 K/W), mais c’est plus surprenant pour le JFET 3, dont le système de refroidissement est bien plus efficace (2 K/W). Par exemple, pour le JFET 3, à une température ambiante de 75 °C, l’emballement se produit pour environ 15 A. Si l’on ne tenait pas compte de la variation de  $R_{DS_{on}}$  avec la température, la puissance dissipée à ce niveau de courant serait  $R_{DS_{on}} \times I^2 = 0,057 \times 15^2 = 12 \text{ W}$  ce qui,

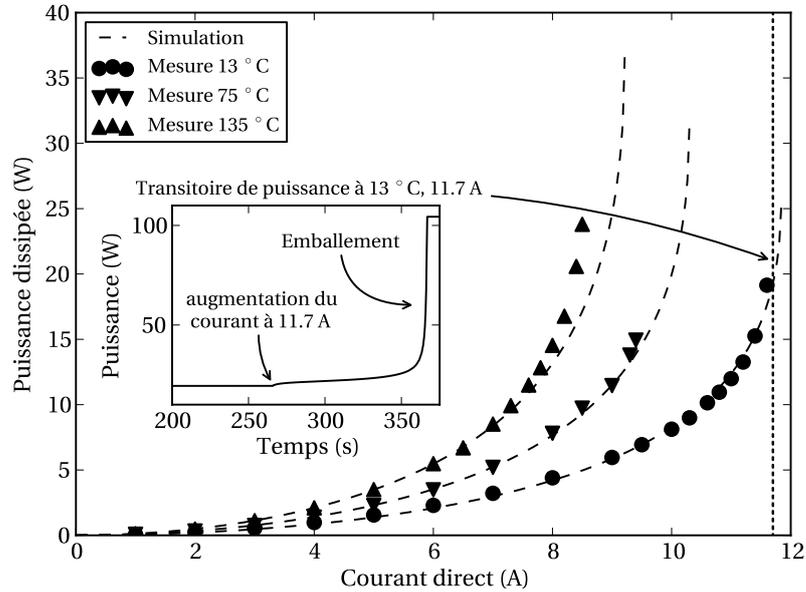


FIGURE 7.14 – Température de jonction en fonction du courant direct pour le JFET 2 ( $R_{DS_{on}} = 57 \text{ m}\Omega$ ,  $R_{thJA} = 7,9 \text{ K/W}$ ) à trois températures ambiantes. Le transitoire mesuré pour l’emballement obtenu à 11,7 A et 13 °C est présenté dans l’encadré.

avec une  $R_{th}$  de 2 K/W devrait se traduire par un échauffement d’à peine 24 °C.

Plus étonnant encore, l’augmentation des pertes causée par la simple augmentation de  $R_{DS_{on}}$  (équation 7.5) est tracée en pointillés sur les figures 7.13, 7.14 et 7.15. On peut voir, notamment dans le cas du JFET 3 que l’emballement thermique se produit en fait à un niveau de courant plus faible que prédit par le modèle de l’équation (équation 7.5). Cela s’explique par l’abaissement du courant de saturation du JFET avec la température, qui vient s’ajouter à l’augmentation de  $R_{DS_{on}}$  pour augmenter la chute de tension à un niveau de courant donné (voir les caractéristiques statiques figure 7.9). Le JFET est donc sensible à l’emballement thermique, plus encore que ne le laissait présager la simple variation de  $R_{DS_{on}}$ .

À fin d’illustration, des mesures transitoires de la puissance dissipée par les JFET sont visibles en incrustation dans les figures 7.13 et 7.14. On peut voir qu’à un certain point, une augmentation très faible du courant de drain (passage de 3,65 à 3,7 A dans le cas du JFET 1 et de 11,6 à 11,7 A pour le JFET 2) déclenche l’emballement thermique. La puissance délivrée par la source était volontairement limitée à une centaine de watts. Étant donné la forte  $R_{th}$  du JFET 2 (7,9 K/W), cela a suffi à causer sa destruction. On peut voir figure 7.16 la photographie de la puce après l’emballement. Une large partie de la métallisation aluminium a changé d’aspect, ce qui indique que la température de fusion de l’aluminium ( $\approx 660 \text{ °C}$ ) a été atteinte, ce qui est cohérent avec la  $R_{th}$  (7,9 K/W) et la puissance dissipée (100 W).

Enfin, figure 7.17, j’ai tracé la température de jonction (calculée à partir de  $R_{th}$

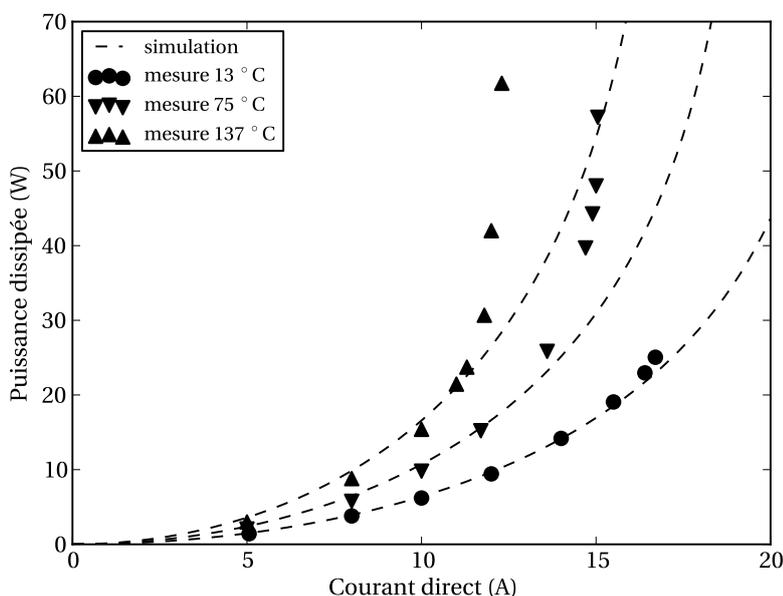


FIGURE 7.15 – Température de jonction en fonction du courant direct pour le JFET 3 ( $R_{DSon} = 65 \text{ m}\Omega$ ,  $R_{thJA} = 2 \text{ K/W}$ ) et trois températures ambiantes.

et de  $P_{cond}$ ) en fonction du courant direct, pour les JFET 2 et 3. On peut voir que pour les faibles valeurs de  $R_{th}$ , il y a une très forte différence entre la température réelle et celle qu'on peut estimer sur la base de l'équation 7.5, probablement, comme indiqué précédemment, en raison de la diminution du courant de saturation avec la température.

#### 7.1.4 Conclusion sur la stabilité thermique des composants SiC

J'ai effectué cette étude de la stabilité thermique suite à un article [139], dont les conclusions étaient inquiétantes : les composants SiC (qu'il s'agisse de diode Schottky, de JFET, de MOSFET ou de BJT) sont extrêmement sensibles à l'emballement thermique, qui peut se déclencher en-dessous de 200 °C.

Dans le cas de la diode Schottky et du JFET, ces conclusions sont confirmées. Elles sont même renforcées dans le cas du JFET, dont l'emballement thermique apparaît un peu plus rapidement que la seule augmentation de la résistivité du SiC ne le laisse augurer.

Pour ce qui est des diodes, le problème a déjà été traité : si les premières diodes étaient purement unipolaires, les générations suivantes ont intégré une jonction bipolaire (structure MPS ou JBS) pour les rendre plus robustes aux surcharges (autrement dit, pour empêcher l'emballement thermique). L'étude expérimentale ci-dessus montre clairement l'effet de cette jonction bipolaire et la stabilisation que cela apporte.

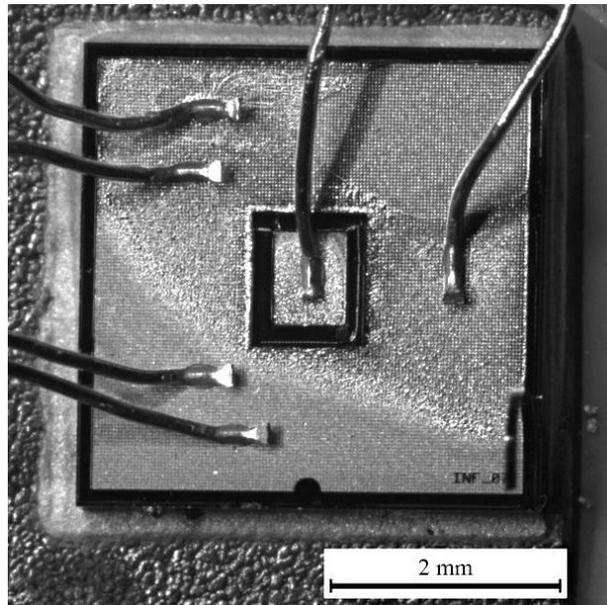


FIGURE 7.16 – Photographie de la puce du JFET 2 après emballage thermique (destructif). Une large part de la métallisation aluminium a changé d'aspect, indiquant une température qui a dépassé 660 °C.

Pour les JFET, par contre, la solution semble reposer sur une gestion thermique efficace et des marges de sécurité : ces transistors peuvent fonctionner à haute température (300 °C ou plus), pour peu qu'ils soient connectés à un radiateur possédant une résistance thermique faible (idéalement 2 K/W ou moins).

Il faut cependant noter que dans certains transistors MOSFET SiC [28], l'augmentation de résistivité du matériau est compensée par une variation de la tension de seuil avec la température (et donc par une modulation de la résistance du composant à tension de commande constante). Dans ce cas, on peut obtenir des transistors dont les pertes à l'état passant augmentent plus faiblement avec la température, moins sensibles à l'emballement. Il ne s'agit pas là d'un effet intrinsèque au SiC ou à la structure MOSFET. Cet effet va plutôt dépendre des caractéristiques d'une référence de transistor donnée (transconductance, tension de seuil...)

## 7.2 Attache de puces « haute température »

### 7.2.1 Axes de développement

Pour éviter la « fuite en avant » des températures de procédés présentée section 5.4.2, page 58, il faut pouvoir décorrélérer la température de fusion du matériau d'assemblage et la température de réalisation de ce même assemblage. Cela né-

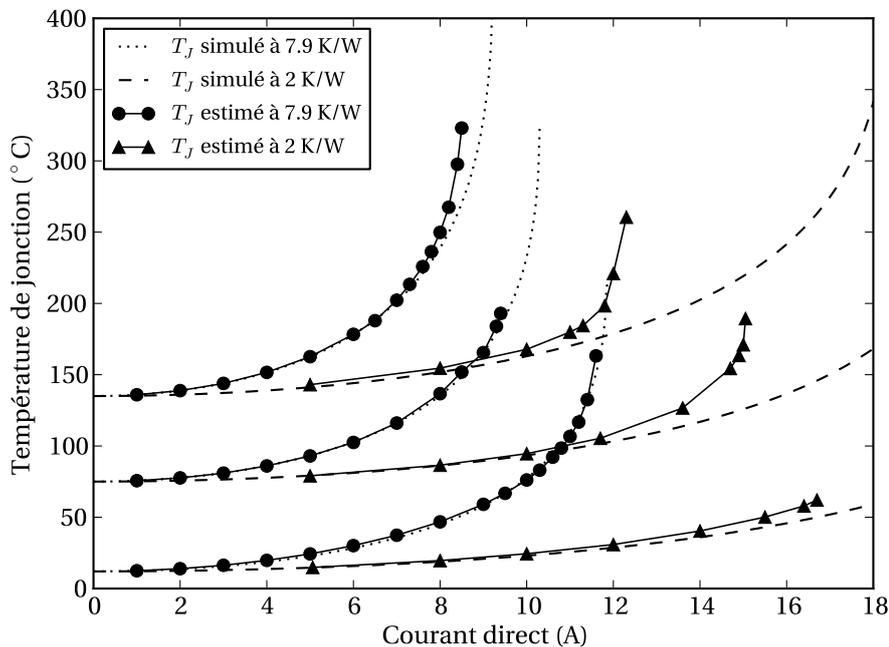


FIGURE 7.17 – Température de jonction en fonction du courant direct, pour deux valeurs de résistances thermiques (correspondant au JFET 2 et au JFET 3), et valeurs estimées en ne considérant que la variation de résistivité du SiC en fonction de la température (lignes pointillées)

cessite de changer de technique, la brasure nécessitant par définition un passage en phase liquide (et donc une température de procédé supérieure à la température de fusion).

Plusieurs alternatives à la brasure permettent de réaliser un assemblage métallique à une température inférieure aux points de fusion de ses constituants :

**La thermocompression**, technique dans laquelle les pièces à joindre sont pressées l'une contre l'autre et l'ensemble est chauffé modérément (150 à 350 °C, pour une pression de 150 à 30 MPa respectivement pour de l'or [67]). Cela fonctionne bien pour des matériaux très ductiles, avec de bons états de surface. L'or est préféré pour sa résistance à l'oxydation et sa vitesse de diffusion élevée [31]. La thermocompression de pièces en cuivre a également été décrite pour des wafers [30]. Une technique proche est également décrite dans le chapitre 6 du présent manuscrit (section 6.4).

**La soudure en phase liquide transitoire** ressemble à la brasure, puisqu'une couche métallique est intercalée entre les deux pièces à joindre, et l'ensemble est porté à une température supérieure au point de fusion de la couche. La différence, c'est que les quantités de ce matériau d'apport sont

suffisamment faibles pour qu'il se dilue totalement dans les pièces à assembler, formant un alliage à haute température de fusion.

**Le frittage**, notamment d'argent, est un procédé qui se déroule entièrement en phase solide. Le matériau d'assemblage est ici une poudre, qui va être portée à une température modérée (habituellement inférieure à 300 °C). Les mécanismes de diffusion vont alors pousser les particules de la poudre à se joindre, formant ainsi un joint massif qui, dans le cas de l'argent, aura un point de fusion de 961 °C.

Les deux dernières techniques sont particulièrement intéressantes, parce qu'elles permettent d'assembler des composants relativement « standard », et ne nécessitent pas un excellent état de surface (poli miroir, nettoyage ultra-poussé, etc.). C'est donc sur la soudure en phase liquide transitoire et le frittage d'argent que nous allons nous concentrer dans ce qui suit. Une présentation de chacune de ces deux techniques est donnée dans les sections 7.2.1.1 et 7.2.1.2, puis nous rentrerons dans les détails de leur mise en œuvre au laboratoire Ampère (sections 7.2.2 et 7.2.3).

### 7.2.1.1 Soudure en phase liquide transitoire (*Transient Liquid Phase Bonding, TLPB*)

Le principe de la soudure en phase liquide transitoire (que nous appellerons TLPB dans ce qui suit) est décrit figure 7.18 :

- a) on part de la structure décrite figure 7.18(a), avec deux pièces à joindre constituées d'un matériau  $A$ , et une couche fusible de composition  $C_E$ , alliage eutectique de  $A$  et  $B$  (à bas point de fusion  $T_F$ ). L'ensemble est porté à une température ( $T_B$ ) supérieure à  $T_F$ .
- b) Une partie des pièces à joindre se dissout dans la couche fondue, augmentant la concentration de  $A$  jusqu'à la valeur  $C_L$  (limite du liquidus). Une petite partie de  $B$  commence également à diffuser dans les parties solides, augmentant localement la concentration à une valeur  $C_S$ .
- c) Au fur et à mesure que  $B$  diffuse dans les parties solides, on observe la réduction du volume de liquide (mécanisme de solidification isotherme).
- d) le processus se poursuit jusqu'à ce que tout le volume liquide se soit solidifié. À ce stade, on a effectué un assemblage dont le point de fusion est  $T_B$ .
- e) la diffusion de  $B$  se poursuit en phase solide (donc avec une vitesse moindre)
- f) En fin de procédé, on a en théorie une concentration uniforme (et très faible) de  $B$  dans l'ensemble des pièces à joindre, le point de fusion est maintenant très proche de celui de  $A$ .

Du fait de la présence d'une phase liquide durant le procédé, on observe des phénomènes de mouillage de surfaces [99], tout comme avec une brasure. Cela

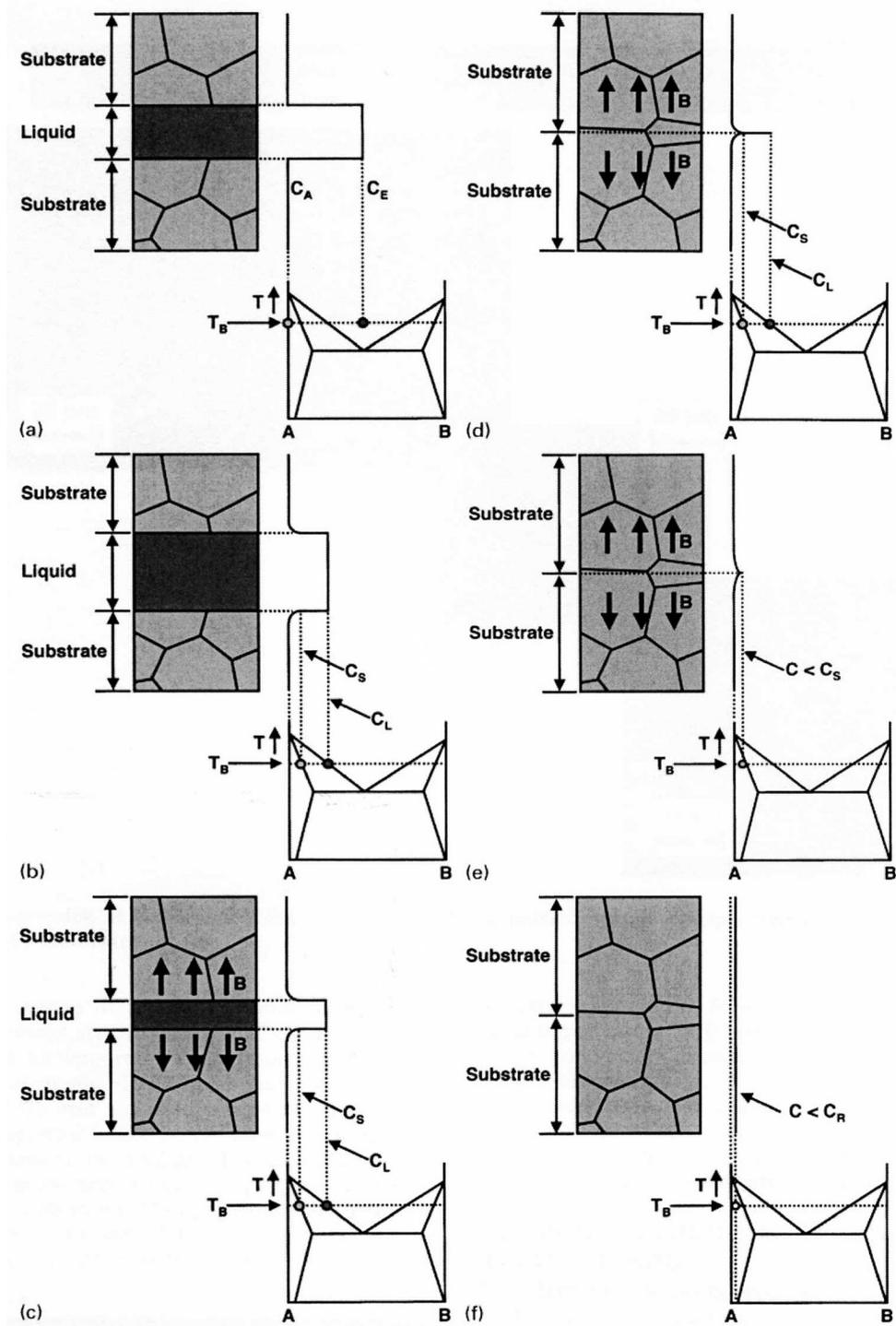


FIGURE 7.18 – Principales étapes d'une soudure par phase liquide transitoire, et diagramme de phase correspondant (tiré de [48]) : (a) État initial ; (b) dissolution du substrat dans la phase liquide ; (c) solidification isotherme ; (d) fin de la solidification isotherme, il n'y a plus de phase liquide ; (e) homogénéisation en phase solide ; (f) état final.

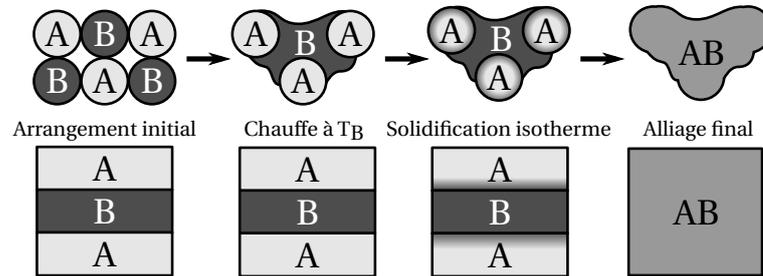


FIGURE 7.19 – principe du TLPS : les couches métalliques sont remplacées par des billes, augmentant ainsi la surface spécifique et donc la réactivité (d'après [53]).

permet d'assurer un bon contact entre les pièces à joindre et le matériau d'apport, même si aucune pression mécanique n'est exercée sur l'ensemble (il faut cependant noter que dans la plupart des études, une pression est appliquée sur les pièces à joindre).

**Application du TLPB à l'assemblage en électronique** Le TLPB (et ses variantes comme le « off-eutectic bonding » ou le « Solid-Liquid Interface Diffusion » — SLID —) sont étudiés pour l'attache de puce depuis les années 60 [12]. Initialement, le but n'était pas de permettre un fonctionnement à haute température, mais plutôt d'abaisser la température du procédé pour réduire les contraintes mécaniques résiduelles. Ces contraintes sont particulièrement pénalisantes dans le cas des composants de grande surface, comme les *wafers* complets utilisés dans les composants *press-pack*.

Ces travaux se sont poursuivis, puisque que la société Infineon a récemment présenté (sans grand détails) la mise en œuvre du TLPB pour l'assemblage de certaines de ses puces [56]. Leur objectif est à la fois de répondre aux besoins de l'automobile (composants dimensionnés pour 200 °C de température de jonction) et de supprimer le plomb de leurs composants. Le TLPB, basé sur les couples étain/cuivre ou nickel/étain permet ainsi de s'affranchir du plomb sans pour autant faire appel à des métaux nobles comme l'argent ou l'or.

Il faut d'ailleurs remarquer que les couples *A/B* utilisables en électronique sont relativement limités : On recherche en effet des températures de procédés inférieures à 300°C. Les métaux fusibles à basse température utilisables, une fois retirés ceux qui sont toxiques, radioactifs ou trop rares, se limitent, à l'indium ( $T_F = 157$  °C), l'étain (232°C) et au bismuth (272°C). Les métaux parents sont ceux que l'on utilise déjà en électronique, dont les procédés de mise en œuvre sont au point : cuivre, argent, or, nickel...

Dans le cas d'une attache de puce sur un substrat métallique, l'épaisseur respective des différentes couches impliquées dans l'assemblage est contrainte par la rugosité des surfaces : la couche fusible doit être suffisamment épaisse pour combler la rugosité ( $R_a$  de quelques microns dans le cas d'un substrat DBC). Les

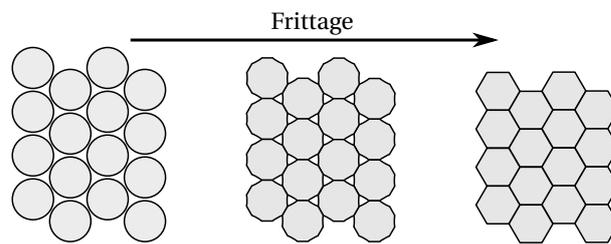


FIGURE 7.20 – Frittage d'une poudre, d'après [11] : les particules de poudre, d'abord libres, forment des ponts entre elles, puis ces ponts s'élargissent jusqu'à refermer les pores.

finitions des pièces à joindre doivent être assez épaisses pour que la couche fusible s'y dilue. Classiquement, les finitions métalliques doivent avoir une épaisseur 3 à 4 fois supérieures à celles de la couche fusible [99], soit quelques microns pour la couche fusible et quelques dizaines de microns d'épaisseur pour les finitions.

De telles épaisseurs limitent la cinétique du procédé. Une approche alternative est présentée figure 7.19 : Ici, le métal d'apport n'est pas constitué que de la couche fusible, mais d'un mélange de poudres contenant l'élément fusible et le métal parent (celui des finitions). La surface spécifique est ainsi augmentée (et par là la cinétique du procédé), et les finitions des pièces à assembler peuvent être plus minces, et être réalisées par les procédés standard. Enfin, la poudre est mélangée avec des composés organiques pour former une pâte dont la fluidité permet de compenser la rugosité des pièces à joindre. Cette technique, nommée *Transient Liquid Phase Sintering* (TLPS), a permis de réaliser des attaches de puces fonctionnant jusqu'à 600 °C basées sur le système étain/cuivre [53].

### 7.2.1.2 Frittage d'argent

Le frittage est « le passage d'un compact pulvérulent à un matériau cohérent sous l'action de la chaleur » [11]. Ce passage d'une poudre à un solide se fait soit sans passage par une phase liquide (frittage en phase solide, celui qui nous intéressera ici), soit par la fusion d'une partie seulement du matériau. Ce dernier cas nécessite des matériaux polyphasés, formés de plusieurs espèces chimiques. Il ne sera pas décrit ici, nous ne nous intéresserons qu'au frittage de matériaux purs<sup>1</sup>

**Principe du frittage** Du fait de sa plus grande surface spécifique (surface par unité de volume), une poudre est moins stable qu'un solide dense. Elle aura tendance à évoluer vers un état de plus basse énergie, qui correspond à une réduction de la surface en contact avec l'atmosphère ambiante. Cela peut se faire soit par grossissement de des particules et réduction de leur nombre, soit en formant des ponts entre les particules. Ce dernier cas correspond au frittage.

1. Une grande partie des informations données ici provient d'un article très complet : « Frittage : aspects physico-chimiques », paru dans les Techniques de l'Ingénieur [11].

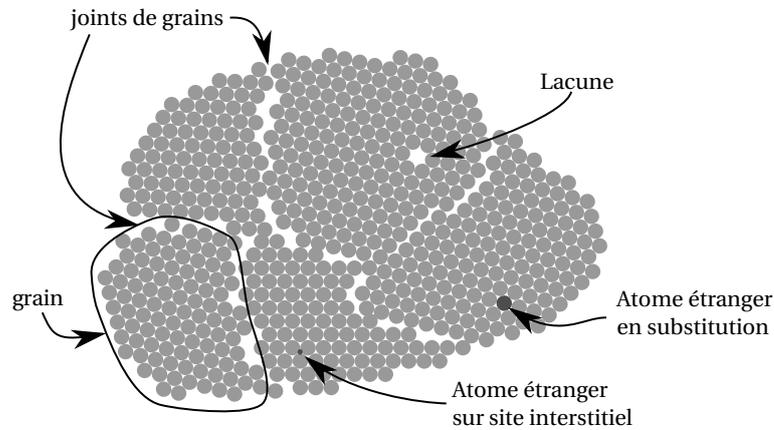


FIGURE 7.21 – Structure granulaire d'une particule d'argent et différents défauts qui peuvent l'affecter (d'après [61]). Les ronds représentent des atomes, et le schéma n'est pas à l'échelle.

Le processus de frittage est illustré figure 7.20 : sous l'action de la chaleur, les particules de la poudre, initialement libres, vont former des ponts entre elles de façon à réduire la surface exposée à l'atmosphère ambiante. Ce phénomène va se poursuivre jusqu'à élimination des pores entre les particules, et la formation d'un solide dense.

Il s'agit là d'un cas idéal, et de nombreux phénomènes peuvent empêcher la formation d'un solide dense. Tout d'abord, comme indiqué ci-dessus, deux mécanismes sont en compétition : d'une part le grossissement des particules, qui ne forme pas un solide, et d'autre part le frittage. Ensuite, même lorsque le frittage est amorcé et que les ponts se forment, la densification peut ne pas se produire. Si la matière qui forme les ponts provient de la surface des particules, on n'observera pas de densification (on va former un solide poreux) [61]. Au contraire, si les ponts sont formés avec de la matière provenant de l'intérieur des particules, on obtiendra un rapprochement des grains qui se traduira bien par l'évolution décrite figure 7.20.

Il existe en effet plusieurs mécanismes de transport de matière : les transports de surface (évaporation/condensation, diffusion de surface) et les transports en volume (diffusion, déformation plastique). Un troisième type existe : le transport de matière aux joints de grains. Si l'on observe une particule de poudre (figure 7.21), on peut voir qu'elle a une structure polycristalline, comprenant plusieurs grains (ou cristallites). Les joints de grains, qui constituent de larges défauts dans cette structure, forment des chemins préférentiels pour le transport de matière lors du frittage.

Suivant la température ou la taille des particules, un mécanisme de transport sera favorisé [11]. De même, une montée en température lente aura tendance à privilégier le grossissement des particules, alors qu'une montée rapide favorisera

le frittage. On voit donc que la définition du cycle thermique de frittage aura un effet primordial sur le résultat.

Parmi les autres paramètres d'influence, citons l'application d'une pression mécanique, qui favorise le contact entre les particules et améliore la cinétique du frittage, ainsi que la taille des particules. L'effet de ce dernier paramètre s'exprime à travers de l'équation suivante, tirée la loi « de similitude de Herring » [11, 99], pour un mécanisme de transport de matière donné :

$$\frac{t_1}{t_2} = \left( \frac{r_1}{r_2} \right)^m \quad (7.6)$$

avec  $r_1$  et  $r_2$  les rayons de particules de deux poudres,  $t_1$  et  $t_2$  les temps nécessaires à chacune des poudres pour atteindre le même niveau de frittage (même densité), et  $m$  une valeur entière (2, 3 ou 4) représentative du mécanisme de transport de matière (voir tableau dans [11]). On voit donc que la réduction de rayon des particules se traduit par une très forte diminution du temps de frittage. À l'extrême, avec des particules de taille nanométrique, on obtient une poudre si réactive que le frittage peut se produire sans apport de chaleur. Le frittage d'argent à température ambiante a ainsi été démontré dans [152].

**Application du frittage d'argent aux assemblages en électronique** L'application du frittage aux assemblages en électronique semble dater de la fin des années 80, avec le dépôt en 1989 par Siemens d'un brevet [138] décrivant l'assemblage de *wafers* sur des disques de molybdène par une couche d'argent frittée. L'argent remplace ici la soudure Si/Mo habituellement utilisée pour les boîtiers *press-pack* dont la température est trop élevée pour des composants à structure fine comme des MOSFETs [137]. Avec la technique de frittage d'argent, la température d'assemblage est limitée à 250 °C, réduisant les contraintes mécaniques résiduelles.

Le frittage de différents métaux a été étudié : citons le cuivre [145], l'or [73], l'aluminium [94], et bien sûr l'argent, qui est le plus couramment utilisé, et le seul disponible commercialement (sociétés Heraeus, Cookson, Henkel, NBETech...). Dans tous les cas, il s'agit de matériaux ductiles (leur densité élevée de dislocations crée de nombreux joints de grains qui favorisent la diffusion atomique) [61] et à point de fusion relativement bas (de 961 °C pour l'argent, 1064 °C pour l'or), ce qui rend le frittage plus réactif, même à basse température. Le cuivre nécessite un bon contrôle de l'atmosphère gazeuse, afin d'éviter l'oxydation. L'or a l'avantage de n'être pas sensible à l'oxydation, mais est bien plus coûteux. L'argent, qui est également peu sensible à l'oxydation et bien moins cher que l'or s'est donc imposé.

La poudre d'argent utilisée pour le frittage est mélangée avec différents produits (souvent regroupés sous le nom de « composés organiques ») pour former une pâte : un liant, qui donne la consistance de la pâte, un solvant, pour ajuster la viscosité, et un dispersant qui assure que les particules d'argent restent séparées les unes des autres. Cela évite que le frittage ne s'amorce dans le pot et que la pâte ne décante avant utilisation, notamment dans le cas des pâtes à particules

de taille nanométrique [7]. Pour réaliser un assemblage, la pâte est déposée sur un substrat, par sérigraphie [7] ou par dispense à la seringue [106].

Plusieurs types de pâte d'argent existent : les plus classiques, utilisées industriellement par exemple par Semikron[49], contiennent des particules d'argent de taille micrométrique (1 à 20  $\mu\text{m}$ ). Ces pâtes nécessitent l'application, durant le frittage, d'une pression importante (de l'ordre de 40 MPa, soit 4000 N sur une puce de 1  $\text{cm}^2$ ). Cela nécessite un outillage adapté pour éviter d'endommager les composants [50]. Un second type de pâte fait appel à des particules nanométriques [7] (taille de particule de l'ordre de la dizaine à quelques dizaines de nanomètres), beaucoup plus réactives et permettant en théorie le frittage sans pression [91]. La plupart des équipes (nous y compris) ayant utilisé ce matériau a néanmoins obtenu des résultats médiocres (tenue en cisaillement allant de 0 à moins de 10 MPa) sans pression, et conseille d'appliquer une pression légère pour favoriser le frittage (1 à 5 MPa) [69, 80]. La présence dans ces pâtes de nanoparticules pose en outre des questions sanitaires, leur innocuité étant encore incertaine[93]. Un troisième type de pâte, que je décrirai plus loin (section 7.2.3.2), contient des particules micrométriques, ainsi que des additifs permettant d'amorcer le frittage [61]. Cela permet le frittage sans pression (ou sous faible pression), tout en évitant le recours aux nanoparticules.

Le cycle d'assemblage comporte deux phases. La première se déroule à température modérée (80 à 150 °C) et a pour but l'évaporation des composés organiques de la pâte, afin de ne conserver que la poudre d'argent. La seconde, à température plus élevée (230 à 300 °C) réalise le frittage proprement dit. Une fois l'assemblage terminé, on obtient un joint d'argent pur, d'une densité relative comprise entre 0,5 et 0,9 [78], dont le point de fusion est de 961 °C (1234 K). Un fonctionnement à 300 °C (573 K) correspond alors à une température homologue de 0,46, bien plus basse que pour les brasures (voir page 118). Cela se traduit par de bien meilleures performances en cyclage thermique vis-à-vis des brasures. Par exemple, dans [80], les joints frittés offrent une longévité en cyclage plus de 17 fois supérieure à celle des classiques brasures « sans plomb » (SnAgCu). Ces performances sont confirmées dans [55], et sont comparable à celle du TLPB, qui permet également de fonctionner à des températures homologues basses.

En plus d'une meilleure fiabilité, les joints frittés permettent de tirer partie des excellentes qualités électriques et thermique de l'argent, meilleur conducteur parmi les métaux (conductivité thermique de 429 W/m.K, et résistivité électrique de 15,87  $\text{n}\Omega\cdot\text{m}^2$ ). Même si, du fait de sa porosité, le joint fritté n'offre qu'une fraction des conductivités de l'argent massif, les valeurs obtenues sont largement supérieures à celles des brasures : la résistivité électrique mesurée pour un joint fritté (à base de nano-particules) est de l'ordre de 35  $\text{n}\Omega\cdot\text{m}$  (soit un peu plus de 2 fois celle de l'argent massif), mais de plus de 120  $\text{n}\Omega\cdot\text{m}$  pour une brasure SnAgCu ou même 160  $\text{n}\Omega\cdot\text{m}$  pour la brasure « haute température » AuSn [7]. La même différence se retrouve au niveau de la conductivité thermique : 240 W/m.K pour l'ar-

2. source : <http://en.wikipedia.org/wiki/Silver>, consulté le 8/8/2013

gent fritté, contre moins de 60 W/m.K pour les brasures.

### 7.2.2 Mise en œuvre d'une attache de puce par TLPB « Or/Étain ».

Au début de la thèse d'Amandine MASSON, en 2009, nous avons identifié deux techniques d'attache de puce « haute température » (voir 7.2.1) : TLPB et frittage d'argent. N'ayant d'expérience sur aucune des deux, nous avons entrepris de les évaluer en parallèle.

Concernant le TLPB, parmi les différents couples de métaux utilisables (voir page 122), nous avons décidé de nous concentrer sur l'or-étain : l'or étant insensible à l'oxydation, nous pouvons ainsi travailler sans contrôle de l'atmosphère (le laboratoire s'est depuis équipé d'un four permettant les assemblages sous vide ou sous atmosphère gazeuse contrôlée, mais nous n'en disposons pas à l'époque). Le couple or-étain (Au-Sn) possède une température de fusion assez basse (point eutectique à 280 °C). L'alliage eutectique (80% Au et 20% Sn en masse[37]) est largement utilisé dans l'industrie, et donc disponible facilement, notamment sous forme de feuilles minces (préformes).

*Note* : Ce qui suit est un résumé des travaux menés par Amandine MASSON, pour plus de détails consulter [99].

#### 7.2.2.1 Définition et réalisation des véhicules de test

Comme décrit section 7.2.1.1, le TLPB nécessite non seulement une fine couche de matériau fusible (ici une feuille d'alliage eutectique AuSn), mais également des métallisations adaptées sur les pièces à joindre (ici de l'or). De plus, l'épaisseur de ces métallisations doit être suffisante pour pouvoir diluer notablement le matériau fusible. Les préformes AuSn les plus fines que nous ayons pu obtenir faisant 12,7  $\mu\text{m}$  d'épaisseur, nous avons défini une épaisseur de métallisation de 10  $\mu\text{m}$  d'or sur chacune des pièces à joindre. Cela permet d'atteindre une proportion de 6% d'étain en poids (en considérant une diffusion parfaitement homogène dans le joint), et une température de fusion du joint final supérieure à 500 °C.

Une telle épaisseur de métallisation n'est pas habituelle pour des puces ou des substrats : les premières sont habituellement métallisées « argent » en face arrière (sur une épaisseur de l'ordre du micron, ou moins) ; les métallisations des substrats sont classiquement recouvertes de 4 à 7  $\mu\text{m}$  de nickel protégé de l'oxydation par quelques dizaines de nanomètres d'or. Pour nos essais préliminaires, nous avons décidé de simplifier les véhicules de test, en assemblant deux pièces identiques (des puces « mécaniques ») plutôt qu'une puce sur un substrat. Pour cela, nous avons fait métalliser des *wafers* au CNM (Barcelone), puis nous les avons découpés à l'INL (Lyon).

Une première série de *wafers* a été métallisée selon la recette suivante : Ti (5 nm, couche d'accroche)/Ni (100 nm, barrière de diffusion)/Au (protection contre l'oxydation) / Au électrodéposé (10  $\mu\text{m}$ ). Les bâtis d'électrodéposition du

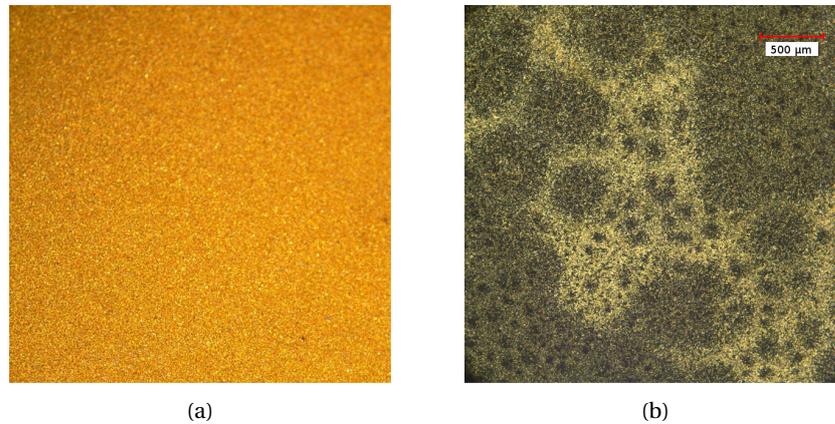


FIGURE 7.22 – État de surface des *wafers* métallisés titane-nickel-or avant (a) et après (b) recuit à 420 °C [99]. Les deux figures sont à la même échelle, et montrent que la barrière de diffusion (100 nm de nickel) ne suffit pas à prévenir l'interdiffusion de l'or et du silicium.

CNM n'acceptant que des *wafers* de 4 pouces de diamètre, nous avons dû nous rabattre sur des *wafers* en silicium (les *wafers* SiC n'étant à cette époque disponibles qu'en diamètre de 3 pouces maximum).

Lors de la découpe de ces *wafers* (sur scie Disco DAD 3220), nous avons noté un délaminage partiel de la métallisation, que nous avons attribué à un excès de contraintes mécaniques résiduelles dans la couche d'or [52]. Pour permettre un relâchement de ces contraintes, nous avons alors procédé à un recuit du wafer. Les résultats sont visibles figure 7.22, et montrent un complet changement d'état de surface. Une analyse EDX a mis en évidence la présence de silicium en surface, ce qui indique que la couche barrière de diffusion (le nickel) n'a pas joué son rôle.

Cette défaillance de la barrière de diffusion a pu être vérifiée en réalisant l'assemblage de deux puces qui avaient supporté l'étape de découpe (sans recuit préalable). Une micro-section de cet assemblage, réalisé à 360 °C est visible figure 7.23. On y voit clairement que l'or et le silicium se retrouvent des deux côtés des barrières de diffusion de nickel. L'alliage Or-Silicium ayant un point de fusion de 363 °C, et la température lors de l'assemblage n'étant contrôlée qu'à quelques degrés près, on peut supposer qu'il y a eu durant l'assemblage une phase liquide or-silicium (voire or-silicium-étain). Cela semble cohérent avec la forme et l'épaisseur (plusieurs microns) de la zone riche en or dans les puces en silicium.

Une seconde série de *wafers* a donc été réalisée, en utilisant le tungstène comme barrière de diffusion. La structure de métallisation est : W (pulvérisation, 200 nm) /Au (pulvérisation, 100 nm) /Au (électrodéposition, 10 µm). Le même phénomène de délaminage a été observé lors de la découpe, et nous avons donc entrepris de faire des recuits pour relâcher les contraintes résiduelles dans la couche d'or. Les résultats sont visibles figure 7.24. Nous n'observons plus aucune

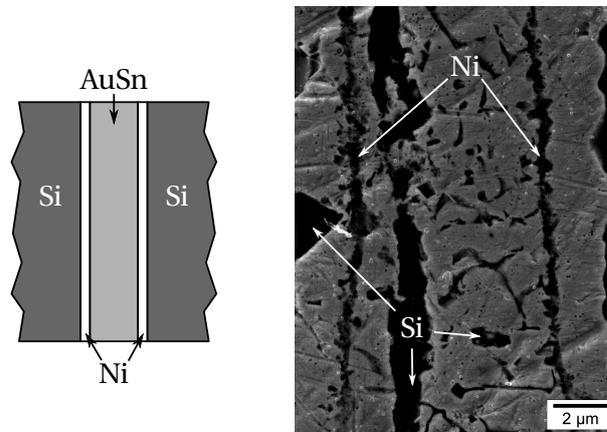


FIGURE 7.23 – Micro-section d'un assemblage TLPB AuSn de deux puces métallisées Ti/Ni/Au. À gauche, schéma théorique de l'assemblage, à droite vue au MEB (électrons rétrodiffusés) montrant l'inefficacité des barrières de diffusion en nickel [99].

remontée du silicium en surface, preuve que le tungstène est une barrière de diffusion efficace (des essais ont ainsi été menés jusqu'à 750 °C sans que l'on ne puisse détecter la présence de silicium). Malheureusement, au-delà d'une température de l'ordre de 500°C, on observe la formation de plis sur la métallisation et un changement de l'état de surface de l'or. Au-dessous de cette température, l'adhésion de la métallisation sur le *wafers* n'est pas améliorée sensiblement.

Nous n'avons pas pu aller plus loin, faute de temps et de budget, mais surtout parce que la mise au point d'une métallisation « haute température » sur silicium n'avait pas beaucoup de sens : notre objectif est l'attaches de puces en SiC! Nous avons cependant pu sélectionner certaines zones de nos *wafers*, où la métallisation a supporté l'étape de découpe, pour les essais d'assemblages.

### 7.2.2.2 Réalisation d'assemblages

Amandine MASSON a réalisé plusieurs séries d'assemblages au cours de sa thèse. Ont été étudiés :

- La composition de la couche fusible, soit un alliage eutectique d'or-étain, soit une feuille d'étain pur ;
- l'effet de la température : 235 °C (juste au-dessus du point de fusion de l'étain, 232 °C), 300 °C (au-dessus du point de fusion de l'or-étain) et 360 °C ;
- l'effet de la durée du procédé : de 5 à 240 minutes ;
- l'effet de la pression : assemblage libre, ou sous une compression pouvant aller jusqu'à 3,5 MPa.

En raison de la mauvaise tenue des métallisations sur les *wafers*, nous nous sommes cantonnés à des analyses par micro-section. Des tests mécaniques n'au-

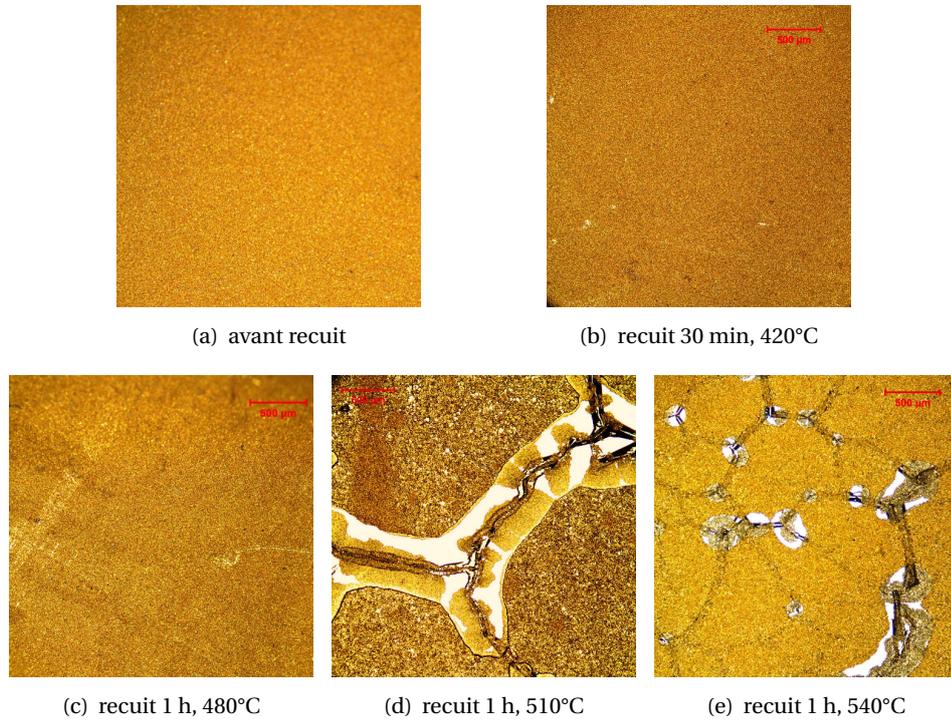


FIGURE 7.24 – État de surface des *wafers* métallisés tungstène-or avant (a) et après recuit (b), (c), (d) et (e) [99]. Toutes les figures sont à la même échelle.

raient en effet mesuré que la faible tenue des métallisations. Un exemple de micro-sections, obtenues pour des assemblages réalisés à 360 °C est donné figure 7.25. Il est intéressant de noter les limites de la microscopie optique, qui ne permet pas de mesurer la progression de la diffusion atomique : certaines phases ont une couleur proche de celle de l'or, il semble même que le joint est plus homogène à 5 minutes (fig. 7.25(b)) qu'à 240 minutes (fig. 7.25(c)). Pour pouvoir analyser la composition des joints, et ainsi quantifier la cinétique du procédé, il faut faire une cartographie des espèces chimiques en présence avec un outil tel que l'EDS (*Energy Dispersive X-Ray Spectroscopy*) d'un microscope électronique.

Cette première étude du TLPB, portant sur une vingtaine de configurations d'assemblages, a permis d'obtenir les résultats suivants :

- bien que le TLPB repose sur une phase liquide, capable en théorie de mouiller correctement les surfaces à joindre, nous avons remarqué que l'application d'une pression mécanique était nécessaire durant l'assemblage. Cela a été également rapporté par d'autres équipes [69, 55] ;
- l'étain pur est trop sensible à l'oxydation pour pouvoir réaliser des assemblages sous air. Par contre, nous n'avons pas remarqué de problèmes d'oxydation avec les préformes or-étain ;

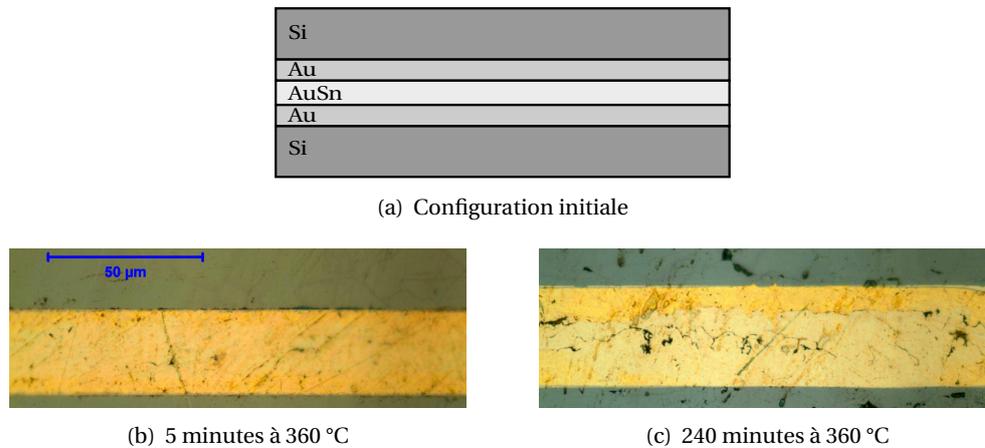


FIGURE 7.25 – Microsections d’assemblages « puce/puce » obtenus pour après maintien à 360 °C pour 5 minutes et 240 minutes, sous une pression de 3,5 MPa. On peut remarquer le bon fonctionnement des barrières de diffusion en tungstène, les bords du *wafers* sont restés parfaitement rectilignes.

- des assemblages or-étain ont été réalisés avec succès à 300 °C et 360 °C, des températures classiques pour la brasure de puces.

### 7.2.2.3 Conclusion sur la mise en œuvre d’attache par TLPB

L’étude d’assemblage par TLPB que je viens de présenter a coïncidé avec le démarrage de l’activité « packaging » à Ampère. De ce fait, un gros travail de défrichage a été nécessaire. De même, nous disposions à ce moment de très peu de moyens, ce qui a dicté une partie des choix : par exemple, le fait de devoir travailler à l’air libre nous a orienté vers un TLPB à base d’or. Nous avons depuis investi dans un four permettant de contrôler l’atmosphère gazeuse tout en appliquant une pression ; nous ferions sûrement aujourd’hui des choix différents (TLPB à base cuivre ou argent pour profiter des métallisations des substrats ou des puces).

La plus grosse difficulté à laquelle nous nous sommes cependant heurtés concerne la préparation des échantillons à assembler : la métallisation des *wafers*, que nous pensions naïvement être une étape simple, s’est révélée très complexe : il n’y a pas de « standard » pour la métallisation, chaque salle blanche a mis au point sa propre recette, qui dépend de ses applications, mais aussi de ses équipements. Et dès lors que l’on veut modifier cette recette (pour avoir de meilleures barrières de diffusion, ou pour réaliser un dépôt d’or plus épais), une nouvelle étude est nécessaire. Cela constitue un frein très important aux études d’assemblage par TLPB, cette technique nécessitant justement d’adapter les métallisations des puces.

Malgré les problèmes d’ordre technologique soulevés, le TLPB possède certains avantages : procédé proche de la brasure, pouvant faire appel à des matériaux peu coûteux (notamment cuivre et étain), réalisable à basse température

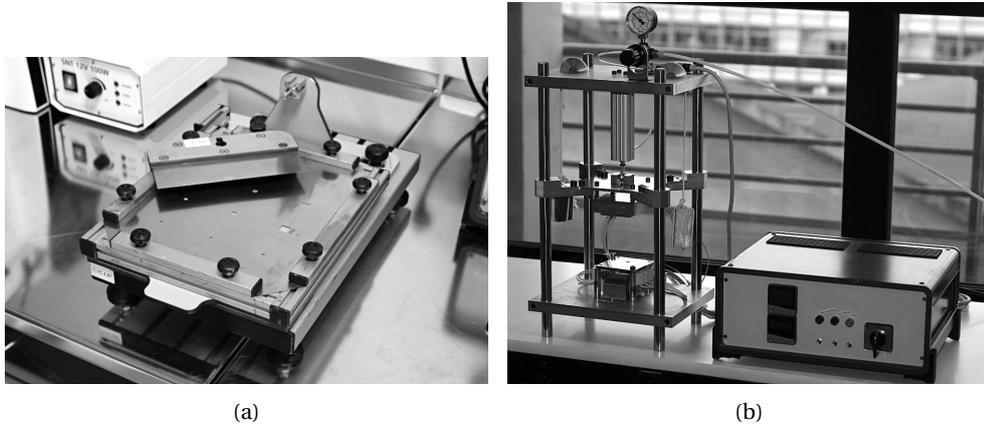


FIGURE 7.26 – Outils pour la mise en œuvre de l'assemblage par frittage d'argent : (a) bâti de sérigraphie équipé de pochoirs métalliques, et (b) presse chauffante conçue au laboratoire, permettant à la fois de réaliser des cycles thermiques avec plusieurs étapes et d'appliquer sur tout ou partie du cycle une force réglable, allant de moins de 10 N à 2 kN.

(30 °C ou moins)... On peut également imaginer que la couche fusible soit déposée directement sur la face arrière des puces durant leur fabrication, ce qui simplifierait l'étape d'assemblage. La voie TLPS (figure 7.19, page 122), qui permet de se passer de métallisations épaisses, devrait faciliter la mise en œuvre du TLPB

### 7.2.3 Mise en œuvre d'attaches de puce par frittage d'argent

L'étude du frittage d'argent pour les reports de puces a débuté à Ampère par la thèse d'Amandine MASSON (2009–2012). Pour ces travaux, nous nous sommes concentrés sur l'utilisation de pâte d'argent à base de nanoparticules, avec l'assistance de pression, le but étant d'acquérir du savoir faire et de comparer le potentiel du frittage vis à vis du TLPB. Dans un second temps, à travers la thèse de Stanislas HASCOËT (2010–2013), nous nous sommes intéressés au report « sans pression », dans lequel le frittage n'est réalisé que par traitement thermique. Enfin, deux thèses ont porté sur l'évaluation de performances des attaches de puces frittées : celle de Wissam SABBAAH (2009–2013), qui a comparé le comportement de différentes techniques d'attaches de puce en vieillissement accéléré, et celle de Raphaël RIVA (2010–2014), qui s'est intéressé à un mode de défaillance propre aux joints d'argent : la migration d'argent. Ce découpage va être conservé dans ce qui suit.

#### 7.2.3.1 Frittage d'argent assisté par pression

La mise en œuvre du procédé de report de puces par frittage d'argent est relativement simple : sur un substrat céramique métallisé préalablement nettoyé

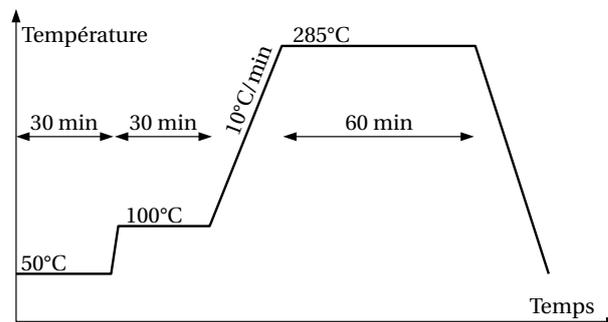


FIGURE 7.27 – Profil de température tiré de [153] utilisé pour le frittage de la pâte d'argent Nanotach. Une pression est appliquée sur les pièces à joindre durant l'intégralité du cycle.

(et désoxydé le cas échéant), on vient déposer par sérigraphie (figure 7.26(a)) une couche de pâte d'argent (Nanotach, produite par NBETech<sup>3</sup>) de 50 ou 100  $\mu\text{m}$  d'épaisseur (suivant le pochoir utilisé). Une puce en SiC, non fonctionnelle (rebut de production de SiCED), est ensuite placée sur le dépôt de pâte fraîche. L'ensemble est placé entre les mors de la presse (figure 7.26(b)) et soumis au cycle thermique de la figure 7.27. Ce cycle thermique provient de [153] : notre étude n'a pas porté sur l'amélioration du cycle lui-même, mais sur d'autres paramètres que je vais décrire plus loin.

Pour chaque configuration, au moins 6 assemblages puce/substrat sont réalisés. L'un d'entre eux subit une microsection et une observation au microscope, afin de mesurer l'épaisseur du joint, et de détecter la présence éventuelles de vides ou de fissures. Sur les autres, on mesure la contrainte de cisaillement à rupture (*shear-test*), avec l'appareil visible figure 7.28. Le principe est de pousser latéralement sur la puce en maintenant le substrat. La force nécessaire pour décoller la puce est mesurée, et l'on calcule la contrainte correspondante en divisant la force appliquée par la surface de la puce. Cet indicateur est relativement grossier, puisqu'il ne renseigne pas sur la structure du joint, ni sur ses performances thermiques et électriques, mais il offre un moyen simple de comparer des attaches de puces, et surtout de mesurer la dispersion de notre procédé<sup>4</sup> : en effet, si une contrainte à rupture élevée est souhaitable, on cherchera surtout à avoir la dispersion la plus faible entre tous les échantillons d'une même série (c'est à dire réalisés dans les mêmes conditions).

Les paramètres que nous avons étudiés sont résumés dans la table 7.2 :

3. <http://nbetech.com/>

4. Il est également possible, en plus de la simple mesure de la contrainte en cisaillement, d'étudier les faciès de rupture. Cela renseigne sur la localisation de la défaillance (dans le joint, ou à l'une des interfaces de l'assemblage), ainsi que sur ses causes (présences d'oxydes, de vides, etc.). Pour des raisons de place, je ne parle pas de ces analyses ici, mais elles sont disponibles dans la thèse d'Amandine MASSON [99].

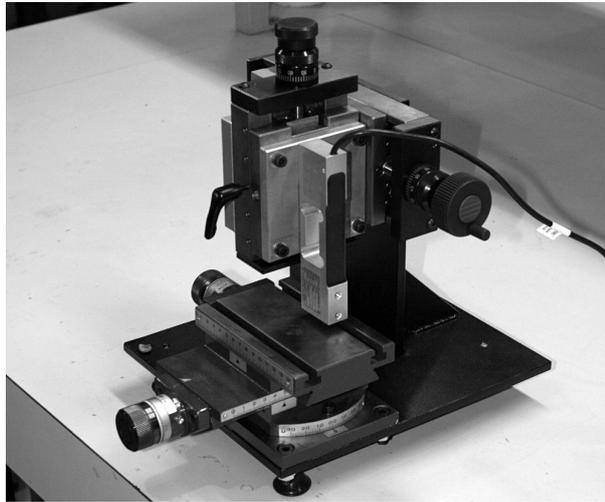


FIGURE 7.28 – Système manuel de mesure de la contrainte en cisaillement à rupture *shear-test*. Bien que ne permettant pas de contrôler la vitesse d'avance de l'outil de cisaillement, les comparaisons effectuées avec des systèmes automatiques n'ont pas montré de différence notable dans les valeurs mesurées.

Série	épaisseur	substrat	pression d'assemblage	remarques
A	50 $\mu\text{m}$	DBC brut	6 MPa	<i>scrubbing</i> de la puce
B	50 $\mu\text{m}$	DBC brut	6 MPa	
C	50 $\mu\text{m}$	DBC fini Ni/Au	6 MPa	
D	50 $\mu\text{m}$	Si <sub>3</sub> N <sub>4</sub> fini Ni/Au	6 MPa	
E	50 $\mu\text{m}$	DBC poli	6 MPa	
F	100 $\mu\text{m}$	DBC brut	6 MPa	dépôt en deux étapes
J	50 $\mu\text{m}$	DBC brut	0.7 MPa	
N	50+50 $\mu\text{m}$	DBC poli	6 MPa	
O	50+50 $\mu\text{m}$	DBC brut	6 MPa	
T	50+50 $\mu\text{m}$	Si <sub>3</sub> N <sub>4</sub> fini Ni/Au	6 MPa	

TABLE 7.2 – Les différentes configurations d'assemblages réalisés avec la pâte d'argent à base de nanoparticules.

**épaisseur :** deux pochoirs ont été utilisés pour le dépôt de pâte : un pochoir de 50  $\mu\text{m}$  d'épaisseur, et un de 100  $\mu\text{m}$ . Nous avons également étudié l'effet d'un dépôt en « deux étapes », pour lequel on dépose 50  $\mu\text{m}$  de pâte, qu'on fait sécher à 180 °C ; un second dépôt de pâte de 50  $\mu\text{m}$  est ensuite effectué sur le premier, puis on dépose la puce et on effectue le cycle de frittage classique. Ce procédé en deux étapes est conseillé pour les grandes puces [84] ;

**substrat :** nous avons utilisé du DBC dit « brut », dont les métallisations de cuivre

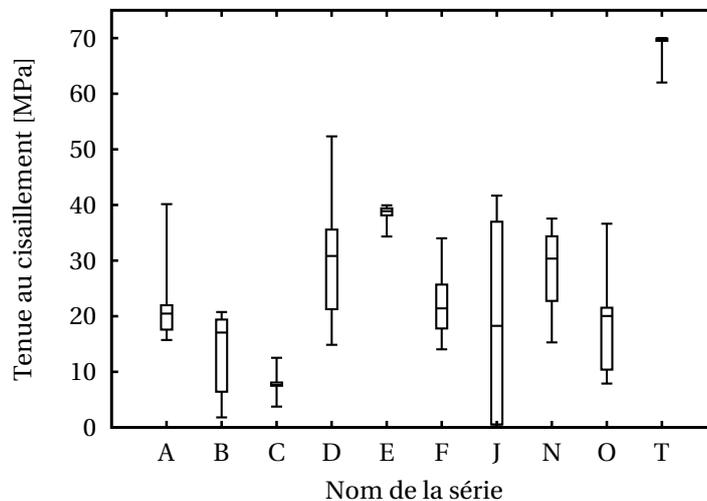


FIGURE 7.29 – Contrainte de cisaillement à rupture pour les différentes configurations d'assemblages (voir table). L'objectif de l'étude est non seulement d'obtenir une contrainte élevée, mais également une dispersion la plus faible possible.

sont simplement désoxydées et nettoyées ; du DBC poli mécaniquement, afin d'en réduire la rugosité naturelle ; un DBC ayant reçu une métallisation Nickel/Or ; et un substrat  $\text{Si}_3\text{N}_4$  dont les métallisations cuivre ont elles aussi reçu une métallisation Nickel/Or ;

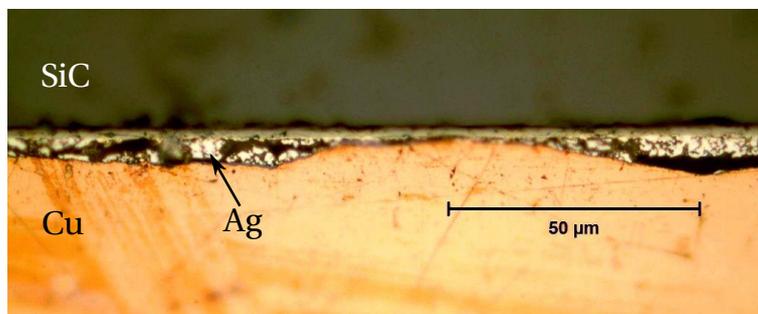
**pression d'assemblage :** La plupart des assemblages ont été effectués sous une pression de 6 MPa. Une série (J) a été réalisée à 0,7 MPa, le minimum possible avec notre presse ;

**scrubbing :** pour une série (B), nous avons effectué manuellement de petits mouvements circulaires sur la puce pour favoriser son contact avec la pâte fraîche.

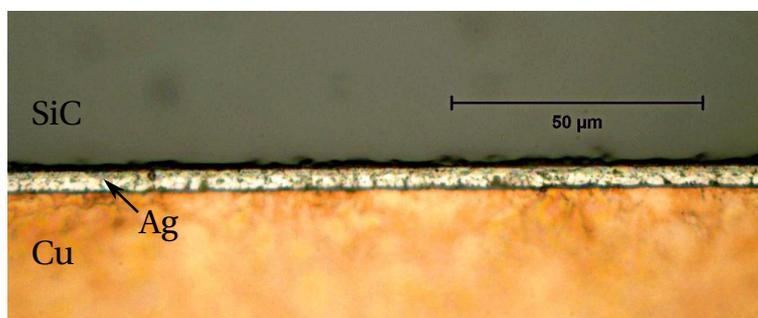
Les tenues en cisaillement mesurées sur chacune des séries sont tracées figure 7.29, sous forme de « boîte à moustache ». Dans cette représentation, la taille totale du symbole représente la dispersion de l'ensemble de la série, la taille de la « boîte » représente la dispersion des second et troisième quartiles (50% des échantillons), et le trait au milieu de la boîte représente la valeur médiane. On peut voir que deux séries sortent du lot : E (très faible dispersion) et T (très forte tenue, la faible dispersion étant simplement liée aux limites de l'équipement de test qui ne peut dépasser 70 MPa).

Ces résultats s'expliquent par les considérations suivantes (pour plus de détails, voir [100]) :

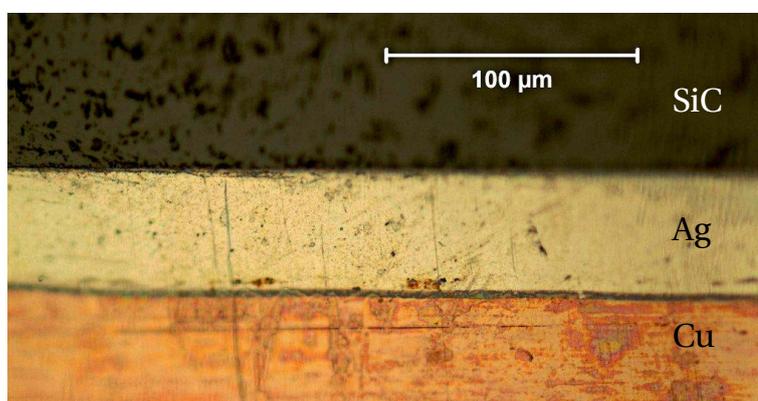
- Pour les dépôts faits en une seule étape, l'application de pression dès le début du cycle cause le rejet d'une grande partie de la pâte à l'extérieur du



(a)



(b)



(c)

FIGURE 7.30 – Microsection de joints des séries A (a), E (b) et T (c) montrant l'importance de la rugosité naturelle du DBC sur les échantillons de la série A, l'apport du polissage préalable du DBC pour la série E, et l'augmentation de l'épaisseur du joint offerte par un dépôt en deux étapes (l'échelle de la figure (c) est double de celles des deux autres).

joint. Cela se traduit par un joint final très mince (moins de 10  $\mu\text{m}$ ), qui n'est pas suffisant pour remplir la rugosité des substrats « bruts ». Cela explique la différence de tenue entre les séries A et E, et est confirmé par les microsections des figures 7.30(a) et 7.30(b). Ni l'application d'une plus grande épaisseur de pâte (série F), ni la réduction de pression (série J) ne permettent d'augmenter la tenue du joint.

- Les dépôts faits en deux étapes permettent, eux, d'augmenter sensiblement l'épaisseur du joint, comme visible figure 7.30(c). Par contre, lorsqu'ils sont réalisés directement sur du cuivre (séries N et O), celui-ci s'oxyde durant la première étape, et la tenue n'est pas améliorée sensiblement. Sur un substrat avec une finition Ni/Au (série T), l'amélioration est très sensible, avec une tenue dépassant les capacités de l'équipement de test.

En conclusion de cette étude de l'assemblage par frittage de nanoparticules d'argent sous faible pression, nous avons montré qu'une fois complètement défini, le procédé est robuste. On peut en effet obtenir une faible dispersion dans les valeurs de tenue (exemple de la série E dans la figure 7.29), sans pour autant avoir besoin de contrôler l'atmosphère de frittage et en utilisant des moyens de réalisation simples. Les tenues en cisaillement obtenues sont largement supérieures à celles requises par la norme MIL-883 [1] (de l'ordre de 4 MPa).

Par contre, le besoin d'appliquer une pression, aussi faible soit-elle, complique fortement le procédé, en particulier dans le cas où l'on veut assembler plusieurs puces à la fois : il faut alors répartir la pression entre les composants, qui peuvent avoir des épaisseurs différentes. De plus, le profil de frittage utilisé (figure 7.27) est long (près de 3 h si l'on tient compte du refroidissement de la presse). Comme il n'est pas possible d'assembler simplement plusieurs modules à la fois avec une seule presse, une telle durée de cycle serait prohibitive pour une fabrication industrielle. C'est pourquoi nous avons poursuivi notre étude de l'assemblage par frittage avec les procédés dits « sans pression », où le frittage se fait au four. Le nombre d'assemblages pouvant être réalisés en même temps n'est alors limité que par la taille du four.

### 7.2.3.2 Frittage d'argent sans pression

Cette étude, menée dans le cadre de la thèse de Stanislas HASCOËT, étant en partie couverte par un accord de confidentialité, je n'en donnerai ici qu'un aperçu. Elle porte principalement sur la mise en œuvre d'une pâte d'argent permettant le frittage « sans pression ».

Cette pâte (fabriquée par la société Heræus, sous la référence 117O2P2), est basée sur des particules d'argent de taille micrométrique, à laquelle est ajoutée un additif permettant d'amorcer le frittage malgré la relativement grande taille des particules. Cela évite le recours aux particules nanométriques, plus chères et dont l'innocuité n'a pas encore été démontrée. Schématiquement, cet additif est un composé organo-métallique (composé organique contenant des atomes d'ar-

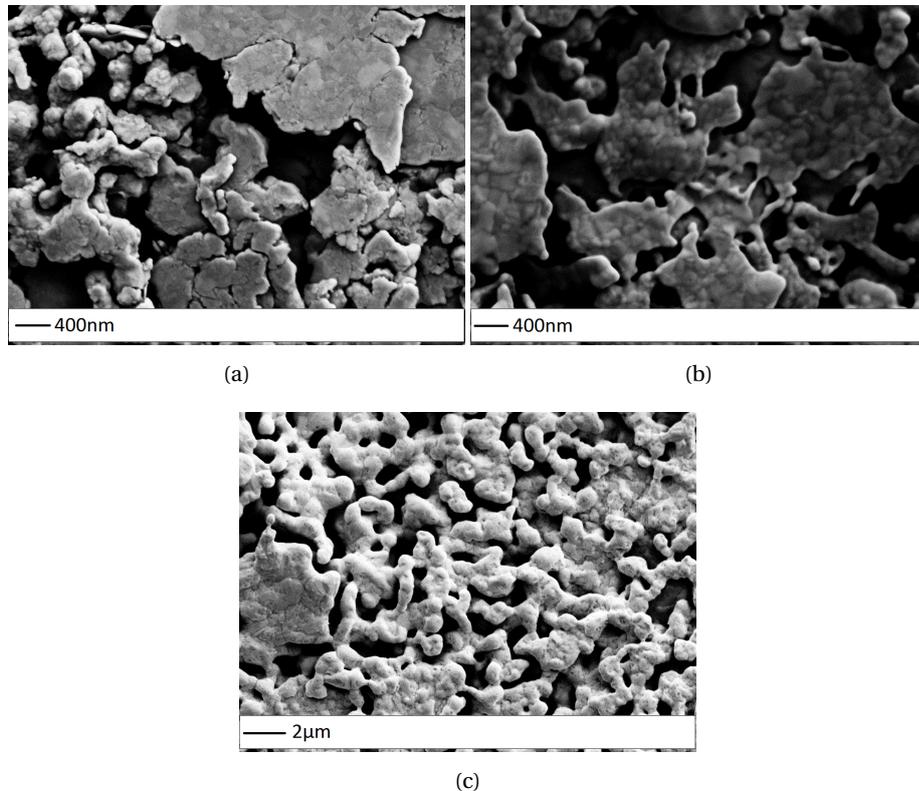


FIGURE 7.31 – Observation au microscope électronique à balayage de pâte d'argent (Heraeus 117-O2P2) avant frittage (a), après frittage sous azote (b), et après frittage sous air (c). L'échelle de cette dernière image est plus grande que celles des deux autres. Le frittage est plus avancé dans (c), avec des ponts bien formés entre les particules, montrant la bien plus grande réactivité de l'argent sous air.

gent) qui va, en se décomposant lors du frittage, produire les nanoparticules permettant de rendre le frittage plus réactif.

Au contraire de la pâte utilisée dans la section 7.2.3.1, qui a fait l'objet de nombreuses études et pour laquelle un profil de température était disponible, la pâte étudiée ici est un produit en cours de développement. Il nous a donc fallu chercher les paramètres de frittage (températures de séchage et de frittage de la pâte, durée des paliers, vitesses de montée en température). Devant le nombre de paramètres à étudier, nous avons mis en place un plan d'expérience, décrit plus en détails dans [62].

Ont été étudiés, en plus du profil de température, l'effet des finitions métalliques des substrats (cuivre nu, argent, et nickel-or, avec différentes épaisseurs d'or). Au vu des premiers résultats, nous avons également introduit dans l'étude l'effet de l'atmosphère (azote ou air). Une fois encore, nous avons utilisé la tenue en cisaillement des puces comme indicateur de la qualité de l'attache. Le frittage

sans pression permettant de reporter plusieurs puces à la fois, notre véhicule de test est ici un substrat céramique sur lequel nous reportons 6 puces (en silicium, pour des raisons de disponibilité). Le report des puces s'effectue avec un équipement spécifique (*die-bonder*), qui permet de les poser sur le dépôt de pâte fraîche avec une force contrôlée au centinewton près.

Contrairement au frittage avec pression, qui donne dans la majorité des cas une tenue supérieure à 10 MPa (voir figure 7.29), le frittage sans pression produit des attaches allant de 0 MPa (la puce ne tient pas sur le substrat) à un peu plus de 20 MPa. Nous avons en particulier observé une très grande dépendance de la tenue à la composition de la finition métallique. Et si, comme on pouvait s'y attendre, les meilleurs résultats sont obtenus sur un substrat ayant une finition argent (jusqu'à 26 MPa), les autres résultats se sont révélés plus surprenants : la tenue est très mauvaise sur la plupart des finitions « nickel-or » (alors que l'argent possède une parfaite miscibilité dans l'or). Sur les substrats cuivre, la tenue est meilleure lorsque le frittage est effectué sous air (de l'ordre de 12–15 MPa) que lorsqu'il est fait sous azote (2–6 MPa), malgré l'oxydation évidente du cuivre.

La composition de l'atmosphère gazeuse (air ou azote) a deux effets. Le premier, visible figure 7.31, est une bien plus grande réactivité de l'argent sous air. Le frittage est bien plus avancé, avec de larges ponts entre les particules d'argent, là où le frittage réalisé sous azote ne montre que peu de changements dans la forme des particules et de très minces ponts de matières. Le second effet, dans le cas des substrats cuivre, est une accroche de bonne qualité entre l'argent et l'oxyde de cuivre. Pour ces substrats, on observe que le mode de défaillance des puces lors de l'essai de cisaillement n'est pas une rupture à l'interface argent/cuivre, mais plutôt la rupture de l'interface oxyde de cuivre/cuivre. Ce phénomène n'est pas habituel, puisque dans le cas des brasures l'oxyde de cuivre dégrade le mouillage de l'alliage de brasure. On doit donc procéder à une désoxydation des surfaces durant la brasure (par un flux, une atmosphère réductrice, etc.). L'oxydation du cuivre, si elle reste modérée (les couches d'oxyde épais ont une très mauvaise tenue sur le cuivre) ne semble au contraire pas être un problème dans le cas du frittage.

D'autres études ont d'ailleurs confirmé que le frittage, notamment sur cuivre nu, était bien meilleur avec une pression partielle d'oxygène non nulle [132], l'idéal semblant être entre 0,5 et 4% (contre 21% dans l'air) pour le type de pâte que nous utilisons. Les mêmes constatations ont été faites sur des pâtes à base de nano-particules, l'oxygène permettant de mieux évacuer les composés organiques [83, 84].

Le frittage sur cuivre nu, s'il semble attractif (procédé simple), peut néanmoins poser des problèmes pour les étapes suivantes, notamment le wirebonding : la surface du cuivre doit être désoxydée, et la fiabilité des soudures de fils or ou aluminium sur du cuivre doit être évaluée. L'étude du frittage sur des finitions plus robustes à l'oxydation, et mieux connus dans l'industrie (principalement les finitions nickel-or et leurs variantes) est donc pertinente.

Comme indiqué ci-dessus, la tenue des joints d'argent sur les substrats finis « nickel-or » s'est révélée très médiocre (moins de 10 MPa, et même nulle dans

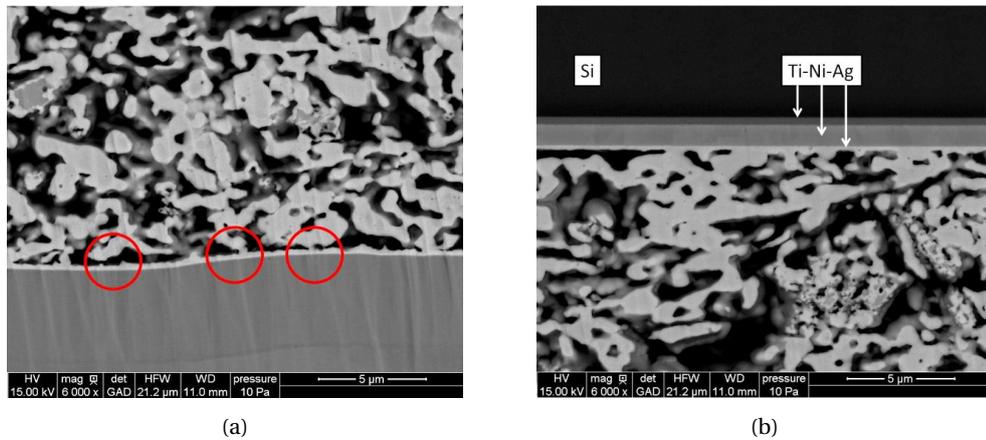


FIGURE 7.32 – Coupe d'un assemblage puce/substrat réalisé par frittage d'argent « sans pression », sous air. (a) Interface argent/substrat et (b) puce/argent. Un polissage ionique a été effectué pour éviter toute déformation des particules d'argent et des interfaces. Les cercles rouges montrent des zones où les particules d'argent sont très proches de la couche d'interface, sans pour autant avoir formé de ponts. À l'interface puce/argent (b), les ponts sont au contraire nombreux et larges.

certains cas). Plusieurs épaisseurs d'or ont été évaluées (de 9 nm à 3 µm), et nous avons observé une assez bonne corrélation entre l'augmentation de l'épaisseur d'or et la dégradation de l'attache. Après une étude physico-chimique (SDL, XPS, DRX) de ces différents substrats, qui n'ont pas permis d'en tirer de conclusions claires, nous avons effectué une coupe métallographique de différents assemblages. Ces coupes ont demandé un important travail préparatoire et un équipement spécifique (*cross-section polisher*, ou polisseur ionique) afin de ne pas déformer les interfaces et les grains d'argent, extrêmement ductiles.

Le résultat de ces coupes est visible figure 7.32. On peut observer que si les particules d'argent forment un bon contact avec la puce (figure 7.32(b)), l'interface particules/substrat est bien plus faible, avec quelques rares ponts de faible dimensions (figure 7.32(a)). Par contre, on observe que la finition or du substrat est recouverte d'une fine couche d'argent (quelques centaines de nanomètres), continue. Les ponts que l'on voit figure 7.32(a) relient donc les particules d'argent à cette couche d'argent et non pas à la finition d'or. L'apparition de la couche d'argent en surface du substrat semble s'expliquer par des vitesses de diffusions différentes de l'argent dans l'or et dans l'argent : durant le frittage, les particules en contact avec l'or de la finition diffusent préférentiellement vers cette dernière plutôt qu'en direction des autres particules. Cela se traduit par un étalement des particules sur la finition or, et par un affaiblissement des liaisons particules-particules. Des observations identiques ont été rapportées par [85], pour une seule épaisseur d'or.

En conclusion de cette étude du frittage sans pression, il apparaît que cette

technique, si elle ne permet pas d'atteindre les niveaux de tenue mécaniques du frittage sous pression, semble néanmoins adaptée à l'assemblage des composants électroniques de puissance. Le procédé est simple (passage au four), et nécessite les mêmes équipements que la brasure. Seules les finitions des substrats et (éventuellement) les atmosphères gazeuses devront être adaptées au frittage.

#### 7.2.4 Évaluation du frittage pour les applications « haute température »

Jusqu'ici, j'ai présenté la mise en œuvre du frittage d'argent. Je vais maintenant m'intéresser au comportement de cette technique en vieillissement à haute température. De nombreux travaux de recherche ont en effet montré que le frittage d'argent offre une fiabilité meilleure que les brasures, pour les gammes de température « standard » (jusqu'à 175 °C). Les travaux portant sur la haute température sont bien moins nombreux.

Dans ce qui suit, je présenterai les travaux obtenus durant les thèses de Raphaël RIVA (étude de la migration d'argent) et de Wissam SABBAAH (avec l'IMS, travail portant entre autres sur une comparaison entre différents types d'attaches de puce).

##### 7.2.4.1 Étude du phénomène de migration d'argent

La migration d'argent, et plus généralement la migration ionique, est un phénomène bien connu en électronique. Sous l'effet de l'humidité, certains métaux s'ionisent. En présence d'un champ électrique, les ions se déplacent et en se redéposant, forment un filament conducteur<sup>5</sup>. L'argent y est particulièrement sensible. À haute température, le phénomène semble se produire simplement avec l'oxygène de l'air [102], sans apport d'humidité.

Il est important de noter que ce phénomène de migration ionique (que je nommerai migration dans la suite de ce document), est distinct de l'électromigration. Cette dernière correspond au déplacement des atomes d'un métal sous l'effet d'un courant électrique intense, et se traduit par l'apparition de trous (et finalement par la coupure) dans le conducteur. La migration ionique n'est pas liée au courant, mais au champ électrique.

Ce phénomène de migration d'argent n'a, à ma connaissance, pas été étudié pour des attaches de puces fonctionnant à des températures « standard », sans doute parce qu'aucune défaillance liée à ce phénomène ne semble avoir été rapportée. Néanmoins, la température étant un facteur accélérant du phénomène de migration, celui-ci ne peut plus être négligé dès lors qu'on atteint 200 ou 300 °C [102].

Les objectifs des travaux menés durant la thèse de Raphaël RIVA étaient de quantifier le phénomène de migration pour en proposer un modèle empirique te-

5. Une présentation très claire est donnée sur [http://www.ami.ac.uk/courses/topics/0158\\_emgr/index.html](http://www.ami.ac.uk/courses/topics/0158_emgr/index.html)

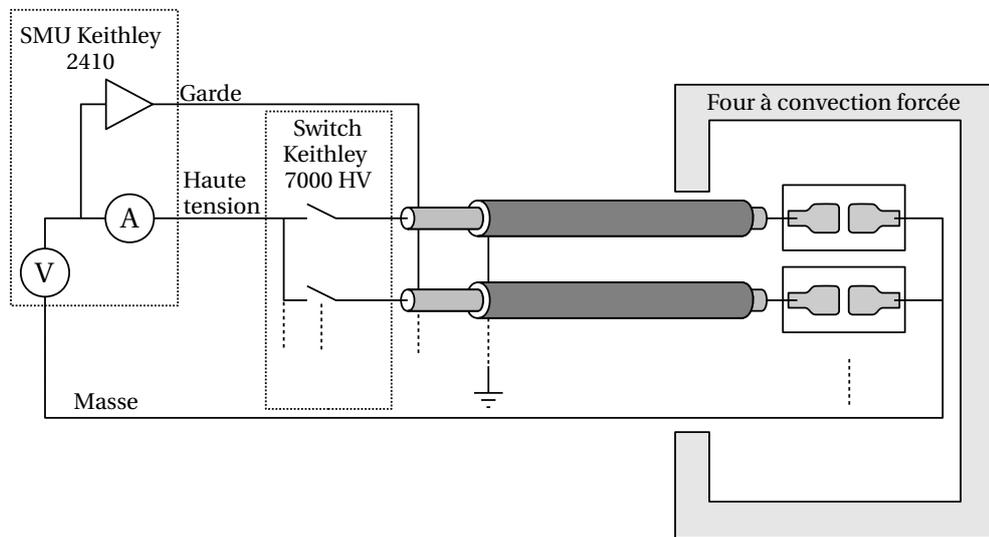


FIGURE 7.33 – Schéma de principe du système de polarisation et de mesure pour l'étude de la migration d'argent. Jusqu'à 10 échantillons sont connectés en parallèle durant la phase de polarisation, puis caractérisés individuellement toutes les 15 minutes. L'ensemble est piloté par un ordinateur, et la précision de mesure est de l'ordre de 10 nA.

nant compte de la température et du champ électrique, puis d'utiliser ce modèle pour prédire le délai avant apparition d'un court-circuit. Nous avons ainsi mené une série d'essais à plusieurs niveaux de température et de champ électrique. Chacun des essais comportait au moins 5 éprouvettes (plus un témoin, non polarisé). Différents types d'éprouvettes ont été étudiés, du plus simple (deux électrodes d'argent sérigraphiées sur un substrat d'alumine), au plus représentatif (une puce reportée par frittage sur un DBC, et câblée).

Le schéma du banc d'essai automatisé est visible figure 7.33 : les éprouvettes sont polarisées par une source haute tension Keithley 2410 disposant d'un picoampèremètre. Un système de commutation permet de connecter les échantillons en parallèle. Périodiquement (toutes les 15 minutes), les interrupteurs du système de commutation sont tous ouverts et l'on vient mesurer successivement le courant de fuite de chaque échantillon. Lorsque l'un d'eux dépasse un seuil donné (ici  $100 \mu\text{A}$ ), il est déclaré défaillant et n'est plus polarisé. Les détails de réalisation de ce banc (par exemple le développement de câbles « triax » permettant une résolution de mesure meilleure que 10 nA et capables de supporter une température de  $300^\circ\text{C}$ ) sont donnés dans [123].

Un exemple des résultats obtenus avec ce banc d'essai est donné figure 7.34 : on voit que le courant de fuite reste très faible (inférieur à 10 nA) pour chacune des 5 éprouvettes, puis qu'il augmente brutalement jusqu'au seuil de défaillance ( $100 \mu\text{A}$ ). Tant que les filaments d'argent n'ont pas formé un court-circuit franc,

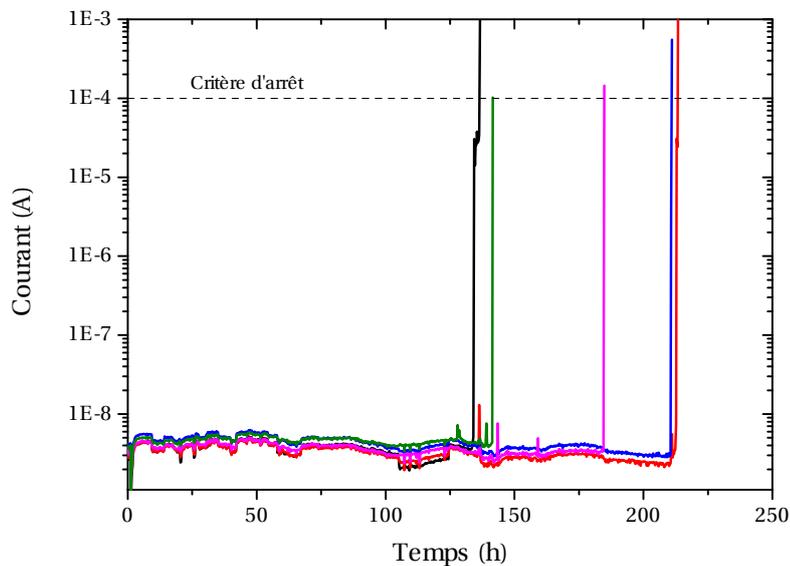


FIGURE 7.34 – Évolution du courant de fuite au cours d'un test de migration : le courant reste stable et faible, jusqu'à ce qu'un court circuit apparaisse, entraînant une montée très rapide du courant, et la déconnexion de l'échantillon. Tiré de [123].

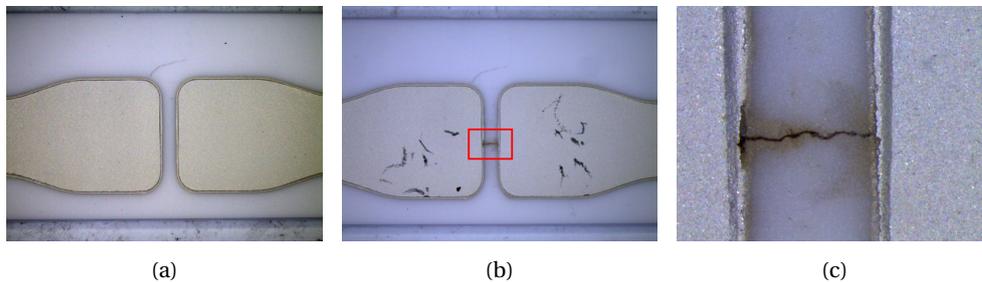


FIGURE 7.35 – Exemple d'éprouvette ayant migré : vue d'ensemble avant le test (a), après le test (b), et vue de détail sur le filament d'argent formé (c).

le courant de fuite reste trop faible pour être déterminé avec notre dispositif. Il ne devient détectable que lorsque le court-circuit est complètement formé. On peut également voir sur la figure 7.34 que la dispersion des résultats est importante (la première défaillance apparaît après 140 h environ, la cinquième après plus de 210 h). Ce niveau de dispersion a été observé pour tous les essais, et a rendu difficile la modélisation.

Des photographies d'une éprouvette avant et après test sont données figure 7.35. On y voit un filament d'argent qui s'est développé entre les deux électrodes pour former un court-circuit franc. Il faut cependant noter que d'une



FIGURE 7.36 – Photographie d'éprouvettes avant et après test montrant la grande diversité de formes que peuvent prendre les filaments d'argent. Tiré de [123].

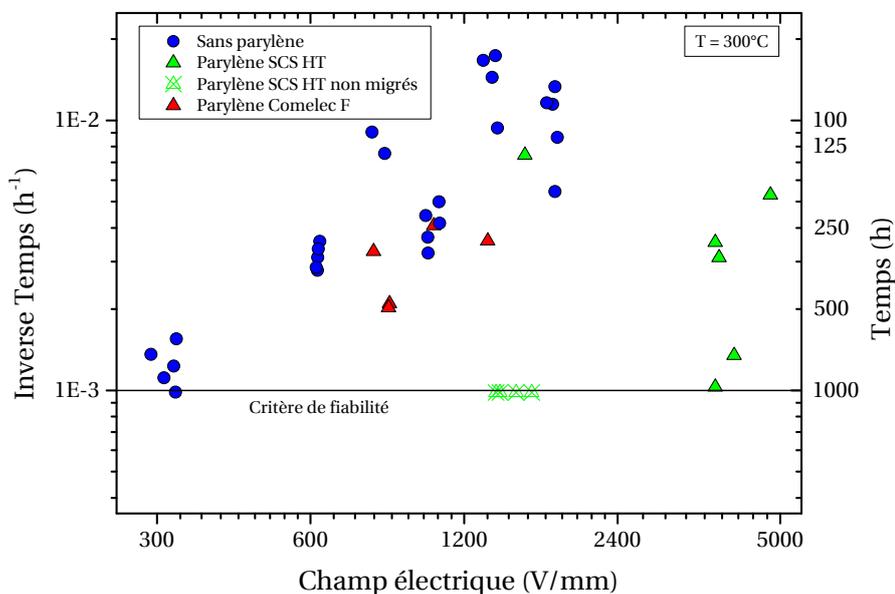


FIGURE 7.37 – Temps d'apparition du court-circuit en fonction du champ électrique, pour des échantillons testés à 300 °C, avec et sans couche de protection en parylène. Après 1000 h, le test est arrêté, sans que certains échantillons (marqués d'une croix) n'aient subi de court-circuit. Tiré de [123].

éprouvette à l'autre, ces filaments prennent des formes très différentes. Une galerie de portrait (deux éprouvettes par série d'essais) est donnée figure 7.36. Nous ne sommes pas parvenus à trouver une corrélation entre ces motifs et les paramètres des essais (niveau de champ électrique, défauts géométriques sur les électrodes, distance inter-électrodes, etc.).

Les « durées de vie » (temps avant apparition d'un court-circuit) obtenues à 300 °C sont tracées en fonction du champ électrique dans le graphe de la figure 7.37. Y sont tracés les résultats obtenus pour 3 types d'échantillons : les échantillons décrits ci-dessus (électrodes d'argent sérigraphiées sur une plaquette d'alumine), et des échantillons possédant en plus une couche de protection en parylène HT ou en parylène F. Cette couche de protection supporte en effet des températures élevées, et joue le rôle de barrière à l'oxygène[90]. Nous avons donc décidé d'évaluer sa capacité à ralentir le phénomène de migration.

Malgré la dispersion des résultats, on peut voir figure 7.37 un net effet du champ électrique sur la durée de vie des éprouvettes (lorsque le champ augmente, la durée de vie diminue). Les échantillons encapsulés par du parylène F (triangles rouges) n'ont pas une durée de vie significativement plus longue que ceux qui n'ont pas été protégés (ronds bleus). Le parylène HT (triangles verts) offre, au contraire, une amélioration sensible, puisque pour certains échantillons aucune migration n'a été observée avant l'arrêt du test (1000 h). Pour les niveaux de champ les plus élevés (de l'ordre de 5000 V/mm), des défaillances ont tout de même été

observées. La défaillance se traduisant par une brûlure du parylène (et donc un noircissement de la zone affectée), il est difficile d'en diagnostiquer la cause a posteriori : il peut s'agir de migration d'argent, ou d'une rupture diélectrique à l'interface céramique/parylène causé par le champ électrique élevé.

Les mêmes essais ont été effectués à des températures moins élevées (250 °C, 275 °C). Dans ce cas, le parylène F offre une protection significative. Pour tous les échantillons, les durées de vie augmentent notablement lorsque la température baisse. Pour des échantillons non encapsulés, la durée de vie à 1550 V/mm passe ainsi d'une centaine d'heures environ à 300 °C à plus de 1000 heures à 250 °C.

En nous basant sur ces résultats expérimentaux, nous avons pu proposer un modèle de durée de vie [123] :

$$\frac{1}{t} = \gamma \cdot E^p \cdot e^{-\frac{E_A}{k \cdot T}} \quad (7.7)$$

avec :

- $t$  : la durée de vie de l'échantillon (h)
- $\gamma$  : Une constante déterminée expérimentalement représentant la mobilité de l'argent ( $1,07 \cdot 10^7 \text{ h}^{-1}$ )
- $E$  : le champ électrique inter-électrodes (V/mm)
- $p$  : Un exposant déterminé expérimentalement de valeur 1,08
- $E_A$  : l'énergie d'activation déterminée expérimentalement (1.42 eV)
- $k$  : la constante de Boltzmann ( $8,617343 \cdot 10^{-5} \text{ eV} \cdot \text{K}^{-1}$ )
- $T$  : la température (K)

Du fait de la dispersion des mesures expérimentales, ce modèle reste imprécis. Il a néanmoins été utilisé pour évaluer la durée de vie de structures modélisées par éléments finis (modélisation électrostatique), comme un assemblage puce/DBC, ou la structure « sandwich » décrite section 6.3.2. En particulier, dans le cas de l'assemblage puce/DBC, le modèle (7.7) prédit une durée de vie supérieure à 1000 h, en concordance avec les essais expérimentaux (aucune défaillance sur ces échantillons après 1000 h de test) [123].

En conclusion de ces travaux, il apparaît que la migration d'argent est un problème important à haute température. Ce phénomène peut être ralenti considérablement en protégeant l'argent de l'action de l'oxygène, et en limitant le champ électrique auquel est soumis l'argent. Pour des valeurs de champ électrique raisonnables<sup>6</sup> (< 1000 V/mm), avec une couche de parylène HT, aucun court-circuit ne devrait se produire avant plusieurs milliers d'heures. Une modélisation par éléments finis permet d'identifier les zones sensibles (celles où règne un champ électrique intense), et de les rendre plus robustes.

6. Dans les applications aéronautiques, la tension de bus HVDC est de 540 V. Imposer une limite sur le champ électrique inter-électrodes à des valeurs inférieures à 1000 V/mm ne devrait pas avoir de conséquences fortes sur la conception du module.

### 7.2.4.2 Tests de vieillissement accéléré

Les travaux décrits ici ont été effectués dans le cadre de la thèse de Wisam SABBAH [129]. L'objectif de cette thèse était de comparer les niveaux de fiabilité offerts par les technologies de *packaging* haute température « matures ». Malheureusement, les résultats ont principalement montré que les technologies que nous avons étudiées étaient encore loin de la maturité, et que la définition de tests de vieillissement accéléré était une tâche complexe, en particulier pour l'électronique « haute température ».

L'étude a porté sur les technologies d'assemblage de puce suivantes :

- brasure or-germanium ;
- frittage d'argent, à base de microparticules d'argent ;
- frittage d'argent, à base de nanoparticules d'argent.

Le substrat utilisé est en céramique  $\text{Si}_3\text{N}_4$ , avec des métallisations de cuivre et une finition nickel-or. Pour les véhicules de test fonctionnels, des puces en SiC (diodes) ont été utilisées. Pour d'autres véhicules de test, uniquement destinés aux essais mécaniques, nous avons utilisé des puces en silicium.

À l'évaluation de ces technologies d'assemblage s'ajoutait le test de fils de *bonding*, et celui d'un gel d'encapsulation (NuSil R2655).

La première étape du travail a consisté à définir le plan de test, qui devait satisfaire de nombreuses contraintes : nombre très réduit de pièces d'essai (à peine plus de 200 puces SiC et une centaine de substrats au total), rareté des équipements de cyclage capables de dépasser 200 °C, disponibilité des équipements de caractérisation, durée des essais... La volonté de tester toutes les technologies d'assemblage décrites ci-dessus a conduit à définir pour les essais de cyclage des véhicules de test comprenant trois puces SiC par substrat, avec *wirebonding* et gel d'encapsulation. D'autres véhicules de test, utilisant des puces non fonctionnelles en silicium, ont également été assemblés pour des essais de « stockage » en température (maintien à une température constante sur une période longue —24 ou 240 h—).

Le plan d'essai comportait un ensemble de mesures destinées à caractériser au mieux les véhicules de test. En particulier, le report de puce a été caractérisé par trois méthodes : imagerie aux rayons X en début et fin de vieillissement, évaluation de la résistance thermique (sur les véhicules fonctionnels), également en début et fin de vieillissement, analyse en microscopie acoustique à balayage (SAM). Ces trois méthodes non destructives sont couramment utilisées en électronique de puissance [128]. Le SAM, en particulier, permet d'observer le développement de fissures [40]. La suite des caractérisations n'avait lieu qu'en fin de vieillissement, puisque destructive. Un morceau de gel était prélevé pour analyse par un autre laboratoire. Après dissolution du reste du gel, les fils de *bonding* devaient être arrachés pour en mesurer la tenue mécanique, deux des trois puces cisailées, et la troisième sectionnée pour une observation du joint.

Cette volonté d'exhaustivité des véhicules de test et des caractérisations s'est révélée contre-productive. Par exemple, le vieillissement du gel a entraîné son durcissement, ce qui a causé le décollement des fils de *bonding* et empêchant toute mesure de résistance thermique. Cette mesure est en effet basée sur l'exploitation d'un paramètre thermo-sensible de la puce SiC (chute de tension de la diode à l'état passant), qui devient inaccessible dès lors que la puce n'est plus connectée. Autre problème, réduire à deux le nombre de puces destinées au cisaillement par véhicule de test ne permet pas d'obtenir une information exploitable ; la dispersion des mesures est telle (parfois du simple au double d'une puce à l'autre) qu'aucune tendance ne peut être tirée des mesures.

Si l'on se concentre sur les résultats produits par cette étude, ils montrent que le report par frittage d'argent a une fiabilité vis-à-vis du vieillissement comparable à celle de la brasure AuGe. Ce résultat, même s'il est encourageant, reste surprenant. Tout d'abord parce que les brasures AuGe étudiées sont d'une qualité très médiocre (très nombreux vides), preuve d'une mauvaise maîtrise du procédé. D'autre part parce que la littérature, notamment en provenance du Fraunhofer institut IISB, semble plutôt montrer une fiabilité supérieure pour le frittage, que ce soit en test de cyclage (en supportant 10 à 17 fois plus de cycles avant défaillance) ou de stockage [77, 55, 78]. Notre étude inclut pourtant des véhicules de test (nanoparticules d'argent) assemblés à l'IISB.

Plusieurs causes peuvent expliquer ces différences. Tout d'abord, comme indiqué ci-dessus, le faible nombre de véhicules de tests et de mesures ne permet pas d'écarter des problèmes de procédé, vu la très grande variabilité des résultats. Ensuite, le type de finition des substrats (nickel-or) peut, comme on l'a vu section 7.2.3.2, conduire à l'affaiblissement des attaches (par exemple, dans [77], les substrats sont recouverts d'une finition argent de 5  $\mu\text{m}$ ).

À la lumière de ces résultats, et parce que de nouveaux tests doivent être entrepris, notamment dans le cadre du projet Genome, il convient de tirer les conclusions suivantes :

- Des véhicules de test simples, destinés à l'évaluation d'un seul élément (par opposition à des véhicules destinés à tester à la fois l'attache de puce, l'encapsulation et les fils de *bonding*) semblent préférables. Des véhicules plus complets, permettant de contrôler d'éventuels couplages, devraient être réservés à une phase de validation finale, et non pas à l'étude initiale des modes de défaillance.
- Le nombre de pièces testé doit être important. Au vu des coûts des éléments (plusieurs dizaines ou centaines d'euros par véhicule de test), et du travail d'analyse (une microsection nécessite plusieurs heures), ce nombre restera de toutes manières de l'ordre de quelques dizaines de véhicules, bien loin des standards du JEDEC [3], qui définit pour la microélectronique des tailles d'échantillons qui peuvent atteindre ou dépasser 500 pièces, provenant de 3 lots de production, etc.
- Les tests de vieillissement sont accélérés en augmentant l'amplitude des

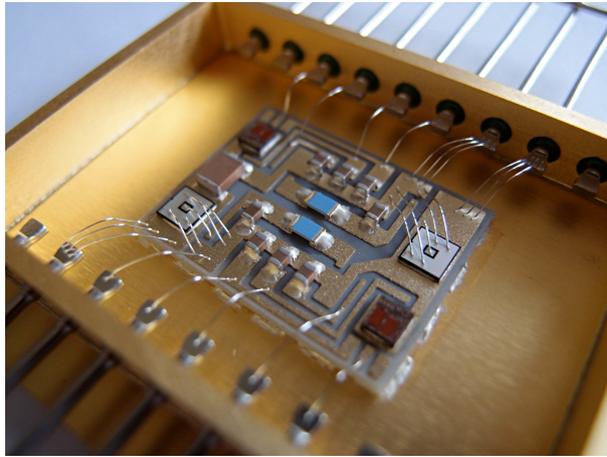


FIGURE 7.38 – Photographie du module « THOR » : structure bras d'onduleur à JFET, intégrant les drivers et des composants passifs. Les attaches composant sur substrat et substrat sur boîtier sont réalisées par frittage d'argent.

contraintes par rapport à l'application visée (température de stockage plus élevée, cyclage sur une plus grande plage de température... [2]). Dans le cas de la « haute température », il devient très difficile de trouver des équipements offrant des capacités suffisantes, et l'augmentation des températures de test sollicite rapidement de nouveaux modes de défaillance. Il faudra donc veiller, dans les phases de définition des essais, à vérifier que les tests accélérés sont représentatifs de l'application visée.

### 7.2.5 Réalisation de démonstrateurs « tout frittés »

Jusqu'à présent, nous nous sommes intéressés à la mise en œuvre du frittage d'argent pour le report de puces sur un substrat. En réalité, bien d'autres éléments doivent être reportés pour former un module complet : substrat (sur semelle), composants passifs, *driver*... Chacun de ces éléments apporte des contraintes spécifiques. L'attache substrat/semelle nécessite un joint d'argent de grande surface (plusieurs centimètres carrés). Les composants passifs ont des finitions particulières, et leurs terminaux sont souvent de forme irrégulière. Les *drivers* ont une finition particulière (ou, dans notre cas, pas de finition du tout, la face arrière étant en silicium).

Plusieurs démonstrateurs ont été réalisés à Ampère, et nous allons nous intéresser ici à l'un d'entre eux. Il rentre dans le cadre du projet THOR, et réunit des *drivers* en SOI (*Silicon On Insulator*) conçus à Ampère et leurs composants passifs périphériques, des transistors JFET en SiC (SiCED/Infineon), et une capacité de découplage. L'ensemble est reporté sur un substrat (et le substrat reporté dans un boîtier métallique) par frittage d'argent. Une photographie du démonstrateur est visible figure 7.38 et le schéma correspondant figure 7.39. Ne manquent

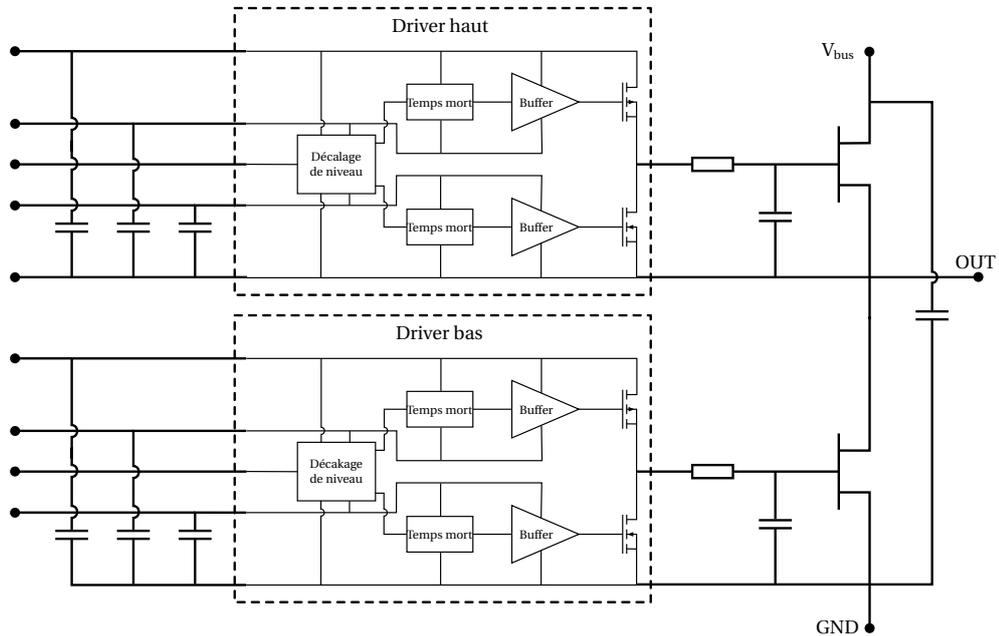


FIGURE 7.39 – Schéma du module, avec les condensateurs de découplage des alimentations du driver (à gauche), le schéma bloc des drivers, les réseaux RC de commande des JFETs, les JFET et la capacité de bus.

à ce bras d'onduleur que les fonctions d'isolation des signaux de commande et de l'alimentation des *drivers*, que nous avons conservées pour l'instant à température ambiante. Les fonctionnalités électriques de ce démonstrateur sont décrites en détails dans [43].

Les composants passifs ont été sélectionnés avec une finition argent-palladium (condensateurs Presidio et Eurofarad, résistances Vishay). D'autres finitions existent pour ces composants « haute température », mais elles sont destinées à la brasure au plomb. Les *drivers* ont été réalisés par la société Atmel selon les plans de Khalil EL-FALAH, doctorant à Ampère [42]. La technologie CMOS utilisée (Smartis-I) ne comprenant pas de métallisation en face arrière, un dépôt Ti/Ni/Ag a dû être effectué sur la face arrière (par pulvérisation) avant découpe du *wafer* (laboratoire INL, Université Lyon 1). Pour des raisons de compatibilité avec les étapes de *wirebonding* des puces, les substrats ont reçu une métallisation Ni/Pd/Au. Le boîtier choisi (Sinclair) est un modèle standard, métallisé Ni/Au. Du fait de la présence d'or, et pour assurer une bonne tenue mécanique de tous les éléments à assembler, un procédé de frittage avec pression a été préféré [61].

Une première version de ce démonstrateur (non présentée ici) faisait appel à une encapsulation dans un élastomère silicone, qui s'est révélé trop rigide et a entraîné la rupture des fils de *bonding* des *drivers*. Pour cette nouvelle version, nous avons donc décidé d'utiliser un boîtier hermétique plutôt qu'un gel. Les résultats

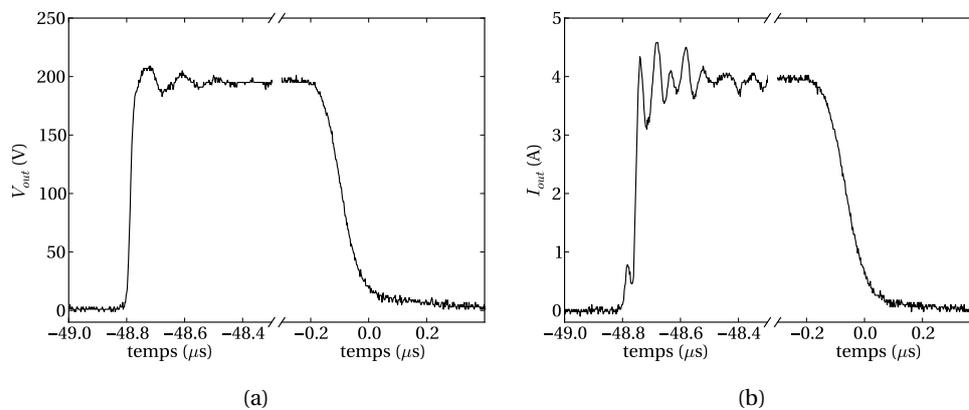


FIGURE 7.40 – Tension de sortie du bras d’onduleur et courant dans la charge résistive mesurées pour une température de radiateur de 310 °C.

présentés ici sont cependant obtenus sur un boîtier ouvert, sans aucune protection contre l’atmosphère ambiante. Nous avons donc limité la tension de test à 200 V pour nos essais, alors que le module est conçu pour le bus « HVDC » aéronautique (540 V DC).

Pour ces essais, le module bras d’onduleur a été monté sur un bloc chauffant. Une résistance de puissance (50  $\Omega$ ) a été connectée entre la sortie du bras et la masse. Les alimentations des *drivers*, la génération des signaux de commande isolés (10 kHz, rapport cyclique 50%, temps mort 2  $\mu$ s), et une capacité de découplage de bus plus importante (1  $\mu$ F) ont été laissés à température ambiante.

Un exemple de résultat est visible figure 7.40. Ces courbes ont été mesurées à une température de bloc chauffant de 310 °C. On peut voir que la vitesse de montée de la tension et du courant est très élevée (environ 15 ns), ce qui est classique avec les JFET SiC. La vitesse de descente est, elle, plus lente (environ 100 ns). Ce n’est pas lié à la vitesse de commutation des transistors : il s’agit simplement là de la décharge des capacités des transistors dans la résistance de charge. À cette commutation correspond en effet l’ouverture du JFET haut, la fermeture du JFET bas se produisant plus tard (plus d’une microseconde après, c’est à dire en-dehors du graphe). Sur charge plus réaliste (inductive), ce phénomène n’apparaîtrait pas.

Toujours sur la figure 7.40, on peut observer le faible niveau de perturbations. Il s’explique par la proximité entre les *drivers* et les JFETs, par l’absence de recouvrement (du fait que la charge soit résistive), et par la présence d’une capacité de découplage de bus directement dans le module, en plus de la capacité externe. Il faut cependant noter que ce dernier point reste à vérifier : les capacités utilisées sont spécifiées pour une température maximum de 200 ou 250 °C. Il est probable que leurs performances soient fortement dégradées (voire inexistantes) à 310 °C.

Les tests effectués entre 100 et 315 °C montrent une très faible évolution des formes d’ondes mesurées. À 315 °C, néanmoins, le module a cessé de fonction-

ner, mais est redevenu fonctionnel après refroidissement. Cette limite de 315 °C semble liée aux *drivers*, qui n'avaient été conçus que pour des températures allant jusqu'à 250 °C [42]. Après plusieurs heures de tests, aucune dégradation (oxydation, changement de couleur) n'est visible, malgré un fonctionnement sans encapsulant ni atmosphère protectrice. L'assemblage par frittage d'argent, que ce soit pour la puce ou pour tous les autres éléments du module, semble donc être une bonne solution. Des essais de vieillissement sur le module doivent permettre de confirmer cela.

### 7.3 Conclusions sur le *packaging* haute température

Bien que les composants SiC puissent fonctionner à des températures élevées (300 °C ou plus pour certains d'entre eux), leur gestion thermique reste un sujet fondamental. En particulier, nous avons vu (section 7.1.3) que le transistor JFET, pourtant particulièrement attractif pour les applications haute température, doit être « refroidi » efficacement, c'est à dire que la chaleur qu'il dissipe doit être évacuée efficacement, même si la température ambiante est élevée.

Ces composants ne simplifient donc pas la conception thermique des convertisseurs. Le *packaging* « haute température » doit non seulement supporter des températures ambiantes supérieures à 200°C, mais également offrir des performances thermiques comparables à celles du *packaging* « standard ».

Concernant les technologies de *packaging* pour la haute température, je me suis concentré sur les méthodes d'assemblage (en particulier l'attache de puce). Le TLPB a été évalué, mais il nécessite des métallisations (notamment de puce) épaisses, ce qui complique sa mise en œuvre. Le frittage d'argent, au contraire, est compatible avec les métallisations existantes. C'est une méthode peu chère (surtout comparée aux brasures haute température à base d'or), qui permet de réaliser des joints ayant d'excellentes performances thermiques et électriques, et dont la fiabilité a été démontrée pour les températures « standard » (inférieures à 175 °C).

Même si la mise en œuvre du frittage d'argent est simple en théorie, il a fallu deux thèses au laboratoire (Amandine MASSON et Stanislas HASCOËT) pour définir complètement le procédé d'assemblage de puces. Nous sommes maintenant capables de reporter des puces (et d'autres composants), avec ou sans pression. Le frittage sans pression produit des joints plus poreux, dont la tenue mécanique est inférieure (mais elle reste acceptable). Il simplifie cependant la fabrication (qui peut se faire au four plutôt qu'avec une presse).

La plupart des études portant sur la fiabilité des joints d'argents frittées porte sur une gamme de température plus ou moins standard (jusqu'à 175 °C pour les applications automobiles). Seules quelques études traitent des applications hautes températures, et montrent quelques différences de comportement (diffusion au sein du joint, migration causée par le champ électrique). Certains aspects ont été présentés dans ce chapitre, mais il reste du travail. En particulier, dans le

cas de la migration, de nouveaux essais vont commencer au laboratoire. Cette fois, l'atmosphère sera contrôlée, de manière à essayer de réduire la dispersion expérimentale observée.

En fin de chapitre, j'ai présenté un démonstrateur « tout fritté ». Il a permis de montrer que le frittage d'argent peut être employé pour l'assemblage de différents types de composants pour former des fonctions complètes. En particulier, l'intégration de l'étage driver permet de piloter au mieux des composants rapides en réduisant les inductances parasites de la boucle de commande. Le frittage apporte une grande souplesse à la fabrication de l'ensemble, puisque l'assemblage des différents composants (et du substrat dans le boîtier) peut se faire simultanément ou successivement, au contraire des brasures : lorsque deux étapes de brasure se suivent, elles doivent employer des alliages avec des points de fusion différents, et la phase liquide de la brasure nécessite des guides pour maintenir les différents éléments alignés).



## **Troisième partie**

# **Conclusions et perspectives**



## CHAPITRE 8

# Perspectives

Alors que s'approche le terme de ce mémoire, nous en arrivons à la partie sans doute la plus importante, celle qui fait tout l'intérêt de l'exercice qu'est l'HDR : réfléchir aux perspectives, et déterminer les orientations qu'il convient de donner à mon travail de recherche. C'est d'autant plus important que ces phases de « prise de recul » sont à mon avis trop rares (j'y reviendrai), sans cesse repoussées à plus tard par l'urgence quotidienne.

Ce chapitre est divisé en quatre grandes sections. Dans la première, je m'intéresserai aux aspects les plus généraux : attractivité de ma recherche, sources de financement, etc. Dans les trois suivantes, j'analyserai les points à poursuivre au sujet de l'électronique de puissance pour la haute température, l'intégration, et la haute tension.

### 8.1 Cadre de recherche

Commençons par les points positifs : l'électronique de puissance est un sujet de recherche très dynamique, notamment avec l'apparition des composants actifs à matériaux « grands gaps » (SiC ou GaN). Ceux-ci nécessitent en effet de repenser l'ensemble du convertisseur pour tirer le meilleur parti de leurs performances, que ce soit en termes de vitesse de commutation, de fonctionnement à haute température ou à haute tension. Il s'agit en fait de prolonger la démarche qui a été entreprise lors de l'apparition de l'IGBT silicium, et de passer cette fois du convertisseur basé sur des modules de puissances à une intégration plus poussée, où l'élément de base est la puce ou le composant passif « nu ». Il faut même aller plus loin en reportant sur le packaging du convertisseur certaines fonctions (ces points sont décrits dans les sections 8.3 et 8.4).

L'électronique de puissance permet des économies d'énergie et une grande souplesse d'utilisation (contrôle d'actionneurs, de réseaux électriques...). De ce fait, elle fait l'objet d'une forte demande industrielle. Il est de ce point de vue révélateur que la très grande majorité de mes travaux de recherche inclut des industriels soit dans le financement, soit dans le programme de recherche (et le plus

souvent dans les deux). Autre indicateur de l'attractivité de la recherche en électronique de puissance pour l'industrie : la plupart des docteurs que nous formons trouve du travail sans difficulté.

Cet intérêt de la part de l'industrie est par ailleurs très motivant : il permet un retour sur notre travail, sans lequel on serait en quasi « boucle ouverte » avec comme seuls retours les indicateurs bibliométriques. Il a cependant ses inconvénients. D'une part il tend à favoriser le court terme, en demandant des réponses rapides à des problèmes immédiats, et d'autre part il renforce le cloisonnement des recherches (confidentialité, sujet cadré).

Si l'on ajoute à cela que le gros du financement de la recherche se fait maintenant sur projets, et que dans la plupart des cas, ces projets se font sur des durées courtes (3 ans ou moins), avec un programme fixé a priori, on voit se dessiner une structure rigide où la sérendipité n'a plus sa place. On est ainsi poussé à rester cantonné dans son domaine de compétences immédiat et à éviter la prise de risques. C'est confortable à court terme, je le reconnais, mais pose le problème de faire évoluer ses compétences à plus long terme. Être spécialiste d'une technologie qui devient mature est certes valorisant, mais il faut savoir évoluer pour conserver l'avance de phase nécessaire au travail de recherche.

Comprenons nous bien : l'électronique de puissance est un sujet très appliqué, qui n'existerait pas sans industrie et sans ses produits. Il n'est pas question ici de cacher ceux-ci sous le tapis pour ne dessiner qu'une recherche pure, libérée de toute contrainte applicative. Mais l'organisation actuelle me semble aller à l'opposé du principe même du laboratoire de recherche. De plus en plus de projets nécessitent le remplissage de feuilles d'heures, basées sur une fiction qui voudrait que le chercheur passe 100% de son temps à faire de la recherche, sous forme de petits créneaux indépendants d'un quart de journée chacun<sup>1</sup>. Quoi de plus antinomique avec le partage d'idées, de temps et d'expérience qui constitue le laboratoire ? Il fallait déjà dire à l'avance ce que l'on allait trouver et quand on allait le trouver, il nous faut maintenant chiffrer exactement combien cela va nécessiter de travail !

Pour continuer mes griefs envers l'organisation actuelle, la structure « horizontale » des laboratoires de recherche français (beaucoup de chercheurs, relativement peu de post-docs et de doctorants) se prête bien moins au travail par projet que la structure pyramidale anglo-saxonne (une poignée de *faculty members*, des post-docs – ou *associate researchers* – encadrant un nombre encore plus grand de doctorants). Dans cette dernière structure, les découpages entre projet se font au niveau des personnes, chaque post-doc ou doctorant se consacrant à un seul projet. C'est d'autant plus efficace que les post-docs obtiennent dans ces universités les contrats à durée indéterminée que les établissements français refusent de signer, et constituent donc des personnels expérimentés. En France, il est difficile de recruter (et encore plus de garder un minimum de temps) un post-doc. Le tra-

---

1. À titre d'exercice, je laisse le lecteur déterminer à quel(s) projet(s) de recherche a été imputée la rédaction de cette HDR.

vail de recherche doit donc être fait par les permanents, qui doivent jongler entre une multitude de projets pour assurer la continuité de leurs financements, et les doctorants (qui par définition manquent d'expérience). On se retrouve alors avec une double peine : d'un côté la fragmentation créée par le financement par projet, de l'autre une organisation interne inadaptée à ce même financement (mais adaptée à une recherche sereine, avec des postes stables et une structure faiblement hiérarchique).

Une fois ce constat posé, que faire ?

Certaines réponses sont structurelles. Les récents mouvements de chercheurs (qui ont eu peu d'écho dans les sciences appliquées, moins touchées par les baisses de moyens) montrent que le problème du financement par projet est global, et que la solution passe probablement par un rééquilibrage de la part de financement par projet (qui est nécessaire) et la part de financement propre des laboratoires. Cette demande ne semble pas avoir été entendue par le gouvernement, alors même qu'elle pouvait se faire à budget constant<sup>2</sup>. C'est dommage.

En attendant ces hypothétiques évolutions structurelles, il me faut m'interroger sur la façon dont je veux conduire ma recherche à l'échelle personnelle.

Un premier problème est que les travaux « technologiques » demandent des moyens importants. Une solution est d'intégrer des structures type CEA ou Fraunhofer Institute, où l'on retrouve des organisations pyramidales, seules capables de gérer des moyens de production d'envergure. Je préfère néanmoins l'organisation horizontale, plus souple et plus féconde intellectuellement (quand elle fonctionne). C'est cette liberté que je suis venu chercher au CNRS, et je souhaite la conserver.

La plateforme 3DPHI (associée aux quelques moyens de réalisation que j'ai rassemblés à Ampère) constitue une amorce de solution : elle permet de mutualiser des moyens (matériels et humains) entre plusieurs laboratoires, avec l'objectif de travailler plus sur des démonstrations de concepts que sur des prototypes à haut degré de maturité. Elle pose néanmoins la question de l'efficacité du travail de recherche à Lyon lorsque les moyens se trouvent à Toulouse. De plus, elle reste à l'heure actuelle sous-utilisée. Je pense qu'il s'agit néanmoins d'un juste milieu entre les faibles moyens dont je dispose (pour l'achat d'équipement et sa gestion) et la souplesse d'utilisation (que ne permettrait pas un fonctionnement en sous-traitance à une plateforme technologique sophistiquée comme celle du CEA). Je souhaite donc continuer d'explorer cette voie dans les années à venir. La création d'une USR (Unité de Services et de Recherche) autour de 3DPHI, à laquelle je participe, devrait permettre de faciliter son utilisation par la communauté.

3DPHI est également un moyen de multiplier les échanges, surtout informels, avec les membres d'autres laboratoires (en particulier LAPLACE). C'est fondamental pour évoluer et pour confronter ses idées : même s'il est issu de la fusion de

---

2. Une autre demande (également à budget constant) qui n'a pas été entendue, c'est de rebasculer une part du crédit impôt recherche sur l'embauche de personnels. Celle-là non plus n'a pas emporté l'adhésion du gouvernement. C'est très dommage. Les chercheurs devront-ils s'inspirer des méthodes de revendication plus énergiques d'autres corporations pour se faire entendre ?

laboratoires plus petits, Ampère a toujours des moyens relativement modestes en électronique de puissance (notamment sur ses aspects packaging/intégration !). Il faut cependant noter que deux structures se sont récemment créées à Lyon avec la participation active d'Ampère, qui pourront à terme changer assez profondément notre manière de travailler : Supergrid Institute, au sujet des réseaux haute tension continue, et le laboratoire commun Safran/Ampère IPES, sur l'électronique de puissance haute tension. Ces deux structures devraient, à des degrés différents, renforcer nos activités d'électronique de puissance et nous permettre de compenser la forte charge de travail et le manque de personnel dont nous souffrons depuis plusieurs années. Elles sont cependant trop jeunes pour que je puisse tirer des conclusions sur leur efficacité pour soutenir le travail de recherche.

Après la question des moyens matériels, reste celle de l'organisation du travail. Quoi qu'on puisse en penser, le financement restera très majoritairement sur projet dans les années à venir, il faut donc s'en accommoder. Dans ce cadre, puisque nous avons actuellement la chance d'avoir plus de sollicitations que ce que nous pouvons raisonnablement traiter, je pense favoriser les projets les plus gros (ceux permettant de financer plusieurs thèses, et dont la charge d'administration est répartie entre plusieurs personnes). Les projets plus petits ont en général un rapport travail administratif/travail scientifique nettement moins favorable<sup>3</sup>. Idéalement, je souhaiterais monter un projet de type ERC « Consolidator Grant », qui permet d'avoir un financement important (un à deux millions d'euros) sur une durée intéressante (5 ans), de façon à éviter l'éparpillement de mes activités. Cela reste néanmoins un objectif incertain, d'un part à cause de la grande sélectivité de ces appels, et d'autre part parce que cela nécessite de pouvoir y consacrer plus de 50% de mon temps (alors que j'ai déjà des engagements sur plusieurs années par ailleurs).

Reste que les travaux de plus petite envergure (quelques mois) sont utiles pour tester des concepts, et permettent de créer des liens avec de nouveaux partenaires (notamment industriels). Pour ce type d'étude, la mise en place d'une procédure de facturation interne (pour l'utilisation des moyens de réalisation disponible à Ampère) me permet d'une part de faire une estimation plus juste du financement à demander (j'avais une forte tendance à le sous-estimer), et d'autre part de disposer d'un budget « non affecté » de quelques dizaines de milliers d'euros par an que je peux mobiliser sur des sujets indépendamment de toute demande de financement extérieure.

Finalement, un des problèmes les plus difficiles à gérer est d'un tout autre ordre : le packaging est un sujet transversal, entre le génie électrique, les sciences

---

3. Il est d'ailleurs intéressant de noter qu'il n'y a aucune corrélation entre précision du suivi d'un projet et les résultats qui en découlent : sur l'un des projets auquel j'ai participé, THOR, une bizarrerie du montage a fait que je n'avais aucun livrable à fournir. Les résultats ont pourtant été tout à fait satisfaisants : deux démonstrateurs (décrits section 6.3.2 et 7.2.5), et étude détaillée du phénomène de migration d'argent (section 7.2.4.1). Bref, de là à dire que les plannings et les listes de livrables qu'on nous demande pour pouvoir contrôler l'exécution de notre travail ne servent à rien, il y a là un pas que je franchis allègrement !

des matériaux, et d'autres domaines comme la thermique ou la mécanique. De ce fait, il est très difficile d'attirer de bons étudiants en thèse, ceux-ci favorisant les sujets plus proches de leur formation d'origine. J'ai commencé à faire des interventions (à l'université Lyon 1 et à l'INSA, en département de génie électrique) pour faire une introduction au packaging, et il faut probablement que je poursuive sur cette voie.

## 8.2 Packaging pour la haute température

Comme on peut le voir dans le découpage de ce mémoire, le packaging pour les applications haute température a constitué la majorité de mon travail de recherche de ces 7 dernières années, depuis mon entrée au CNRS. Le laboratoire a d'ailleurs investi de gros efforts dans le domaine de l'électronique de puissance haute température (et pas seulement sur le packaging), ce qui s'est traduit par la création d'un laboratoire commun Ampère/Safran (IPES), et la mise à disposition par Safran d'1,5 poste d'ingénieur dans IPES.

Le plus gros de mes activités a porté sur le frittage d'argent (thèses d'Amandine MASSON, Stanislas HASCOËT, Wissam SABBAH et Raphaël RIVA). Si j'ai pu montrer l'intérêt de cette technique pour les applications haute température (meilleures performances électriques, thermiques, fonctionnement à plus haute température, etc.), il faut maintenant qu'elle soit mise en œuvre par les industriels. C'est nécessaire d'une part pour que le frittage d'argent sorte des labos (c'est déjà le cas, notamment outre-Rhin), mais également pour que nous puissions disposer du procédé stable et bien maîtrisé nécessaire aux études de fiabilité à venir. La prochaine grande étape est en effet d'évaluer la fiabilité de cette technique d'assemblage vis-à-vis des contraintes imposées par les applications haute température, et notamment le cyclage sur de larges plages de température.

Les études des mécanismes de vieillissement et les modes de défaillance, que j'ai amorcées par des travaux sur la migration d'argent (section 7.2.4.1), sont effet une des orientations que je souhaite donner à mon travail de recherche. Plusieurs laboratoires travaillent déjà autour de la fiabilité en électronique de puissance (citons, en France, l'IMS et l'IFSTTAR-LTN), mais je pense qu'il y a une place pour des recherches plus centrées sur l'environnement haute température. En effet, les convertisseurs destinés aux hautes températures font appel à des méthodes de packaging particulières, et la haute température favorise certains mécanismes physiques (par exemple les diffusions d'espèces chimiques). Ces deux raisons font que les défaillances observées à haute température sont probablement<sup>4</sup> différentes de celles qui apparaissent pour des applications plus classiques.

Ces études du vieillissement et des mécanismes de défaillance du packaging feront d'ailleurs écho aux différentes études qui ont débuté au laboratoire sur le

---

4. probablement, parce que la définition même de l'environnement « haute température » diffère d'un cas à l'autre (automobile, forage, aéronautique). Il est donc difficile de tirer des grandes conclusions sans définir plus précisément les conditions de fonctionnement.

vieillessement des puces SiC (MOSFET notamment) pour en estimer la fiabilité dans un environnement haute température. Cela débute notamment avec le projet Genome (coordonné par Airbus, avec la participation de nombreux industriels et universitaires), sur lequel nous étudions l'évolution des performances à haute température de divers composants SiC, mais également d'éléments de packaging.

Une première piste est d'étudier le frittage d'argent « sans pression » : les travaux de Stanislas HASCOËT ont montré que ce procédé (par ailleurs intéressant puisque réalisable au four plutôt qu'à la presse) était beaucoup plus sensible à certains paramètres, comme les finitions métalliques des pièces à joindre, que le frittage avec pression. Cette sensibilité est cependant d'une différence de degré, et non pas de nature. Le frittage sans pression est donc un bon modèle d'étude, qui accélère la mise en évidence des problèmes. Je pense donc poursuivre les travaux sur le frittage sans pression (notamment le frittage de particules d'argent de taille micrométrique plutôt que nanométrique), qui semble par ailleurs moins étudié.

D'autres aspects du frittage sans pression, plus fonctionnels, restent par ailleurs à étudier : par exemple, le report de composants passifs (comme dans le cas du démonstrateur présenté section 7.2.5, où tous les composants ont été frittés sous faible pression). Le frittage sans pression permet ici d'assembler des composants de hauteur différente, voire des composants sensibles à la pression (cas des capacités céramiques qui ne sont maintenues que par leurs extrémités). Simple dans son principe, ce procédé demande néanmoins un gros travail d'essai (composants de différentes formes, de finitions différentes, etc.). Une extension est d'ailleurs l'application du frittage d'argent à des cartes d'une plus grande complexité, comme par exemple la commande rapprochée des convertisseurs (seul l'étage de sortie du *driver* est inclus dans le module de la section 7.2.5).

Des études plus amont sont à poursuivre sur les structures « 3D » pour la haute température. Elles seront probablement plus longues à se développer industriellement que dans le cas de l'électronique « standard » (sur laquelle je présente mes perspectives de recherche dans la section suivante), mais offrent des avantages en matière de gestion thermique et de réduction des pertes, deux points particulièrement sensibles lorsque l'on fonctionne dans un environnement contraint. Là encore, le frittage sans pression semble offrir une plus grande souplesse de mise en œuvre.

À plus long terme, on peut également imaginer une version « haute température » de l'intégration PCB que je présente dans la section suivante : dans cette approche, les composants peuvent être enterrés dans le circuit imprimé, offrant des inductances minimales [65] et un procédé de fabrication collectif. Si les matériaux organiques des circuits imprimés classiques ne sont pas adaptés à un fonctionnement à plus de 100-150 °C, on pourrait réaliser des versions hybrides céramique/polyimide (par exemple) de ces circuits permettant de fonctionner à 200 °C ou plus, tout en offrant de bonnes performances thermiques. Cela permettrait de pousser encore plus loin la réduction des inductances permise par les architectures « sandwich ». Une application est l'augmentation de la densité de puissance, pour des convertisseurs fonctionnant dans une ambiante « basse température »,

mais avec de fortes températures de jonction<sup>5</sup>. Ces développements viendront cependant après leur pendant « basse température ».

Enfin, pour conclure ces perspectives sur mes recherches destinées aux hautes températures, citons deux sujets sur lesquels je compte travailler en collaboration avec des collègues : tout d'abord les inductances et transformateurs intégrés, travaux de Christian MARTIN avec qui nous débutons une thèse (Maxime SEMARD) visant à pousser plus loin cette technologie développée durant la thèse d'Elias HADDAD. Les problématiques sont proches de celles du packaging, et j'espère en particulier pouvoir développer des méthodes de croissance de bobinage de cuivre et de vias traversant dans le ferrite sur le principe des « trous métallisés » de la technologie PCB. Ensuite, j'espère pouvoir poursuivre avec mes collègues des laboratoires LaMCoS (Anthony GRAVOUIL), LMI (Olivier DEZELLUS), MATEIS (Laurent GREMILLARD) et SiMAP (Rafaël ESTEVEZ), les travaux entrepris sur la modélisation fine des contraintes mécano-thermiques dans les substrats céramiques (projet SuMeCe). Nous avons obtenu des résultats très intéressants (section 5.3.1) sur la modélisation, il reste maintenant à appliquer cette modélisation au cas des cyclages thermiques profonds en électronique haute température pour déterminer s'il est possible de concevoir des substrats céramiques parfaitement fiables.

### 8.3 Nouvelles structures de modules de puissance

C'est probablement à cette thématique que je vais consacrer le plus de temps dans les années qui viennent, et ce pour plusieurs raisons :

- pour tirer parti des nouveaux composants (transistors SiC et GaN, voire MOSFET silicium à superjonction), il faut que leur packaging soit bien plus performant qu'actuellement. En particulier, il faut que les inductances parasites des circuits passent en-dessous du nanohenry [65] ;
- l'industrie est arrivée à la même conclusion, et est maintenant prête à financer des études ;
- la technologie PCB (circuit imprimé) offre un éventail de solutions pour faire des structures « 3D », que la plateforme 3DPHI permet de mettre en œuvre. Cette technologie donne en effet accès à une quantité d'outils de conception, de composants standard et de procédés de réalisation gigantesque. Il devient ainsi possible d'intégrer sur le même circuit imprimé toutes les fonctions nécessaires, sans distinction entre électronique de puissance et de signal.

Enfin, une dernière raison me laisse à penser que thématique d'intégration de puissance va m'occuper à court terme : j'ai déjà commencé ! En effet, à la suite des travaux présentés au chapitre 6, j'en ai amorcé d'autres (non décrits dans la partie bilan du document, du fait de leur faible avancement).

---

5. si tant est que ce soit possible compte-tenu de l'emballage thermique, voir section 7.1)

Il faut noter que la distinction que je fais ici entre « haute température », « nouvelles structures » et « haute tension » est assez artificielle. En particulier, un des sujets d'étude qui me semble prometteur est la montée en température des technologies PCB, permettant de les exploiter, par exemple, dans des applications automobiles.

Une partie des développements sur les nouvelles structures de modules porte d'ailleurs sur des évolutions de la technologie « sandwich » présentée en section 6.3.2 qui était destinée à la haute température. Par exemple, des travaux en cours avec Yvan AVENAS et Pierre-Olivier JEANNIN, du G2ELab, au travers de la thèse de Léonardo RUFFEIL DE OLIVERA visent à réaliser un « double sandwich » (empilement substrat/puce/substrat/puce/substrat), ou CoC (*Chip on Chip*) pour constituer des cellules de commutation extrêmement compactes qui devraient avoir des performances électriques et CEM excellentes. Cette structure a été développée au G2ELab durant les thèses d'Éric VAGNON [148] et Jean-Louis MARCHE-SINI [96]. Les technologies de gravure « double couche » et de frittage d'argent que j'ai développées à Ampère permettront de rendre cette structure CoC plus compacte et d'évaluer complètement les performances qu'on peut en attendre vis à vis de structures plus classiques.

Une autre approche, totalement nouvelle pour moi (mais basée sur les travaux qui ont pu être menés récemment au GeePs ou au Fraunhofer IZM) portent sur l'enfouissement de puces ou d'autres composants dans du circuit imprimé (PCB). Les premiers travaux sont portés par l'ANR ETHAER, en collaboration avec Éric LABOURÉ, pour les développements technologiques (thèse de Chenjiang YU) et avec Thierry MEYNARD (LAPLACE) et François FOREST (IES), qui travaillent sur les topologies de convertisseurs. L'objet de l'étude est un convertisseur 28 V/540 V d'une puissance de 12 kW. Cette gamme de tension va permettre d'étudier deux types de composants actifs, qui posent des problématiques d'intégration différentes : les classiques puces verticales, probablement en SiC pour le côté haute tension, et les puces latérales en GaN côté basse tension. Les contraintes de température étant raisonnables (de l'ordre de 90 °C de température ambiante), et l'objectif étant d'obtenir les meilleures performances en commutation possibles, la technologie PCB semble toute indiquée.

Un exemple de convertisseur de puissance dont les puces seraient enfouies dans du PCB est donné figure 8.1. Certaines briques élémentaires d'une telle structure ont déjà été développées à 3DPHI dans le cadre de la thèse de Chenjiang YU : l'enfouissement de la puce dans le composite verre-epoxy qui forme le PCB, l'ablation de ce matériau au-dessus de la puce pour en retrouver la métallisation supérieure. Les travaux actuels portent sur la prise de contact par électrodéposition, technique classique pour réaliser des trous métallisés.

Une autre brique de base déjà testée est visible figure 8.2 : le report de composant GaN sur substrat DBC. Les composants que nous utilisons possèdent en effet des bossages (*bumps*) avec un pas fin (200  $\mu\text{m}$ ). Le cuivre du DBC étant épais (ici 300  $\mu\text{m}$ ), il est très difficile de réaliser directement des structures suffisamment fines par gravure chimique. La solution que nous avons utilisé repose sur la gra-

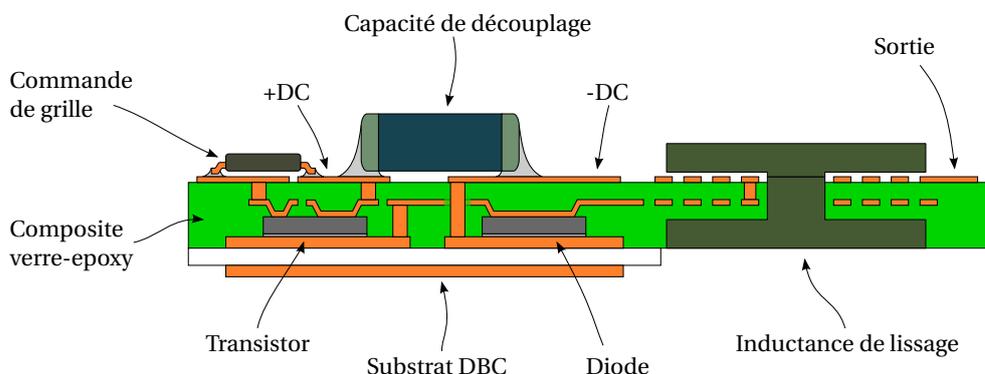


FIGURE 8.1 – Vue en coupe d'un convertisseur faisant appel à des puces reportées sur un substrat DCB (pour la gestion thermique), enfouies dans du PCB (pour l'interconnexion dense), avec quelques composants périphériques (circuit de commande, capacité d'entrée) et une inductance de lissage intégrée.

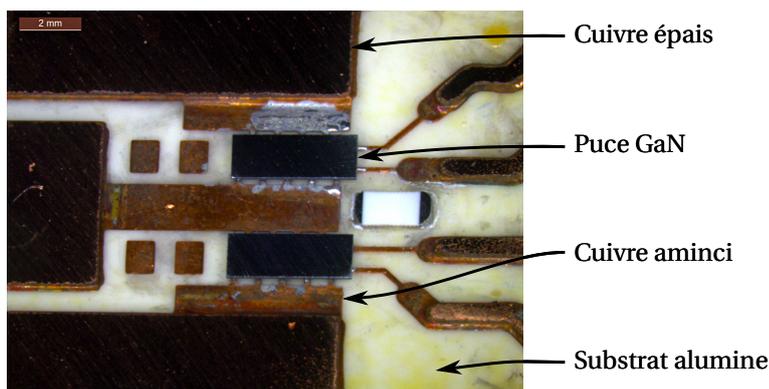


FIGURE 8.2 – Montage d'un composant GaN (de la société EPC) sur un substrat DBC : c'est un composant lateral, muni de *bumps*. La gravure "double épaisseur" du DBC, réalisée à Ampère, permet d'affiner la piste de cuivre au voisinage des puces GaN, de façon à atteindre la résolution de gravure suffisante (pas des *bumps*:  $200\ \mu\text{m}$ ). Une fois montées, les puces sont amincies mécaniquement pour arriver à fleur de la métallisation cuivre du DBC.

vure double épaisseur présentée section 6.3.2. Ici, le cuivre est aminci localement (jusqu'à  $50\ \mu\text{m}$  environ), de façon à permettre une seconde étape de gravure avec la résolution nécessaire aux puces GaN. Le cuivre épais sur le reste du circuit permet d'en limiter la résistance électrique (les puces GaN présentées ont un  $R_{DS(on)}$  de  $4\ \text{m}\Omega$  et un calibre en courant de  $30\ \text{A}$ ).

Les puces visibles figure 8.2 ont de plus été rodées après montage pour retirer la plus grosse partie de leur substrat silicium (qui n'a pas de fonction électrique). On obtient alors une configuration bien adaptée à une étape d'enfouisse-

ment dans du circuit imprimé, puisque les pistes électriques épaisses et la puce sont sur un même plan.

Le développement technologique par « briques élémentaires » semble nécessaire, et correspond bien aux ambitions de 3DPHI. Reste que mon travail sur ces nouvelles structures de puissance doit aussi porter sur la conception : les démonstrateurs présentés dans ce mémoire (que ce soit les structures « sandwich » des sections 6.3 ou 6.4 ou l'enfouissement de puce que je viens d'aborder) visaient principalement à mettre en œuvre les technologies. Ces démonstrateurs n'ont en conséquence pas fait l'objet d'une conception approfondie (modélisation mécano-thermique par exemple). C'est une faiblesse de mon travail, mais elle me semble inévitable dans les premiers développements : il semblerait logique de commencer par modéliser ce que l'on veut fabriquer avant de passer aux développements technologiques. Mais en réalité, difficile de modéliser quoi que ce soit tant qu'on ne connaît pas la technologie en détail !

Maintenant que les premiers développements sont faits, il me faut donc travailler sur la conception des structures de puissance. Dans les années à venir, il me faudra prendre en main des outils de modélisation thermique, mécano-thermique, et électrique. Je pense m'appuyer sur des logiciels existants, notamment type éléments finis.

Au niveau électrique, en particulier, le travail à effectuer est similaire à celui qui a été commencé il y a bientôt 20 ans autour des modules de puissance : l'augmentation des fréquences de commutation permise par les transistors IGBT a poussé au développement de modules moins inductifs, interconnectés par des busbars planaires (ainsi que celui de logiciels de modélisation comme InCa3D). Nous avons maintenant des composants SiC ou GaN, encore plus rapides, qui demandent à nouveau une modification du packaging : cette fois, la brique de base n'est plus le module de puissance mais la puce nue, et l'ordre de grandeur des inductances parasite passe de la dizaine de nanohenry au nanohenry, voire moins.

## 8.4 Vers les hautes tensions

La création à Villeurbanne de l'Institut pour la Transition Énergétique (ITE) « Supergrid Institute » renforce nettement les activités « haute tension » du laboratoire Ampère : le but de Supergrid est en effet de développer les réseaux haute tension continue (HVDC, plusieurs centaines de kilovolts). Un programme spécifique porte sur l'électronique de puissance, et un sous-programme (dont j'ai la charge) du packaging des composants haute tension.

Le démarrage de Supergrid se fait graduellement, depuis les tous premiers travaux de recherche en 2013, jusqu'à un régime établi vers 2016, avec la construction d'un bâtiment dédié à l'institut. Je consacre actuellement 20 % de mon temps aux activités liées à Supergrid (encadrement de doctorants – Ilyas DCHAR et Hugo REYNES –, de stagiaires, et suivi du sous-programme « packaging »).

Le domaine de la haute tension (on parle ici d'environ 10 kV par interrupteur) est nouveau pour moi, et mon travail actuel vise surtout à connaître l'état de l'art du packaging et de l'électronique de puissance haute tension en général. Du fait des gigantesques niveaux d'énergie en jeu dans les convertisseurs HVDC, d'autres problèmes s'ajoutent à la seule tenue en tension : modes de défaillance, tenue aux courts-circuits, gestion du refroidissement. . .). Pour identifier ces problèmes, il faut donc une bonne connaissance de l'« écosystème », et cela prend du temps.

Deux types de convertisseurs nous intéressent à l'heure actuelle dans le cadre de Supergrid : les Modular Multilevel Converters (MMC), destinés à la conversion DC/AC, et les « medium frequency transformers », convertisseurs DC/DC isolés que l'on peut associer en série ou parallèle pour relier différentes branches d'un réseau HVDC. Dans les deux cas, nous cherchons à employer des composants SiC en remplacement des composants Si, pour réduire le nombre de composants mis en série et accroître les densités de puissance.

Dans les MMC, les composants commutent à basse fréquence, deux fois la fréquence de l'onde AC générée. Les pertes en commutation sont donc peu importantes, et leur minimisation par un packaging peu inductif n'est pas primordiale. Par contre, dans ces convertisseurs, plusieurs dizaines ou centaines d'interrupteurs élémentaires sont mis en série. Il est donc impératif de maîtriser les modes de défaillance de ces interrupteurs, pour que le dysfonctionnement de l'un d'eux n'entraîne pas l'arrêt du convertisseur. Cela peut se faire par le packaging, en concevant des boîtiers dont le mode de défaillance est le court-circuit (« *fail-to-short* »).

Les boîtiers *fail-to-short* sont basés sur une structure pressée (*press-pack*) : en cas de surcharge, des interconnexions de type fils de câblage joueraient en effet le rôle de fusibles, et ouvriraient le circuit. Pour certains composants silicium [54], la composition des masses métalliques qui pressent sur les puces est choisie de façon à réagir avec celles-ci au-delà d'une certaine température, de façon à former un alliage conducteur qui remplace la puce. Cette solution n'est cependant pas adaptable directement aux puces en SiC, matériau inerte et qui se sublime à température très élevée (plus de 2500°C). J'encadre actuellement une thèse dans le cadre de Supergrid (Ilyas DCHAR) pour développer un système de packaging offrant le comportement *fail-to-short* sur des composants SiC. Cela nécessite en particulier d'identifier les niveaux d'énergie ou de puissance auxquels les puces SiC sont détruites, pour que le *fail-to-short* ne se déclenche pas lorsque les puces sont encore fonctionnelles.

Outre le *fail-to-short*, les travaux que je débute dans Supergrid visent à développer des boîtiers pour des composants de calibre 10 kV ou plus. Il faut ici identifier les éléments du boîtier susceptibles de limiter la montée en tension, pour les étudier en détail (notamment par simulation). Un des problèmes auxquels je m'attends est la dégradation des performances thermiques des boîtiers lorsque l'on augmente la tenue en tension (et donc l'épaisseur) des substrats céramiques. Cela sera d'autant plus pénalisant que l'on cherche à utiliser au mieux les composants SiC, donc avec une densité de puissance plus importante au niveau des

puces. Ces travaux commencent à peine, et vont nécessiter une grosse étape bibliographique pour profiter des nombreuses recherches déjà effectuées.

À plus long terme, je souhaite travailler sur une idée d'Hervé MOREL : reporter sur le packaging tout ou partie des protections périphériques des puces. Ces protections ont pour but « d'étaler » le champ électrique en surface de la puce lorsque celle-ci est bloquée. De fait, lorsque le calibre en tension des puces augmente, la largeur des protections périphériques fait de même. Pour une puce en silicium de 6,5 kV, ces protections font environ 3 mm [149]. Pour une puce de  $12,7 \times 12,7 \text{ mm}^2$ , cela signifie que près des 3/4 de la surface de la puce sont occupés par les protections périphériques, et qu'il ne reste que 28% de la surface pour les éléments actifs (jonctions, canaux...). Le champ critique du SiC étant 10 fois plus élevé que celui du Si, les protections périphériques des puces SiC sont plus petites, et le problème actuellement moins aigu. Avec la montée en tension, il est néanmoins prévisible qu'il va se reposer, d'autant plus fortement que le SiC est un matériaux plus coûteux que le Si. Enfin, la largeur des protections périphériques est non seulement fonction des propriétés du le matériau semiconducteur, mais également de celles de l'environnement de la puce (gel silicone, en particulier). Si l'on parvenait à réaliser des protections périphériques de très faible largeur grâce aux propriétés du SiC, une rupture diélectrique pourrait se produire dans le gel.

Une solution est donc de réaliser les protections périphériques non plus sur la puce (puisque le SiC coûte cher), mais sur le packaging. Cela permet également de réaliser de nouvelles géométries, plus tridimensionnelles, qui facilitent l'étalement du champ électrique. La difficulté réside dans l'interface entre la puce et son environnement : les matériaux en contact avec la puce doivent avoir des propriétés diélectriques (permittivité, champ critique) proches, la transition du SiC au packaging doit se faire sans discontinuité.

## CHAPITRE 9

# Conclusion

Nous voici donc arrivés à la fin de ce mémoire. C'est le moment de jeter un coup d'oeil dans le rétroviseur.

Durant ma (plus si) courte carrière, j'ai commencé par du génie électrique pur et dur. J'ai ensuite évolué vers une recherche plus transdisciplinaire au travers de la thématique du packaging. Je suis heureux d'avoir fait ce choix, qui me fait découvrir régulièrement de nouveaux sujets de recherche. Ma plus grosse difficulté reste d'attirer des étudiants vers ces sujets transverses. Tout comme moi il y a bientôt 15 ans, ils cherchent avant tout à poursuivre en thèse leur formation initiale. Faut-il développer des formations transdisciplinaires ou généralistes (en physique ou en sciences de l'ingénieur), au risque de rester superficiel ? Faut-il plutôt essayer d'instiller durant la formation une curiosité vers d'autres sujets ? Dans tous les cas, c'est plus facile à dire qu'à faire. . .

Depuis mon entrée au CNRS, en 2008, je me suis principalement concentré sur les applications haute température. En particulier, les travaux sur l'utilisation du frittage d'argent pour la réalisation d'assemblages haute température m'ont pas mal occupé et ont attiré plusieurs industriels. Sans les abandonner (les travaux), j'élargis maintenant mon spectre d'activités vers la réalisation de systèmes plus intégrés (au travers de 3DPHI, notamment), et vers la haute tension (avec Super-grid).

L'électronique de puissance est un domaine encore jeune (je suis né après le MOSFET de puissance mais avant l'IGBT !), qui continue à se transformer. Le carbure de silicium, par exemple, est la raison d'être d'une grande partie des développements présentés dans ce mémoire (électronique haute température, intégration, etc.).

Les économies d'énergies représentent un enjeu sociétal majeur, que ce soit pour des raisons économiques ou écologiques. Sans pouvoir prétendre apporter à elle seule la solution, l'électronique de puissance, parce qu'elle permet une gestion efficace de l'énergie, est une partie de la réponse.

Bref, il y a du pain sur la planche ■



# Bibliographie

- [1] Test Method Standard Microcircuits, February 2006. [92](#), [137](#)
- [2] JEP122 Failure Mechanisms and Models for Semiconductor Devices, October 2011. URL <http://www.jedec.org>. [149](#)
- [3] JESD91A Method for Developing Acceleration Models for Electronic Component Failure Mechanisms, January 2011. URL [www.jedec.org](http://www.jedec.org). [148](#)
- [4] M Akhbari, L Schanen, J Roudet, and JP Keradec. An original design of MOS-FET/IGBT gate circuit layout to suppress power/drive interaction. *ESA SP*, - :427-432, 1998. [42](#)
- [5] Ragnar Ásmundsson, Randy Normann, Holger Lubotzki, and Bill Livesay. High Temperature Downhole Tools. White paper, International Partnership for Geothermal Technology (IPGT), 2012. URL [http://internationalgeothermal.org/Working\\_Groups/Documents/FINAL\%20High\%20Temperature\%20Tools\%20working\%20group\%20White\%20Paper.\%20August\%202012.pdf](http://internationalgeothermal.org/Working_Groups/Documents/FINAL\%20High\%20Temperature\%20Tools\%20working\%20group\%20White\%20Paper.\%20August\%202012.pdf). [57](#)
- [6] Yvan Avenas and Jean-Christophe Crebier. Étude bibliographique sur 2008-2009 pour le packaging en électronique de puissance. Technical report, SEEDS research, 2009. URL [www.seedsresearch.eu/documents/10548/10617/13-JCCrebier-YAvenas-Packaging.pdf?version=1.0](http://www.seedsresearch.eu/documents/10548/10617/13-JCCrebier-YAvenas-Packaging.pdf?version=1.0). [67](#)
- [7] Guofeng Bai. *Low-Temperature Sintering of Nanoscale Silver Paste for Semiconductor Device Interconnection*. PhD thesis, Virginia Polytechnic Institute and State University, Blacksburg, Virginia, October 2005. URL <http://scholar.lib.vt.edu/theses/available/etd-10312005-163634/unrestricted/Dissertation-GBai05.pdf>. [126](#)
- [8] Aymen Ben Kaabar. *Durabilité des assemblages métal-céramique employés en électronique de puissance*. PhD thesis, Université de Lyon, July 2015. [51](#)
- [9] Tarek Ben Salah, Hervé Morel, and S. Mtimet. Toward SiC-JFETs modelling with temperature dependence. *European Physical Journal Applied Physics*, 52(20301) :8, 2010. [112](#)
- [10] Dominique Bergogne, Hervé Morel, Dominique Planson, Dominique Tournier, Pascal Bevilacqua, Bruno Allard, Régis Meuret, Sébastien Vieillard, Stéphane Raël, and Farid Meibody Tabar. Towards an airborne high temperature SiC inverter. In *Proceedings of the Power Electronics Specialists Conference (PESC)*. IEEE, 2008. [58](#)
- [11] Didier Bernache-Assollant and Jean-Pierre Bonnet. *Frittage : aspects physico-chimiques - Partie 1 : frittage en phase solide*, volume AF 6 620,

- chapter Physique Chimie, page 10. Techniques de l'ingénieur, 2005. URL <http://www.techniques-ingenieur.fr/base-documentaire/sciences-fondamentales-th8/fondamentaux-en-chimie-42106210/frittage-aspects-physico-chimiques-af6620/>. 123, 124, 125
- [12] Leonard Bernstein. Semiconductor Joining by the Solid-Liquid-Interdiffusion (SLID) Process I. The Systems Ag-In, Au-In, and Cu-In. *Journal of The Electrochemical Society*, 113(12) :1282–1288, 1966. 122
- [13] Bianca Böttge, Sandy Klengel, Jan Schischka, Georg Lorenz, and Heiko Knoll. Microstructural and Mechanical Characterization of Ceramic Substrates with Different Metallization for Power Applications. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–6. IEEE, 2012. 34
- [14] Mounira Bouarroudj-Berkani. *Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides*. PhD thesis, Ecole nationale supérieure de Cachan, October 2008. URL <http://tel.archives-ouvertes.fr/tel-00346572/en/>. 36
- [15] C. Buttay, C.M. Johnson, J. Rashid, F. Ufrea, G.A.J. Amaratunga, P. Tappin, N. Wright, P. Ireland, T. Yamamoto, Y. Takeuchi, and R.K. Malhan. High temperature direct double side cooled inverter module for hybrid electric vehicle application. *Material Science Forum*, 556–557 :709–712, September 2007. URL <http://www.scientific.net/MSF.556-557.709>. 76
- [16] C. Buttay, J. Rashid, C.M. Johnson, F. Udrea, G. Amaratunga, P. Ireland, and R.K. Malhan. Compact Inverter Designed for High-Temperature Operation. In *Proc. IEEE Power Electronics Specialists Conference PESC 2007*, pages 2241–2247, 2007. ISSN 0275-9306. 76
- [17] C. Buttay, J. Rashid, C. Mark Johnson, P. Ireland, F. Udrea, G. Amaratunga, and R.K. Malhan. High performance cooling system for automotive inverters. In *Proc. European Conference on Power Electronics and Applications*, pages 1–9. EPE, Aalborg, Denmark, September 2007. 36, 73, 76
- [18] C. Buttay, C. Raynaud, H. Morel, G. Civrac, M.-L. Locatelli, and F. Morel. Thermal Stability of Silicon Carbide Power Diodes. *IEEE Transactions on Electron Devices*, 59 (3) :761–769, 2012. URL <https://hal.archives-ouvertes.fr/hal-00672440>. 101, 102, 104
- [19] C. Buttay, C. Raynaud, H. Morel, M. Lazar, G. Civrac, and D. Bergogne. High-temperature behavior of SiC power diodes. In *Proc. 2011-14th European Conf. Power Electronics and Applications (EPE 2011)*, pages 1–9, 2011. URL <https://hal.archives-ouvertes.fr/hal-00672602>. 101
- [20] C. Buttay, T.B. Salah, D. Bergogne, B. Allard, H. Morel, and J.-P. Chante. Avalanche behavior of low-voltage power MOSFETs. *IEEE Power Electronics Letters*, 2(3) : 104–107, 2004. ISSN 1540-7985. URL <https://hal.archives-ouvertes.fr/hal-00138863>. 42
- [21] Cyril Buttay. *Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension*. PhD thesis, Institut National des Sciences Appliquées de Lyon, Villeurbanne, November 2004. 32, 42, 43, 48

- [22] Cyril Buttay. Modules et boîtiers de puissance (packaging). In *Techniques de l'ingénieur*, volume D3 116, page 18. Éditions T.I., 2010. 27, 31
- [23] Cyril Buttay, Khalil El Falahi, Rémi Robutel, Stanislas Hascoët, Christian Martin, Bruno Allard, and C. Johnson, Mark. Integrated packaging allows for improvement in switching characteristics of silicon carbide devices. In *Power Control Intelligent Motion 2014 (PCIM 2014)*, page 8 p. Nuremberg, Germany, May 2014. URL <https://hal.archives-ouvertes.fr/hal-00997355>. 8 pages. 63
- [24] Cyril Buttay, Dominique Planson, Bruno Allard, Dominique Bergogne, Pascal Bevilacqua, Charles Joubert, Mihai Lazar, Christian Martin, Hervé Morel, Dominique Tournier, and Christophe Raynaud. State of the art of high temperature power electronics. *Materials Science and Engineering : B*, 176(4) :283–288, 2011. ISSN 0921-5107. URL <http://www.sciencedirect.com/science/article/pii/S0921510710006136>. Microtechnology and Thermal Problems in Electronics. 55, 58
- [25] Cyril Buttay, Rémi Robutel, Christian Martin, Christophe Raynaud, Siméon Dampieni, Dominique Bergogne, and Thibaut Chailloux. Effect of High Temperature Ageing on Active and Passive Power Devices. In *HiTEC 2010*, page 000228. Albuquerque, United States, May 2010. URL <https://hal.archives-ouvertes.fr/hal-00485273>. 105
- [26] J.N. Calata, John G. Bai, Xingsheng Liu, Sihua Wen, and Guo-Quan Lu. Three-Dimensional Packaging for Power Semiconductor Devices and Modules. *Advanced Packaging, IEEE Transactions on*, 28(3) :404–412, 2005. ISSN 1521-3323. 67, 69
- [27] M Chiadò Caponet, Francesco Profumo, Rik W De Doncker, and Alberto Tenconi. Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits. *Power Electronics, IEEE Transactions on*, 17(2) :225–231, 2002. 76
- [28] Alberto Castellazzi, Tsuyoshi Funaki, Tsunenobu Kimoto, and Takashi Hikihara. Thermal instability effects in SiC Power MOSFETs. *Microelectronics Reliability*, 52 :2414–2419, 2012. URL <http://www.sciencedirect.com/science/journal/00262714>. 108, 118
- [29] K. Chen, C. Tan, A. Fan, and R. Reif. Copper bonded layers analysis and effects of copper surface conditions on bonding quality for three-dimensional integration. *Journal of Electronic Materials*, 34 :1464–1467, 2005. ISSN 0361-5235. 85
- [30] K.N. Chen, C.S. Tan, A. Fan, and R. Reif. Copper bonded layers analysis and effects of copper surface conditions on bonding quality for three-dimensional integration. *Journal of Electronic Materials*, 34(12) :1464–1467, December 2005. URL <http://www.springerlink.com/content/e67664331614n873/>. 119
- [31] Ian R. Christie and Brian P. Cameron. Gold Electrodeposition within the Electronics Industry. *Gold bulletin*, 27(1) :12–20, January 1994. URL [http://www.goldbulletin.org/assets/file/goldbulletin/downloads/Christie\\_1\\_27.pdf](http://www.goldbulletin.org/assets/file/goldbulletin/downloads/Christie_1_27.pdf). 119
- [32] Mauro Ciappa. Selected failure mechanisms of modern power modules. *Microelectronics Reliability*, 42(4-5) :653–667, 2002. ISSN 0026-2714. URL <http://www.sciencedirect.com/science/article/B6V47-45CN6JG-8/2/9bab07a93f785fbcee637106dbe0ff07>. 32

- [33] Mauro Ciappa. Lifetime Prediction on the Base of Mission Profiles. *Microelectronics Reliability*, 45 :1293–1298, 2005. URL [www.elsevier.com/locate/microrel](http://www.elsevier.com/locate/microrel). 56, 58
- [34] A. Consoli, F. Gennaro, A. Testa, G. Consentino, F. Frisina, R. Letor, and A. Magri. Thermal instability of low voltage power-MOSFETs. *Power Electronics, IEEE Transactions on*, 15(3) :575–581, May 2000. ISSN 0885-8993. 108
- [35] L. Coppola, D. Huff, F. Wang, R. Burgos, and D. Boroyevich. Survey on High-Temperature Packaging Materials for SiC-Based Power Electronics Modules. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 2234–2240, June 2007. ISSN 0275-9306. 59
- [36] Corac. Downhole Gas Compression. product brochure, Corac Group plc, 2005. URL <http://corac.hostinguk.com/media/6181/downhole\%20gas\%20compressor\%20brochure.pdf>. 57
- [37] Indium Corp. Alloy Sorted by Temperature. datasheet, Indium Corp, 2008. URL <http://www.indium.com/products/alloychart.php>. 127
- [38] Sombel Diahm, Marie-Laure Locatelli, and Zarel Valdez-Nava. *Silicon Carbide - Materials, Processing and Applications in Electronic Devices*, chapter 17 - Dielectrics for High Temperature SiC Device Insulation : Review of New Polymeric and Ceramic Materials, pages 409–430. Intech, October 2011. URL <http://www.intechopen.com/books/silicon-carbide-materials-processing-and-applications-in-electronic-devices>. 82
- [39] S. Dieckerhoff, T. Kirfe, T. Wernicke, C. Kallmayer, A. Ostmann, E. Jung, B. Wunderle, and H. Reichl. Electric Characteristics of Planar Interconnect Technologies for Power MOSFETs. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 1036–1042, June 2007. ISSN 0275-9306. 62, 66
- [40] Laurent Dupont. *Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude*. PhD thesis, école normale supérieure de Cachan, June 2006. URL <http://tel.archives-ouvertes.fr/tel-00091782/en/>. 147
- [41] S. Egelkraut, L. Frey, M. Knoerr, and A. Schletz. Evolution of the Shear Strength and Microstructure of Die Bonding Technologies for High Temperature Applications during Thermal Ageing. In *Proceedings of the 12<sup>th</sup> Electronics Packaging Technology Conference (EPTC)*, pages 660–667. IEEE, Singapore, December 2010. 30
- [42] Khalil El Falahi. *Contribution à la conception de driver en technologie CMOS SOI pour la commande de transistors JFET SiC pour un environnement de haute température*. PhD thesis, Institut National des Sciences Appliquées de Lyon, Villeurbanne, June 2012. URL <http://tel.archives-ouvertes.fr/tel-00770657>. 150, 152
- [43] Khalil El Falahi, Stanislas Hascoët, Cyril Buttay, Pascal Bevilacqua, Luong Viet Phung, Dominique Tournier, Bruno Allard, and Dominique Planson. High temperature, Smart Power Module for aircraft actuators. In *Proceedings of the High Temperature Electronics Network (HiTEN)*. IMAPS, Oxford, UK, July 2013. URL <https://hal.archives-ouvertes.fr/hal-00874666>. 150

- [44] J. W. Elmer, J. Klingmann, and K. Van Bibber. Diffusion bonding and brazing of high purity copper for linear collider accelerator structures. *Phys. Rev. ST Accel. Beams*, 4 (5) :053502, May 2001. **85**
- [45] A. Fan, A. Rahman, and R. Reif. Copper Wafer Bonding. *Electrochemical and Solid-State Letters*, 2(10) :534–536, 1999. URL <http://link.aip.org/link/?ESL/2/534/1>. **85**
- [46] Peter Friedrichs and Dietrich Stephani. Unipolar SiC power devices and elevated temperature. *Microelectronic Engineering*, 83 :181–184, 2006. URL <http://www.sciencedirect.com/science/article/pii/S0167931705005125>. **56, 58, 112**
- [47] Tsuyoshi Funaki, Tsunenobu Kimoto, and Takashi Hikiyara. Evaluation of capacitance-voltage characteristics for high voltage SiC-JFET. *IEICE Electronics Express*, 4(16) :517–523, 2007. URL [http://www.jstage.jst.go.jp/article/elex/4/16/4/\\_517/\\_article](http://www.jstage.jst.go.jp/article/elex/4/16/4/_517/_article). **40**
- [48] W.F. Gale and D.A. Butts. Transient liquid phase bonding. *Science and Technology of Welding and Joining*, 9(4) :283–300, 2004. URL <http://www.ingentaconnect.com/content/maney/stwj/2004/00000009/00000004/art00001>. **121**
- [49] C. Göbl, P. Beckedahl, and H. Braml. Low temperature sinter technology Die attachment for automotive power electronic applications. In *Automotive Power Electronics*, page 5. Paris, 21–22 jun 2006. URL [www.semikron.com/internet/webcms/objects/pdf/APE2006\\_Goeb1.pdf](http://www.semikron.com/internet/webcms/objects/pdf/APE2006_Goeb1.pdf). **61, 126**
- [50] Christian Göbl. Apparatus and clocked method for pressure sintering, June 14, 2007. URL <http://www.google.com/patents?id=L-qhAAAAEBAJ&pg=PA1#v=onepage&q&f=false>. **126**
- [51] Manfred Götz and Ulrich Völler. curamik CERAMIC SUBSTRATES DBC technology - Design Rules. Design rules, Rogers Corporation, October 2013. **79**
- [52] A. Todd Green. Gold Electrodeposition for Microelectronic, Optoelectronic and Microsystem applications. *Gold bulletin*, 40(2) :105–114, July 2007. URL [http://www.goldbulletin.org/assets/file/goldbulletin/downloads/Green\\_2\\_40.pdf](http://www.goldbulletin.org/assets/file/goldbulletin/downloads/Green_2_40.pdf). **128**
- [53] Hannes Greve and F. P. McCluskey. LT-TLPS Die Attach for High Temperature Electronic Packaging. In *Proceedings of the High Temperature Electronics Network (Hi-TEN)*, pages 246–253. IMAPS, Oxford, UK, July 2013. **122, 123**
- [54] S. Gunturi, J. Assal, D. Schneider, and S. Eicher. Innovative Metal System for IGBT Press Pack Modules. In *Proceedings of the International Symposium on Power Systems and Devices (ISPSD)*, page 4. Cambridge, UK, April 2003. URL [http://library.abb.com/global/scot/scot256.nsf/veritydisplay/8f187a5d23ac689cc125728300378dc5/\\$File/ISPSD\\_03sg\\_copyright.pdf](http://library.abb.com/global/scot/scot256.nsf/veritydisplay/8f187a5d23ac689cc125728300378dc5/$File/ISPSD_03sg_copyright.pdf). **167**
- [55] K Guth, N Oeschler, L Böwer, R Speckels, G Strotmann, N Heuck, S Krasel, and A Ciliox. New assembly and interconnect technologies for power modules. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–5. IEEE, 2012. **126, 130, 148**

- [56] Karsten Guth, Dirk Siepe, Jens Görlich, Holger Torwesten, Roman Roth, Frank Hille, and Frank Umbach. New assembly and interconnects beyond sintering methods. In *Proceedings of PCIM*, pages 232–237. Nuremberg, May 2010. 32, 122
- [57] A. Hamidi and D. Cottet. Parasitics in power electronics packaging. In *37<sup>th</sup> International Symposium on Microelectronics*. IMAPS, IMAPS, Long Beach, California, USA, November 2004. 43
- [58] A. Hamidi, S. Kaufmann, and E. Herr. Increased Lifetime of Wire Bonding Connections for IGBT Power Modules. In *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*, volume 2, pages 1040–1044. Anaheim, CA, March 2001. URL [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?tp=&arnumber=912494&isnumber=19694](http://ieeexplore.ieee.org/xpls/abs_all.jsp?tp=&arnumber=912494&isnumber=19694). 32
- [59] Youness Hamieh. *Caractérisation et modélisation du transistor JFET en SiC à haute température*. Phd thesis, Institut National des Sciences Appliquées (INSA), Lyon, May 2011. URL <http://theses.insa-lyon.fr/publication/2011ISAL0038/these.pdf>. 108
- [60] Gary Hanington. Using Parallel High Voltage Multipliers for 100kV Downhole Neutron Generator Power Supplies. In *Proceedings of the High Temperature Electronics Conference (HiTEC)*, page 7p. IMAPS, May 2014. 57
- [61] Stanislas Hascoët. *Mise en œuvre de nouveaux matériaux d'assemblage dans les modules multipuces de puissance (MCM)*. PhD thesis, Institut National des Sciences Appliquées de Lyon, Villeurbanne, November 2013. 30, 36, 37, 124, 125, 126, 150
- [62] Stanislas Hascoët, Cyril Buttay, Dominique Planson, Rodica Chiriac, and Amandine Masson. Pressureless Silver Sintering Die-Attach for SiC Power Devices. *Materials Science Forum*, 740 :851–854, 2012. URL <https://hal.archives-ouvertes.fr/hal-00799893>. 138
- [63] Ate He, Tyler Osborn, Sue Ann Bidstrup Allen, and Paul A. Kohl. Low-Temperature Bonding of Copper Pillars for All-Copper Chip-to-Substrate Interconnections. *Electrochemical and Solid-State Letters*, 9(12) :C192–C195, 2006. URL <http://link.aip.org/link/?ESL/9/C192/1>. 85
- [64] Daniel Heer, Reinhold Bayerer, and Daniel Domes. SiC-JFET in half-bridge configuration – parasitic turn-on at current commutation. In *Proceedings of the PCIM 2004 conference*, pages 586–593. nuremberg, Germany, May 2014. 41
- [65] Eckart Hoene. Ultra Low Inductance Package for SiC. In *ECPE workshop on power boards*. ECPE, 2012. 66, 162, 163
- [66] Jared M. Hornberger, Edgar Cilio, Roberto M. Schupbach, Alexander B. Lostetter, and H. Alan Mantooh. A High-Temperature Multichip Power Module (MCPM) Inverter utilizing Silicon Carbide (SiC) and Silicon on Insulator (SOI) Electronics. In *Proceedings of the 37<sup>th</sup> Power Electronics Specialists Conference (PESC)*, pages 9–15. IEEE, Jeju, Korea, June 2006. 58
- [67] Giles Humpston and Sara J. Baker. Diffusion Bonding of Gold. *Gold bulletin*, 31(4) : 131–132, December 1998. URL [http://www.goldbulletin.org/assets/file/goldbulletin/downloads/HUMPSTON\\_4\\_31.PDF](http://www.goldbulletin.org/assets/file/goldbulletin/downloads/HUMPSTON_4_31.PDF). 119

- [68] J. Jarrige, T. Joyeux, J.P. Lecompte, and J.C. Labbe. Influence of oxygen on the joining between copper and aluminium nitride. *Journal of the European Ceramic Society*, 27(1) :337–341, 2007. ISSN 0955-2219. URL <http://www.sciencedirect.com/science/article/pii/S0955221906000975>. 51
- [69] C Mark Johnson, Alberto Castellazzi, Robert Skuriat, Paul Evans, Jianfeng Li, and Pearl Agyakwa. Integrated High Power Modules. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–10. IEEE, 2012. 126, 130
- [70] C Mark Johnson and Paul J. Palmer. A Joint IeMRC-EEPKTN Power-electronics Roadmap 2007. Wolfson School of Mechanical and Manufacturing Engineering, Loughborough University, Loughborough, Leics LE11 3TU, 2008. URL <http://www.electronicproductsktn.org.uk>. 49
- [71] R. Wayne Johnson, Cai Wang, Yi Liu, and James D.tan Scofield. Power Device Packaging Technologies for Extreme Environments. *IEEE Transactions on Electronics Packaging Manufacturing*, 30(3) :182–193, July 2007. 32, 59
- [72] John G. Kassakian and David J. Perreault. The Future of Electronics in Automobiles. In *Proceedings of the International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pages 15–19. Osaka, Japan, 2001. 55, 58
- [73] Fumiki Kato, Fengqun Lang, Simanjorang Rejeki, Hiroshi Nakagawa, Hiroshi Yamaguchi, and Hiroshi Sato. Precise Chip Joint Method with Sub-micron Au Particle for High-density SiC Power Module Operating at High Temperature. In *Proceedings of the High Temperature Electronics Network Conference (HiTEN 2013)*, 2013. 125
- [74] R. Khazaka, L. Mendizabal, D. Henry, and R. Hanna. Survey of High-Temperature Reliability of Power Electronics Packaging Components. *Power Electronics, IEEE Transactions on*, 30(5) :2456–2464, May 2015. ISSN 0885-8993. 59
- [75] Kirill Klein, Eckart Hoene, and Klaus-Dieter Lang. Packages for Fast Switching HV GaN Power Devices. In *Proceedings of the PCIM 2014 conference*, 2014. 41, 43, 61, 66, 69
- [76] Joachim Kloeser and Ernst-A Weissbach. high performance flip-chip packages with copper pillar bumping. article, *Global SMT and Packaging*, May 2006. URL [http://www.trafalgar2.com/documents/Technical\\_Articles/6.5-kloeser.pdf](http://www.trafalgar2.com/documents/Technical_Articles/6.5-kloeser.pdf). 92
- [77] Matthias Knoerr, Silke Kraft, and Andreas Schletz. Reliability Assessment of Sintered Nano-Silver Die Attachment for Power Semiconductors. In *Proceedings of the 12<sup>th</sup> Electronics Packaging Technology Conference (EPTC)*, pages 56–61. IEEE, Singapore, December 2010. 61, 148
- [78] Matthias Knoerr and Andreas Schletz. Power Semiconductor Joining through Sintering of Silver Nanoparticles : Evaluation of Influence of Parameters Time, Temperature and Pressure on Density, Strength and Reliability. In VDE Verlag, editor, *Proceedings of the Conference on Integrated Power Systems (CIPS)*, number 10.3. Nuremberg, Germany, March 2010. 126, 148
- [79] Elizabeth Kolawa, Mohammad Mojarradi, and Tibor Balint. Applications of High Temperature Electronics in Space Exploration. In *Proceedings of the High Temperature Electronics Conference (HiTEC)*. IMAPS, May 2006. 56

- [80] Silke Kraft, Andreas Schletz, and Martin März. Reliability of Silver Sintering on DBC and DBA Substrates for Power Electronic Applications. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–6. IEEE, 2012. [34](#), [62](#), [126](#)
- [81] Kyocera. AMB (Active Metal Bonding) Substrate for Power Module. Design rules, Kyocera, March 2013. [35](#), [79](#)
- [82] O. Langlois, E Foch, X Roboam, and H. Piquet. De l’avion plus électrique à l’avion tout électrique : état de l’art et prospective sur les réseaux de bord. *j3ea, Journal sur l’enseignement des sciences et technologies de l’information et des systèmes*, 4 (Numéro HORS SÉRIE 1) :8p, 2005. [56](#)
- [83] Thomas. G. Lei, Jesus N. Calata, Guo-Quan Lu, Xu Chen, and Shufang Luo. Low-Temperature Sintering of Nanoscale Silver Paste for Attaching Large-Area (> 100 mm<sup>2</sup>) Chips. In *Proceedings of the CPES conference*, 2009. [139](#)
- [84] Thomas Guangyin Lei, Jesus Noel Calata, Guo-Quan Lu, Xu Chen, and Shufang Luo. Low-Temperature Sintering of Nanoscale Silver Paste for Attaching Large-Area (> 100mm<sup>2</sup>) Chips. *IEEE Transaction on Components and Packaging Technology*, 33 (1) :98–104, March 2010. [134](#), [139](#)
- [85] G. Lewis, G. Dumas, and S. H. Mannan. Evaluation of Pressure Free Nanoparticle Sintered Silver Die Attach on Silver and Gold Surfaces. In *Proceedings of the High Temperature Electronics Network conference (HiTEN 2013)*. IMAPS, oxford, UK, July 2013. [140](#)
- [86] Jianfeng Li, Alberto Castellazzi, A. Solomon, and C. Mark Johnson. Reliable Integration of Double-Sided Cooled Stacked Power Switches based on 70 μm Thin IGBTs and Diodes. In VDE, editor, *Proceedings of the 7<sup>th</sup> Conference on Integrated Power Systems*, pages 131–136. Nuremberg, March 2012. [69](#)
- [87] Yang Albert Li, Robert W. Bower, and Izak Bencuya. Low Temperature Copper to Copper Direct Bonding. *Japanese Journal of Applied Physics*, 37(Part 2, No. 9A/B) : L1068–L1069, 1998. URL <http://jjap.jsap.jp/link?JJAP/37/L1068/>. [85](#)
- [88] Zhenxian Liang, Puqi Ning, Fred Wang, and Laura Marlino. Reducing Parasitic Electrical Parameters with a Planar Interconnection Packaging Structure. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–6. IEEE, 2012. [43](#)
- [89] Yong Liu. Trends of power semiconductor wafer level packaging. *Microelectronics Reliability*, 50 :514–521, 2010. URL [www.elsevier.com/locate/microrel](http://www.elsevier.com/locate/microrel). [62](#)
- [90] Marie Laure Locatelli, Sombel Diahm, Zarel Valdez-Nava, Mireille Bechara, and Rabih Khazaka. Suitable Characterization Methods and Insulating Materials for Devices Operating above 200°C. *Advanced Materials Research*, 324 :229–232, August 2011. URL <http://www.scientific.net/AMR.324.229>. [59](#), [82](#), [145](#)
- [91] Guo-Quan Lu, JN Calata, Guangyin Lei, and Xu Chen. Low-temperature and pressureless sintering technology for high-performance and high-temperature interconnection of semiconductor devices. In *Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems, 2007. EuroSime 2007. International Conference on*, pages 1–5. IEEE, 2007. [126](#)

- [92] Q.H. Luan, V. Bley, T. Lebey, B. Schlegel, and L. Menager. Nano copper wires interconnection for three dimensional integration in power electronics. In *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pages 278–281, June 2008. ISSN 0275-9306. 70, 93
- [93] Naomi Lubick. Nanosilver toxicity : ions, nanoparticles or both? *Environmental Science & Technology*, 42(23) :8617, 2008. 126
- [94] V. R. Manikam, K. A. Razak, and K. Y. Cheong. Sintering of Silver–Aluminum Nanopaste With Varying Aluminum Weight Percent for Use as a High-Temperature Die-Attach Material. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, 2(12) :1940–1948, December 2012. ISSN 2156-3950. 125
- [95] V.R. Manikam and Kuan Yew Cheong. Die Attach Materials for High Temperature Applications : A Review. *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, 1(4) :457–478, April 2011. ISSN 2156-3950. 30, 59, 61
- [96] Jean-Louis Marchesini, Pierre-Olivier Jeannin, Yvan Avenas, Leonardo Ruffeil De Oliveira, Cyril Buttay, and Raphaël Riva. Realization and Characterization of an IGBT Module Based on the Power Chip-on-Chip 3D Concept. In *ECCE 2014*, page . Pittsburg, United States, September 2014. URL <https://hal.archives-ouvertes.fr/hal-01067144>. 164
- [97] Rauch Markus, Andreas Schletz, and Martin März. Study on Advanced cooling with focus on double-sided cooling. technology survey, ECPE, ECPE e.V. Landgrabenstr. 94 90443 Nürnberg, juil 2008. URL [www.ecpe.org](http://www.ecpe.org). 67
- [98] Laura D. Marlino. High Temperature & Thermal Management Needs for the FreedomCAR Program. In *Proceedings of the High Temperature Electronics Conference (HiTEC)*. IMAPS, Santa Fe, NM, May 2006. 55
- [99] Amandine Masson. *Mise en œuvre de techniques d'attaches de puces alternatives aux brasures classiques pour des applications haute température*. Phd thesis, INSA de Lyon, Lyon, February 2012. 120, 123, 125, 127, 128, 129, 130, 133
- [100] Amandine Masson, Wissam Sabbah, Raphaël Riva, Cyril Buttay, Stéphane Azzopardi, Hervé Morel, Dominique Planson, and Régis Meuret. Report de puce par frittage d'argent – mise en œuvre et analyse. In *Conférence Électronique de puissance du futur*. Bordeaux, France, July 2012. URL <https://hal.archives-ouvertes.fr/hal-00729156>. 135
- [101] Ishaque S. Mehdi, Arthur E. Brockschmidt, and Karimi Kamiar J. A Case for High Temperature Electronics for Aerospace. In *Proceedings of the High Temperature Electronics Conference (HiTEC)*. IMAPS, Santa Fe, NM, May 2006. 56
- [102] Yunhui Mei, Dimeji Ibitayo, Xu Chen, Susan Luo, and Guo-Quan Lu. Migration of Sintered Nanosilver Die-attach Material on Alumina Substrate at High Temperatures. In *Proceedings of the IMAPS International Conference and Exhibition on High Temperature Electronics (HiTEC 2010)*, pages 26–31. IMAPS, albuquerque, NM, May 2010. 141
- [103] Karsten Meier, Mike Roellig, Steffen Wiese, Carsten Goette, Ulrich Delm, and Klaus-Juergan Wolter. Electromigration in Large Volume Solder Joints. In *8th. Int. Conf. on Thermal, Mechanical and Multiphysics Simulation and Experiments in Micro-Electronics and Micro-Systems, EuroSimE*, page 7, 2007. 28

- [104] Ludovic Ménager. *Contribution à l'intégration des convertisseurs de puissance en 3D*. Phd thesis, INSA de Lyon, Villeurbanne, France, December 2008. URL <http://docinsa2.insa-lyon.fr/these/2008/menager/these.pdf>. 84, 88
- [105] Ludovic Ménager, Christian Martin, Bruno Allard, and Vincent Bley. Industrial and lab-scale power module technologies : A review. In IEEE, editor, *Proceedings of the 32<sup>nd</sup> Annual Conference of the IEEE Industrial Electronics Society (IECON)*. Paris, France, November 2006. 43, 66, 67
- [106] C. Mertens, J. Rudzki, and R. Sittig. Top-Side Chip Contacts with Low Temperature Joining Technique (LTJT). In *Proceedings of the 2004 IEEE 35<sup>th</sup> annual power electronics specialists conference (PESC 04)*, pages 4178–4182. IEEE, Aachen, June 2004. 62, 126
- [107] J.M. Morelle, L. Vivet, M. Medina, and R. Leon. Electronic module having a multi-layer conductor for reducing its resistivity and a method of assembling such a module, October 18 2011. URL <http://www.google.com/patents/US8039973>. US Patent 8,039,973. 67
- [108] Hori Motohito, Saito Mai, Hinata Yuichiro, Nashida Norihiro, Ikeda Yoshinari, and Mochizuki Eiji. Compact, Low Loss and High Reliable Next Generation Si-IGBT Module with Advanced Structure. In *Proceedings of the PCIM 2014 conference*. VDE Verlag, Nuremberg, Germany, 20 – 22 may 2014. 39
- [109] E Motto, J Donlon, Shinya Shirakawa, Toru Iwagami, Hisashi Kawafuji, Mamoru Seo, and Katsumi Satou. Latest Progress in Power Modules for Appliance Inverter Applications. In *Industry Applications Conference, 2006. 41<sup>st</sup> IAS Annual Meeting. Conference Record of the 2006 IEEE*, volume 3, pages 1222–1228. IEEE, 2006. 39
- [110] B. Mouawad, M. Soueidan, D. Fabrègue, C. Buttay, B. Allard, V. Bley, H. Morel, and C. Martin. Application of the Spark Plasma Sintering Technique to Low-Temperature Copper Bonding. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2(4) :553–560, April 2012. URL <https://hal.archives-ouvertes.fr/hal-00672244>. 86
- [111] Bassem Mouawad. *Assemblages innovants en électronique de puissance utilisant la technique de "Spark Plasma Sintering"*. Phd thesis, INSA de Lyon, Villeurbanne, France, March 2013. URL <http://theses.insa-lyon.fr/publication/2013ISAL0017/these.pdf>. 67, 84, 88
- [112] Bassem Mouawad, Benoît Thollin, Cyril Buttay, Laurent Dupont, Vincent Bley, Damien Fabrègue, Maher Soueidan, Benoît Schlegel, Julien Pezard, and Jean-Christophe Crebier. Direct Copper Bonding for Power Interconnects : Design, Manufacturing and Test. *IEEE transactions on Components, Packaging and Manufacturing Technology*, 5(1) :143–150, jan 2015. URL <https://hal.archives-ouvertes.fr/hal-01207014>. 95
- [113] Rami Mousa. *Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension*. Phd thesis, Institut National des Sciences Appliquées (INSA), Lyon, June 2009. URL <http://theses.insa-lyon.fr/publication/2009ISAL0043/these.pdf>. 108
- [114] M. Nelhiebel, R. Illing, Th. Detzel, S. Wöhlert, B. Auer, S. Lanzerstorfer, M. Rogalli, W. Robl, S. Decker, J. Fugger, and M. Ladurner. Effective and reliable heat

- management for power devices exposed to cyclic short overload pulses. *Microelectronics Reliability*, 53(9–11) :1745–1749, 2013. ISSN 0026-2714. URL <http://www.sciencedirect.com/science/article/pii/S0026271413002990>. European Symposium on Reliability of Electron Devices, Failure Physics and Analysis. 96
- [115] Randy Normann. Report on High Temperature Tools Technology Needs from the International Partnership for Geothermal Technology. In *Proceedings of the High Temperature Electronics Network (HiTEN)*. IMAPS, Oxford, UK, July 2011. 57
- [116] Mark Occhionero, Robert Hay, Richard W Adams, Kevin P Fennessy, et al. Cost-effective manufacturing of aluminium silicon carbide (AlSiC) electronic packages. In *Advanced Packaging Materials : Processes, Properties and Interfaces, 1999. Proceedings. International Symposium on*, pages 118–124. IEEE, 1999. URL [www.alsic.com/papers/imapsga99.pdf](http://www.alsic.com/papers/imapsga99.pdf). 36
- [117] Bruce W. Ohme, Mark R. Larson, Jim Riekels, Sam Schlesinger, Karu Vignarajah, and Ericson M. Nance. Progress Update on Honeywell’s Deep Trek High Temperature Electronics Project. In *Proceedings of the High Temperature Electronics Conference (HiTEC)*, page 9. IMAPS, Santa Fe, May 2006. 57
- [118] Bryan Ong, Mohd Helmy, and Shirley Chuah. Heavy Al Ribbon Interconnect : An Alternative Solution for Hybrid Power Packaging. In *Proceedings of IMAPS*, page 11 p. IMAPS, Long Beach, CA, November 2004. 32
- [119] Rémy Ouaida, Cyril Buttay, Anh Dung Hoang, Raphaël Riva, Dominique Bergogne, Hervé Morel, Christophe Raynaud, and Florent Morel. Thermal Runaway Robustness of SiC VJFETs. *Materials Science Forum*, 740-742 :929–933, January 2013. URL <http://hal.archives-ouvertes.fr/hal-00799884>. 114
- [120] R. Pérez, Narcis Mestres, Dominique Tournier, Xavier Jordà, Phillippe Godignon, and Miquel Vellvehi. Temperature Dependence of 4H-SiC JBS and Schottky Diodes after High Temperature Treatment of Contact Metal. *Materials Science Forum*, 483–485 :945–948, May 2005. URL <http://www.scientific.net/MSF.483-485.945>. 105
- [121] Jean-Pierre Petit. Dissipation thermique dans les systèmes électroniques. In *Techniques de l’Ingénieur, traité électronique*, volume E3. Techniques de l’ingénieur, 2001. URL <http://www.techniques-ingenieur.fr/base-documentaire/electronique-automatique-th13/cartes-electroniques-technologies-et-conception-42287210/dissipation-thermique-dans-les-systemes-electroniques-e3952/>. 74
- [122] Christophe Raynaud, Dominique Tournier, Hervé Morel, and Dominique Planson. Comparison of high voltage and high temperature performances of wide bandgap semiconductors for vertical power devices. *Diamond and Related Materials*, 19(1) : 1–6, 2010. ISSN 0925-9635. URL <http://www.sciencedirect.com/science/article/B6T WV-4XCJ4M2-1/2/76c76271c9345bf77d4fc29077179d2a>. 58, 59, 108
- [123] Raphaël Riva. *Solution d’interconnexions pour la haute température*. PhD thesis, INSA de Lyon, Villeurbanne, July 2014. 79, 142, 143, 144, 145, 146

- [124] Raphaël Riva, Cyril Buttay, Marie-Laure Locatelli, Vincent Bley, and Bruno Allard. Design and Manufacturing of a Double-Side Cooled, SiC based, High Temperature Inverter Leg. In *Proceedings of the High Temperature Electronics Conference and Exhibition, HiTEC 2014*. IMAPS, Albuquerque, NM, May 2014. URL <https://hal.archives-ouvertes.fr/hal-00997365>. 79
- [125] Rémi Robutel. *Passive components for high temperature power electronics : application to the EMI input filter*. Theses, INSA de Lyon, November 2011. URL <https://tel.archives-ouvertes.fr/tel-00665819>. 58
- [126] Rémi Robutel, Christian Martin, Cyril Buttay, Hervé Morel, Paolo Matavelli, Dushan Boroyevich, and Régis Meuret. Design and Implementation of Integrated Common Mode Capacitors for SiC JFET Inverters. *IEEE transactions on power electronics*, 29(7) :3625–3636, July 2014. URL <https://hal.archives-ouvertes.fr/hal-00874455>. 41
- [127] J.A. Rosero, J.A. Ortega, E. Aldabas, and L. Romeral. Moving towards a more electric aircraft. *Aerospace and Electronic Systems Magazine, IEEE*, 22(3) :3–9, March 2007. ISSN 0885-8985. 56
- [128] Jacek Rudzki, Lars Jensen, Max Poech, Lothar Schmidt, and Frank Osterwald. Quality evaluation for silver sintering layers in power electronic modules. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–6. IEEE, 2012. 147
- [129] Wissam Sabbah. *Contribution à l'étude des assemblages et connexions nécessaires à la réalisation d'un cœur de puissance haute température à base de JFET carbure de Silicium (SiC)*. PhD thesis, Université Bordeaux I, June 2013. 39, 147
- [130] Uwe Scheuermann. Reliability of Planar SKiN Interconnect Technology. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–8. IEEE, 2012. 62, 69
- [131] Ralf Schmidt, C. König, and P. Prenosil. Novel wire bond material for advanced power module packages. *Microelectronics Reliability*, 52 :2283–2288, July 2012. URL <http://www.sciencedirect.com/science/journal/00262714>. 32
- [132] Wolfgang Schmitt, Sebastian Fritzsche, and Muriel Thomas. Sinter materials for broad process windows in DCB packages-concepts and results. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–6. IEEE, 2012. schmitt12. 139
- [133] T. Schubert, Ł. Ciupiński, W. Zieliński, A. Michalski, T. Weißgärber, and B. Kieback. Interfacial characterization of Cu/diamond composites prepared by powder metallurgy for heat sink applications. *Scripta Materialia*, 58(4) :263–266, 2008. ISSN 1359-6462. URL <http://www.sciencedirect.com/science/article/pii/S1359646207007361>. 36
- [134] J. Schulz-Harder. Advanced DBC (direct bonded copper) substrates for high power and high voltage electronics. In *Semiconductor Thermal Measurement and Management Symposium, 2006 IEEE Twenty-Second Annual IEEE*, pages 230–231, March 2006. 35
- [135] Jürgen Schulz-Harder. Advantages and new development of direct bonded copper substrates. *Microelectronics Reliability*, 43(3) :359–365, 2003.

- URL <http://www.sciencedirect.com/science/article/B6V47-47XSSVN-3/2/e2fb286b977ac4a6649262e9114f56a3>. 34
- [136] Jürgen Schulz-Harder. Review on Highly Integrated Solutions for Power Electronic Devices. In *Proceedings of the Conference on Integrated Power electronics Systems (CIPS)*, page 7 p. Nürnberg, March 2008. URL <http://www.electrovac.com/sprache2/n221666/n.html>. 66, 67
- [137] H. Schwarzbauer and R. Kuhnert. Novel large area joining technique for improved power device performance. *Industry Applications, IEEE Transactions on*, 27(1) :93–95, January 1991. ISSN 0093-9994. 125
- [138] Herbert Schwarzbauer. Method of securing electronic components to a substrate., March 7, 1989. URL <http://www.google.com/patents/about?id=ViVhAAAAEBAJ&dq=4810672>. 125
- [139] Kuang Sheng. Maximum Junction Temperatures of SiC Power Devices. *IEEE Transactions on Electron Devices*, 56(2) :337–342, February 2009. URL [http://ieeexplore.ieee.org/xpl/freeabs\\_all.jsp?isnumber=4757346&arnumber=4752775&count=33&index=26](http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?isnumber=4757346&arnumber=4752775&count=33&index=26). 100, 105, 113, 117
- [140] William W. Sheng and Ronald P. Colino. *Power Electronic Modules : Design and Manufacture*. CRC, 1st edition, June 2004. 296 pp. 30, 31, 34, 35, 36, 39
- [141] P. Solomalala, J. Saiz, A. Lafosse, M. Mermet-Guyennet, A. Castellazzi, X. Chauffeur, and J.-P. Fredin. Multi-domain simulation platform for virtual prototyping of integrated power systems. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–10, September 2007. 69
- [142] T. Stockmeier, P. Beckedahl, C. Gobl, and T. Malzer. SKiN : Double side sintering technology for new packages. In *Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23<sup>rd</sup> International Symposium on*, pages 324–327, May 2011. ISSN 1943-653X. 66
- [143] H. Takagi, K. Kikuchi, R. Maeda, T. R. Chung, and T. Suga. Surface activated bonding of silicon wafers at room temperature. *Applied Physics Letters*, 68(16) :2222–2224, 1996. URL <http://link.aip.org/link/?APL/68/2222/1>. 85
- [144] Hideki Takagi, Ryutaro Maeda, Naoe hosoda, and Tadatomo Suga. Transmission Electron Microscope Observations of Si/Si Interface Bonded at Room Temperature by Ar Beam Surface Activation. *Japanese Journal of Applied Physics*, 38(Part 1, No. 3A) :1589–1594, 1999. URL <http://jjap.jsap.jp/link?JJAP/38/1589/>. 85
- [145] Kim Seah Tan, Yew Hoong Wong, and Kuan Yew Cheong. Thermal characteristic of sintered Ag–Cu nanopaste for high-temperature die-attach application. *International Journal of Thermal Sciences*, 87(0) :169–177, 2015. ISSN 1290-0729. URL <http://www.sciencedirect.com/science/article/pii/S1290072914002488>. 125
- [146] Martin Tarr. Online postgraduate courses for the electronic Industry, December 2013. URL <http://www.ami.ac.uk/courses/topics/>. 37
- [147] Eric Vagnon, Yvan Avenas, Jean-Christophe Créber, Pierre-Olivier Jeannin, I. Al Batta, and Abdelhadi Besri. Electrical Characterization of a Pressed Contact Between a Power Chip and a Metal Electrode. In *I2MTC 2009*, page . Singapur, Singapur, 2009. URL <http://hal.archives-ouvertes.fr/hal-00384063>. 70, 93

- [148] Eric Vagnon, Pierre-Olivier Jeannin, Y Avenas, JC Crébier, and Kevin Guépratte. A Busbar Like Power Module Based On 3D Chip On Chip Hybrid Integration. In *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pages 2072–2078. IEEE, 2009. URL [http://hal.archives-ouvertes.fr/docs/00/39/68/84/PDF/Vagnon\\_APEC.pdf](http://hal.archives-ouvertes.fr/docs/00/39/68/84/PDF/Vagnon_APEC.pdf). 66, 164
- [149] M. Vellvehi, D. Flores, X. Jordà, S. Hidalgo, J. Rebollo, L. Coulbeck, P. Waind, and D. Newcombe. Design and optimisation of suitable edge terminations for 6.5 kV IGBTs. *Microelectronics Journal*, 33(9) :765–769, 2002. URL <http://www.sciencedirect.com/science/article/B6V44-469C4PV-6/2/d4af5297f34f345e3c521fc5773918aa>. 168
- [150] Kremena Vladimirova, Jean-Christophe Crebier, Yvan Avenas, Christian Schaeffer, and Stephane Litaudon. Innovative heat removal structure for power devices - the drift region integrated microchannel cooler. In *Proceedings of the 23<sup>rd</sup> International Symposium On Power Semiconductor Devices and ICs (ISPSD'11)*. IEEE, May 2011. 69
- [151] Eberhard Waffenschmidt, Bernd Ackermann, and J. A. Ferreira. Design Method and Material Technologies for Passives in Printed Circuit Board Embedded Circuits. *IEEE Transactions on Power Electronics*, 20(3) :576–584, May 2005. 66
- [152] Daiduke Wakuda, Keun-Soo Kim, and Katsuaki Suganuma. Ag Nanoparticle Paste Synthesis for Room Temperature Bonding. *IEEE Transaction on Components and Packaging Technology*, 33(1) :1–6, March 2010. 125
- [153] Tao Wang, Xu Chen, Guo-Quan Lu, and Guang-Yin Lei. Low-Temperature Sintering with Nano-Silver Paste in Die-Attached Interconnection. *Journal of Electronic Materials*, 36(10) :1333–1340, 2007. 133
- [154] K Weidner, M Kaspar, and N Seliger. Planar Interconnect Technology for Power Module System Integration. In *Integrated Power Electronics Systems (CIPS), 2012 7<sup>th</sup> International Conference on*, pages 1–5. IEEE, 2012. 69
- [155] Y Xiao, H Shah, TP Chow, and RJ Gutmann. Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics. In *Applied Power Electronics Conference and Exposition, 2004. APEC'04. Nineteenth Annual IEEE*, volume 1, pages 516–521. IEEE, 2004. 42
- [156] Shaoyong Yang, Angus Bryant, Philip Mawby, Dawei Xiang, Li Ran, and Peter Taver. An Industry-Based Survey of Reliability in Power Electronic Converters. *IEEE transactions on industry applications*, 47(3) :1441–1451, May 2011. 49
- [157] Yiyi Yao, Zheng Chen, Guo-Quan Lu, Dushan Boroyevich, and Khai D. T. Ngo. Characterization of Encapsulants for High-Voltage, High-Temperature Power Electronic Packaging. In *Proceedings of the Electronic Components and Technology Conference 2010*, page 7. IEEE, Las Vegas, Nevada, June 2010. 39