



# Conception et procédés de fabrication avancés pour l'électronique ultra-basse consommation en technologie CMOS 80 nm avec mémoire non volatile embarquée

Jordan Innocenti

► **To cite this version:**

Jordan Innocenti. Conception et procédés de fabrication avancés pour l'électronique ultra-basse consommation en technologie CMOS 80 nm avec mémoire non volatile embarquée. Autre. Université Nice Sophia Antipolis, 2015. Français. <NNT : 2015NICE4142>. <tel-01286296>

**HAL Id: tel-01286296**

**<https://tel.archives-ouvertes.fr/tel-01286296>**

Submitted on 10 Mar 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Nice Sophia-Antipolis



## Thèse

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE NICE SOPHIA-ANTIPOLIS**

**Spécialité MICRO ET NANOELECTRONIQUE**

Dans le cadre de l'Ecole Doctorale :  
EDSTIC

Préparée au sein de la société **STMicroelectronics à Rousset**  
En collaboration avec l'**Equipe Projet Objets Communicants** et l'**équipe Mémoires de l'Institut Matériaux Microélectronique Nanosciences de Provence**

# **Conception et procédés de fabrication avancés pour l'électronique ultra-basse consommation en technologie CMOS 80 nm avec mémoire non-volatile embarquée**

par

**Jordan INNOCENTI**

Directeur de thèse : **M. Pascal MASSON**

Présentée et soutenue publiquement le 10 décembre 2015 devant le jury composé de :

<b>M. Damien DELERUYELLE</b>	Maître de conférences, Université Aix-Marseille	Président
<b>M. Francis CALMON</b>	Professeur, Institut des Nanotechnologie de Lyon	Rapporteur
<b>M. Gérard GHIBAUDO</b>	Professeur, Directeur de recherche au CNRS	Rapporteur
<b>M. Pascal MASSON</b>	Professeur, Université de Nice Sophia Antipolis	Directeur de thèse
<b>M. Jean-Michel PORTAL</b>	Professeur, Université Aix-Marseille	Co-directeur de thèse
<b>M. Franck JULIEN</b>	Ingénieur, STMicroelectronics	Examineur
<b>M. Stephan Niel</b>	Docteur-Ingénieur, STMicroelectronics	Invité



*A mio nonno ...*

*À mes parents*

*À Justine*



## **Remerciements**

Les travaux décrits dans ce mémoire n'auraient jamais pu être réalisés sans l'aide de nombreuses personnes. Je souhaite donc, à travers ces quelques lignes, leur faire part de ma sincère reconnaissance.

Je tiens, en premier lieu, à remercier mon encadrant industriel Franck Julien pour son dynamisme, son écoute, sa disponibilité, sa bonne humeur, son savoir sur la fabrication des composants et ses nombreux conseils qui m'ont permis d'avancer et parfois même, de me remettre en question. J'ai réalisé, tout au long de ces trois années d'étude, la chance d'avoir pu collaborer avec lui.

Je tiens ensuite à remercier mes encadrants académiques Pascal Masson et Jean-Michel Portal pour leur savoir, leur disponibilité et surtout leur réactivité. Ils ont toujours, dans un temps record, accepté de m'aider dans la rédaction des différents articles scientifiques et chapitres de ce manuscrit. Leur soutien, partagé au travers quelques échanges téléphoniques et électroniques a été capital. Il m'a permis d'avancer plus rapidement et plus sereinement et je ne les remercierai jamais assez pour ça.

Je remercie vivement Laurent Lopez, grâce à qui j'ai pu être rapidement autonome sur la caractérisation électrique des structures de test réalisées pendant ma thèse. Je le remercie également pour sa disponibilité, ses conseils et surtout ses nombreuses discussions qui m'ont permis de me poser les bonnes questions et de m'orienter plus rapidement vers la solution à mes problèmes.

J'exprime toute ma gratitude aux professeurs Francis Calmon et Gérard Ghibaudo pour avoir accepté de rapporter les travaux décrits dans ce manuscrit. Je remercie également Damien Deleruyelle qui a accepté de présider ma soutenance de thèse.

J'exprime toute ma reconnaissance à tous les membres de l'équipe du process intégration de Rousset, et plus particulièrement à Stephan Niel et Arnaud Regnier, avec qui j'ai eu la chance de collaborer et d'enrichir mes connaissances. Je tiens à remercier, spécialement, Delphine Maury et Jean-Michel Mirabel, sans qui, je n'aurai jamais pu être intégré dans l'équipe aujourd'hui. Je me dois de remercier Bernadette Gros, qui a pris le temps de m'aider sur la prise en main des logiciels et de partager une partie de ses connaissances, toujours dans la bonne humeur. Je n'oublie pas toutes les autres personnes, sur qui j'ai toujours pu compter : Steph B., Julie B., Hélène D.H., Antonio S., Béatrice B., Eric B., Anaïs C., Jean-Marc V., Anne-Hélène C., Philippe B., Guillaume G., François P., Stéphane D. Enfin, je suis énormément redevable envers Catherine Marteaux, Julia Castellan et Guilhem Bouton qui m'ont permis de réaliser et de mener à bien les études sur la réduction des capacités BEOL et des largeurs d'actives.

Je suis aussi redevable à Jacques Sonzogni et Alexandre Malherbes, avec qui j'ai pu élargir mes compétences dans la conception de circuits et partager des moments de convivialité avec une partie du groupe SMD.

Je ne remercierai jamais assez Christian Rivero pour avoir pris le temps de partager ses connaissances, ses idées innovantes et d'avoir toujours été à l'écoute et disponible pour répondre à mes interrogations. Je tiens également à remercier tous les membres de l'équipe « TCAD » dont il fait partie, notamment : Roberto Simola, Julien Delalleau et Valérie Serradeil pour leur support essentiel sur le projet MAGE.

Je suis très reconnaissant envers Quentin Hubert avec qui j'ai partagé des heures au laboratoire de caractérisation électrique. Il a toujours été disponible et prêt à m'aider pour contourner les différents problèmes rencontrés. Je me dois de remercier tous les membres de l'équipe « TILT » et plus particulièrement Loïc Welter, grâce à qui, j'ai été rapidement autonome sur la réalisation des structures de test.

Je suis redevable à tous les membres de l'équipe « RAT » et spécialement envers Pascale Potard, Joëlle Giordana et Patrice Ray, avec qui j'ai eu la chance de collaborer.

Merci à toutes les personnes des différents ateliers de production qui nous ont permis de développer le nouveau procédé de fabrication présenté dans ce manuscrit : Emmanuel Paire, Marc Boutavant, Karen Labory, Eric Denis, Guillaume Pellegrin. Je n'oublie pas toutes les personnes qui ont acceptées de suivre et de réaliser mes différents essais (même les plus exotiques) : Eurielle Joly, pour le double contact, Marylaine Nguyen, Laure Larchier, Laudine Paci, Jean-rené Raguet, pour la réduction des capacités BEOL.

Je tiens aussi à remercier les membres de l'équipe « Modelling » de Crolles, et plus particulièrement David Souil pour la réalisation du nouveau modèle électrique.

Durant ces trois années, j'ai eu la chance de faire la connaissance de plusieurs doctorants et étudiants ingénieurs. Je tenais à leur dire, que j'ai apprécié partager avec eux tous ces moments de convivialité. Je pense en particulier à Arnaud G., Anthony J., Kévin D., Abde M., Nicolas C.. Je n'oublie pas Jonathan B., Adrien M., Clément C., Nicolas B., Alexandre S., Yann B., Elodie G., Emilie F., Alexandre V., Anthony T., Julien A., Arnaud S, Sebastian O., Dino M., Victor M., Marjorie H.. J'espère que ces amitiés continueront dans le temps.

Enfin, sur le plan personnel, je souhaite vraiment remercier Justine. Je veux qu'elle sache à quel point son soutien a été essentiel. Elle seule sait à quel point il m'a été difficile de tout concilier. Je suis aussi conscient des sacrifices qu'elle a eu à réaliser, et plus particulièrement pendant la dernière année. Je termine en remerciant mes parents et ma belle-mère sans qui, je ne serai jamais arrivé jusque-là.

## **Table des matières**

Liste des symboles.....	- 10 -
Liste des acronymes et anglicismes .....	- 12 -
Liste des Figures .....	- 14 -
Liste des Tableaux .....	- 20 -
Introduction générale.....	- 22 -
<b>Chapitre 1 État de l’art des solutions technologiques permettant d’améliorer les performances des transistors MOS et de réduire leur consommation .....</b>	<b>- 26 -</b>
<b>Introduction .....</b>	<b>- 28 -</b>
<b>I Le transistor MOS et son procédé de fabrication dans une technologie avec mémoire non-volatile embarquée.....</b>	<b>- 28 -</b>
I.1 Les principales caractéristiques du transistor MOS .....	- 28 -
I.1.A Courbures de bande de la capacité MOS.....	- 29 -
I.1.B Régimes de fonctionnement du transistor MOS.....	- 31 -
I.1.C Les effets parasites associés à la réduction des échelles du transistor .....	- 33 -
I.2 Le procédé de fabrication e-NVM CMOS 80 nm développé par STMicroelectronics ...	- 35 -
I.2.A Les principaux types de transistors MOS .....	- 35 -
I.2.B Le procédé de fabrication e-NVM CMOS 80 nm .....	- 36 -
<b>II Les solutions technologiques permettant d’améliorer les performances des transistors MOS .....</b>	<b>- 38 -</b>
II.1 Les contraintes mécaniques induites par le substrat.....	- 38 -
II.1.A Les canaux épitaxiés contraints.....	- 38 -
II.1.B L’orientation cristalline du canal .....	- 41 -
II.2 Les contraintes mécaniques induites par les procédés de fabrication .....	- 43 -
II.2.A Contrainte induite par les tranchées d’isolation « STI » .....	- 44 -
II.2.B Contrainte induite par les matériaux utilisés dans les S/D .....	- 45 -
II.2.C Contrainte induite par la siliciuration.....	- 47 -
II.2.D Contrainte induite par la couche de nitrure CESL .....	- 48 -
II.2.E Contrainte induite par la couche de SMT.....	- 51 -
II.2.F Contrainte induite par le retrait des espaceurs (SPT) .....	- 52 -
II.3 Parasites induits par la mise en boîtier .....	- 53 -
II.4 Conclusion : les solutions les plus intéressantes permettant d’introduire des contraintes dans le canal.....	- 54 -
<b>III Consommation d’un circuit intégré fabriqué en technologie CMOS .....</b>	<b>- 56 -</b>
III.1 La consommation dynamique .....	- 56 -
III.1.A Définition.....	- 56 -
III.1.B Les méthodes permettant de réduire la consommation dynamique .....	- 58 -
III.2 La consommation statique .....	- 59 -
<b>Conclusion .....</b>	<b>- 62 -</b>

## Chapitre 2 Développement d'un nouveau procédé de fabrication en technologie e-NVM CMOS 80 nm pour augmenter les performances des transistors basse tension ..... - 63 -

<b>Introduction</b> .....	- 65 -
<b>I Optimisation de l'oxyde de grille GO1</b> .....	- 65 -
I.1 Influence du courant de grille sur la consommation statique d'un circuit .....	- 65 -
I.2 Utilisation de la nitruration DPN pour optimiser l'oxyde de grille .....	- 67 -
I.2.A Rappel sur le procédé de nitruration DPN .....	- 67 -
I.2.B Utilisation du procédé DPN pour réduire le courant de grille.....	- 68 -
I.2.A Utilisation de la DPN pour améliorer les performances.....	- 73 -
<b>II Le choix de l'orientation cristalline &lt;100&gt; (45°)</b> .....	- 78 -
II.1 Impact du substrat tourné à 45° sur les performances des transistors .....	- 78 -
II.1.A Cas des transistors GO1 PMOS.....	- 78 -
II.1.A Cas des transistors GO1 NMOS .....	- 79 -
II.1.B Variation du gain en fonction de la largeur des transistors .....	- 80 -
II.2 Impact du substrat tourné à 45° sur les résistances d'active P+ .....	- 82 -
<b>III L'utilisation d'un nitrure CESL fortement contraint en tension</b> .....	- 84 -
III.1 Impact du t-CESL sur les performances des transistors NMOS .....	- 87 -
III.2 Impact du t-CESL sur les performances des transistors PMOS.....	- 88 -
<b>IV Gain en performance apporté par le nouveau procédé de fabrication</b> .....	- 89 -
IV.1 Cas des transistors NMOS GO1 .....	- 90 -
IV.2 Cas des transistors PMOS GO1 .....	- 91 -
<b>Conclusion</b> .....	- 91 -

## Chapitre 3 Étude de la réduction de la consommation dynamique sur des oscillateurs en anneau et un circuit numérique..... - 92 -

<b>Introduction</b> .....	- 94 -
<b>I Réduction du courant dynamique sur des oscillateurs en anneau</b> .....	- 94 -
I.1 Conception de l'oscillateur en anneau .....	- 94 -
I.1.A Description et fonctionnement .....	- 94 -
I.1.B Conception de la structure de test .....	- 96 -
I.1.C Conception de la cellule logique.....	- 97 -
I.1.D Conception de la capacité liée au routage BEOL ( $C_{BE}$ ).....	- 98 -
I.2 Réduction du courant dynamique.....	- 102 -
I.2.A Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication.....	- 102 -
I.2.B Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication.....	- 104 -
<b>II Réduction du courant dynamique sur un circuit numérique</b> .....	- 109 -
II.1 Description et fonctionnalité du circuit DES.....	- 109 -

II.2	Méthodologie appliquée sur le circuit .....	- 110 -
II.2.A	Transformation « CAD to Mask » .....	- 110 -
II.2.B	Développement du script C2M .....	- 111 -
II.3	Réduction du courant consommé par le circuit .....	- 114 -
II.3.A	Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication .....	- 114 -
II.3.B	Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication .....	- 115 -
II.3.C	Evolution du courant statique.....	- 116 -
<b>Conclusion.....</b>		<b>- 118 -</b>
<b>Chapitre 4 Réduction de la consommation et de la surface par optimisation de la conception des cellules logiques .....</b>		<b>- 119 -</b>
<b>Introduction .....</b>		<b>- 121 -</b>
<b>I Optimisation des règles de dessin de la technologie .....</b>		<b>- 121 -</b>
I.1	Suppression des extensions autour des contacts .....	- 121 -
I.1.A	Impact de la suppression de l'extension S/D sur la résistance du contact .....	- 122 -
I.1.B	Impact de la suppression de l'extension S/D sur les paramètres électriques des transistors.....	- 124 -
I.2	Déplacement du contact de grille sur la zone active du transistor .....	- 127 -
I.2.A	Comportement statique des transistors .....	- 127 -
I.2.B	Comportement dynamique des transistors .....	- 128 -
I.3	Gains en consommation et en surface obtenus sur une bascule D SCAN .....	- 129 -
I.3.A	Description de la bascule D SCAN .....	- 129 -
I.3.B	Réduction de la surface de la bascule D SCAN .....	- 131 -
I.3.A	Réduction de la consommation interne de la bascule D SCAN.....	- 132 -
<b>II Amélioration de la performance des cellules standards en réduisant la contrainte mécanique exercée par l'oxyde STI.....</b>		<b>- 135 -</b>
II.1	Influence de l'oxyde STI sur les paramètres électriques des transistors .....	- 135 -
II.1.A	Influence de la distance entre la grille et le STI (SA) .....	- 136 -
II.1.B	Influence de la largeur du STI ( $W_{STI}$ ).....	- 139 -
II.2	Ajout de murs « anti-stress » en poly-silicium .....	- 141 -
II.2.A	Comportement statique des transistors .....	- 142 -
II.2.B	Comportement dynamique des transistors .....	- 145 -
<b>Conclusion.....</b>		<b>- 146 -</b>
<b>Conclusion générale .....</b>		<b>- 147 -</b>
<b>Références Bibliographiques .....</b>		<b>- 150 -</b>
<b>Références de l'auteur .....</b>		<b>- 162 -</b>

## Liste des symboles

Paramètre	Unité	Description
$\mu$		Mobilité des porteurs de charge dans la couche d'inversion
$\mu_0$		Mobilité des porteurs de charge sous faible champ électrique
$C_{ox}$	F	Capacité de l'oxyde de grille
$E_C$	eV	Energie du niveau le plus bas de la bande de conduction du silicium
$E_F$	eV	Energie du niveau de Fermi dans le silicium
$E_i$	eV	Niveau d'énergie intrinsèque du silicium
$E_V$	eV	Energie du niveau le plus haut de la bande de conduction du silicium
$g_m$	A/V	Transconductance du transistor MOS
$I_B$	A	Courant substrat
$I_D$	A	Courant de drain du transistor MOS
$I_{ON}$	$\mu A$ ou $\mu A/\mu m$	Courant de drain du transistor MOS mesuré lorsque $V_G = V_D = 1,2V$
$I_{OFF}$	$\log(A)$	Courant de drain du transistor MOS mesuré lorsque $V_G = 0V$ et $V_D = 1,2V$
$L$	$\mu m$	Longueur du transistor MOS
$N_C$	$atomes.cm^{-3}$	Concentration de dopants dans le semi-conducteur
$N_G$	$atomes.cm^{-3}$	Concentration de dopants dans la grille
$n_i$	$m^{-3}$	Concentration intrinsèque d'électrons dans le silicium
$Q_{it}$	$C.m^{-2}$	Charge due aux états d'interface
$Q_{ox}$	$C.m^{-2}$	Charge fixe équivalente à l'interface Si/SiO <sub>2</sub>
$Q_{SC}$	$C.m^{-2}$	Charge de la zone de désertion dans le semi-conducteur
$S$	mV/dec	Pente sous le seuil
$T_{ox}$	Å	Epaisseur de l'oxyde de grille
$U_T=kT/q$	V	Tension thermodynamique
$V_B$	V	Tension de polarisation du substrat (Effet « Bulk »)
$V_D$	V	Tension de polarisation du drain
$V_{FB}$	V	Flat Band Voltage (Tension de Bandes Plates)
$V_G$	V	Tension de polarisation de la grille
$V_{GB}$	V	Différence de potentiels grille-substrat
$V_{ox}$	V	Chute de potentiel aux bornes de l'oxyde de grille du transistor MOS
$V_S$	V	Tension de polarisation de la source
$V_T$	V	Tension de seuil du transistor MOS
$W$	$\mu m$	Largeur du transistor MOS
$\epsilon_{ox}$	$F.m^{-1}$	Permittivité électrique de l'oxyde de grille
$\epsilon_{Si}$	$F.m^{-1}$	Permittivité électrique du silicium
$\eta$		Facteur de pente
$\theta_1$		Premier facteur de réduction de la mobilité
$\theta_2$		Deuxième facteur de réduction de la mobilité
$\Phi_F$	V	Potentiel de volume dans le semi-conducteur
$\Phi_{ms}$	V	Différence des travaux de sortie aux bornes de la structure MOS

---

$\psi_s$	V	Potentiel de surface dans le semi-conducteur
----------	---	--

## Liste des acronymes et anglicismes

Acronyme	Description	Traduction
BEOL	Back-End Of Line	Étapes de fabrication des interconnexions métalliques dans un circuit
BOX	Buried Oxide	Oxyde enterré
BSIM	Berkeley Short-channel IGFET Model	Modèle Berkeley des transistors IGFET à canaux courts
C2M ou CAD2MASK	CAD Layout Layers To Mask Layers Processing	Étape de transformation des layers CAD en layers masques
CESL	Contact Etch Stop Layer	Couche d'Arrêt de Gravure des Contacts
c-CESL	Compressive CESL	CESL contraint en compression
CMOS	Complementary Metal-Oxide-Semiconductor	Architecture MOS complémentaire
CMP	Chemical Mechanical Polishing	Polissage mécano-chimique
CVD	Chemical Vapor Deposition	Dépôt Chimique en phase Vapeur
DSL	Dual Stress Liner	Procédé CESL avec Double Intégration
DIBL	Drain Induced Barrier Lowering	Abaissment de la Barrière de potentiel Induite par la polarisation de Drain
DPN	Decoupled Plasma Nitridation	Nitruration assistée par plasma
DRM	Design Rules Manual	Manuel contenant les règles de dessin des transistors
e-NVM	embedded Non-Volatile Memory	Mémoire Non-Volatile Embarquée
EOT	Equivalent Oxide Thickness	Épaisseur d'Oxyde Equivalente
FEOL	Front-End Of Line	Étapes de fabrication du transistor MOS
FBB	Forward Body Bias	Polarisation de Substrat Directe
GDS	Graphic Database System	Système de base de données graphique
GIDL	Gate Induced Drain Leakage	Fuite de Drain Induite par la Grille
GO1	Gate Oxide 1	Oxyde de Grille 1
GO2	Gate Oxide 2	Oxyde de Grille 2
HCN	High Compressive Nitride	Nitruire Fortement contraint en Compression
HDD	Highly Doped Drain	Drain Fortement Dopé
HDP	High Density Plasma	Plasma à Haute Densité
High-k	-	Haute permittivité
HOT	Hybrid Orientation Technology	Technologie avec une Orientation Hybride
HTN	High Tensile Nitride	Nitruire Fortement contraint en Tension
Hump	-	Epaulement
HV	High Voltage	Haute Tension
I/O	Input/Output	Entrée/Sortie
ISSG	In Situe Steam Generation	Production de Vapeur In Situ
Layout	-	Dessin des masques
LDD	Lightly Doped Drain	Drain Faiblement Dopée
LPCVD	Low Pressure CVD	CVD basse pression
LV	Low Voltage	Faible Tension

MC	Monte Carlo	-
MOSFET/MOS	Metal-Oxide-Semiconductor Field Effect Transistor	Transistor à Effet de Champ Métal-Oxyde-Semiconducteur
OD	Oxide Diffusion	Diffusion de l'oxyde, dénomination utilisée pour le masque active :
ONO	Oxide-Nitride-Oxide	Diélectrique inter-poly formé d'oxyde et de nitrure
OPC	Optical Proximity Corrections	Corrections des aberrations optiques
PECVD	Plasma Enhanced CVD	CVD assisté par plasma
PLS	Post Layout Simulation	Simulation électrique incluant les parasites liés au dessin du circuit
PMD	Primary Metal Dielectric	Premier Diélectrique avant les lignes métalliques
PNA	Post Nitridation Anneal	Recuit intervenant après le procédé DPN
POT	Physical Oxide Thickness	Epaisseur d'Oxyde Physique
RAT	Reticle Assembly Team	Equipe d'assemblage des réticules pour la fabrication des masques
RBB	Reverse Body Bias	Polarisation de Substrat Inversée
RO	Ring Oscillator	Oscillateur en Anneau
RSCE	Reverse Short Channel Effect	Effet canal court inverse
RTO	Rapid Thermal Oxidation	Oxydation Thermique Rapide
RTP	Rapid Thermal Processing	Procédé à Traitement Thermique
S/D	Source/Drain	Source et Drain du transistor MOS
SC	Semiconductor	Semi-Conducteur
SCE	Short Channel Effect	Effet Canal Court
SEM	Scanning Electron Microscopy	Microscope Electronique à Balayage
SMT	Stress Memorization Technique	Technique de Mémorisation du Stress
SMU	Sense-Measure Unit	Unité pour Forcer ou Mesurer une grandeur électrique
SNM	Static Noise Margin	Marge à l'écriture pour une mémoire SRAM
SOC	System On Chip	Systèmes intégrés sur Puce
SOI	Silicon On Insulator	Silicium sur Isolant
SPICE	Simulation Program with Integrated Circuit Emphasis	Programme de simulation électrique de circuits électroniques
SPT	Stress Proximity Technique	Technique de rapprochement du stress à proximité du canal
SRAM	Static Random Access Memory	Mémoire Statique à Accès Aléatoire
STI	Shallow Trench Isolation	Tranchée d'Isolation Peu Profonde
t-CESL	Tensile CESL	CESL contraint en tension
TCAD	Technology Computer-Aided Design	Conception Technologique Assistée par Ordinateur
TEG	Test Element Group	Structure de test
TEM	Transmission Electron Microscopy	Microscope Electronique en Transmission
TEOS	Tetra Ethyl Ortho Silicate	Orthosilicate de tétraéthyle
USG	Undoped Silicate Glass	Verre de silicate non dopé (oxyde utilisé pour le remplissage STI)

## Liste des Figures

Figure 0-1 : Nombre de transistors fabriqués sur un circuit intégré en fonction de l'année de production en superposition avec la « loi de Moore » [ITRS'10] .....	22 -
Figure 0-2 : Courbe montrant l'évolution de la consommation des systèmes complets sur puce (« Système On Chip » - SOC) en fonction des années de production pour des applications portables [ITRS'08] .....	23 -
Figure 0-3 : Tension d'alimentation $V_{DD}$ en fonction de l'année de production des circuits intégrés CMOS et du nœud technologique [Skotnicki'08] .....	23 -
Figure 1-1 : Schéma d'un transistor MOSFET .....	28 -
Figure 1-2 : Courbures de bande d'une structure MOS de type <p> dans les quatre différents régimes de fonctionnement .....	29 -
Figure 1-3 : Mesure d'une capacité MOS sur un substrat de type <p> en fonction de la tension de grille $V_G$ (caractéristique C-V) .....	31 -
Figure 1-4 : Caractéristiques $I_D-V_D$ (a) et $I_D-V_G$ (b) d'un transistor MOS basse tension fabriqué en technologie e-NVM CMOS 80 nm .....	32 -
Figure 1-5 : Mesure de la tension de seuil des transistors par la méthode à courant fixe (a) ou par le maximum de la transconductance (b) .....	33 -
Figure 1-6 : Abaissement de la barrière de potentiel engendré par la réduction de la longueur de grille (SCE) et de la polarisation de drain (DIBL) .....	34 -
Figure 1-7 : Impact des effets canaux courts SCE et DIBL sur les caractéristiques $V_{T-L}$ (a) et $I_D-V_G$ (b) .....	34 -
Figure 1-8 : Etapes de fabrication et représentation schématique des transistors MOS (LV, HV) et NVM fabriqués sur une plate-forme technologique e-NVM .....	36 -
Figure 1-9 : Représentation schématique de l'état de contrainte lors de l'insertion d'une couche de SiGe relaxée sur un substrat de silicium « s-SiGe » (a) ou de l'insertion d'une couche de silicium sur un substrat de SiGe relaxé « s-Si » (b) .....	38 -
Figure 1-10 : Fabrication d'un substrat s-Si contraint en tension pour augmenter les performances des transistors NMOS .....	39 -
Figure 1-11 : Fabrication d'un substrat s-SiGe ou s-Ge contraint en compression pour augmenter les performances des transistors PMOS .....	40 -
Figure 1-12 : Mobilité des électrons (a) et des trous (b) dans les différents plans cristallins (100), (110) et (111) d'après [Chang'04] .....	41 -
Figure 1-13 : Étapes de fabrication d'une technologie CMOS à orientation hybride (HOT) [Yang'03], [07] .....	42 -
Figure 1-14 : Représentation schématique des deux types de substrat (100) utilisés dans les circuits CMOS : l'orientation cristalline standard <110> (a) et l'orientation cristalline tournée à 45° <100> (b) .....	43 -
Figure 1-15 : Les principales contraintes induites par les procédés de fabrication lors de la fabrication d'un transistor MOSFET .....	44 -
Figure 1-16 : Etapes de fabrication des tranchées d'isolation peu profondes (STI) .....	44 -
Figure 1-17 : Coupe TEM d'un transistor PMOS fabriqué avec l'intégration du SiGe dans les zones S/D pour augmenter la contrainte mécanique en compression dans le canal [Ghani'03], [Mistry'04] .....	46 -
Figure 1-18 : Coupe TEM d'un transistor NMOS fabriqué avec l'intégration du Si:C dans les zones S/D pour augmenter la contrainte mécanique en tension dans le canal [Ang'04], [Chui'07] .....	47 -
Figure 1-19 : Schéma d'un transistor MOS basse tension recouvert par la couche d'arrêt de gravure des contacts (CESL) .....	48 -
Figure 1-20 : Procédé de gravure des contacts sans le CESL (a) et avec l'introduction du CESL évitant les courts-circuits (b) .....	49 -

Figure 1-21 : Déformation du substrat de silicium en fonction de la nature de la contrainte mécanique exercée par le film CESL. Une contrainte en tension dans le film donne naissance à une courbure concave (a) et une contrainte en compression donne naissance à une courbure convexe (b) .....	- 50 -
Figure 1-22 : Étapes de fabrication du procédé DSL (Dual CESL) intégrant les deux types de CESL .....	- 50 -
Figure 1-23 : Étapes de fabrication à partir de l'implantation des zones S/D jusqu'à la siliciuration (du transistor NMOS uniquement dans cet exemple) sans (a) et avec l'intégration du procédé SMT (b).....	- 51 -
Figure 1-24 : Etapes de fabrication d'un procédé standard à partir de la formation des espaceurs jusqu'au dépôt de la couche de CESL sans (a) et avec l'intégration du procédé SPT (b) .....	- 52 -
Figure 1-25 : Coupe TEM d'un transistor MOS fabriqué sans (a) ou avec le procédé SPT utilisé pour le retrait du spacer2 (b) [Chen'06], [Fang'06] .....	- 53 -
Figure 1-26 : Résumé des solutions technologiques permettant d'introduire des contraintes mécaniques dans le canal et d'augmenter la mobilité des transistors MOS .....	- 54 -
Figure 1-27 : Représentation graphique des coefficients piezorésistifs du transistor NMOS (a) et du transistor PMOS (b) dans le plan cristallin (100) [Kanda'82] .....	- 55 -
Figure 1-28 : Vue layout des différents types de stress à appliquer sur les deux orientations cristallines <110> et <100> afin d'augmenter la mobilité des transistors NMOS et PMOS.....	- 56 -
Figure 1-29 : Courant dynamique consommé lors d'une transition d'un état logique bas vers un état logique haut (a) et inversement (b) dans un inverseur CMOS chargeant une capacité $C_L$ .....	- 57 -
Figure 1-30 : Représentation graphique des capacités parasites $C_{BE}$ et $C_{IN}$ intervenant dans la capacité de charge $C_L$ d'un inverseur CMOS connecté à un autre inverseur.....	- 57 -
Figure 1-31 : Les principaux courants de fuite d'un transistor MOS.....	- 60 -
Figure 1-32 : Principaux courants de fuite d'un inverseur CMOS en fonction de l'état logique du signal d'entrée et du signal de sortie .....	- 60 -
Figure 1-33 : Diagrammes de bandes d'une structure MOS de type <p> en inversion dans le cas d'un courant tunnel de type Fowler-Nordheim (a) et direct (b).....	- 61 -
Figure 1-34 : Répartition des différents courants de fuite dans un transistor NMOS et dans un transistor PMOS de type SVT (a) HVT (b) et UHVT (c) de longueur $L = 90$ nm et de largeur $W = 1\mu\text{m}$ .....	- 61 -
Figure 2-1 : Répartition des différents courants de fuite dans un transistor NMOS et dans un transistor PMOS de type SVT (a) HVT (b) et UHVT (c) de longueur $L = 90$ nm et de largeur $W = 1\mu\text{m}$ .....	- 65 -
Figure 2-2 : Répartition du courant statique d'un circuit e-NVM fabriqué par STMicroelectronics Rousset sans (a) ou avec la contribution du courant de grille des capacités de découplage (b).....	- 66 -
Figure 2-3 : Utilisation d'un oxyde « High-K » permettant d'augmenter l'épaisseur de l'oxyde sans impacter la valeur de $C_{OX}$ .....	- 67 -
Figure 2-4 : Largeur de bande interdite des matériaux « High K » en fonction de leur constante diélectrique $K$ [Robertson'04].....	- 67 -
Figure 2-5 : Les trois différentes étapes du procédé DPN.....	- 68 -
Figure 2-6 : Schéma de la chambre et des conditions utilisées lors de la nitruration par plasma DPN .....	- 68 -
Figure 2-7 : Mesure d'une capacité GO1 sur un substrat de type <p> permettant de remonter jusqu'à la valeur de l'épaisseur équivalente d'oxyde $T_{OX}$ .....	- 68 -
Figure 2-8 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W=10\mu\text{m}$ et $L=10\mu\text{m}$ en fonction de l'EOT pour différentes températures du recuit PNA.....	- 70 -
Figure 2-9 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W=10\mu\text{m}$ et $L=10\mu\text{m}$ en fonction de l'EOT pour différentes conditions de puissance et de pression dans la chambre DPN. -	70 -
Figure 2-10 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W=10\mu\text{m}$ et $L=10\mu\text{m}$ en fonction de l'EOT pour différents types et différentes quantités d'espèces utilisés pendant le recuit PNA.....	- 71 -
Figure 2-11 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W=10\mu\text{m}$ et $L=10\mu\text{m}$ en fonction de l'épaisseur électrique de l'oxyde pour les deux types de nitruration RTN et DPN.....	- 72 -

- Figure 2-12 : Epaisseur électrique de l'oxyde (EOT) en fonction de l'épaisseur physique (POT) sur un substrat de type <p> (a) et sur un substrat de type <n> (b) entre le procédé de référence RTN et le procédé DPN.....- 72 -
- Figure 2-13 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqué avec la nitruration RTN ou DPN en fonction de l'épaisseur physique de l'oxyde .....- 73 -
- Figure 2-14 : Courbes de mérite  $I_{OFF}/I_{ON}$  d'un transistor NMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b).....- 74 -
- Figure 2-15 : Courbes de mérite  $I_{OFF}/I_{ON}$  d'un transistor PMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b) .....- 74 -
- Figure 2-16 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b) fabriqués avec le procédé standard RTN ou le procédé DPN.....- 75 -
- Figure 2-17 : Mobilité des trous et des électrons pour les deux différents procédés RTN et DPN .....- 75 -
- Figure 2-18 : Dopage du substrat de type <n> (a) et du substrat de type <p> (b) pour les plaquettes ayant été fabriquées avec le procédé RTN ou DPN.....- 76 -
- Figure 2-19 : Maximum de la mobilité en fonction du dopage du substrat d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqués avec le procédé RTN standard et le procédé DPN .....- 76 -
- Figure 2-20 : Profils SIMS (a) et représentation graphique (b) montrant la concentration d'azote en fonction de la profondeur dans l'oxyde nitruré de type RTN et DPN. (b).....- 77 -
- Figure 2-21 : Représentation schématique des deux types de substrats étudiés : l'orientation cristalline standard <110> (a) et l'orientation <100> tournée à 45° (b).....- 78 -
- Figure 2-22 : Courbes de mérite  $I_{OFF}/I_{ON}$  (a) et  $I_{ON}/V_T$  (b) d'un transistor PMOS GO1 de largeur  $W = 10 \mu\text{m}$  fabriqué avec une orientation cristalline standard <110> et une orientation tournée à 45° <100>.....- 78 -
- Figure 2-23 : Courbes de mérite  $I_{OFF}/I_{ON}$  (a) et  $I_{ON}/V_T$  (b) d'un transistor PMOS GO1 de largeur  $W = 0,4 \mu\text{m}$  fabriqué avec une orientation cristalline standard <110> et une orientation tournée à 45° <100>.....- 79 -
- Figure 2-24 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS GO1 de dimension  $W=10\mu\text{m}$  (a) et  $W=0,4\mu\text{m}$  (b) fabriqué avec une orientation cristalline standard <110> et tournée à 45° <100> .....- 80 -
- Figure 2-25 : Gain en courant  $I_{ON}$  en fonction de la largeur d'active d'un transistor ayant une orientation cristalline <100> par rapport à un transistor ayant une orientation cristalline <110>.....- 80 -
- Figure 2-26 : Vue schématique des types de contraintes à appliquer pour augmenter la mobilité des transistors dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°) .....- 81 -
- Figure 2-27 : Résistance carrée mesurée sur un barreau d'active P+ non siliciuré de largeur  $3 \mu\text{m}$  (a) et  $0,11 \mu\text{m}$  (b).....- 83 -
- Figure 2-28 : Coupe TEM (a) et représentation schématique (b) d'un transistor GO1 montrant la couche d'arrêt de gravure des contacts (CESL) utilisée dans le procédé de fabrication standard et formée d'une couche de nitrure HCN et HCD .....- 84 -
- Figure 2-29 : Types de CESL utilisés dans le cas du procédé standard (a), d'une co-intégration DSL (b) et dans le cas du nouveau procédé de fabrication retenu dans ces travaux (c).....- 84 -
- Figure 2-30 : Niveau de stress des 3 procédés de nitruration comparés dans cette étude.....- 86 -
- Figure 2-31 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN .....- 87 -
- Figure 2-32 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN dans l'orientation cristalline <100> (tournée à 45°).....- 88 -
- Figure 2-33 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor PMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN .....- 88 -
- Figure 2-34 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor PMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN dans l'orientation cristalline <100>.....- 89 -
- Figure 2-35 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication .....- 90 -

Figure 2-36 : Courbes de mérite $I_{ON}/V_T$ d'un transistor PMOS de dimension $W = 10 \mu\text{m}$ (a) et $W = 0,36 \mu\text{m}$ (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication.....	- 91 -
Figure 3-1 : Vue layout et vue schématique de l'oscillateur en anneau utilisé dans cette étude .....	- 94 -
Figure 3-2 : Les différents signaux de l'oscillateur en anneau .....	- 95 -
Figure 3-3 : Représentation graphique d'une plaquette de silicium et de l'intégration d'une structure de test (TEG) conçues avec 22 pads .....	- 96 -
Figure 3-4 : Une partie de la structure de test contenant 9 oscillateurs en anneau.....	- 97 -
Figure 3-5 : Répartition du nombre de transistors en fonction de leur taille de la partie logique d'un circuit ..	- 97 -
Figure 3-6 : Layout de l'inverseur utilisé dans la conception du RO de référence .....	- 97 -
Figure 3-7 : Représentation graphique de la capacité de charge ( $C_L$ ) comme étant la somme de la capacité liée au routage entre les portes ( $C_{BE}$ ) et de la capacité équivalente de la porte attaquée ( $C_{IN}$ ).....	- 98 -
Figure 3-8 : Répartition des capacités $C_{BE}$ et $C_{IN}$ dans un circuit fabriqué en technologie e-NVM CMOS 80 nm-	98 -
Figure 3-9 : Représentation graphique d'une structure en peigne utilisée pour réaliser la capacité de routage $C_{BE}$ .....	- 100 -
Figure 3-10 : Couplage capacitif entre deux lignes métalliques parallèles.....	- 100 -
Figure 3-11 : Vue schématique de la structure utilisée pour mesurer la capacité $C_{BE}$ .....	- 101 -
Figure 3-12 : Valeur des signaux permettant la charge ou la décharge de $C_X$ dans la structure CBCM .....	- 101 -
Figure 3-13 : Réduction de la fréquence d'un oscillateur en anneau (a) et du courant dynamique consommé (b) dans le cas d'une réduction de la tension d'alimentation $V_{DD}$ et dans le cas d'une réduction de la taille des transistors $W_N/W_P$ .....	- 103 -
Figure 3-14 : Gains en courant dynamique (a) et dégradation du courant statique (b) obtenus entre un RO utilisant des transistors LVT et un RO utilisant des transistors HVT lors d'une réduction de la tension d'alimentation $V_{DD}$ ou de la taille des transistors $W_N/W_P$ .....	- 104 -
Figure 3-15 : Gain en $I_{ON}$ obtenu avec le nouveau procédé de fabrication pour un transistor NMOS (a) et un transistor PMOS (b) GO1 utilisé dans les cellules standards .....	- 104 -
Figure 3-16 : Représentation du multi-projet contenant les oscillateurs en anneau.....	- 105 -
Figure 3-17 : Gains en courant dynamique obtenus entre le procédé de fabrication de référence et le nouveau procédé de fabrication pour une réduction des largeurs d'active $W_N/W_P$ ou de l'alimentation $V_{DD}$ lorsque $C_L = C_{IN}$ .....	- 106 -
Figure 3-18 : Evolution du courant statique entre le procédé de fabrication de référence (RO1) et le nouveau procédé de fabrication pour une réduction de $W_N/W_P$ (RO5) ou de $V_{DD}$ (RO2) lorsque $C_L = C_{IN}$ .....	- 107 -
Figure 3-19 : Gains en courant dynamique obtenus entre le procédé de fabrication de référence et le nouveau procédé de fabrication pour une réduction des largeurs d'active $W_N/W_P$ ou de l'alimentation $V_{DD}$ lorsque $C_L = C_{BE} + C_{IN}$ .....	- 107 -
Figure 3-20 : Gains en courant dynamique (a) et multiplication du courant statique (b) obtenus entre le RO fabriqué avec le procédé de référence et le nouveau procédé de fabrication pour une réduction de $W_N/W_P$ ou de $V_{DD}$ et différents rapports entre $C_{IN}$ et $C_{BE}$ .....	- 108 -
Figure 3-21 : Architecture (a) et vue layout (b) du circuit DES.....	- 109 -
Figure 3-22 : Principe de fonctionnement de la fonction cryptographique du DES .....	- 109 -
Figure 3-23 : Réduction de la largeur des transistors opérée par le script C2M sur une cellule standard.....	- 111 -
Figure 3-24 : Comparaison entre le courant $I_{ON}$ d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication.....	- 113 -
Figure 3-25 : Compensation des zones actives autour des contacts S/D (b) et lorsque la zone active devient inférieure à la largeur minimale ( $W_{MIN}$ ) autorisée par le DRM.....	- 113 -
Figure 3-26 : Courant dynamique en fonction de la fréquence de fonctionnement des circuits DES1 et DES2 fabriqués sur le procédé standard lors d'une diminution de la tension d'alimentation $V_{DD}$ (a) ou de la largeur des transistors (b) .....	- 115 -

Figure 3-27 : Réduction du courant dynamique consommé par le DES avec l'utilisation du nouveau procédé de fabrication, lors d'une diminution de la tension d'alimentation $V_{DD}$ (a) ou de la largeur des transistors (b) ..	115 -
Figure 3-28 : Réduction de la zone active des cellules logiques utilisées dans le circuit DES avec l'utilisation du nouveau procédé de fabrication et du script C2M.....	116 -
Figure 3-29 : Répartition des courants de fuite du DES1 .....	117 -
Figure 3-30 : Réduction du courant statique consommé par le DES avec l'utilisation du nouveau procédé de fabrication et lors d'une diminution de la tension d'alimentation $V_{DD}$ et de la taille des transistors $W_N/W_P$ ..	118 -
Figure 4-1 : Vue layout d'un transistor MOS dessiné avec (a) ou sans (b) l'extension S/D .....	121 -
Figure 4-2 : Répartition du nombre de transistors NMOS et PMOS utilisés dans un circuit fabriqué en technologie e-NVM CMOS 80 nm en fonction de leur largeur.....	122 -
Figure 4-3 : Vue layout des quatre structures permettant de mesurer la résistance des contacts placés sur des barreaux d'actives de différentes largeurs .....	123 -
Figure 4-4 : Résistance des chaînes de contacts dessinées avec différentes largeurs d'actives dopées N+ (a), et P+ (b).....	123 -
Figure 4-5 : Conception des différents MOS avec ou sans la tête de marteau en active et en poly-silicium ...	124 -
Figure 4-6 : Courbes de mérite $I_{ON}/V_T$ d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W_{MIN}$ dessiné avec ou sans l'extension en active et en poly-silicium.....	124 -
Figure 4-7 : Vue layout des différents types de stress à appliquer afin d'augmenter la mobilité des transistors NMOS et PMOS fabriqués avec une orientation cristalline standard $\langle 110 \rangle$ .....	125 -
Figure 4-8 : Courant de fuite de drain ( $I_{OFF}$ ) d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W_{MIN}$ dessiné avec ou sans l'extension S/D en active et en poly-silicium.....	125 -
Figure 4-9 : Conception des différents inverseurs utilisés dans les oscillateurs en anneau avec ou sans l'extension S/D .....	126 -
Figure 4-10 : Fréquence d'oscillation des RO conçus avec les inverseurs présentés dans la Figure 4-9 .....	126 -
Figure 4-11 : Conception d'un transistor MOS GO1 avec le contact grille sur l'oxyde STI (MOS1) ou sur la zone active du transistor avant et après redimensionnement lors de l'étape de transformation « CAD to Mask » (MOS2).....	127 -
Figure 4-12 : Courbes de mérite $I_{ON}/V_T$ d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W_{MIN}$ fabriqué avec le contact de grille sur STI (MOS1) ou sur active (MOS2).....	127 -
Figure 4-13 : Courant de fuite de drain ( $I_{OFF}$ ) d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension $W=1\mu m$ conçus avec le contact de grille sur STI (MOS1) ou sur active (MOS2).....	128 -
Figure 4-14 : Conception d'un inverseur CMOS avec les contacts de grille des transistors sur STI (RO1) ou sur active (RO2) .....	128 -
Figure 4-15 : Fréquence d'oscillation des oscillateurs en anneau fabriqués avec des transistors MOS possédant les contacts de grille sur STI (RO1) ou sur active (RO2) de dimension $W = W_{MIN}$ (a) et $W = 2W_{MIN}$ (b) .....	128 -
Figure 4-16 : Vue schématique (transistor) de la bascule SCAN choisie dans cette étude.....	130 -
Figure 4-17 : Symbole logique de la bascule D choisie dans cette étude .....	130 -
Figure 4-18 : Principe de fonctionnement d'une bascule D lorsque le signal clk est à l'état « 0 » (a) ou à l'état « 1 » (b).....	130 -
Figure 4-19 : Vue layout de la cellule SCAN de référence (a) et de la nouvelle cellule SCAN conçue avec les largeurs d'active réduites et l'utilisation des nouvelles règles de dessin (b).....	131 -
Figure 4-20 : Différence entre la puissance interne consommée par la cellule SDFF de référence et la nouvelle cellule SDFF lors d'un front montant (a) ou descendant (b) sur le signal de sortie .....	132 -
Figure 4-21 : Définition du temps de propagation « clock-to-Q » lors d'un front montant (a) et lors d'un front descendant (b) du signal de sortie Q .....	133 -
Figure 4-22 : Comparaison du temps de propagation « clock-to-Q » entre les deux bascules D lors d'un front montant (a) et lors d'un front descendant (b) du signal de sortie Q.....	133 -

Figure 4-23 : Comparaison de la déviation standard du temps de propagation « clock-to-Q » entre les deux bascules SCAN lors d'un front montant (a) et lors d'un front descendant (b) sur la sortie Q connectée à une capacité $C_{LOAD}$ égale à 11.625 pF.....	- 134 -
Figure 4-24 : Coupe TEM d'un transistor MOS montrant les tranchées d'isolation STI et la contrainte exercée par l'oxyde STI.....	- 135 -
Figure 4-25 : Représentation graphique montrant la réduction de la distance entre la grille et le STI (SA) d'un transistor GO1 fabriqué dans les technologies 180 nm à 28 nm.....	- 135 -
Figure 4-26 : Vue layout d'un transistor dessiné avec une distance grille/STI minimale ( $SA_{MIN}$ ) et une distance grille/STI maximale ( $SA_{MAX}$ ).....	- 136 -
Figure 4-27 : Transconductance $g_m$ en fonction de la tension de grille pour différentes distances entre la grille et le STI (SA) dans le cas d'un transistor NMOS (a) et dans le cas d'un transistor PMOS (b).....	- 136 -
Figure 4-28 : Courbe de mérite $I_{ON}/V_T$ d'un transistor NMOS (a) et d'un transistor PMOS (b) dessinés avec une distance grille/STI minimale ( $SA_{MIN}$ ) et maximale ( $SA_{MAX}$ ).....	- 137 -
Figure 4-29 : Courbe de mérite $I_{ON}/V_T$ d'un transistor NMOS dessiné avec deux différentes distances grille/STI (a) et d'un transistor NMOS ayant deux différentes tensions de seuil (b).....	- 138 -
Figure 4-30 : Conception et fréquence d'oscillation des oscillateurs en anneau conçus avec des largeurs SA différentes sur les transistors NMOS (a) ou PMOS uniquement (b).....	- 139 -
Figure 4-31 : Vue layout d'un transistor MOS dessiné dans un environnement composé de transistors factices séparés par une largeur $W_{STI\_MIN}$ (a) et une largeur $W_{STI\_MAX}$ (b).....	- 139 -
Figure 4-32 : Transconductance $g_m$ en fonction de la tension de grille (a) et courant $I_{ON}$ en fonction de la tension de seuil (b) d'un transistor PMOS dessiné avec différentes largeurs de STI.....	- 140 -
Figure 4-33 : Transconductance $g_m$ en fonction de la tension de grille (a) et courant $I_{ON}$ en fonction de la tension de seuil (b) d'un transistor NMOS dessiné avec différentes largeurs de STI.....	- 140 -
Figure 4-34 : Simulation du stress résiduel dans le canal des transistors sans (a) ou avec l'insertion d'un mur anti-stress conçu avec du poly-silicium (b).....	- 141 -
Figure 4-35 : Vue layout de la structure de test permettant de mesurer les paramètres électriques d'un transistor conçu avec ou sans le mur anti-stress.....	- 142 -
Figure 4-36 : Courbes de mérite $I_{DLIN}/V_T$ (a) et $g_m/V_G$ (b) d'un transistor NMOS dessiné avec et sans le mur en poly-silicium.....	- 142 -
Figure 4-37 : Courbes de mérite $I_{DLIN}/V_T$ (a) et $g_m/V_G$ (b) d'un transistor PMOS dessiné avec et sans le mur en poly-silicium.....	- 143 -
Figure 4-38 : Gains en courant linéaire ( $I_{DLIN}$ ) et sur la transconductance observés sur des transistors NMOS et PMOS de différentes largeurs.....	- 143 -
Figure 4-39 : Amplitude du stress résiduel pris au milieu et à la surface du canal dans le cas d'un transistor fabriqué avec ou sans le mur anti-stress en poly-silicium.....	- 144 -
Figure 4-40 : Conception des inverseurs utilisés dans les oscillateurs en anneau pour étudier le comportement dynamique des transistors GO1 avec l'insertion du mur en poly-silicium.....	- 145 -
Figure 4-41 : Comparaison entre la fréquence d'oscillation des oscillateurs en anneau conçus avec ou sans le mur en poly-silicium.....	- 145 -
Figure 4-42 : Comparaison du courant statique des oscillateurs en anneau conçus avec ou sans le mur en poly-silicium.....	- 145 -
Figure 4-43 : Tension de seuil $V_T$ d'un transistor NMOS de dimension $W = 0.4 \mu\text{m}$ (a) et $W = 10 \mu\text{m}$ (b) dessiné avec ou sans le mur en poly-silicium.....	- 146 -

## Liste des Tableaux

Tableau 1-1 : Conditions de mesure et notation du courant de drain d'un transistor MOS basse tension fabriqué en technologie e-NVM CMOS 80 nm .....	32 -
Tableau 1-2 : Les principaux types de transistors MOS présents dans la technologie e-NVM CMOS 80 nm .....	35 -
Tableau 1-3 : Valeur des coefficients piezorésistifs dans le plan (100) pour les deux orientations cristallines <110> et <100> [Smith'54].....	55 -
Tableau 1-4 : Types de stress à appliquer sur les deux orientations cristallines afin d'améliorer la mobilité des transistors NMOS et PMOS .....	55 -
Tableau 2-1 : Conditions de mesure des courants de fuite de grille $I_{G\_ONn}$ et $I_{G\_ONp}$ .....	68 -
Tableau 2-2 : Différentes conditions du procédé DPN (wafer 02 à 15) et du procédé RTN standard (wafers 01 et 16) pris en considération dans cette étude .....	69 -
Tableau 2-3 : Les différentes épaisseurs équivalentes d'oxyde étudiées afin d'estimer le gain sur le courant $I_{G\_ON}$ entre le procédé de nitruration standard RTN et le procédé de nitruration DPN .....	71 -
Tableau 2-4 : Récapitulatifs des différentes plaques utilisées pour l'extraction de mobilité .....	75 -
Tableau 2-5 : Types de contraintes mécaniques à appliquer pour augmenter la mobilité des transistors NMOS et PMOS dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°).....	81 -
Tableau 2-6 : Types de contraintes mécaniques à appliquer pour augmenter la mobilité des transistors dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°) .....	81 -
Tableau 2-7 : Modification du stress des films de nitrure en fonction des paramètres de dépôt .....	85 -
Tableau 2-8 : Conditions de dépôt des films CESL HCN (procédé standard) et HTN (nouveau procédé) .....	85 -
Tableau 2-9 : Caractéristiques des 3 procédés de nitruration comparés dans cette étude .....	86 -
Tableau 2-10 : Résumé des différentes modifications technologiques apportées entre le procédé de fabrication standard et le nouveau procédé de fabrication .....	90 -
Tableau 3-1 : Description des signaux de l'oscillateur en anneau .....	95 -
Tableau 3-2 : Les différents rapports de charge utilisés dans la conception des RO .....	99 -
Tableau 3-3 : État du système de mesure en fonction des valeurs des signaux VUP et VDN .....	101 -
Tableau 3-4 : Caractéristiques des oscillateurs en anneau utilisés dans la Figure 3-13 .....	102 -
Tableau 3-5 : Caractéristiques des oscillateurs en anneau utilisés dans la Figure 3-14 .....	103 -
Tableau 3-6 : Caractéristiques de conception des différents RO embarqués sur un jeu de masques silicium et utilisés dans l'étude suivante.....	105 -
Tableau 3-7 : Transformation des layers CAD en layer masque dans le cas du masque active (OD) .....	111 -
Tableau 3-8 : Facteur de réduction utilisé dans le script C2M pour diminuer la largeur des transistors .....	112 -
Tableau 3-9 : Les différents circuits DES fabriqués .....	114 -
Tableau 4-1 : Largeurs et longueurs d'active des chaînes de contacts .....	123 -
Tableau 4-2 : Caractéristiques des transistors embarqués dans les RO.....	126 -
Tableau 4-3 : Optimisations des règles de dessin utilisées pour la conception d'une nouvelle bascule D SCAN .....	129 -
Tableau 4-4 : Table de vérité de la bascule D choisie dans cette étude .....	130 -
Tableau 4-5 : Niveau de contrainte associé aux matériaux utilisés pour la fabrication des circuits intégrés CMOS. ....	135 -
Tableau 4-6 : Récapitulatif des différentes valeurs de SA permettant d'étudier l'impact du stress induit par l'oxyde STI.....	136 -

---

*Tableau 4-7 : Récapitulatif des différentes valeurs de SA permettant d'étudier l'impact du stress induit par l'oxyde STI sur les oscillateurs en anneau.....- 138 -*

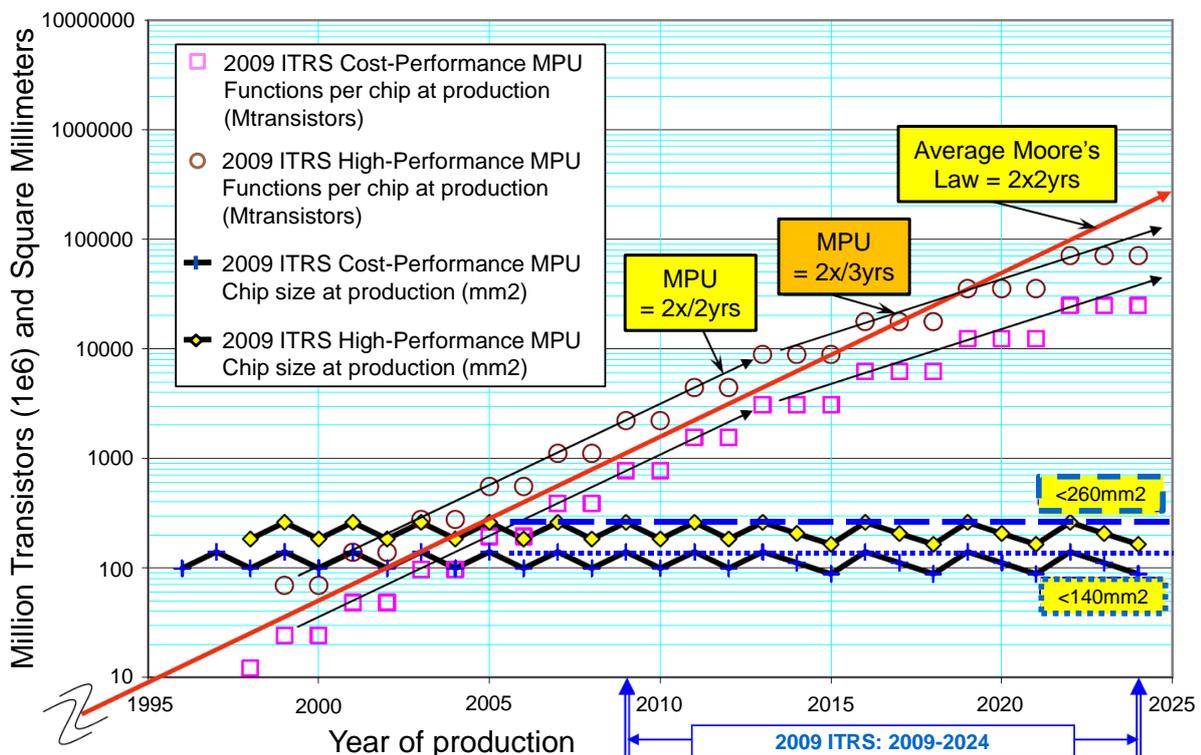
*Tableau 4-8 : Valeurs des largeurs  $W_{STI}$  utilisées pour étudier l'impact du stress induit le volume de STI .....- 139 -*

*Tableau 4-9 : Largeurs des transistors utilisées pour étudier l'influence du mur en poly-silicium .....- 142 -*

## Introduction générale

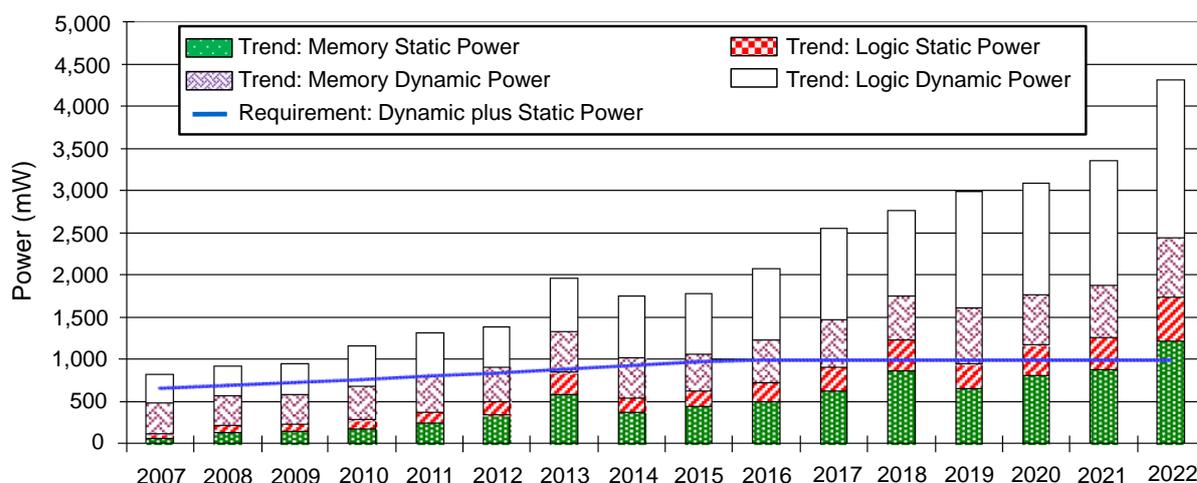
La plupart des objets de notre quotidien (automobile, électronique domestique et de loisir, ordinateur, téléphone, prothèses médicales, cartes à puce...) ne fonctionneraient pas sans la microélectronique. Celle-ci permet d'offrir de nouvelles fonctionnalités qui apportent de nouveaux services et une plus grande liberté de mouvement. Les applications avancées à base de microcontrôleurs couvrent de multiples domaines nécessitant plus de vitesse de traitement, de multiples périphériques analogiques (conversion analogique/digitale, communication radio...) et de plus forte capacité de stockage en mémoire non-volatile programmable (logiciels plus complexes, systèmes d'exploitation plus sophistiqués, évolution des fonctionnalités...). L'accroissement du champ d'application des microcontrôleurs s'accompagne d'une augmentation de la puissance consommée limitant l'autonomie des systèmes nomades (smartphones, tablettes, lecteurs MP3, ordinateurs portables, implants biomédicaux ...).

En effet, le nombre de transistors fabriqués sur un circuit intégré double en moyenne tous les deux ans (tous les trois ans à partir des années 2012/2013) comme le prédit la loi de Moore (Figure 0-1) depuis les années 70 [Moore'65] [ITRS'10].



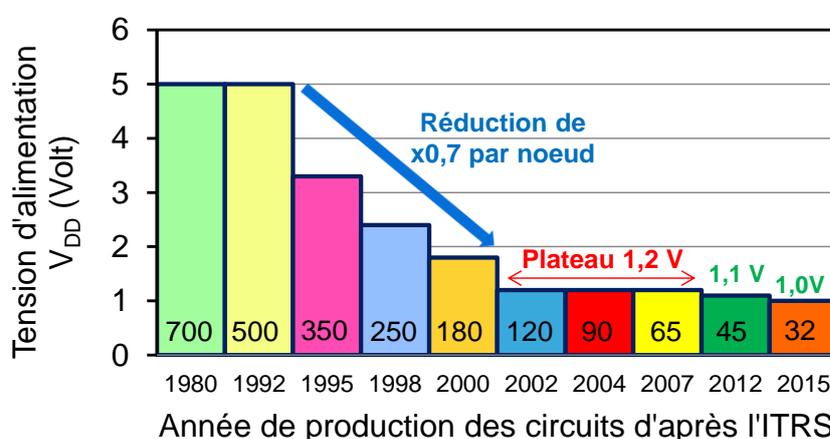
**Figure 0-1 : Nombre de transistors fabriqués sur un circuit intégré en fonction de l'année de production en superposition avec la « loi de Moore » [ITRS'10]**

L'augmentation de la densité d'intégration de transistors au cours du temps conduit à une augmentation croissante de la consommation des circuits comme le met en évidence la Figure 0-2.



**Figure 0-2 : Courbe montrant l'évolution de la consommation des systèmes complets sur puce (« Système On Chip » - SOC) en fonction des années de production pour des applications portables [ITRS'08]**

Celle-ci est engendrée notamment par un ralentissement de la réduction des tensions d'alimentation des circuits fabriqués dans les technologies submicroniques (Figure 0-3). Cette figure met aussi en évidence l'apparition d'un plateau autour de 1,2 V pour les technologies 100 nm. C'est d'ailleurs pourquoi certains industriels comme STMicroelectronics privilégient le développement de technologies ultra basse consommation destinées aux applications portables et médicales.



**Figure 0-3 : Tension d'alimentation  $V_{DD}$  en fonction de l'année de production des circuits intégrés CMOS et du nœud technologique [Skotnicki'08]**

Depuis les années 70, la miniaturisation des dispositifs (réduction de l'épaisseur du diélectrique de grille, de la longueur de grille, des capacités parasites, etc ...) était la meilleure approche pour augmenter le courant de drain des transistors, la densité d'intégration et les performances des circuits intégrés tout en réduisant la tension d'alimentation. Cependant, depuis quelques années, le développement des nœuds technologiques inférieurs à 45 nm montre un ralentissement du gain en performance entraîné par une augmentation des effets parasites rendant la miniaturisation plus complexe (augmentation des courants de fuite, augmentation des résistances et des capacités

parasites, augmentation des coûts de fabrication, dégradation des effets canaux courts, etc ...). Il a donc fallu trouver de nouvelles solutions pour garantir un gain important en performance. Une des solutions consiste à utiliser les contraintes mécaniques induites par les procédés de fabrication ou directement par le substrat sur lequel est fabriqué le transistor. Des gains en performance très intéressants ont été atteints en modulant la maille de silicium, favorisant ainsi le transport des porteurs dans le transistor.

L'objectif principal de cette thèse est de réduire la consommation dynamique des circuits intégrés fabriqués en technologie e-NVM (« embedded Non-Volatile Memory ») CMOS 80 nm à travers l'amélioration des performances des transistors MOS (Metal Oxyde Semi-conducteur) à effet de champ, utilisés dans les applications numériques. Dans ce but, des techniques de fabrication avancées utilisées dans les nœuds technologiques 65 nm et en dessous sont optimisées et adaptées au nœud 80 nm. La difficulté réside dans le fait que ces solutions doivent avoir un impact faible, voire nul sur les coûts des composants (~ procédé de fabrication) pour assurer une utilisation aussi large que rapide sur des versions de microcontrôleurs économes en énergie.

Dans ce contexte, les études développées dans ce manuscrit sont décrites au travers de quatre chapitres.

Le premier chapitre permet d'introduire le travail de recherche réalisé dans le cadre de cette thèse. Il reprend brièvement le fonctionnement et le procédé de fabrication des transistors MOS dans une architecture e-NVM. Dans un second temps, il concrétise un état de l'art des différentes techniques de fabrication avancées permettant d'augmenter les performances des transistors MOS à travers l'ingénierie des contraintes mécaniques. À la suite de cette étape, les solutions les plus intéressantes en termes de coût additionnel, de gain en performance et d'intégration sur une technologie e-NVM déjà en production seront choisies pour être développées dans le nouveau procédé de fabrication. Pour terminer, un rappel des différents courants et puissances dissipés par un circuit CMOS est réalisé.

Le second chapitre décrit l'étude menée afin d'augmenter le courant de drain et le rapport  $I_{OFF}/I_{ON}$  (courant en mode OFF/courant en mode ON) des transistor MOS à travers un meilleur contrôle électrostatique du canal de conduction et un gain en mobilité apporté par l'utilisation de nouvelles briques technologiques.

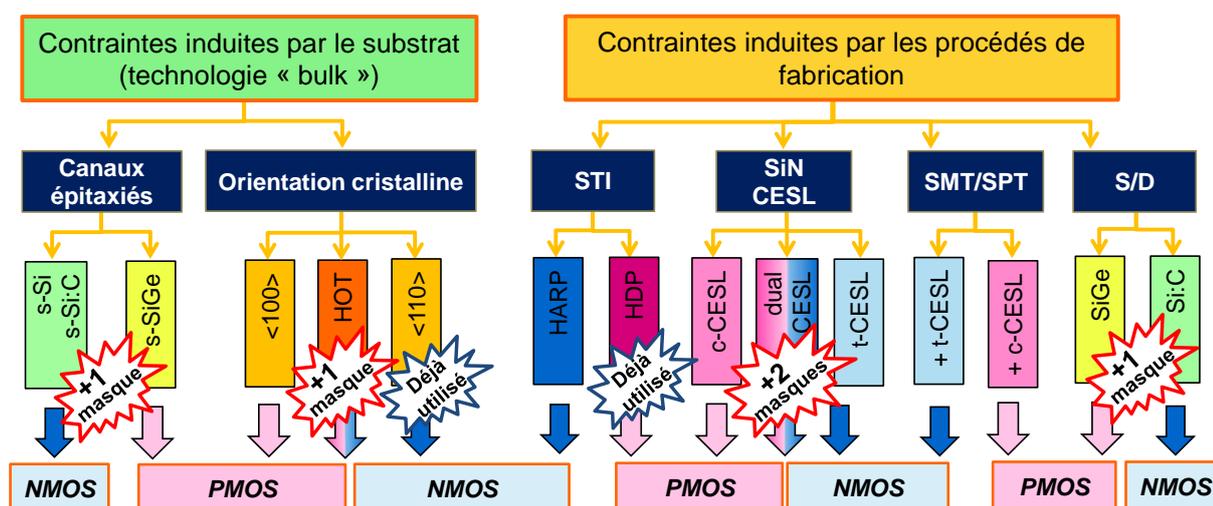
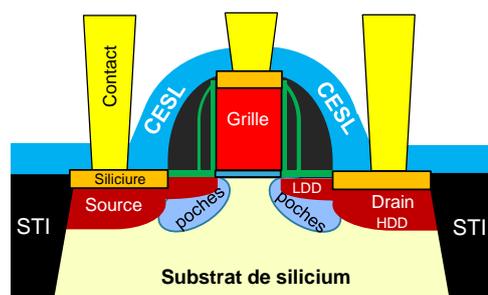
L'objectif du troisième chapitre est de transformer le gain en performance (obtenu par les améliorations du procédé de fabrication), en gain sur la consommation dynamique : réduire la tension d'alimentation et la contribution des capacités parasites permettront d'atteindre cet objectif. Le gain apporté par chacune de ces solutions est d'abord mis en évidence sur des oscillateurs en anneau, puis directement sur un circuit numérique conçu avec 20 000 cellules standards.

Le quatrième chapitre est consacré à l'étude des cellules logiques au niveau de la conception dans le but de réduire la consommation globale d'un circuit sans dégrader les temps de propagation. Dans une première partie, les règles de dessin de la technologie sont optimisées afin de réduire la consommation dynamique ainsi que la taille des cellules standards sans dégrader les temps de propagation (performance). Dans une seconde partie, une solution originale permettant de diminuer la contrainte en compression induite par l'oxyde STI est présentée.

Finalement, la conclusion générale permet de revenir sur les apports majeurs de ce travail de thèse et propose une discussion sur les différentes perspectives autour de ce sujet.

# Chapitre 1 État de l'art des solutions technologiques permettant d'améliorer les performances des transistors MOS et de réduire leur consommation

## GO1 - LV



Dans ce premier chapitre, le procédé de fabrication et le fonctionnement électrique du transistor MOS à effet de champ sont rappelés. Ces dernières années sont marquées par un travail important réalisé sur l'ingénierie des contraintes mécaniques et du substrat permettant une augmentation importante des performances des transistors MOS. Ces améliorations sont essentielles pour les technologies actuelles et permettent à la loi de Moore de perdurer malgré la difficulté rencontrée lors de la miniaturisation des dispositifs dans les technologies avancées. L'étude présentée dans ce chapitre permet également de faire l'état de l'art des différents procédés de fabrication induisant des contraintes mécaniques afin d'envisager la possibilité de les intégrer sur la technologie CMOS 80 nm avec mémoire non-volatile embarquée pour réduire la consommation des circuits.

<b>Introduction .....</b>	<b>- 28 -</b>
<b>I Le transistor MOS et son procédé de fabrication dans une technologie avec mémoire non-volatile embarquée.....</b>	<b>- 28 -</b>
I.1 Les principales caractéristiques du transistor MOS .....	- 28 -
I.1.A Courbures de bande de la capacité MOS .....	- 29 -
I.1.B Régimes de fonctionnement du transistor MOS.....	- 31 -
I.1.C Les effets parasites associés à la réduction des échelles du transistor .....	- 33 -
I.2 Le procédé de fabrication e-NVM CMOS 80 nm développé par STMicroelectronics ...	- 35 -
I.2.A Les principaux types de transistors MOS .....	- 35 -
I.2.B Le procédé de fabrication e-NVM CMOS 80 nm .....	- 36 -
<b>II Les solutions technologiques permettant d'améliorer les performances des transistors MOS .....</b>	<b>- 38 -</b>
II.1 Les contraintes mécaniques induites par le substrat.....	- 38 -
II.1.A Les canaux épitaxiés contraints.....	- 38 -
II.1.B L'orientation cristalline du canal .....	- 41 -
II.2 Les contraintes mécaniques induites par les procédés de fabrication .....	- 43 -
II.2.A Contrainte induite par les tranchées d'isolation « STI » .....	- 44 -
II.2.B Contrainte induite par les matériaux utilisés dans les S/D .....	- 45 -
II.2.C Contrainte induite par la siliciuration.....	- 47 -
II.2.D Contrainte induite par la couche de nitrure CESL .....	- 48 -
II.2.E Contrainte induite par la couche de SMT.....	- 51 -
II.2.F Contrainte induite par le retrait des espaceurs (SPT) .....	- 52 -
II.3 Parasites induits par la mise en boîtier .....	- 53 -
II.4 Conclusion : les solutions les plus intéressantes permettant d'introduire des contraintes dans le canal.....	- 54 -
<b>III Consommation d'un circuit intégré fabriqué en technologie CMOS .....</b>	<b>- 56 -</b>
III.1 La consommation dynamique .....	- 56 -
III.1.A Définition.....	- 56 -
III.1.B Les méthodes permettant de réduire la consommation dynamique .....	- 58 -
III.2 La consommation statique.....	- 59 -
<b>Conclusion.....</b>	<b>- 62 -</b>

## Introduction

Dans ce premier chapitre, le fonctionnement d'un transistor MOS à effet de champ est rapidement décrit avec les équations permettant de modéliser son comportement électrique. Nous abordons également les différents effets parasites liés à la miniaturisation des échelles ainsi que le procédé de fabrication des transistors MOS intégrés dans une architecture e-NVM (« embedded Non-Volatile Memory »).

Aujourd'hui, l'ingénierie des contraintes mécaniques induites par les procédés de fabrication et par le substrat est le seul moyen permettant de maintenir un facteur d'amélioration des performances (rapport  $I_{OFF}/I_{ON}$ ) conséquent (~30 %) lors du développement des nouvelles technologies. C'est pour cette raison que dans la deuxième partie de ce chapitre les différentes solutions technologiques qui existent aujourd'hui pour augmenter les performances des transistors MOS dans les technologies submicroniques (< 100 nm) sont détaillées. En fonction des avantages et des inconvénients de chacune de ces solutions, leur utilisation sera envisagée pour améliorer le procédé de fabrication e-NVM CMOS 80 nm actuellement en production.

Les gains en performances obtenus par la modification du procédé de fabrication peuvent également être traduits en gain sur la consommation des circuits. C'est pourquoi, dans la troisième partie de ce chapitre nous nous intéressons à l'étude de la consommation statique et dynamique intervenant dans les circuits intégrés CMOS.

## I Le transistor MOS et son procédé de fabrication dans une technologie avec mémoire non-volatile embarquée

Dans un premier temps, il est nécessaire de faire un bref rappel sur les caractéristiques principales des transistors MOS, puisqu'ils sont au cœur du travail présenté dans ce manuscrit.

### I.1 Les principales caractéristiques du transistor MOS

Le transistor MOS est un dispositif constitué de quatre électrodes : la grille (G), le drain (D), la source (S) et le substrat (B) comme peut le montrer la Figure 1-1.

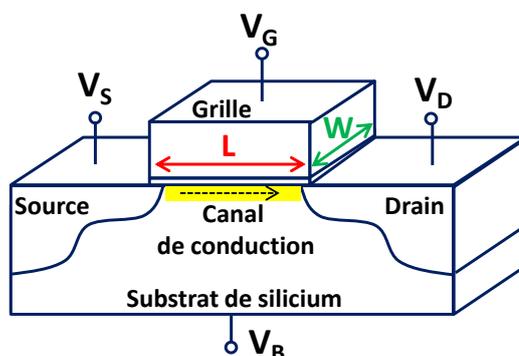


Figure 1-1 : Schéma d'un transistor MOSFET

En appliquant une tension sur sa grille ( $V_G$ ), il est possible de contrôler le courant circulant à l'intérieur du canal entre la source et le drain. Il peut donc être utilisé comme un interrupteur commandé en tension. Dans les circuits intégrés CMOS, deux types de transistors MOS cohabitent : le transistor NMOS dont le courant est formé par des électrons et le transistor PMOS dont le courant est formé par des trous. Il convient de souligner les principaux paramètres technologiques impactant la valeur du courant d'un transistor MOS, à savoir : la longueur de grille «  $L$  », la largeur du canal «  $W$  », la mobilité des porteurs «  $\mu$  » (électrons ou trous) dans le canal, l'épaisseur de l'oxyde «  $T_{ox}$  » (isolant la grille du substrat), la tension de seuil  $V_T$ , les tensions de grille ( $V_G$ ) et de drain ( $V_D$ ).

### I.1.A Courbures de bande de la capacité MOS

Avant de s'intéresser au fonctionnement du transistor MOS, il faut d'abord se pencher sur le fonctionnement de la capacité MOS intégrée dans le transistor. Lorsque la tension appliquée sur la grille ( $V_G$ ) augmente, la quantité de charges présentes dans la grille et dans le silicium varie. Le régime de fonctionnement de la capacité est alors modifié et donne naissance aux quatre courbures de bande d'énergie présentées dans La Figure 1-2. Dans ces exemples, le substrat ( $V_B$ ) est connecté à la masse.

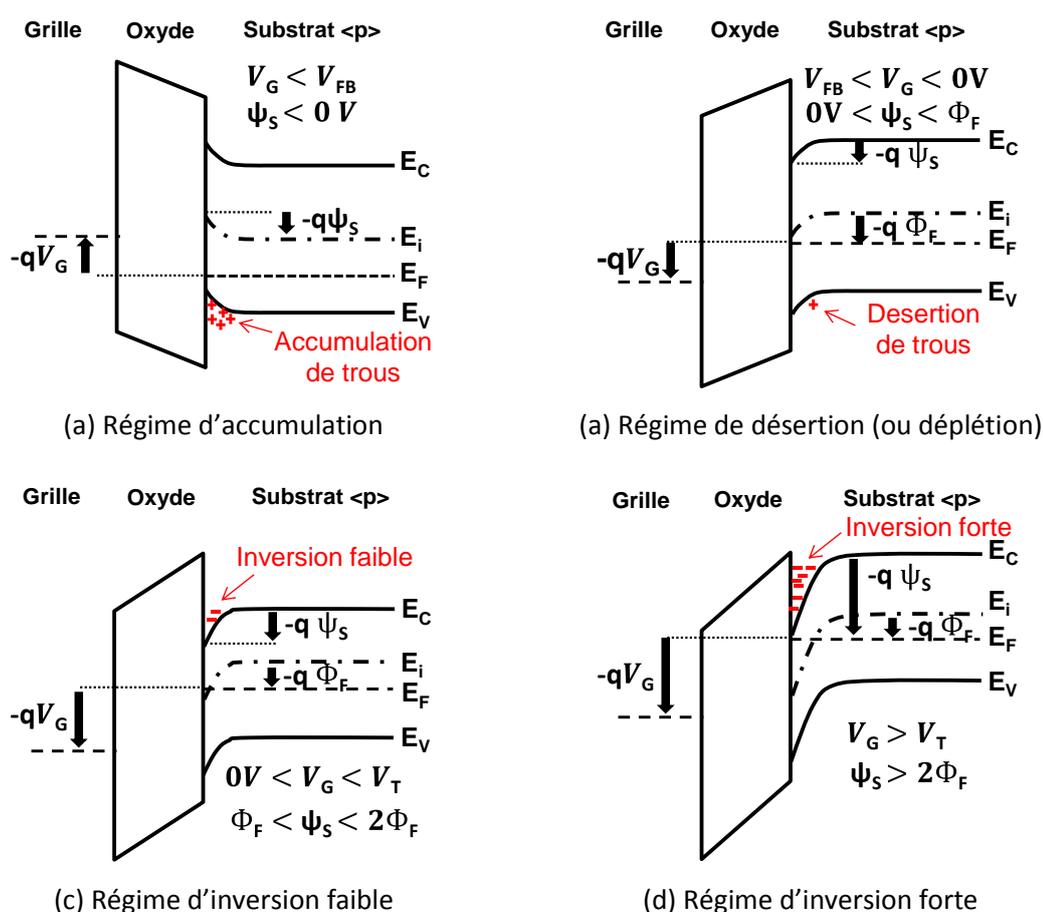


Figure 1-2 : Courbures de bande d'une structure MOS de type <p> dans les quatre différents régimes de fonctionnement

- (a) Le régime d'accumulation : les porteurs majoritaires (les trous dans cet exemple) s'accumulent à la surface entre l'oxyde et le silicium tant que  $V_G < V_{FB}$  ( $\psi_s < 0$ ).  $V_{FB}$  étant la tension de bandes plates qu'il faut appliquer sur la grille pour que le potentiel de surface  $\psi_s$  soit nul. Son équation est présentée dans (1.2).
- (b) Le régime de désertion ou déplétion :  $V_G$  devient légèrement supérieure à  $V_{FB}$  ( $0 < \psi_s < \phi_f$ ). Les trous situés à la surface entre l'oxyde et le silicium sont repoussés dans le substrat et une zone de déplétion apparaît.  $\phi_f$  étant le potentiel de volume du semi-conducteur qui a pour expression :  $\Phi_F = \frac{kT}{q} \ln \frac{N_C}{n_i}$ , avec  $\frac{kT}{q}$  la tension thermodynamique,  $N_C$  le dopage du canal et  $n_i$  la concentration intrinsèque de porteurs.
- (c) Le régime de faible inversion : la concentration des porteurs minoritaires (électrons dans ce cas) à l'interface devient supérieure à la concentration des trous, mais reste inférieure à la concentration des trous dans le volume du silicium. Donc, la tension  $V_G$  est inférieure à la tension de seuil  $V_T$  (qui correspond à  $\psi_s = 2\phi_f$ ) et le silicium qui était initialement de type <p> devient de type <n> à l'interface (d'où le nom de régime d'inversion).
- (d) Le régime d'inversion forte : lorsque la tension de grille dépasse la tension de seuil  $V_T$  ( $V_G > V_T$  et  $\psi_s > 2\phi_f$ ), la concentration des électrons devient très importante et supérieure à la concentration des trous dans le volume du silicium.

À noter qu'il existe aussi la notion d'inversion « modérée », lorsque la tension de grille est proche de la tension de seuil  $V_T$ .

Nous avons vu que le passage du régime de faible à forte inversion s'effectue lorsque  $\psi_s > 2\phi_f$ , autrement dit lorsque la tension de grille est égale à la tension de seuil  $V_T$  qui a pour expression (1.1) :

$$V_T = V_{FB} + 2\Phi_F + \frac{Q_{SC}}{C_{ox}} \quad (1.1)$$

Avec  $V_{FB}$  ayant pour expression (1.2) :

$$V_{FB} = \Phi_{MS} - \frac{Q_{it}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} \quad (1.2)$$

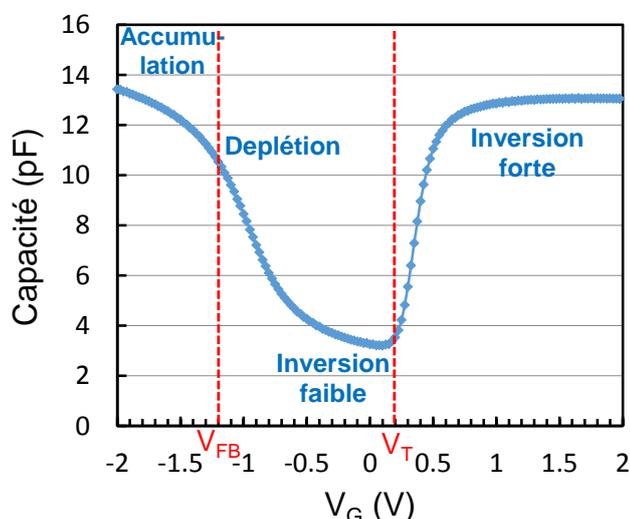
$\Phi_{MS}$  étant la différence entre les travaux de sortie de la grille et du silicium,  $Q_{it}$  la charge dans les pièges d'interface,  $Q_{ox}$  la charge fixe dans l'oxyde et  $C_{ox}$  la capacité de l'oxyde :  $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$ , d'épaisseur  $T_{ox}$  et de permittivité  $\epsilon_{ox}$ .

Et  $Q_{SC}$ , la charge de la zone de déplétion dans le substrat ayant pour expression (1.3) :

$$Q_{SC} = q \cdot N_C \cdot \gamma_{SC} = \sqrt{2q \cdot \epsilon_{Si} \cdot N_C (2\phi_f - V_B)} \quad (1.3)$$

$\epsilon_{Si}$  étant la permittivité du silicium.

Les différents régimes de fonctionnement d'une capacité MOS se retrouvent sur la caractéristique « C-V » présentée dans la Figure 1-3. À partir de cette caractéristique, il est d'ailleurs possible d'extraire l'épaisseur équivalente de l'oxyde (EOT ou  $T_{ox}$ ) en régime d'accumulation [Ghibaudo'00], la tension de bande plate  $V_{FB}$  et la tension de seuil  $V_T$ .



**Figure 1-3 : Mesure d'une capacité MOS sur un substrat de type <p> en fonction de la tension de grille  $V_G$  (caractéristique C-V)**

### I.1.B Régimes de fonctionnement du transistor MOS

Il existe donc deux grands régimes de fonctionnement pour le transistor qui dépendent de la valeur de la tension de grille : les régimes d'inversion faible (sous le seuil) et d'inversion forte (au-dessus du seuil). Chacun de ces régimes fait apparaître trois sous-régimes qui dépendent de la valeur de la tension de drain : le régime « ohmique » pour lequel la densité de porteurs est uniforme le long du canal (dans ce cas  $V_D$  est très faible, c'est à dire très inférieure à  $2\phi_f$ ). Le transistor se comporte comme une résistance variable où le courant de drain «  $I_{DLIN}$  » augmente linéairement par rapport à la tension de grille et a pour expression (1.4) :

$$I_{DLIN} = \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot ((V_G - V_T)V_D - \frac{V_D^2}{2}) \quad (1.4)$$

Dans le régime « saturé », le courant de drain devient indépendant de  $V_D$ . Dans ce cas, la densité de porteurs au niveau du drain devient très faible (par rapport à celle au niveau de la source) et on dit que le canal est pincé. Ce régime apparaît pour  $V_D > V_{DSAT}$ , définie comme la tension de saturation et sa valeur dépend de  $V_G$ . Dans ce cas, le courant de drain noté  $I_{DSAT}$  se stabilise et a pour expression (1.5) :

$$I_{DSAT} = \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot \frac{(V_G - V_T)^2}{2} \quad (1.5)$$

Le troisième régime, appelé régime « non linéaire » ou encore « quadratique » est un régime intermédiaire pour lequel le canal n'est pas uniforme entre la source et le drain.

Dans ces différentes équations,  $\mu$  représente la mobilité des porteurs dans la couche d'inversion. Son expression valable en régime de forte inversion et ohmique est donnée dans l'équation (1.6),  $\mu_0$  représentant la mobilité des porteurs de charge sous faible champ électrique et  $\theta_1/\theta_2$  les coefficients liés à la réduction de la mobilité.

$$\mu = \frac{\mu_0}{1 + \theta_1(V_G - V_T) + \theta_2(V_G - V_T)^2} \tag{1.6}$$

Les régimes de fonctionnement du transistor MOS se retrouvent sur les caractéristiques  $I_D$ - $V_D$  et  $I_D$ - $V_G$  présentées dans la Figure 1-4.

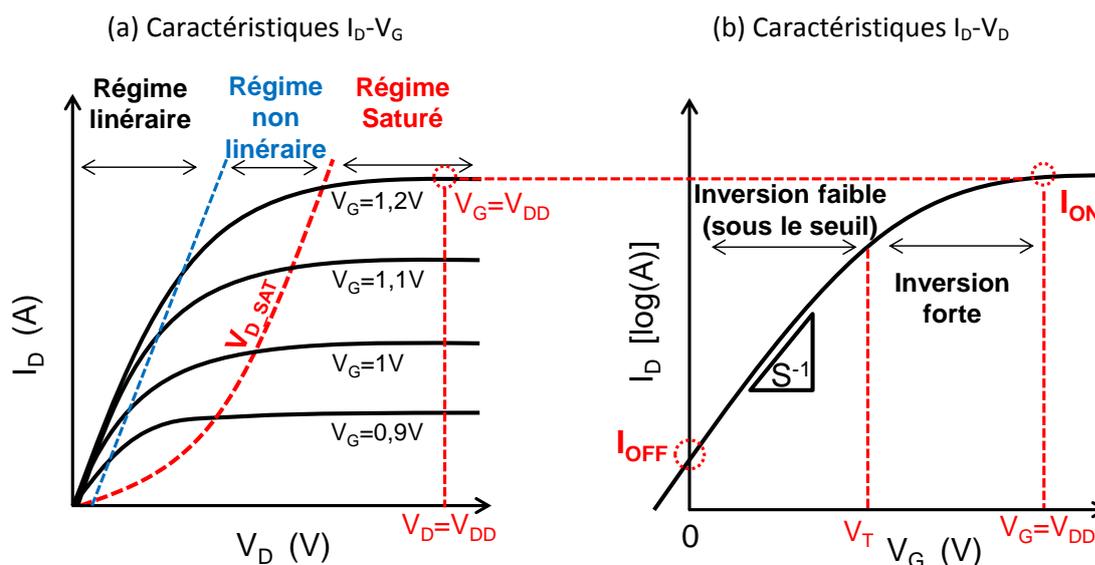


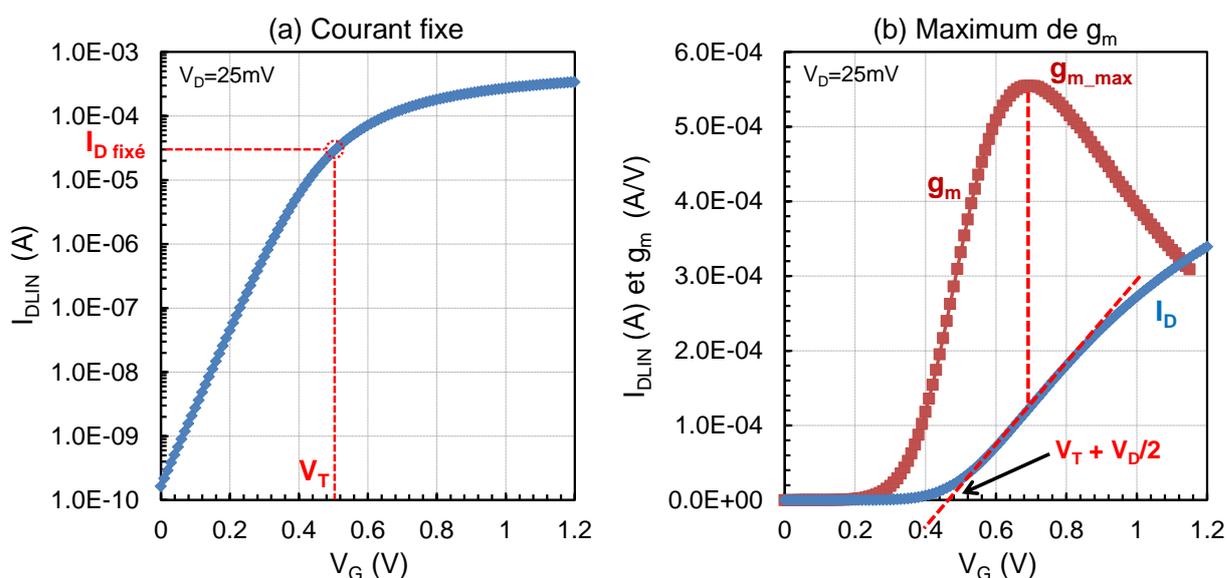
Figure 1-4 : Caractéristiques  $I_D$ - $V_D$  (a) et  $I_D$ - $V_G$  (b) d'un transistor MOS basse tension fabriqué en technologie e-NVM CMOS 80 nm

Dans la Figure 1-4.b, le courant  $I_{OFF}$  est défini comme le courant de fuite de drain mesuré à  $V_G = 0$  V et  $V_D = V_{DD}$ . Dans ce cas, le transistor est en régime d'inversion faible et saturé. Le courant  $I_{ON}$  est mesuré à  $V_G = V_D = V_{DD}$ , dans ce cas, le transistor est en régime de forte inversion et saturé.  $V_{DD}$  représente la tension d'alimentation typique de la technologie. Les conditions de mesure des courants de drain dans la technologie étudiée sont données dans le Tableau 1-1.

	$I_{OFF}$	$I_{DLIN}$	$I_{ON}/I_{DSAT}$
$V_G$ (V)	0	1,2	1,2
$V_D$ (V)	1,2	0,025	1,2

Tableau 1-1 : Conditions de mesure et notation du courant de drain d'un transistor MOS basse tension fabriqué en technologie e-NVM CMOS 80 nm

Pour mesurer la tension de seuil du transistor, deux méthodes sont utilisées dans ces travaux : la méthode de mesure à courant constant et la méthode de mesure tenant compte du maximum de la transconductance [Dobrescu'00]. Elles sont toutes deux rappelées dans la Figure 1-5. Les mesures de courant sont effectuées en régime ohmique.



**Figure 1-5 : Mesure de la tension de seuil des transistors par la méthode à courant fixe (a) ou par le maximum de la transconductance (b)**

La transconductance  $g_m$  d'un transistor MOS est définie comme la dérivée partielle du courant de drain par rapport à la tension de grille (1.7).

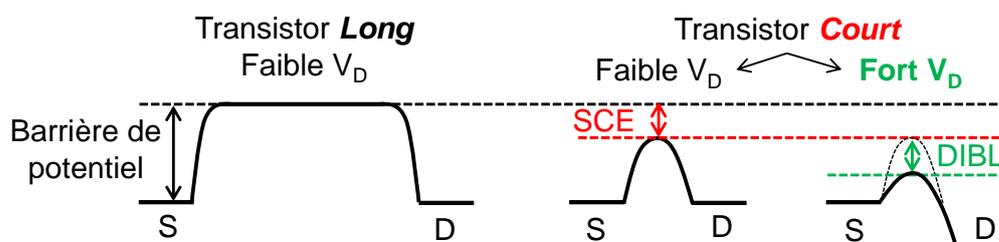
$$g_m = \frac{\partial I_D}{\partial V_G} \quad (1.7)$$

### 1.1.C Les effets parasites associés à la réduction des échelles du transistor

Lorsque la longueur de grille des transistors MOS devient submicronique, des effets parasites viennent modifier leur comportement électrique :

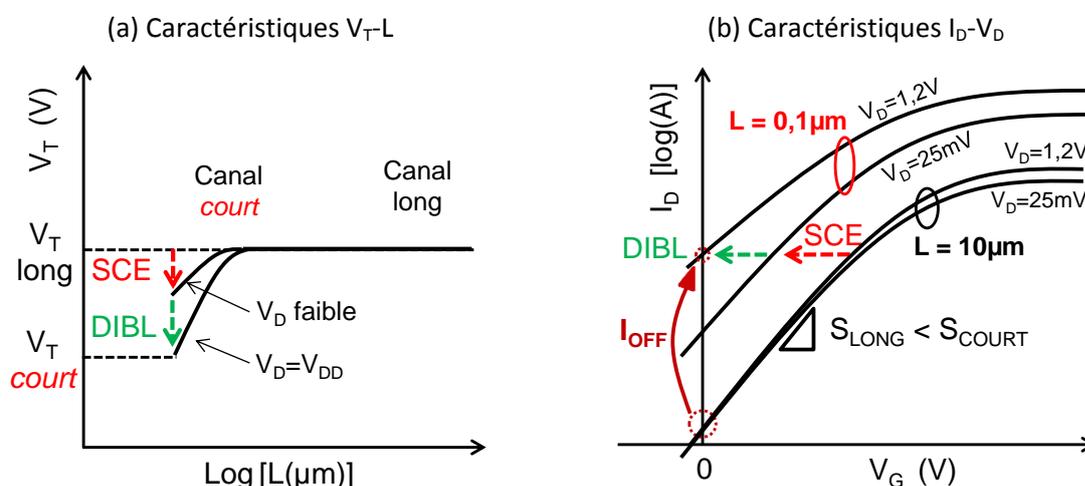
- L'effet canal court, connu sous le nom de SCE (« Short Channel Effect ») : la réduction de la longueur de grille conduit à une superposition des zones de charges d'espace des jonctions S/D. Les charges de désertion au niveau des jonctions ne sont alors plus entièrement contrôlées par la grille.
- L'abaissement de la barrière de potentiel par la tension appliquée sur le drain, connu sous le nom de DIBL (« Drain Induced Barrier Lowering »). L'augmentation de la tension de drain  $V_D$  (et du champ électrique latéral) implique que la charge d'inversion devient aussi contrôlée par le drain (en complément de la grille). Il en résulte une augmentation du courant de drain dans le régime de saturation (en inversion faible).

Ces deux phénomènes ont la même incidence : ils abaissent la barrière de potentiel que constitue le canal entre la source et le drain du transistor comme le montre la Figure 1-6.



**Figure 1-6 : Abaissement de la barrière de potentiel engendré par la réduction de la longueur de grille (SCE) et de la polarisation de drain (DIBL)**

L'effet SCE est donc quantifié par la différence entre le  $V_T$  d'un transistor long et celui d'un transistor court à faible  $V_D$ . L'effet DIBL est lui quantifié par la différence entre le  $V_T$  d'un transistor court mesuré à faible  $V_D$  ( $\sim 25\text{mV}$ ) et celui mesuré à fort  $V_D$  ( $= V_{DD}$ ). Ces deux effets s'additionnent et se traduisent par une diminution importante de la tension de seuil  $V_T$  du transistor (Figure 1-7.a) et une augmentation du courant  $I_{OFF}$  (Figure 1-7.b).



**Figure 1-7 : Impact des effets canaux courts SCE et DIBL sur les caractéristiques  $V_T$ -L (a) et  $I_D$ - $V_G$  (b)**

Les effets canaux courts ont donc pour conséquence une dégradation de la pente sous le seuil (S) liée à un contrôle de moins en moins efficace de la grille sur le courant de drain. La tension de seuil d'un transistor court peut donc s'exprimer en fonction de la tension de seuil d'un transistor long moins les contributions apportées par les effets SCE et DIBL (1.8) [Skotnicki'08] :

$$V_{T\_COURT} = V_{T\_LONG} - SCE - DIBL \quad (1.8)$$

Pour limiter ces effets parasites, les implants S/D LDD (« Lightly Doped Drain ») et les implants poches (« pocket ») ont été ajoutés aux procédés de fabrication submicroniques. L'implant S/D LDD réalisé avec une concentration de dopants moins importante que l'implant S/D HDD (« Highly Doped Drain ») permet de limiter le champ électrique dans les zones de recouvrement. L'implantation des poches, réalisée avec une inclinaison pour mieux cibler la zone à doper, est utilisée pour augmenter localement la concentration en dopants du canal proche des zones S/D et ainsi limiter l'effet canal court (par un meilleur contrôle de la tension de seuil des transistors). Nous reviendrons sur ces deux implants dans la description du procédé de fabrication.

## I.2 Le procédé de fabrication e-NVM CMOS 80 nm développé par STMicroelectronics

### I.2.A Les principaux types de transistors MOS

Les circuits actuels fabriqués par STMicroelectronics en technologie e-NVM CMOS 80 nm sont principalement réalisés à partir de trois types de transistors (dont certaines caractéristiques sont données au Tableau 1-2) :

Zone de fonctionnement	LV (« Low Voltage »)		HV (« High Voltage »)
Dénomination des transistors	GO1	GO2	
Principales utilisations	Circuits numériques, périphérie mémoires, mémoire SRAM	Circuits analogiques	Circuits analogiques Périphérie mémoires NVM
Epaisseur d'oxyde $T_{ox}$ [Å]	21	65	150
Tension d'alimentation $V_{DD}$ [V]	1,2	3,3	5 - 10

**Tableau 1-2 : Les principaux types de transistors MOS présents dans la technologie e-NVM CMOS 80 nm**

- **Les transistors LV** (« Low Voltage ») ont un oxyde de grille GO1 (« Gate Oxide 1 ») de faible épaisseur (21 Å) qui leur permet d'avoir un courant  $I_{ON}$  important. Ils sont essentiellement utilisés dans la partie numérique des circuits et plus précisément à l'intérieur des cellules standards élémentaires (portes NAND, NOR...). Ils sont aussi utilisés dans la mémoire SRAM ainsi que dans la périphérie des autres mémoires comme la mémoire Flash. **Ce sont ces transistors que nous étudions dans ce manuscrit.**
- Les transistors GO2 ont un oxyde de grille plus épais de 65 Å qui leur permet de tenir des tensions d'alimentation plus élevées allant jusqu'à 3,3 V. Ils sont principalement utilisés dans les circuits analogiques.
- Les transistors haute tension HV (« High Voltage ») sont capables de tenir des tensions d'alimentation allant jusqu'à 9 V grâce à un oxyde de grille encore plus épais (150 Å). Ils sont essentiellement utilisés dans les circuits analogiques et dans la périphérie des mémoires pour acheminer les hautes tensions permettant l'écriture et l'effacement des données.

Pour finir, on peut aussi noter la présence des transistors NVM qui constituent les points mémoires.

## I.2.B Le procédé de fabrication e-NVM CMOS 80 nm

Les principales étapes de fabrication des transistors MOS et NVM sont présentées dans la Figure 1-8.

Un zoom sur le transistor GO1 est aussi ajouté.

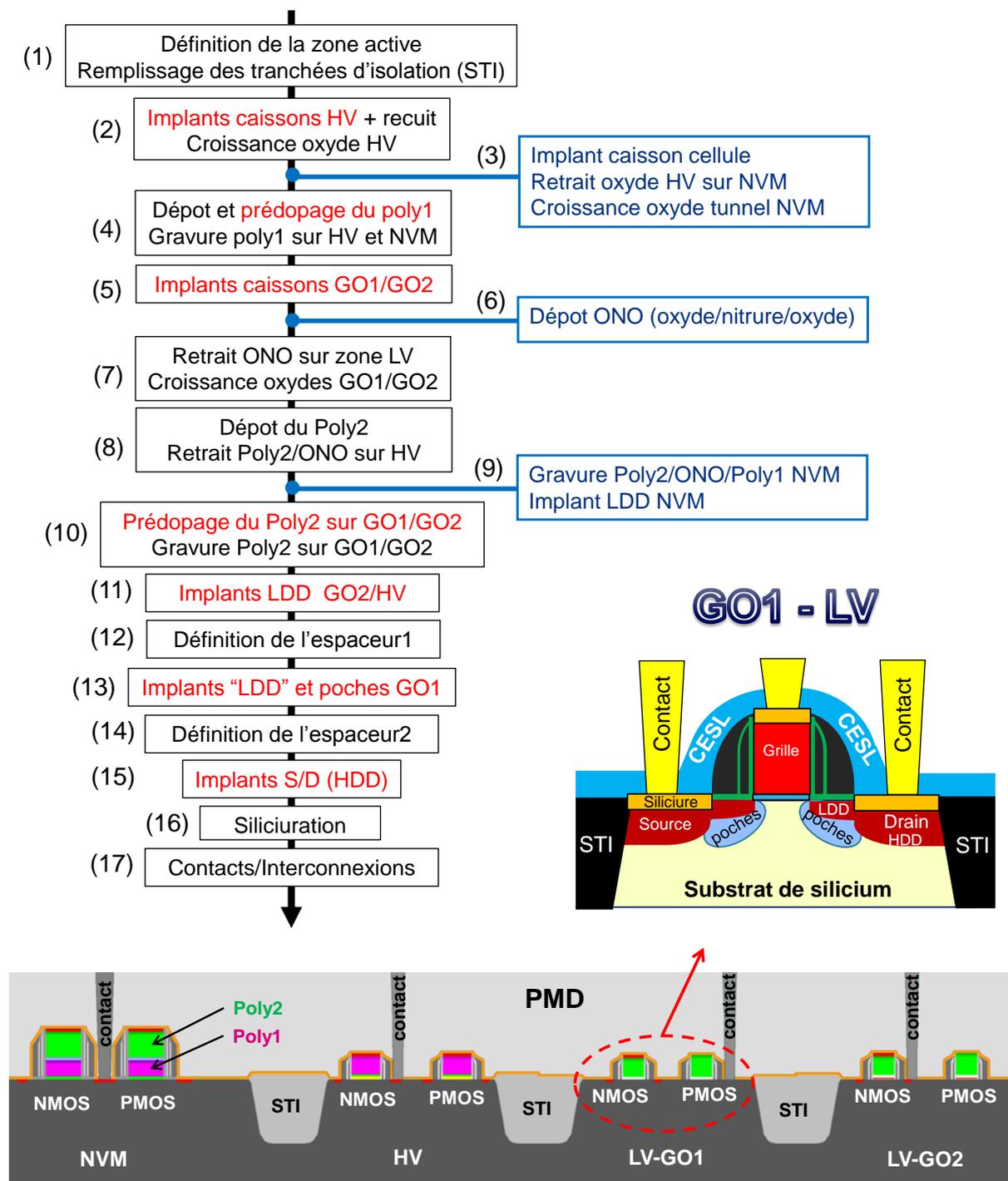


Figure 1-8 : Etapes de fabrication et représentation schématique des transistors MOS (LV, HV) et NVM fabriqués sur une plate-forme technologique e-NVM

Les étapes successives sont les suivantes :

- 1) Définition des zones actives des transistors et remplissage des tranchées d'isolation peu profondes STI (« Shallow Trench Isolation ») avec un oxyde permettant d'isoler électriquement les transistors entre eux

- 2) Implantation des caissons et croissance de l'oxyde des transistors HV
- 3) Implantation des caissons de la cellule puis retrait de l'oxyde HV sur les transistors NVM avant de faire croître l'oxyde tunnel de la cellule
- 4) Dépôt et pré-dopage du poly-silicium 1 (Poly1) puis retrait du poly1 dans les zones LV et définition des transistors HV et NVM
- 5) Implantation des caissons GO1 et GO2 en plusieurs étapes (en fonction de la technologie et des tensions de seuil désirées). Pour des applications nécessitant des consommations statiques faibles, nous utilisons généralement les transistors de type HVT (« High  $V_T$  ») et UHVT (« Ultra High  $V_T$  ») possédant des tensions de seuil plus élevées. Dans ce cas-là, l'implantation des caissons est réalisée en plusieurs étapes.
- 6) Dépôt de la couche d'ONO (« Oxide/Nitride/Oxide ») permettant d'isoler la grille 1 (grille flottante) de la grille 2 dans la zone mémoire
- 7) Retrait de la couche d'ONO dans la partie LV et croissance des oxydes GO2 et GO1 par oxydation ISSG (« In-Situ Steam Generation »)
- 8) Dépôt de la grille 2 en poly-silicium (poly2) puis retrait du poly2 et de l'ONO sur les transistors HV
- 9) Gravure de l'empilement poly2/ONO/poly1 dans la zone mémoire pour définir l'auto-alignement de la cellule et implantation LDD (« Lightly Doped Drain ») de la cellule
- 10) Pré-dopage et gravure du poly2 dans la partie GO1/GO2 (définition des transistors)
- 11) Implantation des zones LDD HV et GO2
- 12) Définition de l'espaceur1 (« offset spacer ») d'environ 20 nm de large
- 13) Implantation LDD des zones S/D et implantation des réservoirs poches (« pocket ») sur les transistors GO1. Ces deux implants permettent de mieux contrôler l'effet canal court lié au rétrécissement du canal sous la grille entraînant une réduction importante de la tension de seuil. Les réservoirs poches ont l'avantage d'augmenter la tension de seuil des transistors courts sans modifier celle des transistors longs. L'implantation est réalisée avec un angle d'incidence plus important permettant de mieux cibler la zone à doper.
- 14) Définition de l'espaceur2 (« spacer2 ») oxyde/nitride d'environ 60 nm de large
- 15) Dernière étape d'implantation des zones S/D GO1 à forte dose (« Highly Doped Drain » - HDD). La dose utilisée est supérieure à celle du dopage LDD.
- 16) Dépôt d'une couche de cobalt pour la siliciuration. Cette étape permet de réduire les résistances en surface des zones à contacter (grille et S/D).
- 17) Gravure et remplissage des contacts avec du tungstène, et des lignes métalliques avec du cuivre

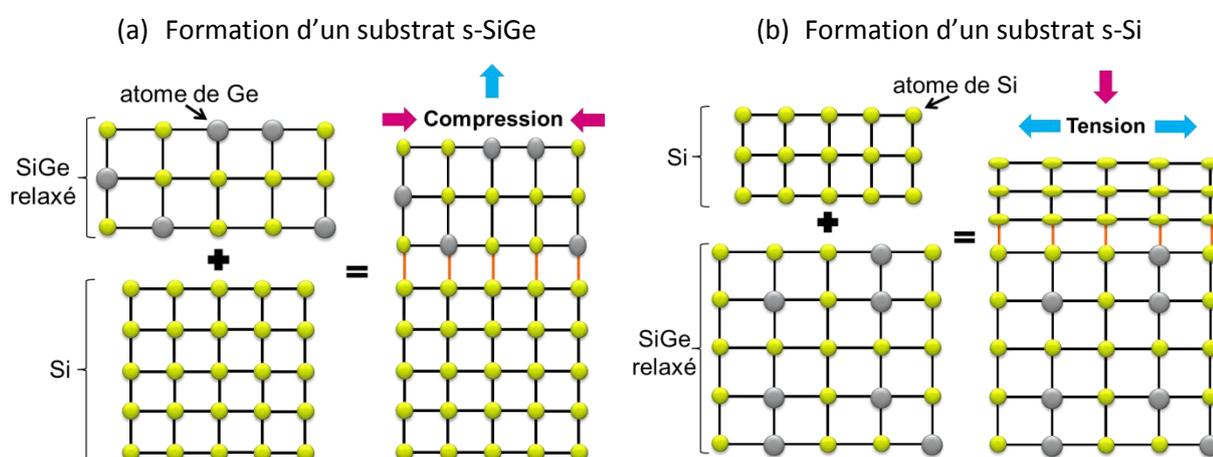
## II Les solutions technologiques permettant d'améliorer les performances des transistors MOS

L'ingénierie des contraintes mécaniques s'est fortement développée ces dernières années pour améliorer les propriétés de transport intrinsèque des transistors en jouant sur la mobilité des porteurs. Les contraintes les plus importantes peuvent être induites soit par les procédés de fabrication (matériaux entourant ou en contact avec le canal), soit directement par le substrat (matériaux constituant le canal). Dans la littérature, il a été largement démontré qu'une contrainte en tension parallèle au canal permet d'améliorer les performances des transistors NMOS en augmentant la mobilité des électrons alors qu'une contrainte en compression permet d'améliorer la mobilité des trous. L'objectif de cette seconde partie est de présenter l'état de l'art des différentes techniques utilisées pour augmenter la mobilité.

### II.1 Les contraintes mécaniques induites par le substrat

#### II.1.A Les canaux épitaxiés contraints

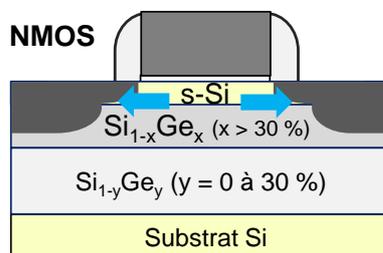
Le silicium n'est pas le seul matériau semi-conducteur intéressant pour la fabrication des transistors. Depuis le début des années 90, des travaux ont montré l'intérêt de réaliser des canaux épitaxiés contraints en regroupant la maille de deux matériaux différents. L'alliage Silicium-Germanium (SiGe) est le plus utilisé dans l'industrie de la microélectronique pour réaliser des canaux contraints. En effet, le paramètre de maille du germanium ( $a = 5,658 \text{ \AA}$ ) étant plus gros que celui du silicium ( $a = 5,431 \text{ \AA}$ ), l'alliage SiGe possède un paramètre de maille plus grand que celui du silicium. Il est donc possible d'introduire une contrainte en compression bi-axiale dans les directions longitudinales (parallèle) et transversales (perpendiculaire) au canal de conduction en utilisant une couche de SiGe relaxée sur un substrat de silicium (s-SiGe) comme le montre la Figure 1-9.a. Inversement, pour créer une contrainte en tension dans le canal, il faut utiliser une couche de silicium sur un substrat composé de SiGe relaxé (s-Si) comme le montre la Figure 1-9.b.



**Figure 1-9 : Représentation schématique de l'état de contrainte lors de l'insertion d'une couche de SiGe relaxée sur un substrat de silicium « s-SiGe » (a) ou de l'insertion d'une couche de silicium sur un substrat de SiGe relaxé « s-Si » (b)**

### II.1.A.i Formation d'un substrat s-Si (NMOS)

L'utilisation d'un substrat s-Si permet donc d'augmenter les performances des transistors NMOS en créant une contrainte mécanique en tension dans le canal. En général, pour réaliser ce type de transistor, un substrat de silicium massif est d'abord utilisé. Une couche de  $\text{Si}_{1-y}\text{Ge}_y$  avec une concentration graduelle et croissante de germanium est ensuite déposée par épitaxie. Ceci permet d'éliminer progressivement les dislocations en bord de plaque générées pendant l'épitaxie mais aussi de réduire les défauts présents à la surface de la couche de  $\text{Si}_{1-y}\text{Ge}_y$ . Puis, une couche plus fine de  $\text{Si}_{1-x}\text{Ge}_x$  possédant une concentration fixe de Ge (supérieure à celle de la couche graduelle) est déposée. C'est sur cette dernière que vient s'ajouter la couche de silicium qui permet de créer la contrainte en tension dans le canal du transistor NMOS représenté dans la Figure 1-10. Plus la concentration en germanium dans la couche  $\text{Si}_{1-x}\text{Ge}_x$  est grande, plus le gain en mobilité est important (car la contrainte dans le canal augmente) [Hoyt'02], [Rim'03].



**Figure 1-10 : Fabrication d'un substrat s-Si contraint en tension pour augmenter les performances des transistors NMOS**

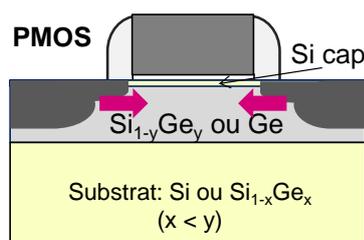
Un gain de 80 % sur la mobilité des électrons est démontré par [Welser'94] avec ce type de substrat et une couche de  $\text{Si}_{1-x}\text{Ge}_x$  contenant 30 % de germanium. Un gain en mobilité de l'ordre de 70 % est obtenu plus tard par [Rim'00], [01] pour des longueurs de grille plus faibles et plus représentatives par rapport à ces travaux (100 et 70 nm). La diminution du gain en mobilité liée à la réduction de la longueur de grille est ensuite confirmée par [Lime'05]. Un gain proche de 20 % sur le courant  $I_{ON}$  est obtenu par [Rim'02] malgré 110 % de gain en mobilité démontré. En effet, pour les transistors courts, la vitesse de saturation ( $V_{SAT}$ ) et les résistances d'accès peuvent limiter le gain en courant qui n'est jamais aussi important que le gain observé sur la mobilité. Un gain proche de 25 % sur le courant  $I_{ON}$  est ensuite obtenu par [Goo'03] sur un transistor NMOS fabriqué avec une longueur de grille allant jusqu'à 35 nm et une couche de  $\text{Si}_{0.8}\text{Ge}_{0.2}$ . Pour continuer à augmenter le gain en courant, l'épaisseur de la couche de silicium du canal doit encore diminuer et la concentration en germanium dans la couche SiGe doit encore augmenter.

L'alliage Silicium-Carbone (Si:C) a aussi été étudié dans quelques travaux pour augmenter les performances des transistors NMOS. Le paramètre de maille du carbone ( $a = 3,567 \text{ \AA}$ ) étant bien inférieur à celui du silicium ( $a = 5,431 \text{ \AA}$ ), il est possible d'utiliser ce type de matériau pour introduire une contrainte en tension dans le canal en faisant croître une couche de Si:C sur un substrat de silicium. Cependant, une fine couche de silicium (2 à 6 nm) appelée « Si cap » est encore nécessaire sur la couche de Si:C pour assurer la croissance d'un oxyde  $\text{SiO}_2$  de meilleure qualité. Aujourd'hui, ce

type de procédé est surtout intéressant pour améliorer les effets parasites (DIBL, SCE) sur les transistors courts [Ernst'02]. En réduisant la dispersion des charges à l'interface, un léger gain en mobilité et en courant  $I_{ON}$  est même démontré dans [Ernst'03]. Toutefois, le gain en mobilité observé sur les électrons reste encore bien en dessous des espérances, notamment à cause de la création de pièges par le carbone en site interstitiel.

### II.1.A.ii Formation d'un substrat s-SiGe (PMOS)

L'utilisation d'un substrat s-Si ou s-Si:C n'est pas favorable au transistor PMOS. Pour augmenter la mobilité des trous, il faut utiliser une couche de SiGe sur un substrat de silicium (ou une couche de Ge sur un substrat de SiGe) pour générer une contrainte en compression (Figure 1-9.a). Comme pour le transistor NMOS conçu avec une couche de Si:C, il faut également ajouter une fine couche de silicium (Si cap) sur la couche de germanium pour améliorer l'interface entre l'oxyde et le silicium (dégradée en présence de germanium). La couche de silicium doit être assez fine (2 à 3 nm) pour éviter une conduction parasite des trous se déplaçant moins vite dans le silicium. Le schéma d'un transistor PMOS fabriqué avec ce type de substrat contraint en compression est présenté dans la Figure 1-11.



**Figure 1-11 : Fabrication d'un substrat s-SiGe ou s-Ge contraint en compression pour augmenter les performances des transistors PMOS**

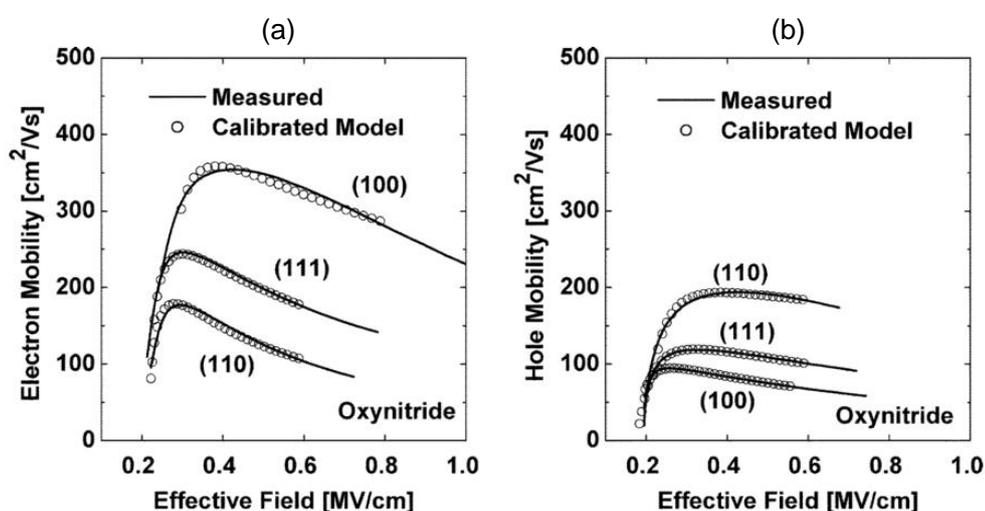
Les premiers travaux utilisant ce type de substrat montrent des gains en mobilité et en transconductance [Garone'91], [Kesan'91] dépassant 50 % sur les transistors PMOS pour des longueurs de grille de 0,25  $\mu\text{m}$ . Une multiplication par x8 de la mobilité des trous est mise en évidence par [Lee'01] avec l'utilisation d'un substrat s-Ge formé de Sicap/Ge/Si<sub>0,3</sub>Ge<sub>0,7</sub>, ce qui démontre une marge d'amélioration bien meilleure que celle observée sur la mobilité des électrons (x2). Une augmentation de 25 % du courant  $I_{ON}$  est observée par [Yeo'00] pour des longueurs de grille de 100 nm. Plus tard, un gain de plus de 50 % sur le courant  $I_{ON}$  est mis en relief par [Liu'06] sur un transistor fabriqué en technologie 45 nm. Un courant de 850  $\mu\text{A}/\mu\text{m}$  est même atteint en combinant un canal en SiGe avec une couche de CESL contrainte en compression (voir II.2.D), ce qui confirme tout l'intérêt de cette technique pour les technologies avancées (40 nm et en dessous).

Cependant, pour augmenter à la fois la mobilité des électrons et la mobilité des trous, il faut donc s'orienter vers une architecture à canaux duaux contraints. C'est-à-dire un canal s-Si pour le transistor NMOS et un canal s-SiGe ou s-Ge pour le transistor PMOS. Ce type d'architecture engendre un coût de fabrication bien plus important puisque deux étapes de photolithographie supplémentaires sont nécessaires.

## II.1.B L'orientation cristalline du canal

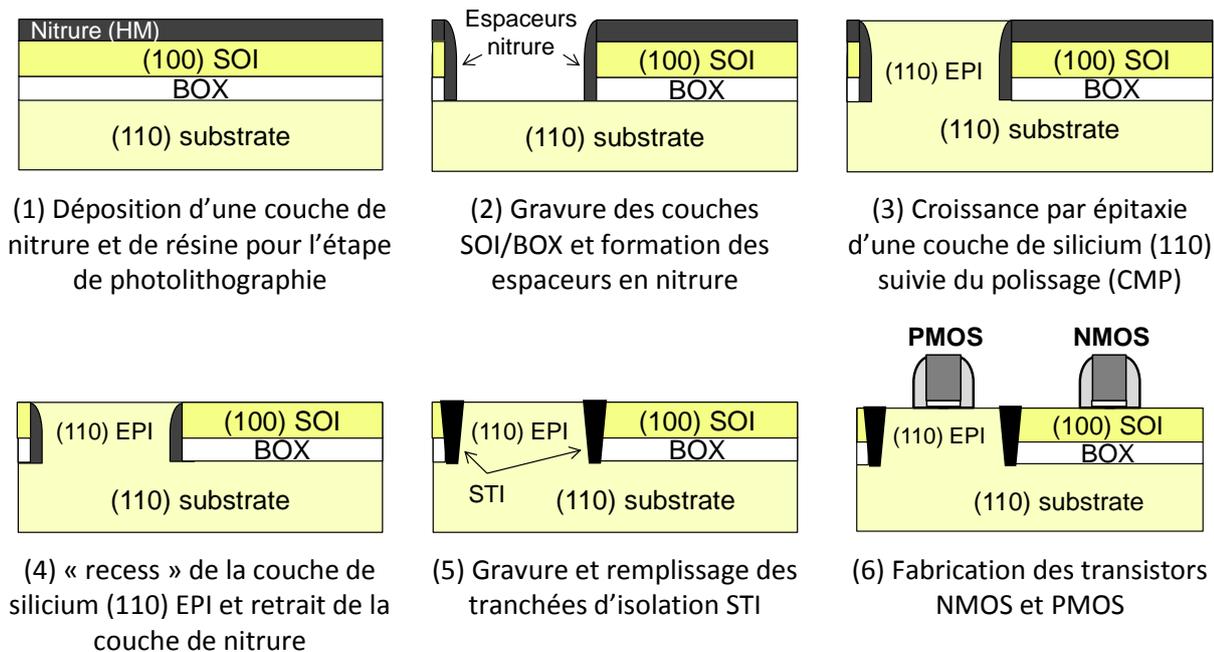
### II.1.B.i Les différents types de plan

Le choix de l'orientation cristalline du canal est un autre moyen permettant de modifier la mobilité des porteurs. La mobilité des trous et des électrons sur les trois différents types de substrat (100), (110) et (111) a déjà été beaucoup étudiée dans le passé [Chang'04], [Irie'04]. Traditionnellement, les circuits CMOS ont toujours été fabriqués avec un substrat (100) car c'est le plan dans lequel la mobilité des électrons est la plus forte (Figure 1-12.a). Les trous ont la mobilité la plus importante dans le plan (110) avec la direction  $\langle 110 \rangle$ . Le type de substrat retenu pour la fabrication des circuits est donc avantageux pour la mobilité des électrons mais désavantageux pour la mobilité des trous (divisé par 2 sur un substrat de type (100) [Chang'04]).



**Figure 1-12 : Mobilité des électrons (a) et des trous (b) dans les différents plans cristallins (100), (110) et (111) d'après [Chang'04]**

Sur la plate-forme technologique idéale, les transistors NMOS seraient fabriqués suivant le plan cristallin (100) et les transistors PMOS suivant le plan (110). Des travaux menés par IBM ont déjà montré des gains significatifs sur le courant  $I_{ON}$  des transistors PMOS (+ 45 %) fabriqués en technologie 80 nm sur SOI (« Silicon On Insulator ») en utilisant une orientation hybride HOT (« Hybride Orientation Technology ») intégrant les deux types de substrats [Yang'03], [07]. Le procédé de fabrication HOT SOI est d'ailleurs présenté dans la Figure 1-13. Une couche de nitrure est déposée pour réaliser l'étape de photolithographie afin de définir les zones actives des transistors PMOS (1). Une gravure sèche est ensuite réalisée pour retirer la couche d'active SOI et la couche d'oxyde enterrée BOX (« Buried Oxyde ») sur la partie PMOS (2). Dans l'étape (3), la couche de silicium (110) EPI est réalisée par épitaxie pour former le canal des transistors PMOS (de même orientation cristalline que le substrat). Un polissage mécano-chimique (CMP) est utilisé pour supprimer l'excès de silicium. Une oxydation thermique est ensuite réalisée pour égaler la hauteur de la couche de silicium épitaxiée par rapport à la couche de SOI (4). Les étapes suivantes (5 et 6) sont les mêmes que le procédé CMOS standard.



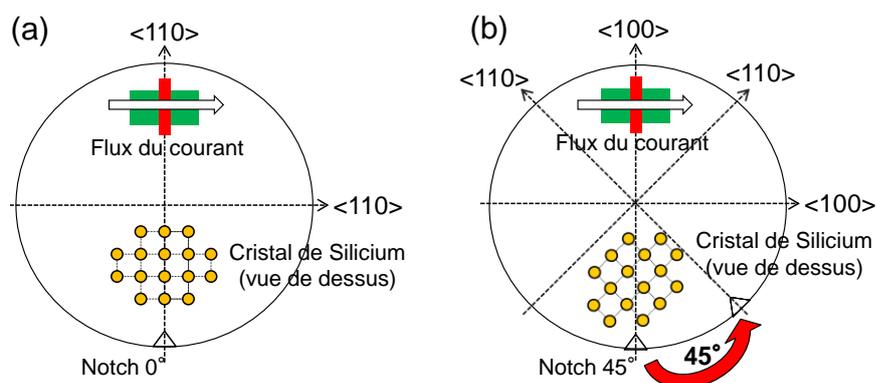
**Figure 1-13 : Étapes de fabrication d'une technologie CMOS à orientation hybride (HOT) [Yang'03], [07]**

La même étude est réalisée deux ans plus tard sur un nœud technologique 45 nm et confirme ces résultats avec près de 30 % de gain en courant  $I_{ON}$  observé sur les transistors PMOS [Sheraw'05]. Une étude similaire, une nouvelle fois menée par IBM mais sur une technologie « bulk » utilise la technique DSB (« Direct Silicon Bonded ») pour coller un substrat (110) sur un substrat (100) [Sung'05]. Une phase d'épitaxie solide est ensuite nécessaire pour convertir le substrat (110) en (100) dans la zone où seront fabriqués les transistors NMOS. Néanmoins, probablement pour des raisons de coût, ce type de technologie n'est toujours pas utilisé pour la fabrication de circuits CMOS. Outre une étape de photolithographie supplémentaire pour protéger les zones où sont fabriqués les transistors NMOS ou PMOS, elle nécessite l'utilisation de plaquettes de silicium contenant deux types de substrat.

### II.1.B.ii L'orientation du canal dans le plan (100)

Dans les plus anciennes technologies, c'est le substrat (001) ou (100) avec l'orientation cristalline  $\langle 110 \rangle$  qui s'impose comme étant le plus utilisé. En effet, il reste le plan le plus favorable pour la mobilité des électrons. D'autre part, un tel substrat se clive préférentiellement dans les directions  $\langle 110 \rangle$ . Ce qui offre une facilité pour la découpe des puces qui ont leurs bords orientés dans cette direction.

[Sayama'99] est le premier à démontrer des gains significatifs sur le courant  $I_{ON}$  (+15%) des transistors PMOS en tournant le wafer à 45°. Dans cette configuration, la direction du canal devient  $\langle 100 \rangle$  au lieu de  $\langle 110 \rangle$  en standard, comme peut le montrer la Figure 1-14.



**Figure 1-14 : Représentation schématique des deux types de substrat  $\langle 100 \rangle$  utilisés dans les circuits CMOS : l'orientation cristalline standard  $\langle 110 \rangle$  (a) et l'orientation cristalline tournée à  $45^\circ$   $\langle 100 \rangle$  (b)**

De nombreux travaux ont ensuite confirmé ces résultats sur des nœuds plus avancés. Un gain de 20 % en courant  $I_{ON}$  a été observé par [Chang'04], [Komoda'04] sur des transistors PMOS conçus avec une longueur de grille de 45 nm. En effet, une réduction de la masse effective des trous est à l'origine du gain en mobilité observé dans la direction  $\langle 100 \rangle$ . Ces travaux montrent également que les performances des transistors NMOS ne sont pas impactées par la modification de l'orientation cristalline. En effet, la masse effective des électrons est la même dans les deux directions étudiées.

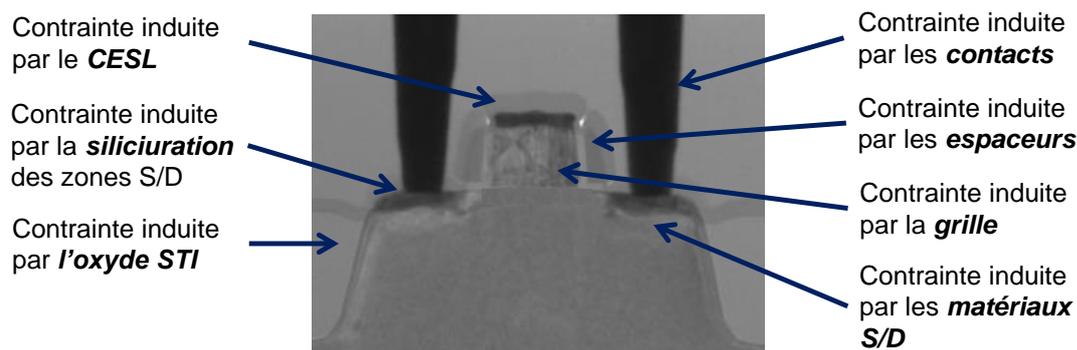
L'intérêt de bien choisir l'orientation cristalline du substrat devient donc primordiale dans les technologies avancées et peut apporter des gains en courant importants sur les transistors PMOS sans dégrader les performances des transistors NMOS. D'autre part, la découpe des puces se faisant désormais par laser, il n'y a plus d'obstacle pratique à l'utilisation d'une nouvelle orientation cristalline du substrat.

## II.2 Les contraintes mécaniques induites par les procédés de fabrication

De nos jours, l'ingénierie des contraintes induites par les procédés de fabrication est largement utilisée pour augmenter les performances des transistors MOS. Dans les technologies récentes (40 nm et en dessous), l'augmentation du courant de fuite de grille à travers l'isolant ne permet plus de réduire l'épaisseur de l'oxyde de grille d'un facteur assez important pour améliorer le contrôle électrostatique du canal. Pour offrir des gains en performance importants, les technologues utilisent et associent plusieurs types de contraintes induites par les procédés de fabrication en fonction des critères de la technologie développée (performance, coût de fabrication, consommation, etc ...).

L'intensité et le signe des contraintes générées dans le canal des transistors vont dépendre fortement des propriétés physiques et mécaniques du matériau utilisé pour créer la contrainte (module de Young, coefficient de dilatation, coefficient de Poisson, ...) mais aussi du bilan thermique et des techniques de dépôt utilisées. L'impact des contraintes sur le courant de drain du transistor dépend quant à lui de la géométrie du transistor. Plus la géométrie du transistor diminue (longueur de grille, largeur des zones S/D, ...), plus la contrainte dans le canal devient importante. Les

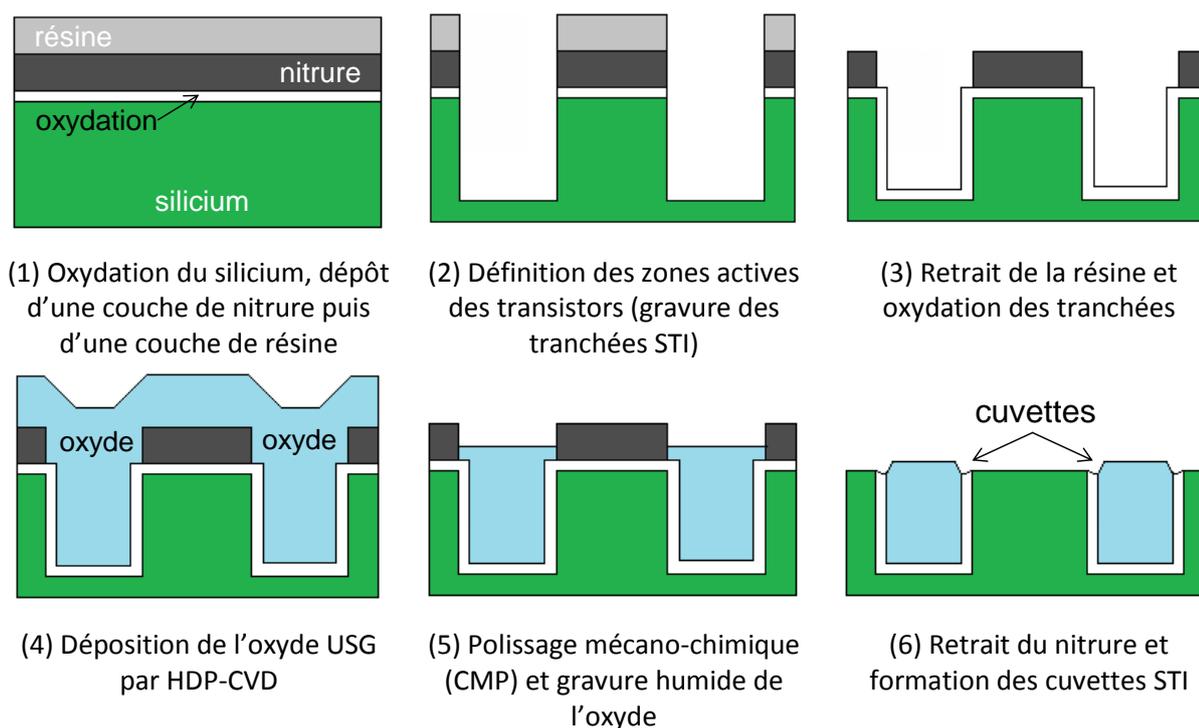
principales contraintes utilisées pour augmenter la vitesse de déplacement des porteurs dans les technologies CMOS avancées sont rappelées dans la Figure 1-15.



**Figure 1-15 : Les principales contraintes induites par les procédés de fabrication lors de la fabrication d'un transistor MOSFET**

## II.2.A Contrainte induite par les tranchées d'isolation « STI »

L'utilisation des tranchées d'isolation peu profondes (STI) dans les technologies récentes a pour but principal d'isoler électriquement les transistors. Les différentes étapes de fabrication des tranchées d'isolation sont présentées dans la Figure 1-16.



**Figure 1-16 : Etapes de fabrication des tranchées d'isolation peu profondes (STI)**

Durant la première étape (1), la plaquette de silicium voit une oxydation sur laquelle est déposée une couche de nitrure qui permettra l'arrêt du polissage mécano-chimique intervenant dans l'étape (5) et une couche de résine permettant la photolithographie. Les zones actives (transistors) sont ensuite définies lors de l'étape de gravure des tranchées STI (2). Puis, la résine est retirée et suit une nouvelle étape d'oxydation sur les bords des tranchées permettant d'éviter les dislocations et d'améliorer la qualité de l'interface entre les zones actives et le STI (3). L'oxyde USG (« Undoped Silicate Glass ») est

ensuite déposé par HDP-CVD (« High Density Plasma Chemical Vapor Deposition ») à haute température (700°C) dans le STI et permet de séparer et isoler les transistors entre eux (4). La cinquième étape (5) consiste à retirer l'oxyde en dehors des tranchées par procédé CMP (« Chemical Mechanical Polishing »). Le polissage est utilisé pour supprimer les résidus d'oxyde, mais aussi pour aplanir l'oxyde en haut des tranchées et pouvoir ainsi continuer l'empilement des prochains dépôts (poly-silicium, CESL, ..). Enfin, le nitrure est retiré par gravure humide et des cuvettes apparaissent à la jonction entre l'oxyde et le silicium, donnant naissance à des effets parasites [Sallagoity'95], [Schwantes'05].

L'oxyde USG déposé par HDP-CVD est employé pour le remplissage des tranchées dans les technologies « bulk », car il est reconnu pour être facile à polir et il se grave rapidement. Cependant, la contrainte induite par l'oxyde STI peut atteindre jusqu'à -400 MPa (en compression) [Morin'06]. Elle est donc favorable aux transistors PMOS mais peut réduire significativement les performances des transistors NMOS [Scott'99], [En'01] et impacter la diffusion des atomes de Bore [Miyamoto'04], [Sheu'05]. Dans les technologies plus récentes (< 65 nm), nécessitant des largeurs de tranchées encore plus fines pour augmenter la densité d'intégration, l'oxyde USG est remplacé par d'autres matériaux tels que des oxydes HARP (« High Aspect Ratio ») comme le O<sub>3</sub>-TEOS déposé par SACVD (« Sub-Atmospheric Chemical Vapor Deposition »). En plus, avec ce type d'oxyde, la contrainte induite dans le canal des transistors est moins compressive que celle induite par l'oxyde déposé par HDP-CVD [Al-Bayati'05], [Le Cam'06]. Un gain de 11 % sur le courant  $I_{ON}$  d'un transistor NMOS fabriqué en technologie 45 nm avec une orientation cristalline <100> et une largeur S/D minimale (0,175  $\mu\text{m}$ ) est même observé dans les travaux de [Le Cam'06]. En outre, par le choix de cette orientation cristalline, aucune dégradation du courant  $I_{ON}$  n'est observée sur le transistor PMOS, devenu insensible aux contraintes mécaniques dans l'orientation <100>. Ce type d'oxyde peut donc être très pertinent pour augmenter les performances des transistors NMOS sans dégrader celle des transistors PMOS, puisque, aucune étape de photolithographie supplémentaire n'est nécessaire.

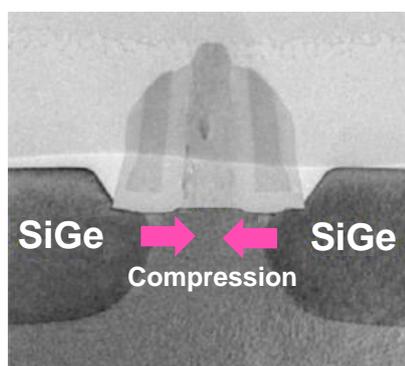
D'autres travaux ont aussi montré des gains intéressants en fabriquant des tranchées STI contenant un oxyde hybride formé de matériaux SOD (« Spin-On Dielectric ») et HDP [Iwai'04], [Ota'05]. Ces matériaux sont plutôt utilisés dans les technologies récentes (22 nm) afin d'augmenter l'aspect-ratio permettant la réalisation de nano-tranchées très profondes [Trivedi'09].

### **II.2.B Contrainte induite par les matériaux utilisés dans les S/D**

Toujours dans l'optique d'augmenter les performances des transistors, des solutions intégrant du carbone (C) et du germanium (Ge) dans les zones S/D des transistors permettent d'introduire des contraintes mécaniques en tension et en compression importantes dans le canal des transistors. Ces contraintes sont créées de façon identique à celles décrites à la section II.1.A, c'est-à-dire en associant deux matériaux de mailles différentes.

### II.2.B.i Epitaxie sélective en SiGe (PMOS)

Pour augmenter la mobilité des trous, une fois la grille du transistor gravée, une solution consiste à retirer une partie du silicium des zones S/D et de faire croître une couche de SiGe par épitaxie sélective pour obtenir un canal fortement contraint en compression [Ghani'03], [Mistry'04]. Une coupe TEM d'un transistor PMOS fabriqué avec ce type de procédé, aussi connu sous le nom de e-SiGe (« embedded-SiGe ») est présentée dans la Figure 1-17.



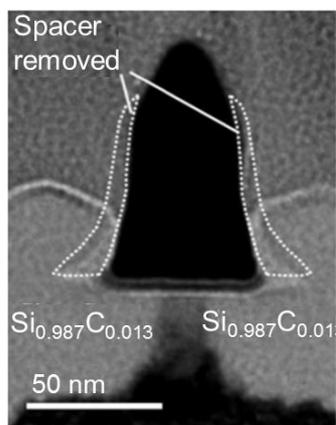
**Figure 1-17 : Coupe TEM d'un transistor PMOS fabriqué avec l'intégration du SiGe dans les zones S/D pour augmenter la contrainte mécanique en compression dans le canal [Ghani'03], [Mistry'04]**

Un gain de plus de 25 % sur le courant  $I_{ON}$  est d'abord observé par [Ghani'03] qui utilise une couche de SiGe contenant 17 % de germanium sur une plate-forme technologique 90 nm. Plus tard, un gain en courant de saturation proche de 50 % est démontré par [Verheyen'05], [Washington'06] avec l'incorporation de plus de 20 % de germanium dans la couche SiGe sur des technologies 45 nm. Ces derniers, démontrent également un gain en courant  $I_{ON}$  pouvant atteindre jusqu'à 80 % avec l'utilisation d'une couche de CESL fortement contrainte en compression (voir II.2.D). Cette technique de fabrication reste une des solutions les plus prometteuses pour augmenter le courant  $I_{ON}$  des transistors PMOS dans les technologies les plus avancées. Des rapports  $I_{ON}/I_{OFF}$ , à ce jour encore inégalés, ont été démontrés dans les travaux de [Wang'08] avec l'utilisation des S/D en SiGe (sur une plate-forme « bulk » avec une grille en poly-silicium). Par ailleurs, des gains en  $I_{ON}$  bien plus importants (x3) sont aussi démontrés par [Ranade'05] et [Tateshita'06] avec l'utilisation de grilles métalliques sur des nœuds plus avancés (30 nm). Les gains obtenus sur les transistors dépendent essentiellement du pourcentage de germanium incorporé dans la couche de SiGe. Plus la concentration en Ge est importante, plus la contrainte en compression dans le canal est importante et peut atteindre jusqu'à -2 GPa. Cependant, à partir d'un certain pourcentage de germanium, des dislocations peuvent apparaître à la jonction entre le canal et les zones S/D pouvant donner naissance à des courants de fuite importants.

### II.2.B.i Epitaxie sélective en Si:C (NMOS)

Afin d'obtenir un canal fortement contraint en tension pour augmenter la mobilité des électrons, il faut déposer une couche de Si:C dans les zones S/D du transistor NMOS. Les étapes de fabrication sont identiques à la formation des S/D en SiGe. Le silicium des zones S/D est d'abord retiré sur

quelques dizaines de nanomètres de profondeur (~40 nm). Puis, les zones S/D sont remplies par une couche de Si:C réalisée par épitaxie sélective. Une coupe TEM d'un transistor NMOS fabriqué avec un canal contraint en tension est présentée dans la Figure 1-18.



**Figure 1-18 : Coupe TEM d'un transistor NMOS fabriqué avec l'intégration du Si:C dans les zones S/D pour augmenter la contrainte mécanique en tension dans le canal [Ang'04], [Chui'07]**

Un gain approximatif de 50 % de gain en courant  $I_{ON}$  est obtenu sur un transistor NMOS fabriqué avec une longueur de grille de 50 nm et une incorporation de carbone (1,3 %) dans les travaux menés par [Ang'04], [Chui'07].

Les solutions e-Si:C et e-SiGe sont aussi compatibles avec les technologies SOI (« Silicon On Insulator ») entraînant une contrainte encore plus importante dans le canal (qui est plus mince) et un meilleur contrôle des canaux courts. Des travaux récents ont déjà montré des résultats intéressants avec ce type de procédé (e-Si:C : [Ang'07] et e-SiGe [Cheng'09]).

Néanmoins, l'épithaxie sélective des zones S/D nécessite l'ajout d'une, voire de deux étapes de photolithographie supplémentaires (nécessaires pour la gravure et la croissance des zones S/D) qui augmentent le coût du procédé de fabrication. Ce type de contrainte est donc plutôt destiné à des technologies hautes performances (généralement associées à des coûts de fabrication importants).

### II.2.C Contrainte induite par la siliciuration

La siliciuration est une étape importante et indispensable pour les technologies récentes. Elle permet de réduire la résistance en surface des zones S/D et grille du transistor sur lesquelles se réaliseront les contacts (permettant la connexion avec le BEOL). En fonction de la technologie étudiée, une fine couche de titane, cobalt ou (plus récemment) nickel est déposée sur le silicium. Un recuit à 800°C est ensuite nécessaire pour former la couche de siliciure. Dans la technologie étudiée dans ce manuscrit (e-NVM CMOS 80 nm), la résistance carrée d'une active siliciurée (avec du cobalt) dopée N+ ou P+ est dix fois moins importante que la résistance d'active non siliciurée. La différence est même plus importante entre une grille de poly-silicium siliciurée et non siliciurée. Les matériaux utilisés pour créer la couche de siliciure ( $TiSi_2$ ,  $CoSi_2$ ,  $NiSi$ ) ont un coefficient d'expansion thermique supérieur à celui du silicium, ce qui induit une contrainte en compression sur les zones siliciurées. En réaction à

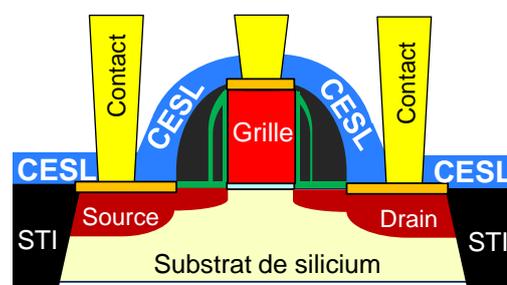
cette déformation, le canal sera donc contraint en tension (ce qui est favorable aux transistors NMOS). Dans les technologies plus anciennes, des contraintes importantes jusqu'à 300 MPa étaient introduites lors de l'étape de siliciuration avec le titane [Miura'98]. Des travaux ont montré que la diminution de l'épaisseur de titane et l'introduction du cobalt (d'épaisseur aussi plus faible) dans les technologies plus récentes ont permis de réduire l'intensité de la contrainte dans le canal par un facteur supérieur à deux [Miura'98], [Steegen'98].

Jusqu'à présent, aucune étude n'a encore démontré de réelle amélioration sur les performances des transistors NMOS (respectivement, dégradations pour les PMOS). C'est pourquoi, la contrainte engendrée par le procédé de siliciuration est considérée comme négligeable par la suite.

La couche de poly-silicium utilisée pour fabriquer la grille des transistors MOS peut également modifier la contrainte dans le canal des transistors. D'après l'étude menée par [Miura'98], la contrainte finale exercée par la couche de poly-silicium peut atteindre jusqu'à 400 MPa en tension (une fois les recuits d'oxydation effectués). Ceci étant, tout comme la siliciuration, la contrainte mécanique exercée sur le canal reste négligeable par rapport à d'autres types de procédé.

#### II.2.D Contrainte induite par la couche de nitrure CESL

La contrainte mécanique exercée par la couche d'arrêt de gravure des contacts (CESL) est aussi utilisée pour augmenter les performances des transistors MOSFETs. Elle intervient lors de la dernière étape du procédé de fabrication « Front-End » et recouvre entièrement la grille et les zones S/D des transistors comme le montre la Figure 1-19.

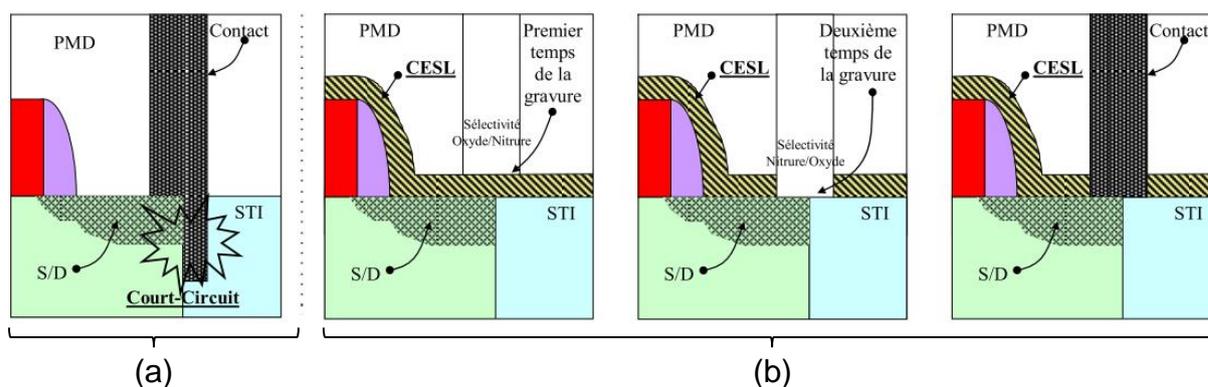


**Figure 1-19 : Schéma d'un transistor MOS basse tension recouvert par la couche d'arrêt de gravure des contacts (CESL)**

Le CESL est réalisé à l'aide de la technique de dépôt PECVD (« Plasma Enhanced Chemical Vapor Deposition ») qui est un procédé de dépôt basse température (200 à 500°C), basse pression, permettant des vitesses de dépôt importantes. Le film, composé de nitrure de silicium (SiN) a vu le jour à partir des nœuds technologiques 0,35  $\mu\text{m}$ . Au départ, il avait deux principales fonctions :

- Limiter la diffusion des contaminants en provenance des interconnexions (« Back-end ») vers le transistor. En effet, sa faible affinité envers les autres espèces ioniques constitue une barrière et protège les zones actives des transistors.
- Jouer le rôle de couche d'arrêt lors de la gravure des contacts dans l'oxyde PMD.

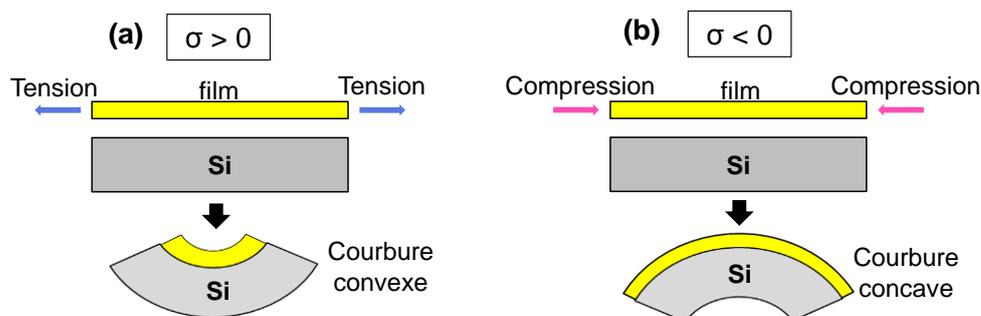
Il arrive parfois que les motifs lithographiques du masque contact se décalent. Dans ce cas, la gravure des contacts peut attaquer l'oxyde STI. Un court-circuit entre les zones S/D et les caissons des transistors peut alors apparaître. Un schéma montrant ce type de problème (sur-gravure) est présenté dans la Figure 1-20.a. Une fois les différentes couches d'oxyde de silicium (PMD) gravées par une chimie adaptée, la gravure s'arrête sur le CESL grâce à la grande sélectivité de la gravure plasma. Ensuite, la chimie est modifiée et la gravure atteint la surface des zones actives du transistor sans produire de sur-gravure. Ainsi, même en présence d'un désalignement, les court-circuits sont évités (les contacts peuvent dépasser les bords d'active mais s'arrêtent sur le STI). Le contact peut donc être placé à cheval sur l'active et le STI comme le montre la Figure 1-20.b. Ceci, permet de réduire la largeur des zones S/D et de ce fait, d'augmenter la densité d'intégration des transistors.



**Figure 1-20 : Procédé de gravure des contacts sans le CESL (a) et avec l'introduction du CESL évitant les court-circuits (b)**

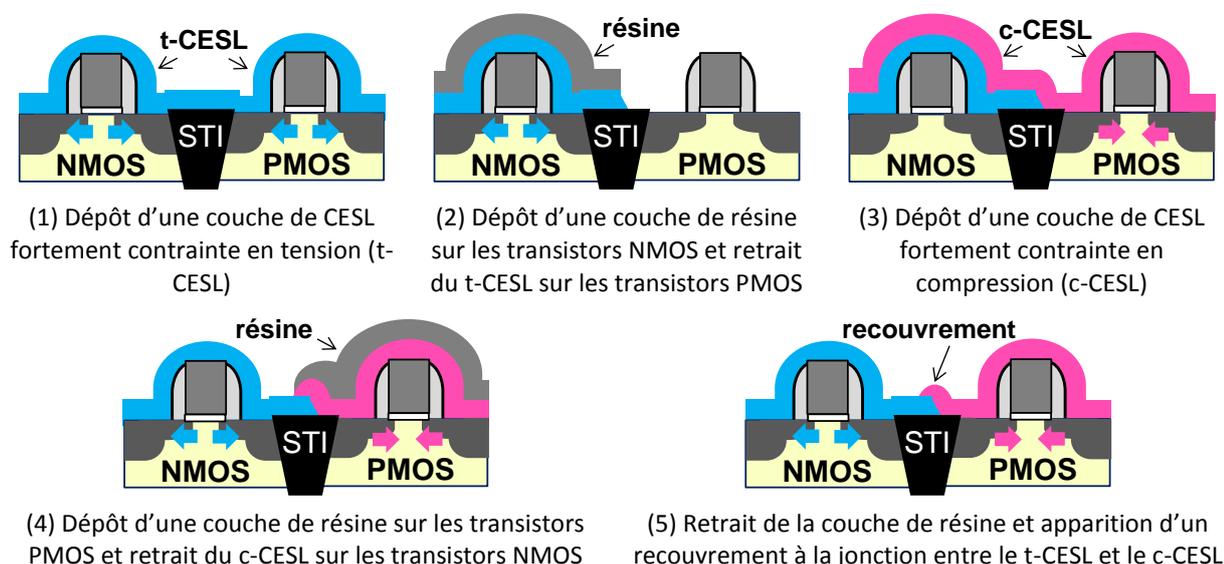
Plus tard, plusieurs travaux ont montré tout l'intérêt de modifier les propriétés mécaniques du CESL dans le but d'améliorer les performances des transistors [Ito'00], [Shimizu'01]. En effet, en fonction de la contrainte exercée par le film SiN, des gains importants en mobilité ont été observés. Une couche de nitrure fortement contrainte en tension (jusqu'à 1,7 GPa) permet d'augmenter la mobilité des électrons et le courant  $I_{ON}$  des transistors NMOS de 10 à 15 % [Ota'02], [Ghani'03], [Goto'03], [Komoda'04], [Ortolland'04], [Pidin'04], [Yang'04]. Au contraire, une couche fortement contrainte en compression permet d'augmenter la mobilité des trous. Un gain en courant  $I_{ON}$  allant de 20 à 30 % a déjà été observé sur les transistors PMOS [Yang'04].

Plusieurs facteurs contribuent et influencent le développement des contraintes apportées par le CESL sur le substrat : conditions de dépôts, différence entre les coefficients de dilation thermique, épaisseur de la couche, nature du substrat, porosité du film ou encore hygrométrie de l'air ambiant [Doerner'88], [Nix'89]. Lorsque le film est en tension, sa contrainte résiduelle est positive ( $\sigma > 0$ ) et le rayon de courbure est compté positivement (concavité du côté du film pour un substrat plan avant dépôt). Réciproquement, lorsque le film est en compression ( $\sigma < 0$ ) le rayon de courbure est de type convexe. En fonction de la nature de la contrainte (compression/tension) transmise par le CESL, le substrat de silicium est donc déformé différemment comme le montre la Figure 1-21.



**Figure 1-21 : Déformation du substrat de silicium en fonction de la nature de la contrainte mécanique exercée par le film CESL. Une contrainte en tension dans le film donne naissance à une courbure concave (a) et une contrainte en compression donne naissance à une courbure convexe (b)**

Aujourd'hui, le CESL utilisé dans le procédé e-NVM standard n'est pas contraint. Il n'induit donc aucune dégradation ni aucune amélioration sur les performances électriques des transistors. Le niveau de contrainte mesuré dans le canal des transistors une fois le dépôt réalisé est proche de 0 MPa (comme détaillé dans le chapitre 2). La contrainte exercée par le film n'est donc ni favorable, ni défavorable pour les transistors. Pour exploiter au maximum le bénéfice de cette couche, il faut se placer dans la configuration présentée dans la Figure 1-22. C'est-à-dire, utiliser une double intégration connue sous le nom de DSL (« Dual Stress Liner ») intégrant un CESL en tension (t-CESL) sur les transistors NMOS et un CESL en compression (c-CESL) sur les transistors PMOS [Yang'04]. Cependant, cette solution nécessite l'utilisation de deux étapes de photolithographie supplémentaires comme le met en évidence le déroulement des étapes de fabrication dans la Figure 1-22. En effet, il faut d'abord déposer une première couche de t-CESL pour augmenter la contrainte dans le canal des transistors NMOS (1). Puis, la retirer sur les transistors PMOS (en protégeant les transistors NMOS) (2) afin de déposer le c-CESL (3). La dernière étape est de retirer le c-CESL sur les transistors NMOS (4). Un recouvrement apparaît à la jonction entre les deux couches de nitrure de contrainte opposée (t-CESL et c-CESL) et rend cette technique plus complexe à intégrer au procédé de fabrication existant [Zhu'07].



**Figure 1-22 : Étapes de fabrication du procédé DSL (Dual CESL) intégrant les deux types de CESL**

L'utilisation d'une co-intégration reste néanmoins un procédé excessivement coûteux et complexe pour être intégré dans les lignes de production. Au contraire, l'utilisation d'une seule couche de CESL n'induit aucun coût supplémentaire sur le procédé de fabrication. D'autre part, le transistor PMOS étant insensible au stress dans l'orientation  $\langle 100 \rangle$ , une couche de nitrure en tension peut donc être utilisée pour augmenter les performances des transistors NMOS sans dégrader celle des transistors PMOS.

### II.2.E Contrainte induite par la couche de SMT

Pour éviter une dégradation des performances sur un type de transistor liée à l'utilisation d'une seule couche de CESL, le procédé SMT (« Stress Memorization Technique ») peut être utilisé. Ce procédé permet de mémoriser le stress induit par une couche de nitrure fortement contrainte dans la grille du transistor à l'aide du recuit d'activation des zones S/D. Les étapes du procédé de fabrication à partir de l'implantation des zones S/D jusqu'à l'étape de siliciuration (« SiProt ») entre le procédé standard et le procédé utilisant la technique SMT sont comparées dans la Figure 1-23. Dans le cas du procédé standard (Figure 1-23.a), une fois l'implantation des zones S/D effectuée (1.a), une bicouche formée d'oxyde et de nitrure est déposée sur les zones à protéger de l'étape de siliciuration (2.a). La photolithographie suivante permet de délimiter les zones à siliciurer. Elle est suivie d'un recuit d'activation à très haute température des zones implantées (S/D et grille) (3.a). Enfin, une fois la désoxydation effectuée, l'étape de siliciuration est réalisée pour réduire la résistance du silicium et du poly-silicium (4.a).

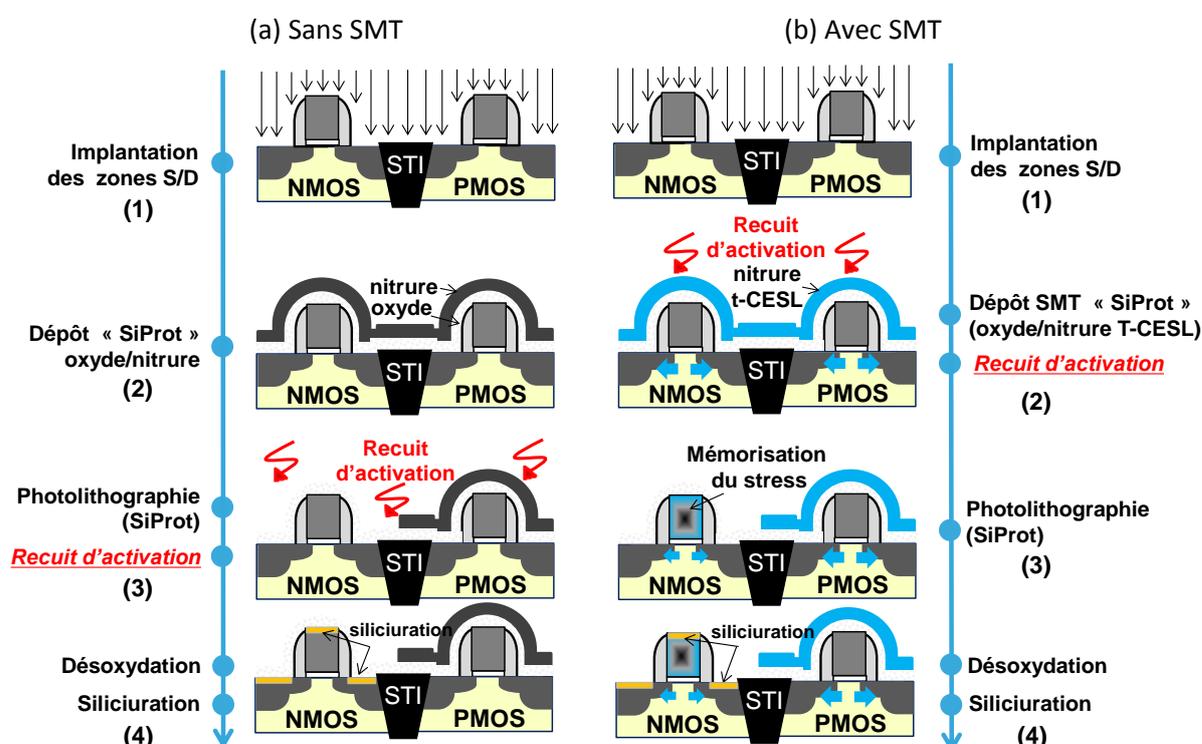


Figure 1-23 : Étapes de fabrication à partir de l'implantation des zones S/D jusqu'à la siliciuration (du transistor NMOS uniquement dans cet exemple) sans (a) et avec l'intégration du procédé SMT (b)

Dans le cas du procédé SMT (Figure 1-23.b), le nitrure utilisé pour réaliser l'étape de SiProt est fortement contraint (en tension pour augmenter les performances des transistors NMOS). Mais cette fois, le recuit d'activation intervient avant de retirer la bicouche d'oxyde/t-CESL pour maintenir (« mémoriser ») la contrainte dans la grille du transistor NMOS uniquement. En effet, après l'implantation d'arsenic (atome plus gros que celui du silicium) dans les zones S/D et dans la grille du transistor, la structure cristalline de la grille devient amorphisée (b.1). La grille est ensuite déformée pendant le recuit d'activation réalisé à très haute température et se recristallise en maintenant la contrainte induite par la couche de t-CESL. Naturellement, la contrainte n'est pas mémorisée dans la grille des transistors PMOS implantée avec du bore (atome de petite taille atomique) évitant ainsi son amorphisation. Le procédé SMT a déjà démontré des gains importants en courant  $I_{ON}$  sur les transistors NMOS allant jusqu'à 15 % [Ota'02], [Chen'06], [Fang'06]. Cependant d'autres travaux ont aussi révélé une réduction des performances sur les transistors PMOS causée par la présence d'une forte quantité d'atomes d'hydrogène dans le nitrure [Ortolland'06]. Cette dégradation peut tout de même être évitée en utilisant un nitrure pauvre en hydrogène [Ortolland'09], ou une étape de photolithographie supplémentaire (augmentant le coût de fabrication) [Boeuf'04], [Chen'04].

## II.2.F Contrainte induite par le retrait des espaceurs (SPT)

Des travaux plus récents montrent qu'il est encore possible d'augmenter la contrainte mécanique induite par la couche de CESL en supprimant une partie de l'espaceur [Liu'05], [Chen'06] et en rapprochant le CESL du canal des transistors. Cette technique est connue sous le nom de SPT (« Stress Proximity Technique »). Les étapes de fabrication à partir de la fabrication des espaceurs jusqu'au dépôt de la couche de CESL avec ou sans l'utilisation du procédé SPT sont présentées dans la Figure 1-24.

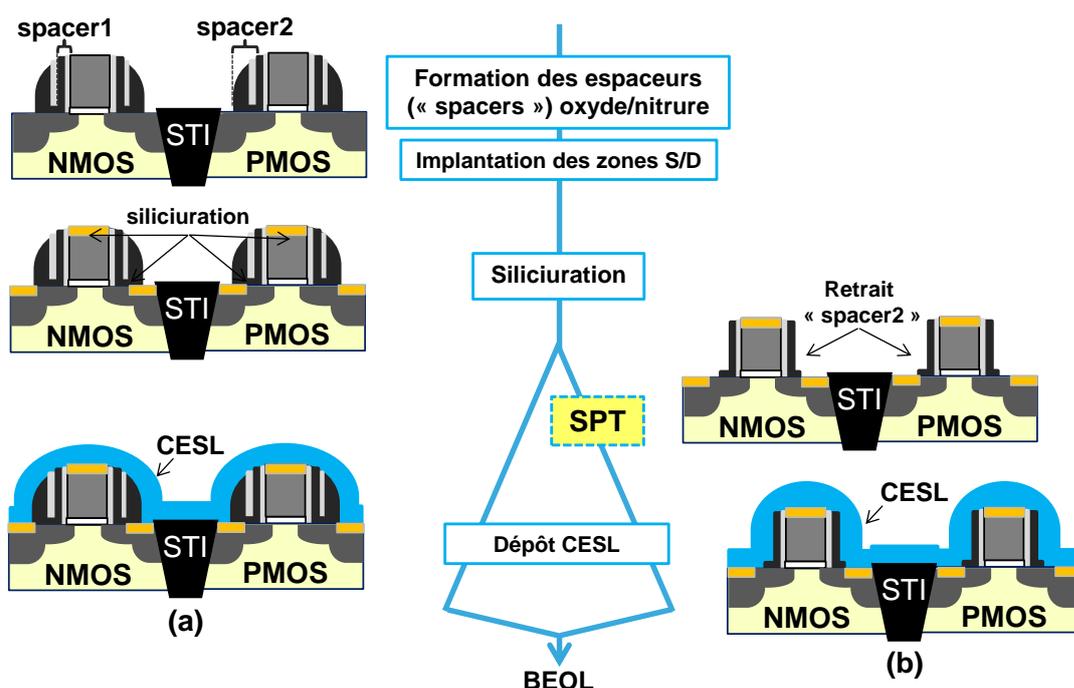
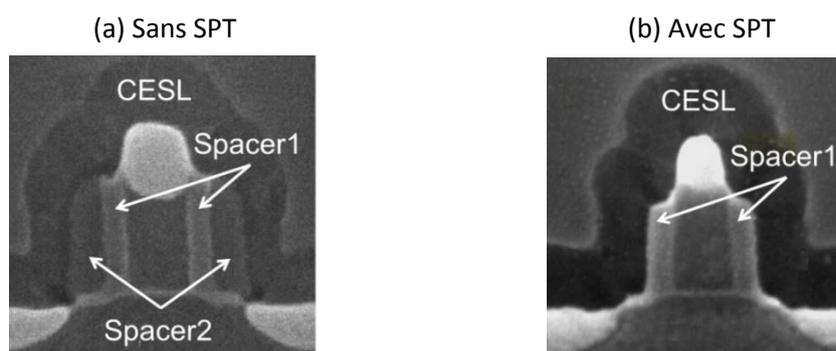


Figure 1-24 : Étapes de fabrication d'un procédé standard à partir de la formation des espaceurs jusqu'au dépôt de la couche de CESL sans (a) et avec l'intégration du procédé SPT (b)

Le procédé SPT est réalisé une fois les étapes d'implantation des zones S/D et de siliciuration effectuées. En effet, les espaceurs sont indispensables durant l'étape d'implantation des zones S/D à forte dose (HDD) pour protéger les zones LDD et ainsi permettre un meilleur contrôle de l'effet canal court (SCE). Ils permettent également de protéger les zones LDD lors de la siliciuration et ainsi éviter des fuites entre la grille et les jonctions du transistor. Avec l'utilisation de la technique SPT (Figure 1-24.b), l'espaceur2 (« spacer2 » ou « sidewall ») est donc retiré une fois l'étape de siliciuration réalisée mais avant le dépôt de la couche de CESL, pour augmenter la contrainte induite dans le canal par effet de confinement.

Les transistors fabriqués avec le procédé SPT montrent des gains en performance plus importants par rapport aux transistors fabriqués avec le CESL uniquement. Les travaux de [Liu'05] ont d'abord montré un gain de 15 % et de 7 % en courant  $I_{ON}$  sur les transistors NMOS et PMOS respectivement, conçus avec un t-CESL + SPT (surnomé « USP » dans ses travaux) et une longueur de grille de 35 nm. Ce qui est surprenant compte tenu de l'effet piezorésistif opposé des deux types de transistors. Puis, un gain supérieur à 20 % en courant  $I_{ON}$  sur les transistors PMOS est rapporté par [Chen'06], [Fang'06], [Yuan'06] avec l'utilisation d'une couche de c-CESL alors qu'un gain de 3 % seulement est observé sur les transistors NMOS avec une couche de t-CESL. Néanmoins, aujourd'hui, la contrainte du film CESL peut atteindre jusqu'à + 1,7 GPa, ce qui laisse présager un gain plus important sur le courant  $I_{ON}$  des transistors NMOS. D'autre part, ce procédé ne nécessite aucune étape de photolithographie supplémentaire. Enfin, une coupe TEM montrant un transistor fabriqué avec ou sans l'utilisation du procédé SPT est présentée dans la Figure 1-25 . La longueur de grille étant de 45 nm.



**Figure 1-25 : Coupe TEM d'un transistor MOS fabriqué sans (a) ou avec le procédé SPT utilisé pour le retrait du spacer2 (b) [Chen'06], [Fang'06]**

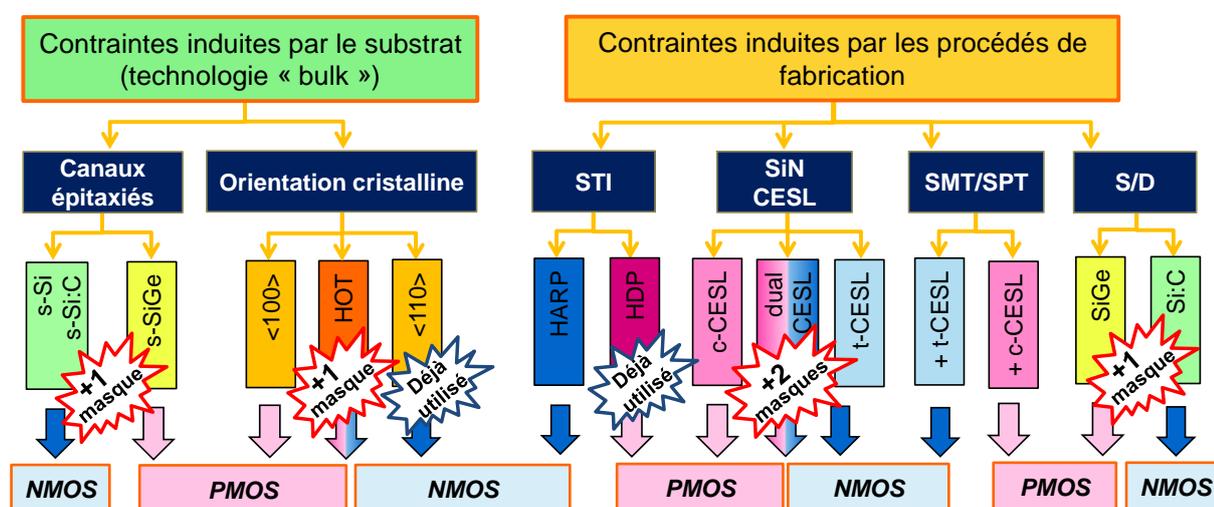
### II.3 Parasites induits par la mise en boîtier

Une fois la fabrication des circuits intégrés terminée, les étapes de bonding et de mise en boîtier des puces peuvent être utilisées pour ajouter des contraintes de types « globales » dans le canal des transistors en fonction des matériaux utilisés. Une variation du courant de saturation des transistors de +/- 2 % a été observée par [Ali'97] (équivalent à une variation de stress de 35 à 55 MPa). Lors de l'encapsulation de la puce, une variation plus importante est reportée allant jusqu'à dégrader de -5 %

le courant  $I_{ON}$  des transistors NMOS longs, ce qui équivaut à un stress compressif de 60 à 87 MPa (bénéfique pour les transistors PMOS :  $\sim +2\%$ ). Comme ces variations de courant sont extraites sur des transistors longs, des travaux plus récents mettent en avant des gains sur des transistors plus courts [Maikap'04], [Yuan'07]. Néanmoins, les gains rapportés par ce type de technique restent négligeables par rapport aux solutions technologiques étudiées dans les parties précédentes.

## II.4 Conclusion : les solutions les plus intéressantes permettant d'introduire des contraintes dans le canal

Pour conclure cette seconde partie, la Figure 1-26 rappelle les solutions technologiques les plus intéressantes permettant d'introduire des contraintes mécaniques et d'augmenter la mobilité des porteurs dans le canal des transistors.



**Figure 1-26 : Résumé des solutions technologiques permettant d'introduire des contraintes mécaniques dans le canal et d'augmenter la mobilité des transistors MOS**

Toutes ces solutions sont évidemment compatibles avec la technologie « bulk » e-NVM développée par STMicroelectronics. Cependant, certaines de ces techniques comme l'utilisation d'une couche de s-Si ou de s-SiGe épitaxiée ou encore l'introduction du germanium et du carbone dans les zones S/D nécessitent l'ajout d'une étape de photolithographie supplémentaire. Dans le cas d'une technologie e-NVM déjà en production et intégrant un nombre de niveau de masque important, ces types de solutions sont difficilement envisageables. Néanmoins, sur la technologie étudiée certaines de ces solutions peuvent être intégrées au procédé de fabrication existant sans nécessairement augmenter son coût. Ce dernier point fait d'ailleurs l'objet de l'étude développée dans le prochain chapitre.

Nous sommes maintenant capables de comprendre et de résumer les différents types de contraintes mécaniques (en tension ou en compression) que doivent subir les transistors afin d'augmenter la mobilité des porteurs. Cette information est déjà connue depuis de nombreuses années grâce à l'étude des coefficients piezorésistifs menée par [Smith'54]. Cette étude a été complétée par [Kanda'82] afin d'extraire la valeur des coefficients piezorésistifs dans toutes les orientations des plans cristallins (100) et (110). Les valeurs de ces coefficients sont reportées dans le Tableau 1-3 et

représentées graphiquement dans la Figure 1-27 dans le plan (100) pour chaque transistor. Ces valeurs sont généralement extraites sur des transistors longs ( $L= 10\mu\text{m}$ ) pour s'affranchir des effets parasites liés aux faibles longueurs de grille (résistances séries parasites, dispersions liée aux effets canaux courts, ...).

	<110> Standard		<100> 45°	
Coefficients piezorésistifs	$\pi_L$	$\pi_T$	$\pi_L$	$\pi_T$
NMOS	-31.6	-17.6	-102	53.4
PMOS	71.8	-66.3	6.6	-1.1

Tableau 1-3 : Valeur des coefficients piezorésistifs dans le plan (100) pour les deux orientations cristallines <110> et <100> [Smith'54]

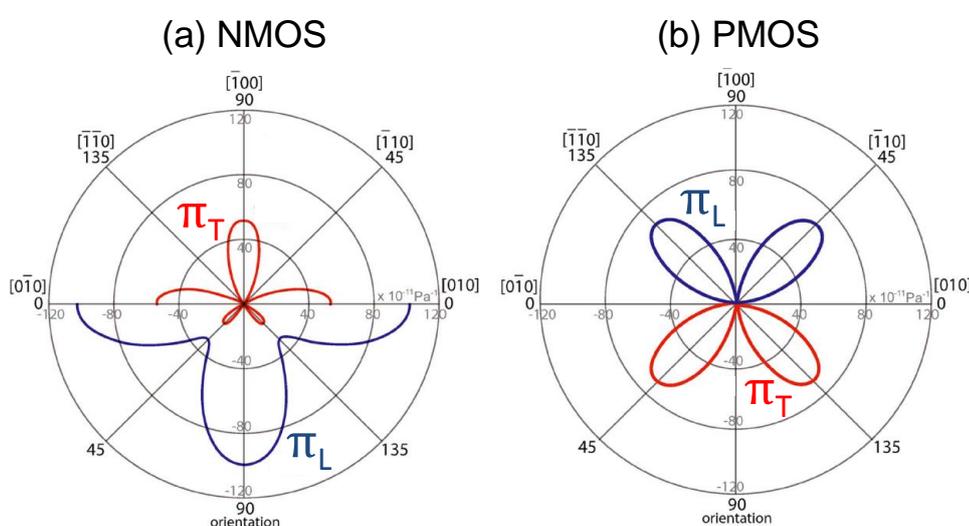


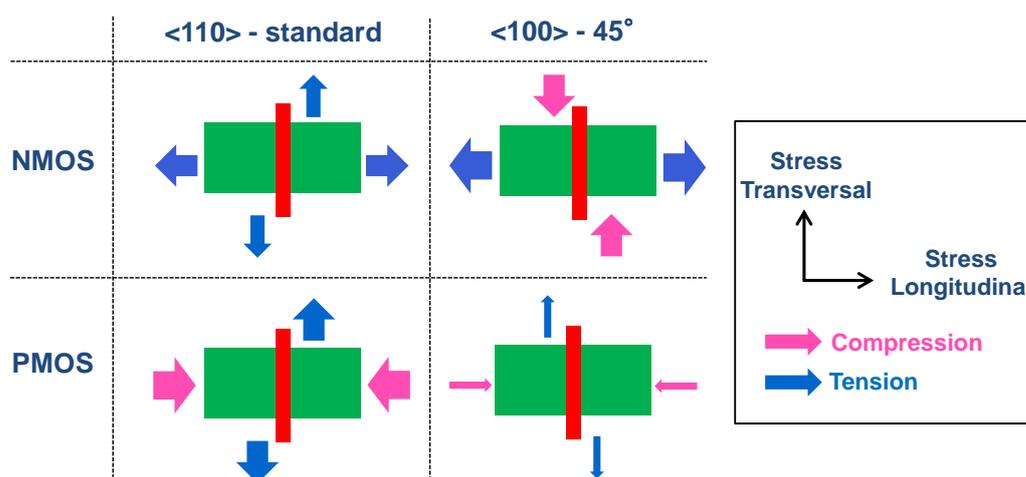
Figure 1-27 : Représentation graphique des coefficients piezorésistifs du transistor NMOS (a) et du transistor PMOS (b) dans le plan cristallin (100) [Kanda'82]

En partant du travail réalisé par [Thompson'04] et en utilisant la valeur et le signe des coefficients piezorésistifs, nous pouvons établir le Tableau 1-4 regroupant les différents types de stress désirés par les transistors pour augmenter la mobilité des porteurs dans les deux orientations cristallines étudiées dans ce manuscrit (<110> et <100>). Une vue layout des stress désirés par les transistors pour augmenter la mobilité est aussi proposée dans la Figure 1-28.

Orientation	<110> Standard		<100> 45°	
Direction	NMOS	PMOS	NMOS	PMOS
Longitudinal ( $\pi_L$ )	Tension +++	Compression ++++	Tension ++++	Compression +
Transversal ( $\pi_T$ )	Tension ++	Tension ++++	Compression +++	Tension +
Perpendiculaire au plan	Compression ++++	Tension +	Compression +++	Tension

+ Peu influant  
 ++++ Très influant

Tableau 1-4 : Types de stress à appliquer sur les deux orientations cristallines afin d'améliorer la mobilité des transistors NMOS et PMOS



**Figure 1-28 : Vue layout des différents types de stress à appliquer sur les deux orientations cristallines  $\langle 110 \rangle$  et  $\langle 100 \rangle$  afin d'augmenter la mobilité des transistors NMOS et PMOS**

Dans le cas du transistor PMOS, une réduction importante des coefficients piezorésistifs dans l'orientation cristalline  $\langle 100 \rangle$  est mise en évidence, ce qui le rend pratiquement insensible aux contraintes mécaniques. Cette propriété dont nous avons déjà discutée est très intéressante pour augmenter les performances des transistors NMOS, sans dégrader celles des transistors PMOS.

### III Consommation d'un circuit intégré fabriqué en technologie CMOS

La puissance totale dissipée par un circuit intégré est divisée en deux contributeurs majeurs : la puissance dynamique et la puissance statique. La puissance dynamique est liée aux courants consommés lorsque l'état d'entrée et de sortie des transistors varie (entre  $V_{DD}$  et GND). La consommation statique est quant à elle liée aux courants de fuite consommés lorsque l'état des transistors ne varie pas (soit figé à  $V_{DD}$ , soit à GND).

#### III.1 La consommation dynamique

##### III.1.A Définition

Le courant dynamique ( $I_{DYN}$ ) consommé dans un circuit logique CMOS est principalement dû au courant de commutation  $I_L$  nécessaire pour charger et décharger la capacité de charge ( $C_L$ ) en sortie d'une cellule lors d'une transition logique. Une partie du courant dynamique a aussi pour origine le courant de court-circuit ( $I_{CC}$ ) consommé pendant un changement d'état logique lorsque les transistors NMOS et PMOS sont simultanément passants (Figure 1-29). Un chemin direct entre l'alimentation ( $V_{DD}$ ) et la masse (GND) apparaît avant que l'un des deux transistors ne change d'état et se bloque [Turgis'97]. Ce courant est perdu puisqu'il ne sert pas à charger la capacité  $C_L$ . Il représente en moyenne entre 10 et 20 % du courant dynamique total consommé [Veendrick'84].

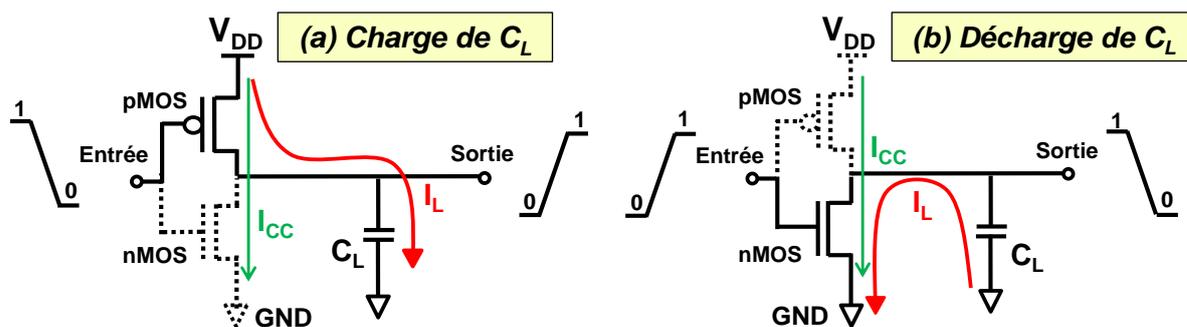


Figure 1-29 : Courant dynamique consommé lors d'une transition d'un état logique bas vers un état logique haut (a) et inversement (b) dans un inverseur CMOS chargeant une capacité  $C_L$

Dans le cas d'un inverseur CMOS connecté à l'entrée d'un autre inverseur CMOS, la capacité  $C_L$  est la somme de plusieurs capacités (Figure 1-30) :

- $C_{BE}$  : capacité liée aux interconnexions métalliques (couplage inter-métal «  $C_F + C_{MM}$  » et couplage intra-métal «  $C_C$  »)
- $C_{IN}$  : la somme des capacités parasites liée aux transistors d'entrée et de sortie avec  $C_{DBn} / C_{DBp}$  les capacités de drain,  $C_{DGn} / C_{DGp}$  les capacités entre la grille et le drain (capacités « miller »),  $C_{Gn} / C_{Gp}$  les capacités de grille des transistors de l'inverseur attaqué.

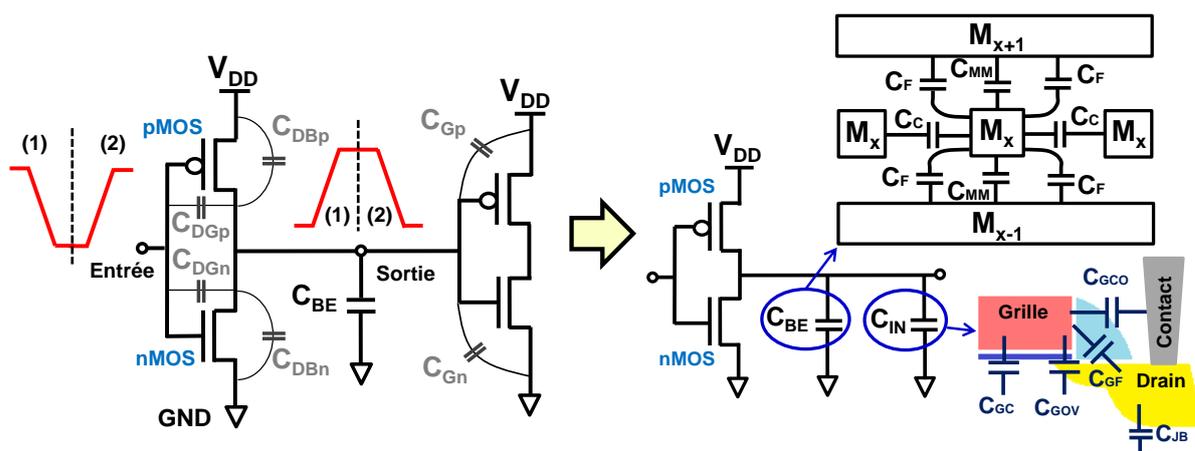


Figure 1-30 : Représentation graphique des capacités parasites  $C_{BE}$  et  $C_{IN}$  intervenant dans la capacité de charge  $C_L$  d'un inverseur CMOS connecté à un autre inverseur

La puissance dynamique ( $P_{DYN}$ ) totale est donc la somme de deux contributions : la puissance consommée lors d'une transition de l'état bas vers l'état haut sur la sortie (charge de  $C_L$ ) et la puissance consommée lors d'une transition de l'état haut vers l'état bas sur la sortie (décharge de  $C_L$ ). Lors de la charge de  $C_L$ , une partie de l'énergie totale ( $\frac{C_L V_{DD}^2}{2}$ ) est dissipée sous forme de chaleur dans le transistor PMOS et dans les interconnexions et une partie est chargée dans la capacité  $C_L$  ( $\frac{C_L V_{DD}^2}{2}$ ). Lors de la décharge, l'énergie stockée dans la capacité est ensuite consommée à travers le transistor NMOS. L'énergie totale consommée peut donc s'écrire sous la forme suivante (1.9) :

$$\begin{aligned}
 E_{V_{DD}} &= \int_0^{\infty} P_{V_{DD}}(t) \cdot dt = \int_0^{\infty} i_L(t) \cdot V_{DD} \cdot dt = V_{DD} \int_0^{\infty} C_L \cdot \frac{dv_{OUT}}{dt} \cdot dt \\
 &= C_L \cdot V_{DD} \int_0^{V_{DD}} dv_{OUT} = C_L \cdot V_{DD}^2
 \end{aligned}
 \tag{1.9}$$

Chaque cycle (charge + décharge) dissipe donc au total une énergie  $E_{V_{DD}} = C_L V_{DD}^2$ . La puissance dynamique étant le produit de l'énergie et du temps,  $P_{DYN}$  peut s'écrire sous la forme suivant (1.10) :

$$P_{DYN} = \alpha \cdot (C_{BE} + C_{IN}) \cdot V_{DD}^2 \cdot f = \alpha \cdot C_L \cdot V_{DD}^2 \cdot f \tag{1.10}$$

Dans cette dernière équation, « f » est la fréquence de l'horloge et «  $\alpha$  » le taux de commutation qui représente le nombre moyen de transition d'un état bas vers un état haut par rapport à la fréquence de l'horloge. La consommation dynamique peut aussi s'écrire en fonction des courants dynamiques consommés (1.11).

$$P_{DYN} = I_{DYN} \cdot V_{DD} = (I_L + I_{CC}) \cdot V_{DD} \tag{1.11}$$

### III.1.B Les méthodes permettant de réduire la consommation dynamique

D'après l'équation (1.10) ou (1.11), il existe plusieurs approches permettant de réduire la consommation dynamique d'un circuit :

- Réduire la capacité de charge, «  $C_L$  »
- Réduire la tension d'alimentation du circuit, «  $V_{DD}$  »
- Réduire le nombre de transition logique, «  $\alpha$  »
- Réduire la fréquence de l'horloge, « f » (et donc le nombre de cycle de charge/décharge)

Généralement, les deux stratégies utilisées consistent à réduire la tension d'alimentation  $V_{DD}$  du circuit ainsi que la capacité de charge  $C_L$ . Cependant, une diminution des capacités de charge à travers une réduction du dimensionnel des transistors ou une réduction de la tension d'alimentation entraînent une chute importante des performances du circuit. C'est pourquoi, ces deux contributions sont logiquement réduites avec le développement des nouvelles technologies apportant des gains en performance importants. Même si, concernant les capacités liées au routage ( $C_{BE}$ ), ceci n'est plus possible à cause du rapprochement des lignes métalliques liées à la réduction du « pitch » dans les technologies avancées.

La réduction de la tension d'alimentation est la meilleure approche permettant de réduire la consommation dynamique compte tenu de son poids au carré dans l'équation (1.11). Cependant, ceci peut fortement impacter les performances du circuit étant donné son importance dans l'équation du courant  $I_{ON}$  également. Par ailleurs, cette approche de réduction « globale », peut provoquer sur les circuits embarquant des mémoires volatiles et non-volatiles une réduction des performances si le circuit ne gère pas plusieurs tensions d'alimentations. En effet, les mémoires SRAM sont particulièrement sensibles à une réduction du  $V_{DD}$  qui implique une diminution

importante de la marge de bruit statique (SNM). C'est une des principales raisons qui bloque les concepteurs de circuits à freiner la réduction des tensions d'alimentation dans les technologies récentes. Traditionnellement, l'utilisation de transistors à faible tension de seuil permet également de réduire la tension d'alimentation du circuit tout en conservant un rapport «  $V_{GS} - V_T$  » (« overdrive ») constant et donc des performances identiques. Mais, ceci implique un courant de fuite de drain ( $I_{OFF}$ ) bien plus important (essentiellement dans la partie logique et dans les mémoires SRAM fabriquées avec des transistors GO1). Les tensions de seuil des transistors sont donc généralement fixées par les technologues en fonction des contraintes de consommation statique et dynamique demandées par les concepteurs.

La réduction de la capacité de charge peut être un moyen intéressant de réduire la consommation dynamique en utilisant un « drive » adapté lors de l'insertion des cellules standards ou en redimensionnant la taille des transistors par exemple. Cette dernière solution entraîne couramment une diminution des performances liée à la réduction de la largeur du transistor et donc du courant. Cependant, cette diminution des performances est généralement moins importante par rapport à la réduction de la tension d'alimentation, puisque cela peut contribuer à réduire les temps de propagation (charge/décharge) en diminuant la capacité de charge en sortie de chaque étage. D'autre part, cette méthode peut être considérée comme « locale » puisqu'elle est habituellement fixée par les concepteurs, ce qui évite de perturber les autres zones du circuit (mémoires, blocs analogiques, ...).

Il existe également des solutions de conception permettant de réduire la consommation dynamique. Les techniques les plus répandues et les plus efficaces sont : la coupure de l'horloge (« Clock Gating ») et l'utilisation de plusieurs tensions d'alimentation (« Multi- $V_{DD}$  ») [Keating'07]. Le principal intérêt de la première est de réduire significativement le nombre de transitions logiques (charge/décharge de  $C_L$ ) considérées comme inutiles (lorsque l'état de sortie des bascules n'est pas modifié par exemple). La seconde, permet de diviser le circuit en sous-blocs possédant chacun sa propre tension d'alimentation, définie au préalable par les concepteurs en fonction des performances souhaitées. Cependant, cette dernière, rend bien plus complexe la gestion du bloc d'alimentation et la jonction des différents blocs alimentés par des tensions différentes.

### III.2 La consommation statique

La consommation statique d'un circuit intégré n'est autre que la somme des courants de fuite mise en évidence dans la Figure 1-31, sur laquelle,  $I_{DSUB}$  représente le courant de fuite sous le seuil (aussi appelé  $I_{OFF}$ ),  $I_G$  le courant de fuite de grille traversant l'oxyde par effet tunnel,  $I_{BTBT}$  le courant de fuite de jonction PN polarisée en inverse,  $I_{GIDL}$  le courant de fuite de drain induit par un fort champ électrique exercé par la grille sur la jonction de drain, et enfin  $I_p$  le courant de perçage entre la source et le drain provoqué par un rapprochement des zones S/D et des zones de déplétion drain/substrat et source/substrat étendues dans le canal [Roy'03], [Piguet'05].

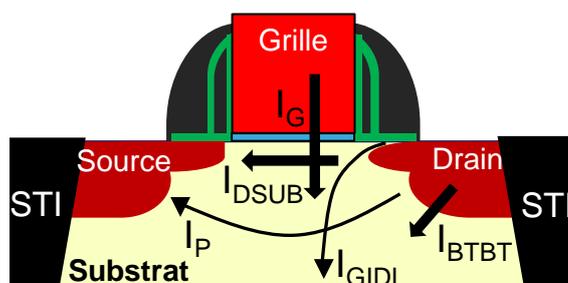


Figure 1-31 : Les principaux courants de fuite d'un transistor MOS

Les courants  $I_{DSUB}$ ,  $I_{BTBT}$ ,  $I_P$  et  $I_{GIDL}$  interviennent lorsque le transistor est dans l'état bloqué uniquement (tension de grille ne varie pas). Alors que le courant  $I_G$  intervient lorsque le transistor est bloqué ( $I_{G\_OFF}$ ), mais aussi lorsqu'il conduit ( $I_{G\_ON}$ ) (canal de conduction établi mais pas de variation des signaux d'entrée/sortie). Les courants de fuite considérés sont tous représentés dans la Figure 1-32 dans le cas d'un inverseur CMOS pour les deux états logiques d'entrée (« 0 » ou « 1 »). Dans la technologie étudiée (e-NVM CMOS 80 nm) et dans des conditions normales de fonctionnement, les courants de fuite  $I_{GIDL}$  et  $I_P$  peuvent être considérés comme négligeables, et ne sont donc pas représentés.



Figure 1-32 : Principaux courants de fuite d'un inverseur CMOS en fonction de l'état logique du signal d'entrée et du signal de sortie

- Le courant sous le seuil ( $I_{SUB}$ ) n'est autre que le courant de fuite circulant entre la source et le drain du transistor en régime de faible inversion ( $V_G < V_T$ ). Il peut être réduit en augmentant la tension de seuil des transistors. Toutefois, ceci a pour conséquence une réduction du courant ( $I_{ON}$ ) en régime de conduction (pour une valeur identique de  $V_G$ ).
- Le courant de grille ( $I_G$ ). La réduction de l'épaisseur de l'oxyde de grille nécessaire dans le développement des technologies avancées pour améliorer le contrôle électrostatique du canal provoque une augmentation importante du champ électrique exercée par la grille sur le canal. Ceci, favorise le passage d'un courant à travers l'isolant par effet tunnel Fowler-Nordheim ou direct. Ces deux mécanismes sont rappelés dans les diagrammes de bande présentés dans la Figure 1-33. Dans le cas du courant tunnel Fowler-Nordheim, le champ électrique appliqué sur la grille est suffisamment fort ( $qV_{OX} > \Phi_B$ ) pour entraîner une diminution de la largeur effective de la barrière à traverser. L'électron se retrouve alors dans la bande de conduction de l'isolant, puis il

est entraîné vers l'électrode métallique. Cependant, dans la technologie étudiée ( $T_{OX} < 3 \text{ nm}$ ), le courant tunnel direct est majoritaire. Dans le cas des transistors NMOS, Il est dû aux électrons du semi-conducteur traversant l'oxyde pour atteindre la grille lorsque  $qV_{OX} < \Phi_B$ .

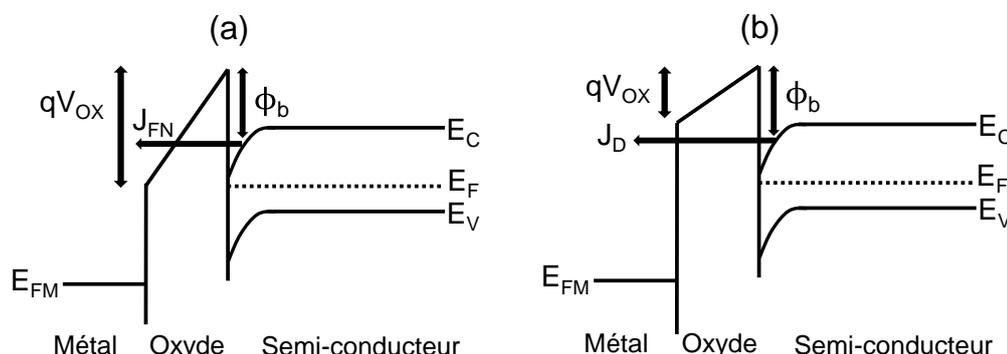


Figure 1-33 : Diagrammes de bandes d'une structure MOS de type <p> en inversion dans le cas d'un courant tunnel de type Fowler-Nordheim (a) et direct (b)

- Le courant de jonction ( $I_{BTBT}$ ) : Dès que le champ électrique de la jonction PN polarisée en inverse devient trop important, un courant de jonction drain/substrat et source/substrat apparaît. Dans le cas d'un semi-conducteur de type <p>, les électrons ont assez d'énergie pour se déplacer de la bande de valence du substrat « P » vers la bande de conduction de la région « N » par effet tunnel.

En considérant les transistors GO1 sur lesquels nous travaillons, une grande partie du courant statique ( $I_{STAT}$ ) est dû majoritairement au courant sous le seuil ( $I_{SUB}$  ou  $I_{OFF}$ ), le courant  $I_G$  ayant une contribution marginale. Toutefois, en fonction du type de transistor utilisé (SVT, HVT, UHVT), le courant  $I_{G\_ON}$  peut devenir la contribution majoritaire du courant de fuite total du transistor. Ceci est démontré dans la Figure 1-34 montrant la répartition des différents courants de fuite des transistors MOS GO1 en fonction du dopage canal.

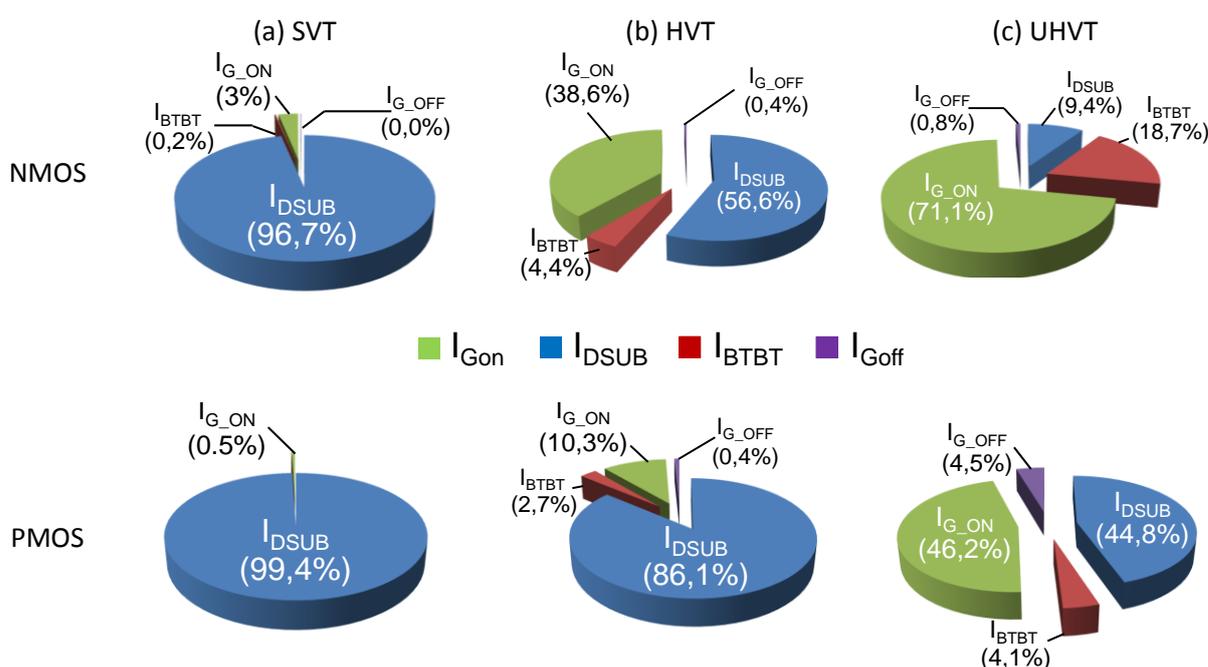


Figure 1-34 : Répartition des différents courants de fuite dans un transistor NMOS et dans un transistor PMOS de type SVT (a) HVT (b) et UHVT (c) de longueur  $L = 90 \text{ nm}$  et de largeur  $W = 1\mu\text{m}$

Dans le cas d'un transistor UHVT (dopage canal/substrat très élevé), la contribution du courant  $I_{G\_ON}$  devient supérieure à la contribution du courant  $I_{DSUB}$ . Les courants  $I_{BTBT}$  et  $I_{G\_OFF}$  quant à eux, restent négligeables sur les transistors de type SVT (« Standard-  $V_T$  ») et HVT (« High  $V_T$  »), ce qui n'est pas le cas sur les transistors à très haute tension de seuil (UHVT) (Figure 1-34). La contribution de ces courants peut donc augmenter dans les technologies utilisant des transistors à forte tension de seuil.

La consommation statique totale peut donc s'écrire sous la forme suivante (1.12) :

$$P_{STAT} = I_{STAT} \cdot V_{DD} = (I_{SUB} + I_{G\_ON} + I_{BTBT}) \cdot V_{DD} \quad (1.12)$$

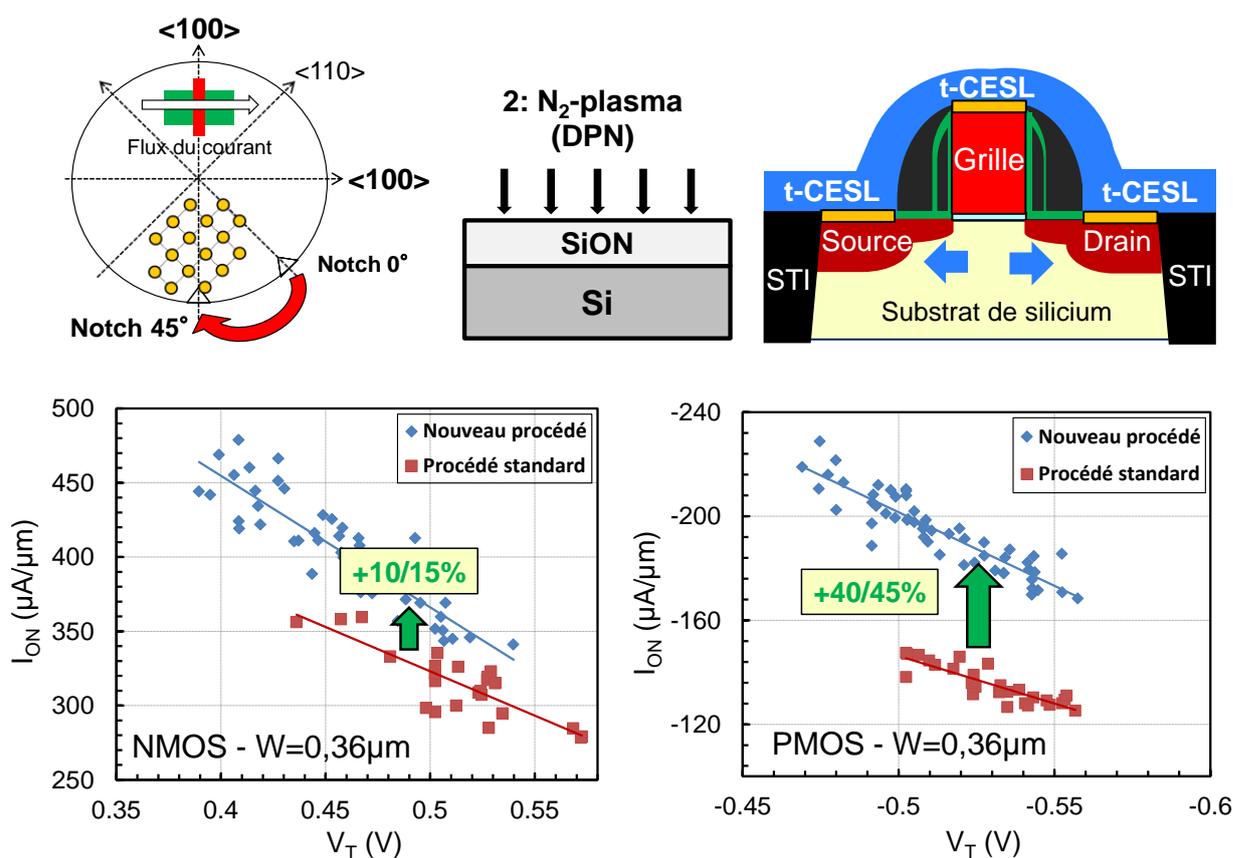
Néanmoins, sur le nœud technologique étudié (90 nm) la consommation dynamique reste la contribution majeure de la consommation totale dissipée par un circuit. La consommation statique devient de plus en plus critique dans les technologies plus récentes (40 nm et en dessous).

## Conclusion

Ce premier chapitre nous permet d'introduire le travail de recherche réalisé dans les prochains chapitres du manuscrit. Le principe de fonctionnement, les différentes équations et le procédé de fabrication du transistor MOS sont d'abord rappelés, avant d'énoncer les différents effets parasites apparus avec la miniaturisation des dispositifs.

La plupart des solutions technologiques, permettant d'améliorer les performances des transistors en modifiant la contrainte mécanique induite dans le canal de conduction, sont également rappelées et détaillées. Les différents avantages et inconvénients (coût de fabrication, gain en performance, complexité d'intégration, compatibilité avec les autres matériaux, etc ...) de chaque technique sont étudiés afin de retenir les meilleures solutions pouvant être intégrées dans le procédé de fabrication e-NVM CMOS 80 nm actuellement en production à STMicroelectronics.

## Chapitre 2 Développement d'un nouveau procédé de fabrication en technologie e-NVM CMOS 80 nm pour augmenter les performances des transistors basse tension



*La plate-forme technologique CMOS 80 nm développée par STMicroelectronics embarquant des mémoires non-volatiles est la plus avancée sur le site industriel de STMicroelectronics Rousset. Elle est utilisée pour la conception de circuits destinés aux applications médicales à faible consommation, sécuritaires et automobiles à base de microcontrôleurs. Dans ce chapitre, une étude est menée dans le but d'améliorer le procédé de fabrication e-NVM CMOS 80 nm en intégrant des techniques de fabrication avancées utilisées dans les technologies 65 nm et en dessous. Des gains importants en performance (ratio  $I_{OFF}/I_{ON}$ ) sont obtenus sur les transistors « basse tension » utilisés dans les cellules standards (NAND, NOR, INV, etc ...).*

<b>Introduction</b> .....	<b>- 65 -</b>
<b>I Optimisation de l'oxyde de grille GO1</b> .....	<b>- 65 -</b>
I.1 Influence du courant de grille sur la consommation statique d'un circuit .....	- 65 -
I.2 Utilisation de la nitruration DPN pour optimiser l'oxyde de grille .....	- 67 -
I.2.A Rappel sur le procédé de nitruration DPN .....	- 67 -
I.2.B Utilisation du procédé DPN pour réduire le courant de grille.....	- 68 -
I.2.A Utilisation de la DPN pour améliorer les performances.....	- 73 -
<b>II Le choix de l'orientation cristalline &lt;100&gt; (45°)</b> .....	<b>- 78 -</b>
II.1 Impact du substrat tourné à 45° sur les performances des transistors .....	- 78 -
II.1.A Cas des transistors GO1 PMOS.....	- 78 -
II.1.A Cas des transistors GO1 NMOS .....	- 79 -
II.1.B Variation du gain en fonction de la largeur des transistors .....	- 80 -
II.2 Impact du substrat tourné à 45° sur les résistances d'active P+ .....	- 82 -
<b>III L'utilisation d'un nitrure CESL fortement contraint en tension</b> .....	<b>- 84 -</b>
III.1 Impact du t-CESL sur les performances des transistors NMOS .....	- 87 -
III.2 Impact du t-CESL sur les performances des transistors PMOS.....	- 88 -
<b>IV Gain en performance apporté par le nouveau procédé de fabrication</b> .....	<b>- 89 -</b>
IV.1 Cas des transistors NMOS GO1 .....	- 90 -
IV.2 Cas des transistors PMOS GO1 .....	- 91 -
<b>Conclusion</b> .....	<b>- 91 -</b>

## Introduction

Dans ce chapitre, nous étudions les différentes solutions technologiques utilisées pour améliorer les performances des transistors basse tension conçus sur une plate-forme technologique e-NVM CMOS 80 nm. Nous commençons par montrer l'intérêt du procédé de nitruration par plasma DPN (« Decoupled Plasma Nitridation ») introduit initialement pour réduire le courant traversant l'oxyde de grille des transistors. Dans un second temps, nous présentons les avantages d'une nouvelle orientation cristalline du canal sur les performances des transistors PMOS. Dans une dernière partie, nous finissons par étudier l'intérêt apporté par la couche d'arrêt de gravure des contacts (CESL – « Contact Etch Stop Layer ») fortement contrainte sur les performances des transistors.

## I Optimisation de l'oxyde de grille G01

### I.1 Influence du courant de grille sur la consommation statique d'un circuit

Le développement des nouvelles technologies s'apparente à une miniaturisation des échelles qui permet d'augmenter la densité d'intégration en réduisant le dimensionnel des transistors. L'oxyde isolant la grille du substrat de silicium suit cette miniaturisation et devient de plus en plus fin pour améliorer le contrôle électrostatique du canal. Cependant, la diminution de l'épaisseur d'oxyde entraîne une augmentation exponentielle du courant de fuite circulant entre la grille ( $I_G$ ) et le substrat par effet tunnel (décrit dans le chapitre 1). Dans les technologies avancées, le courant de grille joue donc un rôle de plus en plus important dans la consommation statique des circuits. Néanmoins, dans la technologie étudiée, la contribution du courant  $I_G$  reste moins importante que celle apportée par le courant de fuite de drain ( $I_{SUB}$  ou  $I_{OFF}$ ) des transistors. Elle devient la contribution principale du courant de fuite des transistors UHVT comme le rappelle la Figure 1-34.

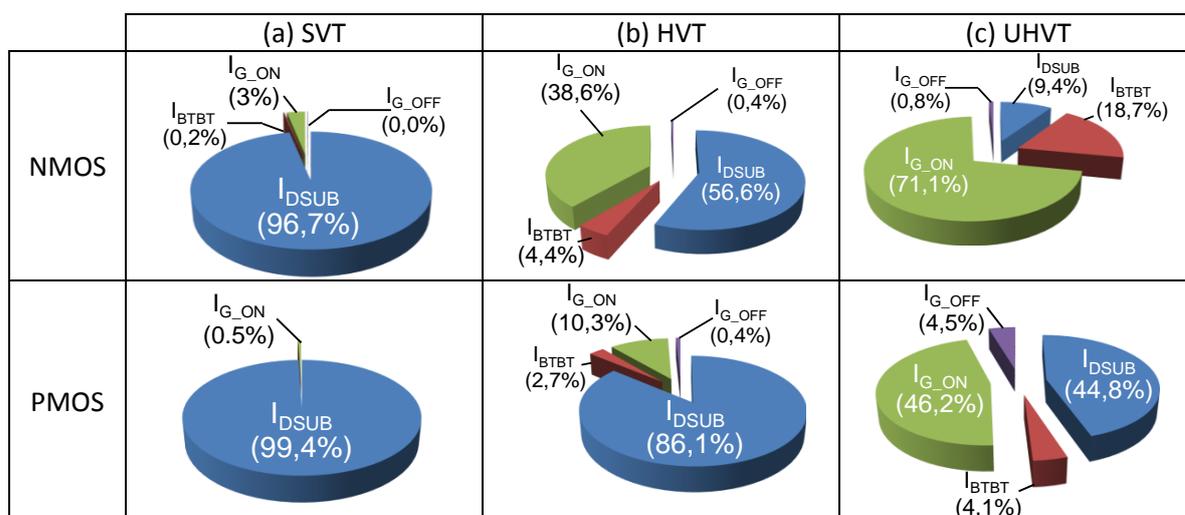


Figure 2-1 : Répartition des différents courants de fuite dans un transistor NMOS et dans un transistor PMOS de type SVT (a) HVT (b) et UHVT (c) de longueur  $L = 90$  nm et de largeur  $W = 1\mu\text{m}$

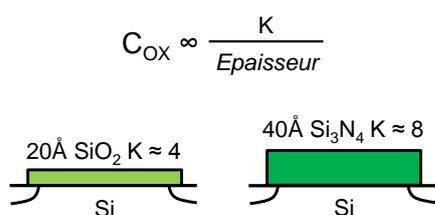
Néanmoins, les transistors UHVT, ne sont pas au cœur de ces travaux, ils sont généralement utilisés dans des applications nécessitant une consommation statique très faible. Nous rappelons que les appellations SVT, HTV et UHVT sont utilisées pour représenter, respectivement, un transistor à faible, haute et très haute tension de seuil.

Une étude réalisée sur un circuit fabriqué en technologie e-NVM 80 nm intégrant 200 000 cellules standards démontre que seulement 11 % du courant statique de la partie logique est lié au courant  $I_G$ . Alors que la contribution du courant  $I_{OFF}$  est bien supérieure : 89 %. Ces résultats sont présentés dans la Figure 2-2.a. Toutefois, le taux de remplissage de la partie logique d'un circuit intégré reste inférieur à 75 %. Dans les 25 % restant, les concepteurs ajoutent généralement des capacités de découplage (« Filler cap ») entre l'alimentation et la masse du circuit pour limiter la chute de tension [Chen'95] et des cellules de remplissage (« Filler cell ») afin d'assurer la continuité des zones implantées N et P. En incluant le courant de grille lié aux capacités de découplage, la contribution du courant de grille devient de moins en moins négligeable. La Figure 2-2.b montre que près de 30 % du courant statique totale du circuit est dû au courant circulant à travers la grille des capacités de découplage.

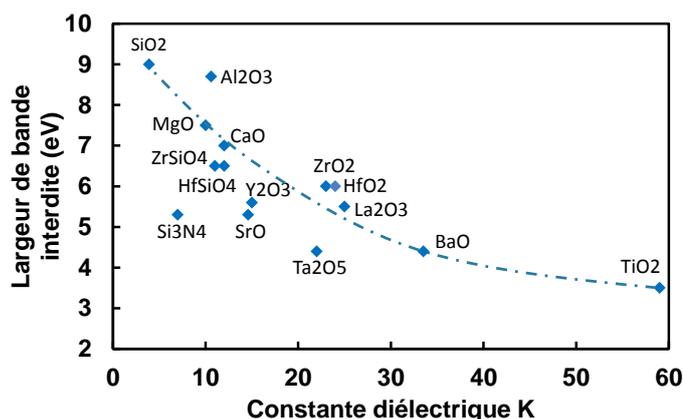


**Figure 2-2 : Répartition du courant statique d'un circuit e-NVM fabriqué par STMicroelectronics Rousset sans (a) ou avec la contribution du courant de grille des capacités de découplage (b)**

Ce phénomène risque donc d'être amplifié pour les technologies plus récentes avec la réduction de l'épaisseur l'oxyde de grille. Un moyen efficace permettant de réduire le courant  $I_G$  est d'utiliser un oxyde de grille possédant une constante diélectrique ( $K$ ) plus élevée. Cette technique permet de réaliser une couche d'isolant physiquement plus épaisse sans dégrader le contrôle électrostatique du canal et donc en conservant une valeur  $C_{OX}$  identique comme illustré dans la Figure 2-4.a avec l'utilisation d'un oxyde nitruré  $Si_3N_4$ . Les oxydes à forte constante diélectrique (« high-K ») ont été largement étudiés pour adresser ce type de problème. Quelques exemples sont présentés sur la Figure 2-4.b. L'oxyde  $HfSiO_x/HfSiON$  semble être un des meilleurs candidats pour les nœuds technologiques 45 nm et en dessous [Tateshita'06b], [Ben Akkez'12]. Certains oxydes « High-K » ne sont d'ailleurs pas compatibles avec le substrat de silicium et la grille en poly-silicium, d'où le passage aux grilles métalliques utilisant du titane (TiN) ou du tungstène (W) dans les technologies sub-40 nm. Cependant, pour des raisons de coût, cette solution n'est pas étudiée dans ce manuscrit pour réduire l'épaisseur de l'oxyde.



**Figure 2-3 : Utilisation d'un oxyde « High-K » permettant d'augmenter l'épaisseur de l'oxyde sans impacter la valeur de  $C_{OX}$**



**Figure 2-4 : Largeur de bande interdite des matériaux « High K » en fonction de leur constante diélectrique K [Robertson'04]**

Une des premières approches permettant d'augmenter la constante diélectrique a été d'ajouter de l'azote (N) dans l'isolant par nitruration thermique [Green'94], [Wristers'96]. En effet, plus la concentration d'azote dans l'isolant devient élevée, plus le courant traversant l'isolant devient faible. Cette technique a aussi permis de réduire la pénétration du bore provenant de la grille (fortement dopée) des transistors PMOS dans le substrat et ainsi éviter une réduction de la tension de seuil [Hattangady'96], [Grider'97], [Rodder'98], [Takasaki'03].

Dans les technologies récentes (65 nm et en dessous), l'introduction d'une nouvelle nitruration par plasma (DPN) est venue remplacer la nitruration thermique permettant une meilleure incorporation d'azote dans l'oxyde. Des gains importants en courant de fuite de grille sont d'ailleurs reportés dans plusieurs travaux [Yang'00], [Cubaynes'02], [03], [Tseng'02], [Takasaki'03], [Veloso'03]. Dans ces travaux, nous avons donc choisi d'utiliser le procédé DPN pour réduire l'épaisseur de l'oxyde sans dégrader la fuite de grille des transistors. En effet, cette solution est la plus évidente et la plus directe à implémenter sur une plateforme technologique e-NVM 80 nm par rapport à l'utilisation d'un nouvel empilement high-K/grille métallique.

## 1.2 Utilisation de la nitruration DPN pour optimiser l'oxyde de grille

### 1.2.A Rappel sur le procédé de nitruration DPN

Les trois différentes étapes du procédé DPN sont présentées dans la Figure 2-5. La première étape consiste à faire croître la couche d'oxyde sur le substrat de silicium par oxydation ISSG dans une chambre à recuit thermique rapide RTP (« Rapid Thermal Processing »), comme sur le procédé standard. Dans la seconde étape, l'oxyde est exposé à une haute densité de plasma formé par du diazote ( $N_2$ ) dans une chambre DPN représentée dans la Figure 2-6. L'énergie nécessaire lors de l'ionisation est délivrée par une source RF. Pour finir, un recuit PNA (« Post Nitridation Anneal ») est effectué à haute température. Une partie de ce chapitre est d'ailleurs consacrée à l'impact de ce recuit sur les caractéristiques des transistors MOS.

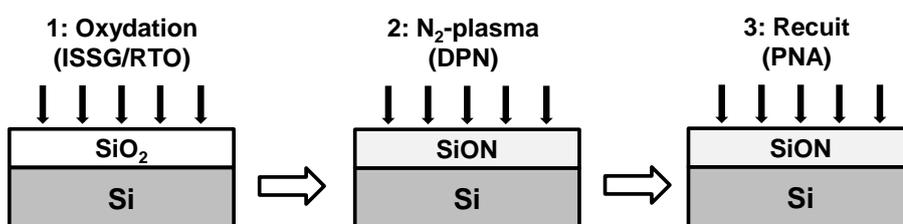


Figure 2-5 : Les trois différentes étapes du procédé DPN

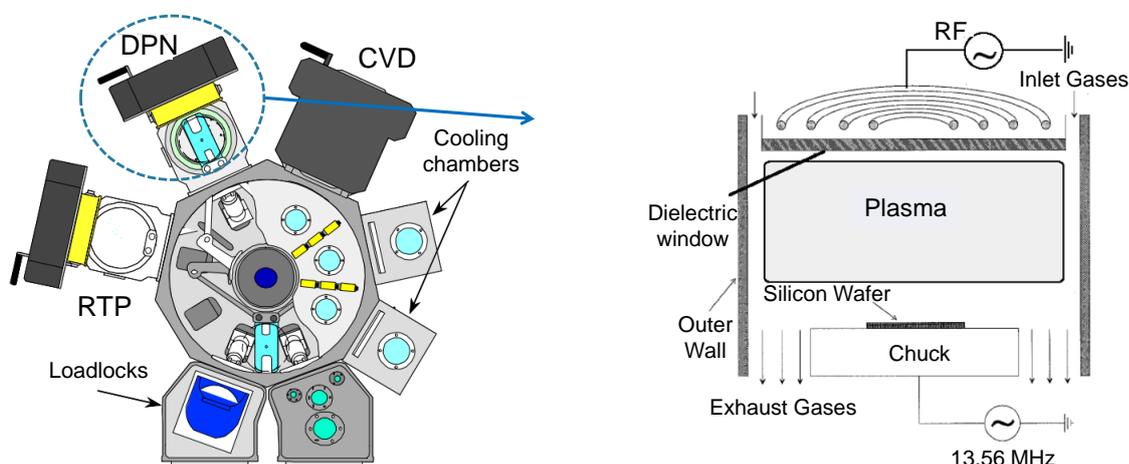


Figure 2-6 : Schéma de la chambre et des conditions utilisées lors de la nitruration par plasma DPN

### I.2.B Utilisation du procédé DPN pour réduire le courant de grille

Dans les résultats qui suivent, des mesures de courant de grille à l'état « ON » ( $I_{G\_ON}$ ) définies dans le premier chapitre et des mesures de l'épaisseur équivalente de l'oxyde (EOT ou  $T_{ox}$ ) sont présentées. Il est donc nécessaire de rappeler les conditions de mesure de chacun de ces paramètres. Concernant les courants de grille  $I_{G\_ONn}$  et  $I_{G\_ONp}$ , les conditions de mesure sont répertoriées dans le Tableau 2-1. Dans le cas d'un transistor NMOS, les valeurs des tensions utilisées pour la mesure du courant  $I_{G\_ONn}$  sont :  $V_G = V_{DD} = 1,2$  V et  $V_S = V_B = V_D = 0$ . Dans le cas d'un transistor PMOS, le courant  $I_{G\_ONp}$  est mesuré à  $V_G = 0$  et  $V_S = V_B = V_D = V_{DD} = 1,2$  V.

	$V_G$ (V)	$V_D$ (V)	$V_S$ (V)	$V_B$ (V)
$I_{G\_ONn}$	1,2	0	0	0
$I_{G\_ONp}$	0	1,2	1,2	1,2

Tableau 2-1 : Conditions de mesure des courants de fuite de grille  $I_{G\_ONn}$  et  $I_{G\_ONp}$

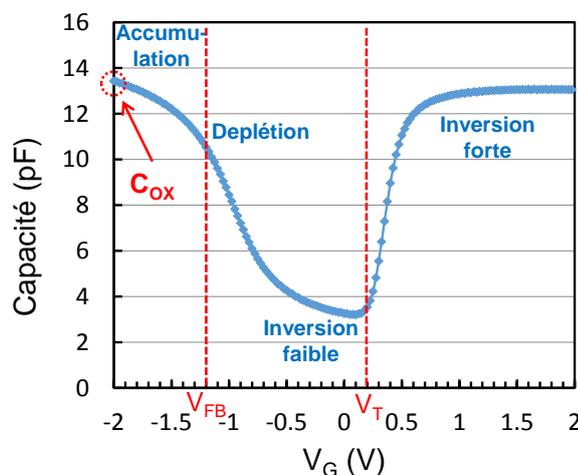


Figure 2-7 : Mesure d'une capacité GO1 sur un substrat de type <p> permettant de remonter jusqu'à la valeur de l'épaisseur équivalente d'oxyde  $T_{ox}$

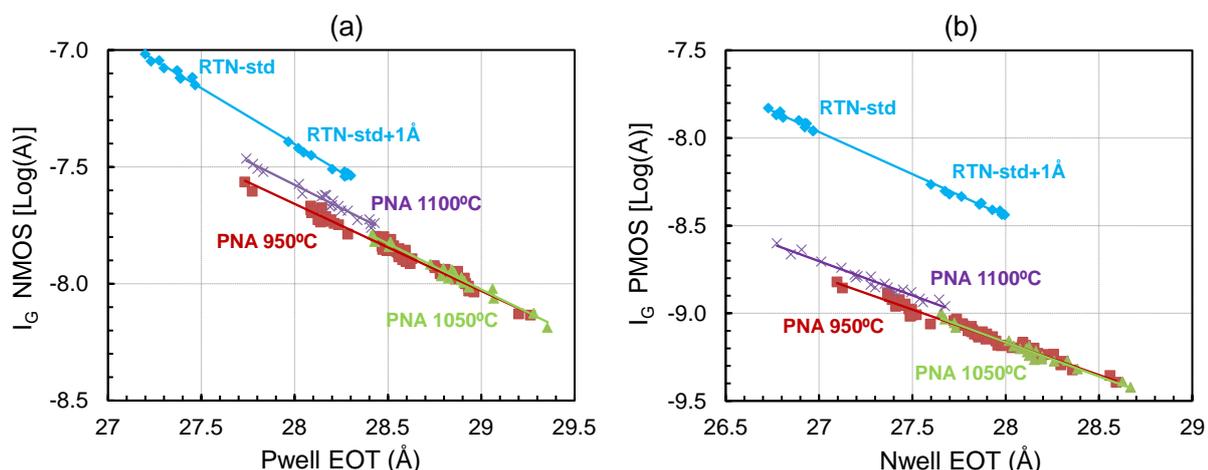
Les mesures de  $T_{OX}$  sont obtenues à partir d'une mesure de capacité GO1 de dimensions ( $W*L$ ) connues. À partir de l'équation de la capacité de l'oxyde exposée dans le chapitre 1, il est possible de remonter jusqu'à la valeur de  $T_{OX}$  ( $\epsilon_{OX}$  étant connu) [Ghibaudo'00]. La valeur de  $C_{OX}$  utilisée, est extraite à  $V_G = -2$  V (pour un substrat de type <p>) lorsque la capacité se trouve en régime d'accumulation comme le montre la caractéristique C-V dans la Figure 2-7.

Afin d'étudier l'impact des différentes conditions du procédé DPN sur la fuite de grille  $I_{G\_ON}$  des transistors GO1 ( $I_{G\_OFF}$  étant négligeable), nous avons réalisé plusieurs expériences présentées dans le Tableau 2-2. L'impact du bilan thermique du recuit PNA nécessaire après l'incorporation de l'azote et des autres paramètres comme la puissance de la source RF et la pression utilisée dans la chambre DPN sont étudiés. La plaquette 01 est fabriquée avec le procédé standard RTN (« Rapid Thermal Nitridation ») et toutes les autres plaques (02 à 15) sont fabriquées avec différentes conditions du procédé DPN. Pour tracer une caractéristique linéaire, une plaquette d'un autre lot possédant un oxyde de grille RTN est aussi utilisé (plaquette 16).

N° du wafer	Oxyde GO1 (essais)	Puissance RF (W)	Pression (mTorr)	Condition du PNA
01	RTN standard (27Å)	-	-	-
16	RTN standard (28Å)	-	-	-
02 – 19 - 20	DPN Essai_6 : 970A	970	10	1100°C - 0.2slm - O <sub>2</sub>
06	DPN Essai_9 : 970C	970	10	1050°C - 0.2slm - O <sub>2</sub>
07 - 08	DPN Essai_10 : 970D	970	10	950°C - 0.2slm - O <sub>2</sub>
09	DPN Essai_23 : 970E	970	10	950°C - 5slm - O <sub>2</sub>
10	DPN Essai_12 : 970F	970	10	950°C - 5slm - N <sub>2</sub>
11	DPN Essai_13 : 1170C	1170	15	1050°C - 0.2slm - O <sub>2</sub>
12 - 13	DPN Essai_14 : 1170E	1170	15	950°C - 0.2slm - O <sub>2</sub>
14 - 15	DPN Essai_14 : 1170F	1170	15	950°C - 5slm - N <sub>2</sub>

**Tableau 2-2 : Différentes conditions du procédé DPN (wafer 02 à 15) et du procédé RTN standard (wafers 01 et 16) pris en considération dans cette étude**

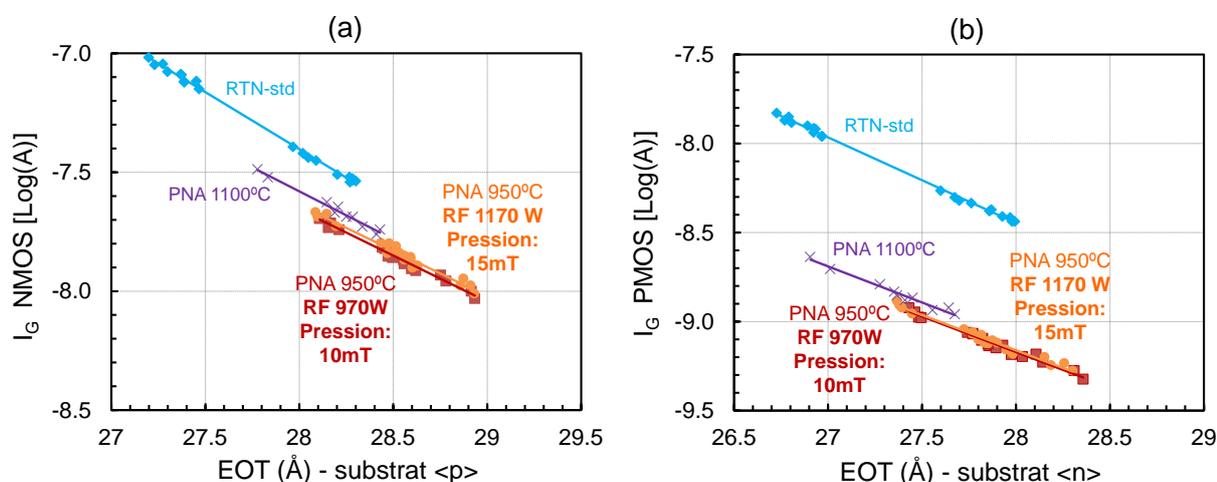
La Figure 2-8 met d'abord en évidence l'influence de la température du recuit PNA sur le courant de grille  $I_{G\_ON}$  des transistors. Lorsque la température du PNA est comprise entre 950°C et 1050°C, le gain en courant de grille est plus important que lorsque le recuit est effectué à plus haute température (1100°C). En effet, lorsque la température du recuit est plus faible, la quantité d'azote incorporée dans la couche d'oxyde est plus importante, ce qui pourrait contribuer à réduire le courant  $I_G$  traversant l'isolant [Cubaynes'03], [Veloso'03].



**Figure 2-8 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W=10\mu\text{m}$  et  $L=10\mu\text{m}$  en fonction de l'EOT pour différentes températures du recuit PNA**

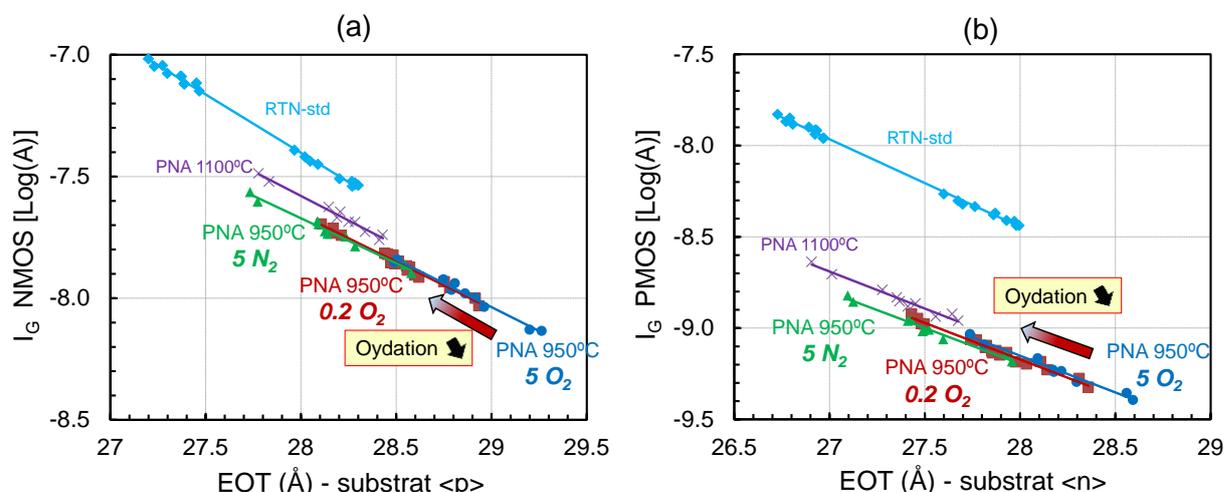
Par ailleurs, lorsque la température est égale à 1100°C, un décalage de la tension de seuil des transistors HV PMOS a été observé. La température du recuit PNA fixée à 950°C est donc un bon compromis permettant de maximiser le gain en courant de grille et d'éviter un décalage sur la tension de seuil des transistors HV PMOS par rapport au procédé standard RTN.

La Figure 2-9 met en évidence que la puissance de la source RF et la pression utilisée pour la nitruration n'ont que très peu d'impact sur le courant  $I_G$ . Les conditions standards du procédé DPN utilisé dans le procédé de fabrication 65 nm sont donc conservées (RF = 970 W et P = 10 mT).



**Figure 2-9 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W=10\mu\text{m}$  et  $L=10\mu\text{m}$  en fonction de l'EOT pour différentes conditions de puissance et de pression dans la chambre DPN**

De même, la Figure 2-10 indique que la quantité et le type d'espèce utilisée pendant le recuit n'a que très peu d'impact sur la figure de mérite du courant  $I_G$ . Cependant, ces paramètres sont utiles pour cibler l'épaisseur électrique de l'oxyde souhaitée.



**Figure 2-10 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W=10\mu\text{m}$  et  $L=10\mu\text{m}$  en fonction de l'EOT pour différents types et différentes quantités d'espèces utilisés pendant le recuit PNA**

Lors du recuit, la Figure 2-10 montre que plus la quantité d'oxygène utilisée est faible, plus l'épaisseur de l'oxyde diminue. En effet, l'oxygène a tendance à diffuser jusqu'à l'interface, faisant croître la couche d'oxyde. D'après ces différentes caractéristiques, la température du recuit reste le paramètre qui influe le plus sur le courant de grille des transistors. Les conditions du procédé DPN utilisées sur la plaquette 10 et celles utilisées sur les plaquettes 7 et 8 sont donc celles retenues pour l'intégration de la nitruration DPN dans le procédé de fabrication e-NVM CMOS 80 nm. Ces conditions permettent une réduction du courant de grille plus importante sur les transistors GO1 et ne modifient pas le comportement électrique des transistors HV.

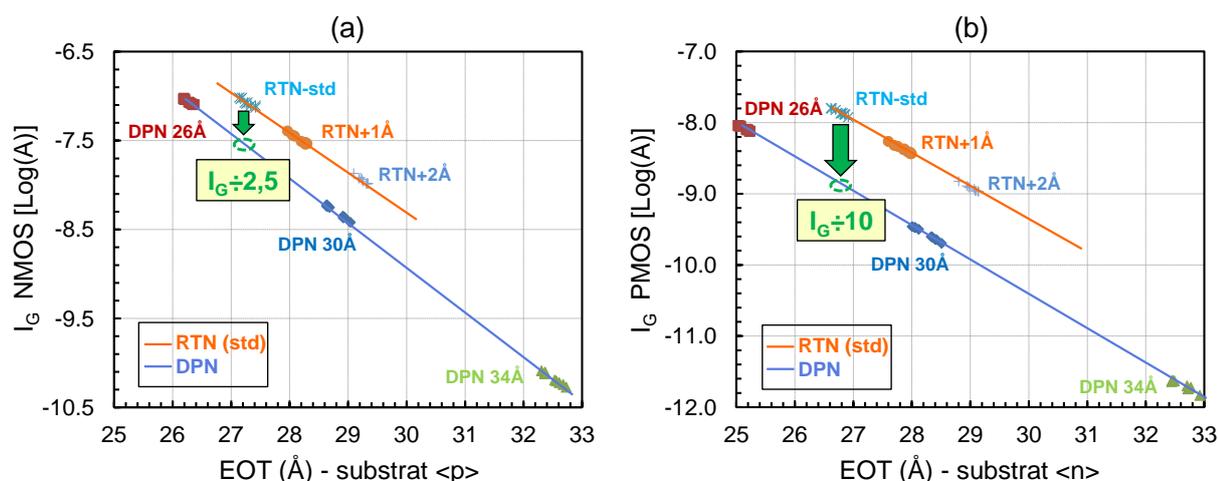
Plusieurs épaisseurs d'oxyde sont maintenant étudiées à partir d'un autre lot électrique contenant six plaquettes de silicium afin d'estimer le gain en courant de grille atteignable sur les transistors GO1 avec l'utilisation de la nitruration DPN. Les valeurs des différentes épaisseurs sont rappelées dans le Tableau 2-3.

	Nitruration RTN (procédé standard)			Nitruration DPN		
	RTN (w1)	RTN+1 (w2)	RTN+2 (w3)	DPN26 (w4)	DPN30 (w5)	DPN34 (w6)
<b>EOT (Å) ISSG</b>	27	28	29	26	30	34

**Tableau 2-3 : Les différentes épaisseurs équivalentes d'oxyde étudiées afin d'estimer le gain sur le courant  $I_{G\_ON}$  entre le procédé de nitruration standard RTN et le procédé de nitruration DPN**

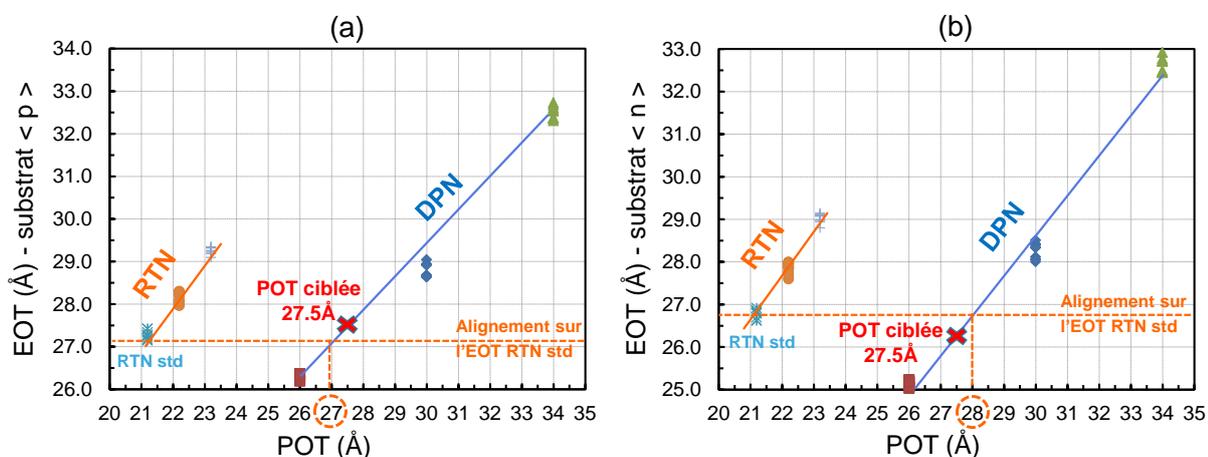
Pour chaque expérience, le courant de grille à l'état ON des transistors NMOS et PMOS GO1 est mesuré et représenté sur la Figure 2-11 en fonction de l'EOT. Pour la même EOT, la nitruration DPN

permet de réduire par 2,5 le courant de grille d'un transistor NMOS et par 10 celui d'un transistor PMOS.



**Figure 2-11 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W=10\mu\text{m}$  et  $L=10\mu\text{m}$  en fonction de l'épaisseur électrique de l'oxyde pour les deux types de nitruration RTN et DPN**

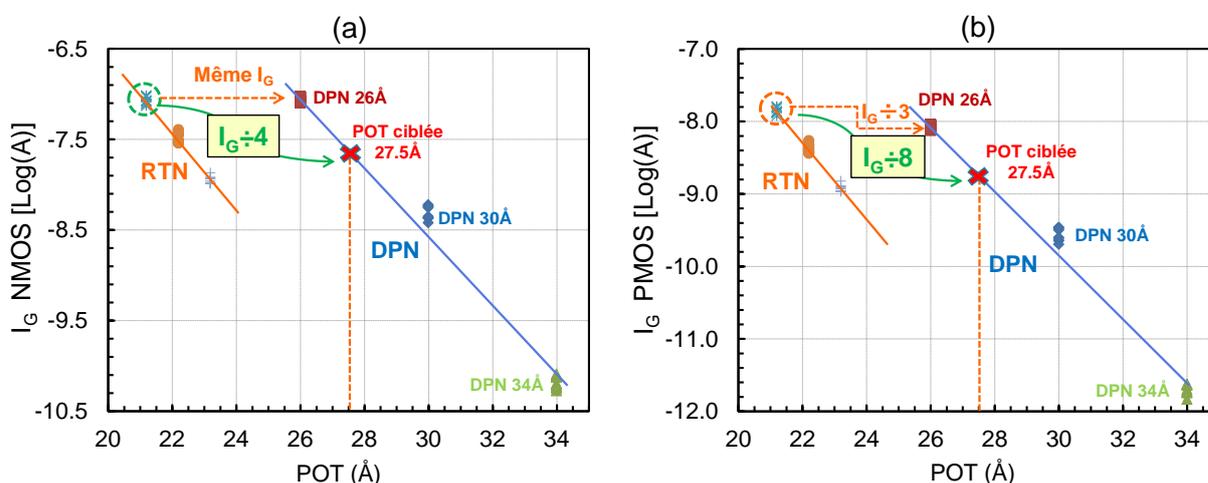
En effet, l'augmentation de la concentration d'azote avec la nitruration par plasma conduit à une augmentation de la constante diélectrique de l'oxyde ( $\epsilon_{\text{ox}}$ ) ainsi que de l'épaisseur physique (POT) de l'isolant [Mizokuro'99], observée dans la Figure 2-12. Pour une EOT identique entre les deux procédés de nitruration, l'épaisseur physique de l'oxyde est plus importante sur le procédé DPN.



**Figure 2-12 : Epaisseur électrique de l'oxyde (EOT) en fonction de l'épaisseur physique (POT) sur un substrat de type <p> (a) et sur un substrat de type <n> (b) entre le procédé de référence RTN et le procédé DPN**

Pour aligner l'EOT obtenue avec le procédé DPN sur celle utilisée avec le procédé standard RTN, l'épaisseur physique de l'oxyde ciblée doit être de 27 Å sur un substrat <p> (« Pwell ») et à 28 Å sur un substrat <n> (« Nwell »). L'oxydation GO1 ayant lieu en même temps sur les deux types de substrat, il n'est pas possible de faire croître une épaisseur d'oxyde différente sur chaque active sans l'utilisation d'une étape de photolithographie supplémentaire. Plusieurs cas de figure sont donc envisageables en fonction des contraintes recherchées sur les courants de fuite des transistors NMOS et PMOS.

- Aligner l'EOT du procédé DPN sur Pwell à celle du procédé standard RTN pour conserver des performances identiques sur NMOS (même  $C_{ox}$ ) et réduire le courant de grille par un facteur 2,5 sur NMOS et 10 sur PMOS (POT  $\sim 27 \text{ \AA}$ ) (Figure 2-11)
- Aligner l'EOT du procédé DPN sur Nwell à celle du procédé standard RTN pour conserver des performances identiques sur PMOS (même  $C_{ox}$ ) et réduire de façon considérable le courant de grille sur NMOS et PMOS (POT  $\sim 28 \text{ \AA}$ ). Cependant, une dégradation importante des performances du transistor NMOS est attendue.
- Réaliser un compromis en ciblant une épaisseur physique de  $27,5 \text{ \AA}$  permettant d'augmenter le gain en courant de grille sur les transistors NMOS sans véritablement dégrader leur performance (Figure 2-13). En faisant ce choix, pour la même épaisseur d'oxyde physique, le courant de grille des transistors NMOS est réduit par un facteur 4 (Figure 2-13.a) et celui des transistors PMOS par un facteur 8 (Figure 2-13.b).



**Figure 2-13 : Courant de grille d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqué avec la nitruration RTN ou DPN en fonction de l'épaisseur physique de l'oxyde**

### I.2.A Utilisation de la DPN pour améliorer les performances

L'utilisation du procédé de nitruration DPN peut aussi permettre de réduire l'épaisseur physique de l'oxyde pour augmenter le contrôle électrostatique du canal tout en maintenant des courants de grille similaires à ceux obtenus sur le procédé standard RTN. Le courant de grille du transistor NMOS ( $I_{G\_ONn}$ ) étant plus important et plus critique que celui du transistor PMOS ( $I_{G\_ONp}$ ), l'approche réalisée a été de réduire l'épaisseur d'oxyde sur Pwell avec la nitruration DPN afin de conserver un courant de grille sur NMOS identique à celui du procédé standard RTN. D'après la Figure 2-13.a vue précédemment, une épaisseur physique de  $26 \text{ \AA}$  sur Pwell nous permet de maintenir un courant  $I_{G\_ONn}$  similaire entre les deux procédés. Sur Nwell, cette diminution nous permet tout de même de conserver une réduction du courant  $I_{G\_ONp}$  par un facteur 2,5 avec l'utilisation de la DPN (contre une réduction par un facteur 8 montrée sur la Figure 2-13.b).

Les courbes de mérite  $I_{OFF}$  en fonction de  $I_{ON}$  d'un transistor NMOS de dimension  $W=10\mu\text{m}$  et  $W=1\mu\text{m}$  sont présentées dans la Figure 2-14 en fonction du procédé utilisé lors de la nitruration. Ces courbes démontrent qu'un gain en courant  $I_{ON}$  de 3 à 4 % est atteignable avec l'utilisation du procédé DPN et une épaisseur d'oxyde de 26 Å. Pour chaque expérience, les deux populations affichées sont obtenues en caractérisant deux types de transistors possédant des tensions de seuil différentes (SVT/HVT) ajustées en modifiant la concentration d'espèces implantées dans le canal lors de la fabrication.

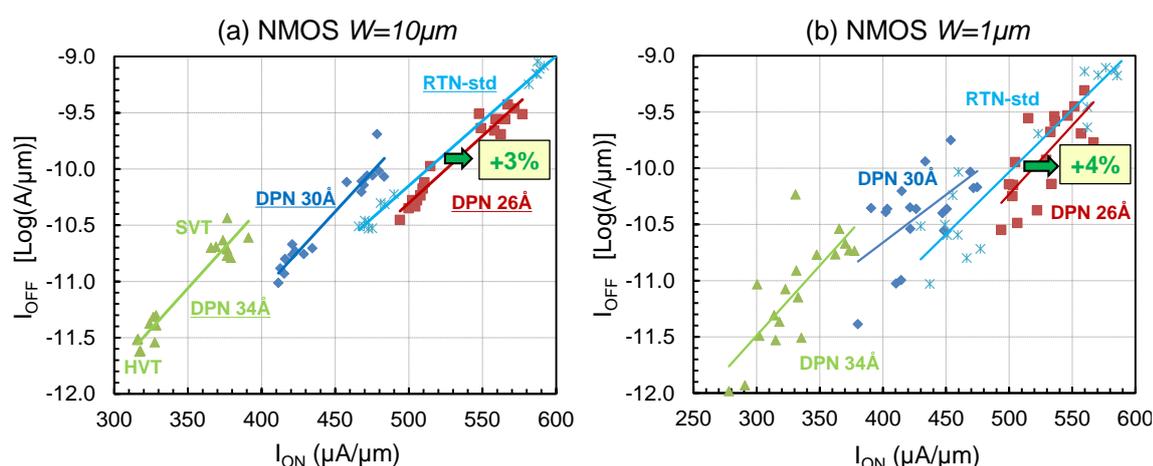


Figure 2-14 : Courbes de mérite  $I_{OFF}/I_{ON}$  d'un transistor NMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b)

La même analyse est présentée sur la Figure 2-15 pour les transistors PMOS et nous obtenons jusqu'à 14 % de gain en courant  $I_{ON}$ . Ces gains sont directement liés à une augmentation de la capacité  $C_{OX}$  à travers une réduction de l'épaisseur de l'isolant ( $T_{OX}$ ).

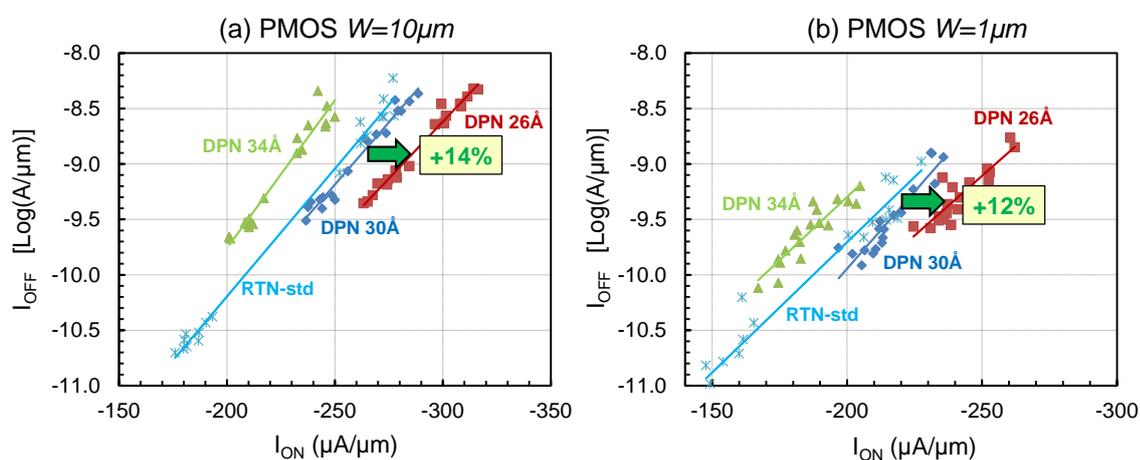


Figure 2-15 : Courbes de mérite  $I_{OFF}/I_{ON}$  d'un transistor PMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b)

Cependant, dans le cas des transistors NMOS, des travaux ont déjà montré que l'utilisation de la nitruration DPN pouvait entraîner une réduction de la mobilité des électrons [Kamgar'00]. Pour essayer de retrouver ce résultat et étudier ce phénomène, deux autres plaques de silicium sont étudiées. Sur la première plaque, l'oxydation GO1 est réalisée par ISSG+RTN comme sur le procédé standard (« RTN std »). Sur la seconde plaque, l'oxydation ISSG est suivie du procédé DPN et du recuit PNA (« DPN »). Toutes les autres étapes de fabrications (dopage canal, S/D, poches, etc ...) sont identiques entre ces deux plaques.

Les courbes de mérite  $I_{ON}$  en fonction de  $V_T$  extraites sur ces deux plaques sont représentées dans la Figure 2-16. Pour chaque plaque, les trois populations affichées sont obtenues en caractérisant trois types de transistors possédant des tensions de seuil différentes (SVT/HVT/UHVT). Une réduction du courant  $I_{ON}$  de -15 % est observée sur les deux géométries ( $W=10\mu\text{m}$  et  $1\mu\text{m}$ ) fabriquées avec le procédé DPN. Ces courbes montrent également un décalage important de la tension de seuil  $V_T$  qui augmente de plus de 100 mV avec l'utilisation du procédé DPN, bien que les deux plaques aient vu les mêmes étapes d'implantation. La réduction du courant est donc certainement liée à une dégradation de la mobilité engendrée en partie par l'augmentation de la tension de seuil observée avec le procédé DPN.

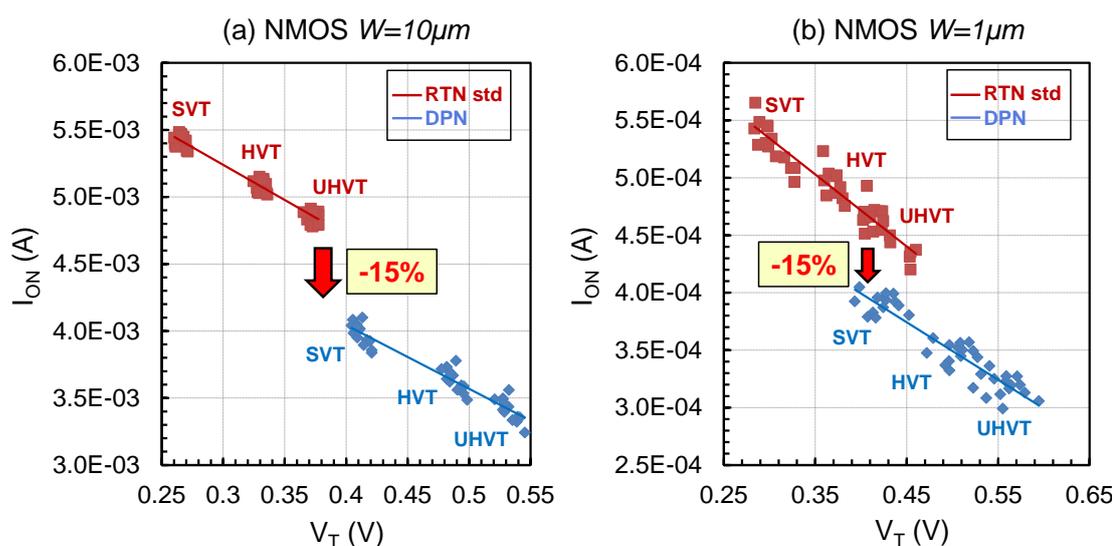


Figure 2-16 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W=10\mu\text{m}$  (a) et  $W=1\mu\text{m}$  (b) fabriqués avec le procédé standard RTN ou le procédé DPN

Pour confirmer ces résultats, nous avons extrait la mobilité en utilisant la méthode split C-V [Koomen'73], [Hubert'15] sur des transistors GO1 longs et larges ( $W=10\mu\text{m}$  et  $L=10\mu\text{m}$ ) fabriqués avec une orientation cristalline, une épaisseur d'oxyde  $T_{ox}$  et une nitruration différente (Tableau 2-4). Les résultats présentés dans la Figure 2-17 confirment que la mobilité à faible champ (maximum des courbes Split-CV) des électrons est bien réduite lors de l'introduction de la nitruration DPN alors que la mobilité des trous augmente.

N° du wafer	Orientation cristalline	$T_{ox}$	Nitruration
#1	<110>	3.0	DPN
#2	<110>	3.0	RTN
#3	<110>	2.6	DPN
#4	<110>	2.07	RTN
#5	<100>	2.55	DPN
#6	<100>	2.07	RTN

Tableau 2-4 : Récapitulatifs des différentes plaques utilisées pour l'extraction de mobilité

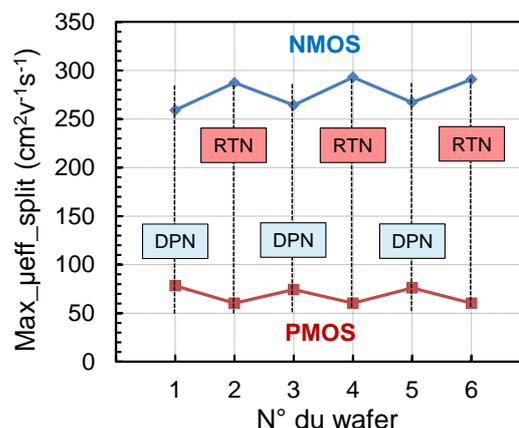


Figure 2-17 : Mobilité des trous et des électrons pour les deux différents procédés RTN et DPN

Pour mieux comprendre ces résultats, il faut s'intéresser au dopage du substrat, déterminé à partir de la pente sous le seuil des transistors en régime de faible inversion. Dans le cas du transistor PMOS (Figure 2-18.b), le dopage mesuré (noté « Nsub ») suit la même tendance que le dopage réellement implanté (noté « Implant »). Dans le cas du transistor NMOS (Figure 2-18.a), le dopage mesuré sur les plaques fabriquées avec le procédé RTN est systématiquement inférieur à celui mesuré sur les plaques fabriquées avec le procédé DPN. En effet, le dopage du substrat des transistors NMOS étant du Bore, nous savons que la nitruration DPN empêche sa diffusion dans l'isolant par rapport au procédé RTN [Hattangady'96], [Grider'97], [Rodder'98], [Takasaki'03]. C'est d'ailleurs la raison pour laquelle dans la Figure 2-16, la tension de seuil du transistor NMOS augmente avec le procédé DPN. Tandis que, dans le cas du transistor PMOS, le dopage du substrat est réalisé avec du phosphore qui a du mal à diffuser dans l'isolant SiO<sub>2</sub>.

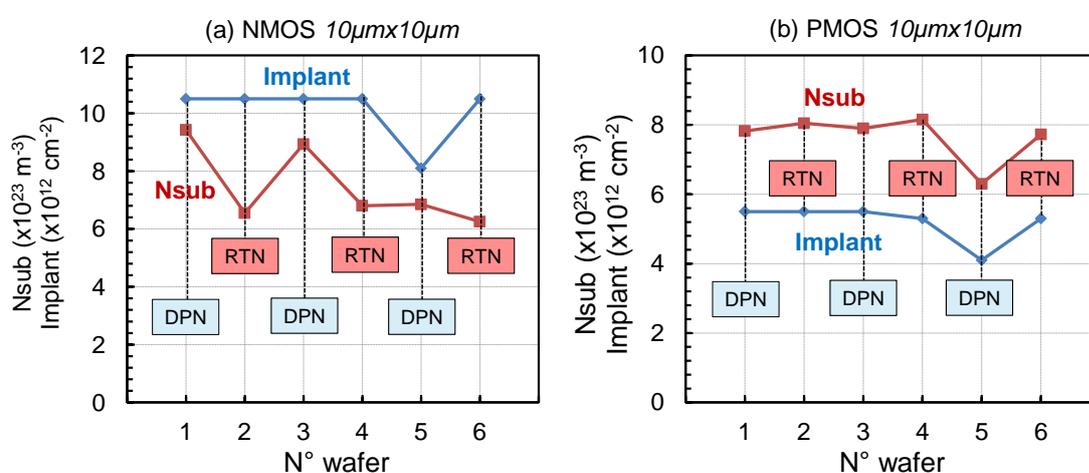


Figure 2-18 : Dopage du substrat de type <n> (a) et du substrat de type <p> (b) pour les plaquettes ayant été fabriquées avec le procédé RTN ou DPN

Le dopage du substrat étant différent en fonction du procédé de fabrication utilisé, il faut maintenant étudier son impact sur la mobilité à faible champ. La Figure 2-19, met en évidence le lien entre la mobilité et le dopage du substrat. Nous pouvons d'ailleurs constater que plus le dopage est faible, plus la mobilité est importante [Sabnis'79], [Takagi'94], [Silvaco Int.'00], ce qui explique déjà une partie de la réduction du courant I<sub>ON</sub> observée dans la Figure 2-16.

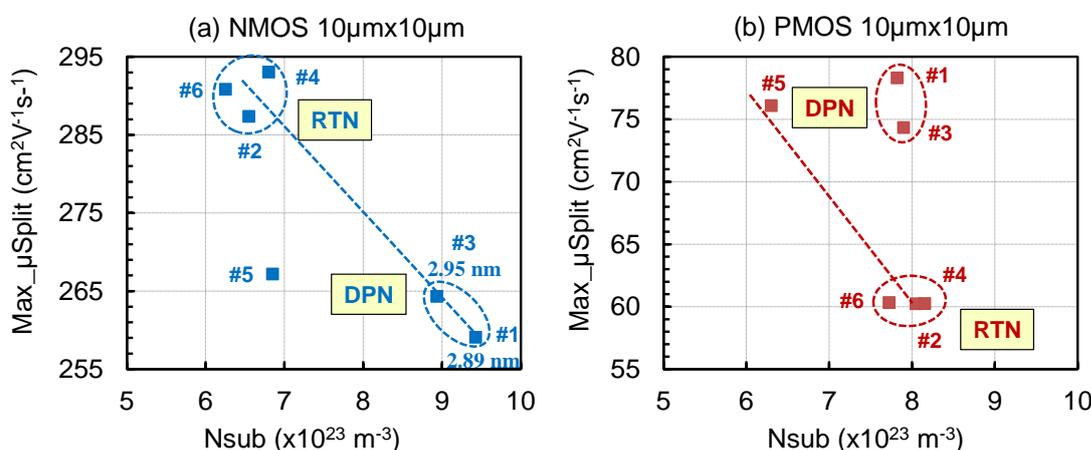
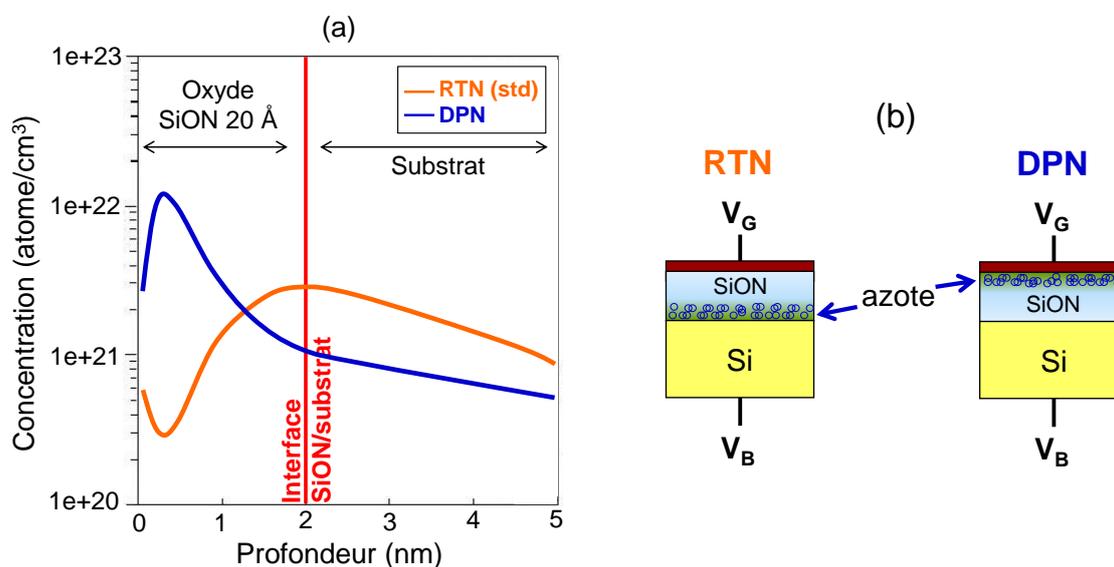


Figure 2-19 : Maximum de la mobilité en fonction du dopage du substrat d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqués avec le procédé RTN standard et le procédé DPN

Nous pouvons aussi remarquer que les transistors PMOS (Figure 2-19.b) fabriqués avec la nitruration DPN (#1, #3) n'ont pas la même mobilité par rapport à ceux fabriqués avec la nitruration standard RTN (#2, #4, #6) bien que le dopage soit identique. Nous pouvons alors supposer que ce sont les charges parasites de la couche d'azote qui diminuent la mobilité des transistors PMOS fabriqués avec le procédé RTN. Avec l'utilisation du procédé DPN, les pièges sont plus éloignés de l'interface comme le met en évidence la Figure 2-20 et ont moins d'influence sur la mobilité.



**Figure 2-20 : Profils SIMS (a) et représentation graphique (b) montrant la concentration d'azote en fonction de la profondeur dans l'oxyde nitruré de type RTN et DPN. (b)**

Cependant, les charges dans l'isolant devraient impacter la mobilité des électrons et des trous de la même façon. Une dégradation de la mobilité des électrons devrait donc être observée avec l'utilisation de la nitruration RTN sur les transistors NMOS. Or, c'est le contraire qui est observé dans la Figure 2-17. Nous pouvons alors supposer que des charges parasites sont présentes à l'interface de l'oxyde RTN. Néanmoins, dans le cas du transistor NMOS, la baisse du dopage à l'interface induit une augmentation plus importante de la mobilité que la perte provoquée par les charges parasites. D'autre part, lorsque l'épaisseur de l'oxyde DPN diminue, les charges parasites se rapprochent de l'interface, ce qui contribue à réduire la mobilité (comparaison entre les plaques #1 et #3 sur la Figure 2-19.a).

En conclusion, le procédé de nitruration DPN peut être utilisé aussi bien pour réduire le courant de fuite de grille que pour augmenter les performances des transistors GO1. Dans ce dernier cas, un gain en mobilité de plus de 20 % est démontré sur les transistors PMOS. Un ajustement de la tension de seuil est cependant nécessaire sur le transistor NMOS afin d'éviter une dégradation de la mobilité des électrons.

## II Le choix de l'orientation cristalline <100> (45°)

Jusqu'aux technologies 90 nm, c'est le substrat (100) avec l'orientation cristalline <110> qui s'impose comme le plus utilisé pour la fabrication des circuits intégrés. Comme énoncé dans le chapitre 1 (II.1.B), c'est le plan dans lequel la mobilité des électrons est la plus forte [Irie'04], [Chang'04]. À partir des nœuds technologiques 65 nm, de nombreux travaux ont montré tout l'intérêt de tourner le wafer à 45° pour augmenter les performances des transistors PMOS [Komoda'04]. D'ailleurs, ce type de substrat est déjà employé dans des nœuds actuellement en production. Dans cette configuration, la direction du canal devient <100> comme le rappelle la Figure 1-14. D'autre part, l'utilisation d'un substrat tourné à 45° ne requiert aucun coût additionnel sur le procédé de fabrication puisqu'il suffit de transposer le notch à 45°. L'étude qui suit s'intéresse au comportement électrique des transistors fabriqués avec un substrat tourné à 45°. Le but étant de valider ou non son intérêt sur les nœuds technologiques e-NVM CMOS 80 nm sur lesquelles il n'a jamais encore été utilisé.

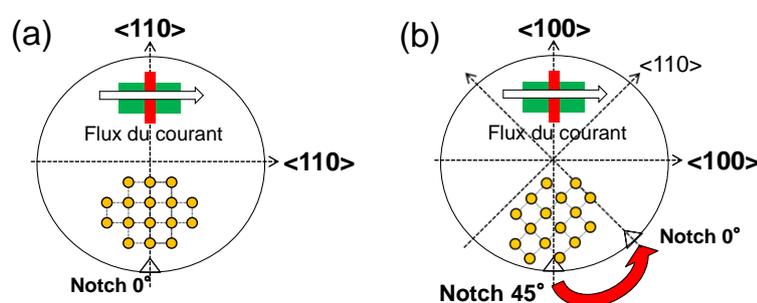


Figure 2-21 : Représentation schématique des deux types de substrats étudiés : l'orientation cristalline standard <110> (a) et l'orientation <100> tournée à 45° (b)

### II.1 Impact du substrat tourné à 45° sur les performances des transistors

#### II.1.A Cas des transistors GO1 PMOS

La Figure 2-22 présente les courbes de mérite  $I_{OFF}$  en fonction de  $I_{ON}$  et  $I_{ON}$  en fonction de  $V_T$  d'un transistor PMOS GO1 de largeur  $W=10\ \mu\text{m}$  ayant suivi le même procédé de fabrication mais sur deux orientations cristallines différentes : <110> (standard) et <100> (45°). D'après ces courbes, un gain en courant  $I_{ON}$  de 6 à 7 % est observé sur un transistor PMOS fabriqué avec une orientation cristalline <100>.

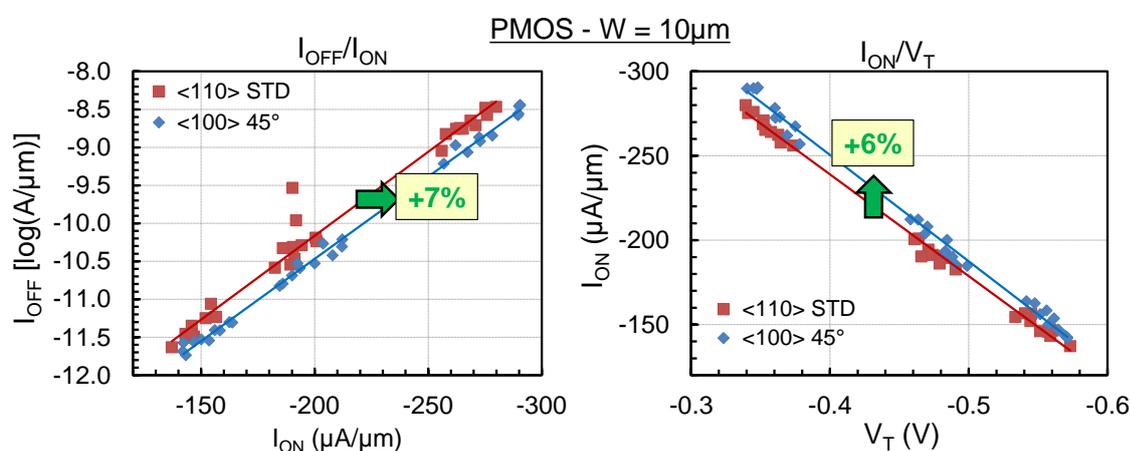
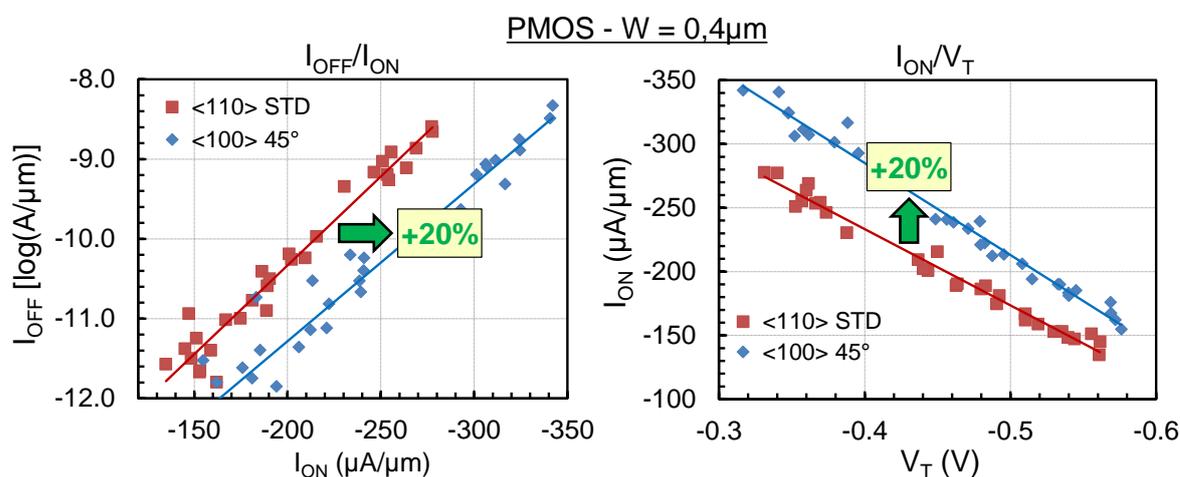


Figure 2-22 : Courbes de mérite  $I_{OFF}/I_{ON}$  (a) et  $I_{ON}/V_T$  (b) d'un transistor PMOS GO1 de largeur  $W = 10\ \mu\text{m}$  fabriqué avec une orientation cristalline standard <110> et une orientation tournée à 45° <100>

Les mêmes courbes sont maintenant présentées dans la Figure 2-23 mais pour des transistors PMOS GO1 de largeur  $W=0,4 \mu\text{m}$ , représentatif des cellules standards. Dans ce cas, un gain en courant  $I_{\text{ON}}$  de plus de 20 % est observé pour un transistor PMOS fabriqué avec l'orientation cristalline  $\langle 100 \rangle$ . Ce gain est en partie lié à une augmentation importante de la mobilité engendrée par une réduction de la masse effective des trous dans la direction  $\langle 100 \rangle$  ( $\mu_0 = \frac{q\tau}{m_c}$ ). Le gain obtenu avec le substrat tourné dépend donc de la largeur du transistor. Nous reviendrons plus tard sur cette observation.



**Figure 2-23 : Courbes de mérite  $I_{\text{OFF}}/I_{\text{ON}}$  (a) et  $I_{\text{ON}}/V_T$  (b) d'un transistor PMOS GO1 de largeur  $W = 0,4 \mu\text{m}$  fabriqué avec une orientation cristalline standard  $\langle 110 \rangle$  et une orientation tournée à  $45^\circ$   $\langle 100 \rangle$**

Les courbes de mérite  $I_{\text{ON}}$  en fonction de  $V_T$  (Figure 2-22.b, Figure 2-23.b) nous permettent également de montrer que le changement de l'orientation cristalline n'a aucun impact sur la tension de seuil des transistors PMOS et confirment le gain en mobilité lié à la réduction de la masse effective des trous. Par la suite, nous privilégierons cette représentation graphique pour comparer deux différents procédés. En effet, si la modification de certains procédés de fabrication entraîne un décalage de la tension de seuil des transistors, il sera plus facilement observé et quantifié sur une caractéristique  $I_{\text{ON}}$  en fonction de  $V_T$ . D'autre part, les courants  $I_{\text{OFF}}$  mesurés sont parfois très faibles (notamment pour les petites géométries) et se rapprochent des courants minimum pouvant être détectés par nos équipements. Ce type de mesure nous permet donc également d'être plus précis et de réduire la dispersion en comparant des tensions de seuil (exprimées en mV) plutôt que des courants de fuite (exprimées en pA).

### II.1.A Cas des transistors GO1 NMOS

Intéressons-nous à présent à l'étude des transistors GO1 NMOS. Les courbes de mérite  $I_{\text{OFF}}$  en fonction de  $I_{\text{ON}}$  et  $I_{\text{ON}}$  en fonction de  $V_T$  sont présentées dans la Figure 2-24 pour les deux orientations cristallines  $\langle 110 \rangle$  et  $\langle 100 \rangle$ . Nous pouvons d'ailleurs constater que l'orientation cristalline  $\langle 100 \rangle$  n'entraîne aucune variation du courant  $I_{\text{ON}}$  sur les deux largeurs étudiées ( $W=0,4 \mu\text{m}$  et  $W=10 \mu\text{m}$ ). En effet dans le cas des transistors NMOS, la masse effective des électrons est identique dans les deux directions étudiées [Ortolland'06].

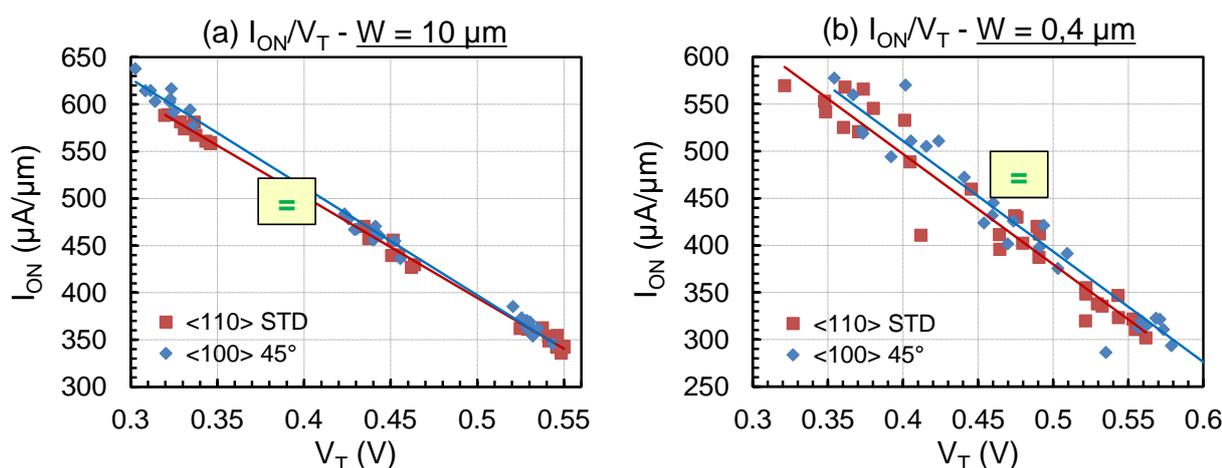


Figure 2-24 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS GO1 de dimension  $W=10\mu\text{m}$  (a) et  $W=0,4\mu\text{m}$  (b) fabriqué avec une orientation cristalline standard  $\langle 110 \rangle$  et tournée à  $45^\circ$   $\langle 100 \rangle$

### II.1.B Variation du gain en fonction de la largeur des transistors

Dans l'étude précédente, nous avons pu constater que le gain en courant  $I_{ON}$  obtenu sur les transistors PMOS fabriqués avec une orientation cristalline  $\langle 100 \rangle$  est multiplié par un facteur 3 entre un transistor large ( $W = 10 \mu\text{m}$ ) et un transistor étroit ( $W = 0,4 \mu\text{m}$ ). Cette observation est confirmée dans la Figure 2-25 montrant le gain en courant  $I_{ON}$  apporté par l'orientation  $\langle 100 \rangle$  par rapport à l'orientation standard  $\langle 110 \rangle$  en fonction de la largeur de l'active. En effet, plus celle-ci diminue, plus le gain en courant  $I_{ON}$  augmente jusqu'à une valeur maximale de 20 %.

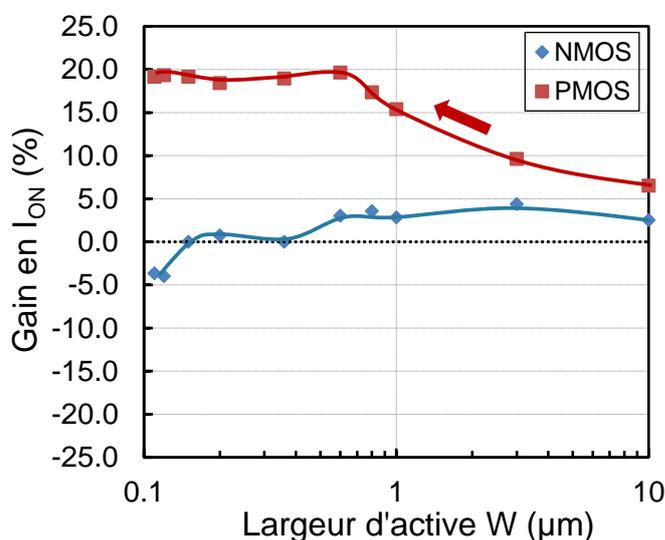


Figure 2-25 : Gain en courant  $I_{ON}$  en fonction de la largeur d'active d'un un transistor ayant une orientation cristalline  $\langle 100 \rangle$  par rapport à un transistor ayant une orientation cristalline  $\langle 110 \rangle$

Pour comprendre l'origine de l'augmentation du gain en  $I_{ON}$  sur les transistors PMOS étroits, il faut s'intéresser aux coefficients piezorésistifs du silicium dans les deux orientations cristallines introduits dans le chapitre 1 et rappelés dans le Tableau 2-5 à partir des travaux de [Smith'54].

Coefficients piezorésistifs	<110> Standard		<100> 45°	
	$\pi_L$	$\pi_T$	$\pi_L$	$\pi_T$
NMOS	-31.6	-17.6	-102	53.4
PMOS	71.8	<b>-66.3</b>	6.6	<b>-1.1</b>

**Tableau 2-5 : Types de contraintes mécaniques à appliquer pour augmenter la mobilité des transistors NMOS et PMOS dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°)**

En se basant sur les travaux de [Thompson'04] et en utilisant la valeur et le signe des coefficients piezorésistifs, nous pouvons proposer le Tableau 1-4 (déjà présenté dans le chapitre 1) regroupant les différents types de stress à appliquer sur les transistors ainsi que leur niveau d'influence sur les deux orientations cristallines étudiées.

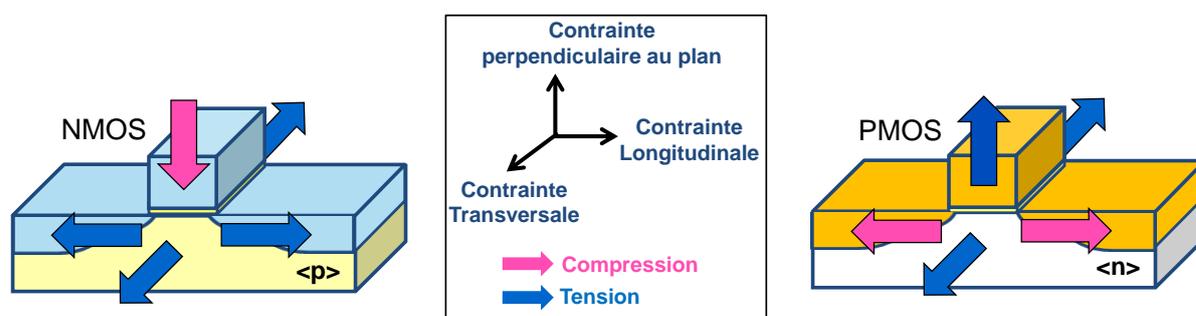
Orientation	<110> Standard		<100> 45°	
Direction	NMOS	PMOS	NMOS	PMOS
Longitudinal ( $\pi_L$ )	Tension +++	Compression ++++	Tension ++++	Compression +
Transversal ( $\pi_T$ )	Tension ++	Tension ++++	Compression +++	Tension +
Perpendiculaire au plan	Compression ++++	Tension +	Compression +++	Tension

**+** Peu influant

**++++** Très influant

**Tableau 2-6 : Types de contraintes mécaniques à appliquer pour augmenter la mobilité des transistors dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°)**

Ces deux tableaux mettent en évidence la réduction importante de la sensibilité aux contraintes longitudinale et transversale (en rouge) du transistor PMOS fabriqué avec une orientation cristalline <100>. Ces deux tableaux peuvent être également transformés en vue schématique (Figure 2-26) permettant de mieux visualiser le type de contrainte (tension/compression) à appliquer pour augmenter la mobilité.



**Figure 2-26 : Vue schématique des types de contraintes à appliquer pour augmenter la mobilité des transistors dans les deux orientations cristallines étudiées <100> (standard) et <100> (45°)**

Dans le premier chapitre, nous avons vu que durant la fabrication, les transistors sont soumis à des contraintes mécaniques (STI, siliciuration, etc) pouvant modifier leur comportement électrique ( $\mu$ ,  $V_T$ , etc ...). Par exemple, l'oxyde HDP aujourd'hui utilisé pour remplir les tranchées STI induit une contrainte en compression importante dans le canal des transistors. Cette contrainte mécanique est favorable sur les transistors PMOS assez larges sur lesquels l'influence de la contrainte transversale peut être négligée, mais le devient de moins en moins lorsque la largeur du transistor diminue. Dans ce cas, le stress transversal devient non négligeable et doit être pris en compte dans la variation de mobilité mise en évidence dans l'équation (2.1), valable lorsque que la tension de seuil n'est pas impactée par la modification apportée [Jaeger'00].

$$\frac{\Delta I_D}{I_D} \cong \frac{\Delta \mu}{\mu} \cong |\sigma_L \cdot \pi_L + \sigma_T \pi_T| \quad (2.1)$$

La réduction de la sensibilité au stress compressif et transversal induit par l'oxyde STI du transistor PMOS dans l'orientation <100> peut donc être à l'origine du gain supplémentaire observé sur les transistors PMOS étroits. En effet, la contrainte mécanique engendrée par l'oxyde STI peut dégrader la mobilité des transistors PMOS étroits encore très sensibles au stress transversal dans l'orientation <110>.

## II.2 Impact du substrat tourné à 45° sur les résistances d'active P+

Pour confirmer les résultats observés sur les transistors, la valeur de la résistance d'un barreau d'active non siliciuré est maintenant étudiée sur les deux orientations cristallines. Pour confirmer l'impact du stress transversal, deux différentes largeurs de barreau sont étudiées ( $W = 3\mu\text{m}$  et  $W = 0,11\mu\text{m}$ ). L'équation permettant de calculer la résistance d'un barreau est présentée dans (2.2).

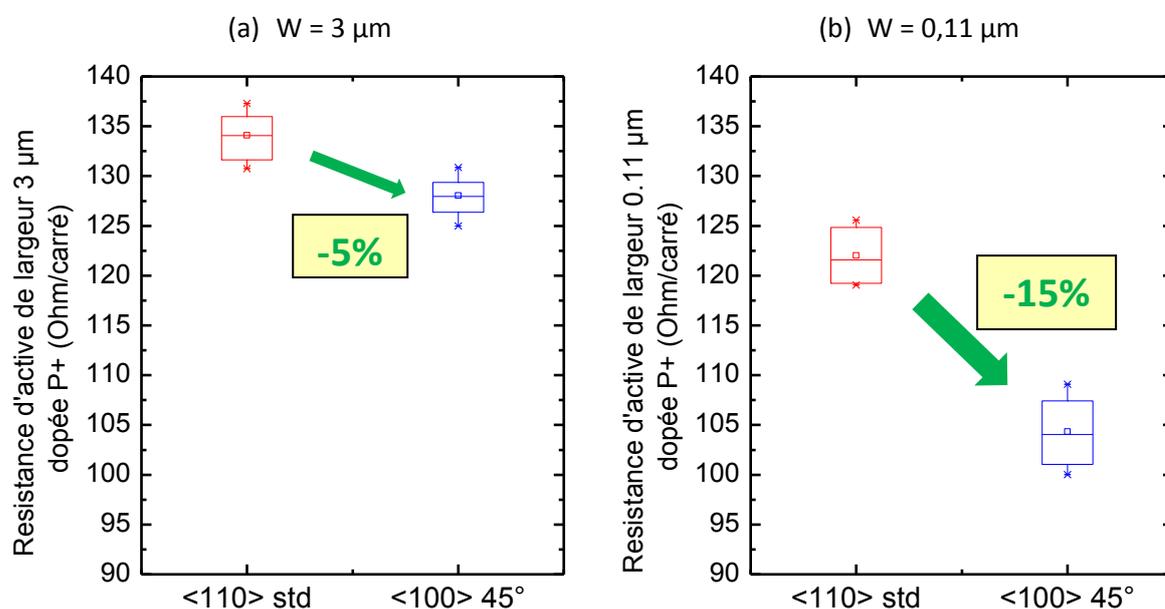
$$R = \rho \cdot \frac{L}{S} \quad (2.2)$$

Dans cette équation,  $\rho$  représente la résistivité du silicium,  $L$  la longueur et  $S$  la section du barreau d'active. Le paramètre qui nous intéresse est la résistivité du silicium qui est directement impactée par le changement de l'orientation cristalline. Sa notation est présentée dans l'équation (2.3) où  $q$  représente la charge unitaire,  $p$  la concentration des trous et  $\mu$  la mobilité des porteurs majoritaires.

$$\rho = \frac{1}{q \cdot p \cdot \mu} \quad (2.3)$$

Comparons maintenant l'impact du changement de l'orientation cristalline sur la résistance des barreaux d'active dopés P+. Sur la Figure 2-27.a, une diminution de -5 % de la résistance d'un barreau de largeur  $W = 3\mu\text{m}$  est d'abord observée. Une réduction de -15 % de la résistance d'un barreau d'active étroit ( $W = 0,11\mu\text{m}$ ) est ensuite observée sur la Figure 2-27.b. Cette diminution est la conséquence directe du gain en mobilité des trous plus légers mis en évidence précédemment sur les transistors PMOS (Figure 2-25). Par ailleurs, lorsque la largeur de la zone active diminue, l'impact du

stress transversal est une nouvelle fois mis en évidence dans cette étude. En effet, le gain sur la résistance observé sur un barreau étroit (-15 %) fabriqué avec une orientation  $\langle 100 \rangle$  est bien supérieur à celui observé sur un barreau plus large (-5%).

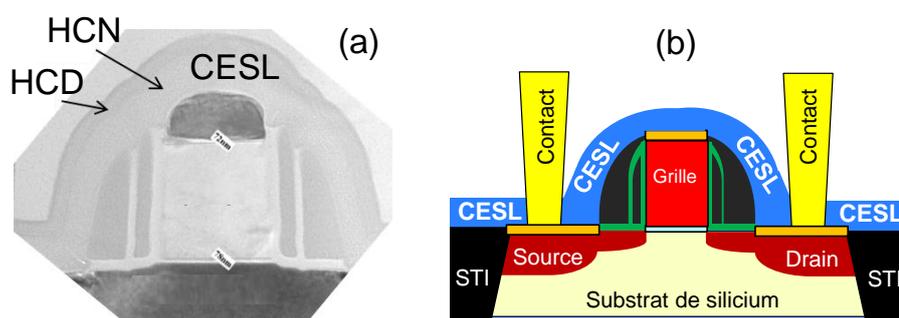


**Figure 2-27 : Résistance carrée mesurée sur un barreau d'active P+ non siliciuré de largeur 3  $\mu\text{m}$  (a) et 0,11  $\mu\text{m}$  (b)**

Dans cette étude, nous avons essentiellement axé nos travaux sur l'augmentation du courant  $I_{\text{ON}}$ , mais le substrat tourné peut être utilisé également pour réduire le courant  $I_{\text{OFF}}$  des transistors. D'après la courbe de mérite  $I_{\text{OFF}}$  en fonction de  $I_{\text{ON}}$  présentée dans Figure 2-23.a, le courant  $I_{\text{OFF}}$  d'un transistor PMOS fabriqué avec une orientation  $\langle 100 \rangle$  est divisé par dix, par rapport à un transistor fabriqué avec une orientation  $\langle 110 \rangle$ . L'utilisation du substrat tourné peut donc aussi contribuer à réduire significativement la consommation statique des circuits intégrés.

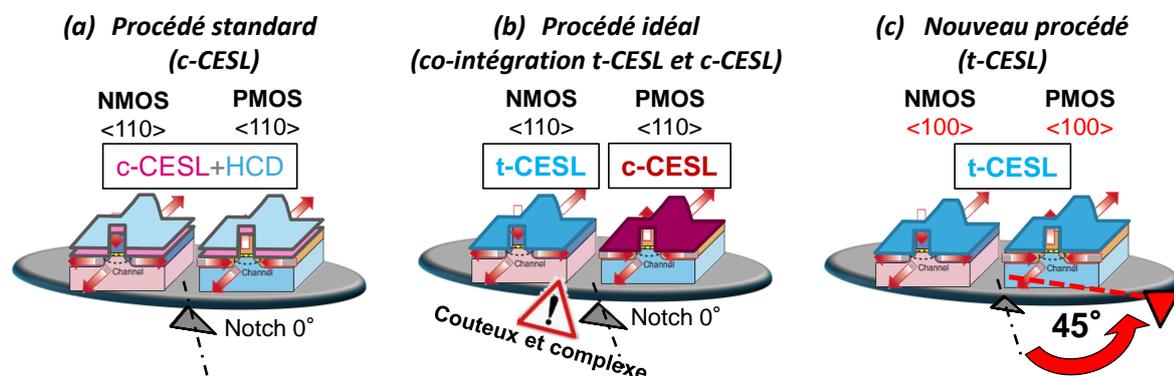
### III L'utilisation d'un nitrure CESL fortement contraint en tension

La couche d'arrêt de gravure des contacts (CESL - Figure 2-28) introduite dans les technologies 0,35  $\mu\text{m}$  est aujourd'hui utilisée dans les technologies 65 nm et en dessous pour introduire des contraintes mécaniques dans le canal des transistors. En fonction de la contrainte exercée par le film (tension/compression), des gains importants en courant  $I_{\text{ON}}$  ont déjà été démontrés sur les deux types de transistors [Ito'00], [Shimizu'01], [Ota'02], [Ghani'03], [Ortolland'04]. Une couche de nitrure alors contrainte en tension (t-CESL ou HTN – « High Tensile Nitride ») permettra d'augmenter la mobilité des électrons et une couche de nitrure contrainte en compression (c-CESL ou HCN – « High Compressive Nitride ») permettra d'augmenter celle des trous.



**Figure 2-28 : Coupe TEM (a) et représentation schématique (b) d'un transistor GO1 montrant la couche d'arrêt de gravure des contacts (CESL) utilisée dans le procédé de fabrication standard et formée d'une couche de nitrure HCN et HCD**

Aujourd'hui, le CESL utilisé dans le procédé e-NVM standard est composé de deux couches de nitrure (HCN + HCD : Figure 2-28 et Figure 2-29.a). La contrainte mécanique induite par la couche de HCN est annulée par celle de la couche HCD, de sens opposée (Figure 2-30). Il n'induit donc aucune dégradation ni aucune amélioration sur les performances électriques des transistors. Dans le chapitre 1, nous avons étudié le procédé « Dual-CESL » (co-intégration) permettant d'augmenter les performances sur les deux types de transistor (Figure 2-29.b).



**Figure 2-29 : Types de CESL utilisés dans le cas du procédé standard (a), d'une co-intégration DSL (b) et dans le cas du nouveau procédé de fabrication retenu dans ces travaux (c)**

Toutefois, ce procédé nécessite l'utilisation de deux étapes de photolithographie supplémentaires pour retirer le t-CESL sur le transistor PMOS et déposer un c-CESL. Le choix s'est donc porté sur la troisième possibilité utilisant un CESL fortement contraint en tension pour augmenter les

performances des transistors NMOS et une orientation cristalline <100> (Figure 2-29.c). Avec cette orientation, aucune dégradation des performances des transistors PMOS n'est attendue compte tenu de leur faible sensibilité aux stress mécaniques dans l'orientation <100> (voir coefficients piezorésistifs Tableau 2-5 et Tableau 1-4). Par ailleurs, l'utilisation de la nitruration DPN et du substrat tourné a déjà permis d'augmenter les performances des transistors PMOS, d'où le choix de privilégier un gain en courant sur les transistors NMOS.

L'obtention des différents niveaux de stress dépend des caractéristiques utilisées dans la chambre PECVD lors du dépôt CESL (ratio des gaz utilisés, puissance et fréquence RF, pression, nombre de couche). En dehors de la température (400°C) et de l'épaisseur du film (~400Å) tous les autres paramètres sont différents entre les deux procédés. Les gaz réactifs utilisés sont le SiH<sub>4</sub> et le NH<sub>3</sub> avec du N<sub>2</sub> en gaz porteur ou diluant. Le ratio des gaz NH<sub>3</sub>/SiH<sub>4</sub> permet de modifier la composition chimique et la contrainte du film [Instruments'03], [Mackenzie'05], [Raymond'09]. Plus le ratio NH<sub>3</sub>/SiH<sub>4</sub> est important, plus la contrainte en tension augmente. D'autre part, l'utilisation d'une source de puissance basse fréquence (LF), permet d'obtenir des nitrures en compression. En effet, le bombardement à haute énergie des ions avec l'ajout d'une source basse fréquence entraîne une augmentation du volume du film qui se traduit par une augmentation de la contrainte en compression.

L'utilisation d'un film multicouche permet également d'augmenter la contrainte du film par rapport à un film monocouche d'épaisseur équivalente. Néanmoins, la pression utilisée dans la chambre représente le paramètre le plus influent sur la contrainte et la densité du film. Plus la pression sera importante, plus la contrainte en tension du film sera élevée. Le Tableau 2-7 résume les différentes approches permettant de modifier la contrainte des films de nitrure SiN. Les conditions de dépôt des deux nitrures CESL étudiés par la suite sont présentées dans le Tableau 2-8. Le film HCN (« High Compressive Nitride »), contraint en compression est celui utilisé dans le procédé standard et le film HTN (« High Tensile Nitride ») est celui introduit pour augmenter les performances des transistors NMOS.

		Evolution de la contrainte	
↑	Ratio NH <sub>3</sub> /SiH <sub>4</sub>	↓	Compression ++
↑	Source RF	↓	Compression ++
↑	Pression	↑	Tension ++
↑	Température	↑	Tension +

**Tableau 2-7 : Modification du stress des films de nitrure en fonction des paramètres de dépôt**

	HCN	HTN + RTP
	Procédé standard	Nouveau procédé
Gaz utilisés	SiH <sub>4</sub> /NH <sub>3</sub> et N <sub>2</sub>	SiH <sub>4</sub> /NH <sub>3</sub> et N <sub>2</sub>
Source Radio Fréquence (W)	HF 150W LF 225 W	HF 460
Pression (Torr)	1,7	7
Post traitement	Aucun	RTP 790°C

**Tableau 2-8 : Conditions de dépôt des films CESL HCN (procédé standard) et HTN (nouveau procédé)**

La contrainte induite par la couche de nitrure CESL est déterminée en mesurant la courbure de la plaque de silicium avant ( $bow_0$ ) et après ( $bow$ ) le dépôt CESL (2.4) en utilisant la formule de Stoney [G. G. Stoney'09].

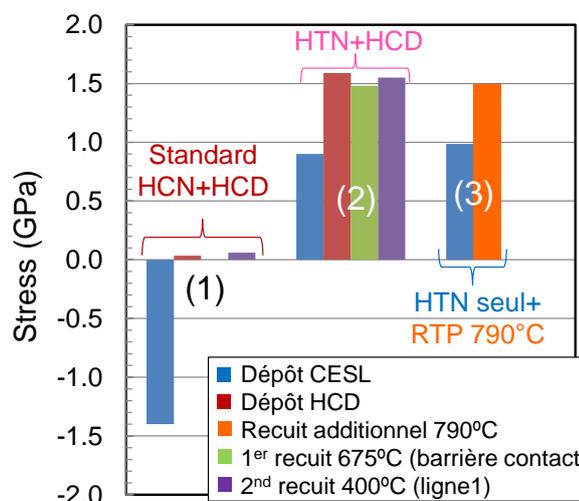
$$\sigma_f = \frac{4 M_s t_s^2}{3 t_f D^2} (bow_0 - bow) \quad (2.4)$$

Dans cette équation,  $\sigma_f$  représente la contrainte dans le film,  $t_f$  l'épaisseur du film,  $t_s$  l'épaisseur du substrat,  $M_s$  le module bi-axial du substrat et  $D$  le diamètre du film et du substrat.

Les différents procédés de nitruration comparés ainsi que les niveaux de stress mesurés sont présentés dans le Tableau 2-9 et la Figure 2-30. Le procédé standard (1) utilise un nitrure CESL formé d'une couche de HCN et de HCD (Figure 2-28.a). Le nouveau procédé de fabrication utilise un nitrure HTN contraint en tension suivi d'un recuit RTP à 790°C (3). Le procédé intermédiaire utilisant un CESL formé d'une couche de HTN et d'une couche de HCD est aussi étudié (2). La couche de HCD est employée pour réduire les fuites intrinsèques des transistors. Cependant, ce film augmente la défektivité et dégrade le rendement électrique des puces. C'est d'ailleurs pourquoi, il tend à disparaître sur les nouvelles technologies. Enfin, l'impact sur le stress des recuits intervenant dans les étapes de fabrication du BEOL est aussi présenté sur la Figure 2-30.

	(1)	(2)	(3)
	Procédé standard	HTN et HCD	Nouveau procédé
Dépôt CESL	HCN	HTN	HTN
Dépôt HCD	OUI	OUI	NON
Recuit additionnel	NON	NON	OUI

**Tableau 2-9 : Caractéristiques des 3 procédés de nitruration comparés dans cette étude**



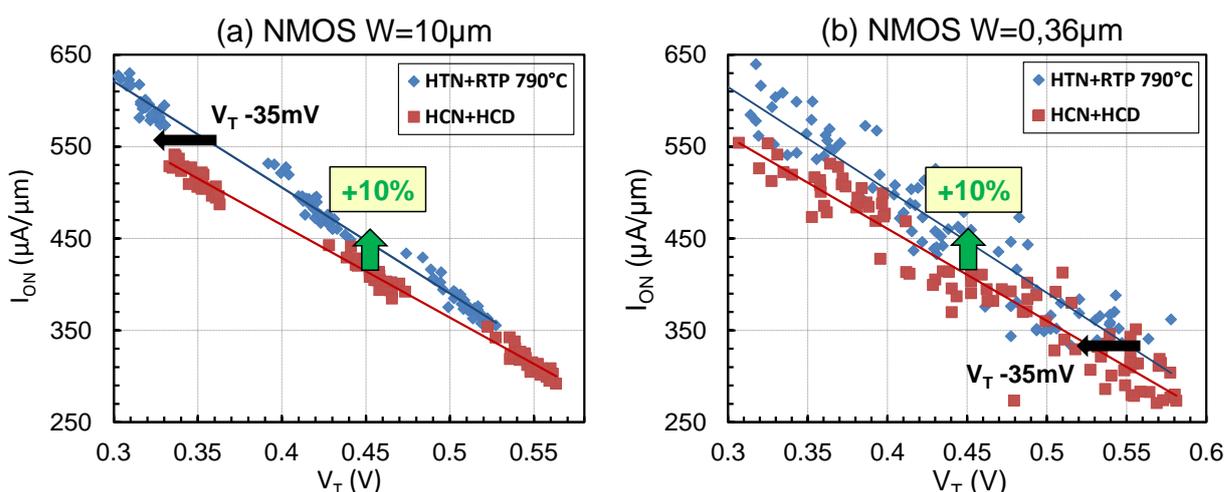
**Figure 2-30 : Niveau de stress des 3 procédés de nitruration comparés dans cette étude**

Dans le cas du procédé standard HCN+HCD (1), nous remarquons que le stress en compression apporté par la couche de CESL HCN (-1,4 GPa) est annulé par le dépôt de la couche HCD de plus faible épaisseur ( $\sim 100$  Å). La contrainte résiduelle mesurée sur le procédé standard est donc considérée comme neutre ( $\sim 0$  GPa). En effet, la couche de HCD est fortement contrainte en tension. Son impact positif sur le stress est d'ailleurs aussi mis en évidence dans les résultats obtenus sur le procédé de dépôt HTN+HCD (2). Une contrainte en tension estimée de + 1,5 GPa est d'ailleurs obtenue grâce à ce type de procédé. Comme la stratégie industrielle est de retirer cette couche sur les nouvelles technologies développées, nous l'avons supprimée sur le nouveau procédé (3). Un recuit RTP

additionnel est utilisé pour augmenter la contrainte en tension du film HTN. Effectué à haute température (790°C), le recuit permet de casser les liaisons pendantes Si-H et N-H entraînant un dégazage des atomes d'hydrogène et augmentant la contrainte en tension du film. La recette étant déjà utilisée lors de l'étape de siliciuration, elle ne nécessite aucun coût de développement supplémentaire. Ce type de procédé nous permet d'atteindre une contrainte en tension estimée à +1,5 GPa ((3) - Figure 2-30).

### III.1 Impact du t-CESL sur les performances des transistors NMOS

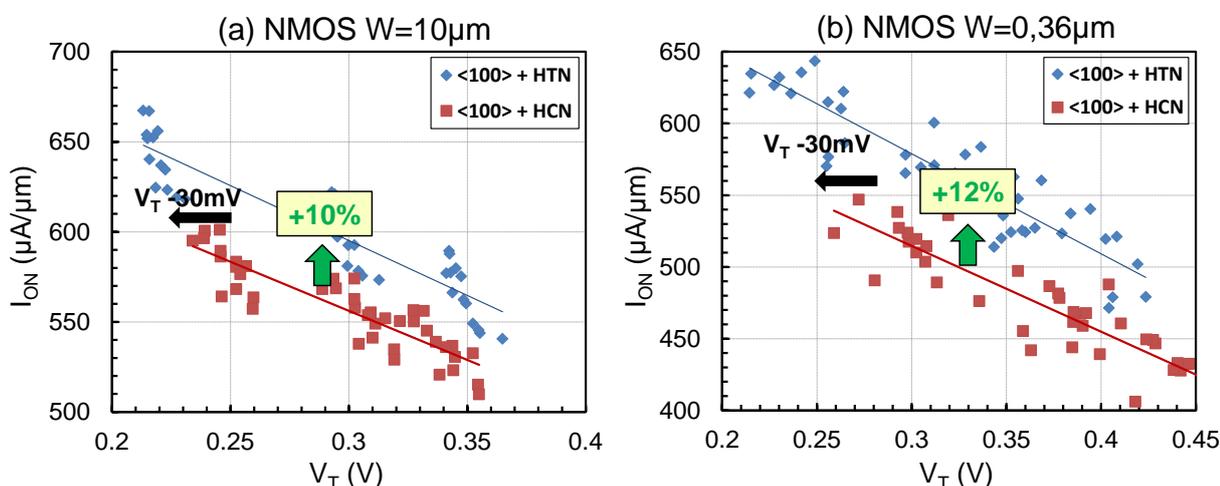
Dans un premier temps, nous étudions le gain en courant apporté par l'utilisation du procédé HTN sur le transistor NMOS conçu dans l'orientation cristalline standard  $\langle 110 \rangle$ . Les courbes de mérite  $I_{ON}$  en fonctions de  $V_T$  d'un transistor de dimension  $W = 10 \mu\text{m}$  et  $W = 0.36 \mu\text{m}$  fabriqué avec le procédé standard HCN et le nouveau procédé HTN sont présentées dans la Figure 2-31. Sur les deux géométries représentées, un gain en courant  $I_{ON}$  de 10 % est observé pour une tension identique entre les deux procédés.



**Figure 2-31 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN**

La contrainte apportée par le CESL HTN est proche de +1,5 GPa. L'écart de stress par rapport au procédé standard « HCN+HCD » ( $\sim 0$  GPa) est donc très important  $\sim +1,5$  GPa. Par ailleurs, un décalage de la tension de seuil ( $\Delta V_T \sim -30$  mV) est mis en évidence sur la Figure 2-31 avec l'utilisation du nouveau procédé. En effet, le stress en tension apporté par le nitrure HTN augmente la diffusion des espèces comme le Bore qui sert d'implant « pocket » pour réduire l'impact de l'effet canal court [Park'93], [Zangenberg'03]. Ce décalage augmente considérablement le gain en courant  $I_{ON}$  si aucun ajustement sur la concentration du substrat n'est réalisé. Nous reviendrons plus en détail sur ce sujet dans le chapitre 4.

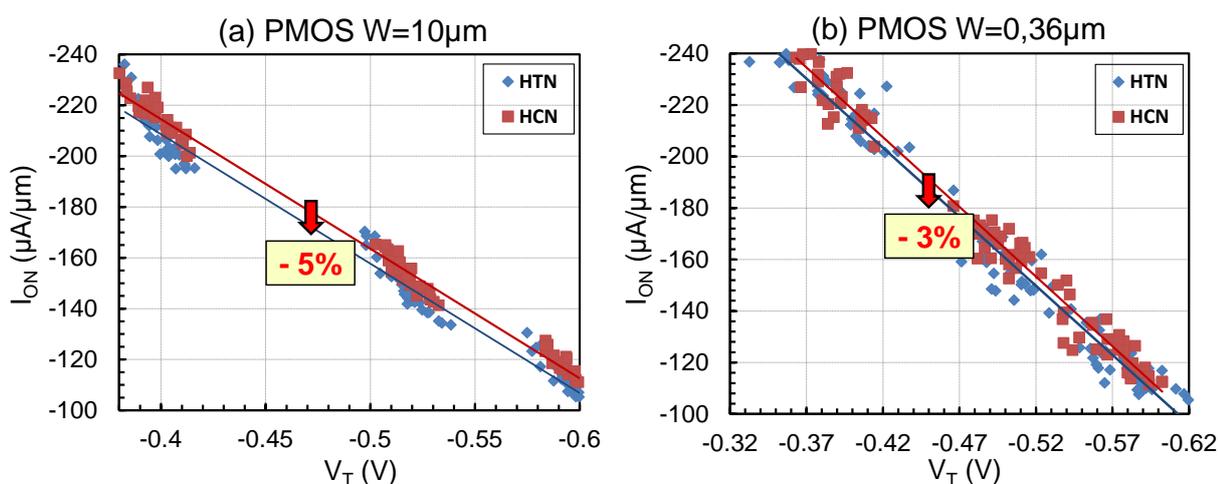
Pour finir, les courbes de mérite  $I_{ON}$  en fonction de  $V_T$  d'un transistor NMOS fabriqué avec le procédé standard HCN et le nouveau procédé HTN mais à présent dans l'orientation  $\langle 100 \rangle$  sont présentées dans la Figure 2-31. Le gain en courant  $I_{ON}$  observé reste similaire ( $\sim 10\text{-}12\%$ ) à celui obtenu dans l'orientation standard et confirme tout l'intérêt de modifier l'orientation cristalline du canal sur le nœud technologique étudié.



**Figure 2-32 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN dans l'orientation cristalline  $\langle 100 \rangle$  (tournée à  $45^\circ$ )**

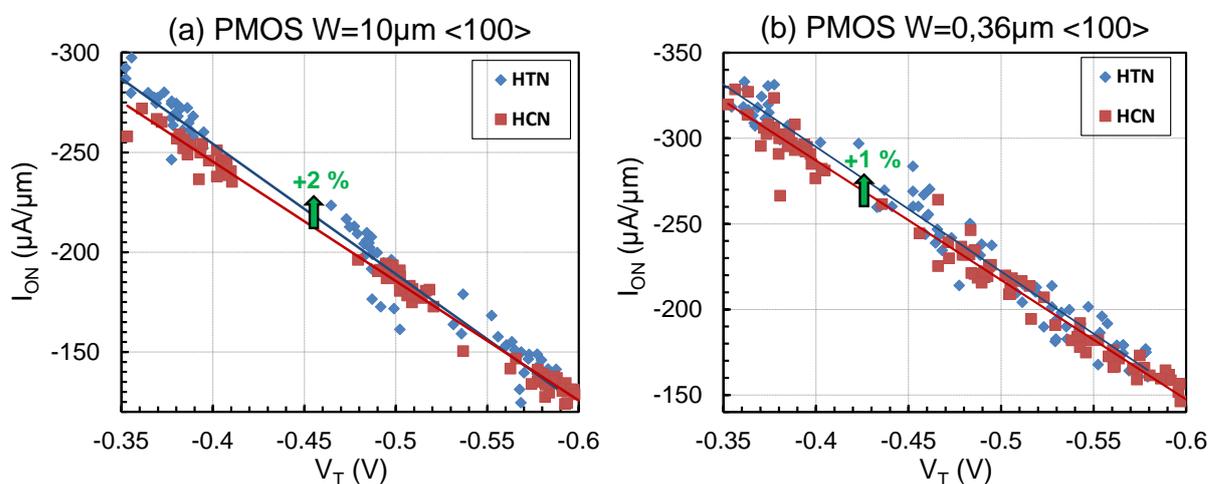
### III.2 Impact du t-CESL sur les performances des transistors PMOS

Si nous regardons maintenant le comportement des transistors PMOS fabriqués avec une orientation cristalline standard  $\langle 110 \rangle$  et un nitrure CESL HTN, une diminution du courant  $I_{ON}$  ( $-3$  à  $-5\%$ ) est observée sur la Figure 2-33. Celle-ci, est directement engendrée par la contrainte mécanique apportée par le film HTN, fortement contraint en tension.



**Figure 2-33 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor PMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN**

Cependant, nous pouvons remarquer sur la Figure 2-34, que l'utilisation du nitrure HTN n'a plus d'impact sur le courant  $I_{ON}$  des transistors PMOS fabriqués avec orientation cristalline  $\langle 100 \rangle$ . En effet, l'usage du substrat tourné réduit fortement la sensibilité aux stress mécaniques apportés par l'environnement comme ceci a été mis en évidence dans la partie précédente (cf. Tableau 2-5 et Tableau 1-4).



**Figure 2-34 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor PMOS de dimension  $W = 10 \mu\text{m}$  (a) et  $W = 0,36 \mu\text{m}$  (b) fabriqués avec un nitrure standard HCN et un nitrure fortement contraint en tension HTN dans l'orientation cristalline  $\langle 100 \rangle$**

Dans cette étude, l'épaisseur de la couche de nitrure HTN n'est pas modifiée et reste similaire à l'épaisseur utilisée sur le procédé standard HCN ( $\sim 400 \text{ \AA}$ ). La possibilité d'augmenter l'épaisseur de la couche de nitrure HTN jusqu'à  $500 \text{ \AA}$  a été envisagée. Cependant, nous n'avons pas observé d'augmentation significative du stress ( $\sim +50 \text{ MPa}$ ) pour retenir ce type de procédé.

#### IV Gain en performance apporté par le nouveau procédé de fabrication

Dans cette dernière partie, nous nous intéressons au gain final obtenu sur les transistors GO1 grâce à l'utilisation des différentes optimisations technologiques présentées dans ce chapitre. Le Tableau 2-10 rappelle les principales modifications apportées dans le nouveau procédé de fabrication développé durant nos travaux de recherche afin d'améliorer les performances des transistors GO1.

L'utilisation de la nitruration DPN nous a également permis de réduire l'épaisseur physique de l'oxyde la grille sans dégrader le courant de grille des transistors GO1. Un gain en courant de grille a même été conservé sur les transistors PMOS. Nous avons aussi montré l'impact des nouveaux procédés de fabrication sur les tensions de seuil des transistors. Des optimisations lors des étapes d'implantation substrat et poches ont donc été réalisées afin de recentrer les tensions de seuil des transistors en fonction des besoins fixés avec les concepteurs de circuits.

	Procédé Standard	Nouveau Procédé
Orientation Cristalline dans le plan (100)		
Oxyde de grille	<p>1: Oxydation (ISSG/RTO)</p> <p><u>RTN</u></p>	<p>2: N<sub>2</sub>-plasma (DPN)</p> <p><u>DPN</u></p>
CESL (SiN)	<p><u>HCN</u> + <u>HCD</u></p>	<p><u>HTN</u> + <u>RTP</u></p>

Tableau 2-10 : Résumé des différentes modifications technologiques apportées entre le procédé de fabrication standard et le nouveau procédé de fabrication

### IV.1 Cas des transistors NMOS GO1

Les courbes de mérite  $I_{ON}$  en fonction de  $V_T$  d'un transistor NMOS GO1 large ( $W=10\mu m$ ) et étroit ( $W=0,36\mu m$ ) sont présentées dans la Figure 2-35. Entre 10 et 15 % de gain en courant  $I_{ON}$  est observé sur ces deux géométries et pour des tensions de seuils identiques entre les deux procédés de fabrication. Le gain est principalement apporté par l'utilisation du nitrure HTN fortement contraint en tension. La réduction de l'oxyde de grille, possible avec l'utilisation de la nitruration DPN est aussi à l'origine d'une légère augmentation du courant  $I_{ON}$  sur les transistors NMOS.

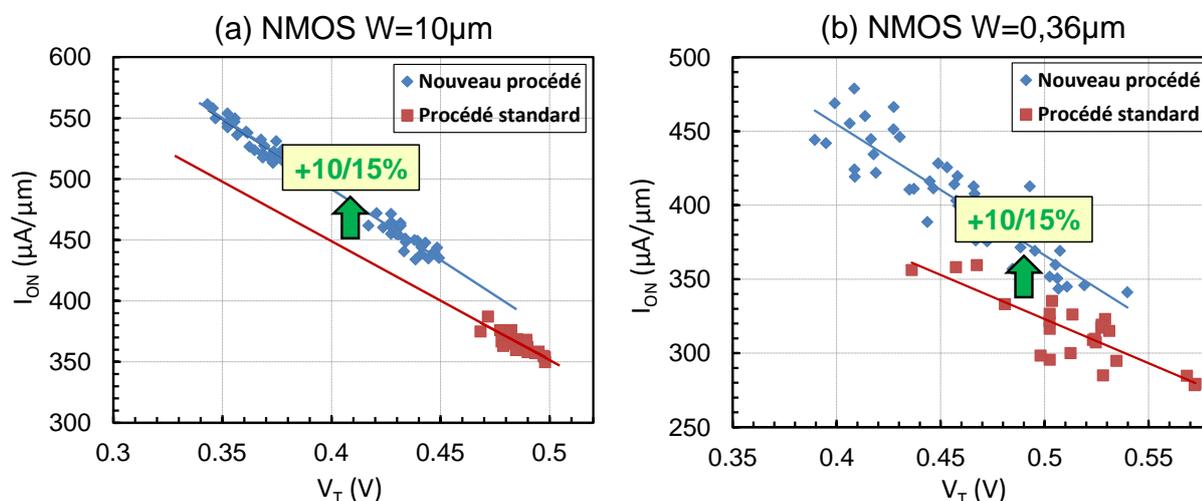
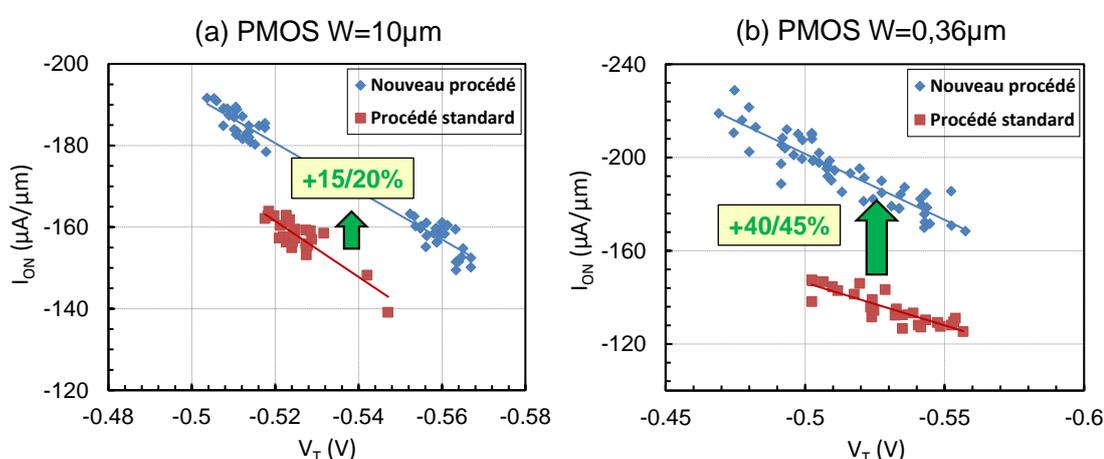


Figure 2-35 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS de dimension  $W = 10 \mu m$  (a) et  $W = 0,36 \mu m$  (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication

De plus, nous avons choisi de réduire la tension de seuil des transistors NMOS pour augmenter intentionnellement le courant  $I_{ON}$  au détriment d'un courant  $I_{OFF}$  plus important. L'impact sur la consommation statique d'un circuit sera étudié dans le prochain chapitre.

## IV.2 Cas des transistors PMOS GO1

Les courbes de mérite  $I_{ON}$  en fonction de  $V_T$  des transistors PMOS sont aussi représentées dans la Figure 2-36. Le gain en courant  $I_{ON}$  apporté par le nouveau procédé de fabrication est de 15 à 20 % sur les transistors larges et de 40 à 45 % sur les transistors étroits. Une grande partie du gain est liée à l'augmentation de la mobilité par la réduction de la masse effective des trous dans l'orientation cristalline <100>. L'utilisation de la nitruration DPN permet également une augmentation importante de la mobilité des trous en réduisant le nombre de pièges situés proches de l'interface oxyde/silicium par rapport au procédé standard RTN.



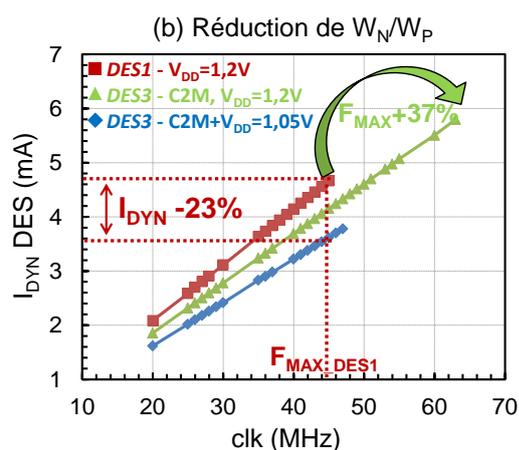
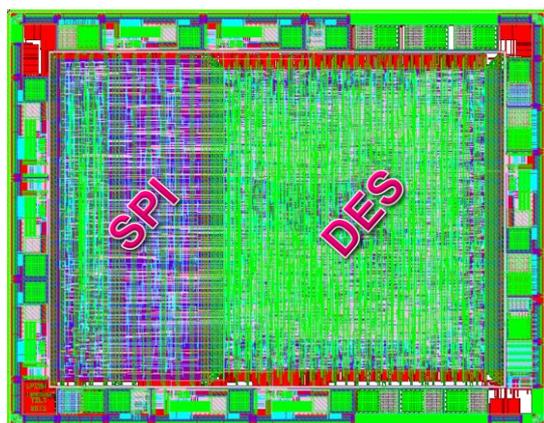
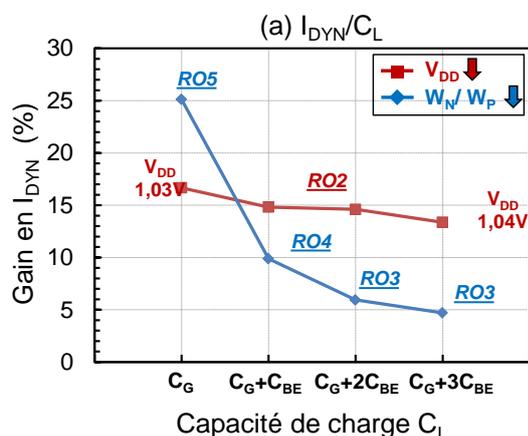
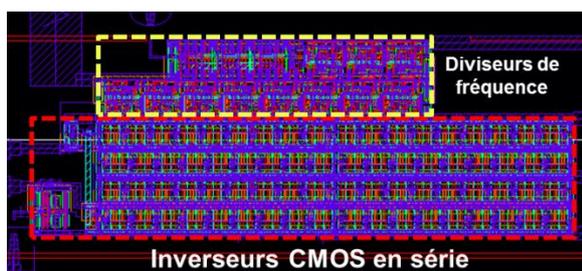
**Figure 2-36 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor PMOS de dimension  $W=10\mu m$  (a) et  $W=0,36\mu m$  (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication**

## Conclusion

Dans ce chapitre, un nouveau procédé de fabrication est développé sur un nœud technologique CMOS 80 nm embarquant des mémoires volatiles et non-volatiles. Des gains importants en performance sont obtenus à partir de plusieurs techniques de fabrication déjà utilisées dans les technologies plus récentes. Entre 10 à 15 % et 40 à 45 % de gain en courant  $I_{ON}$  sont obtenus respectivement sur les transistors NMOS et PMOS, utilisés dans les cellules logiques. D'autre part, les courants de fuite de grille ( $I_G$ ) et en mode « OFF » ( $I_{OFF}$ ) ne sont pas impactés par les modifications apportées. L'augmentation du courant  $I_{ON}$  obtenue sur les transistors PMOS est comparable au gain apporté par le développement d'un nœud technologique plus avancé mais avec des courants de fuites ( $I_{OFF}$ ,  $I_G$ ) moins importants.

D'autre part, toutes les optimisations employées dans nos travaux (changement de l'orientation cristalline, utilisation de la nitruration DPN et utilisation d'un CESL contraint en tension) ne nécessitent aucun coût supplémentaire sur le procédé de fabrication existant. Néanmoins, des optimisations de fabrication sur les transistors HV, GO2 ont été nécessaires pour conserver un comportement électrique similaire à celui du procédé standard.

# Chapitre 3 Étude de la réduction de la consommation dynamique sur des oscillateurs en anneau et un circuit numérique



Ce chapitre présente les gains en consommation obtenus sur des oscillateurs en anneau et sur un circuit numérique fabriqué en technologie e-NVM CMOS 80 nm. La réduction du courant dynamique atteint 25 % grâce à l'utilisation du nouveau procédé de fabrication développé dans le chapitre 2 qui autorise une réduction de la tension d'alimentation et du dimensionnel des transistors à performance égales. D'autre part, une nouvelle méthodologie utilisant la transformation « CAD to Mask » est exposée pour redimensionner automatiquement la largeur des transistors utilisés dans les bibliothèques de cellules standards.

<b>Introduction .....</b>	<b>- 94 -</b>
<b>I Réduction du courant dynamique sur des oscillateurs en anneau.....</b>	<b>- 94 -</b>
I.1 Conception de l'oscillateur en anneau.....	- 94 -
I.1.A Description et fonctionnement .....	- 94 -
I.1.B Conception de la structure de test.....	- 96 -
I.1.C Conception de la cellule logique .....	- 97 -
I.1.D Conception de la capacité liée au routage BEOL ( $C_{BE}$ ).....	- 98 -
I.2 Réduction du courant dynamique.....	- 102 -
I.2.A Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication .....	- 102 -
I.2.B Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication .....	- 104 -
<b>II Réduction du courant dynamique sur un circuit numérique .....</b>	<b>- 109 -</b>
II.1 Description et fonctionnalité du circuit DES .....	- 109 -
II.2 Méthodologie appliquée sur le circuit .....	- 110 -
II.2.A Transformation « CAD to Mask » .....	- 110 -
II.2.B Développement du script C2M .....	- 111 -
II.3 Réduction du courant consommé par le circuit.....	- 114 -
II.3.A Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication .....	- 114 -
II.3.B Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication .....	- 115 -
II.3.C Evolution du courant statique.....	- 116 -
<b>Conclusion.....</b>	<b>- 118 -</b>

## Introduction

L'objectif du troisième chapitre est de transformer le gain en performance (obtenu par les améliorations du procédé de fabrication), en gain sur la consommation dynamique. Dans ce but il devient impératif de réduire la tension d'alimentation et la contribution des capacités parasites. Le gain apporté par chacune de ces solutions est d'abord mis en évidence sur des oscillateurs en anneau conçus avec plusieurs rapports de charge pour être plus représentatif des différents cas retrouvés dans un circuit. Puis, une estimation du gain est réalisée sur un circuit numérique basé sur l'algorithme DES (« Data Encryption Standard ») et conçu avec près de 20 000 cellules logiques. Pendant l'étape de transformation des layers CAD en layers masque (« CAD to Mask » - C2M), un script a été utilisé pour réduire automatiquement la largeur de tous les transistors, évitant ainsi de reprendre la conception des différentes cellules logiques utilisées.

### I Réduction du courant dynamique sur des oscillateurs en anneau

Les oscillateurs en anneau (« Ring oscillator » - RO) sont les véhicules de test les plus utilisés pour comparer plusieurs procédés de fabrication [Mandal'10]. Ils donnent une information importante sur les performances des procédés de fabrication mais aussi sur la fonctionnalité des dispositifs. D'autre part, ils peuvent aussi permettre d'évaluer la consommation dynamique et la consommation statique des transistors utilisés [Zhao'06].

Dans cette étude, ils sont employés pour évaluer le gain en performance et le gain en courant dynamique apporté par l'utilisation du nouveau procédé de fabrication détaillé dans le chapitre 2.

#### I.1 Conception de l'oscillateur en anneau

##### I.1.A Description et fonctionnement

Une vue layout et une vue schématique de l'oscillateur en anneau (« Ring oscillator » - RO) utilisé dans cette étude sont présentées sur la Figure 3-1.

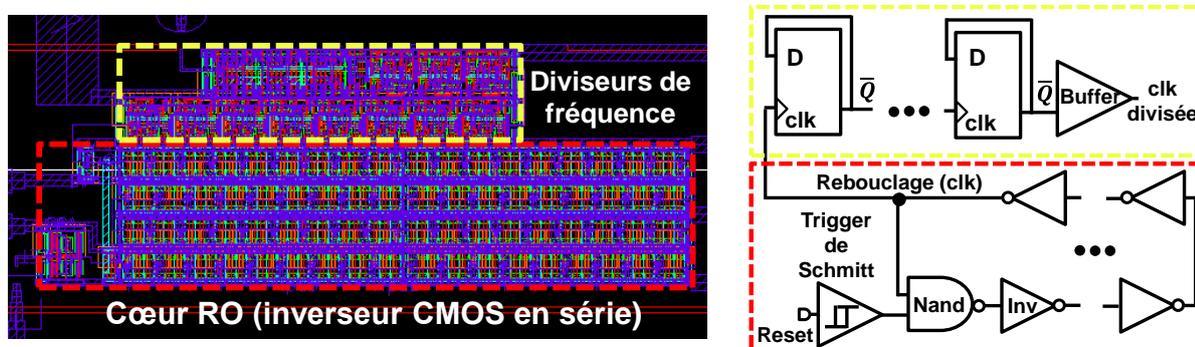


Figure 3-1 : Vue layout et vue schématique de l'oscillateur en anneau utilisé dans cette étude

Il est découpé en deux blocs principaux. Le premier est le cœur du RO formé de 72 inverseurs connectés en série permettant de créer une fréquence d'oscillation notée «  $F_{RO}$  ». Le second bloc est un diviseur de fréquence formé de onze bascules D reboojées sur l'entrée  $\bar{Q}$  et connectées en

cascade. Ce bloc permet de diviser la fréquence du signal rebouclé («  $F_{RO}$  ») exprimée en centaines de MHz par  $2^{11}$  (2048). Ceci nous permet de mesurer la fréquence divisée (clk\_div) exprimée en centaines de KHz avec les appareils de mesure mis à disposition par STMicroelectronics Rousset (compteur HP 53131A, oscilloscope).

Les principaux signaux du RO sont définis dans le Tableau 3-1. La tension d'alimentation  $V_{DD}$  du RO est séparée de celle des diviseurs de fréquence (notée  $V_{CC}$ ) pour dissocier le courant consommé par l'oscillateur en anneau de celui consommé par les bascules. Ceci nous permettra de comparer avec précision le courant consommé entre deux RO conçus différemment sans ajouter la contribution des diviseurs de fréquence. Le signal reset et le signal clk ( $F_{RO}$ ) sont connectés à une porte « Nand » à deux entrées qui permet d'activer ou non les oscillations du RO. Lorsque le signal reset est connecté à l'alimentation  $V_{DD}$  (« 1 »), les oscillations peuvent démarrer et le courant dynamique débité sur l'alimentation  $V_{DD}$  est mesuré. Lorsque le signal d'activation est connecté à la masse (« GND »), les oscillations sont bloquées et c'est le courant statique qui est mesuré sur  $V_{DD}$ . Le signal reset est connecté à un trigger de Schmitt avant d'être relié à la porte Nand. Il permet de filtrer la majeure partie des bruits pouvant être propagés sur le signal reset et ainsi éviter un changement d'état non désiré du RO [Baker'05]. Enfin, un Buffer est utilisé en sortie des diviseurs de fréquence pour remettre en forme le signal de sortie donnant la fréquence divisée (clk\_div).

Nom du signal	Description
$V_{DD}$	Alimentation séparée de l'oscillateur en anneau
$V_{CC}$	Alimentation des diviseurs de fréquence (bascules D)
gnd	Potentiel de masse de la structure
reset	Signal d'activation ou d'arrêt des oscillations
clk ( $F_{RO}$ )	Horloge de l'oscillateur en anneau non divisée
clk_div	Horloge de sortie divisée pour être mesurée

Tableau 3-1 : Description des signaux de l'oscillateur en anneau

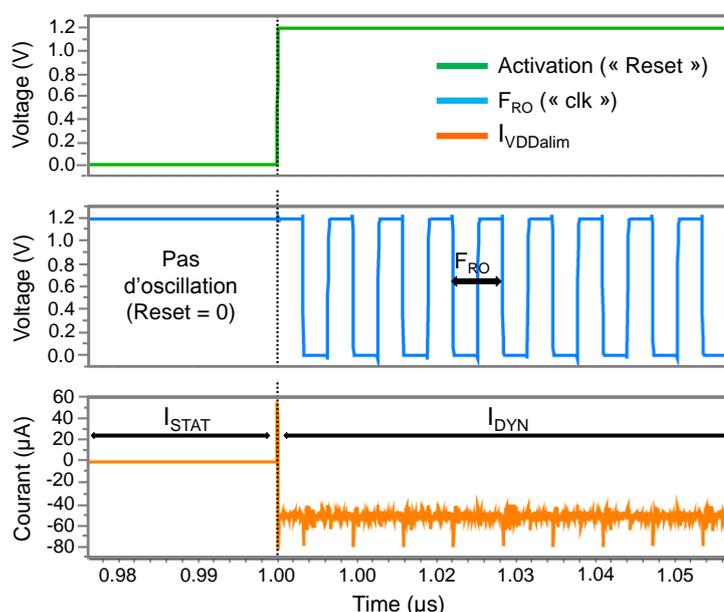


Figure 3-2 : Les différents signaux de l'oscillateur en anneau

La Figure 3-2 présente un résultat de simulation électrique obtenue avec le simulateur électrique Eldo produit par Mentor Graphics [Mentor Graphics'05] dans lequel nous pouvons visualiser le signal reset, la fréquence d'oscillation et le courant consommé sur l'alimentation  $V_{DD}$ .

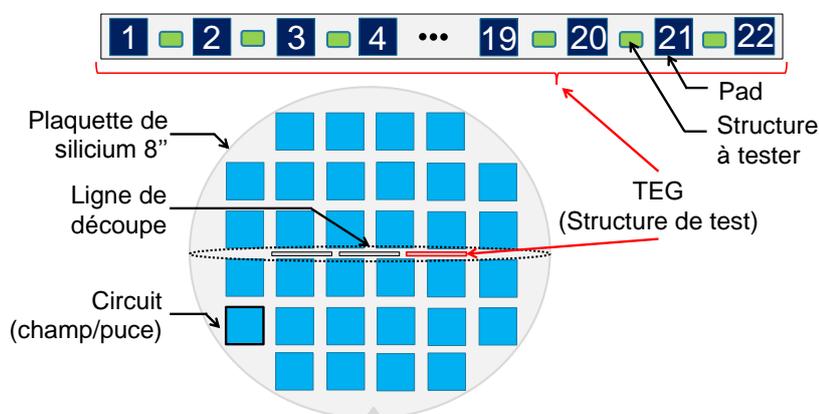
La fréquence d'oscillation peut être estimée grâce à l'équation suivante :

$$F_{RO} = \frac{1}{2.n.T_D} = \frac{I_{DYN}}{2.n.C_{LOAD}.V_{DD}} \quad (3.1)$$

Dans cette équation,  $T_D$  représente la période d'oscillation qui peut s'exprimer à son tour en fonction du courant dynamique «  $I_{DYN}$  », du nombre d'inverseur CMOS «  $n$  » et de la capacité de charge en sortie de chaque inverseur «  $C_{LOAD}$  ».

### I.1.B Conception de la structure de test

L'oscillateur en anneau utilisé est conçu de manière à pouvoir être inséré entre deux pads d'une structure de test. Sur le site de STMicroelectronics Rousset, les structures de test, que nous appelons plus souvent « TEG » sont embarquées dans les lignes de découpe (« scribe lines ») d'une plaquette de silicium se situant entre les circuits (Figure 3-3). Elles embarquent généralement des structures à tester de différentes natures (FEOL ou BEOL) nous permettant de contrôler et de vérifier une multitude de paramètres électriques pendant et une fois la fabrication des plaquettes terminée. Ces structures sont utilisées également pour détecter un problème éventuel durant la fabrication des circuits. Une TEG est formée de 12 ou de 22 pads sur lesquels viendront se poser les pointes métalliques permettant d'injecter une tension, mesurer un courant ou observer un signal comme la fréquence de sortie de l'oscillateur.



**Figure 3-3 : Représentation graphique d'une plaquette de silicium et de l'intégration d'une structure de test (TEG) conçues avec 22 pads**

La structure de test étant constituée de 22 pads, elle peut contenir jusqu'à neuf oscillateurs en anneau. Chaque RO possède un pad séparé pour l'alimentation ( $V_{DD}$ ) et un pad séparé pour le signal de sortie («  $clk\_out$  »). Les masses (GND) des 9 structures sont reliées au même pad par un rail métallique de large dimension de manière à réduire la résistance d'accès aux structures les plus éloignées du pad. Le signal d'activation et la tension d'alimentation  $V_{CC}$  sont aussi communs pour tous les RO.

Le schéma d’une partie de la TEG (pads 1 à 13) est présenté dans la Figure 3-4 avec uniquement les cinq premiers oscillateurs.

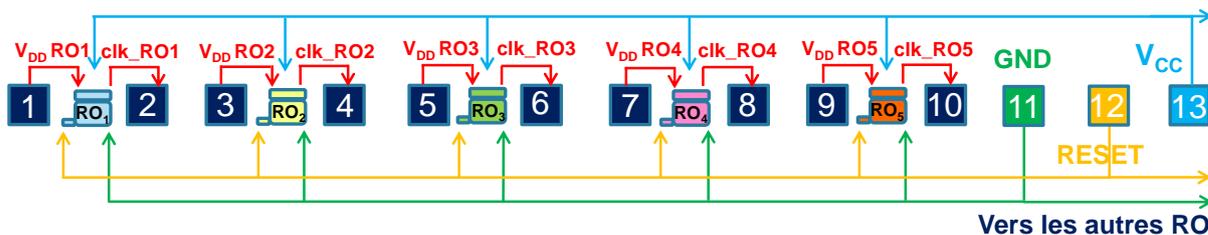


Figure 3-4 : Une partie de la structure de test contenant 9 oscillateurs en anneau

### I.1.C Conception de la cellule logique

Le nouveau procédé de fabrication détaillé dans le chapitre 2 a été développé pour améliorer les performances des transistors GO1 utilisés dans les cellules logiques. Une étude préliminaire sur le dimensionnel moyen des transistors a été réalisée afin de connaître statistiquement les transistors les plus employés dans la partie logique d’un circuit fabriqué en technologie e-NVM CMOS 80 nm. La Figure 3-5 présente la répartition du nombre de transistors en fonction de leur taille. Les dimensionnels les plus représentatifs du circuit sont ceux retenus dans la conception de l’inverseur CMOS présenté dans la Figure 3-6. La largeur du transistor NMOS ( $W_N$ ) est égale à  $0,31\ \mu\text{m}$  et celle du transistor PMOS ( $W_P$ ) est égale à  $0,44\ \mu\text{m}$ . Nous pouvons également remarquer que les transistors de largeurs  $W = W_{\text{MIN}}$  sont très peu utilisés dans les cellules standards. En effet, les règles de dessin de la technologie obligent les concepteurs à ajouter une extension d’active autour des contacts S/D. cette extension (aussi appelée « tête de marteau ») augmente la surface occupée par le transistor.

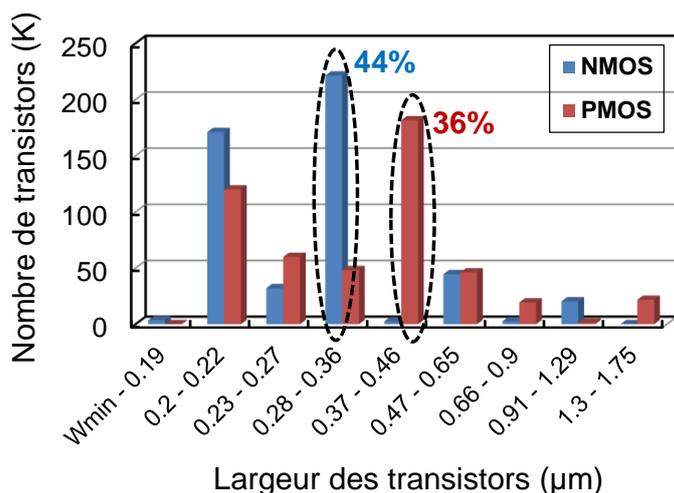


Figure 3-5 : Répartition du nombre de transistors en fonction de leur taille de la partie logique d’un circuit

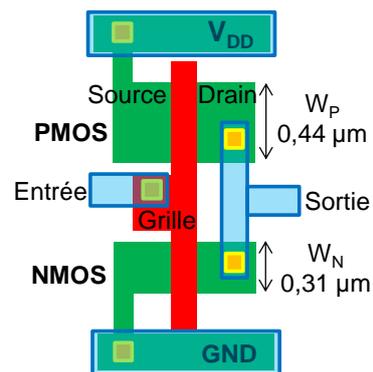
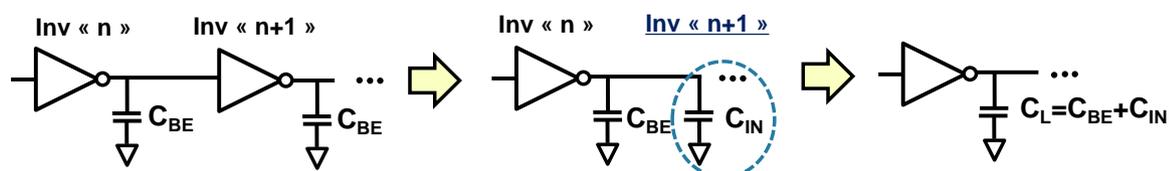


Figure 3-6 : Layout de l’inverseur utilisé dans la conception du RO de référence

### I.1.D Conception de la capacité liée au routage BEOL ( $C_{BE}$ )

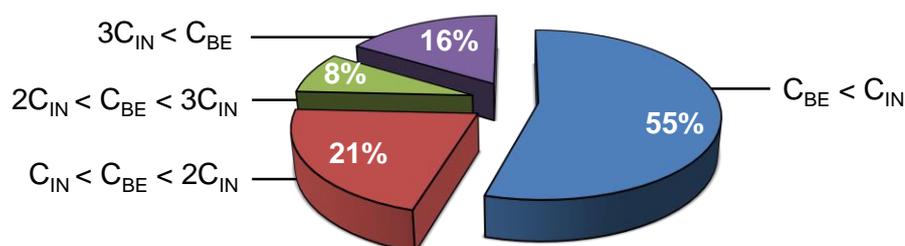
La capacité de charge ( $C_L$ ) en sortie d'une porte est la somme de la capacité apportée par la porte attaquée ( $C_{IN}$ ) et de la capacité apportée par le routage ( $C_{BE}$ ) entre deux portes comme le met en évidence la Figure 3-7 (dans le cas d'un oscillateur en anneau formé d'inverseurs). Une représentation graphique de ces deux contributions a été présentée dans le chapitre 1 (voir Figure 1-30).



**Figure 3-7 : Représentation graphique de la capacité de charge ( $C_L$ ) comme étant la somme de la capacité liée au routage entre les portes ( $C_{BE}$ ) et de la capacité équivalente de la porte attaquée ( $C_{IN}$ )**

Les capacités  $C_{BE}$  et  $C_{IN}$  ont une influence importante sur les performances de l'oscillateur en anneau et sur la valeur de  $C_L$ . En effet, plus  $C_L$  sera élevée, plus la fréquence de l'oscillateur sera faible pour une tension d'alimentation  $V_{DD}$  fixe.

Pour que la conception de l'oscillateur se rapproche au plus près d'un cas pouvant être retrouvé dans un circuit, il est indispensable de connaître le rapport de charge entre  $C_{IN}$  et  $C_{BE}$ . Là aussi, une étude statistique a été réalisée en prenant comme référence toute la partie numérique d'un circuit fabriqué en technologie e-NVM CMOS 80 nm afin de connaître le rapport entre  $C_{IN}$  et  $C_{BE}$ . La densité d'intégration du nombre de porte par unité de surface étant de 200 000 cellules/mm<sup>2</sup> sur le circuit étudié. Le résultat est présenté dans la Figure 3-8 et obtenu grâce à l'outil Star-rcxt développé par Synopsys [Synopsys'12]. Sur 55 % des connexions métalliques (nœuds), la capacité  $C_{IN}$  est plus importante que la capacité  $C_{BE}$ . Sur 21 % des nœuds,  $C_{BE}$  est légèrement supérieure à  $C_{IN}$ , sans dépasser deux fois sa valeur. 8 % des nœuds voient une valeur de  $C_{BE}$  deux à trois fois supérieure à  $C_{IN}$ . Enfin, sur 16 % des nœuds restants,  $C_{BE}$  est bien supérieure à  $C_{IN}$ . Cependant, l'outil de routage utilisé (IC Compiler de [Synopsys]) connaît le niveau d'activité de chaque nœud. Ainsi, s'il autorise une forte valeur de  $C_{BE}$ , on peut supposer que l'activité sur ce nœud est assez faible par rapport à un nœud où la valeur de  $C_{BE}$  est négligeable par rapport à  $C_{IN}$ .



**Figure 3-8 : Répartition des capacités  $C_{BE}$  et  $C_{IN}$  dans un circuit fabriqué en technologie e-NVM CMOS 80 nm**

À partir du résultat apparaissant dans la Figure 3-8, nous avons choisi d'intégrer quatre différents rapports de charge dans la conception des RO, présentés dans le Tableau 3-2. Dans le premier cas (idéal), la capacité de charge est uniquement égale à  $C_{IN}$  ( $C_L = C_{IN}$ ). La capacité  $C_{BE}$  est très faible. Dans le second cas,  $C_{BE} = C_{IN}$ . Dans le troisième cas,  $C_{BE} = 2C_{IN}$ . Enfin, dans le dernier cas,  $C_{BE} = 3C_{IN}$ .

1	2	3	4
$C_L = C_{IN}$	$C_L = C_{BE} + C_{IN}$	$C_L = 2C_{BE} + C_{IN}$	$C_L = 3C_{BE} + C_{IN}$
$C_{BE} \approx 0$	$C_{BE} = C_{IN}$	$C_{BE} = 2C_{IN}$	$C_{BE} = 3C_{IN}$

**Tableau 3-2 : Les différents rapports de charge utilisés dans la conception des RO**

Des structures en peigne sont utilisées pour concevoir les différentes capacités  $C_{BE}$ . La technologie étudiée dispose de quatre niveaux de métaux. Comme le métal 1 (M1) est réservé au routage intra-cellules, les structures en peigne sont réalisées avec les niveaux métalliques M2, M3 et M4 dédiés au routage entre les cellules logiques. Cette méthode permet de créer des capacités de l'ordre du femtofarad (fF).

Le peigne métallique offrant la plus grande valeur de capacité est la dernière configuration du Tableau 3-2 où  $C_{BE} = 3 C_{IN}$ , soit 4.5fF (1,5 fF étant la capacité équivalente de l'inverseur CMOS présenté dans la Figure 3-6). L'utilisation des trois niveaux métalliques (M2, M3 et M4) permet à cette structure de ne mesurer que 4  $\mu\text{m}$  de large. Cette méthode de conception permet d'éviter un chevauchement avec les inverseurs et la création de nouvelles capacités parasites. Par ailleurs, la hauteur du peigne est fixée par la hauteur de l'inverseur CMOS afin de pouvoir assembler les lignes d'alimentation  $V_{DD}$  et GND des inverseurs et des peignes entre elles. Enfin, la structure en peigne employée dans cette étude nous permet de concevoir les valeurs de capacités désirées tout en limitant au maximum la résistance série entre deux inverseurs (augmentant le délai de propagation du RO).

Pour déterminer le nombre de lignes à intégrer dans la structure en peigne représentée dans la Figure 3-9 dans le cas où  $C_{BE} = C_{IN}$ , un calcul initial basé sur l'équation de couplage entre deux lignes métalliques (3.2) est réalisé (dont un schéma est présenté dans la Figure 3-10). La longueur d'une ligne ( $L_{BAT}$ ) est connue puisqu'elle est fixée par la hauteur des cellules standards. La seule inconnue est donc le nombre de lignes ( $N_{BAT}$ ) du peigne permettant d'obtenir la valeur de  $C_{BE}$  souhaitée. La structure en peigne est dupliquée à l'identique sur les trois niveaux métalliques disponibles et permet de multiplier par trois la capacité totale du peigne. Les équations utilisées sont rappelées dans (3.3) et (3.4).

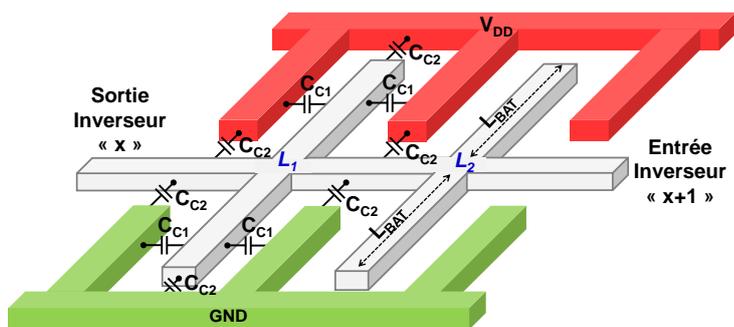


Figure 3-9 : Représentation graphique d'une structure en peigne utilisée pour réaliser la capacité de routage  $C_{BE}$

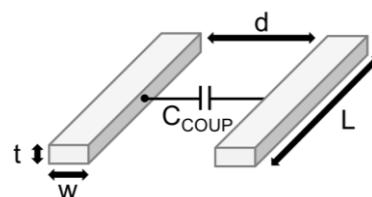


Figure 3-10 : Couplage capacitif entre deux lignes métalliques parallèles

$$C_{COUP} = \epsilon_0 \cdot \epsilon_r \frac{t \cdot L}{d} \quad (3.2)$$

$$C_{BE} = \sum C_{C1} + \sum C_{C2} = 3 \cdot (N_{BAT} \cdot \frac{4 \cdot \epsilon_0 \cdot \epsilon_r \cdot (L_{BAT} + w) \cdot t}{d}) \quad (3.3)$$

$$N_{BAT} = \frac{C_{BE} \cdot d}{3 \cdot (4 \cdot \epsilon_0 \cdot \epsilon_r \cdot (L_{BAT} + w) \cdot t)} \quad (3.4)$$

Des simulations électriques utilisant le simulateur Eldo de MentorGraphics [Mentor Graphics'05] sont effectuées afin d'obtenir les trois valeurs de  $C_{BE}$  présentées dans le Tableau 3-2. Ces simulations prennent en compte les résistances et les capacités parasites pour augmenter la précision. La structure utilisée pour concevoir les peignes est basée sur celles présentées dans [McGaughy'97], [Sylvester'98], [Bogliolo'02], [Brambilla'03] et [Vendrame'06]. Elle permet de trouver la valeur d'une capacité ( $C_X$ ) en mesurant le courant moyen ( $I_{AVG}$ ) nécessaire pour charger (ou décharger) cette capacité jusqu'à une certaine valeur de tension ( $V_{DD}$ ) et pendant une période ( $T = \frac{1}{Freq}$ ) définie au préalable. L'équation utilisée pour trouver  $C_X$  est rappelée dans (2.2).

$$C_X = \frac{I_{AVG} \cdot T}{V_{DD}} = \frac{I_{AVG}}{V_{DD} \cdot Freq} \quad (3.5)$$

Le schéma de la structure de test est présenté dans la Figure 3-11. Les valeurs de  $C_{BE}$  étant très faibles (fF), il ne faut pas négliger la contribution des capacités parasites ( $C_{PAR}$ ) apportées par les transistors utilisés dans la structure de test. Pour cela, la structure est divisée en deux parties identiques, chacune possédant sa propre alimentation ( $V_{DD1}$  ou  $V_{DD2}$ ). En effet, ceci permet de déterminer  $C_X$  en soustrayant le courant  $I_{AVG1}$  débité sur  $V_{DD1}$  nécessaire pour charger  $C_{PAR}$  du courant  $I_{AVG2}$  débité sur  $V_{DD2}$  nécessaire à charger  $C_{PAR}$  et  $C_X$ . Les équations permettant de trouver  $C_X$  sans la contribution de  $C_{PAR}$  sont rappelées dans (3.6) et (3.7).

$$C_{PAR} = \frac{I_{AVG1}}{V_{DD} \cdot Freq} \quad (3.6)$$

$$(C_X + C_{PAR}) = \frac{I_{AVG2}}{V_{DD} \cdot Freq} \leftrightarrow C_X = \frac{I_{AVG2} - I_{AVG1}}{V_{DD} \cdot Freq} \quad (3.7)$$

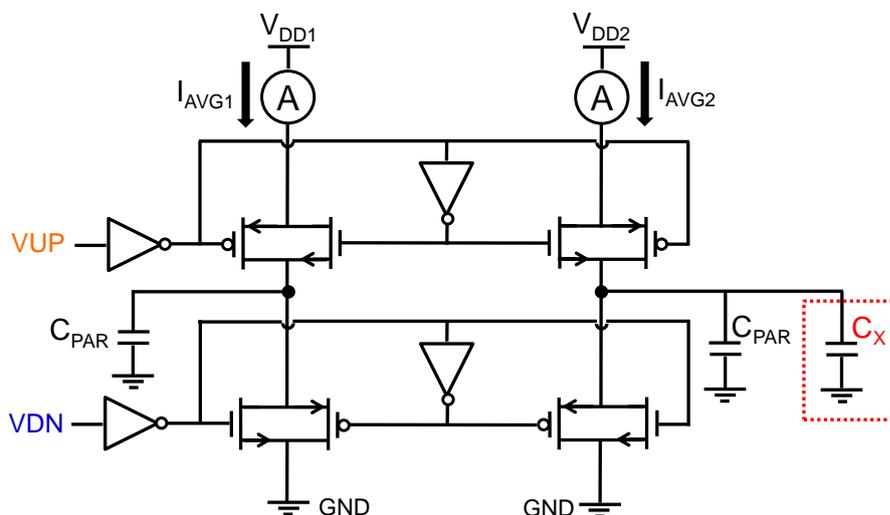


Figure 3-11 : Vue schématique de la structure utilisée pour mesurer la capacité  $C_{BE}$

Les signaux d’entrée VUP et VDN permettant d’activer la charge et la décharge des capacités  $C_X$  et  $C_{PAR}$  sont tracés dans la Figure 3-12. Dans notre cas, la fréquence des deux signaux est identique (300 KHz). Cependant, le rapport cyclique entre les deux signaux est différent pour obtenir les différents cycles présentés dans la table de vérité du Tableau 3-3. Lorsque les signaux VDN et VUP sont à l’état haut (11), le courant  $I_{AVG2}$  débité sur  $V_{DD2}$  charge les capacités  $C_X$  et  $C_{PAR}$ . En connaissant également le courant  $I_{AVG1}$ , l’équation (3.7) nous permettra de remonter à la valeur de  $C_X$ . La configuration à éviter est « 01 » qui représente l’état de court-circuit. Dans ce cas, les transistors NMOS et PMOS connectés en série entre  $V_{DD}$  et GND deviennent simultanément passants, ce qui crée un chemin direct entre l’alimentation et la masse. Le courant débité sur  $V_{DD}$  ne sert plus uniquement à charger la capacité  $C_X$ , mais une grande partie est dissipée dans le transistor NMOS.

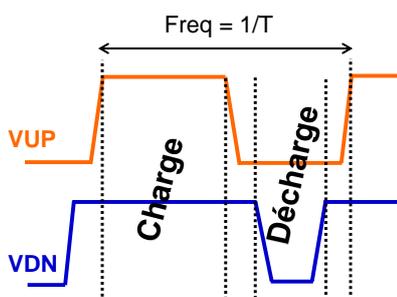


Figure 3-12 : Valeur des signaux permettant la charge ou la décharge de  $C_X$  dans la structure CBCM

VDN	VUP	État
0	0	Décharge
0	1	Court-circuit
1	0	Bloqué
1	1	Charge

Tableau 3-3 : État du système de mesure en fonction des valeurs des signaux VUP et VDN

Les différentes valeurs de  $C_{BE}$  ont donc pu être vérifiées à l’aide de cette structure dite de Berkeley ou plus couramment appelée CBCM (« Charge Base Capacitance Measurement »).

## 1.2 Réduction du courant dynamique

Comme nous l'avons énoncé dans le chapitre 1, sur le nœud technologique et le type de circuit étudiés, la consommation dynamique reste la contribution majeure de la puissance totale dissipée par un circuit. L'étude menée ici consiste à estimer le gain en courant dynamique atteignable sur un oscillateur en anneau, sans l'utilisation du nouveau procédé de fabrication dans un premier temps, et avec son utilisation dans un second temps.

### 1.2.A Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication

Le meilleur moyen de réduire la consommation dynamique d'un circuit reste la diminution de la tension d'alimentation  $V_{DD}$  compte tenu de son terme quadratique dans l'équation de la puissance consommée [Rabaey'02], [Piguet'05]. Une autre solution est de réduire la contribution des différentes capacités parasites liées au routage ( $C_{BE}$ ) et aux transistors ( $C_{IN}$ ). Cette solution peut offrir l'avantage de diminuer les temps de propagation entre deux portes en réduisant les temps de propagation liés au réseau RC. Concernant les capacités liées aux transistors, réduire la largeur des transistors ( $W_N/W_P$ ) permet de diminuer indirectement la capacité de charge  $C_L$ .

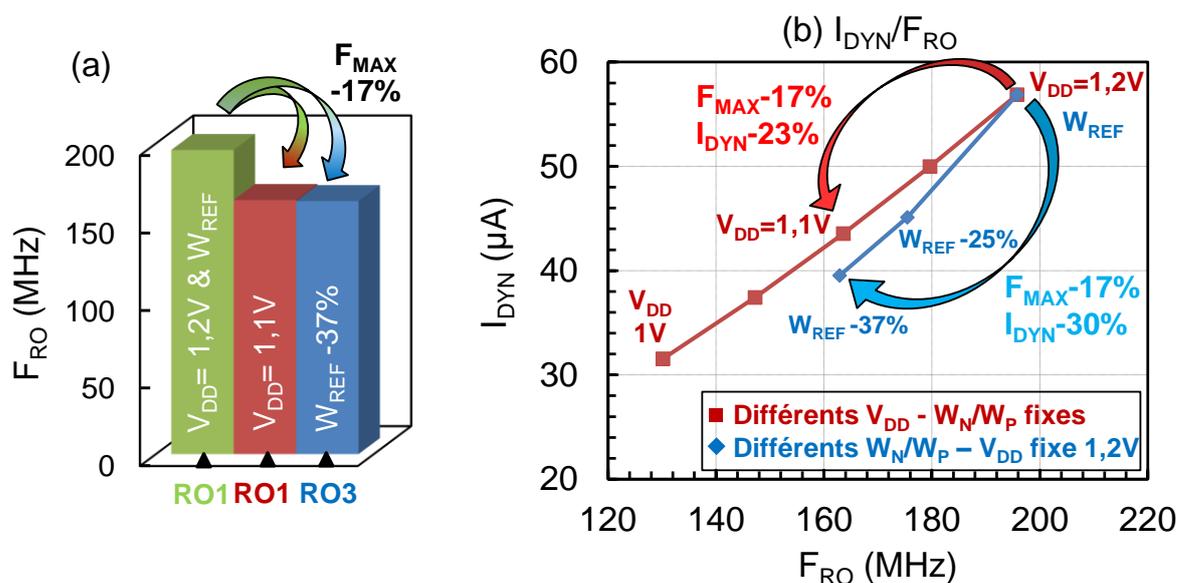
En procédant ainsi, les performances du circuit et de l'oscillateur en anneau vont être fortement impactées comme le met en évidence la Figure 3-13 montrant des résultats de simulations électriques prenant en considération les parasites (PLS – « Post Layout Simulation »). Les caractéristiques des trois oscillateurs en anneau utilisés dans cette étude sont rappelées dans le Tableau 3-4. Le RO1 est celui de référence conçu avec l'inverseur présenté dans la partie précédente. Le RO2 et le RO3 sont conçus avec des transistors NMOS et PMOS de largeurs inférieures au RO1. Dans les trois oscillateurs, la capacité de charge est principalement représentée par la capacité d'entrée de la porte suivante ( $C_L = C_{IN}$ ).

n°RO	$W_N$ ( $\mu\text{m}$ )	$W_P$ ( $\mu\text{m}$ )	L (nm)	$V_T$ (S/H/UHVT)	$C_L$ ( $C_{IN}/C_{BE}$ )	Procédé de fabrication (référence/nouveau)
RO1	0,31	0,44	90	HVT	$C_{IN}$	<i>référence</i>
RO2	<b>0,23</b>	<b>0,33</b>	90	HVT	$C_{IN}$	<i>référence</i>
RO3	<b>0,195</b>	<b>0,28</b>	90	HVT	$C_{IN}$	<i>référence</i>

**Tableau 3-4 : Caractéristiques des oscillateurs en anneau utilisés dans la Figure 3-13**

En considérant le RO1, la Figure 3-13 met en évidence une réduction de 17 % de la fréquence du RO lorsque la tension d'alimentation diminue de 1,2 V à 1,1 V. La même diminution est d'ailleurs observée lorsque  $W_N$  et  $W_P$  sont réduits de 37 %. Ceci est engendré par la réduction du courant dynamique circulant à travers les transistors NMOS et PMOS, ce qui tend à augmenter les temps de propagation à travers chaque inverseur et donc réduire la fréquence d'oscillation du RO. Nous

pouvons également remarquer sur la Figure 3-13.b l'intérêt de diminuer la taille des transistors sur le gain en courant dynamique pour la même fréquence d'oscillation (dans le cas où  $C_L = C_{IN}$ ).



**Figure 3-13 : Réduction de la fréquence d'un oscillateur en anneau (a) et du courant dynamique consommé (b) dans le cas d'une réduction de la tension d'alimentation  $V_{DD}$  ou d'une réduction de la taille des transistors  $W_N/W_P$**

Avec la réduction des dimensions et des tensions d'alimentation, la tension de seuil ( $V_T$ ) des transistors diminue également pour conserver des rapports de courant ( $V_{GS} - V_T$ ) importants. Avec l'utilisation de transistors à faible tension de seuil (SVT) plutôt que des transistors à tension de seuil élevée (HVT) une réduction du courant dynamique (par le biais d'une réduction de  $V_{DD}$  et de  $W_N/W_P$ ) est possible sans dégrader les vitesses de commutation. Toutefois, il faut bien avoir en tête que cette solution permet de diminuer la consommation dynamique au détriment de voir la consommation statique augmenter exponentiellement [Roy'03], [Hoang'07]. Les caractéristiques des quatre nouveaux oscillateurs en anneau utilisés dans cette étude sont rappelées dans le Tableau 3-5.

n°RO	$W_N$ ( $\mu\text{m}$ )	$W_P$ ( $\mu\text{m}$ )	L (nm)	$V_T$ (S/H/UHVT)	$C_L$ ( $C_{IN}/C_{BE}$ )	Procédé de fabrication (référence/nouveau)
RO1	0,31	0,44	90	HVT	$C_{IN}$	<i>référence</i>
RO2	0,31	0,44	90	SVT	$C_{IN}$	<i>référence</i>
RO3	0,23	0,33	90	SVT	$C_{IN}$	<i>référence</i>
RO4	0,155	0,22	90	SVT	$C_{IN}$	<i>Référence</i>

**Tableau 3-5 : Caractéristiques des oscillateurs en anneau utilisés dans la Figure 3-14**

La Figure 3-14 et la Figure 3-16 comparent, le courant dynamique et le courant statique consommés en fonction de la fréquence d'oscillation du RO1 fabriqué avec des transistors HVT et des RO2, RO3 et RO4, fabriqués avec des transistors SVT. L'approche utilisée a été de réduire la tension d'alimentation sur le RO2 (courbes rouges) et la largeur des transistors sur les RO3 et RO4 (courbes bleues).

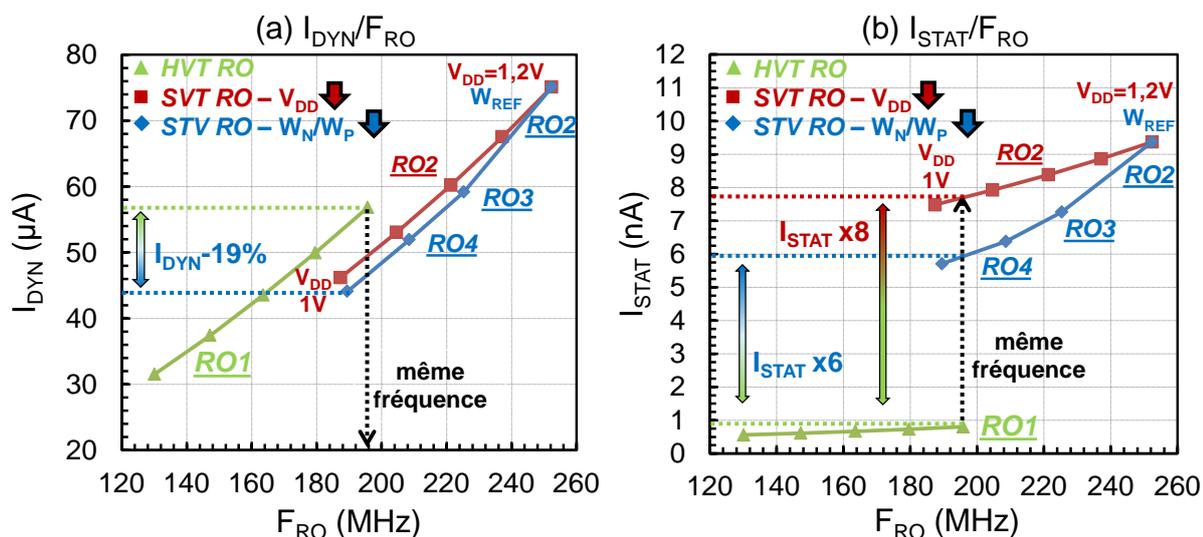


Figure 3-14 : Gains en courant dynamique (a) et dégradation du courant statique (b) obtenus entre un RO utilisant des transistors LVT et un RO utilisant des transistors HVT lors d'une réduction de la tension d'alimentation  $V_{DD}$  ou de la taille des transistors  $W_N/W_P$

Avec l'utilisation des transistors SVT, une diminution de 19 % et de 14 % du courant dynamique est observée en réduisant, respectivement, les largeurs d'active  $W_N$  et  $W_P$  et la tension d'alimentation  $V_{DD}$  de 1,2 V à 1,03 V (RO2). Ces gains sont extraits pour des valeurs de fréquence identiques entre les différents oscillateurs comparés. La Figure 3-16 met à présent en évidence l'augmentation du courant statique ( $I_{STAT}$ ) liée à la diminution de la tension de seuil des transistors utilisés dans les RO2, RO3 et RO4. Le courant  $I_{STAT}$  est multiplié par six et par huit lors d'une réduction des largeurs d'actives et de la tension d'alimentation  $V_{DD}$ . Cette augmentation importante, est majoritairement liée à la diminution des tensions de seuil, entraînant une augmentation du courant sous le seuil ( $I_{DSUB}$ ).

### I.2.B Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication

Les améliorations technologiques présentées dans le chapitre 2 ont permis d'augmenter respectivement le courant  $I_{ON}$  des transistors NMOS et PMOS de 10 % à 15 % et de 40 % à 45 %. Ces gains sont rappelés dans la Figure 3-15 pour les deux types de transistors GO1 de largeur  $W = 0,36 \mu m$  et différentes tension de seuil (SVT/HVT/UHVT).

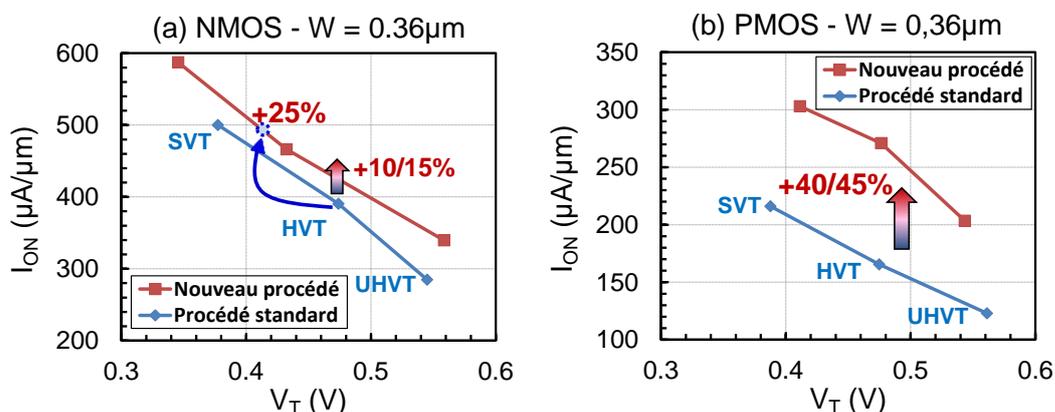
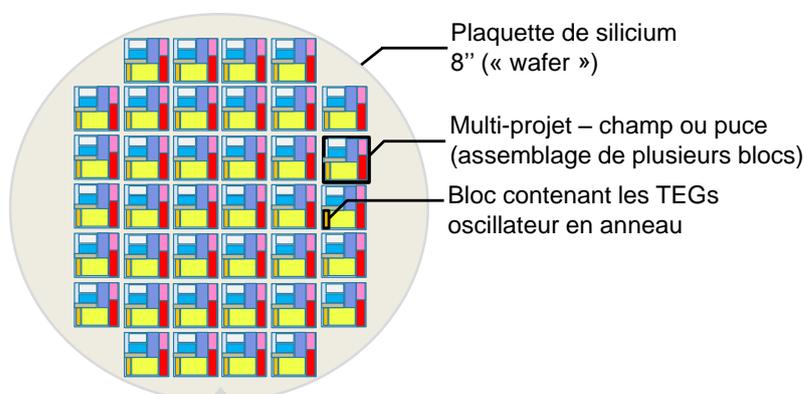


Figure 3-15 : Gain en  $I_{ON}$  obtenu avec le nouveau procédé de fabrication pour un transistor NMOS (a) et un transistor PMOS (b) GO1 utilisé dans les cellules standards

À ce stade, le but de l'étude consiste à transformer le gain en courant  $I_{ON}$ , en gain sur la consommation dynamique. Plusieurs RO sont alors embarqués dans des structures de tests décrites précédemment dans la partie I.1.B. Les TEGs sont insérées dans un multi-projet reproduit 38 fois sur une plaquette de 200 mm (Figure 3-16). Chaque oscillateur peut donc être caractérisé jusqu'à 38 fois, permettant ainsi un traitement statistique des résultats.



**Figure 3-16 : Représentation du multi-projet contenant les oscillateurs en anneau**

Dans les différents RO présentés dans le Tableau 3-6, la largeur des transistors a été réduite entre 16 % et 50 %. Puisque le gain en courant  $I_{ON}$  obtenu sur le transistor NMOS est moins important que celui obtenu sur les transistors PMOS, la largeur d'active  $W_N$  est légèrement moins réduite que la largeur  $W_P$ . Cependant, pour compenser cette différence nous avons fait le choix de réduire la tension de seuil des transistors NMOS ( $\sim 50$  mV). Ceci a été fait, d'une part, pour se rapprocher du gain obtenu sur les transistors PMOS et d'autre part, pour éviter une dégradation du courant  $I_{ON}$  sur les plus faibles largeurs d'active liée à une amélioration de l'effet « Hump » [Sallagoity'95], [Schwantes'05], [Joly'11] dans l'orientation cristalline  $\langle 100 \rangle$ . En faisant ceci, le gain sur le courant  $I_{ON}$  atteint 25 % (Figure 3-15).

Nous rappelons que la tension d'alimentation est directement modifiée lors du test électrique des oscillateurs (entre 1,0 V et 1,2 V) réalisé avec un testeur automatique Electroglas 4090 $\mu$  [Electroglas].

n°RO	$W_N$ ( $\mu\text{m}$ )	$W_P$ ( $\mu\text{m}$ )	Procédé de fabrication (Référence/Nouveau)
RO1	0,31	0,44	<i>Référence</i>
RO2	0,31	0,44	<i>Nouveau</i>
RO3	<b>0,26</b>	<b>0,30</b>	<i>Nouveau</i>
RO4	<b>0,22</b>	<b>0,26</b>	<i>Nouveau</i>
RO5	<b>0,20</b>	<b>0,23</b>	<i>Nouveau</i>

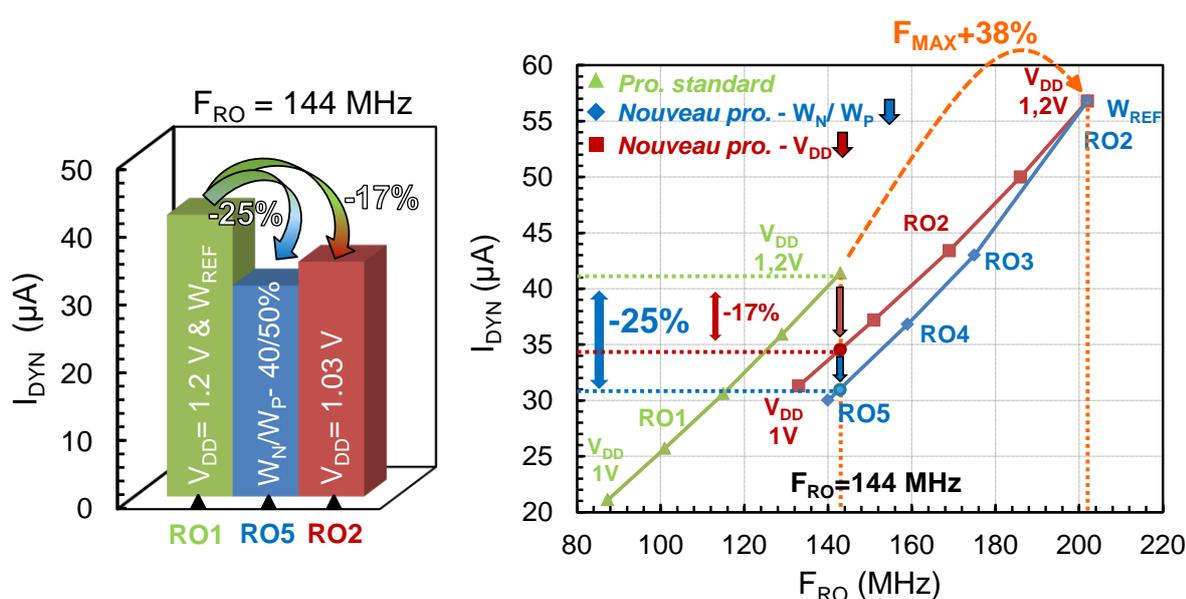
**Tableau 3-6 : Caractéristiques de conception des différents RO embarqués sur un jeu de masques silicium et utilisés dans l'étude suivante**

I.2.B.i Cas dans lequel  $C_L = C_{IN}$ 

Dans un premier temps, nous étudions le comportement dynamique des oscillateurs conçus sans capacité de routage ( $C_{BE}$ ) en sortie des inverseurs (cas 1 du Tableau 3-2 :  $C_L = C_{IN}$ ). La Figure 3-17.b présente l'évolution du courant dynamique en fonction de la fréquence de fonctionnement des oscillateurs. Sur cette dernière, nous observons l'augmentation importante (+38%) de la fréquence d'oscillation du RO2 fabriqué avec le nouveau procédé de fabrication par rapport au RO1 de conception identique (tailles des transistors, capacité BEOL) alimenté avec une tension fixée à 1,2 V. Ceci est directement lié à l'augmentation du courant  $I_{ON}$  obtenue sur les transistors fabriqués avec le nouveau procédé de fabrication (Figure 3-15) qui réduit le temps de commutation de chaque inverseur.

La Figure 3-17 présente aussi les gains en courant dynamique obtenus entre le RO fabriqué avec le procédé de référence (RO1) et les RO fabriqués avec le nouveau procédé (RO2, RO3, RO4, RO5) pour une fréquence d'oscillation identique. La référence de comparaison étant la fréquence du RO1 (144 MHz) conçu avec l'inverseur CMOS de référence et alimenté avec une tension de 1,2 V. Les deux approches utilisées ont été de réduire la tension d'alimentation et la taille des transistors pour réduire le courant consommé.

Dans le premier cas, en réduisant la tension d'alimentation  $V_{DD}$  du RO2 à 1.03 V (courbe rouge), le courant dynamique est réduit de 17 % par rapport au RO1. Le courant dynamique consommé par le RO5 (courbe bleue) conçu avec les largeurs  $W_N$  et  $W_P$  réduites de 40 % à 50 % est 25 % moins important que celui consommé par le RO1. En effet, la capacité de charge étant principalement représentée par  $C_{IN}$ , réduire la taille des transistors permet de réduire le courant consommé mais aussi le temps de propagation du signal entre chaque inverseur.



**Figure 3-17 : Gains en courant dynamique obtenus entre le procédé de fabrication de référence et le nouveau procédé de fabrication pour une réduction des largeurs d'active  $W_N/W_P$  ou de l'alimentation  $V_{DD}$  lorsque  $C_L = C_{IN}$**

L'évolution du courant statique est aussi représentée dans la Figure 3-18. Une légère augmentation est observée pour les deux approches utilisées (x1.4 et x1.6). Elle est surtout liée à la réduction de la tension de seuil des transistors NMOS. Cependant, cette augmentation reste négligeable par rapport à celle estimée précédemment (Figure 3-14 : x6, x8) sur des RO fabriqués avec des transistors à faible tension de seuil (SVT).

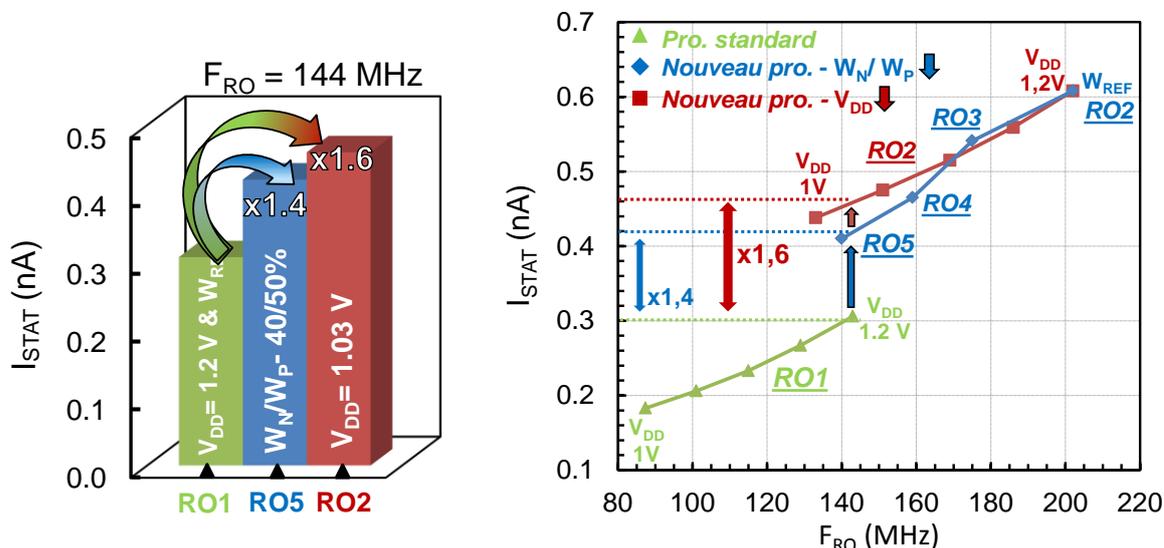


Figure 3-18 : Evolution du courant statique entre le procédé de fabrication de référence (RO1) et le nouveau procédé de fabrication pour une réduction de  $W_N/W_P$  (RO5) ou de  $V_{DD}$  (RO2) lorsque  $C_L = C_{IN}$

1.2.B.ii Cas dans lequel  $C_L = C_{IN} + C_{BE}$

La structure en peigne permettant d'ajouter une capacité de charge liée au routage est maintenant utilisée. Dans ce cas, la capacité  $C_{BE}$  est égale à la capacité  $C_{IN}$  ( $C_L = C_{IN} + C_{BE} = 3$  fF). Sur la Figure 3-19, nous pouvons remarquer que la fréquence d'oscillation du RO1 (référence - courbe verte) est divisée par deux (73 MHz), par rapport à celle du RO1 (144 MHz) de l'étude précédente avec  $C_L = C_{IN}$ . Le courant dynamique consommé par les deux RO étant similaire ( $\sim 40$   $\mu$ A), ceci confirme que la structure en peigne a été correctement conçue et que la capacité  $C_{BE}$  est bien égale à la capacité  $C_{IN}$ .

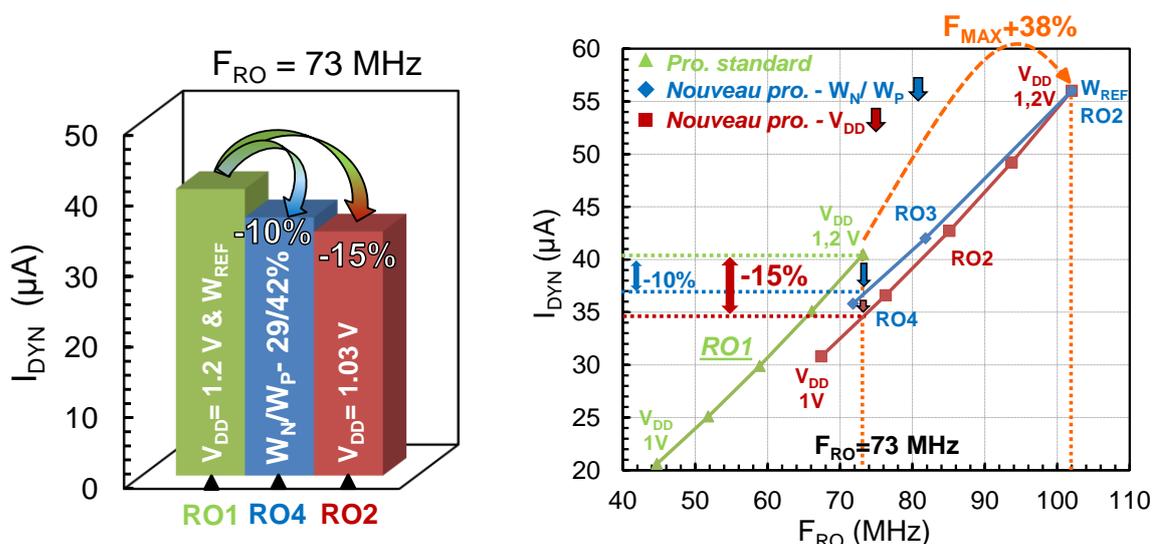
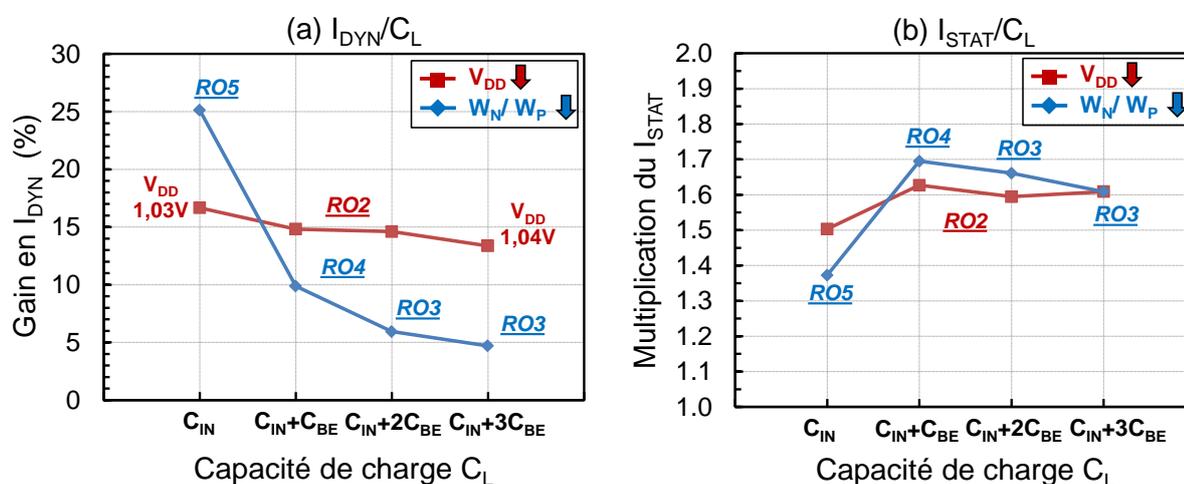


Figure 3-19 : Gains en courant dynamique obtenus entre le procédé de fabrication de référence et le nouveau procédé de fabrication pour une réduction des largeurs d'active  $W_N/W_P$  ou de l'alimentation  $V_{DD}$  lorsque  $C_L = C_{BE} + C_{IN}$

La Figure 3-19 met une nouvelle fois en évidence le gain en performance apporté par le nouveau procédé de fabrication. La fréquence d'oscillation du RO2 est 38 % plus importante que celle du RO1, fabriqué avec le procédé standard. Cependant, réduire la tension d'alimentation  $V_{DD}$  devient plus intéressant pour diminuer le courant dynamique consommé par l'oscillateur. En effet, lorsque la tension  $V_{DD}$  est égale à 1.03 V, le courant dynamique consommé est 15 % plus faible. En réduisant la taille des transistors (courbe bleue - RO4), il n'est que 10 % moins important. Cette observation démontre que réduire la taille des transistors est de moins en moins bénéfique car la diminution de  $C_{IN}$  a beaucoup moins d'impact sur  $C_L$  comparativement à  $C_{BE}$ .

### 1.2.B.iii Conclusion : toutes les valeurs de $C_L$

Pour conclure l'étude, tous les autres différents rapports entre de  $C_{BE}$  et  $C_{IN}$  sont analysés ( $C_L = C_{IN} + 2C_{BE}$  et  $C_L = C_{IN} + 3C_{BE}$ ). Sur la Figure 3-20.a, l'évolution du gain en courant dynamique est représentée en fonction du rapport de charge en sortie de l'inverseur (avec l'ajout des données des deux cas précédent). L'évolution du gain en courant  $I_{DYN}$  est stable lorsque la tension d'alimentation est réduite (~ 15 %). Le gain est directement lié à la réduction de la tension d'alimentation de 1,2 à 1,03 V). Toutefois, lorsque la taille des transistors diminue, le gain en courant devient de moins en moins significatif. En effet, la capacité liée au routage devient prépondérante par rapport à la capacité  $C_{IN}$ . La réduction de la capacité de charge n'est donc plus directement proportionnelle à la réduction de  $C_{IN}$  (taille des transistors).



**Figure 3-20 : Gains en courant dynamique (a) et multiplication du courant statique (b) obtenus entre le RO fabriqué avec le procédé de référence et le nouveau procédé de fabrication pour une réduction de  $W_N/W_P$  ou de  $V_{DD}$  et différents rapports entre  $C_{IN}$  et  $C_{BE}$**

Quant au courant statique, il reste assez stable (x1.6) lorsque la tension du RO est réduite autour de 1,03/1.04 V. Dans le cas où  $C_{BE}$  est négligeable, la réduction importante de la taille des transistors (40 à 50 %) entraîne une augmentation de la résistance du canal qui limite la dégradation du courant statique (x1.4).

## II Réduction du courant dynamique sur un circuit numérique

Dans cette seconde partie, l'impact du nouveau procédé est étudié sur un circuit numérique fabriqué en technologie e-NVM CMOS 80 nm. Le circuit choisi est un circuit basé sur l'algorithme cryptographique DES (« Data Encryption Standard »), que l'on retrouve dans les circuits sécurisés permettant d'échanger ou de traiter des données sensibles.

### II.1 Description et fonctionnalité du circuit DES

Le circuit est composé de deux blocs représentés sur la Figure 3-21. D'une part, le bloc DES, dans lequel est exécuté l'algorithme de cryptage. D'autre part, le bloc SPI (« Serial Peripheral Interface ») qui permet de traiter et d'échanger les données entre le bloc DES et l'extérieur.

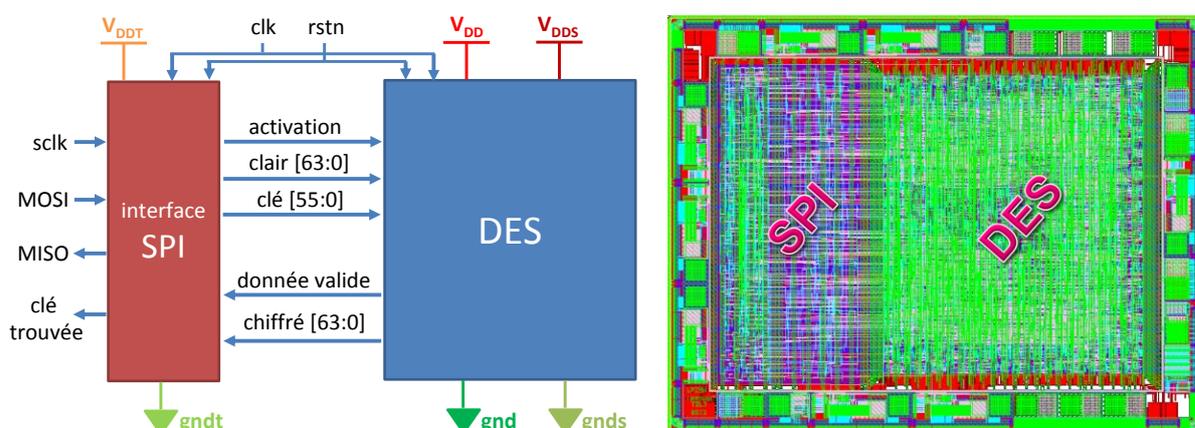


Figure 3-21 : Architecture (a) et vue layout (b) du circuit DES

L'algorithme de chiffrement à clef secrète détaillé dans [NIST'99] est implémenté dans le bloc DES. Son rôle est de crypter un message « clair » à l'aide d'une clef de chiffrement. Le message crypté (ou chiffré) est ensuite décrypté en utilisant le même algorithme et la même clef de chiffrement. Un schéma montrant ces différentes opérations est inséré dans la Figure 3-22.

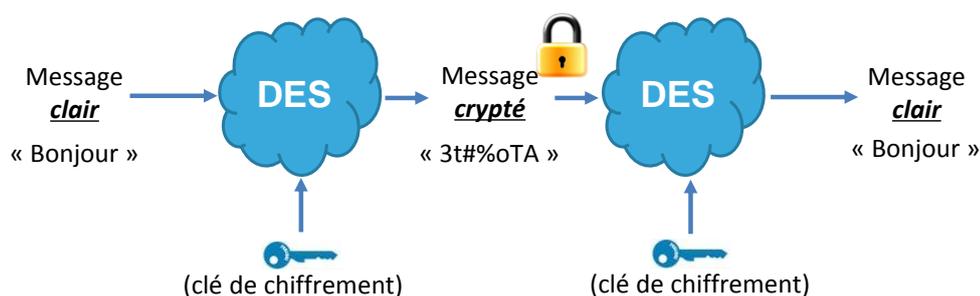


Figure 3-22 : Principe de fonctionnement de la fonction cryptographique du DES

Le bloc DES est conçu avec près de 20 000 cellules logiques. Il dispose d'une alimentation séparée (notée  $V_{DD}$ ) qui permet de mesurer le courant dynamique et le courant statique sans la contribution du bloc SPI. Les deux blocs communiquent avec l'extérieur selon un schéma maître-esclave, où le maître gère totalement la communication. Dans ce cas, le circuit DES représente l'esclave. L'interface SPI communique avec l'extérieur à l'aide de 3 fils : Master Out Slave In (MOSI), Master In Slave Out (MISO) et l'horloge SPI de 5MHz (sclk) fournie par le maître. L'horloge principale du circuit (clk) est externe. Elle est générée à l'aide d'un GBF (Générateur Basse Fréquence).

Dans cette étude, le circuit a pour objectif de trouver la clef ayant permis de crypter le message initial (appelé clair). Voici dans l'ordre, comment il procède :

- Le message clair, le message chiffré à trouver et la clé de départ sont transmis à l'interface SPI via le signal MOSI.
- L'interface SPI transmet à son tour le clair et la clé de départ au bloc DES. À partir de cet instant, le DES peut commencer à rechercher la clef permettant de trouver le message crypté. Tant que celle-ci n'est pas trouvée, la clé de départ est incrémentée et retransmise à chaque coup d'horloge.
- Dès que le chiffré calculé correspond au chiffré à trouver (transmis au départ), le signal « clé trouvée » passe à l'état haut, et la commande « lire la clé trouvée » peut être lancée.

Durant l'étape de synthèse du circuit, la fréquence de fonctionnement a été réduite à 40 MHz. Ceci a permis d'ajouter une incertitude de 20 % environ sur l'arrivée du front d'horloge. Le but étant de modifier le procédé de fabrication, il faut à tout prix éviter que le circuit ne soit plus fonctionnel.

## II.2 Méthodologie appliquée sur le circuit

Dans la partie précédente, deux approches ont été utilisées pour réduire le courant dynamique sur des oscillateurs en anneau fabriqués avec le nouveau procédé de fabrication. Pour confirmer ces gains sur un circuit, il faut être capable de réduire automatiquement la taille de tous les transistors, sans devoir retoucher manuellement le layout des cellules standards (étape qui serait bien trop longue). Pour éviter cette opération, un script a été développé pour gérer la réduction des largeurs d'active  $W_N$  et  $W_P$  de manière entièrement automatique. Ce script intervient lors de l'étape de transformation des layers CAD en layers masques.

### II.2.A Transformation « CAD to Mask »

Dès que la phase de conception est terminée, les technologues récupèrent le fichier GDS (« Graphic Database System ») du circuit complet contenant une zone analogique, une zone numérique, une zone mémoire (volatile et non-volatile) et des I/O. Ils appliquent ensuite plusieurs opérations logiques qui permettent, à partir des layers CAD, de créer les layers masques (motifs très proches de ceux qui seront reproduits sur le silicium). Cette opération est connue sous le nom de transformation « CAD to Mask » (C2M). Un exemple est présenté dans le Tableau 3-7 pour le masque active (OD - « Oxyde Diffusion ») utilisé pour définir les transistors. Les layers CAD, possédant plusieurs types de données (OD ;0, OD ;10, OD ;30), sont regroupés par une équation logique pour ne former qu'un seul layer masque. Les types de données, plus couramment appelée « datatypes » sont utilisés pour différencier les zones actives des transistors (OD ; 0) et les zones actives dummies (OD ; 10). Ces derniers sont ajoutés pour remplir les espaces vides sur le silicium et éviter des problèmes de fabrication dans les zones isolées.

Base de données de conception			Base de données CAD2Mask		
Nom ; type de donnée	Layer CAD	Type de donnée	Nom du masque	Layer Masque	Equation logique du masque
OD ; 0	6	0	ACTIVE	2	OD ;0
OD ; 10	6	10			<u>ou</u> OD ;10
OD ; 30	6	30			<u>ou</u> OD ;30

Tableau 3-7 : Transformation des layers CAD en layer masque dans le cas du masque active (OD)

Une fois l'opération C2M effectuée, les motifs obtenus dans la nouvelle base de données GDS sont très proches de ceux qui seront reproduits sur les plaquettes de silicium. Un fichier au format « Mebes » est ensuite créé pour chaque niveau de masque. Les informations contenues dans ce fichier servent à fabriquer l'image du réticule des masques utilisés pour la fabrication des circuits. Ces fichiers sont ensuite envoyés à l'équipe d'assemblage des réticules (RAT) avant les corrections des aberrations optiques (OPC – « Optical Proximity Corrections ») et l'envoi au fabricant de masque.

Le C2M a aussi d'autres fonctions. Il peut être utilisé pour réduire (« undersize ») ou augmenter (« oversize ») une géométrie (grille, active, contact, métal, ...). Il peut être employé également pour appliquer une réduction d'échelle (« shrink ») sur un circuit complet afin de diminuer sa surface. Cette technique est mise en pratique pour fabriquer d'avantage de puces sur une même plaquette de silicium pour finalement réduire le coût de fabrication du circuit.

### II.2.B Développement du script C2M

Dans cette étude, le script a été développé pour réduire automatiquement la largeur des transistors utilisés dans la partie logique du circuit. Son utilisation a permis d'éviter une modification manuelle des cellules standards qui aurait nécessité un temps bien plus conséquent avant de pouvoir embarquer le circuit sur un jeu de masque silicium (« Test Chip »). Un exemple de la modification apportée par le script sur la zone active des transistors est présentée sur la Figure 3-23.

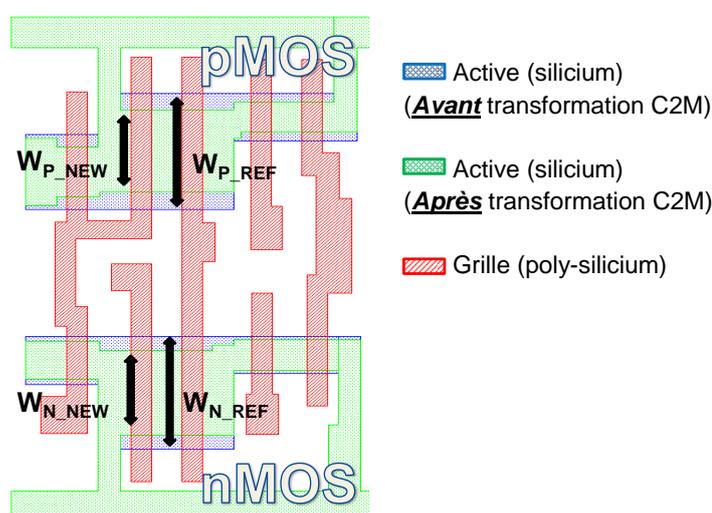


Figure 3-23 : Réduction de la largeur des transistors opérée par le script C2M sur une cellule standard

Voici les différentes étapes successives opérées par le script :

1. Identification du marker permettant de cibler la zone dans laquelle doit opérer le script
2. Identification des transistors avec une longueur de grille de 90 nm (cellules standards)
3. Identification du type de transistor (le facteur de redimensionnement étant différent entre les transistors NMOS et PMOS)
4. Identification des différentes tailles de transistor ( $W_N/W_P$ ) et redimensionnement de toutes les actives suivant le Tableau 3-8
5. Identification des problèmes (recollage des actives, élargissement des actives, ajout des enclosures autour des contacts, ...)
6. Résolution et vérification des problèmes (morceaux ajoutés, ...)

Pour éviter de modifier la taille des transistors GO1 contenus dans les I/O du circuit, un marker permettant de cibler la zone à modifier a été ajouté sur la partie logique du circuit.

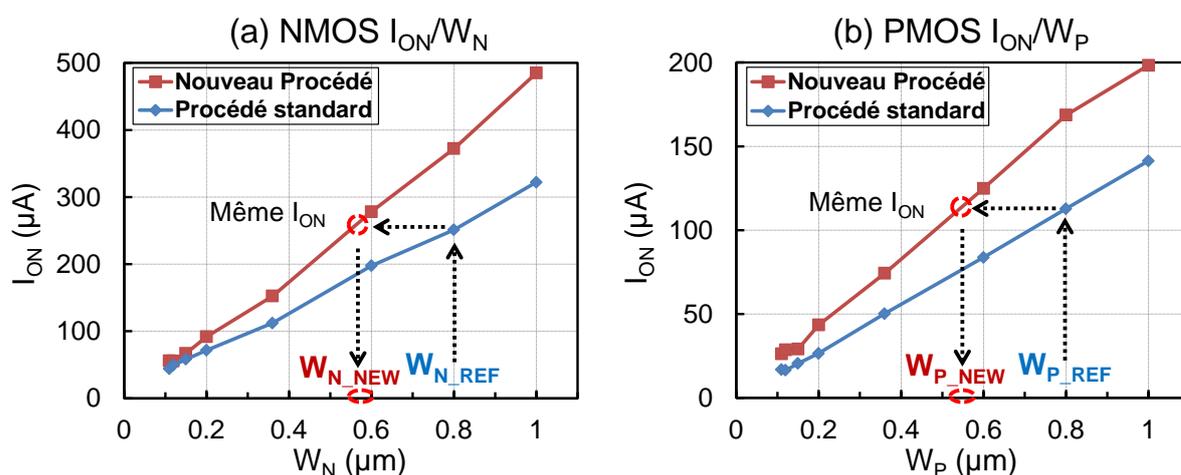
### II.2.B.i Identification du type de transistor et redimensionnement

Les différents intervalles de redimensionnement utilisés pour réduire la largeur des transistors sont présentés dans le Tableau 3-8. Puisque le gain en courant  $I_{ON}$  est moins important sur les transistors NMOS, le facteur de réduction est inférieur à celui des transistors PMOS.

	Intervalle de W ( $\mu\text{m}$ )		Réduction de $W_N$ (nm)	Réduction de $W_P$ (nm)
	$W_{MIN}$	< 0.2	0.0	0.0
<b>1</b>	0.200	0.245	15.0	80
<b>2</b>	0.250	0.295	51.9	95
<b>3</b>	0.300	0.345	73.8	109
<b>4</b>	0.350	0.395	95.6	123
<b>5</b>	0.400	0.445	119.5	137
<b>6</b>	0.450	0.495	131.9	152
<b>7</b>	0.500	0.545	144.3	166
<b>8</b>	0.550	0.645	162.9	194
<b>9</b>	0.650	0.745	187.6	222
<b>10</b>	0.750	0.845	212.3	250
<b>11</b>	0.850	0.945	237.1	279

**Tableau 3-8 : Facteur de réduction utilisé dans le script C2M pour diminuer la largeur des transistors**

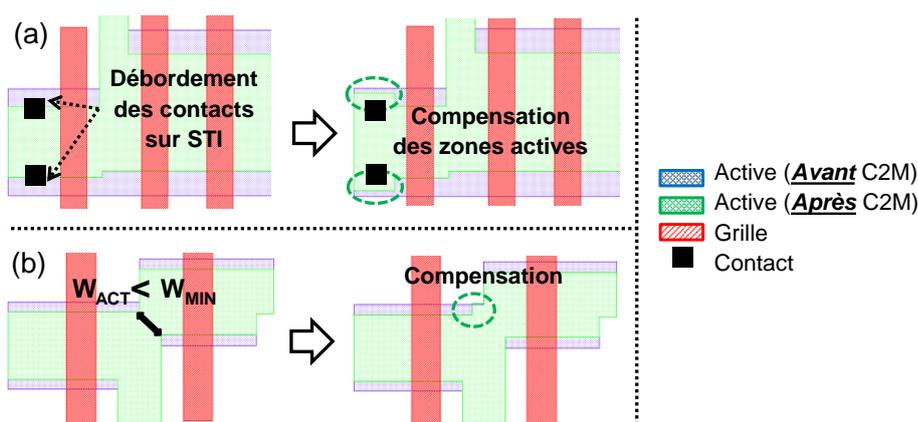
Pour estimer le facteur de réduction, les courbes montrant le courant  $I_{ON}$  en fonction de la largeur des transistors sont exploitées (Figure 3-24). Par exemple, un transistor PMOS de largeur  $W_P = 0,8 \mu\text{m}$  fabriqué avec le procédé de référence, sera réduit à une largeur de  $0,55 \mu\text{m}$ , une fois le script utilisé.



**Figure 3-24 : Comparaison entre le courant  $I_{ON}$  d'un transistor NMOS (a) et d'un transistor PMOS (b) fabriqués avec le procédé de fabrication standard et le nouveau procédé de fabrication**

### II.2.B.ii Correction des problèmes rencontrés

Dans les premières versions du script, quelques problèmes ont été rencontrés. Dans certains cas, l'extension d'active autour des contacts S/D a été supprimée lors du redimensionnement des transistors. Les contacts se retrouvent en partie dans l'oxyde STI comme le met en évidence la Figure 3-25.a. La compensation des zones actives a donc été intégrée dans le script. Une autre solution aurait pu consister à déplacer les contacts, voire en supprimer. Cependant, cette solution nécessite une modification du routage à l'intérieur des cellules (qui ne peut pas être gérée automatiquement). Dans d'autres cas, il a aussi fallu compenser la largeur de l'active qui devenait inférieure à la largeur minimale ( $W_{MIN}$ ) autorisée par les règles de dessin (DRM – Design Rules Manual) de la technologie. Cet exemple est illustré dans la Figure 3-25.b. Dans certaines cellules, la zone active est même entièrement séparée. Comme pour l'extension des contacts, cet ajustement est aussi intégré dans le script.



**Figure 3-25 : Compensation des zones actives autour des contacts S/D (b) et lorsque la zone active devient inférieure à la largeur minimale ( $W_{MIN}$ ) autorisée par le DRM**

Toutefois, même après les différentes corrections, quelques règles DRM ont été enfreintes. Dans certains cas, la distance entre la grille et la zone active ainsi que l'extension autour des contacts ont été réduites. Néanmoins, ces modifications n'ont aucun impact sur le fonctionnement des transistors.

### II.3 Réduction du courant consommé par le circuit

Quatre différents circuits DES sont maintenant étudiés. Leurs caractéristiques sont rappelées dans le Tableau 3-9. Le DES1 (circuit de référence) est fabriqué avec le procédé de fabrication standard et n'utilise pas le script C2M. Le DES2 est conçu avec le procédé standard et utilise le script C2M permettant de réduire les largeurs d'active. Le DES3 est quant à lui fabriqué avec le nouveau procédé de fabrication. Enfin, le DES4 est conçu avec le nouveau procédé de fabrication et le script C2M.

	DES1	DES2	DES3	DES4
<b>Procédé de fabrication</b> (standard/nouveau)	Standard	Standard	<i>Nouveau</i>	<i>Nouveau</i>
<b>Redimensionnement C2M</b> (Oui/Non)	Non	<i>Oui</i>	Non	<i>Oui</i>

**Tableau 3-9 : Les différents circuits DES fabriqués**

Les différents circuits sont découpés à partir de deux différentes plaquettes de silicium et mis en boîtier pour le test. Le DES1 et le DES2 sont extraits sur la première plaquette, fabriquée avec le procédé de référence. Le DES3 et le DES4 sont découpés à partir de la seconde plaquette, fabriquée avec le nouveau procédé. Chaque circuit est programmé puis testé sur un circuit imprimé (PCB – « Printed Circuit Board ») conçu dans le cadre de l'étude. Pour vérifier toutes les fonctionnalités du circuit, le DES1 est caractérisé en premier. Le message clair, le message chiffré et la clef de départ sont d'abord envoyés au bloc SPI. Le bloc DES est ensuite capable de trouver la clé de chiffrement. Un front montant sur le signal « clé-trouvée » est observé pour plusieurs fréquences de fonctionnement. La fréquence maximale ( $F_{MAX}$ ) à laquelle le circuit de référence (DES1) peut fonctionner et trouver la clef se situe autour de 45 MHz ( $F_{MAX\_DES1}$ ). Ce qui correspond à la fréquence attendue puisque le circuit a été synthétisé pour fonctionner à une fréquence de 40 MHz.

#### II.3.A Réduction du courant dynamique sans l'utilisation du nouveau procédé de fabrication

La même étude que celle effectuée sur les oscillateurs en anneau est réalisée sur le circuit. Pour commencer, la Figure 3-26.a montre l'impact de la réduction de la tension d'alimentation  $V_{DD}$  sur le courant dynamique et la fréquence du DES1. La Figure 3-26.b montre ensuite, l'impact sur le courant dynamique de la diminution des largeurs d'active entre le DES2 et le DES1. Dans les deux cas, la fréquence  $F_{MAX}$  diminue jusqu'à 36 MHz, ce qui représente une baisse de l'ordre de 20 %. En effet, au-dessus de 36 MHz, le circuit est incapable de fonctionner correctement et de trouver la clef car la logique séquentielle est perturbée. Ceci, se traduit par une succession de fautes logiques. Le courant dynamique consommé par le circuit est tout de même réduit de 8 % pour une réduction de  $V_{DD}$  et de 6 % pour une réduction de  $W_N/W_P$ .

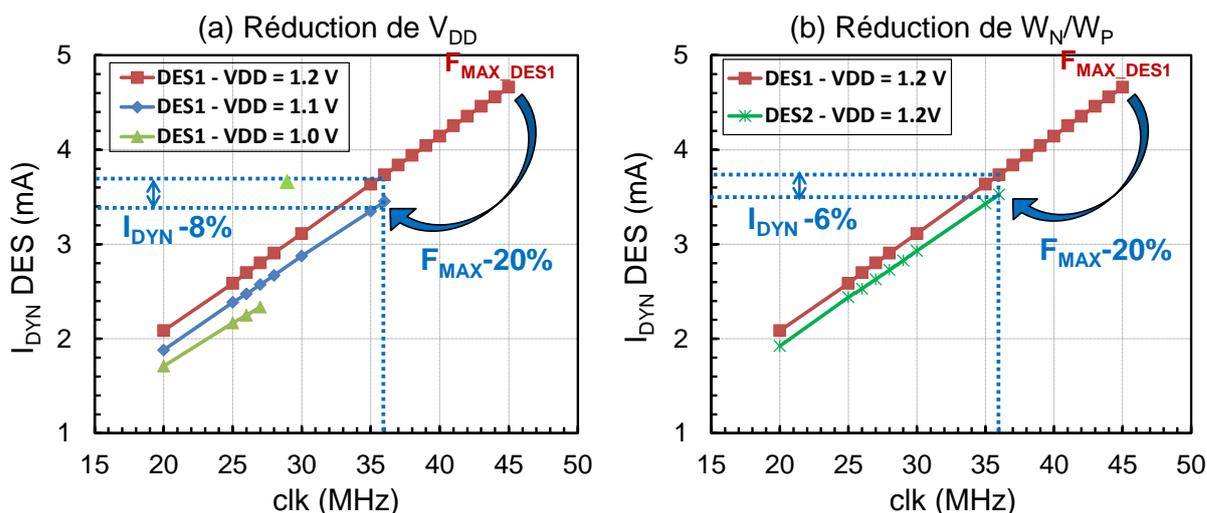


Figure 3-26 : Courant dynamique en fonction de la fréquence de fonctionnement des circuits DES1 et DES2 fabriqués sur le procédé standard lors d'une diminution de la tension d'alimentation  $V_{DD}$  (a) ou de la largeur des transistors (b)

### II.3.B Réduction du courant dynamique avec l'utilisation du nouveau procédé de fabrication

Avec l'utilisation du nouveau procédé de fabrication, la fréquence maximale de fonctionnement du DES3 augmente de 63 %, pour la même tension d'alimentation  $V_{DD}=1,2\text{ V}$ . Ce phénomène est illustré dans la Figure 3-27. Cette augmentation est une nouvelle fois liée au gain en mobilité apporté par le nouveau procédé de fabrication. En diminuant la tension  $V_{DD}$  de 1,2 V à 0,95 V sur le circuit DES3 fabriqué avec le nouveau procédé de fabrication, la fréquence maximale de fonctionnement devient égale à celle du DES1 comme le montre la Figure 3-27.a. Le courant dynamique consommé est quant à lui réduit de 24 %. Le gain obtenu sur le circuit est donc plus important que celui observé sur les RO (15 – 17 %) dans la partie précédente. En effet, la tension d'alimentation diminue jusqu'à 0.95 V sur le circuit alors qu'elle n'atteint que 1,03 V sur le RO. D'autre part, la tension de seuil des transistors est légèrement plus basse sur la plaquette utilisée pour fabriquer le circuit.

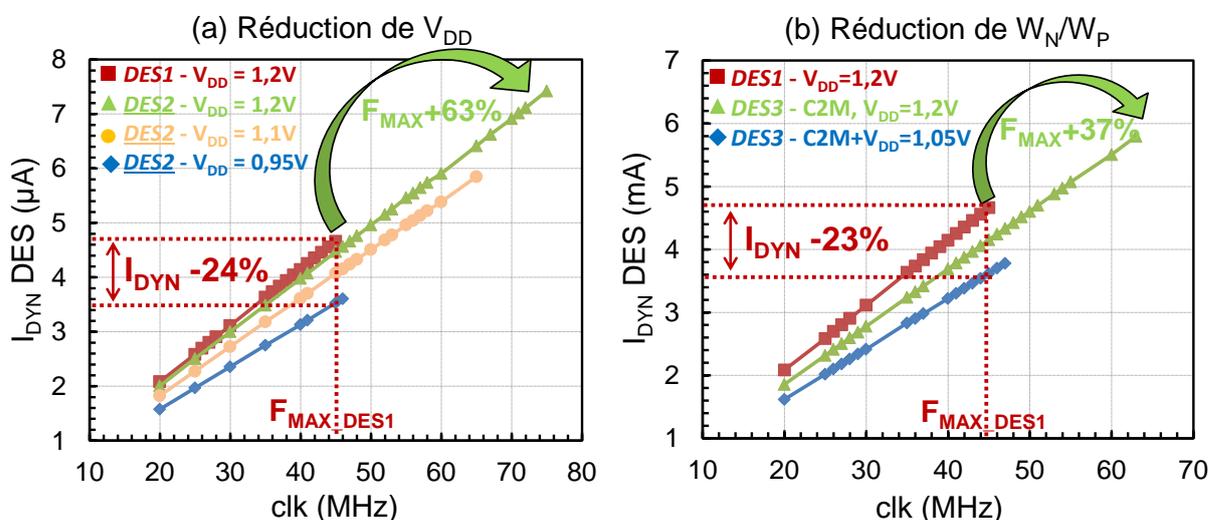
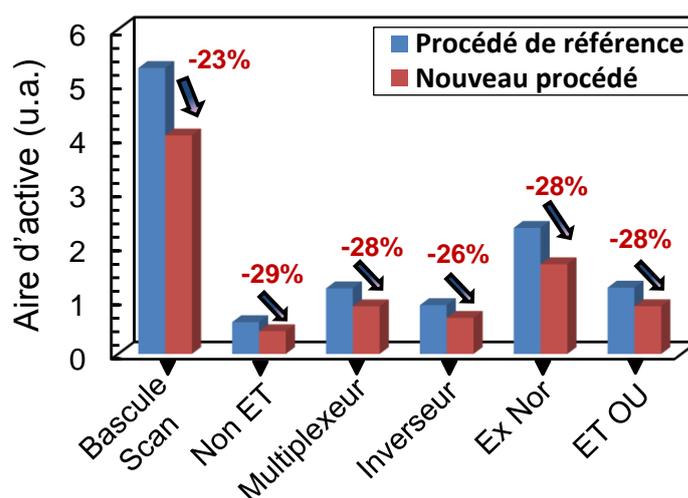


Figure 3-27 : Réduction du courant dynamique consommé par le DES avec l'utilisation du nouveau procédé de fabrication, lors d'une diminution de la tension d'alimentation  $V_{DD}$  (a) ou de la largeur des transistors (b)

La même étude est réalisée sur le DES4 fabriqué avec le nouveau procédé et les largeurs d'active réduites. Sur la Figure 3-27.b, la fréquence de fonctionnement augmente de 37 % par rapport à la fréquence du DES1 pour la même tension  $V_{DD}$ . La taille des transistors aurait donc pu être réduite d'avantage. Nous avons choisi de réduire la tension d'alimentation jusqu'à 1,05 V pour estimer le gain en courant dynamique avec une fréquence de fonctionnement identique entre le DES4 et le DES1. En combinant la réduction des largeurs  $W_N/W_P$  et de la tension  $V_{DD}$ , le courant dynamique du circuit est réduit de 23 % comme illustré dans la Figure 3-27.b. Ce qui est assez proche du gain observé sur le DES3. Néanmoins, cette solution est plus facilement intégrable sur un circuit embarquant des mémoires volatiles comme la SRAM, dont les performances sont très sensibles à une réduction des tensions d'alimentation. D'autre part, cette méthode permet de réduire la surface occupée par les transistors et de libérer de l'espace à l'intérieur des cellules standards. Le gain sur l'aire d'active est présenté dans la Figure 3-28 sur les cellules les plus utilisés dans le circuit. Toutefois, ceci implique de reprendre manuellement la conception à conception de toutes les cellules standard. C'est d'ailleurs ce qui fera l'objet d'une partie du prochain chapitre.



**Figure 3-28 : Réduction de la zone active des cellules logiques utilisées dans le circuit DES avec l'utilisation du nouveau procédé de fabrication et du script C2M**

### II.3.C Evolution du courant statique

Comme nous l'avons énoncé dans le chapitre 1, le courant statique est décomposé en trois principaux courants de fuite :

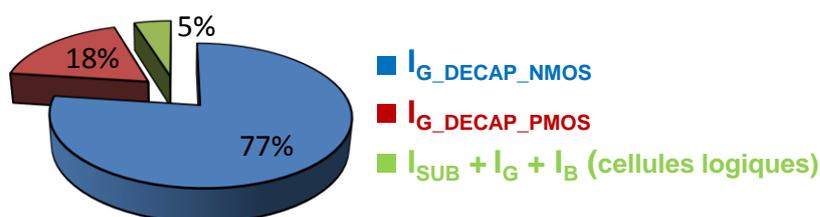
- le courant sous le seuil ( $I_{DSUB}$ )
- le courant de grille ( $I_G$ )
- le courant de substrat ( $I_B$ )

Nous rappelons que sur le type de transistors étudié (HVT), la principale contribution du courant statique reste le courant de drain ( $I_{DSUB}$ ) en régime de faible inversion (sous le seuil). Dans cette étude, le courant de grille est décomposé en deux contributions : le courant de grille lié aux transistors ( $I_{G\_ON}/I_{G\_OFF}$ ) et le courant de grille lié aux capacités de découplage ( $I_{G\_DECAP}$ ). Les capacités

de découplage (« Decaps » - « Filler Cap ») sont utilisées pour réduire des éventuelles chutes de tension ( $\Delta V$ ) pouvant intervenir sur l'alimentation  $V_{DD}$ . Elles sont insérées dans la partie logique du circuit pour créer des réservoirs de charge situés au voisinage des cellules standards. Elles procurent un courant instantané nécessaire à la commutation des portes tout en limitant le phénomène d'IR drop (résistance série) et les effets inductifs ( $L \cdot di/dt$ ) liés aux interconnexions métalliques et aux inductances parasites. ( $\Delta V = I \cdot R + L \cdot di/dt$ ) [Chen'95]. Ces phénomènes s'accroissent lorsque l'activité du circuit devient importante. La variation de tension peut donc s'écrire sous la forme suivante (3.8) :

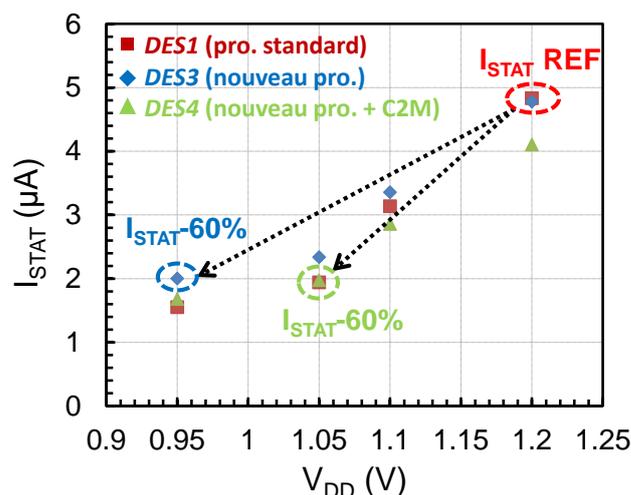
$$\Delta V = R \cdot I + L \frac{di}{dt} \quad (3.8)$$

Le circuit DES étant conçu avec une quantité importante de capacités de découplage, la contribution de la fuite de grille de celles-ci représente une grande majorité du courant statique total du circuit. La Figure 3-29 met d'ailleurs en évidence la répartition du courant statique du DES1 (référence). Dans cette estimation, 5 % seulement du courant statique total sont liés aux courants de fuite ( $I_{SUB} + I_G + I_B$ ) des cellules. Les 95 % restants, sont apportés par la fuite de grille des capacités de découplage NMOS et PMOS (présentes en grandes quantités). Le courant de grille des transistors NMOS étant plus important que celui des transistors PMOS (Figure 2-13 du chapitre 2), plus de trois quarts de la consommation statique sont représentés par le courant de grille des transistors NMOS.



**Figure 3-29 : Répartition des courants de fuite du DES1**

Le courant statique ( $I_{STAT}$ ) des différents DES est tout de même mesuré et présenté sur la Figure 3-30 pour étudier l'impact du nouveau procédé de fabrication et des modifications de conception réalisées. La mesure s'effectue en déconnectant l'horloge « clk » et en regardant le courant débité sur  $V_{DD}$ . Dans cette étude, le courant statique du DES1 (proche de 5  $\mu A$ ) mesuré à  $V_{DD} = 1,2 V$  est la référence. Sur la figure, une réduction de 60 % du courant statique consommé est observée sur le DES3 (réduction de  $V_{DD}$ ) et le DES4 (réduction de  $W_N/W_P$  et de  $V_{DD}$ ). Ceci est en majeure partie provoqué par la réduction de la tension d'alimentation qui réduit les courants de fuite consommés par les cellules mais surtout les courants de grille des capacités de découplage. En effet, le courant de grille est une fonction exponentielle du champ électrique appliqué sur la grille, et donc de la tension entre la grille et la source ( $V_{GS}$ ). Par ailleurs, le courant traversant la grille des transistors PMOS fabriqués sur le nouveau procédé est deux à trois fois moins important que celui des transistors fabriqués sur le procédé de référence (voir 1.2.A du chapitre 2), ce qui peut aussi expliquer la réduction du courant statique observée sur le DES3 et le DES4.



**Figure 3-30 : Réduction du courant statique consommé par le DES avec l'utilisation du nouveau procédé de fabrication et lors d'une diminution de la tension d'alimentation  $V_{DD}$  et de la taille des transistors  $W_N/W_P$**

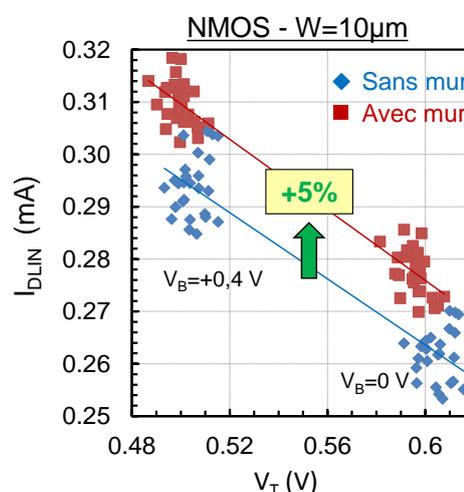
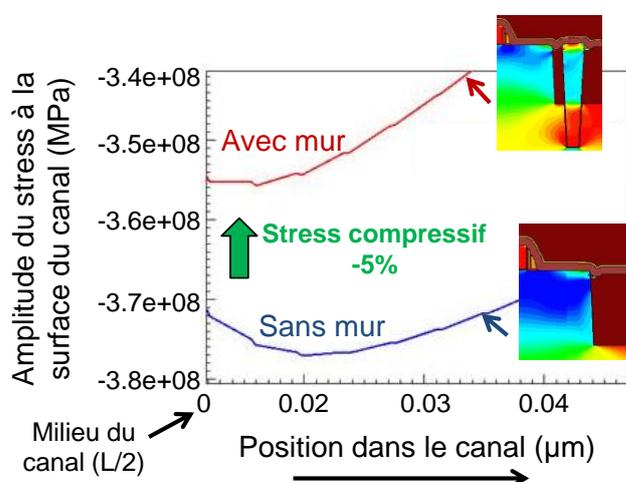
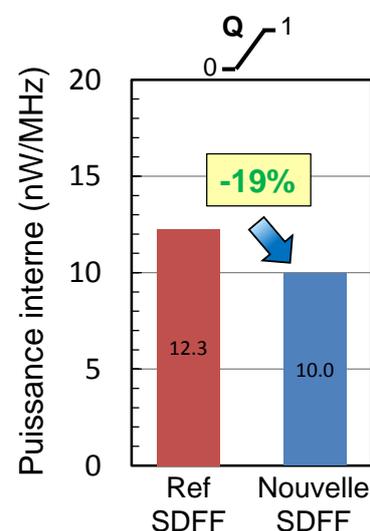
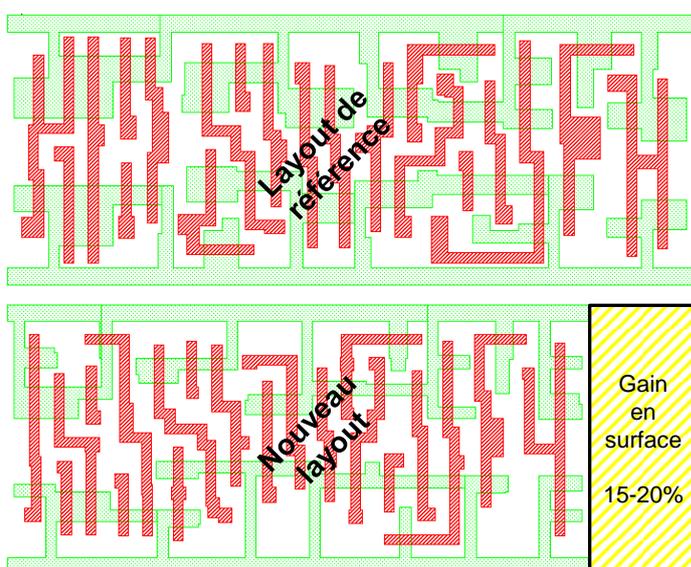
La réduction du courant statique est donc liée d'une part, à la réduction de  $V_{DD}$  et de  $W_N/W_P$ , d'autre part à la réduction du courant de fuite de grille des capacités de découplage PMOS. La contribution des courants de fuites apportés par les cellules étant très faible sur le circuit, il est difficile de suivre son évolution avec l'utilisation du nouveau procédé de fabrication. Néanmoins, sur la Figure 3-30, le courant statique reste constant entre le DES1 et le DES3 (pour une tension  $V_{DD}$  de 1,2 V). Ce qui laisse penser que le courant de fuite lié aux cellules standards augmente légèrement puisqu'il faut compenser la diminution du courant de grille obtenu sur les capacités de découplage PMOS.

### Conclusion

Dans ce chapitre, des oscillateurs en anneaux sont employés pour évaluer le gain en consommation dynamique apporté par l'utilisation du nouveau procédé de fabrication détaillé dans le chapitre 2. Ces premiers résultats ont mis en évidence l'importance de réduire la taille des transistors à l'égard de la tension d'alimentation, pour diminuer le courant dynamique consommé lorsque la capacité liée au routage est négligeable par rapport à la capacité équivalente des portes logiques attaquées.

Ces gains ont ensuite été confirmés sur un circuit DES fabriqué avec près de 20 000 cellules logiques. Une réduction de 24 % du courant dynamique est observée en réduisant la tension d'alimentation du circuit en dessous de 1 V. Puis, lors de la phase de transformation des layers CAD en layers masque (CAD2MASK), un script est développé pour redimensionner automatiquement la largeur de tous les transistors utilisés dans le circuit logique. En combinant l'utilisation du script C2M et une diminution de la tension d'alimentation, un gain d'environ 23 % en courant dynamique est observé. Cette solution permet d'éviter une réduction trop importante de la tension d'alimentation qui peut nuire au bon fonctionnement des mémoires embarquées. D'autre part, en reprenant manuellement la conception de quelques cellules, cette méthode peut permettre de réduire la surface occupée par la partie digitale d'un circuit.

## Chapitre 4 Réduction de la consommation et de la surface par optimisation de la conception des cellules logiques



Ce dernier chapitre est consacré à l'optimisation des cellules logiques fabriquées avec les transistors basse tension étudiés dans les précédents chapitres. La première partie met en évidence les gains en consommation interne et en surface pouvant être réalisés sur une bascule SCAN conçue avec le nouveau procédé de fabrication, des règles de dessin plus agressives et des largeurs d'active plus faibles. La seconde partie présente une solution permettant de réduire la contrainte induite par l'oxyde STI afin d'augmenter les performances des transistors NMOS utilisés dans les cellules logiques.

<b>Introduction</b> .....	<b>- 121 -</b>
<b>I Optimisation des règles de dessin de la technologie</b> .....	<b>- 121 -</b>
I.1 Suppression des extensions autour des contacts.....	- 121 -
I.1.A Impact de la suppression de l'extension S/D sur la résistance du contact .....	- 122 -
I.1.B Impact de la suppression de l'extension S/D sur les paramètres électriques des transistors.....	- 124 -
I.2 Déplacement du contact de grille sur la zone active du transistor .....	- 127 -
I.2.A Comportement statique des transistors .....	- 127 -
I.2.B Comportement dynamique des transistors.....	- 128 -
I.3 Gains en consommation et en surface obtenus sur une bascule D SCAN.....	- 129 -
I.3.A Description de la bascule D SCAN.....	- 129 -
I.3.B Réduction de la surface de la bascule D SCAN .....	- 131 -
I.3.A Réduction de la consommation interne de la bascule SCAN .....	- 132 -
<b>II Amélioration de la performance des cellules standards en réduisant la contrainte mécanique exercée par l'oxyde STI</b> .....	<b>- 135 -</b>
II.1 Influence de l'oxyde STI sur les paramètres électriques des transistors.....	- 135 -
II.1.A Influence de la distance entre la grille et le STI (SA) .....	- 136 -
II.1.B Influence de la largeur du STI ( $W_{STI}$ ) .....	- 139 -
II.2 Ajout de murs « anti-stress » en poly-silicium .....	- 141 -
II.2.A Comportement statique des transistors .....	- 142 -
II.2.B Comportement dynamique des transistors.....	- 145 -
<b>Conclusion</b> .....	<b>- 146 -</b>

## Introduction

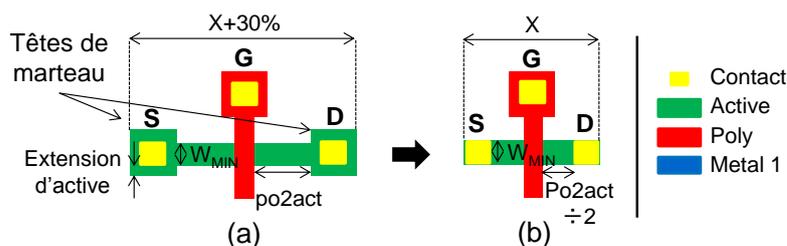
Les différentes technologies développées par STMicroelectronics Rousset utilisées dans la conception de circuits peuvent connaître de nombreuses améliorations au cours du temps. Ces améliorations se font en relation étroite avec les concepteurs qui soumettent des requêtes susceptibles d'optimiser les règles de dessin d'une technologie dans l'espoir de concevoir des circuits présentant un meilleur compromis performance, consommation et surface.

Dans ce dernier chapitre, nous montrons qu'en optimisant certaines règles de dessin utilisées pour la conception des transistors GO1, il est possible d'améliorer la technologie étudiée pour réduire la taille mais aussi la consommation des cellules standards. Enfin, l'utilisation d'un mur formé de polysilicium est étudiée pour augmenter les performances des transistors NMOS en réduisant l'impact de la contrainte mécanique induite par l'oxyde STI.

## I Optimisation des règles de dessin de la technologie

### I.1 Suppression des extensions autour des contacts

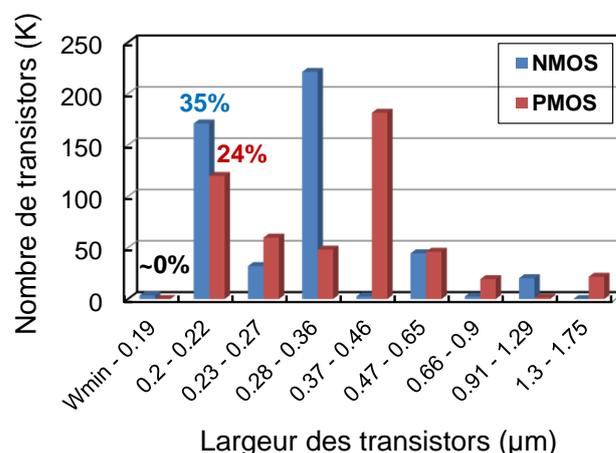
Dans le chapitre précédent, nous avons montré et quantifié le gain en consommation dynamique obtenu avec l'utilisation du nouveau procédé de fabrication et des optimisations de conception. Parmi ces optimisations, nous avons montré toute l'importance d'utiliser un transistor de taille minimale pour réduire la valeur des capacités de charge et les vitesses de commutation. Toutefois, en considérant les règles de dessin de la technologie de référence (e-NVM CMOS 80 nm), les concepteurs ont l'obligation d'ajouter une extension en active (tête de marteau) pour venir contacter les zones S/D des transistors (Figure 4-1).



**Figure 4-1 : Vue layout d'un transistor MOS dessiné avec (a) ou sans (b) l'extension S/D**

En effet, la largeur du contact étant égale à la largeur minimale du transistor ( $W_{MIN}$ ), la surface des zones actives doit être élargie pour éviter un débordement du contact dans l'oxyde STI. D'autre part, l'extension de la zone active autour des contacts implique de respecter la distance entre la grille et l'active du transistor, notée « po2act » dans la Figure 4-1. Cette contrainte augmente considérablement la largeur séparant la source et le drain du transistor (« X ») de 30 %. La surface occupée par les cellules logiques étant l'une des principales contraintes pour les concepteurs, ils préfèrent utiliser un transistor de largeur plus importante pour éviter l'ajout d'une extension S/D (augmentant la surface occupée par les transistors et la cellule).

La Figure 4-2 présente la répartition du nombre de transistors utilisés dans la partie logique d'un circuit à l'état de l'art en fonction de leur largeur. Actuellement, très peu de transistors sont conçus avec une largeur d'active ( $W_{ACT}$ ) comprise entre  $W_{MIN}$  et  $0,2\mu\text{m}$ . Tandis que, 24 % et 35 % des transistors PMOS et NMOS, sont respectivement dessinés avec une largeur d'active supérieure à  $0,2\mu\text{m}$  pour éviter, dans certains cas, une augmentation de la surface des cellules conçues avec des transistors de plus faibles largeurs dessinés avec les extensions S/D.



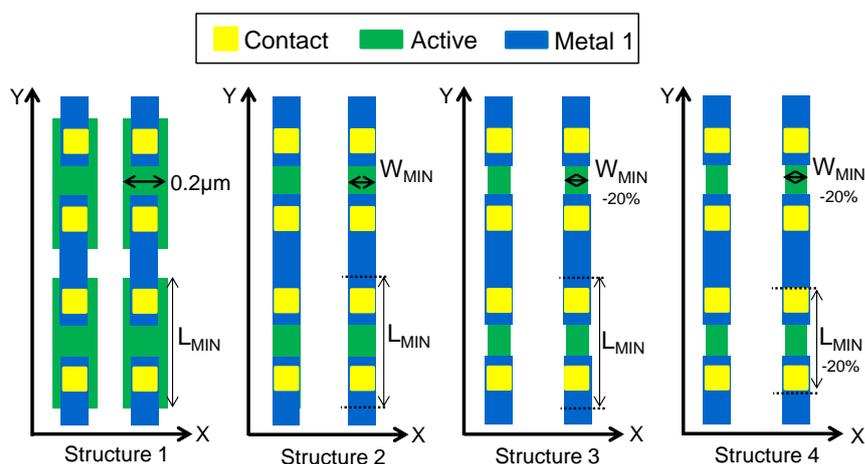
**Figure 4-2 : Répartition du nombre de transistors NMOS et PMOS utilisés dans un circuit fabriqué en technologie e-NVM CMOS 80 nm en fonction de leur largeur**

De plus, l'usage du nouveau procédé de fabrication développé dans le chapitre 2 a montré que la largeur des transistors peut être réduite jusqu'à 40 % pour réduire la consommation dynamique sans impacter les performances. Cela signifie que tous les transistors dessinés avec une largeur d'active comprise entre  $0,2\mu\text{m} < W_{ACT} < 0,3\mu\text{m}$ , ne peuvent pas être redimensionnés sans entraîner une augmentation de la surface des cellules avec l'insertion des extensions S/D.

L'objectif de cette partie consiste à étudier la possibilité de supprimer l'extension S/D afin d'utiliser des transistors de largeur inférieure à  $0,2\mu\text{m}$ , sans augmenter la surface des cellules et tout en maintenant le procédé de fabrication robuste.

### 1.1.A Impact de la suppression de l'extension S/D sur la résistance du contact

Dans un premier temps, la résistance d'une chaîne de plusieurs contacts reliés en série par des zones actives de différentes largeurs est mesurée. Une vue layout des quatre principales structures étudiées est présentée dans la Figure 4-3. La structure 1 représente le cas pour lequel il n'est pas nécessaire d'ajouter la tête de marteau sur les zones S/D ( $W_{ACT} = 0,2\mu\text{m}$ ). Dans les trois autres structures (2, 3 et 4),  $W_{ACT}$  étant inférieure à  $0,2\mu\text{m}$ , il est nécessaire d'insérer l'extension S/D. Dans la structure 2,  $W_{ACT} = W_{MIN}$ , et l'extension d'active est supprimée dans la direction X. Dans la structure 3, la largeur d'active est 20 % plus faible que la largeur minimale autorisée par les règles de dessin de la technologie. Enfin, la structure 4 est la plus agressive,  $W_{ACT} = W_{MIN-20\%}$  et l'extension d'active est supprimée tout autour du contact dans les deux directions X et Y. La largeur et la longueur du barreau d'active de chaque structure sont aussi rappelées dans le Tableau 4-1.

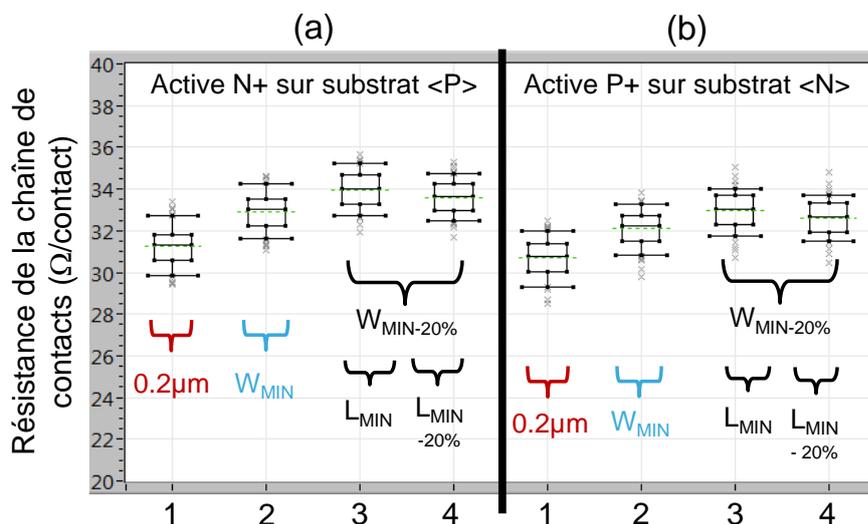


**Figure 4-3 : Vue layout des quatre structures permettant de mesurer la résistance des contacts placés sur des barreaux d’actives de différentes largeurs**

Structure	$W_{ACT}$ ( $\mu\text{m}$ )	$L_{ACT}$ ( $\mu\text{m}$ )
1	0.2	$L_{MIN}$
2	$W_{MIN}$	$L_{MIN}$
3	$W_{MIN}-20\%$	$L_{MIN}$
4	$W_{MIN}-20\%$	$L_{MIN}-20\%$

**Tableau 4-1 : Largeurs et longueurs d’active des chaînes de contacts**

Pour chaque structure, la résistance de la chaîne de contact est mesurée sur les deux types de substrat (N et P). La valeur de la résistance ramenée en  $\Omega/\text{contact}$  est présentée dans la Figure 4-4.



**Figure 4-4 : Résistance des chaînes de contacts dessinées avec différentes largeurs d’actives dopées N+ (a), et P+ (b)**

La valeur de la résistance augmente légèrement lorsque  $W_{ACT}$  diminue. Ceci est directement lié à la réduction de la largeur du barreau d’active sur les structures 2, 3 et 4. Enfin, même la structure 4 dessinée sans extension d’active autour des contacts dans les deux directions ne montre pas d’augmentation significative de la résistance du contact ( $R_{CO}$ ). Cette dernière reste donc stable pour les différentes valeurs de  $W_{ACT}$  étudiées. D’autre part, lors de l’étape permettant de transformer les layers CAD en layers masques (détaillée au Chapitre 3II.2.A), le contact est réduit de 15 nm par bord. Cette opération permet un éventuel désalignement entre le masque active et le masque contact sans réelle conséquence sur la résistance du contact. La même étude est d’ailleurs réalisée en ajoutant un désalignement volontaire entre le masque contact et le masque active dans les directions X et Y. Les valeurs de résistance obtenues dans ces pires cas sont toujours alignées avec celles obtenues dans la Figure 4-4.

## I.1.B Impact de la suppression de l'extension S/D sur les paramètres électriques des transistors

### I.1.B.i Comportement statique des transistors

Le comportement électrique des transistors GO1 dessinés sans l'extension d'active S/D est maintenant étudié. La conception des différents transistors dessinés avec ou sans la tête de marteau S/D est rappelée dans la Figure 4-5. Le MOS4 est aussi étudié afin d'envisager la possibilité de supprimer l'extension en poly-silicium autour du contact de grille. La distance notée « SA » étant la largeur entre la grille et le STI (ou largeur des zones S/D).

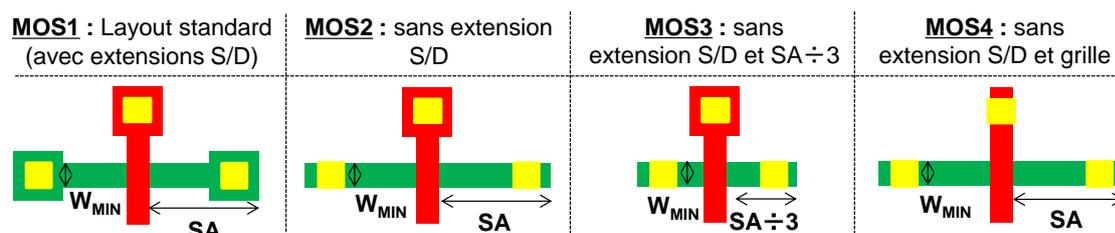


Figure 4-5 : Conception des différents MOS avec ou sans la tête de marteau en active et en poly-silicium

Les courbes de mérite  $I_{ON}$  en fonction de  $V_T$  des quatre différents MOS sont présentées dans la Figure 4-6 pour les deux types de transistors de largeur  $W_{MIN}$ .

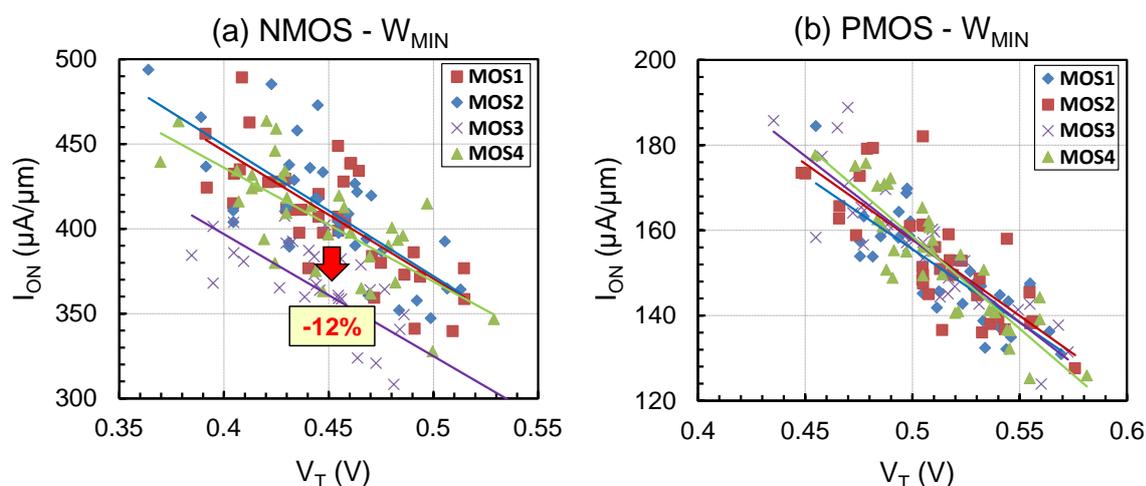
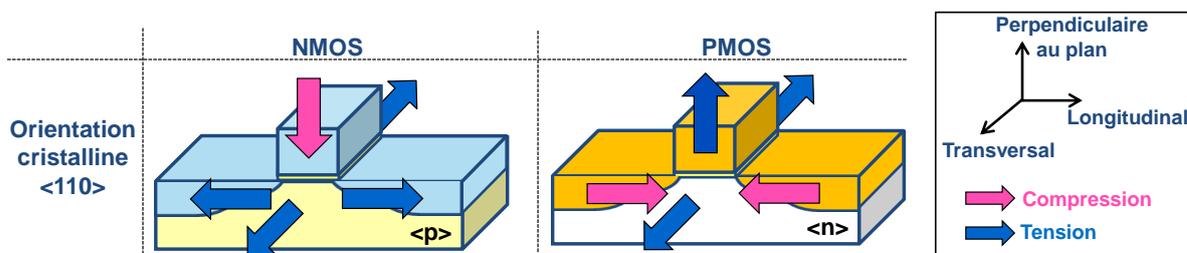


Figure 4-6 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W_{MIN}$  dessiné avec ou sans l'extension en active et en poly-silicium

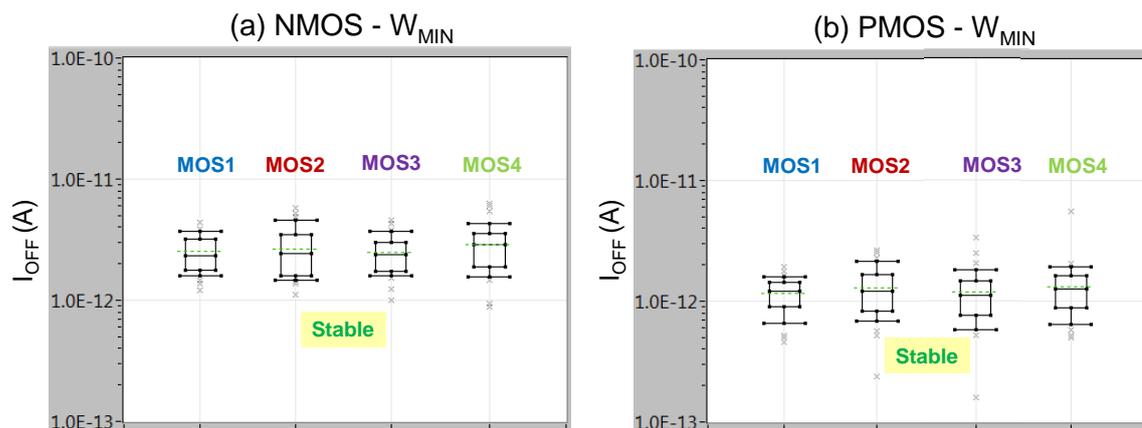
Nous pouvons constater que la suppression de l'extension S/D n'a aucun impact sur le courant  $I_{ON}$  lorsque la distance SA ne varie pas (comparaison des configurations MOS1, MOS2 et MOS4). Toutefois, la suppression de l'extension S/D permet une réduction par trois de la largeur SA réalisée dans la configuration MOS3 (Figure 4-5). Dans le cas du transistor NMOS (Figure 4-6.a), cette diminution est à l'origine d'une réduction du courant  $I_{ON}$  proche de 12 % engendrée par l'augmentation du stress compressif induit par l'oxyde STI qui vient réduire la mobilité des électrons. Dans le chapitre 2, les différents types de stress à appliquer sur les transistors afin d'augmenter la mobilité des électrons et des trous en fonction de l'orientation cristalline du canal ont été montrés. Ils sont rappelés dans la Figure 4-7 dans l'orientation cristalline standard  $\langle 110 \rangle$ .



**Figure 4-7 : Vue layout des différents types de stress à appliquer afin d'augmenter la mobilité des transistors NMOS et PMOS fabriqués avec une orientation cristalline standard <110>**

Dans le cas du transistor PMOS, le stress compressif induit par l'oxyde STI est favorable dans la direction longitudinale mais défavorable dans la direction transversale. Ce qui peut expliquer pourquoi aucune modification du courant  $I_{ON}$  n'est observée sur la Figure 4-6.b lorsque la largeur SA diminue. Nous reviendrons plus en détail sur l'impact de la distance SA sur le comportement électrique des transistors dans la seconde partie de ce chapitre.

Le courant  $I_{OFF}$  est aussi comparé dans la Figure 4-8 sur les deux types de transistors en fonction des différentes configurations et reste inchangé lors de la suppression des extensions S/D en active et en poly-silicium. Ce qui était attendu d'après les caractéristiques  $I_{ON}/V_T$ .



**Figure 4-8 : Courant de fuite de drain ( $I_{OFF}$ ) d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W_{MIN}$  dessiné avec ou sans l'extension S/D en active et en poly-silicium**

### I.1.B.ii Comportement dynamique des transistors

L'oscillateur en anneau (RO) présenté dans le chapitre 3 est utilisé pour étudier le comportement dynamique des différents transistors vus précédemment. La conception et les principales caractéristiques des transistors MOS embarqués dans l'inverseur CMOS du RO sont rappelées dans la Figure 4-9 et dans le Tableau 4-2. L'inverseur utilisé dans le RO1 est la référence. Il est conçu avec un transistor NMOS et un transistor PMOS de dimension  $W_{MIN}$  et possédant les extensions S/D autour des contacts. Dans le RO2 les extensions S/D autour des contacts sont supprimées mais la distance entre la grille et les contacts S/D (notée « p2c ») reste inchangée. Dans le RO3, la distance SA est similaire à celle des RO1 et RO2, mais le contact est rapproché de la grille au maximum. Enfin, dans le RO4 les distances SA et p2c sont réduites au maximum jusqu'aux valeurs minimales autorisées par les règles de dessin pour réduire la largeur occupée par l'inverseur.

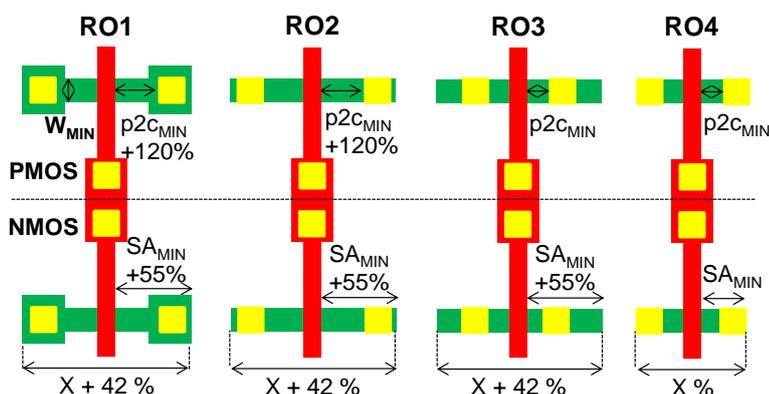


Figure 4-9 : Conception des différents inverseurs utilisés dans les oscillateurs en anneau avec ou sans l’extension S/D

n°	W <sub>ACT</sub>	SA	p2c
RO1	W <sub>MIN</sub>	SA <sub>MIN</sub> +55%	p2c <sub>MIN</sub> +120%
RO2	W <sub>MIN</sub>	SA <sub>MIN</sub> +55%	p2c <sub>MIN</sub> +120%
RO3	W <sub>MIN</sub>	SA <sub>MIN</sub> +55%	p2c <sub>MIN</sub>
RO4	W <sub>MIN</sub>	SA <sub>MIN</sub>	p2c <sub>MIN</sub>

Tableau 4-2 : Caractéristiques des transistors embarqués dans les RO

L’expression de la fréquence d’oscillation d’un RO est rappelée à l’équation (4.1) où n représente le nombre d’inverseur, T<sub>D</sub> la période d’oscillation, C<sub>LOAD</sub> la capacité de charge en sortie et I<sub>DYN</sub> le courant dynamique moyen consommé sur l’alimentation V<sub>DD</sub>.

$$F_{RO} = \frac{1}{2.n.T_D} = \frac{I_{DYN}}{2.n.C_{LOAD}.V_{DD}} \tag{4.1}$$

Pour chaque RO, la fréquence d’oscillation est mesurée et présentée à la Figure 4-10. La suppression des extensions d’active permet de réduire les capacités des jonctions S/D. Ceci a pour conséquence une augmentation de la fréquence d’oscillation du RO2 de 8 % par rapport au RO1.

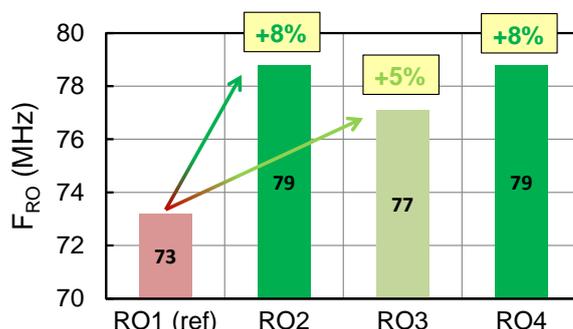


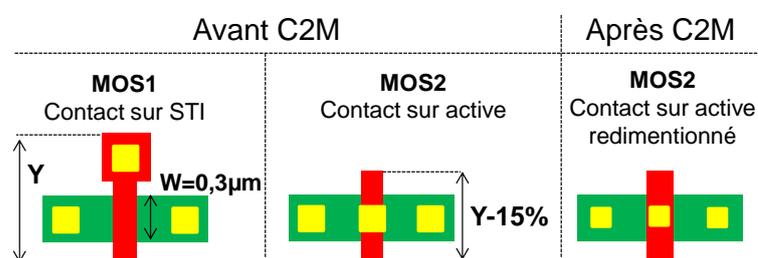
Figure 4-10 : Fréquence d’oscillation des RO conçus avec les inverseurs présentés dans la Figure 4-9

Dans le cas du RO3, le gain en fréquence est moins important (+5%) par rapport au gain observé sur le RO2. Ceci peut s’expliquer par la diminution de la distance entre la grille et les contacts S/D du transistor qui entraîne une augmentation de la capacité grille/contact. Enfin, le RO4 (conçu avec les largeurs grille/STI et grille/contact au minimum) montre un gain de 8 % sur la fréquence de fonctionnement, malgré la réduction du courant I<sub>ON</sub> observée dans la Figure 4-6.a sur le transistor NMOS3. En effet, la réduction des capacités de jonction des zones actives S/D permet d’éviter une diminution de la fréquence d’oscillation.

Ces nombreux résultats (statique/dynamique) nous confirment la possibilité de supprimer l’extension S/D utilisée pour fabriquer un transistor GO1 dont la largeur d’active est inférieure à W<sub>ACT</sub> = 0.2 μm. Dans le cas du transistor NMOS, il faut tout de même noter la réduction du courant de drain observée lorsque la distance grille/STI diminue. Nous reviendrons sur cet effet dans la deuxième partie de ce chapitre.

## I.2 Déplacement du contact de grille sur la zone active du transistor

Par convention, le contact de grille se réalise sur l'oxyde STI comme présenté dans la Figure 4-11.a. Dans l'étude précédente, l'extension de poly-silicium autour du contact a été supprimée sur le MOS4 sans impacter les performances des transistors. Pour augmenter la densité d'intégration, nous l'avons déplacé directement sur la zone active du transistor (Figure 4-11.b). À notre connaissance, cette démarche n'a jamais été réalisée dans la conception de circuits logiques, mais peut permettre de réduire la surface de quelques cellules logiques en réduisant la hauteur du transistor ( $Y$ ). Par exemple, la Figure 4-11.b montre que la hauteur d'un transistor de largeur  $W = 0,3 \mu\text{m}$  est réduite de 15 %. Par ailleurs, lors de l'étape de transformation C2M, un redimensionnement des contacts est réalisé (Figure 4-11.c) et permet de limiter le débordement du contact dans les couches de nitrure et d'oxyde utilisées pour former l'espaceur.

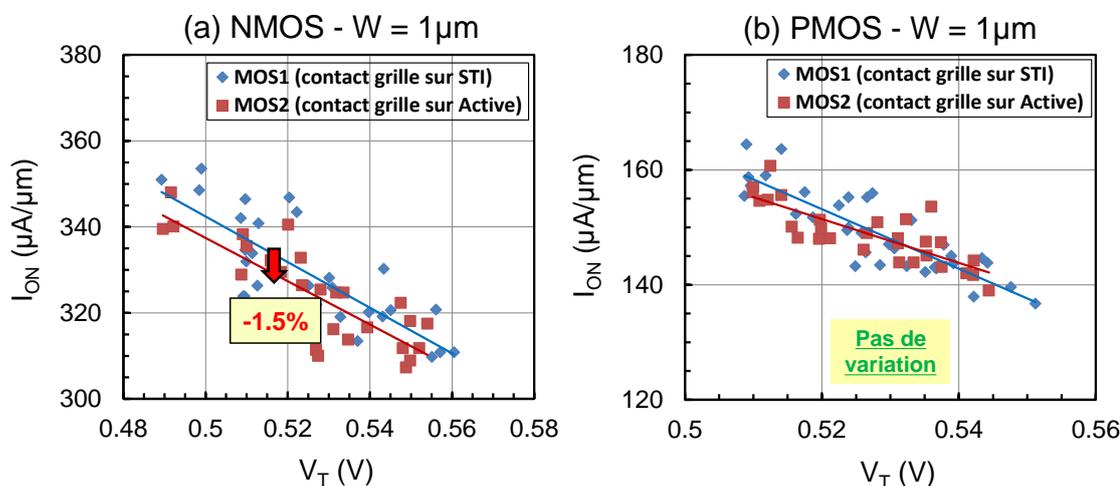


**Figure 4-11 : Conception d'un transistor MOS GO1 avec le contact grille sur l'oxyde STI (MOS1) ou sur la zone active du transistor avant et après redimensionnement lors de l'étape de transformation « CAD to Mask » (MOS2)**

Néanmoins, cette solution est déjà utilisée depuis l'apparition des transistors octogonaux destinés aux applications analogiques [Ker'96]. Ces derniers, permettent de réduire l'effet « Hump » en l'absence des jonctions zone active/STI recouvertes par du poly-silicium [Sallagoity'95], [Schwantes'05] [Joly'11].

### I.2.A Comportement statique des transistors

Les courbes de mérite  $I_{ON}/V_T$  des transistors NMOS et PMOS conçus avec le contact de grille sur STI ou sur active sont présentées dans la Figure 4-12.



**Figure 4-12 : Courbes de mérite  $I_{ON}/V_T$  d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W_{MIN}$  fabriqué avec le contact de grille sur STI (MOS1) ou sur active (MOS2)**

Dans le cas du transistor PMOS (Figure 4-12.b), aucune variation du courant  $I_{ON}$  n'est observée lorsque le contact de grille est placé sur la zone active du transistor. Dans le cas du transistor NMOS, une légère réduction du courant  $I_{ON}$  (-1.5%) est observée sur la Figure 4-12.a. En effet, la contrainte mécanique dans le canal peut être légèrement différente lorsque le contact est placé sur la zone active du transistor. Le procédé de remplissage des contacts par du métal (tungstène) induit une contrainte en tension sur la grille du transistor qui se traduit par une contrainte de sens opposé (compression) dans le canal. Ce phénomène est mis en évidence dans la Figure 4-7 montrant les différents types de stress à appliquer sur les transistors afin d'augmenter la mobilité des porteurs.

Le courant  $I_{OFF}$  est aussi représenté dans la Figure 4-13 pour les deux types de transistors et aucune variation n'est observée.

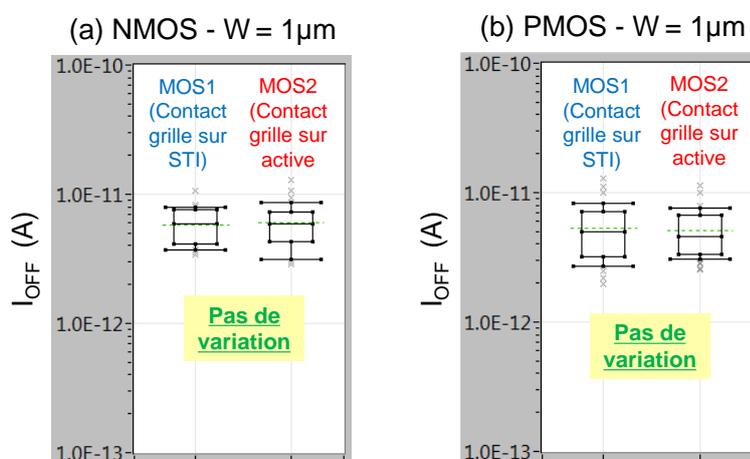


Figure 4-13 : Courant de fuite de drain ( $I_{OFF}$ ) d'un transistor NMOS (a) et d'un transistor PMOS (b) de dimension  $W=1\mu\text{m}$  conçus avec le contact de grille sur STI (MOS1) ou sur active (MOS2)

### 1.2.B Comportement dynamique des transistors

Le comportement dynamique des transistors fabriqués avec le contact de grille sur la zone active est maintenant étudié. La fréquence d'oscillation des deux RO présentés dans la Figure 4-14 est mesurée pour deux différentes largeurs de transistor ( $W = W_{MIN}$  et  $W = 0,2 \mu\text{m}$ ).

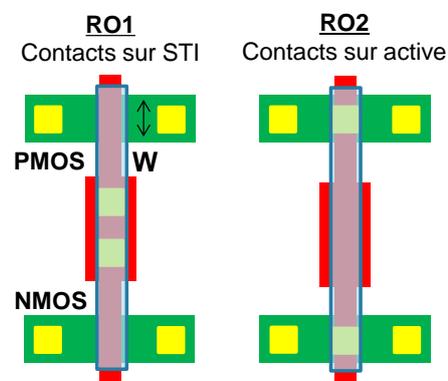


Figure 4-14 : Conception d'un inverseur CMOS avec les contacts de grille des transistors sur STI (RO1) ou sur active (RO2)

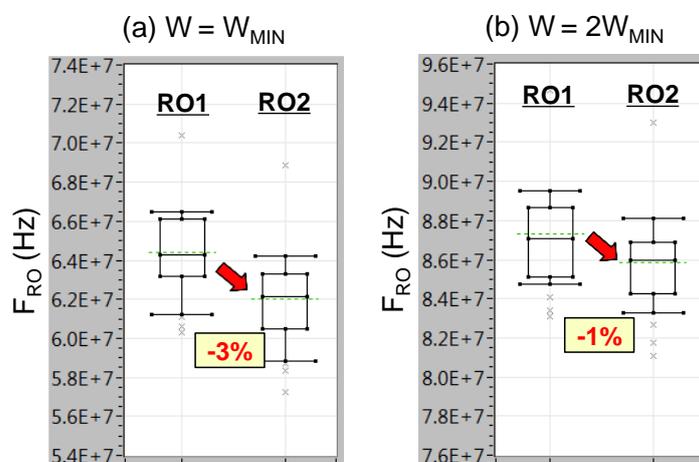


Figure 4-15 : Fréquence d'oscillation des oscillateurs en anneau fabriqués avec des transistors MOS possédant les contacts de grille sur STI (RO1) ou sur active (RO2) de dimension  $W = W_{MIN}$  (a) et  $W = 2W_{MIN}$  (b)

La grille des transistors et le routage métallique (métal1) restent identiques entre le RO1 et le RO2 (Figure 4-14.a). Ceci permet d'étudier uniquement l'influence de la position du contact sur la fréquence de l'oscillateur.

D'après la Figure 4-15, la fréquence d'oscillation du RO2 est légèrement réduite de -1 à -3 %, lorsque le contact de grille est placé sur la zone active. Ceci doit être lié à la réduction du courant  $I_{ON}$  observée sur le transistor NMOS et engendrée par la modification du stress dans le canal (Figure 4-12.a). Néanmoins, ces résultats nous permettent de conclure que cette règle de dessin peut être utilisée dans la conception des cellules logiques et des mémoires RAM pour réduire la surface et augmenter la densité d'intégration d'un circuit.

### I.3 Gains en consommation et en surface obtenus sur une bascule D SCAN

#### I.3.A Description de la bascule D SCAN

Dans les circuits e-NVM classiques, la surface occupée par les bascules D SCAN (« SDF ») représente près de 40 % de la surface totale de la partie logique. Afin de réduire la surface et la consommation dynamique de la logique, une nouvelle cellule SDF est conçue en utilisant les optimisations des règles de dessin présentées dans la partie précédente et toutes rappelées dans le Tableau 4-3. Le débordement de la grille sur le STI (E) et la distance entre un contact placé sur une grille en poly-silicium et la zone active d'un transistor (S) sont également réduits.

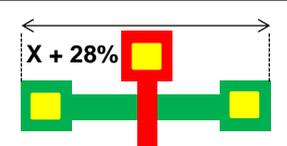
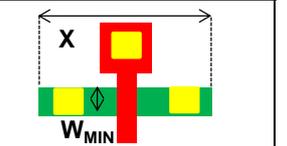
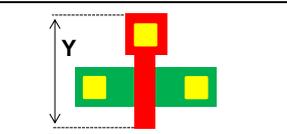
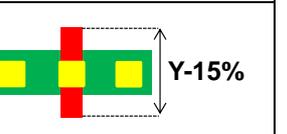
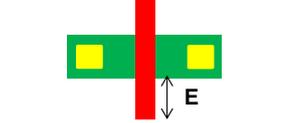
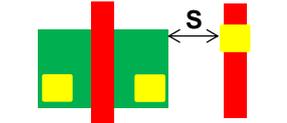
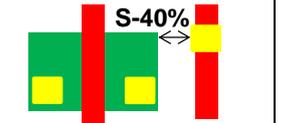
Règles de dessin	Standards	Nouvelles
- Suppression de l'extension d'active (tête de marteau)		
- Suppression de l'extension de poly-silicium - Déplacement du contact grille sur active		
- Réduction du débordement de la grille sur le STI		
- Réduction de la largeur active/contact		

Tableau 4-3 : Optimisations des règles de dessin utilisées pour la conception d'une nouvelle bascule D SCAN

Le schéma (en transistors), le symbole et la table de vérité de la bascule SCAN étudiée sont présentés dans la Figure 4-16, la Figure 4-17 et le Tableau 4-4.

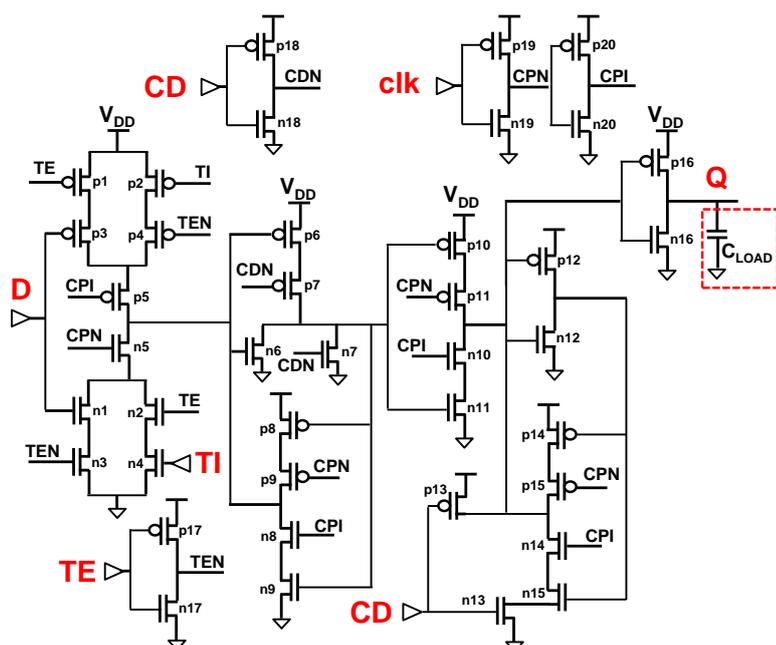


Figure 4-16 : Vue schématique (transistor) de la bascule SCAN choisie dans cette étude

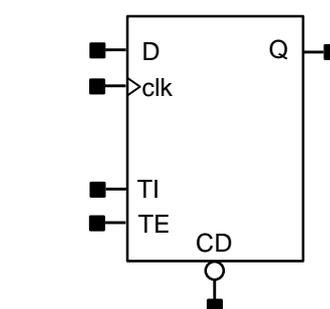


Figure 4-17 : Symbole logique de la bascule D choisie dans cette étude

D	CP	CD	TI	TE	IQ	IQ
-	-	0	-	-	-	0
D	/	1	-	0	-	D
-	/	1	TI	1	-	TI
-	-	1	-	-	IQ	IQ

Tableau 4-4 : Table de vérité de la bascule D choisie dans cette étude

Le principe de fonctionnement classique d'une bascule en mode normal est exposé dans la Figure 4-18. Lors d'un front montant sur l'horloge (CLK), la donnée (D) est copiée sur la sortie Q. Dans tous les autres cas, la sortie Q garde la dernière valeur de D chargée.

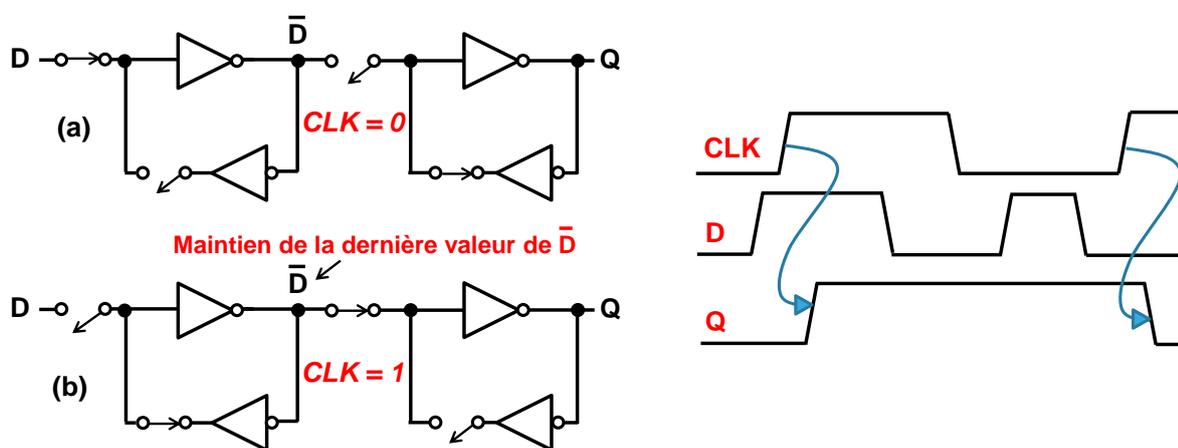


Figure 4-18 : Principe de fonctionnement d'une bascule D lorsque le signal clk est à l'état « 0 » (a) ou à l'état « 1 » (b)

En mode test, lorsque le signal TE (« Test Enable ») est à l'état haut (« 1 »), un front montant sur l'horloge permet de charger la valeur du signal TI (« Test Input ») sur la sortie Q. Enfin, le signal CD (« Clear Data ») est utilisé pour réinitialiser la cellule. Lorsque la valeur de CD est à l'état bas, la sortie est remise à « 0 ».

### I.3.B Réduction de la surface de la bascule D SCAN

L'utilisation du nouveau procédé de fabrication développé dans le chapitre 2 nous permet de réduire la largeur des transistors GO1 en conservant des courants de drain identiques à ceux du procédé de fabrication standard. En recourant aux nouvelles règles de dessin, la surface de la bascule SCAN étudiée est réduite de 15 à 20 %. Une vue layout de la cellule de référence et de la nouvelle cellule est présentée dans la Figure 4-19. La hauteur de la nouvelle cellule (équivalente au nombre de « track ») reste inchangée. Elle est fixée par la librairie contenant les cellules standards (« core lib »). Le gain en surface est possible en réduisant uniquement la largeur de la cellule. Dans ce travail, les zones actives, la position des contacts et le routage métallique entre les transistors sont modifiés. Ces deux derniers ne sont pas représentés pour éviter de surcharger la Figure 4-19.

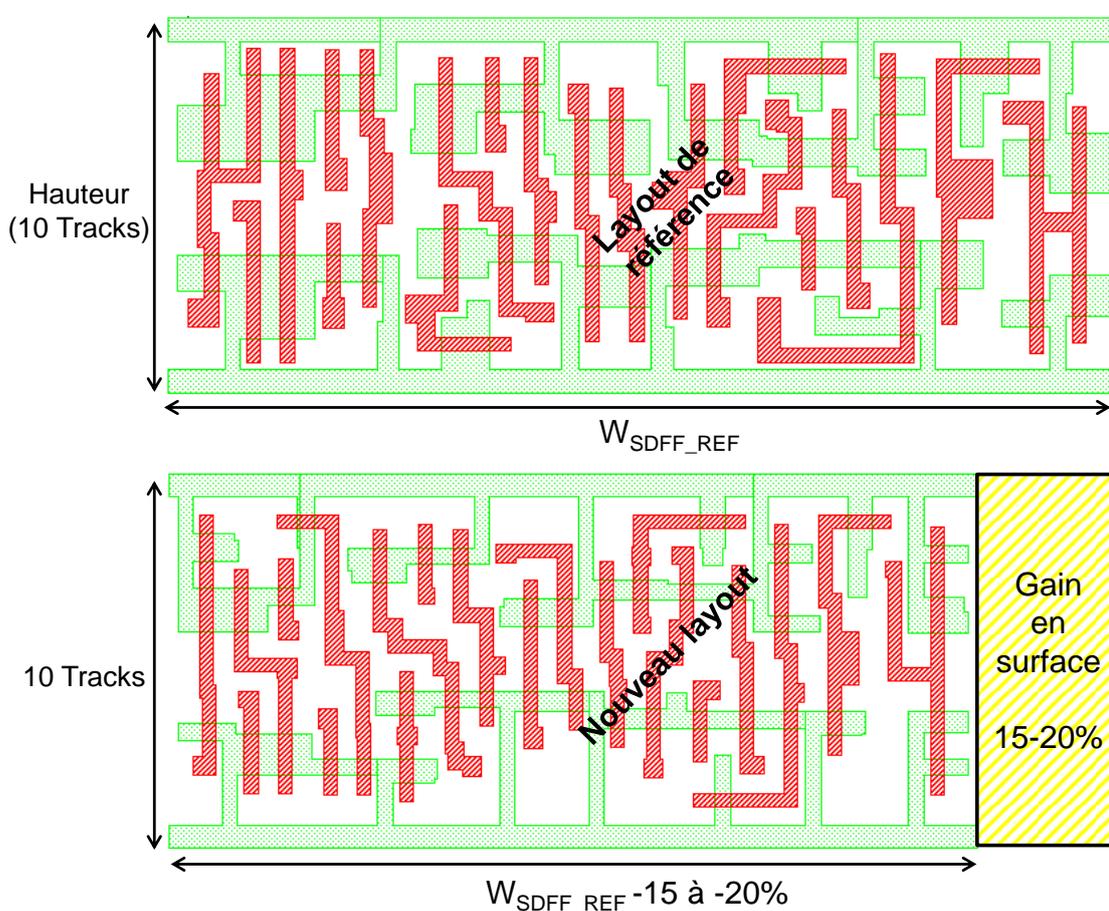


Figure 4-19 : Vue layout de la cellule SCAN de référence (a) et de la nouvelle cellule SCAN conçue avec les largeurs d'active réduites et l'utilisation des nouvelles règles de dessin (b)

### I.3.A Réduction de la consommation interne de la bascule D SCAN

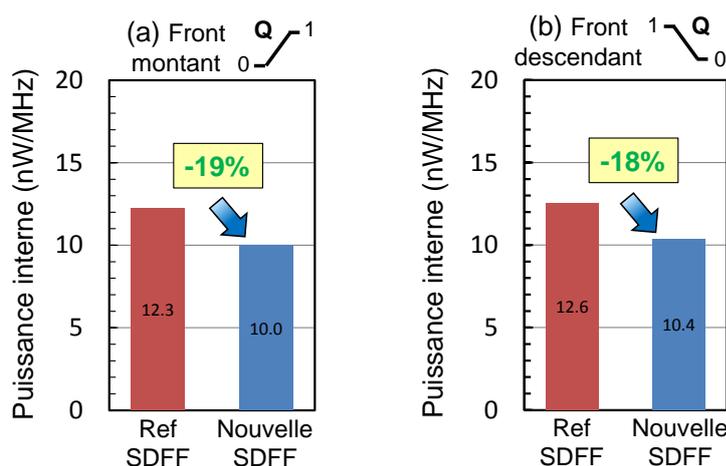
Les équations qui permettent de calculer la puissance interne de la cellule lors d'un front montant et d'un front descendant de la sortie sont présentées dans (4.2) et (4.3). Lors d'un front montant (4.2), il faut soustraire la partie consommée par la capacité de charge ( $C_{LOAD}$ ) insérée sur la sortie de la bascule (Figure 4-16).

$$P_{INT\_RISE} = V_{DD} \cdot \int I_{VDD\_ALIM} - C_{LOAD} \cdot V_{DD}^2 \quad (4.2)$$

$$P_{INT\_FALL} = V_{DD} \cdot \int I_{VDD\_ALIM} \quad (4.3)$$

La consommation interne des deux cellules peut à présent être comparée. Elle est estimée à l'aide de simulations électriques SPICE utilisant le simulateur Eldo développé par Mentors Graphics [Mentor Graphics'05] et les modèles des transistors (BSIM4) développés par l'université de Berkeley [Morshed'11]. Les simulations électriques lancées prennent en considération les parasites (« post-layout simulation » - PLS) extrait grâce à l'outil Star-rxct de Synopsys [Synopsys'12]. Les modèles de référence sont utilisés pour les simulations électriques de la cellule de référence. Les simulations électriques lancées sur la nouvelle cellule utilisent quant à elles un modèle mis à jour à partir des valeurs des paramètres électriques des transistors fabriqués avec le nouveau procédé de fabrication.

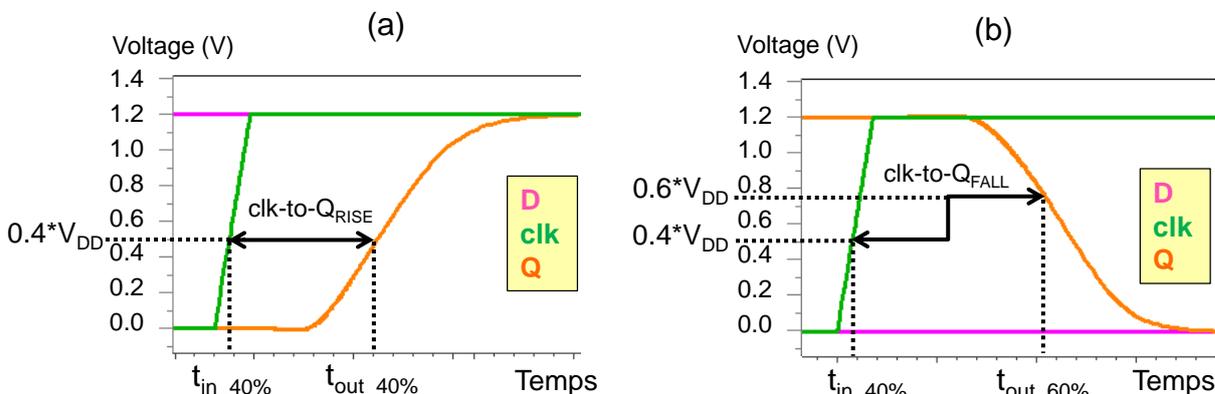
Les résultats de simulation PLS sont présentés dans la Figure 4-20. La puissance interne consommée par la nouvelle cellule SDFF est approximativement 20 % plus faible que celle consommée par la cellule de référence lors d'un front montant ou descendant sur le signal de sortie. Ce gain a pour origine la réduction des capacités parasites à l'intérieur de la cellule due à la réduction des largeurs d'active des transistors.



**Figure 4-20 : Différence entre la puissance interne consommée par la cellule SDFF de référence et la nouvelle cellule SDFF lors d'un front montant (a) ou descendant (b) sur le signal de sortie**

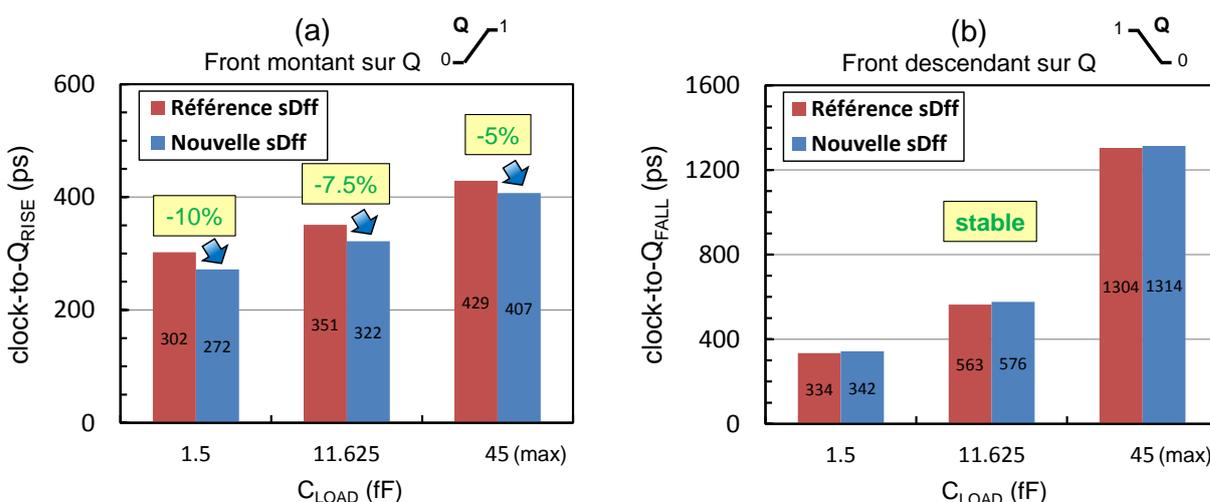
Pour garantir les mêmes performances entre les deux cellules, le temps de propagation entre un coup d'horloge et le signal de sortie (« clk-to-Q ») est mesuré et comparé entre les deux bascules. Le temps de propagation clk-to-Q est défini comme l'intervalle de temps à partir de l'instant où le signal d'entrée (clk) atteint 40 % de la valeur de  $V_{DD}$  et jusqu'à l'instant où le signal de sortie atteint 40 % de

la valeur de  $V_{DD}$  dans le cas d'un front montant (« clk-to- $Q_{RISE}$  ») et 60 % de la valeur de  $V_{DD}$  dans le cas d'un front descendant (« clk-to- $Q_{FALL}$  »). Ces deux délais sont représentés graphiquement dans la Figure 4-21.



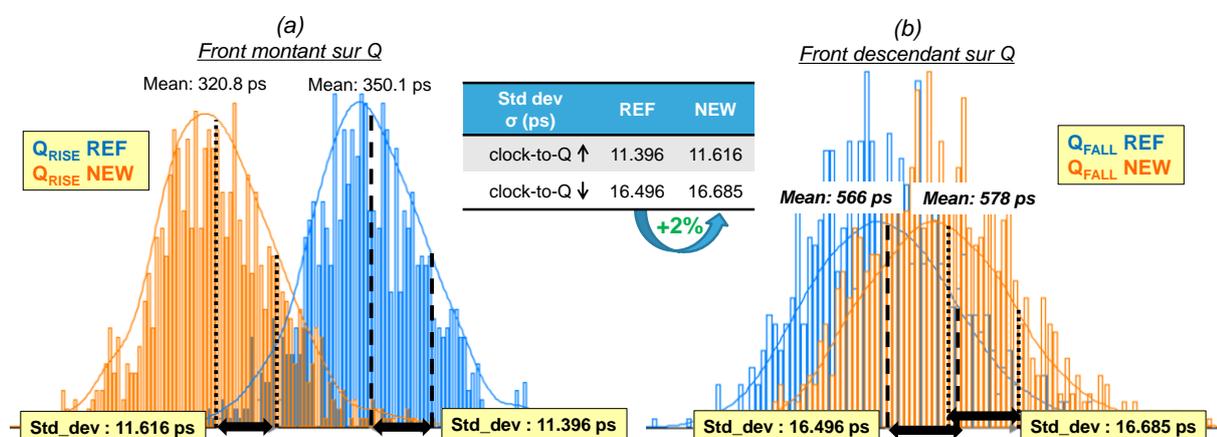
**Figure 4-21 : Définition du temps de propagation « clock-to-Q » lors d'un front montant (a) et lors d'un front descendant (b) du signal de sortie Q**

Les temps de propagation d'une cellule dépendent de la taille des transistors utilisés (notamment ceux en sortie appelé « drive »), du temps de montée du signal d'entrée (clk) mais surtout de la charge capacitive ( $C_{LOAD}$ ) insérée en sortie de la cellule (Figure 4-16). C'est pourquoi, les temps de propagation clk-to-Q présentés dans la Figure 4-22 sont comparés entre les deux bascules pour différentes valeurs de  $C_{LOAD}$  (min/med/max) pouvant être connectées en sortie de la cellule étudiée. Lors d'un front montant sur Q (Figure 4-22.a), le délai clk-to- $Q_{RISE}$  de la nouvelle bascule est réduit de -5 % (pire cas) à -10 % pour la valeur minimale de  $C_{LOAD}$  (meilleur cas). Lors d'un front descendant (Figure 4-22.b), le délai clk-to- $Q_{FALL}$  est pratiquement identique entre les deux bascules (+2%). Ces résultats démontrent que les performances de la nouvelle cellule ne sont pas dégradées par rapport à la cellule de référence pour toutes les valeurs de  $C_{LOAD}$  connectées en sortie.



**Figure 4-22 : Comparaison du temps de propagation « clock-to-Q » entre les deux bascules D lors d'un front montant (a) et lors d'un front descendant (b) du signal de sortie Q**

Pour finir, des simulations Monte Carlo (MC) faisant varier le procédé de fabrication sont réalisées afin de comparer la déviation standard sur le temps de propagation clk-to-Q entre les deux bascules. Plus de 1000 tirages aléatoires sont lancés, le résultat est présenté sous forme d'histogrammes dans la Figure 4-23.



**Figure 4-23 : Comparaison de la déviation standard du temps de propagation « clock-to-Q » entre les deux bascules SCAN lors d'un front montant (a) et lors d'un front descendant (b) sur la sortie Q connectée à une capacité  $C_{LOAD}$  égale à 11.625 pF**

La déviation standard (std\_dev) obtenue sur le temps de propagation « Clock-to-Q » est légèrement plus importante (+2 %) sur la nouvelle bascule. Ceci est probablement lié à la réduction de la largeur des transistors qui augmente la dispersion de certains paramètres comme la tension de seuil.

Cette étude montre qu'il est possible de réduire d'environ 20 % la consommation interne d'une bascule D SCAN conçue avec un procédé de fabrication avancé et des optimisations de conception (règles de dessin, dimensionnement des transistors). L'intégration des nouvelles règles de dessin permet également de réduire de 15 à 20 % la surface de la bascule étudiée, qui occupe jusqu'à 40 % de la surface digitale des circuits à l'état de l'art dans cette technologie. Enfin, une analyse temporelle permet de vérifier que les temps de propagation clk-to-Q de la nouvelle cellule ne sont pas dégradés par les modifications apportées.

## II Amélioration de la performance des cellules standards en réduisant la contrainte mécanique exercée par l'oxyde STI

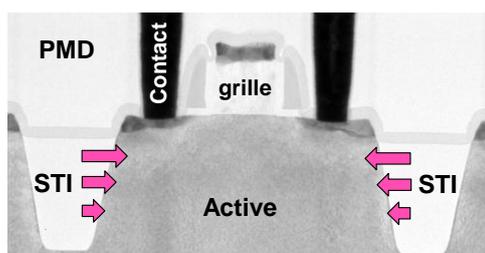
Durant toutes les étapes de fabrication, les transistors MOS sont soumis à des contraintes mécaniques pouvant impacter leur performance électrique [Thompson'04], [Maiti'12]. Le niveau de contrainte exprimé en MegaPascals de certains procédés de fabrication utilisés pour la conception de circuits intégrés est d'ailleurs rappelé dans le Tableau 4-5. Dans cette étude, nous nous intéressons particulièrement à la contrainte induite par les tranchées d'isolations peu profondes (STI) remplies d'oxyde USG (« Undoped Silicate Glass ») déposé par HDP-CVD (« High Density Plasma CVD »).

Utilisation en microélectronique	Matériaux	Contrainte (MPa)
STI	Oxyde HDP	-400
Grille	Poly-silicium	+400
CESL, liner	Nitru de silicium	-3000 à +1800
Contact	Tungstène	+ 800
Interconnexion (BEOL)	Cuivre	+ 100 à + 600

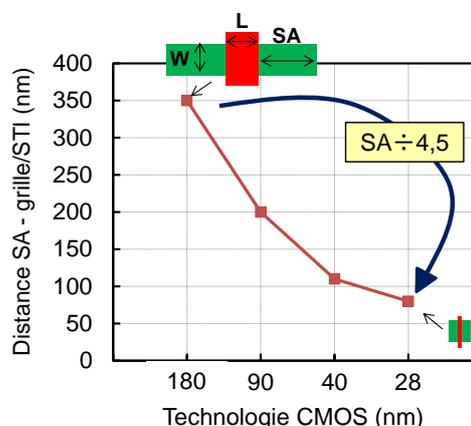
**Tableau 4-5 : Niveau de contrainte associé aux matériaux utilisés pour la fabrication des circuits intégrés CMOS**

### II.1 Influence de l'oxyde STI sur les paramètres électriques des transistors

Les tranchées d'isolation STI illustrées dans la Figure 4-24 représentent l'une des premières sources exerçant une contrainte mécanique dans le canal des transistors [Scott'99], [En'01], [Bianchi'02]. La miniaturisation des dispositifs liée au développement des nouvelles technologies conduit à un rapprochement de l'oxyde STI de la grille des transistors. Une représentation graphique montrant la réduction de la distance entre la grille et le STI (SA) d'un transistor GO1 en fonction de la technologie étudiée, est proposée dans la Figure 4-25. Nous pouvons constater qu'un transistor fabriqué dans une technologie 28 nm possède une distance SA 4,5 fois inférieure à celle d'un transistor fabriqué dans une technologie 180 nm.



**Figure 4-24 : Coupe TEM d'un transistor MOS montrant les tranchées d'isolation STI et la contrainte exercée par l'oxyde STI**



**Figure 4-25 : Représentation graphique montrant la réduction de la distance entre la grille et le STI (SA) d'un transistor GO1 fabriqué dans les technologies 180 nm à 28 nm**

## II.1.A Influence de la distance entre la grille et le STI (SA)

### II.1.A.i Comportement statique des transistors

Pour étudier l'influence de l'oxyde STI sur les performances électriques des transistors, quatre transistors de taille identique fabriqués avec des valeurs de SA différentes sont embarqués dans une structure de test. La Figure 4-26 présente une vue layout d'un transistor dessiné avec une largeur grille/STI minimale ( $SA_{MIN}$ ) et une largeur grille/STI maximale ( $SA_{MAX}$ ) et le Tableau 4-6 présente les quatre valeurs de SA utilisées dans cette étude. Chaque transistor est inséré dans un environnement identique contenant des transistors factices non connectés (« dummies ») afin de les placer dans une configuration réelle (type circuit). Les transistors factices nous permettent également de fixer la distance entre deux zones actives notée  $W_{STI}$  (ou largeur du STI).

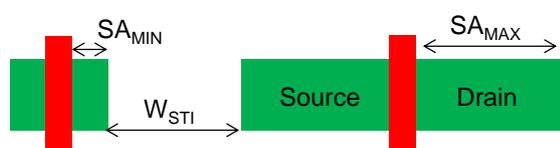


Figure 4-26 : Vue layout d'un transistor dessiné avec une distance grille/STI minimale ( $SA_{MIN}$ ) et une distance grille/STI maximale ( $SA_{MAX}$ )

	1	2	3	4
SA ( $\mu\text{m}$ )	0.24 ( $SA_{MIN}$ )	0.48	0.63	7 ( $SA_{MAX}$ )

Tableau 4-6 : Récapitulatif des différentes valeurs de SA permettant d'étudier l'impact du stress induit par l'oxyde STI

Dans un premier temps, l'influence de la distance SA sur la valeur de la transconductance est étudiée dans la Figure 4-27. La transconductance  $g_m$  du transistor MOS est définie comme la dérivée partielle du courant de drain par rapport à la tension de grille (4.4). La valeur de la largeur  $W_{STI}$  étant fixée à la valeur minimale, soit  $0,14 \mu\text{m}$  (comme dans les cellules logiques). Pour des raisons de clarté, la transconductance est représentée uniquement pour les valeurs de  $SA_{MIN}$  et  $SA_{MAX}$  dans la Figure 4-27.

$$g_m = \frac{\partial I_D}{\partial V_G} \quad (4.4)$$

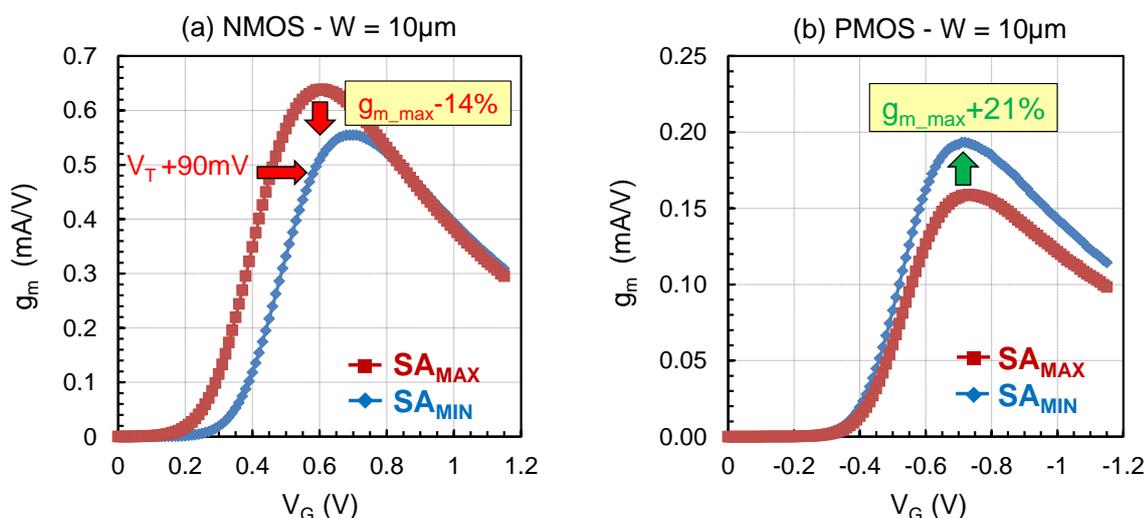
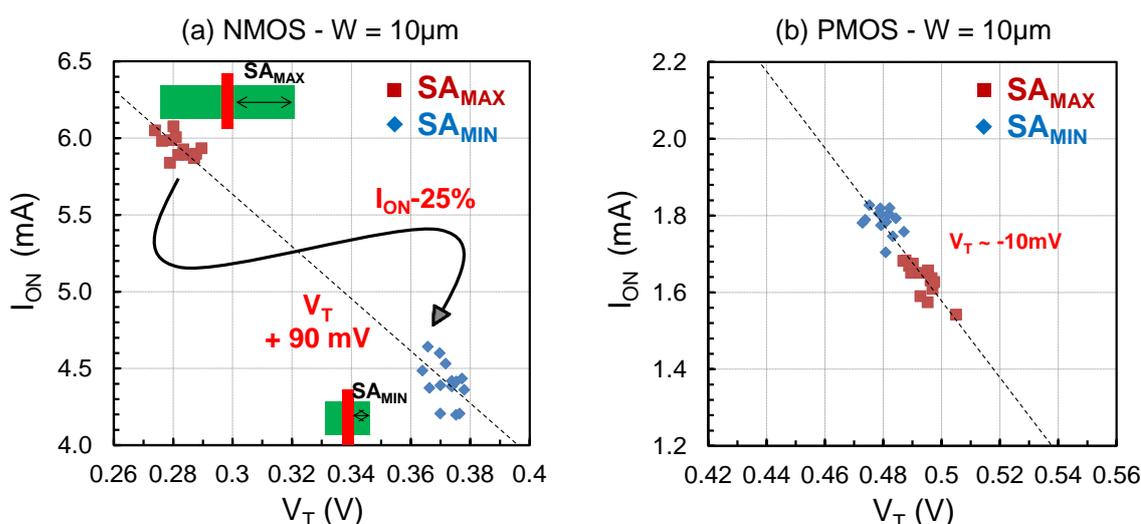


Figure 4-27 : Transconductance  $g_m$  en fonction de la tension de grille pour différentes distances entre la grille et le STI (SA) dans le cas d'un transistor NMOS (a) et dans le cas d'un transistor PMOS (b)

Dans le cas du transistor NMOS, une réduction de 14 % de la transconductance ( $g_m$ ) est observée lorsque la distance SA diminue (Figure 4-27.a). Un décalage important de la tension de seuil (+ 90 mV) est également constaté. Dans le cas du transistor PMOS, un gain supérieur à 20 % est obtenu lorsque la distance SA diminue (Figure 4-27.b). L'augmentation et la réduction de  $g_m$  relevées respectivement sur le transistor PMOS et le transistor NMOS sont engendrées par l'augmentation de la contrainte compressive induite par le rapprochement de l'oxyde STI du canal des transistors. En effet, nous avons montré précédemment qu'une contrainte en compression dans le canal (d'un transistor large) permet d'augmenter la mobilité des trous mais contribue à dégrader celle des électrons (Figure 4-7).

Le décalage de la tension de seuil du transistor NMOS observé lorsque la distance SA diminue est une nouvelle fois mis en évidence dans la Figure 4-28.a. L'augmentation de la contrainte compressive lors du rapprochement de l'oxyde STI entraîne une réduction de la diffusion des implants poches réalisés avec du Bore qui diffuse facilement [Park'93], [Zangenberg'03], [Miyamoto'04], [Sheu'05]. La concentration de Bore devient donc plus importante aux extrémités du canal lorsque SA diminue et se traduit par une augmentation de la tension de seuil.

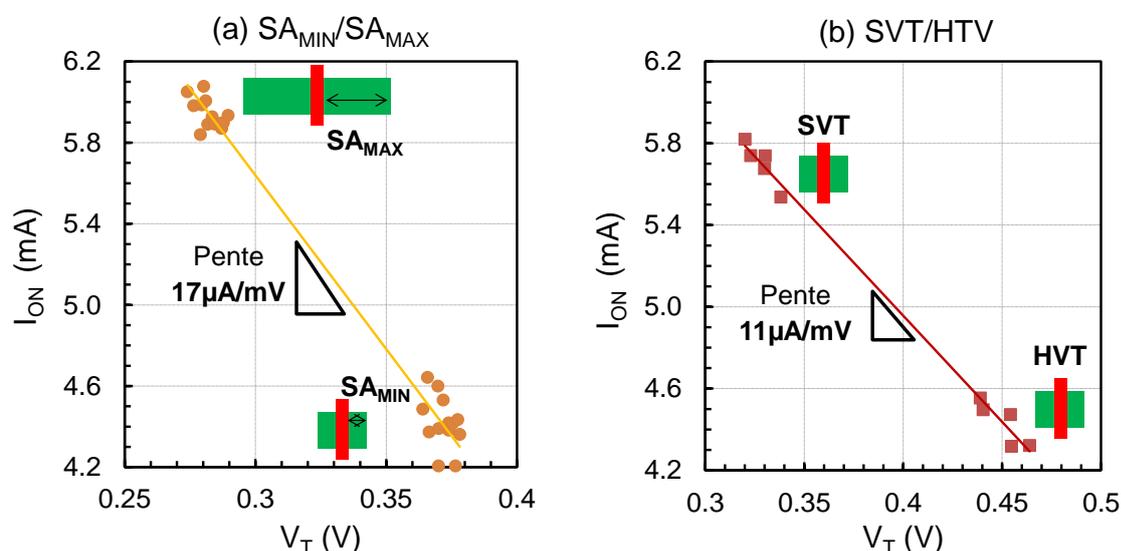


**Figure 4-28 : Courbe de mérite  $I_{ON}/V_T$  d'un transistor NMOS (a) et d'un transistor PMOS (b) dessinés avec une distance grille/STI minimale ( $SA_{MIN}$ ) et maximale ( $SA_{MAX}$ )**

Dans le cas du transistor PMOS (Figure 4-28.b), la diffusion des implants LDD (Bore) diminue, mais la concentration des implants poches (Arsenic) n'est pas impactée par la réduction de la distance SA. La concentration de Bore est donc plus importante dans les zones LDD du transistor lorsque la distance SA diminue. Ceci, pourrait être à l'origine de la légère réduction de la tension de seuil (-10 mV) observée dans la Figure 4-28.b.

L'augmentation de la tension de seuil observée sur le transistor NMOS est donc à l'origine d'une réduction importante du courant  $I_{ON}$  (-25%) lorsque SA diminue. Cependant, la réduction de la mobilité des électrons joue aussi un rôle non négligeable dans la dégradation du courant  $I_{ON}$ . Ce phénomène est mis en évidence dans la Figure 4-29 montrant le gain en courant  $I_{ON}$  lorsque la

distance SA (Figure 4-29.a) et le dopage du canal (Figure 4-29.b) sont modifiés. En effet, lorsque la distance SA augmente la pente est de l'ordre de  $17 \mu\text{A}/\text{mV}$  (Figure 4-29.a) alors qu'elle n'est que de  $11 \mu\text{A}/\text{mV}$  lorsque le dopage du substrat est moins important (Figure 4-29.b). Cette observation confirme la réduction de la mobilité des électrons lorsque la distance SA diminue.



**Figure 4-29 : Courbe de mérite  $I_{ON}/V_T$  d'un transistor NMOS dessiné avec deux différentes distances grille/STI (a) et d'un transistor NMOS ayant deux différentes tensions de seuil (b)**

### II.1.A.ii Comportement dynamique des transistors

Les transistors NMOS et PMOS dessinés avec trois différentes valeurs SA sont maintenant embarqués dans des oscillateurs en anneau. Dans cette étude, les distances SA présentées dans le Tableau 4-6 sont différentes de celles utilisées sur les transistors unitaires. En effet, la distance  $SA_{MAX}$  ( $7 \mu\text{m}$ ) utilisée précédemment est difficilement intégrable dans un oscillateur compte tenu de la surface occupée par chaque transistor.

	$SA_{MIN}$	$SA_{MED}$	$SA_{MAX}$
SA ( $\mu\text{m}$ )	0.24	0.48	0.63

**Tableau 4-7 : Récapitulatif des différentes valeurs de SA permettant d'étudier l'impact du stress induit par l'oxyde STI sur les oscillateurs en anneau**

La fréquence d'oscillation  $F_{RO}$  et la conception de chaque inverseur sont présentées sur la Figure 4-30. Dans le cas des RO1, RO2 et RO3 (transistor NMOS - Figure 4-30.a), l'augmentation de la distance SA entraîne une hausse de la fréquence de plus de 4 % malgré l'augmentation des capacités de jonction S/D. Sur le transistor PMOS, lorsque la distance SA augmente (Figure 4-30.b), la fréquence d'oscillation du RO5 diminue de 14 % par rapport à la fréquence du RO1. Ces résultats confirment les comportements observés sur les transistors unitaires et la réduction du courant  $I_{ON}$  sur les transistors NMOS.

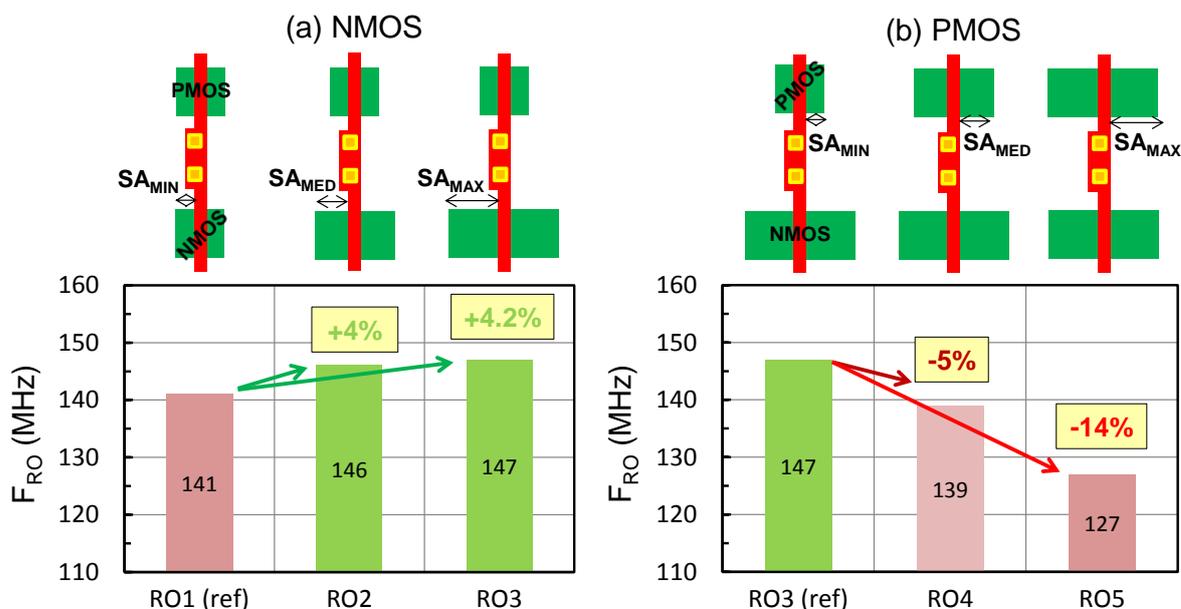


Figure 4-30 : Conception et fréquence d'oscillation des oscillateurs en anneau conçus avec des largeurs SA différentes sur les transistors NMOS (a) ou PMOS uniquement (b)

### II.1.B Influence de la largeur du STI (W<sub>STI</sub>)

L'influence de la largeur du STI (W<sub>STI</sub>) sur le comportement électrique des transistors est à présent analysée (Figure 4-31). Dans ce cas, la largeur SA est fixée à sa valeur minimale (SA<sub>MIN</sub>) pour regarder uniquement l'impact de la largeur W<sub>STI</sub>. Les trois valeurs de la largeur W<sub>STI</sub> utilisées dans cette étude sont présentées dans le Tableau 4-8.

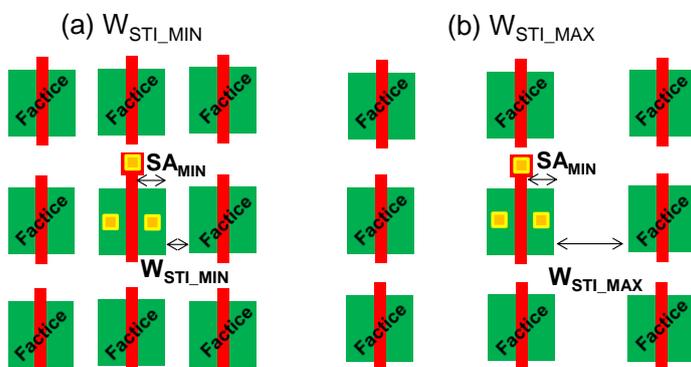
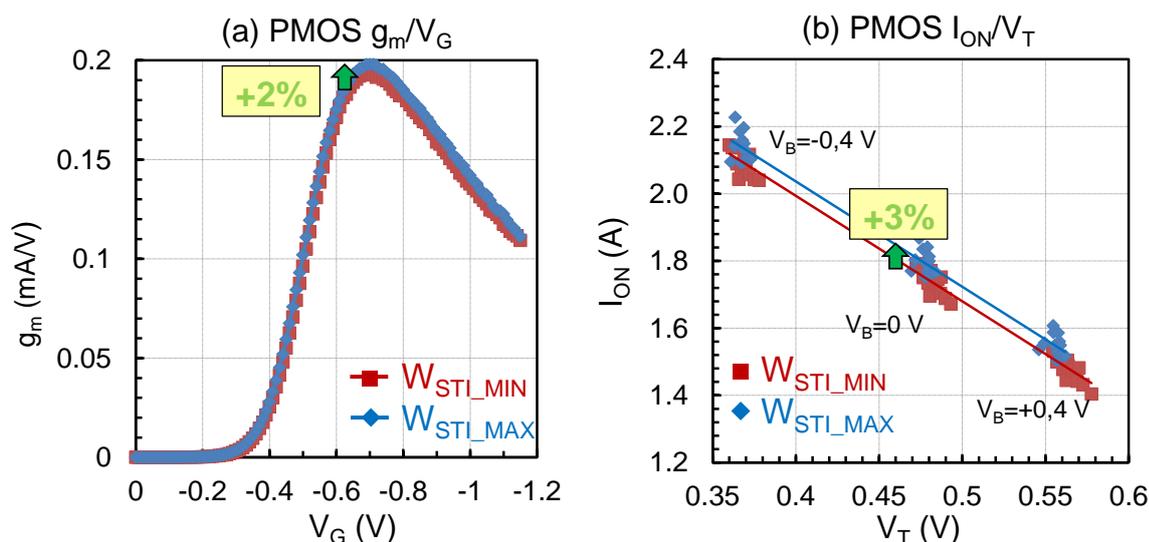


Figure 4-31 : Vue layout d'un transistor MOS dessiné dans un environnement composé de transistors factices séparés par une largeur W<sub>STI\_MIN</sub> (a) et une largeur W<sub>STI\_MAX</sub> (b)

	W <sub>STI</sub> MIN	W <sub>STI</sub> MED	W <sub>STI</sub> MAX
W <sub>STI</sub> (μm)	0.14	0.5	1

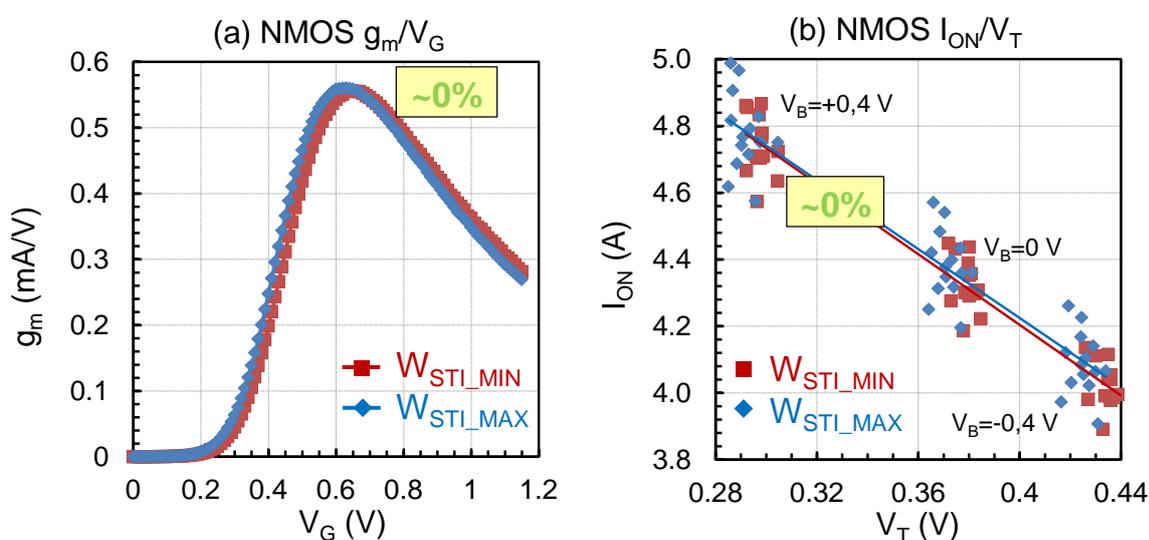
Tableau 4-8 : Valeurs des largeurs W<sub>STI</sub> utilisées pour étudier l'impact du stress induit le volume de STI

Dans le cas du transistor PMOS, l'augmentation de la largeur W<sub>STI</sub> induit une légère hausse de la transconductance et du courant I<sub>ON</sub> présentées dans la Figure 4-32. Le courant I<sub>ON</sub> étant mesuré pour trois différentes polarisations de substrat (V<sub>b</sub>). En effet, lorsque la largeur W<sub>STI</sub> augmente, le volume de l'oxyde STI augmente à son tour et la contrainte en compression exercée sur le canal devient plus importante.



**Figure 4-32 : Transconductance  $g_m$  en fonction de la tension de grille (a) et courant  $I_{ON}$  en fonction de la tension de seuil (b) d'un transistor PMOS dessiné avec différentes largeurs de STI**

Dans le cas du transistor NMOS, la modification de la largeur  $W_{STI}$  n'a aucune influence sur la transconductance et le courant  $I_{ON}$ , tous deux représentés dans la Figure 4-33. Nous pouvons tout de même noter une faible réduction de la tension de seuil ( $\sim 10$  mV) lorsque la largeur  $W_{STI}$  augmente (sûrement liée à une augmentation de la contrainte en compression).



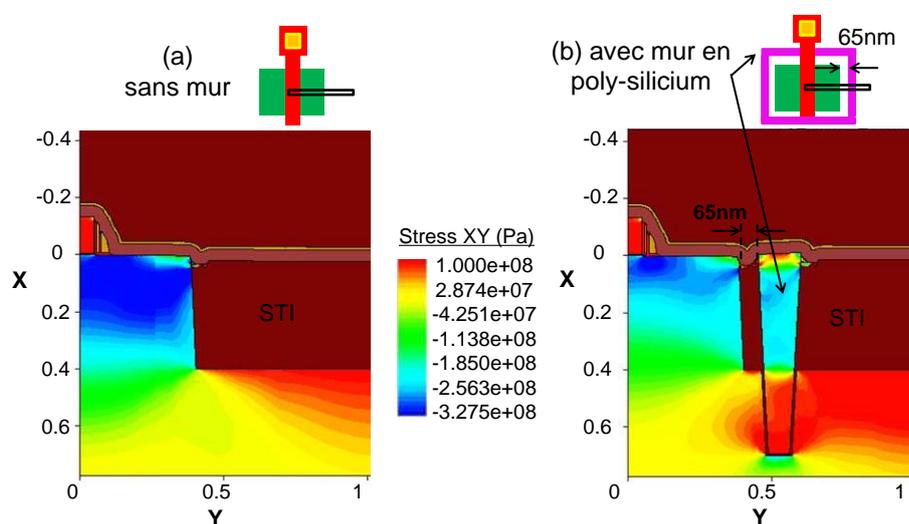
**Figure 4-33 : Transconductance  $g_m$  en fonction de la tension de grille (a) et courant  $I_{ON}$  en fonction de la tension de seuil (b) d'un transistor NMOS dessiné avec différentes largeurs de STI**

Toutefois, ces différentes caractéristiques montrent que la largeur  $W_{STI}$  n'a que très peu d'influence sur le comportement électrique des transistors. La modification de la distance entre la grille et le STI (SA) montre des variations en courant bien plus importantes. Ces résultats permettent de conclure que le comportement électrique des transistors est bien plus influencé par la présence de l'oxyde STI que par le volume de l'oxyde présent dans le STI.

## II.2 Ajout de murs « anti-stress » en poly-silicium

Dans le but d'améliorer les performances des transistors NMOS, il faudrait utiliser un matériau permettant de réduire la contrainte en compression dans le canal, sans dégrader l'isolation entre les transistors. Dans cette étude, nous choisissons de réaliser des murs anti-stress remplis de poly-silicium pour y parvenir. En effet, durant la cristallisation (lors d'un recuit), la contrainte de la couche de poly-silicium déposée change drastiquement de signe et devient contrainte en tension [Miura'98], [Ikeda'03]. En effet, la réduction du volume de la couche pendant le recuit est à l'origine du changement de signe. D'autres travaux utilisent d'ailleurs déjà le poly-silicium pour améliorer l'isolation dans les points mémoires [Shum'05] ou encore la robustesse contre le phénomène de « latchup » engendré par la création d'un transistor bipolaire parasite [Voldman'04].

À l'aide des résultats électriques obtenus sur les transistors fabriqués avec différentes largeurs séparant la grille et le STI (SA), il est possible d'estimer la contrainte induite par l'oxyde STI et d'utiliser la simulation TCAD pour anticiper un résultat électrique. Le stress mécanique induit dans le canal des transistors sous forme de ligne de champ est représenté en 2D dans la Figure 4-34.a. Tous les matériaux pris en compte dans la simulation sont purement élastiques et les contraintes induites par chaque étape de fabrication pouvant modifier le stress sont aussi prises en considération. Il apparaît clairement que la contrainte mécanique dans le canal est de nature compressive et se caractérise par une couleur bleue foncée sur la Figure 4-34. Dans cet exemple, la contrainte induite par la couche de CESL est considérée en compression (cas du procédé de fabrication standard).



**Figure 4-34 : Simulation du stress résiduel dans le canal des transistors sans (a) ou avec l'insertion d'un mur anti-stress conçu avec du poly-silicium (b)**

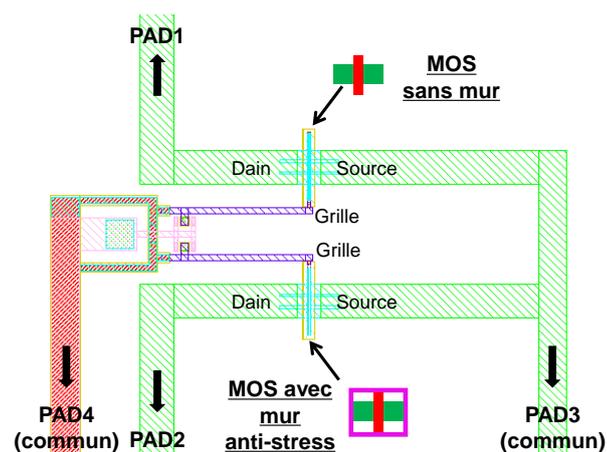
La même simulation TCAD est réalisée avec l'insertion du mur anti-stress en poly-silicium. Le résultat est présenté dans la Figure 4-34.b. D'après les lignes de champ, la contrainte en compression est réduite par rapport au résultat de simulation sans le mur (Figure 4-34.a).

## II.2.A Comportement statique des transistors

Afin d'estimer la variation de courant sur les transistors GO1 avec l'utilisation du mur de poly-silicium, une structure de test embarquant différentes largeurs de transistors est utilisée. Les quatre différentes largeurs des transistors embarquées dans la structure de test sont présentées dans le Tableau 4-9. La configuration de test permettant de mesurer les paramètres électriques des transistors dessinés avec ou sans le mur de poly-silicium est exposée dans la Figure 4-35. Les deux transistors sont placés dans une configuration et un environnement de test identiques pour limiter les variations locales liées aux procédés de fabrication (implantations, oxydation, etc ...). Les connexions métalliques entre les deux transistors et les pads sont également identiques.

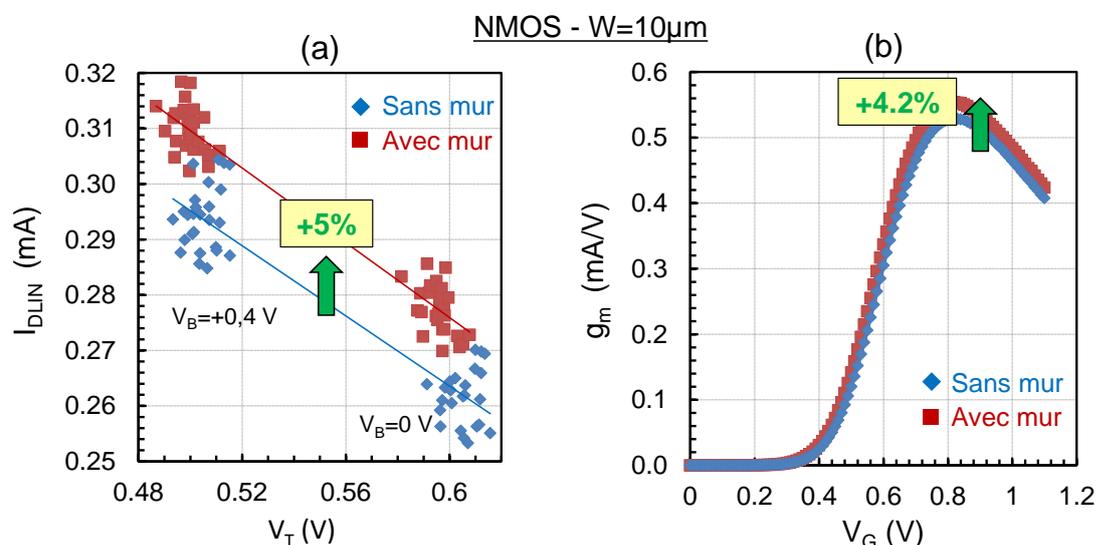
	1	2	3	4
W (μm)	10	3	1	0,4

**Tableau 4-9 : Largeurs des transistors utilisées pour étudier l'influence du mur en poly-silicium**



**Figure 4-35 : Vue layout de la structure de test permettant de mesurer les paramètres électriques d'un transistor conçu avec ou sans le mur anti-stress**

Le courant extrait en régime linéaire et la transconductance d'un transistor NMOS de dimension  $W = 10 \mu\text{m}$  dessiné avec et sans le mur en poly-silicium sont présentés dans la Figure 4-36. Tous deux augmentent de 4 % à 5 % lorsque le mur de poly-silicium est inséré autour du transistor. D'autre part, la tension de seuil du transistor n'est que très peu impactée par l'insertion du mur. Ces résultats confirment la réduction du stress compressif observé dans la simulation TCAD.



**Figure 4-36 : Courbes de mérite  $I_{DLIN}/V_T$  (a) et  $g_m/V_G$  (b) d'un transistor NMOS dessiné avec et sans le mur en poly-silicium**

La même étude est réalisée sur un transistor PMOS de dimension  $W = 10 \mu\text{m}$ . Le courant  $I_{\text{DLIN}}$  et la transconductance tracés sur la Figure 4-37 sont réduits de 5 % lorsque le mur anti-stress est ajouté au tour du transistor. Ces résultats confirment à nouveau la réduction de la contrainte en compression dans le canal, ce qui est défavorable au transistor PMOS.

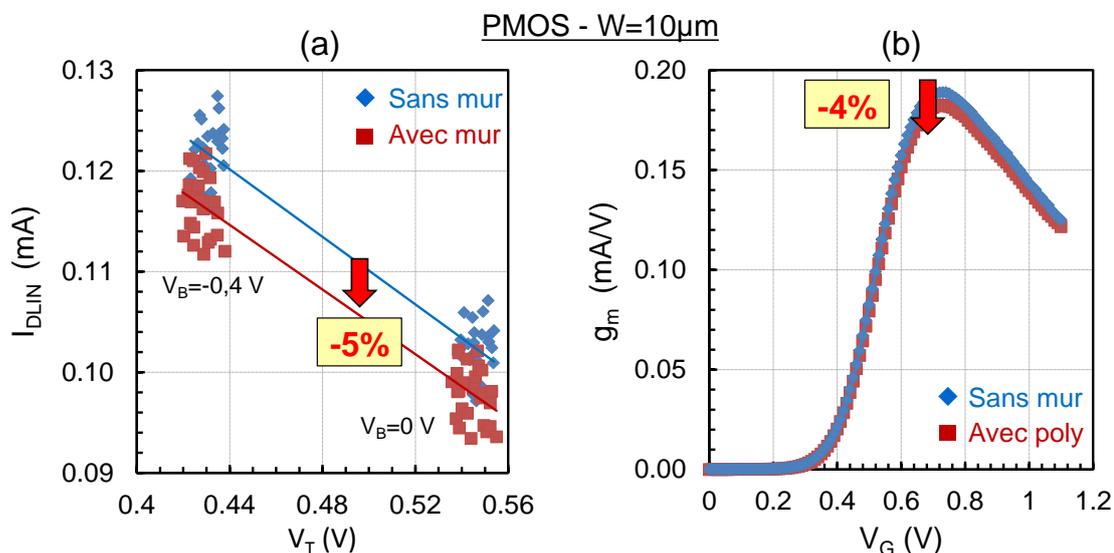


Figure 4-37 : Courbes de mérite  $I_{\text{DLIN}}/V_T$  (a) et  $g_m/V_G$  (b) d'un transistor PMOS dessiné avec et sans le mur en poly-silicium

Les mêmes mesures sont réalisées sur des transistors de largeurs inférieures ( $W = 3 \mu\text{m}$ ,  $1 \mu\text{m}$  et  $0.4 \mu\text{m}$ ). Les gains observés sur le courant  $I_{\text{DLIN}}$  et la transconductance sont exposés dans la Figure 4-38. Les résultats montrent que les gains ne dépendent que très peu de la largeur du transistor puisqu'ils restent constants pour les quatre dimensions étudiées.

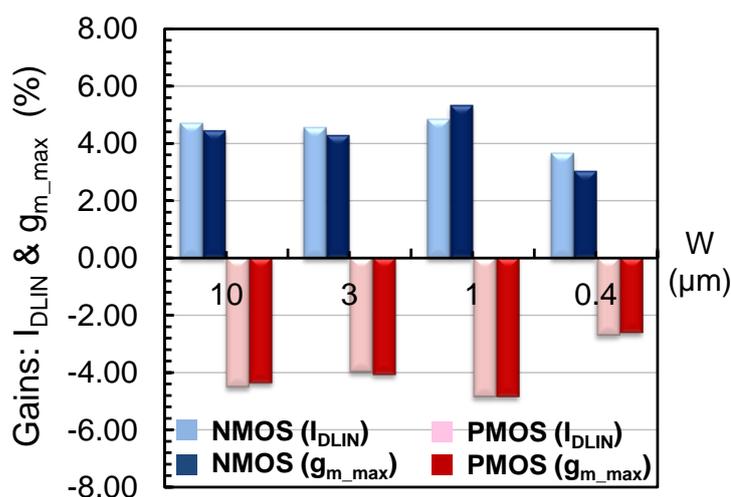


Figure 4-38 : Gains en courant linéaire ( $I_{\text{DLIN}}$ ) et sur la transconductance observés sur des transistors NMOS et PMOS de différentes largeurs

Dans le cas du transistor PMOS, lorsque le mur anti-stress est inséré, une perte moins importante est attendue et observée lorsque la largeur du transistor diminue. Ceci peut s'expliquer par la réduction du stress compressif dans la direction transversale au canal. Dans le cas du transistor NMOS, un gain

plus important est cette fois attendu lorsque la largeur de l'active diminue avec l'insertion du mur en poly-silicium. Cependant, ce n'est pas observé dans la Figure 4-38.

D'après les résultats électriques obtenus en modifiant la largeur des zones S/D (SA), le changement de la contrainte dans le canal entraîne une variation du courant de drain mais aussi de la tension de seuil. La variation du courant de drain peut s'écrire sous la forme suivante (1.1), donnée par [Jaeger'00].

$$\frac{\Delta I_D}{I_D} \cong \frac{\Delta \mu}{\mu} - 2 \frac{\Delta V_T}{V_T} \left( \frac{V_T}{V_{GS} - V_T} \right) \quad (4.5)$$

D'après les résultats précédents, la tension de seuil n'est presque pas impactée (0 à 5 mV) par la modification du stress lors de l'ajout du mur de poly-silicium. Le second terme de l'équation (1.1) peut donc être négligé et l'équation peut se réécrire sous la forme suivante (4.6) :

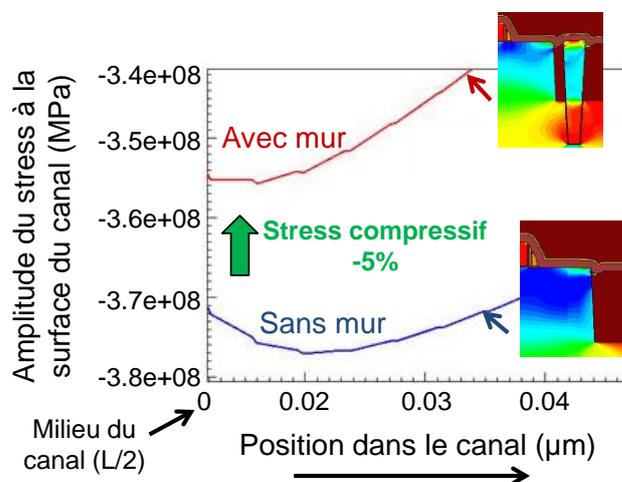
$$\frac{\Delta I_D}{I_D} \cong \frac{\Delta \mu}{\mu} \quad (4.6)$$

La variation du courant de drain est donc directement liée à une variation de la mobilité induite par la modification de la contrainte dans le canal qui peut s'écrire sous la forme suivante (4.7) :

$$\frac{\Delta \mu}{\mu} \cong \left| \sigma_L \cdot \pi_L + \sigma_T \cdot \pi_T \right| \quad (4.7)$$

Où  $\sigma_L$  représente la contrainte longitudinale,  $\sigma_T$  la contrainte transversale et  $\pi_L/\pi_T$  les coefficients piézo-resistifs longitudinal/transversal du silicium.

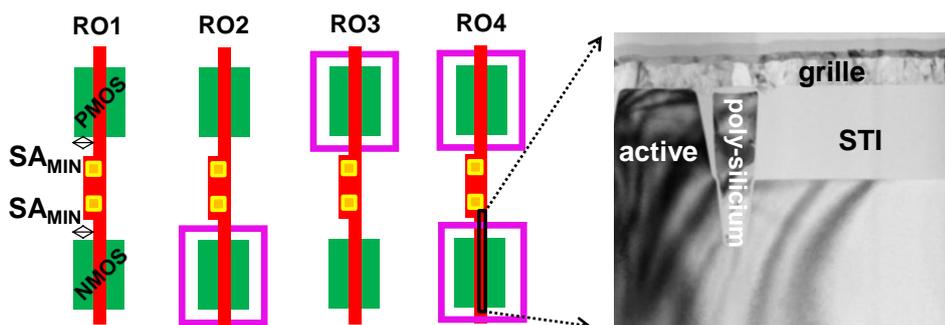
L'amplitude du stress mécanique pris au milieu et à la surface du canal est présentée dans la Figure 4-39 suite à une simulation TCAD en 1D. D'après la simulation, la contrainte mécanique est réduite de 5 % lors de l'insertion de mur en poly-silicium, ce qui correspond aux gains observés sur les transistors.



**Figure 4-39 : Amplitude du stress résiduel pris au milieu et à la surface du canal dans le cas d'un transistor fabriqué avec ou sans le mur anti-stress en poly-silicium**

### II.2.B Comportement dynamique des transistors

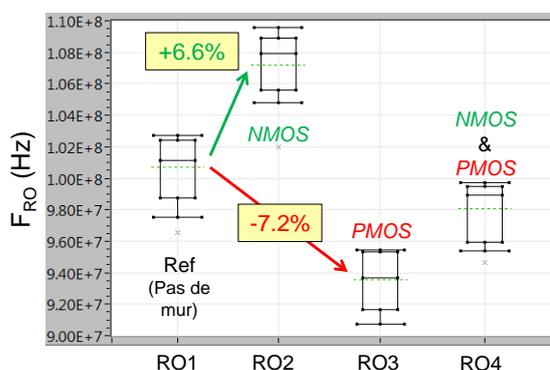
Pour confirmer les résultats électriques obtenus sur les transistors unitaires, des oscillateurs en anneau sont une nouvelle fois utilisés. Les caractéristiques de chaque inverseur embarqué dans les RO sont présentées dans la Figure 4-40. Le RO1 utilise l'inverseur de référence de la bibliothèque digitale. Dans les autres oscillateurs, le mur de poly-silicium est inséré autour des transistors NMOS dans el RO2, autour des transistors PMOS dans le RO3 et autour des deux transistors dans le RO4. Une coupe TEM (« Transmission Electron Microscopy ») du mur en poly-silicium autour du transistor NMOS est également ajoutée dans la Figure 4-40.



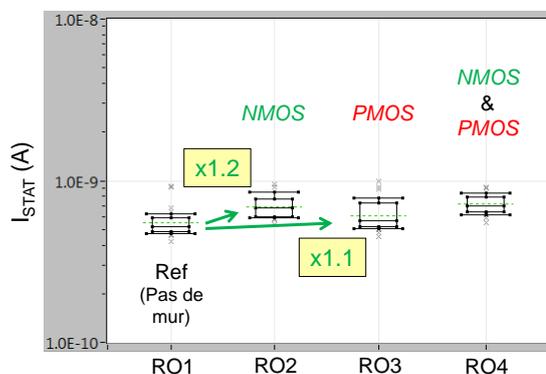
**Figure 4-40 : Conception des inverseurs utilisés dans les oscillateurs en anneau pour étudier le comportement dynamique des transistors GO1 avec l'insertion du mur en poly-silicium**

La fréquence de chaque oscillateur en anneau est mesurée et les résultats sont présentés sur la Figure 4-41. La tension d'alimentation des RO est fixée à 1.2 V (tension typique de la technologie étudiée). Lorsque le mur en poly-silicium est inséré autour du transistor NMOS (RO2), la fréquence de l'oscillateur augmente de 6,6 %. Lorsqu'il est inséré autour du transistor PMOS (RO3), elle diminue de 7 %. En conséquence, ces résultats confirment l'augmentation de la mobilité des électrons qui se traduit par un courant de drain plus élevé et donc une fréquence d'oscillation plus importante.

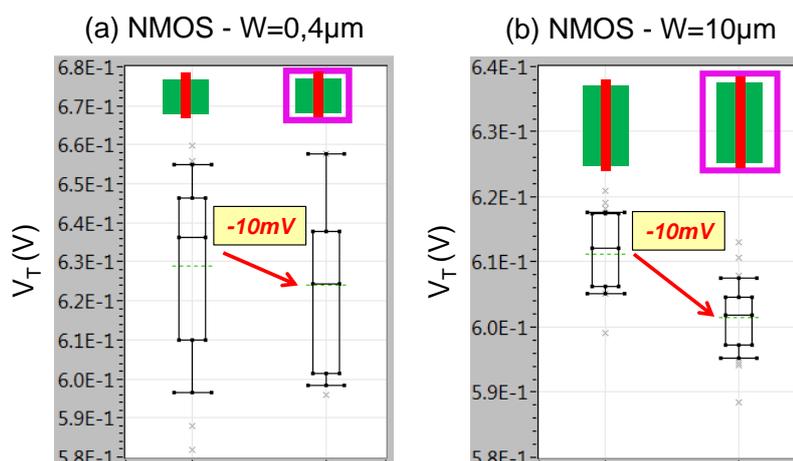
Le courant de statique de chaque oscillateur en anneau est aussi mesuré et présenté dans la Figure 4-42. Lorsque le mur en poly-silicium est inséré autour du transistor NMOS (RO2), le courant  $I_{STAT}$  augmente légèrement. Ceci peut s'expliquer par la légère diminution de la tension de seuil du transistor engendrée par la réduction de la contrainte en compression mise en évidence dans la Figure 4-43.



**Figure 4-41 : Comparaison entre la fréquence d'oscillation des oscillateurs en anneau conçus avec ou sans le mur en poly-silicium**



**Figure 4-42 : Comparaison du courant statique des oscillateurs en anneau conçus avec ou sans le mur en poly-silicium**



**Figure 4-43 : Tension de seuil  $V_T$  d'un transistor NMOS de dimension  $W = 0.4 \mu\text{m}$  (a) et  $W = 10 \mu\text{m}$  (b) dessiné avec ou sans le mur en poly-silicium**

## Conclusion

Dans ce chapitre, une première étude montre qu'il est possible de réduire de 20 % la consommation interne d'une bascule SCAN conçue avec un procédé de fabrication avancé et des optimisations de conception (règles de dessin, dimensionnement des transistors). L'intégration des nouvelles règles de dessin permet également de réduire de 15 à 20 % la surface occupée par la bascule étudiée. Enfin, une analyse temporelle permet de vérifier que les temps de propagations principaux de la nouvelle cellule ne sont pas dégradés par les modifications apportées.

Une seconde étude propose une solution permettant de réduire l'impact du stress en compression induit par l'oxyde STI en ajoutant un mur anti-stress formé de poly-silicium autour des transistors. Cette solution permet d'augmenter de 5 % le courant de drain des transistors NMOS. Par ailleurs, le mur de poly-silicium peut-être inséré manuellement lors de la conception des cellules logiques ou automatiquement lors de la transformation des layers CAD en layers masques (C2M) une fois la phase de conception des circuits terminée. Cette solution permet également d'éviter l'insertion du mur de poly-silicium autour des transistors PMOS qui sont eux très favorables à la contrainte en compression induite par l'oxyde STI. Cette solution est aussi prometteuse pour les technologies plus récentes dans lesquelles l'oxyde STI se rapproche de plus en plus du canal de conduction des transistors.

## Conclusion générale

La consommation des systèmes intégrés sur puce n'a cessé d'augmenter depuis les années 1970, date à laquelle le premier circuit intégré a été fabriqué par Intel. En effet le nombre de transistor et les courants consommés n'ont quand t à eux jamais cessé d'augmenter au cours du temps grâce à la miniaturisation des échelles (réduction de l'épaisseur de l'oxyde de grille, rapprochement des zones de source et de drain, etc ...). C'est d'ailleurs ce qui a permis de réduire les tensions d'alimentation et ainsi éviter une augmentation trop importante de la puissance dissipée par les circuits intégrés à base de microcontrôleur.

Dans ce contexte, les travaux présentés dans ce manuscrit ont montré comment réduire la consommation dynamique des circuits intégrés fabriqués en technologie e-NVM (« embedded Non-Volatile Memory ») CMOS 80 nm à travers l'amélioration des performances des transistors MOS sans basculer sur un nœud technologique plus avancé.

En premier lieu, l'état de l'art des solutions technologiques utilisées dans les nœuds 65 nm et en dessous a été réalisé afin de ne conserver que les solutions intégrables rapidement, n'induisant aucun cout additionnel sur le procédé de fabrication et entraînant un gain significatif sur les performances des dispositifs basse tension. Toute la difficulté de ce travail a résidé dans le fait que la plupart des solutions technologiques étudiées ne permettaient pas d'améliorer à la fois les performances des transistors NMOS et celles des transistors PMOS. L'effet piezorésistif du silicium a d'ailleurs été introduit afin de mettre en évidence les différents types de stress (tension/compression) désirés par chaque transistor afin d'augmenter la mobilité des porteurs.

Dans un second temps, un nouveau procédé de fabrication basé sur la technologie e-NVM CMOS 80 nm actuellement en production chez STMicroelectronics Rousset a été développé. Des gains importants en performance sont obtenus en utilisant et en combinant plusieurs techniques de fabrication avancées déjà utilisées dans les technologies plus récentes. La première modification a été de tourner la plaquette de silicium à 45° permettant d'orienter le canal dans la direction  $\langle 100 \rangle$  au lieu de  $\langle 110 \rangle$  sur le procédé standard. Dans cette orientation, le courant  $I_{ON}$  des transistors PMOS est en moyenne 20 % plus important grâce à une réduction de la masse effective des trous. Celui des transistors NMOS n'est pas impacté car la masse effective des électrons est la même dans les deux directions. Puis, l'utilisation de la nitruration DPN (« Decoupled Plasma Nitridation ») nous a permis de réduire l'épaisseur de l'oxyde de grille sans dégrader le courant de fuite à travers l'isolant et ainsi améliorer le contrôle électrostatique du canal. Un gain en courant  $I_{ON}$  de 5 % et 15 % a été observé, respectivement sur les transistors NMOS et PMOS. Pour finir, l'utilisation d'une couche de nitrure CESL (« Contact Etch Stop Layer ») fortement contrainte en tension a permis d'augmenter le courant  $I_{ON}$  des transistors NMOS de 10 à 15 % sans modifier celui des transistors PMOS insensibles au stress

dans l'orientation cristalline  $\langle 100 \rangle$ . L'utilisation de ces trois principales améliorations sur la plateforme technologique a finalement apporté un gain en courant  $I_{ON}$  proche de 15 % sur les transistors NMOS et de plus de 40 % sur les transistors PMOS, sans ajouter aucune étape de photolithographie supplémentaire. Le gain en courant  $I_{ON}$  obtenu sur les transistors PMOS est d'ailleurs comparable au gain apporté par le développement d'un nœud plus avancé mais avec l'avantage de conserver des courants de fuites ( $I_{OFF}$ ,  $I_G$ ) moins importants.

Le principal objectif du troisième chapitre a été de transformer le gain en courant obtenu sur les transistors en gain sur la consommation dynamique atteignable sur un circuit fabriqué avec les nouveaux procédés, et ceci, sans impacter les temps de propagation ( $\sim$ performances). L'étude proposée a été découpée en deux parties. D'abord, les gains en consommation ont été estimés sur des oscillateurs en anneau conçus avec différents rapport de charge en sortie des portes logiques. Puis, les gains ont été confirmés sur un circuit numérique fabriqué avec près de 20 000 cellules logiques. Les deux approches utilisées ont été de réduire la tension d'alimentation du circuit et de réduire la taille des transistors. Dans ce dernier cas, la réduction des largeurs d'active a été gérée automatiquement lors de l'étape de conversion des layers CAD en layers masques (Cad2Mask). Un script a été développé dans le cadre de cette étude pour démontrer le gain en consommation atteignable en réduisant la taille des transistors. Un gain de 25 % sur le courant dynamique a été mesuré pour le même calcul exécuté dans un laps de temps identique en réduisant la tension d'alimentation du circuit jusqu'à 0,95 V. Cependant, cette solution n'est pas compatible avec un circuit embarquant des mémoires et des blocs analogiques. En effet, la tension d'alimentation des mémoires SRAM peut difficilement être réduite en dessous de 1 V sans dégrader la marge de bruit statique. Certains blocs analogiques comme les oscillateurs RC sont aussi très dépendant de la tension d'alimentation du circuit. Ils sont conçus pour garantir une certaine fréquence d'horloge en fonction d'une plage de tension bien définie. Sans gestion de plusieurs tensions d'alimentation, cette solution est donc difficilement intégrable. Dans notre étude, nous avons montré qu'en réduisant la taille des transistors (par cad2mask) et la tension d'alimentation, un gain tout aussi important sur le courant dynamique peut être atteint.

Dans une dernière étude nous avons évalué le gain en surface rendu possible avec la réduction des largeurs d'active et en optimisation quelques règles de dessin de la technologie. Le choix s'est porté sur une bascule scan qui occupe près de 40 % de la surface digitale circuits logiques étudiés. Un gain proche de 20 % sur la surface de la cellule a été démontré en réduisant la largeur des transistors de 30 à 40 %. Des simulations incluant les parasites (« post-layout ») ont également permis de démontrer une réduction de la consommation interne de 20 % sur la nouvelle cellule. Ces résultats ont été obtenus sans dégrader les temps de propagation « Clock-to-Q » de la cellule.

Pour terminer, l'impact du stress induit par l'oxyde utilisé pour le remplissage des tranchées d'isolation peu profondes (STI) sur le courant de drain des transistors a été mis en évidence. Une

réduction importante du courant a été observé sur le transistor NMOS lorsque la distance entre la grille et le STI diminue. En effet, l'augmentation du stress compressif est à l'origine d'une réduction de la mobilité des électrons mais surtout d'une augmentation importante de la tension de seuil liée à une réduction de la diffusion du Bore. Une solution permettant de réduire l'impact du stress compressif a aussi été présentée en ajoutant un mur formé de poly-silicium dans l'oxyde STI autour des transistors. Cette méthode a permis d'augmenter de 5 % le courant de drain des transistors NMOS. D'autre part, l'insertion du mur en poly-silicium est réalisée automatiquement lors de la transformation des layers CAD en layers masque (C2M), et ne nécessite donc pas reprendre manuellement la conception des cellules logiques. Cette flexibilité permet également d'éviter l'insertion du poly-silicium autour des transistors PMOS, pour qui, la contrainte induite par l'oxyde STI est favorable.

En perspectives, plusieurs études pourraient être réalisées pour compléter ce travail de recherche :

- La réduction des largeurs d'active et l'optimisation des règles de dessin de la technologie e-NVM 80 nm ont permis de réduire la surface occupée par une bascule SCAN (15 à 20 %). Dans ce contexte, une nouvelle librairie de cellules standards pourrait être entièrement développée afin d'augmenter la densité d'intégration des cellules dans la partie numérique des circuits e-NVM.
- Nous avons également montré qu'une réduction de la tension d'alimentation d'environ 10 à 15 % est indispensable pour réduire la consommation dynamique d'un circuit e-NVM fabriqué avec le nouveau procédé de fabrication. Néanmoins, pour les mémoires volatiles comme la SRAM, la marge statique au bruit (SNM) assurant la stabilité du point mémoire est sensible à une réduction de la tension d'alimentation. La capacité à conserver une information et à résister aux perturbations doit être étudiée afin d'assurer le bon fonctionnement du point mémoire avec des tensions d'alimentation inférieures à 1 V.
- L'utilisation du nouveau procédé de fabrication est à l'origine d'une augmentation de l'épaisseur d'oxyde tunnel sur les bords d'active de la cellule. En effet, il a déjà été démontré que les vitesses d'oxydation sont plus rapides sur les plans (110) par rapport aux plans (100). En conséquence, l'analyse d'impact sur la cellule Flash a montré une réduction de la fenêtre de programmation engendrée par une modification des tensions de seuil lors de l'effacement et de la programmation de la cellule. Plusieurs solutions peuvent être envisagées pour réajuster la fenêtre de programmation et retrouver une valeur semblable à celle du procédé standard : modifier l'épaisseur de l'oxyde tunnel ou modifier les tensions à appliquer lors des opérations d'écriture et d'effacement.

## Références Bibliographiques

- [Ben Akkez'12] I. Ben Akkez, "Impact of 45° rotated substrate on UTBOX FDSOI high-K Metal gate technology," *VLSI Technol. Syst. Appl.*, pp. 2–3, 2012.
- [Al-Bayati'05] a. Al-Bayati, L. Washington, L. Q. Xia, M. Balseanu, Z. Yuan, M. Kawaguchi, "Production processes for inducing strain in CMOS channels," *Semicond. Fabtech*, pp. 84–88, 2005.
- [Ali'97] H. Ali, "Stress-induced parametric shift in plastic packaged devices," *IEEE Trans. Components Packag. Manuf. Technol. Part B*, vol. 20, no. 4, pp. 458–462, 1997.
- [Ang'04] K. W. A. K. W. Ang, K. J. C. K. J. Chui, V. Bliznetsov, A. D. A. Du, N. Balasubramanian, M. F. L. M. F. Li, G. S. G. Samudra, Y.-C. Y. Y.-C. Yeo, "Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions," *IEDM Tech. Dig. IEEE Int. Electron Devices Meet. 2004.*, pp. 1069–1071, 2004.
- [Ang'07] K. W. Ang, K. J. Chui, C. H. Tung, N. Balasubramanian, M. F. Li, G. S. Samudra, Y. C. Yeo, "Enhanced strain effects in 25-nm gate-length thin-body nMOSFETs with silicon-carbon source/drain and tensile-stress liner," *IEEE Electron Device Lett.*, vol. 28, no. 4, pp. 301–304, 2007.
- [Baker'05] R. J. Baker, "CMOS Circuit Design, Layout, and Simulation (second edition)." pp. 523–528, 2005.
- [Bianchi'02] R. A. Bianchi, G. Bouche, O. Roux-dit-Buisson, "Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance," *IEDM*, pp. 117–120, 2002.
- [Boeuf'04] F. Boeuf, F. Arnaud, M. T. Basso, D. Sotta, F. Wacquand, J. Rosa, N. Bicais-Lepinay, H. Bernard, J. Bustos, S. Manakli, M. Gaillardin, J. Grant, T. Skotnicki, B. Tavel, B. Duriez, M. Bidaud, P. Gouraud, C. Chaton, P. Morin, J. Todeschini, M. Jurdit, L. Pain, V. De-Jonghe, R. El-Farhane, S. Jullian, "A conventional 45nm CMOS node low-cost platform for general purpose and low power applications," *IEDM Tech. Dig. IEEE Int. Electron Devices Meet. 2004.*, pp. 425–428, 2004.
- [Bogliolo'02] A. Bogliolo, L. Vendrame, L. Bortesi, E. Barachetti, "Charge-based on-chip measurement technique for the selective extraction of cross-coupling capacitances," pp. 75–77, 2002.
- [Brambilla'03] A. Brambilla, P. Maffezzoni, L. Bortesi, L. Vendrame, "Measurements and extractions of parasitic capacitances in ULSI layouts," *IEEE Trans. Electron Devices*, vol. 50, no. 11, pp. 2236–2247, Nov. 2003.
- [Le Cam'06] C. Le Cam, F. Guyader, C. De Buttet, P. Guyader, G. Ribes, M. Sardo, S. Vandergue, F. Boeuf, F. Arnaud, E. Josse, M. Haond, "A low cost drive current enhancement technique using shallow trench isolation induced stress for 45-nm node," *Symp. VLSI Technol. Dig. Tech. Pap.*, pp. 138–139, 2006.
- [Chang'04] L. Chang, M. Leong, M. Yang, "CMOS Circuit Performance Enhancement by Surface Orientation Optimization," *IEEE Trans. Electron Devices*, vol. 51, no. 10, pp. 1621–1627, 2004.

- [Chen'04] C.-H. Chen, T. L. Lee, T. H. Hou, C. L. Chen, C. C. Chen, J. W. Hsu, K. L. Cheng, Y. H. Chiu, H. J. Tao, Y. Jin, C. H. Diaz, S. C. Chen, M.-S. Liang, "Stress memorization technique (SMT) by selectively strained-nitride capping for sub-65nm high-performance strained-Si device application," *Dig. Tech. Pap. 2004 Symp. VLSI Technol. 2004.*, pp. 56–57, 2004.
- [Chen'95] H. H. Chen, S. E. Schuster, "On-chip decoupling capacitor optimization for high-performance VLSI design," *1995 Int. Symp. VLSI Technol. Syst. Appl. Proc. Tech. Pap.*, pp. 8–12, 1995.
- [Chen'06] X. Chen, S. Fang, W. Gao, T. Dyer, Y. W. Teh, S. S. Tan, Y. Ko, C. Baiocco, a. Ajmera, J. Park, J. Kim, R. Stierstorfer, D. Chidambarao, Z. Luo, N. Nivo, P. Nguyen, J. Yuan, S. Panda, O. Kwon, N. Edleman, T. Tjoa, J. Widodo, M. Belyansky, M. Sherony, R. Amos, H. Ng, M. Hierlemann, D. Coolbough, a. Steegen, I. Yang, J. Sudijono, T. Schiml, J. H. Ku, C. Davis, "Stress Proximity Technique for Performance Improvement with Dual Stress Liner at 45nm Technology and Beyond," *2006 Symp. VLSI Technol. 2006. Dig. Tech. Pap.*, vol. 00, no. c, pp. 2005–2006, 2006.
- [Cheng'09] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozlowski, D. Mcherron, J. O. Neill, B. Doris, "Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications," pp. 49–52, 2009.
- [Chui'07] K. Chui, K. Ang, S. Member, N. Balasubramanian, a Abstract, "n-MOSFET With Silicon – Carbon Source / Drain for Enhancement of Carrier Transport," *Distribution*, vol. 54, no. 2, pp. 249–256, 2007.
- [Cubaynes'02] F. Cubaynes, C. Dachs, C. Detcheverry, a. Zegers, V. Venezia, J. Schmitz, P. Stolk, M. Jurczak, K. Henson, R. Degraeve, a. Rothschild, T. Conard, J. Petry, M. Da Rold, M. Schaeckers, G. Badenes, L. Date, D. Pique, H. Al-Shareef, R. Murto, "Gate Dielectrics for High Performance and Low Power CMOS SoC Applications," *32nd Eur. Solid-State Device Res. Conf.*, pp. 427–430, 2002.
- [Cubaynes'03] F. N. Cubaynes, J. Schmitz, C. Van Der Marel, J. H. M. Snijders, A. Veloso, A. Rothschild, C. Olsen, L. Date, "PLASMA NITRIDATION OPTIMIZATION FOR SUB-15 Å GATE DIELECTRICS," *Proc. - Electrochem. Soc.*, 2003.
- [Dobrescu'00] L. Dobrescu, M. Petrov, D. Dobrescu, C. Ravariu, "Threshold voltage extraction methods for MOS transistors," *Semicond. Conf. 2000. CAS 2000 Proceedings. Int.*, vol. 1, no. 2, pp. 371–374 vol.1, 2000.
- [Doerner'88] M. F. Doerner, W. D. Nix, "Stresses and deformation processes in thin films on substrates," *Crit. Rev. Solid state Mater. Sci.*, vol. 14, 1988.
- [Electroglas] Electroglas, "Electroglas 4090μ description."
- [En'01] W. G. En, D. Ju, D. Chan, S. Chan, O. Karisson, "Reduction of STI/active Stress on 0.18μm SO1 Devices Through Modification of STI Process," *IEEE Int. SOI Conf.*, pp. 85–86, 2001.

- [Ernst'03] T. Ernst, F. Ducroquet, J.-M. Hartmann, O. Weber, V. Loup, R. Truche, A. M. Papon, P. Holliger, B. Previtali, A. Toffoli, J. L. Di Maria, S. Deleonibus, "A new Si:C epitaxial channel nMOSFET architecture with improved drivability and short-channel characteristics," *2003 Symp. VLSI Technol. Dig. Tech. Pap. (IEEE Cat. No.03CH37407)*, pp. 5–6, 2003.
- [Ernst'02] T. Ernst, J.-M. Hartmann, V. Loup, F. Ducroquet, P. Dollfus, G. Guegan, D. Lafond, P. Hilliger, B. Previtali, A. Toffoli, S. Deleonibus, "Fabrication of a novel strained SiGe:C-channel planar 55 nm nMOSFET for high-performance CMOS," *2002 Symp. VLSI Technol. Dig. Tech. Pap. (Cat. No.01CH37303)*, pp. 92–93, 2002.
- [Fang'06] S. Fang, S. Tan, T. Dyer, Z. Luo, J. Yan, J. J. Kim, N. Rovedo, Z. Lun, J. Yuan, X. Chen, V. Chan, T. J. Tang, R. Amos, H. Ng, M. Jeong, S. Iyer, S. Crowder, "Process induced stress for CMOS performance improvement," *2006 8th Int. Conf. Solid-State Integr. Circuit Technol. Proc.*, pp. 108–111, 2006.
- [G. G. Stoney'09] G. G. Stoney, "The tension of metallic films deposited by electrolysis," *R. Soc. London Ser.*, vol. 82, no. 553, 1909.
- [Garone'91] P. M. Garone, V. Venkataraman, J. C. Sturn, "Mobility enhancement and quantum mechanical modeling in  $\text{Ge}_x\text{Si}_{1-x}$  channel MOSFETs from 90 to 300 K," *Int. Electron Devices Meet. 1991 [Technical Dig.]*, pp. 29–32, 1991.
- [Ghani'03] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, M. Bohr, "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," *IEEE Int. Electron Devices Meet. 2003*, vol. M, pp. 978–980, 2003.
- [Ghibaudo'00] G. Ghibaudo, S. Bruyere, T. Devoivre, B. DeSalvo, E. Vincent, "Improved method for the oxide thickness extraction in MOS structures with ultrathin gate dielectrics," *IEEE Trans. Semicond. Manuf.*, vol. 13, no. 2, pp. 152–158, 2000.
- [Goo'03] J. S. Goo, Q. Xiang, Y. Takamura, H. Wang, J. Pan, F. Arasnia, E. N. Paton, P. Besser, M. V. Sidorov, E. Adem, A. Lochtefeld, G. Braithwaite, M. T. Currie, R. Hammond, M. T. Bulsara, M. R. Lin, "Scalability of strained-Si nMOSFETs down to 25 nm gate length," *IEEE Electron Device Lett.*, vol. 24, no. 5, pp. 351–353, 2003.
- [Goto'03] K. Goto, Y. T. Gotoagawa, Ohta H., Morioka H., Pidin S., Y. Momiyama, K. Okabe, H. Kokurq, S. Inagaki, Y. Kikuchi, M. Kase, K. Hashimoto, M. Kojima, T. Sugii, "Performance 35 nm Gate CMOSFETs with Vertical Scaling and Total Stress Control for 65 nm Technology," *Symp. VLSI Technol. Dig. Tech. Pap.*, pp. 10–11, 2003.
- [Green'94] M. L. Green, D. Brase, Evans-Lutterodt, K. W. Feldman, L. C. K. Krisch, W. Lennard, H.-T. Tang, "N," *Appl. Phys. Lett.*, 1994.
- [Grider'97] D. T. Grider, S. V. Hattangady, R. Kraft, P. E. Nicollian, J. Kuehne, G. Brown, S. Aur, R. H. Eklund, M. F. Pas, W. R. Hunter, M. Douglas, "A 0.18 $\mu\text{m}$  CMOS Process Using Nitrogen Profile-engineered Gate Dielectrics," *VLSI Technol. 1997. Dig. Tech. Pap. 1997 Symp.*, pp. 47–48, 1997.

- [Hattangady'96] S. V. Hattangady, R. Kraft, D. T. Grider, M. A. Douglas, G. A. Brown, P. A. Tiner, J. W. Kuehne, P. E. Nicollian, M. F. Pas, "Ultrathin nitrogen-profile engineered gate dielectric films," *Int. Electron Devices Meet. Tech. Dig.*, pp. 495–498, 1996.
- [Hoang'07] V. N. Hoang, G. Doornbos, J. Michelon, A. Kumar, A. Nackaerts, P. Christie, "Balancing Resistance and Capacitance of Signal Interconnects for Power Saving," *Int. Interconnect Technol. Conf. IEEE*, no. 1, pp. 126–128, 2007.
- [Hoyt'02] J. L. Hoyt, H. M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E. a. Fitzgerald, D. a. Antoniadis, "Strained silicon MOSFET technology," *Dig. Int. Electron Devices Meet.*, no. 617, pp. 23–26, 2002.
- [Hubert'15] Q. Hubert, M. Carmona, B. Rebuffat, J. Innocenti, P. Masson, L. Masoero, F. Julien, L. Lopez, P. Chiquet, "All regimes mobility extraction using split C – V technique enhanced with charge-sheet model," *Solid-State Electron. J.*, vol. 111, pp. 52–57, 2015.
- [Ikeda'03] S. Ikeda, H. Ohta, H. Miura, Y. Hagiwara, "Mechanical stress control in a VLSI-fabrication process: A method for obtaining the relation between stress levels and stress-induced failures," *IEEE Trans. Semicond. Manuf.*, vol. 16, no. 4, pp. 696–703, 2003.
- [Instruments'03] O. Instruments, P. Technology, "PECVD of silicon nitride and oxide," 2003.
- [Irie'04] H. Irie, K. Kita, K. Kyuno, A. Toriumi, "In-plane mobility anisotropy and universality under uni-axial strains in nand p-MOS inversion layers on (100), [110], and (111) Si," *IEDM Tech. Dig. IEEE Int. Electron Devices Meet. 2004.*, no. 110, pp. 225–228, 2004.
- [Ito'00] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, T. Saitoh, T. Horiuchi, "Mechanical stress effect of etch-stop nitride and its impact on deep submicron transistor design," *Int. Electron Devices Meet. Dig. IEDM*, pp. 247–250, 2000.
- [ITRS'10] ITRS, "THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS," 2010.
- [ITRS'08] ITRS, "THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS," 2008.
- [Iwai'04] M. Iwai, a. Oishi, T. Sanuki, Y. Takegawa, T. Komoda, Y. Morimasa, K. Ishimaru, M. Takayanagi, K. Eguchi, D. Matsushita, K. Muraoka, K. Sunouchi, T. Noguchi, "45nm CMOS platform technology (CMOS6) with high density embedded memories," *Dig. Tech. Pap. 2004 Symp. VLSI Technol. 2004.*, pp. 12–13, 2004.
- [Jaeger'00] R. C. Jaeger, J. C. Suhling, R. Ramani, A. T. Bradley, J. Xu, "CMOS stress sensors on (100) silicon," *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 85–95, 2000.
- [Joly'11] Y. Joly, L. Lopez, J. M. Portal, H. Aziza, P. Masson, J. L. Ogier, Y. Bert, F. Julien, P. Fornara, "Octagonal MOSFET: Reliable device for low power analog applications," in *European Solid-State Device Research Conference*, 2011, pp. 295–298.
- [Kamgar'00] A. Kamgar, J. T. Clemens, A. Ghetti, C. T. Liu, E. J. Lloyd, "Reduced electron mobility due to nitrogen implant prior to the gate oxide growth," *IEEE Electron Device Lett.*, vol. 21, no. 5, pp. 227–229, 2000.

- [Kanda'82] Y. Kanda, "A graphical representation of the piezoresistance coefficients in silicon," *IEEE Trans. Electron Devices*, vol. 29, no. 1, pp. 64–70, Jan. 1982.
- [Keating'07] M. Keating, D. Flynn, R. Aitken, A. Gibbons, K. Shi, *Low power methodology manual: For system-on-chip design*. 2007.
- [Ker'96] M.-D. K. M.-D. Ker, T.-S. W. T.-S. Wu, "Novel octagonal device structure for output transistors in deep-submicron low-voltage CMOS technology," *Int. Electron Devices Meet. Tech. Dig.*, no. Ccl, pp. 889–892, 1996.
- [Kesan'91] V. P. Kesan, S. Subbanna, P. J. Restle, M. J. Tejwani, J. M. Aitken, S. S. Iyer, J. A. Ott, "High performance 0.25  $\mu\text{m}$  p-MOSFETs with silicon-germanium channels for 300K and 77K operation," *IEDM Tech. Dig.*, vol. 91–25, p. 2.2.1, 1991.
- [Komoda'04] T. Komoda, A. Oishi, T. Sanuki, "Mobility improvement for 45nm node by combination of optimized stress and channel orientation design," *Electron Devices Meet. IEDM Tech. Dig. IEEE Int.*, pp. 217–220, 2004.
- [Koomen'73] J. A. N. Koomen, "INVESTIGATION OF THE MOST CHANNEL CONDUCTANCE IN WEAK INVERSION," vol. 16, no. 7, pp. 801–810, 1973.
- [Lee'01] M. L. Lee, C. W. Leitz, Z. Cheng, a. J. Pitera, T. Langdo, M. T. Currie, G. Taraschi, E. a. Fitzgerald, D. a. Antoniadis, "Strained Ge channel p-type metal-oxide-semiconductor field-effect transistors grown on Si<sub>1-x</sub>Gex/Si virtual substrates," *Appl. Phys. Lett.*, vol. 79, no. 20, pp. 3344–3346, 2001.
- [Lime'05] F. Lime, F. Andrieu, J. Derix, G. Ghibaudo, F. Boeuf, T. Skotnicki, "Low temperature characterization of effective mobility in uniaxially and biaxially strained N-MOSFETs," *Proc. ESSDERC 2005 35th Eur. Solid-State Device Res. Conf.*, vol. 2005, pp. 525–528, 2005.
- [Liu'06] P. W. Liu, J. W. Pan, T. Y. Chang, T. L. Tsai, T. F. Chen, Y. C. Liu, C. H. Tsai, B. C. Lan, Y. H. Lin, W. T. Chiang, C. T. Tsai, "Superior Current Enhancement in SiGe Channel p-MOSFETs Fabricated on (110) Surface," *2006 Symp. VLSI Technol. 2006. Dig. Tech. Pap.*, vol. 00, no. 3, pp. 7–8, 2006.
- [Liu'05] Y. C. Liu, J. W. Pan, T. Y. Chang, P. W. Liu, B. C. Lan, C. H. Tung, C. H. Tsai, T. F. Chen, C. J. Lee, W. M. Wang, Y. a. Chen, H. L. Shih, L. Y. Tung, L. W. Cheng, T. M. Shen, S. C. Chiang, M. F. Lu, W. T. Chang, Y. H. Luo, D. Nayak, D. Gitlin, H. L. Meng, C. T. Tsai, "Single stress liner for both NMOS and PMOS current enhancement by a novel ultimate spacer process," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 00, no. c, 2005.
- [Mackenzie'05] K. D. Mackenzie, D. J. Johnson, M. W. Devre, R. J. Westerman, B. H. Reelfs, "STRESS CONTROL OF Si-BASED PECVD DIELECTRICS Wafer Bow ( mm ) Film Thickness (  $\mu\text{m}$  )," *207th Electrochem. Soc. Meet.*, no. May, pp. 148–159, 2005.
- [Maikap'04] S. Maikap, M. H. Liao, F. Yuan, M. H. Lee, C. F. Huang, S. T. Chang, C. W. Liu, "Package-strain-enhanced device and circuit performance," *IEDM Tech. Dig. IEEE Int. Electron Devices Meet. 2004.*, pp. 233–236, 2004.
- [Maiti'12] C. K. Maiti, T. K. Maiti, *Strain-Engineered MOSFETs*, vol. 28. CRC Press, 2012.

- [Mandal'10] M. Mandal, B. Sarkar, "Ring oscillators : Characteristics and applications," *Indian J. Pure Appl. Phys.*, vol. 48, no. February, pp. 136–145, 2010.
- [McGaughy'97] B. W. McGaughy, J. C. Chen, D. Sylvester, C. Hu, "A simple method for on-chip, sub-femto Farad interconnect capacitance measurement," *IEEE Electron Device Lett.*, vol. 18, no. 1, pp. 21–23, Jan. 1997.
- [Mentor Graphics'05] Mentor Graphics, "Eldo User's Manual," 2005.
- [Mistry'04] K. Mistry, M. Armstrong, C. Auth, S. Cea, T. Coan, T. Ghani, T. Hoffmann, A. Murthy, J. Sandford, R. Shaheed, K. Zawadzki, K. Zhang, S. Thompson, M. Bohr, "Delaying forever: Uniaxial strained silicon transistors in a 90nm CMOS technology," *Dig. Tech. Pap. 2004 Symp. VLSI Technol. 2004.*, no. 503, pp. 41–42, 2004.
- [Miura'98] H. Miura, S. Ikeda, "New mechanical reliability issues for deep-submicron devices," *1998 Semicond. Manuf. Technol. Work. (Cat. No.98EX133)*, 1998.
- [Miyamoto'04] M. Miyamoto, H. Ohta, Y. Kumagai, Y. Sonobe, K. Ishibashi, Y. Tainaka, "Impact of reducing STI-induced stress on layout dependence of MOSFET characteristics," *IEEE Trans. Electron Devices*, vol. 51, no. 3, pp. 440–443, 2004.
- [Mizokuro'99] T. Mizokuro, K. Yoneda, Y. Todokoro, H. Kobayashi, "Mechanism of low temperature nitridation of silicon oxide layers by nitrogen plasma generated by low energy electron impact," *J. Appl. Phys.*, vol. 85, no. 2921, 1999.
- [Moore'65] G. E. Moore, "Cramming More Components onto Integrated Circuits," *Electronics*, vol. 38, no. 8, 1965.
- [Morin'06] P. Morin, "Mechanical stress in silicon based materials: Evolution upon annealing and impact on devices performances," in *14th IEEE International Conference on Advanced Thermal Processing of Semiconductors, RTP 2006*, 2006, pp. 93–102.
- [Morshed'11] T. H. Morshed, D. D. Lu, W. M. Yang, V. Mohan, X. J. Xi, J. He, W. Liu, M. Cao, X. Jin, J. J. Ou, M. Chan, A. M. Niknejad, C. Hu, "BSIM4v4 . 7 MOSFET Model -User ' s Manual Developers ;," *Electr. Eng.*, 2011.
- [NIST'99] NIST, "Data Encryption Standard (DES) specifications," *FIPS PUB 46-3*, vol. 3, 1999.
- [Nix'89] W. D. Nix, "Mechanical properties of thin films," *Metall. Mater. Trans. A*, vol. 20, no. N° 11, pp. 2217–2245, 1989.
- [Ortolland'04] C. Ortolland, S. Orain, J. Rosa, P. Morin, F. Arnaud, M. Woo, A. Poncet, P. Stolk, "Electrical characterization and mechanical modeling of process induced strain in 65 nm CMOS technology," *Solid-State Device Res. Conf.*, pp. 137–140, 2004.
- [Ortolland'06] C. Ortolland, "Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en deça," 2006.
- [Ortolland'09] C. Ortolland, Y. Okuno, P. Verheyen, C. Kerner, C. Stapelmann, M. Aoulaiche, N. Horiguchi, T. Hoffmann, "Stress memorization technique-fundamental understanding and low-cost integration for advanced CMOS technology using a nonselective process," *IEEE Trans. Electron Devices*, vol. 56, no. 8, pp. 1690–1697, 2009.

- [Ota'02] K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto, Y. Inoue, "Novel locally strained channel technique for high performance 55nm CMOS," *Dig. Int. Electron Devices Meet.*, pp. 27–30, 2002.
- [Ota'05] K. Ota, T. Yokoyama, H. Kawasaki, M. Moriya, T. Kanai, S. Takahashi, T. Sanuki, E. Hasumi, T. Komoguchi, Y. Sogo, Y. Takasu, K. Eda, "Stress controlled shallow trench isolation technology to suppress the novel anti-isotropic diffusion for 45nm-node high-performance CMOSFETs," *Symp. VLSI Technol. Dig. Tech. Pap.*, pp. 138–139, 2005.
- [Park'93] H. P. H. Park, K. S. Jones, J. a. Slinkman, M. E. Law, "The effects of strain on dopant diffusion in silicon," in *Proceedings of IEEE International Electron Devices Meeting*, 1993, pp. 303–306.
- [Pidin'04] S. Pidin, T. Mori, R. Nakamura, T. Saiki, R. Tanabe, S. Satoh, M. Kase, K. Hashimoto, T. Sugii, "MOSFET current drive optimization using silicon nitride capping layer for 65-nm technology node," *Dig. Tech. Pap. 2004 Symp. VLSI Technol. 2004.*, pp. 14–15, 2004.
- [Piguet'05] C. Piguet, C. Piguet, *Low-power CMOS circuits: technology, logic design and CAD tools*. CRC Press, 2005.
- [Rabaey'02] J. M. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits A Design Perspective 2nd Edition*. 2002.
- [Ranade'05] P. Ranade, T. Ghani, K. Kuhn, K. Mistry, S. Pae, L. Shifren, M. Stettler, K. Tone, S. Tyagi, M. Bohr, "High performance 35nm L/sub GATE/ CMOS transistors featuring NiSi metal gate (FUSI), uniaxial strained silicon channels and 1.2nm gate oxide," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 00, no. 971, pp. 0–3, 2005.
- [Raymond'09] G. Raymond, "Etude mécanique des films de nitrure de silicium fortement contraints utilisés pour augmenter les performances des transistors CMOS," 2009.
- [Rim'03] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb, D. Canaperi, B. To, E. Duch, I. Babich, R. Carruthers, P. Saunders, G. Walker, Y. Zhang, M. Steen, M. leong, "Fabrication and mobility characteristics of ultra-thin strained Si directly on insulator (SSDOI) MOSFETs," *IEEE Int. Electron Devices Meet. 2003*, pp. 3–6, 2003.
- [Rim'02] K. Rim, J. Chu, H. Chen, K. a. Jenkins, T. Kanarsky, K. Lee, a. Mocuta, H. Zhu, R. Roy, J. Newbury, J. Ott, K. Petrarca, P. Mooney, D. Lacey, S. Koester, K. Chan, D. Boyd, M. leong, H.-S. Wong, "Characteristics and device design of sub-100 nm strained Si N- and PMOSFETs," *2002 Symp. VLSI Technol. Dig. Tech. Pap. (Cat. No.01CH37303)*, pp. 2001–2002, 2002.
- [Rim'01] K. Rim, S. Koester, M. Hargrove, J. Chu, P. M. Mooney, J. Ott, T. Kanarsky, P. Ronsheim, M. leong, a. Grill, H.-S. P. Wong, "Strained Si NMOSFETs for high performance CMOS technology," *2001 Symp. VLSI Technol. Dig. Tech. Pap. (IEEE Cat. No.01 CH37184)*, pp. 2000–2001, 2001.
- [Rim'00] K. Rim, J. L. Hoyt, J. F. Gibbons, "Fabrication and analysis of deep submicron strained-Si N-MOSFET's," *IEEE Trans. Electron Devices*, vol. 47, no. 7, pp. 1406–1415, 2000.

- [Robertson'04] J. Robertson, "High dielectric constant oxides," *Eur. Phys. J. Appl. Phys.*, vol. 28, pp. 265–291, 2004.
- [Rodder'98] M. Rodder, S. Hattangady, N. Yu, W. Shiau, P. Nicollian, T. Laaksonen, C. P. Chao, M. Mehrotra, C. Lee, S. Murtaza, S. Aur, "A 1.2V, 0.1 $\mu$ m Gate Length CMOS Technology : Design and Process Issues," *International Electron Devices Meet.*, vol. 02, pp. 623–626, 1998.
- [Roy'03] K. Roy, S. Mukhopadhyay, Mahmoodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," *Proc. IEEE*, vol. 91, no. 2, 2003.
- [Sabnis'79] A. G. Sabnis, J. T. Clemens, "CHARACTERIZATION OF THE ELECTRON MOBILITY," pp. 18–21, 1979.
- [Sallagoity'95] P. Sallagoity, M. Ada-Hanifi, M. Paoli, M. Haond, "Analysis of Parasitic Effects in Advanced Isolation Schemes for Deep Submicron CMOS Technologies," *Solid State Device Res. Conf. 1995. ESSDERC '95. Proc. 25th Eur.*, vol. 43, no. 11, pp. 0–6, 1995.
- [Sayama'99] H. Sayama, Y. Nishida, H. Oda, T. Oishi, S. Shimizu, T. Kunikiyo, K. Sonoda, Y. Inoue, M. Inuishi, "Effect of <100> Channel Direction for High Performance SCE Immune pMOSFET with Less Than 0.15 $\mu$ m Gate Length," *Int. Electron Devices Meet. 1999. Tech. Dig. (Cat. No.99CH36318)*, pp. 657–660, 1999.
- [Schwantes'05] S. Schwantes, J. Fuerthaler, T. Stephan, M. Graf, V. Dudek, T. Barry, G. Miller, J. Shen, "Characterisation of a new hump-free device structure for smart power and embedded memory technologies," *Microelectron. Eng.*, vol. 81, no. 1, pp. 132–139, 2005.
- [Scott'99] G. Scott, J. Lutze, M. Rubin, F. Nouri, M. Manley, "NMOS drive current reduction caused by transistor layout and trench isolation induced stress," *IEDM*, pp. 827–830, 1999.
- [Sheraw'05] C. D. Sheraw, M. Yang, D. M. Fried, G. Costrini, T. Kanarsky, W. H. Lee, V. Chan, M. V. Fischetti, J. Holt, L. Black, M. Naeem, S. Panda, L. Economikos, J. Groschopf, a. Kapur, Y. Li, R. T. Mo, a. Bonnoit, D. Degraw, S. Luning, D. Chidambarrao, X. Wang, a. Bryant, D. Brown, C. Y. Sung, P. Agnello, M. Jeong, S. F. Huang, X. Chen, M. Khare, "Dual stress liner enhancement in hybrid orientation technology," *Dig. Tech. Pap. - Symp. VLSI Technol.*, vol. 2005, pp. 12–13, 2005.
- [Sheu'05] Y. M. Sheu, S. J. Yang, C. C. Wang, C. S. Chang, L. P. Huang, T. Y. Huang, M. J. Chen, C. H. Diaz, "Modeling mechanical stress effect on dopant diffusion in scaled MOSFETs," *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 30–38, 2005.
- [Shimizu'01] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, F. Ootsuka, "Local mechanical-stress control (LMC): a new technique for CMOS-performance enhancement," *Int. Electron Devices Meet. Tech. Dig.*, no. Lmc, pp. 433–436, 2001.
- [Shum'05] D. Shum, A. T. Tilke, L. Pescini, M. Stiftinger, R. Kakoschke, K. J. Han, S. R. Kim, V. Hecht, N. Chan, A. Yang, R. Broze, "Highly Scalable Flash Memory with Novel Deep Trench Isolation Embedded into High- Performance CMOS for the 90nm Node & beyond 1 1," *IEEE Int. Electron Devices Meet.*, pp. 3–6, 2005.

- [Silvaco Int.'00] Silvaco Int., "ATLAS User's Manual Volume I," vol. I, no. February, 2000.
- [Skotnicki'08] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J. P. Schoellkopf, E. Perea, R. Ferrant, H. Mingam, "Innovative materials, devices, and CMOS technologies for low-power mobile multimedia," *IEEE Trans. Electron Devices*, vol. 55, no. 1, pp. 96–130, 2008.
- [Smith'54] C. S. Smith, "Piezoresistance effect in germanium and silicon," *Phys. Rev.*, vol. 94, no. 1, pp. 42–49, 1954.
- [Steegen'98] a. Steegen, K. Maex, I. De Wolf, "Local mechanical stress induced defects for Ti and Co/Ti silicidation in sub-0.25  $\mu\text{m}$  MOS-technologies," *1998 Symp. VLSI Technol. Dig. Tech. Pap. (Cat. No.98CH36216)*, pp. 200–201, 1998.
- [Sung'05] C.-Y. S. C.-Y. Sung, H. Y. H. Yin, H. Y. Ng, K. L. Saenger, V. Chan, S. W. Crowder, J. L. J. Li, J. A. Ott, R. Bendernagel, J. J. Kempisty, V. Ku, H. K. Lee, Z. L. Z. Luo, A. Madan, R. T. Mo, P. Y. Nguyen, G. Pfeiffer, M. Raccioppo, N. Rovedo, D. Sadana, J. P. de Souza, R. Z. R. Zhang, Z. R. Z. Ren, C. H. Wann, "High performance cmos bulk technology using direct silicon bond (dsb) mixed crystal orientation substrates," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 00, no. 100, pp. 5–8, 2005.
- [Sylvester'98] D. Sylvester, S. Member, J. C. Chen, C. Hu, "Investigation of Interconnect Capacitance Characterization Using Charge-Based Capacitance Measurement (CBCM) Technique and Three-Dimensional Simulation," vol. 33, no. 3, pp. 449–453, 1998.
- [Synopsys'12] Synopsys, "StarRC Parasitic extraction," 2012.
- [Synopsys] Synopsys, "IC Compiler Comprehensive Place and Route System."
- [Takagi'94] S. Takagi, A. Toriumi, M. Iwase, H. Tango, "On the universality of inversion layer mobility in Si MOSFET's:\nPart II-effects of surface orientation," *IEEE Trans. Electron Devices*, vol. 41, no. 12, 1994.
- [Takasaki'03] K. Takasaki, K. Irino, T. Aoyama, Y. Momiyama, T. Nakanishi, Y. Tamura, T. Ito, "Impact of nitrogen profile in gate nitrided-oxide on deep-submicron CMOS performance and reliability," *Fujitsu Sci. Tech. J.*, vol. 39, no. 1, pp. 40–51, 2003.
- [Tateshita'06a] Y. Tateshita, J. Wang, K. Nagano, T. Hirano, Y. Miyamoto, T. Ikuta, T. Kataoka, Y. Kikuchi, S. Yamaguchi, T. Ando, K. Tai, R. Matsumoto, S. Fujita, C. Yamane, R. Yamamoto, S. Kanda, K. Kugimiya, T. Kimura, T. Ohchi, Y. Yamamoto, Y. Nagahama, Y. Hagimoto, H. Wakabayashi, Y. Tagawa, M. Tsukamoto, H. Iwamoto, M. Saito, S. Kadomura, N. Nagashima, "High-performance and low-power CMOS device technologies featuring metal/high-k gate stacks with uniaxial strained silicon channels on (100) and (110) Substrates," in *Technical Digest - International Electron Devices Meeting, IEDM, 2006*, no. 100, pp. 30–33.
- [Tateshita'06b] Y. Tateshita, J. Wang, K. Nagano, T. Hirano, Y. Miyamoto, T. Ikuta, T. Kataoka, Y. Kikuchi, S. Yamaguchi, T. Ando, K. Tai, R. Matsumoto, S. Fujita, C. Yamane, R. Yamamoto, S. Kanda, K. Kugimiya, T. Kimura, T. Ohchi, Y. Yamamoto, Y. Nagahama, Y. Hagimoto, H. Wakabayashi, Y. Tagawa, M. Tsukamoto, H. Iwamoto, M. Saito, S. Kadomura, N. Nagashima, "High-performance and low-power CMOS device technologies featuring metal/high-k gate stacks with uniaxial strained silicon

- channels on (100) and (110) Substrates," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, no. 100, pp. 30–33, 2006.
- [Thompson'04] S. E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C.-H. Jan, C. Kenyon, J. Klaus, K. Kuhn, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, P. Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, Y. El-Mansy, "A 90-nm Logic Technology Featuring Strained-Silicon," *IEEE Trans. Electron Devices*, vol. 51, no. 11, pp. 1790–1797, Nov. 2004.
- [Trivedi'09] K. Trivedi, C. Floresca, S. Kim, H. Kim, D. Kim, J. Kim, M. J. Kim, W. Hu, "Void-free filling of spin-on dielectric in 22 nm wide ultrahigh aspect ratio Si trenches," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 27, no. 6, p. 3145, 2009.
- [Tseng'02] H. H. Tseng, Y. Jeon, P. Abramowitz, T. Y. Luo, L. Hebert, J. J. Lee, J. Jiang, P. J. Tobin, G. C. F. Yeap, M. Moosa, J. Alvis, S. G. H. Anderson, N. Cave, T. C. Chua, A. Hegedus, G. Miner, J. Jeon, A. Sultan, "Ultra-thin decoupled plasma nitridation (DPN) oxynitride gate dielectric for 80-nm advanced technology," *IEEE Electron Device Lett.*, vol. 23, no. 12, pp. 704–705, 2002.
- [Turgis'97] S. Turgis, J. . Daga, J. . Portal, D. Auvergne, "Internal power modelling and minimization in CMOS inverters," *Eur. Des. Test Conf.*, pp. 603–608, 1997.
- [Veendrick'84] H. J. M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits," *IEEE J. Solid-State Circuits*, vol. 19, no. 4, pp. 468–473, Aug. 1984.
- [Veloso'03] A. Veloso, F. N. Cubaynes, A. Rothschild, S. Mertens, R. Degraeve, R. O'Connor, C. Olsen, L. Date, M. Schaekers, C. Dachs, M. Jurczak, "Ultra-thin oxynitride gate dielectrics by pulsed-RF DPN for 65 nm general purpose CMOS applications," *ESSDERC '03. 33rd Conf. Eur. Solid-State Device Res. 2003.*, pp. 3–6, 2003.
- [Vendrame'06] L. Vendrame, L. Bortesi, F. Cattane, A. Bogliolo, "Crosstalk-based capacitance measurements: Theory and applications," in *IEEE Transactions on Semiconductor Manufacturing*, 2006, vol. 19, no. 1, pp. 67–77.
- [Verheyen'05] P. Verheyen, G. Eneman, R. Rooyackers, R. Loo, L. Eeckhout, D. Rondas, F. Leys, J. Snow, D. Shamiryan, M. Demand, T. Y. Hoffman, M. Goodwin, H. Fujimoto, C. Ravit, B.-C. Lee, M. Caymax, K. De Meyer, P. Absil, M. Jurczak, S. Biesemans, "Demonstration of recessed SiGe S/D and inserted metal gate on HfO<sub>2</sub>/sub 2/ for high performance pFETs," *IEEE Int. Devices Meet. 2005. IEDM Tech. Dig.*, vol. 00, no. c, pp. 2–5, 2005.
- [Voldman'04] S. H. Voldman, A. Watson, "The influence of deep trench and substrate resistance on the latchup robustness in a BICMOS silicon germanium technology," *IEEE Int. Reliab. Phys. Symp.*, 2004.
- [Wang'08] H. C.-H. Wang, C. W. Tsai, K. B. Thei, P. A. Fisher, C. H. Chang, Y. Y. Chaw, C. H. Chen, H. Y. Chen, C. L. Cheng, K. J. Chui, C. S.C, W. H. Guo, P. J. Hu, F. R. Juang, R. H. Kao, T. L. Lin, K. Y. Lu, S. H. Sia, H. C. Tsai, D. S. Yu, C. H. Yao, L. Y. Yeh, C. W. Chang, C. C. Chen, S. Z. Chang, K. T. Huang, and M. S. L. T.L. Lee, J.J. Liaw, J.Y. Cheng, S.C. Chen, M.K. Jeong, S.M. Jang, H. Chuang, Y.C. See, C.H. Diaz, "A 32nm General-Purpose Bulk Technology Platform with 32Mb 0.15μm<sup>2</sup> SRAM," pp. 15–17, 2008.

- [Washington'06] L. Washington, F. Nouri, S. Thirupapuliur, G. Eneman, P. Verheyen, V. Moroz, L. Smith, X. Xu, M. Kawaguchi, T. Huang, K. Ahmed, M. Balseanu, L. Q. Xia, M. Shen, Y. Kim, R. Rooyackers, K. De Meyer, R. Schreutelkamp, "pMOSFET with 200% mobility enhancement induced by multiple stressors," *IEEE Electron Device Lett.*, vol. 27, no. 6, pp. 511–513, 2006.
- [Welser'94] J. Welser, J. L. Hoyt, J. F. Gibbons, "Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect transistors," *IEEE Electron Device Lett.*, vol. 15, no. 3, pp. 100–102, 1994.
- [Wristers'96] D. Wristers, L. K. Han, T. Chen, H. H. Wang, D. L. Kwong, M. Allen, J. Fulford, "No Title," *Appl. Phys. Lett.*, 1996.
- [Yang'07] B. Yang, M. Yang, D. M. Fried, C. D. Sheraw, a. Waite, K. Nummy, L. Black, S. D. Kim, H. Yin, B. Kim, S. Narasimha, X. Chen, M. Khare, S. Luning, P. Agnello, "CMOS Fabricated by Hybrid-Orientation Technology (HOT)," *2007 Int. Work. Electron Devices Semicond. Technol.*, pp. 8–13, 2007.
- [Yang'04] H. S. Yang, R. Malik, S. Narasimha, Y. Li, R. Divakaruni, P. Agnello, S. Allen, a. Antreasyan, J. C. Arnold, K. Bandy, M. Belyansky, a. Bonnoit, G. Bronner, V. Chan, X. Chen, Z. Chen, D. Chidambarao, a. Chou, W. Clark, S. W. Crowder, B. Engel, H. Harifuchi, S. F. Huang, R. Jagannathan, F. F. Jamin, Y. Kohyama, H. Kuroda, C. W. Lai, H. K. Lee, W.-H. Lee, E. H. Lim, W. Lai, a. Mallikarjunan, K. Matsumoto, a. McKnight, J. Nayak, H. Y. Ng, S. Panda, R. Rengarajan, M. Steigerwalt, S. Subbanna, K. Subramanian, J. Sudijono, G. Sudo, S.-P. Sun, B. Tessier, Y. Toyoshima, P. Tran, R. Wise, R. Wong, I. Y. Yang, C. H. Wann, L. T. Su, M. Horstmann, T. Feudel, a. Wei, K. Frohberg, G. Burbach, M. Gerhardt, M. Lenski, R. Stephan, K. Wiczorek, M. Schaller, H. Salz, J. Hohage, H. Ruelke, J. Klais, P. Huebler, S. Luning, R. Van Bentum, G. Grasshoff, C. Schwan, E. Ehrichs, S. Goad, J. Buller, S. Krishnan, D. Greenlaw, M. Raab, N. Kepler, "Dual stress liner for high performance sub-45nm gate length SOI CMOS manufacturing," *IEDM Tech. Dig. IEEE Int. Electron Devices Meet. 2004.*, pp. 1075–1077, 2004.
- [Yang'00] H. Yang, H. Niimi, J. W. Keister, G. Lucovsky, J. E. Rowe, "Effects of interfacial sub-oxide transition regions and monolayer level nitridation on tunneling currents in silicon devices," *IEEE Electron Device Lett.*, vol. 21, no. 2, pp. 76–78, 2000.
- [Yang'03] M. Yang, M. leong, L. Shi, K. Chan, V. Chan, a. Chou, E. Gusev, K. Jenkins, D. Boyd, Y. Ninomiya, D. Pendleton, Y. Surpris, D. Heenan, J. Ott, K. Guarini, C. D'Emic, M. Cobb, P. Mooney, B. To, N. Rovedo, J. Benedict, R. Mo, H. Ng, "High performance CMOS fabricated on hybrid substrate with different crystal orientations," *IEEE Int. Electron Devices Meet. 2003*, no. 100, pp. 453–456, 2003.
- [Yeo'00] Y.-C. Y. Y.-C. Yeo, Q. L. Q. Lu, T.-J. K. T.-J. King, C. H. C. Hu, T. Kawashima, M. Oishi, S. Mashiro, J. Sakai, "Enhanced performance in sub-100 nm CMOSFETs using strained epitaxial silicon-germanium," *Int. Electron Devices Meet. 2000. Tech. Dig. IEDM (Cat. No.00CH37138)*, pp. 753–756, 2000.
- [Yuan'07] F. Yuan, C. W. Liu, "Mobility enhancement technology," *ICSICT-2006 2006 8th Int. Conf. Solid-State Integr. Circuit Technol. Proc.*, pp. 116–119, 2007.
- [Yuan'06] J. Yuan, S. Tan, Y. Lee, J. Kim, R. Lindsay, V. Sardesai, T. Hook, R. Amos, Z. Luo, W. Lee, S. Fang, T. Dyer, N. Rovedo, R. Stierstorfer, Z. Yang, J. Li, K. Barton, H. Ng, J. Sudijono, J. Ku, M. Hierlemann, T. Schiml, "A 45nm Low Cost Low Power Platform by

Using Integrated Dual-Stress-Liner Technology," *2006 Symp. VLSI Technol. 2006. Dig. Tech. Pap.*, vol. 00, no. c, pp. 100–101, 2006.

[Zangenberg'03] N. R. Zangenberg, J. Fage-Pedersen, J. L. Hansen, a. N. Larsen, "Boron and phosphorus diffusion in strained and relaxed Si and SiGe," *J. Appl. Phys.*, vol. 94, no. 6, p. 3883, 2003.

[Zhao'06] W. Zhao, A. Seabaugh, B. Winstead, D. Jovanovic, V. Adams, "Influence of uniaxial tensile strain on the performance of partially depleted SOI CMOS ring oscillators," *IEEE Electron Device Lett.*, vol. 27, no. 1, pp. 52–54, Jan. 2006.

[Zhu'07] H. Zhu, D. Yang, M. Kumar, J. Colt, J. Maxson, F. Scholl, D. Chen, D. Leach, E. Leobandung, "Improving Yields of High Performance 65 nm Chips with Sputtering Top Surface of Dual Stress Liner," vol. 47, pp. 180–181, 2007.

## Références de l'auteur

- [Innocenti'14] J. Innocenti, L. Welter, F. Julien, J.-M. Portal, L. Lopez, J. Sonzogni, P. Masson, S. Niel, A. Regnier, "Dynamic power reduction through process and design optimizations on CMOS 80 nm embedded non-volatile memories technology," *IEEE 57th Int. Midwest Symp. Circuits Syst. (MWSCAS)*, pp. 897–900, 2014.
- [Innocenti'15a] J. Innocenti, F. Julien, J. M. Portal, L. Lopez, Q. Hubert, P. Masson, J. Sonzogni, S. Niel, A. Regnier, "Layout Optimizations to Decrease Internal Power and Area in Digital CMOS Standard Cells," *38th Int. Conv. Inf. Commun. Technol. Electron. Microelectron (MIPRO)*., 2015.
- [Innocenti'15b] J. Innocenti, C. Rivero, F. Julien, J. M. Portal, Q. Hubert, G. Bouton, P. Fornara, L. Lopez, P. Masson, "NMOS Drive Current Enhancement by Reducing Mechanical Stress Induced by Shallow Trench Isolation," *IEEE 11th Int. Conf. Electron Devices Solid-State Circuits (EDSSC)*, pp. 395–398, 2015.
- [Innocenti'15c] J. Innocenti, L. Welter, N. Borrel, F. Julien, J. M. Portal, J. Sonzogni, L. Lopez, P. Masson, S. Niel, "Dynamic Current Reduction of CMOS Digital Circuits through Design and Process Optimization," *25th Int. Work. on Power Timing Model. Optim. Simul. (PATMOS), In proc*, 2015.
- [Welter'14] L. Welter, P. Dreux, J. Innocenti, "Accurate multiplexed test structure for threshold voltage matching evaluation," *9th IEEE Int. Conf. Des. Technol. Integr. Syst. Nanoscale Era (DTIS)*, no. 1, 2014.
- [Hubert'15] Q. Hubert, M. Carmona, B. Rebuffat, J. Innocenti, P. Masson, L. Masoero, F. Julien, L. Lopez, P. Chiquet, "All regimes mobility extraction using split C – V technique enhanced with charge-sheet model," *Solid. State. Electron. Journal*, vol. 111, pp. 52–57, 2015.

## Résumé

L'accroissement du champ d'application et de la performance des microcontrôleurs s'accompagne d'une augmentation de la puissance consommée limitant l'autonomie des systèmes nomades (smartphones, tablettes, ordinateurs portables, implants biomédicaux, ...). L'étude menée dans le cadre de la thèse, consiste à réduire la consommation dynamique des circuits fabriqués en technologie CMOS 80 nm avec mémoire non-volatile embarquée (e-NVM) ; à travers l'amélioration des performances des transistors MOS. Pour augmenter la mobilité des porteurs de charge, des techniques de fabrication utilisées dans les nœuds les plus avancés (40 nm, 32 nm) sont d'abord étudiées en fonction de différents critères (intégration, coût, gain en courant/performance). Celles sélectionnées sont ensuite optimisées et adaptées pour être embarquées sur une plate-forme e-NVM 80 nm. L'étape suivante est d'étudier comment transformer le gain en courant, en gain sur la consommation dynamique, sans dégrader la consommation statique. Les approches utilisées ont été de réduire la tension d'alimentation et la largeur des transistors. Un gain en consommation dynamique supérieur à 20 % est démontré sur des oscillateurs en anneau et sur un circuit numérique conçu avec près de 20 000 cellules logiques. La méthodologie appliquée sur le circuit a permis de réduire automatiquement la taille des transistors (évitant ainsi une étape de conception supplémentaire). Enfin, une dernière étude consiste à optimiser la consommation, les performances et la surface des cellules logiques à travers des améliorations de conception et une solution permettant de réduire l'impact de la contrainte induite par l'oxyde STI.

## Abstract

The increase of the scope of application and the performance of microcontrollers is accompanied by an increase in power consumption reducing the life-time of mobile systems (smartphones, tablets, laptops, biomedical implants, ...). Here, the work consists of reducing the dynamic consumption of circuits manufactured in embedded non-volatile memories (e-NVM) CMOS 80 nm technology by improving the performance of MOS transistors. In order to increase the carriers' mobility, manufacturing techniques used in the most advanced technological nodes (40 nm, 32 nm) are firstly studied according to different criteria (process integration, cost, current/performance gain). Then, selected techniques are optimized and adapted to be used on an e-NVM technological platform. The next step is to study how to transform the current gain into dynamic power gain without impacting the static consumption. To do so, the supply voltage and the transistor widths are reduced. Up to 20 % in dynamic current gain is demonstrated using ring oscillators and a digital circuit designed with 20,000 standard cells. The methodology applied on the circuit allows automatic reduction to all transistor widths without additional design modifications. Finally, a last study is performed in order to optimize the consumption, the performance and the area of digital standard cells through design improvements and by reducing the mechanical stress of STI oxide.