



Architecture d'amplificateur faible bruit large bande multistandard avec gestion optimale de la consommation

Liang Zhou

► To cite this version:

Liang Zhou. Architecture d'amplificateur faible bruit large bande multistandard avec gestion optimale de la consommation. Traitement du signal et de l'image. Université de Cergy Pontoise, 2015. Français. <NNT : 2015CERG0793>. <tel-01362329>

HAL Id: tel-01362329

<https://tel.archives-ouvertes.fr/tel-01362329>

Submitted on 8 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE CERGY - PONTOISE
ÉCOLE DOCTORALE STIC
SCIENCES ET TECHNOLOGIES DE L'INFORMATION
ET DE LA COMMUNICATION

THÈSE

pour obtenir le titre de

Docteur en Sciences

de l'Université de Cergy - Pontoise

Présentée et soutenue par

Liang ZHOU

Architecture d'amplificateur faible bruit large bande multistandard avec gestion optimale de la consommation

Thèse préparée à ETIS dans l'équipe ASTRE

soutenue le 10 mars 2015

Jury :

<i>Rapporteur</i>	: Catherine ALGANI	- Professeur CNAM PARIS (ESYCOM)
<i>Rapporteur</i>	: Eric BERGEAULT	- Professeur Telecom ParisTech
<i>Examineur</i>	: Eric KERHERVÉ	- Professeur ENSEIRB (IMS)
<i>Examineur</i>	: Jean-Philippe PLAZE	- Ingénieur Thalès Systèmes Aéroporté
<i>Examineur</i>	: Julien LINTIGNAT	- MCF Université de Limoges (XLIM)
<i>Directrice de thèse</i>	: Emmanuelle BOURDEL	- MCF-HDR ENSEA (ETIS)
<i>Co-Encadrant (invité)</i>	: Cédric DUPERRIER	- MCF ENSEA (ETIS)
<i>Co-Encadrant (invité)</i>	: Sébastien QUINTANEL	- MCF ENSEA (ETIS)

Remerciements

Ce travail a été effectué dans le Laboratoire ETIS (Équipes Traitement de l'information et Systèmes), Unité Mixte de Recherche du Centre National de Recherche Scientifique n°8051, dirigé par le Professeur Mathias QUOY.

Je tiens à remercier Messieurs les Professeurs B.GRANADO et O.ROMAIN pour m'avoir accueillie au sein de l'équipe ASTRE. Je les remercie sincèrement pour la confiance et le soutien qu'ils m'ont témoignés tout au long de ce travail.

J'exprime également toute ma gratitude à Madame C.ALGANI, Professeur au CNAM (Paris), et à Monsieur E.BERGEAULT, Professeur à l'E.N.S.T.(Paris), d'avoir accepté de juger ce travail en qualité de rapporteurs.

Mes remerciements vont également à Monsieur E.KERHERVE, Professeur à l'ENSEIRB, Monsieur J.LINTIGNAT, Maître de Conférence à l'Université de Limoges, et à Monsieur J.Ph.PLAZE, ingénieur R&D À Thalès Système Aéroporté, pour avoir accepté d'examiner et de participer à ce jury.

Je tiens à remercier plus particulièrement l'équipe de Monsieur Eric KERHERVE du Laboratoire IMS de Bordeaux pour m'avoir permis d'effectuer les mesures de mon circuit. Plus spécialement, je tiens à témoigner toute ma gratitude à Madame Magali DE MATOS pour sa disponibilité, ses conseils précieux et son expertise lors de la caractérisation de mon dispositif.

Je remercie Inbar FIJALKOW ex-directrice du laboratoire et Mathias QUOY, actuel directeur de m'avoir accueilli au sein du laboratoire ETIS et de m'avoir soutenue dans les démarches administratives.

J'exprime également de vifs et chaleureux remerciements envers ma directrice de thèse Emmanuelle BOURDEL et mes deux co-encadrants Cédric DUPERRIER et Sébastien QUINTANEL. Leurs disponibilités, leurs remarques pertinentes, leurs aides, leurs soutiens et la confiance qu'ils ont bien voulu m'accorder a permis de réaliser et d'enrichir les travaux de ce manuscrit. Je suis très reconnaissante de leur investissement dans cette thèse et ce fut un vrai plaisir de travailler avec eux.

Je remercie avec reconnaissance, les autres membres de l'équipe ASTRE pour leur aide permanente et efficace, notamment Myriam et Sofiane.

Je voudrai remercier l'équipe d'enseignement de l'ENSEA, qui m'a permis d'effectuer des enseignements au sein de leur établissement.

Je dis un grand merci à Annick BERTINOTTI et Anthony CARQUEIJEIRO pour leurs aides dans toutes les démarches administratives, je suis reconnaissante de leur efficacité permanente et de leur disponibilité.

Il me faut absolument remercier l'ensemble des membres du laboratoire et en particulier les doctorants. Sans eux la vie au laboratoire aurait été différente et ils ont tous contribué à rendre ces trois années si agréables. Je vais commencer par Rémi, Jean-Christophe et Alan qui m'ont accueilli et qui m'ont fait apprécier dès le début la vie au laboratoire.

J'exprime de profonds remerciements à Amel et Laurent Q. avec qui j'ai partagé mon bureau la quasi totalité du reste de la thèse et pour m'avoir supporté pendant tout ce temps avec une constante bonne humeur. Je remercie également Ahcine qui est mon co-bureau pour son soutien à la fin de ma thèse. Je remercie sincèrement Alexis pour les nombreuses découvertes qu'il m'a fait faire et tout son soutien en permanence.

J'ai également une pensée très amicale pour Laurent R., Ludo, Leila, Gaël, Agathe, Mathilde, Erbao,

Alan, Raouia, Yuhui, Frédéric, Mohammed, Lounis, Jérôme, Fouad, Voisin, Laurent F., Mark, Anne et tant d'autres, qui ont contribué à rendre ces années inoubliables.

Je remercie l'ensemble de ma famille qui m'accorde un soutien indéfectible dans toutes les actions que j'entreprends et qui a toujours été une source d'encouragement et de réconfort.

Je remercie l'ensemble de mes amis, leur amitié m'a toujours été très précieuse et je leur dit tout simplement merci. De plus, cette thèse fut l'occasion de nouvelles rencontres et de nouvelles amitiés qui j'en suis sûre continueront également bien au de-là de ces années.

Table des matières

1	Introduction	1
1.1	Enjeux et contraintes des communications domestiques sans fil	1
1.2	Les différents standards utilisés dans le cadre des communications domestiques	2
1.3	Problématiques et objectifs	4
1.4	Organisation du document	5
2	Généralités sur les systèmes de réception radio fréquence (RF)	7
2.1	Architectures classiques de réception radio fréquence	7
2.1.1	Architecture superhétérodyne	8
2.1.2	Architecture homodyne	8
2.1.3	Architecture faible IF	9
2.1.4	Architecture WBIFDC	10
2.1.5	Bilan	11
2.2	Les récepteurs multibandes/multistandards	12
2.2.1	Architecture parallèle	12
2.2.2	Architecture avec partage partiel de certaines fonctions RF	13
2.2.3	Architecture avec partage de toutes les fonctions RF	14
2.2.4	Bilan	14
2.3	Généralités sur les amplificateurs faible bruit	14
2.3.1	Critères de conception	15
2.3.2	Topologies d'amplificateur faible bruit large bande	20
2.3.3	Facteur de mérite	23
2.4	Conclusion	25
3	Étude théorique de la topologie distribuée	27
3.1	Technologie pHEMT sur GaAs	27
3.1.1	Transistor pHEMT sur GaAs	29
3.1.2	Caractéristiques du pHEMT 0,15 μ m sur GaAs fabriqué par TriQuint	36
3.1.3	Récapitulatif	44
3.2	Principe de fonctionnement d'un amplificateur distribué	45
3.3	Paramètres caractéristiques des lignes artificielles de transmission	46
3.3.1	Ligne de drain	48
3.3.2	Ligne de grille	49
3.3.3	Impédances caractéristiques des lignes	50
3.4	Performances électriques d'un amplificateur distribué	52
3.4.1	Gain en puissance	52
3.4.2	Dégradation du gain	53
3.4.3	Bande passante	56
3.4.4	Facteur de bruit	57
3.4.5	Consommation	59

3.4.6	Dimensionnement	59
3.5	Conclusion	59
4	Conception et réalisation d'un amplificateur distribué faible bruit reconfigurable en terme de consommation	61
4.1	Conception de l'amplificateur faible bruit distribué	61
4.1.1	Choix de la topologie de l'amplificateur distribué	62
4.1.2	Cellule élémentaire en configuration cascode	67
4.1.3	Dimensionnement de l'amplificateur distribué	73
4.2	Modes de fonctionnement de l'amplificateur	90
4.2.1	Modes de fonctionnement	90
4.2.2	Présentation des résultats de simulation	95
4.3	Réalisation du circuit et mesures des performances	101
4.3.1	Présentation des performances mesurées	102
4.3.2	Erreurs de mesure et calcul d'incertitude	105
4.3.3	Rétro-simulations	107
4.4	Conclusion	109
5	Performances de l'amplificateur faible bruit (LNA) dans un récepteur	111
5.1	Standards de réseaux sans fil	112
5.2	Architecture d'un récepteur homodyne	112
5.3	Bilan de liaison	113
5.3.1	Puissance disponible reçue	113
5.3.2	Rapport signal sur bruit	114
5.3.3	Probabilité d'erreur binaire	115
5.3.4	Sensibilité et dynamique	116
5.4	Métriques de qualification	118
5.4.1	Diagramme de constellation	118
5.4.2	Diagramme de l'œil	120
5.5	Performances système du LNA	122
5.5.1	Modèle simplifié du LNA	122
5.5.2	Détails de transmission des signaux	124
5.5.3	Performances du récepteur	125
5.5.4	Bilan	130
5.6	Récepteur reconfigurable	130
5.6.1	Principe	130
5.6.2	Stratégie de reconfiguration	131
5.6.3	Consommation du récepteur	132
5.7	Conclusion	133
	Conclusion générale et perspectives	135

Bibliographie	141
Annexe A Paramètres S d'un transistor en source commune	155
Annexe B Paramètres images et itératifs [Gautier 2007]	157
B.1 Paramètres images	157
B.2 Paramètres itératifs	159
B.3 Association en cascade de n quadripôles identiques	160
Annexe C Gain d'un amplificateur distribué	163
C.1 Modèle Beyer [Beyer 1984]	163
C.2 Modèle Niclas [Niclas 1983b]	165
C.3 Modèle McKay [McKay 1986]	167
Annexe D Extraction du schéma équivalent petit signal des transistors	169
D.1 Extraction des éléments extrinsèques	169
D.2 Extraction des éléments intrinsèques	170
Annexe E Mesures sur 3 échantillons	175

Table des figures

1.1	Réseau type de communications domestiques	2
1.2	Bande passante des standards	3
1.3	Cahier des charges de l'amplificateur	5
2.1	Architecture superhétérodyne	8
2.2	Architecture homodyne	9
2.3	Architecture faible IF	10
2.4	Architecture WBIFDC	10
2.5	Structure à réjection de fréquence (filtres non indiqués)	11
2.6	Architectures utilisant des chaînes de réception dédiées, implantées parallèlement.	13
2.7	Architecture avec une chaîne de réception partiellement partagée	13
2.8	Architecture avec une chaîne de réception partagée	14
2.9	Coefficients de réflexion dans un quadripôle	15
2.10	Quadripôle bruyant	17
2.11	Point de compression à 1dB	19
2.12	Point d'interception d'ordre 3	19
2.13	Amplificateur à contre-réaction	20
2.14	Amplificateur avec technique de "noise cancelling" [Bruccoleri 2004]	21
2.15	Amplificateur à adaptation réactive	22
2.16	Amplificateur distribué	23
3.1	Technologies pour les communications sans fil [htt 2007]	28
3.2	Vue en coupe schématique du HEMT	29
3.3	Vue en coupe schématique du pHEMT	30
3.4	Structure physique des transistors HEMTs	31
3.5	Schéma équivalent petit signal du transistor HEMT	31
3.6	Schéma équivalent du modèle de bruit du transistor à effet de champ	34
3.7	Sources de courant de bruit du TEC intrinsèque	34
3.8	Caractéristiques statiques d'un transistor à effet de champs	35
3.9	Technologie pHEMT sur GaAs	36
3.10	Layout d'un transistor de taille de $4 \times 40 \mu m$	38
3.11	Réseaux statiques du transistor d'une taille de $4 \times 40 \mu m$	38
3.12	Tensions de pincement des transistors de tailles différentes	39
3.13	Évolution du facteur de bruit minimum et de la transconductance en fonction des polarisations	39
3.14	Valeurs de V_{ds} optimum (fréquence=6GHz)	40
3.15	C_{gs} d'un transistor de taille $160 \mu m$ pour $V_{gs} = -0,7V$ à une fréquence de 6GHz	41
3.16	R_{se} d'un transistor de taille $160 \mu m$	41
3.17	R_{ge} d'un transistor de taille $160 \mu m$	41
3.18	NF_{min} d'un transistor de taille $160 \mu m$ pour $V_{gs} = -0,7V$ (fréquence=6GHz)	42

3.19	Transconductance en fonction de la taille du transistor polarisé en $V_{ds,opt}$ dans la plage de V_{gs} choisie	43
3.20	NF_{min} en fonction de la taille du transistor polarisé en $V_{ds,opt}$ dans la plage de V_{gs} choisie (fréquence=6GHz)	44
3.21	Consommation en fonction de la taille du transistor polarisé en $V_{ds,opt}$ dans la plage de V_{gs} choisie (fréquence=6GHz)	44
3.22	Schéma petit signal simplifié d'un TEC	45
3.23	Schéma de principe de l'amplificateur distribué	46
3.24	Lignes de transmission artificielle	47
3.25	Cellule élémentaire de la ligne de grille ou de drain (Nous ne tenons pas en compte des éléments parasites des inductances.)	47
3.26	Évolution de l'impédance caractéristique des lignes de grille et de drain	51
3.27	Atténuation sur la ligne de drain et de grille	54
3.28	Vitesses de phase sur les lignes de grille et de drain	55
3.29	$\left(\frac{\sin(n\beta)}{n\sin(\beta)}\right)^2$ en fonction de β pour $n=6$	58
4.1	Amplificateur distribué utilisant un seul transistor comme cellule élémentaire	62
4.2	Influence de C_{gd} sur les capacités d'entrée et de sortie. C_{pe} et C_{ps} sont des capacités ramenées à l'entrée et à la sortie. A_v est le gain en tension de la partie amplificatrice.	63
4.3	Amplificateur distribué en configuration cascode	63
4.4	Amplificateur distribué en configuration cascade	63
4.5	Architectures distribuées en cascade a) uni-étage [Tsai 2004a] b) multi-étages [Arbabian 2009], [Barajas 2005] c) matrice [Chien 2006]	65
4.6	Transistor en source commune (a), schéma petit signal associé (b), schéma équivalent en π (c)	67
4.7	Transistor en grille commune (a), schéma petit signal associé (b), schéma équivalent en π (c)	68
4.8	Schéma de principe d'un montage cascode (a), schéma petit signal associé (b), schéma équivalent en π (c)	69
4.9	Évolution des capacités grille-drain (C_{gd}) des structures SC et SC-GC en fonction de la fréquence	71
4.10	Évolution des capacités et des résistances d'entrée/ de sortie des structures SC et SC-GC	72
4.11	Polarisation des transistors	74
4.12	Amplificateur avec n cellules	75
4.13	S_{21} et NF de l'amplificateur avec n différent	76
4.14	Facteur de stabilité pour l'amplificateur ($n=6$)	77
4.15	Solutions avec la stabilisation résistive : ajout a) d'une résistance à la grille du transistor en grille commune b) à la sortie de chaque cellule élémentaire c) en parallèle avec la ligne de drain	77
4.16	Solutions avec la stabilisation réactive : ajout a) une inductance L_{sd} entre les deux transistors b) une inductance de dégénérescence L_{deg} située entre la source du premier transistor et la masse c) un circuit $R_0C_0L_0$ à la grille du transistor en grille commune	78
4.17	Transistor en source commune a)ajout d'une inductance L_{sd} en série sur le drain b)	79

4.18	$ g_m $ de la structure cascode en fonction de L_{sd}	80
4.19	S_{21} et K de l'amplificateur en fonction de L_{sd}	81
4.20	Transistor en source commune avec une inductance L_{deg} sur la source	81
4.21	Tranconductance de la structure cascode et facteur de stabilité de l'amplificateur en fonction de L_{deg}	82
4.22	Transistor en grille commune a) ajout d'un circuit C_0L_0 en série sur la grille	83
4.23	S_{21} et K de l'amplificateur en fonction de C_0L_0 et la taille du transistor en grille commune Q_2	84
4.24	Amplificateur avec le circuit de stabilisation	85
4.25	Influences de Z_g sur les performances de l'amplificateur	86
4.26	Schéma de l'amplificateur (lignes d'interconnexion ne sont pas représentées)	87
4.27	Circuit équivalent de la ligne micro-ruban et de l'inductance MRIND [Tri 2011]	88
4.28	Ligne micro-ruban (a) et inductance MRIND (b)	88
4.29	Performances simulées pour le mode haute performance	90
4.30	Points de polarisation idéaux pour A :mode basse consommation, B : PFHG, C : PFHGHL	91
4.31	Éléments intrinsèques des cellules élémentaires en fonction de V_d à 6GHz	92
4.32	Éléments intrinsèques des cellules élémentaires en fonction de V_g à 6GHz	92
4.33	Éléments intrinsèques des cellules élémentaires en fonction de V_2 à 6GHz	93
4.34	Éléments intrinsèques des cellules élémentaires en fonction de V_2 à 6GHz	93
4.35	Performances en fonction de V_d	94
4.36	Performances en fonction de V_2	94
4.37	Performances en fonction de V_g	95
4.38	Performances de notre amplificateur	96
4.39	Exemple de mesure de la linéarité de l'amplificateur	97
4.40	Linéarité de l'amplificateur pour les deux modes	98
4.41	Le temps de groupe pour les deux modes	99
4.42	Analyse de la sensibilité sur les paramètres (S), le facteur de bruit et le temps de groupe	100
4.43	Layout de notre amplificateur	101
4.44	Photographie de l'amplificateur distribué conçu	102
4.45	Paramètres S pour le mode haute performance	103
4.46	Paramètres S pour le mode basse consommation	104
4.47	Facteur de bruit pour les deux modes.	105
4.48	Paramètres S rétro-simulés et mesurés pour le mode haute performance	108
4.49	Paramètres S rétro-simulés et mesurés pour le mode haute performance	108
5.1	Synoptique d'un système de communication numérique	112
5.2	BER théorique pour différentes modulations de M-QAM	115
5.3	Différents niveaux de puissance	117
5.4	Constellation 4-QAM idéale	118
5.5	Distorsions dans la constellation 4-QAM : a) compression des symboles selon l'axe des imaginaires ou/et réels b) déphasage parasite Φ c) bruit et interférence d) chaque point de la constellation 4-QAM est remplacé par une constellation 4-QAM qui est de plus faible amplitude.	119
5.6	Diagramme de l'œil pour la transmission binaire	120

5.7	Gigue de phrase	121
5.8	Performances du LNA réalisé et simplifié	123
5.9	Plage de puissances reçues	125
5.10	Constellations 4-QAM en mode basse consommation	126
5.11	Constellations 4-QAM en mode haute performance	127
5.12	Diagrammes de l'œil mesurés sur la voie I à la réception pour une puissance reçue respectivement à P_{Rmax} , P_{bcmin} et P_{hpmin} en mode basse consommation	128
5.13	Récepteur reconfigurable proposé	131
5.14	Stratégie de reconfiguration	132
5.15	Consommation en pourcentage pour les deux cas	133
5.16	Scénarios de communication associés aux performances visées	137
A.1	Transistor en source commune (a), schéma petit signal associé (b), schéma équivalent en π (c)	155
B.1	Paramètre images	157
B.2	Paramètre itératifs	159
C.1	Schéma de la ligne de grille (a) et la ligne de drain (b)	163
C.2	Cellule élémentaire représentée par un octopôle	165
C.3	Amplificateur distribué de n cellules identiques	165
C.4	Section élémentaire de l'amplificateur distribué a) drain b) grille	167
D.1	Schéma équivalent petit signal des transistors HEMTs	169
D.2	Schéma équivalent petit signal du transistor avec $V_{ds} = 0V$ et V_{gs} positive	170
D.3	Épluchage des éléments extrinsèques	171
D.4	S paramètres du transistor de la fonderie Triquint <u> </u> et du schéma équivalent petit signal <u> </u>	172
E.1	Polarisations et S_{21} de l'échantillon 1	175
E.2	Polarisations et S_{21} de l'échantillon 2	176
E.3	Polarisations et S_{21} de l'échantillon 3	177

Liste des tableaux

1.1	Différents standards de réseaux sans fil domestiques	3
1.2	Performances des récepteurs	4
2.1	Avantages et inconvénients des quatre architectures	12
2.2	Comparaison de différents architectures LNA large bande (* : valeur maximum \diamond : valeur minimum)	24
3.1	Ordres de grandeurs des propriétés de transport dans le Silicium et dans l'Arséniure de Gallium (GaAs) à la température T=300K.	28
3.2	Caractéristiques de la technologie [Tri 2011]	37
3.3	Tensions de pincement extraites à partir des réseaux statiques	38
3.4	Conditions optimales de polarisation vis à vis du bruit et des performances des transistors	43
3.5	Ordre de grandeur des paramètres des cellules de grille et de drain	50
4.1	État de l'art des amplificateurs distribués. * : valeur maximum, \diamond : valeur minimum	66
4.2	Paramètres des cellules de grille et de drain	76
4.3	Polarisation pour les deux transistors en PFHG	87
4.4	Valeurs des composants de l'amplificateur	87
4.5	Valeurs des éléments des lignes de grille et de drain (Q : facteur de qualité)	89
4.6	Valeurs des paramètres caractéristiques des lignes	89
4.7	Polarisation pour les différents modes de fonctionnement	96
4.8	Polarisation pour les deux transistors	96
4.9	Performances pour les différents modes de fonctionnement	97
4.10	Résultats de mesure pour les deux modes de fonctionnement, la valeur entre parenthèse se réfère à la performance attendue	105
4.11	Résultats de mesure pour les deux modes de fonctionnement	107
5.1	Standards de réseaux sans fil domestiques	112
5.2	Sensibilité et dynamique pour des types de signaux différents	117
5.3	Caractéristiques de transmission des trois signaux étudiés	124
5.4	Puissances reçues dans les cas différents	125
5.5	Q_{SNR} des diagrammes de l'œil et BER estimé pour la puissance reçue égalant à P_{Rmax} en mode basse consommation	129
5.6	Q_{SNR} des diagrammes de l'œil et BER estimés pour une puissance reçue égale à P_{bcmin} ou P_{hpmin} en mode basse consommation	129
5.7	Q_{SNR} des diagrammes de l'œil et BER estimés pour une puissance reçue égale à P_{bcmin} ou P_{hpmin} en mode haute performance	130
D.1	Ordre de grandeurs des éléments intrinsèques	172
D.2	Ordre de grandeurs des éléments extrinsèques	172

Introduction

Sommaire

1.1	Enjeux et contraintes des communications domestiques sans fil	1
1.2	Les différents standards utilisés dans le cadre des communications domestiques . . .	2
1.3	Problématiques et objectifs	4
1.4	Organisation du document	5

1.1 Enjeux et contraintes des communications domestiques sans fil

La consommation énergétique mondiale est en constante augmentation ces dernières décennies. Cette croissance a pour conséquence entre autre d'accélérer le réchauffement climatique et la production de gaz à effet de serre. Son contrôle est donc devenu un enjeu majeur ces dernières années aussi bien d'un point de vue politique que technologique.

La multiplication des objets technologiques dans l'espace domestique, notamment les appareils communicants, pose donc la question de comment réduire au mieux leur impact énergétique tout en conservant des performances répondant à nos besoins toujours croissants. Ces objets, bien qu'augmentant notre consommation, participent néanmoins indirectement à l'optimisation de notre facture énergétique. En effet, en réduisant les déplacements des hommes et des marchandises, ils peuvent être paradoxalement source d'économie d'énergie. La réduction de leur consommation est donc un enjeu crucial.

Historiquement, les réseaux de communication se sont avant tout développés de manière filaires. Cette technologie repose sur l'utilisation d'un réseau câblé. Elle a montré de nombreux avantages, on peut citer par exemple sa rapidité, sa fiabilité et sa sécurité. Néanmoins l'utilisation de fils est une contrainte au développement de réseau notamment dans l'espace domestique. Il a donc été proposé des technologies sans fils.

Le premier réseau sans fil a été réalisé par Guglielmo Marconi en 1896. Il reçut notamment le prix Nobel de physique en 1909 pour ses contributions au développement de "la télégraphie sans fil". Il fut donc parmi les premiers à proposer d'utiliser des ondes électromagnétiques pour transmettre une information sans fil.

De nos jours, un réseau informatique/numérique sans fil est un réseau connectant plusieurs machines ou d'autres réseaux entre eux par ondes radio fréquences. Il est utilisé pour différents usages comme, par exemple :

- ◇ réaliser des réseaux temporaires, ou mettre en place très rapidement un nouveau réseau (conférence, réunion),
- ◇ être une alternative aux réseaux filaires permettant d'éviter d'importants travaux de câblage,

- ◇ donner la possibilité de transmettre des données dans le cas d'applications mobiles.

Les réseaux sans fils, bien que moins performants que les réseaux filaires, notamment en terme de bruit et d'interférences, commencent à s'imposer totalement dans les réseaux de communications domestiques. Cet engouement s'explique en partie par les raisons suivantes :

- peut être utilisé dans des endroits inaccessibles,
- avantageux en terme esthétique,
- montage simple et tout publique,
- grande flexibilité et extensible,
- facile à transporter en cas de déménagement,
- composants supplémentaires rapides et facilement intégrables.

De nos jours, un réseau domestique ressemble à celui présenté Fig.1.1. Nos habitats sont peuplés de plus en plus d'objets communicants via un réseau en grande partie sans fil.



FIGURE 1.1 – Réseau type de communications domestiques

1.2 Les différents standards utilisés dans le cadre des communications domestiques

Les communications sans fils utilisent différents standards [Defaye 2006], [Frioui 2007]. Le tableau 1.1 présente les caractéristiques et leurs applications potentielles.

Ces différents standards reposent sur des technologies différentes et possèdent des caractéristiques variées adaptées à certains usages particuliers.

TABLE 1.1 – Différents standards de réseaux sans fil domestiques

	Bluetooth	WUSB	Zigbee	WI-FI	WADSL /Wi-mobile /WIMAX
Standard	802.15.1	820.15.3	802.15.4	802.11	802.16
Bande passante (GHz)	2,4-2,483	2,4-2,483 3,1-10,6	2,4-2,483 0,868-0,870 0,902-0,928	2,4-2,483 5,15-5,38 5,725-5,825	2-11
Portée	10m	10m	10m-75m	100m	50km
Application	Téléphonie GSM GPS Périphériques : souris/clavier	Imprimante Clé USB Périphériques : souris/clavier	Jeux Radio commande Domotique Badge	Internet	Internet

Les normes Bluetooth et "Wireless USB" (ou WUSB) utilisent par exemple, une technologie radio courte portée destinée à simplifier les connexions entre appareils électroniques.

La norme ZigBee est un protocole de haut niveau permettant la communication à des débits très faibles, mais à consommation réduite.

La norme WI-FI, quant à elle sert surtout à pouvoir se connecter sur internet. Elle est la plus utilisée actuellement pour les réseaux sans fil.

Des normes WADSL (Wireless Asymmetric Digital Subscriber Line), WIMAX (World Interoperability for Microwave Access) et Wi-Mobile offrent à l'utilisateur un accès internet à très haut débit et à plus grande portée.

Une caractéristique essentielle permettant de différencier ces normes est leur largeur de bande. La Fig. 1.2 montre la largeur de bande de chacune de ces normes.

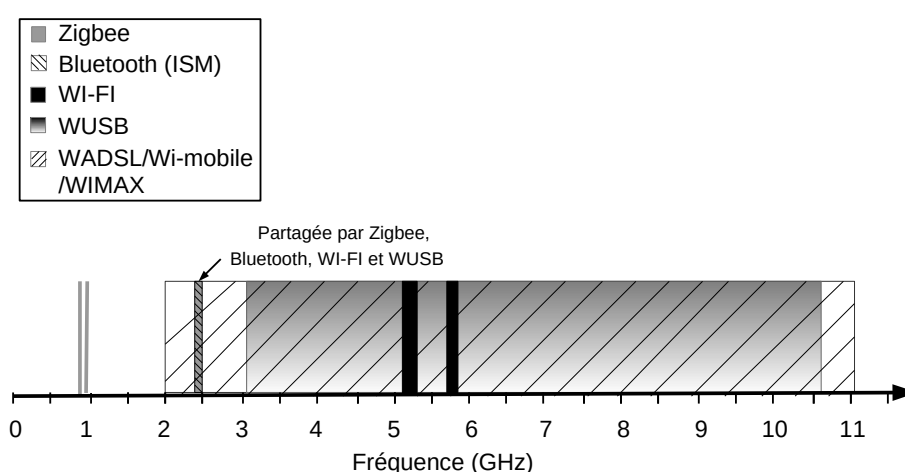


FIGURE 1.2 – Bande passante des standards

TABLE 1.2 – Performances des récepteurs

Ref.	Techno.	Bande (GHz)	Gain (dB)	NF (dB)	IIP3 (dBm)
[Pietron 2014]	0,13 μm CMOS	2,4-2,483 (Bluetooth)	26,3	2,3	-12,8
[Kim 2013]	0,13 μm CMOS	1-5,2	22,4-24,3	6,5-8,3	-1,5-2
[Valla 2005]	0,13 μm CMOS	5,15-5,825	26	3,5	-2
[Kim 2008]	0,18 μm CMOS	1,55-2,3	22,5-25	7,7-9,5	7-10,5
[Kim 2009]	0,18 μm CMOS	0,869-0,894	44	2,4	4,6
[Meaamar 2011]	0,18 μm CMOS	3,1-8	36,1	5,4-8,3	-10-2,5
[Sun 2013]	0,5 μm InGaAs pHEMT	0,7-5,2	26-29	2,6-4,4	-15,4

La Tab.1.2 présente les performances des récepteurs pour des normes.

Le développement rapide des communications sans fils demande dorénavant de traiter plusieurs bandes de fréquences correspondantes à des standards différents. Cela entraîne un besoin d'intégration plus grand ainsi que plus de flexibilité afin de s'adapter au mieux aux besoins à la fois du multistandard et de notre contrainte de gestion de la consommation. Il est donc nécessaire de faire une étude d'une part des architectures de systèmes de communication compatibles avec le multistandard et d'autre part, d'étudier l'optimisation et la réduction de la puissance dissipée par les équipements de communication. Les principaux composants consommateurs d'énergie dans les équipements domestiques sont des circuits intégrés. Il est donc important d'étudier et de développer les nouveaux circuits en utilisant de nouvelles technologies et architectures.

1.3 Problématiques et objectifs

Un système de communication est composé principalement de deux parties : l'émetteur et le récepteur. Dans mes travaux de thèse, je me suis focalisée principalement sur le système de réception. La chaîne de réception est typiquement conçue pour pouvoir fonctionner dans les pires cas de communication : faible puissance reçue du signal utile, fortes interférences et fort niveau de puissance de bruit. Cependant, lorsque les conditions sont meilleures, le récepteur reste sur un fonctionnement spécifié (conditions dégradées) et donc consomme plus d'énergie que nécessaire. Afin de prendre en compte les différents niveaux du signal reçu, nous allons dans cette thèse, proposer une architecture de récepteur reconfigurable. Cette dernière pourra modifier ses performances en fonction de la qualité du signal reçu et ainsi optimiser au mieux la consommation sans perdre en qualité de service.

La réalisation d'un récepteur reconfigurable est basée sur un amplificateur faible bruit ayant deux modes de fonctionnement. La bande passante choisie de 0,8GHz à 11GHz nous conduit vers une architecture distribuée qui est à la fois large bande et mieux adaptée pour des applications liées à l'accordabilité des différentes performances (Gain, IIP3, NF...) via la consommation.

Ces deux modes de fonctionnement de l'amplificateur faible bruit peuvent se définir comme suit :

1. un mode basse consommation, avec des performances assurant une communication correcte.
2. un mode haute performance avec la possibilité d'optimiser :
 - le gain (Point de Fonctionnement Haut Gain : PFHG), avec une consommation moyenne.

- le gain et la linéarité (Point de Fonctionnement Haut Gain Haute Linéarité : PFHGHL), avec une consommation importante.

La Fig.1.3 propose un synoptique précisant les performances souhaitées pour les deux modes.

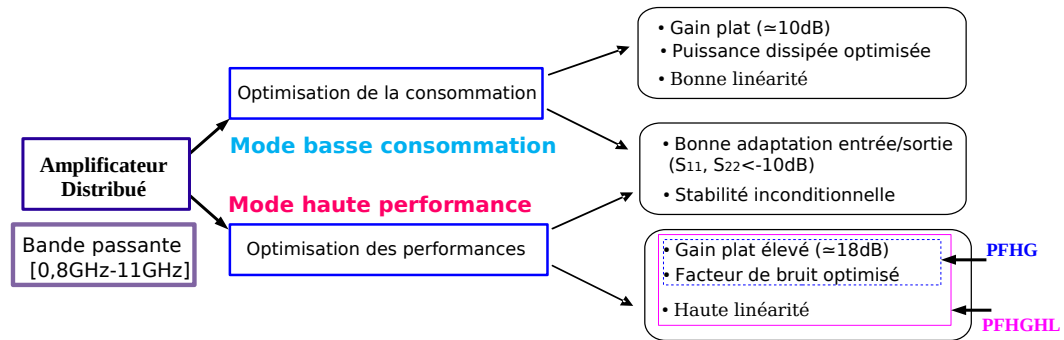


FIGURE 1.3 – Cahier des charges de l'amplificateur

Lorsque le système de réception détecte une dégradation de la qualité du signal reçu, l'amplificateur passe en mode haute performance afin d'accroître la qualité du signal. Dans ce mode de fonctionnement, il existe une possibilité d'améliorer légèrement la linéarité (PFHGHL).

1.4 Organisation du document

Ce document se décompose en quatre chapitres.

Premier chapitre

Dans le premier chapitre, un rappel sur les systèmes de réception radio fréquence et un état de l'art sur les amplificateurs faible bruit large bande sont proposés. Cette étude permet de choisir le récepteur homodyne avec des fonctions larges bandes comme système le plus adéquat à notre application. La topologie choisie pour l'amplificateur faible bruit correspond à l'architecture distribuée. Ces choix sont principalement motivés par notre volonté de garantir une parfaite adéquation avec un système multistandard.

Deuxième chapitre

La deuxième partie est consacrée à une analyse théorique sur les amplificateurs distribués appliqués à la technologie fixée. L'étude de la technologie employée et notamment les caractéristiques qu'elle induit sur les amplificateurs distribués, nous conduit à définir les expressions analytiques des performances de ces derniers. Ces expressions nous permettent une connaissance parfaite des règles de conception ainsi que leurs limites.

Troisième chapitre

Dans le troisième chapitre, la méthode de conception suivie est présentée. Nous commençons cette partie en réalisant un état de l'art détaillé des différentes topologies existantes d'amplificateurs distribués. Nous en déduisons une topologie adaptée à notre problématique d'amplificateur distribué faible bruit basse consommation. La gestion des modes de fonctionnement est alors précisée. À la fin de ce chapitre les mesures du circuit sont données.

Quatrième chapitre

Dans le quatrième chapitre, le LNA conçu est intégré dans une chaîne de réception de type homodyne. Un modèle du récepteur reconfigurable est ainsi réalisé. En pilotant les deux modes de fonctionnement selon les conditions du signal reçu, une estimation du gain en terme de consommation est donnée.

Les travaux que nous avons effectués ont été réalisés dans le cadre du projet EconHome labellisé par le pôle de compétitivité Systematic et financé dans le cadre du 10^{ème} Appel à Projets du Fonds Unique Interministériel (FUI). Ce projet a pour but d'étudier et de mettre en place des solutions innovantes pour réduire la consommation énergétique des équipements du réseau domestique.

Généralités sur les systèmes de réception radio fréquence (RF)

Sommaire

2.1 Architectures classiques de réception radio fréquence	7
2.1.1 Architecture superhétérodyne	8
2.1.2 Architecture homodyne	8
2.1.3 Architecture faible IF	9
2.1.4 Architecture WBIFDC	10
2.1.5 Bilan	11
2.2 Les récepteurs multibandes/multistandards	12
2.2.1 Architecture parallèle	12
2.2.2 Architecture avec partage partiel de certaines fonctions RF	13
2.2.3 Architecture avec partage de toutes les fonctions RF	14
2.2.4 Bilan	14
2.3 Généralités sur les amplificateurs faible bruit	14
2.3.1 Critères de conception	15
2.3.2 Topologies d'amplificateur faible bruit large bande	20
2.3.3 Facteur de mérite	23
2.4 Conclusion	25

Le rôle d'un récepteur est de permettre de récupérer les données émises en apportant le moins de distorsion possible. Le signal reçu par l'antenne doit être filtré et transposé en fréquence afin d'être traité par le démodulateur. L'objectif de ce chapitre est de choisir un récepteur à la fois faible consommation et compatible avec les systèmes multistandards. Cette première partie fait une étude des architectures classiques de réception radio fréquence.

2.1 Architectures classiques de réception radio fréquence

Il existe différentes architectures pour les systèmes de réception radio fréquence (RF) :

- L'architecture superhétérodyne
- L'architecture à faible fréquence intermédiaire (Intermediary frequency IF)
- L'architecture homodyne ou Zéro-IF
- L'architecture WBIFDC (Wide-Band IF Double Conversion)

Dans cette partie, les principes de fonctionnement de ces architectures et notamment leurs potentiels pour des applications multistandards sont proposés.

2.1.1 Architecture superhétérodyne

Un récepteur superhétérodyne (Fig.2.1) proposé par E. H. Armstrong en 1917 est un système conçu sur le principe du mélange de fréquences ou hétérodynage. Il transpose le signal reçu vers une fréquence intermédiaire (IF) plus basse, puis vers la bande de base. Dans le schéma d'un récepteur superhétérodyne présenté Fig.2.1.

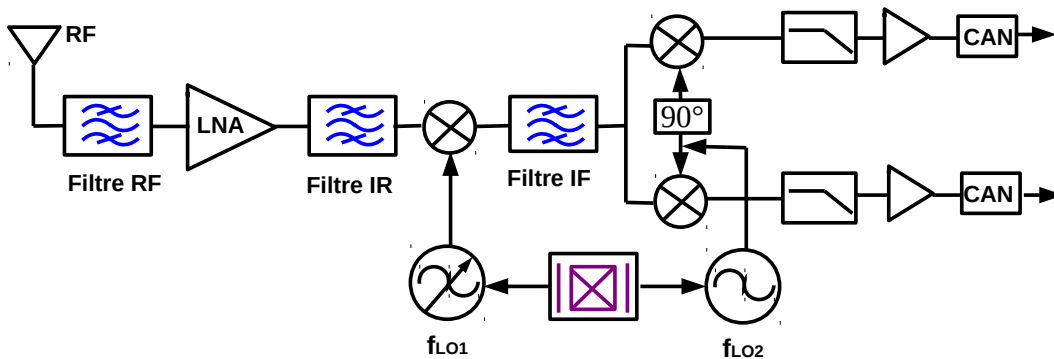


FIGURE 2.1 – Architecture superhétérodyne

Les récepteurs superhétérodynes présentent des bonnes performances en termes de sélectivité (réjection du canal adjacent) [Shairi 2012], grâce à un filtrage progressif des signaux interférents de fort niveau, avec des filtres de bonnes qualités. Ces récepteurs rejettent de plus, la bande de fréquence image au moyen d'un filtre de présélection (filtre IR Image Reject), ce qui leur confèrent une excellente sensibilité [Hsieh 2011],[Yang 2004]. Cette dernière est définie comme la puissance minimale reçue pour satisfaire un maximum de BER (Bit Error Rate) demandé. Elle mesure la capacité du récepteur à recevoir des signaux de faibles puissances.

Les principaux inconvénients de cette architecture sont sa consommation (composants nombreux) et la difficulté d'intégration due à la complexité de la structure. De plus, des signaux RF et IF sont traités par des composants analogiques ayant une bande étroite fixe. Il est donc difficile de modifier la bande passante du récepteur [Tsurumi 1999]. Ceci rend le récepteur superhétérodyne difficilement reconfigurable dans le cadre d'un système multistandards.

2.1.2 Architecture homodyne

Le récepteur homodyne [Camatel 2006], [Mallek 2010], [Lie 2006] réalise une transposition directe du signal RF en bande de base. Cette transposition, sans passer par une fréquence intermédiaire, permet de supprimer le problème lié au traitement de la fréquence image. La Fig.2.2 présente la structure fonctionnelle. On remarque alors l'absence du filtre IR, du filtre IF et d'un oscillateur local de l'architecture superhétérodyne.

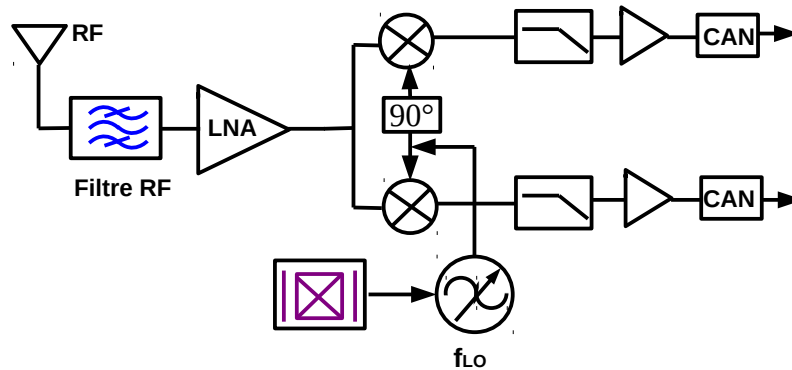


FIGURE 2.2 – Architecture homodyne

Cette architecture présente néanmoins certains désavantages :

- 1) L'offset ou tension continue de décalage en sortie des mélangeurs qui se superpose au signal utile en bande de base [Namgoong 2001], [Okuni 2007].
La cause principale de cet offset provient des défauts d'isolement au niveau du mélangeur entre les voies RF et OL. Le signal de l'oscillateur se mélange alors avec une partie de lui même. Ce signal continu est problématique. Il va être amplifié dans la bande de base et risque de provoquer une saturation des étages suivants. Ce problème peut s'aggraver si le LNA présente une mauvaise isolation en inverse. Le signal issu de l'OL peut remonter jusqu'à l'antenne et se mélanger avec le signal fourni par l'OL. Cela rend la tension continue générée en sortie du mélangeur variable dans le temps.
- 2) Le désappariement des voies I et Q [Inamori 2009], [Inamori 2007], [Tubbax 2005].
Cet inconvénient est lié à la topologie du récepteur. L'appariement parfait (l'égalité de répartition de la puissance et l'orthogonalité) des voies I et Q est quasiment impossible. Ceci se traduit en pratique par une erreur du module ou de la phase du gain. On observe alors des déformations sur la constellation et éventuellement une augmentation du taux d'erreurs du signal en sortie.
- 3) La sensibilité au bruit en $1/f$ [Namgoong 2001].
Ceci dégrade la sensibilité du récepteur aux basses fréquences.

Malgré ces désavantages, l'architecture homodyne est de plus en plus utilisée pour sa facilité d'intégration et sa faible consommation par rapport à l'architecture superhétérodyne. Le récepteur homodyne devient un candidat potentiel pour les applications multistandards.

2.1.3 Architecture faible IF

L'architecture faible IF (cf.Fig.2.3) [Nam 2007], [Zhao 2011], [Zhang 2011], [Ordu 2003], [Xu 2006] transpose le signal en bande de base en utilisant une fréquence intermédiaire faible. Elle permet d'éviter les problèmes d'offset et de bruit. Néanmoins, cette architecture reste sensible aux erreurs d'appariement entre les voies I et Q [Huettner 2006] et la fréquence image est proche de la bande utile [Li 2014], [Meng 2009]. L'architecture faible IF est donc une solution intermédiaire entre les deux précédentes. Elle est la plus adaptée pour les systèmes de communications où la puissance des signaux

dans la bande image est faible (Bluetooth, ZigBee).

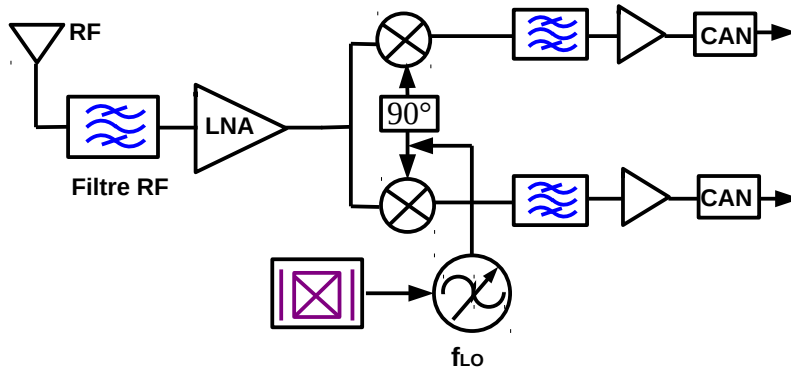


FIGURE 2.3 – Architecture faible IF

2.1.4 Architecture WBIFDC

L'architecture Wide-Band IF Double Conversion (WBIFDC) [Rudell 1997b], [Rudell 1997a] (Fig.2.4) transmet les signaux reçus vers la bande de base via plusieurs étages de transposition comme l'architecture superhétérodyne. Les filtres image et IF ne sont pas indispensables dans cette architecture.

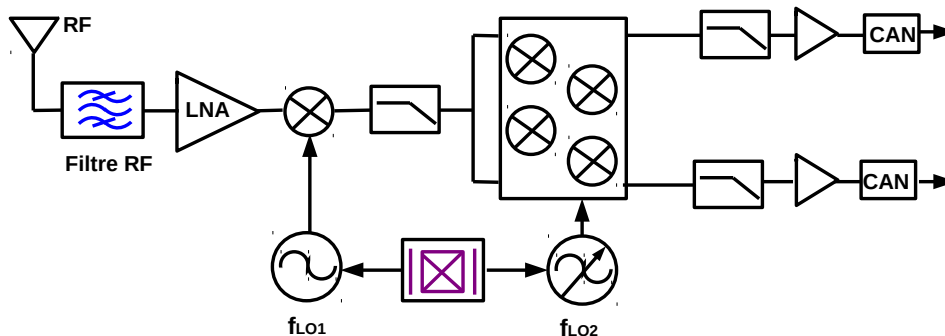


FIGURE 2.4 – Architecture WBIFDC

Le récepteur WBIFDC utilise deux oscillateurs locaux. Dans un premier, le récepteur transpose tous les signaux reçus à une fréquence intermédiaire. Puis les signaux de hautes fréquences hors bande sont filtrés par un filtre passe bas. Enfin, le mélangeur du deuxième étage rejette la fréquence image et transmet les signaux en bande de base. Cette réjection de fréquence image utilise une technique similaire à celle de Weaver [Weaver 1956], montré Fig.2.5. Les signaux sur les voies I et Q sont respectivement en phase et en quadrature. Ces deux signaux sont obtenus par démodulation vectorielle QAM. On observe que la composante Q du signal à la fréquence image est de signe opposé à celle du signal RF et que les composantes I sont de même signe. On applique alors la démodulation vectorielle QAM à chacune de ces deux composantes, ce qui nous donne quatre signaux : I-I, I-Q, Q-I et Q-Q. Il suffit alors d'additionner I-Q et Q-I pour retrouver la composante Q du signal RF seul et de soustraire Q-Q à I-I pour retrouver la composante I du signal RF seul. On a donc rejeté le signal à la fréquence image.

Le récepteur WBIFDC permet un niveau d'intégration élevé pour le récepteur RF. Il effectue la sélection du canal en bande de base comme l'architecture homodyne. Ceci permet une intégration des filtres ajustables pour la réalisation d'un récepteur multistandard. L'inconvénient est sa forte consommation due à son nombre élevé de mélangeurs. De plus, sans un filtre IF, la puissance du signal adjacent dégrade la linéarité du récepteur et donc sa sélectivité [Rudell 1997a].

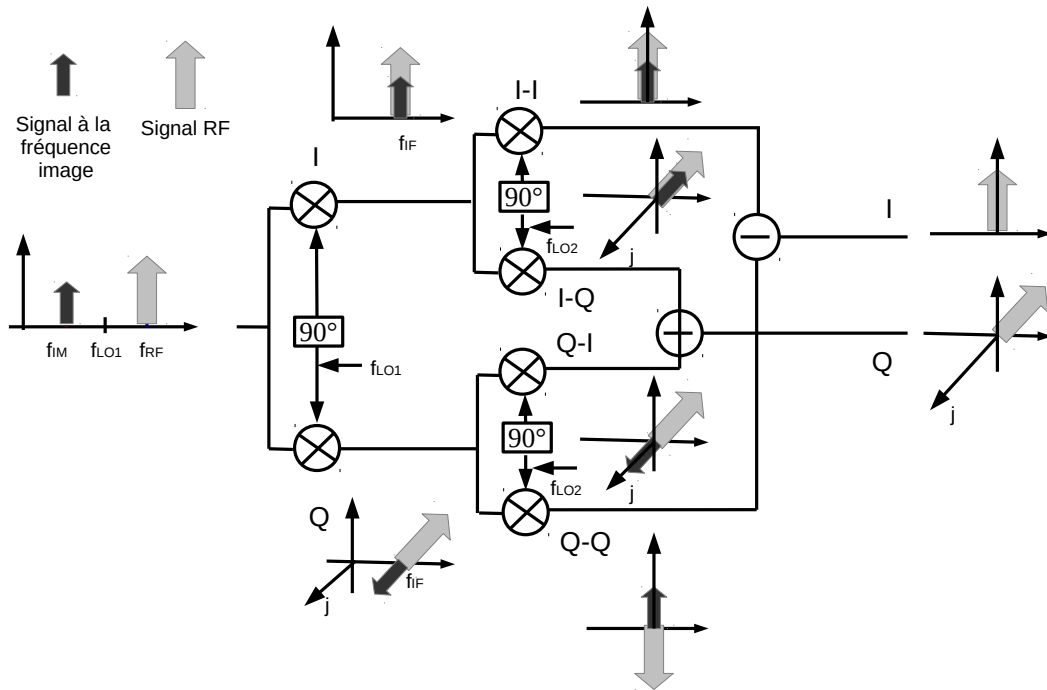


FIGURE 2.5 – Structure à réjection de fréquence (filtres non indiqués)

2.1.5 Bilan

L'architecture superhétérodyne malgré ses bonnes performances, présente des inconvénients majeurs pour les applications de type multistandard comme sa complexité et sa forte consommation. Les architectures homodyne, faible-IF ou WBIFDC sont faciles à intégrer. Ces solutions présentent de nombreuses possibilités d'adaptation pour les systèmes multibandes/multistandards. Ils sont donc actuellement les meilleurs candidats pour les applications que nous visons. Nous récapitulons les différents avantages et inconvénients de ces architectures dans le tableau Tab. 2.1

L'architecture choisie est l'architecture homodyne. Il ressort en effet de notre étude qu'elle permet d'une part de travailler avec une faible consommation et d'autre part de descendre la limite inférieure de la bande passante (jusqu'à une fréquence proche de la fréquence zéro) du fait de la non-utilisation d'une fréquence intermédiaire.

TABLE 2.1 – Avantages et inconvénients des quatre architectures

Architectures	Avantages	Inconvénients
Superhétérodyne	<ul style="list-style-type: none"> – Sélectivité importante – Sensibilité accrue – Maîtrise de fabrication (bien connue) – Fuite de l'OL sur l'antenne négligeable 	<ul style="list-style-type: none"> – Nombre important de composants – Consommation élevée – Intégration difficile (à cause des filtres RF) – Difficilement compatible avec les applications multistandards
Homodyne	<ul style="list-style-type: none"> – Suppression du problème de la fréquence image – Niveau de l'intégration monolithique élevé – Simplicité de conception RF – Faible consommation 	<ul style="list-style-type: none"> – Problème de l'offset – Contraintes/appariement voie I-Q – Bruit en 1/f (flicker noise)
Faible IF	<ul style="list-style-type: none"> – Suppression du problème de l'offset – Consommation réduite – Faible coût 	<ul style="list-style-type: none"> – Contraintes/appariement voie I-Q – Problème de la fréquence image
WBIFDC	<ul style="list-style-type: none"> – Suppression de la fréquence image – Suppression du problème de l'offset – Niveau d'intégration élevé 	<ul style="list-style-type: none"> – Consommation – Contraintes de linéarité

2.2 Les récepteurs multibandes/multistandards

La réalisation des architectures multistandards est un défi pour la nouvelle génération de systèmes de radio communication. Ces architectures doivent pouvoir traiter plusieurs bandes de fréquences correspondantes à des standards différents. Dans ce qui suit, nous présentons des solutions pour des applications multistandards. Elles correspondent à des architectures utilisant :

- plusieurs chaînes de réceptions distinctes, où chaque standard est traité de façon indépendante,
- la mise en parallèle partielle de certaines fonctions RF, les autres étant partagées,
- des fonctions RF partagées pour réaliser une seule chaîne de réception.

Ces solutions peuvent être de type homodyne, faible IF ou WBIFDC. Dans notre cas et par rapport aux conclusions précédentes (cf.2.1.5), on utilisera l'architecture homodyne.

2.2.1 Architecture parallèle

L'architecture parallèle utilise plusieurs chaînes en parallèle pour chaque bande de fréquences [Lee 2010], [Bormann 2011] comme le montre la Fig.2.6.

L'avantage est que ses performances peuvent être optimisées pour chaque bande de fréquences. Elle présente cependant les inconvénients suivants :

- difficilement intégrable,
- grande surface occupée,
- nombre de composants élevé,
- consommation non optimale.

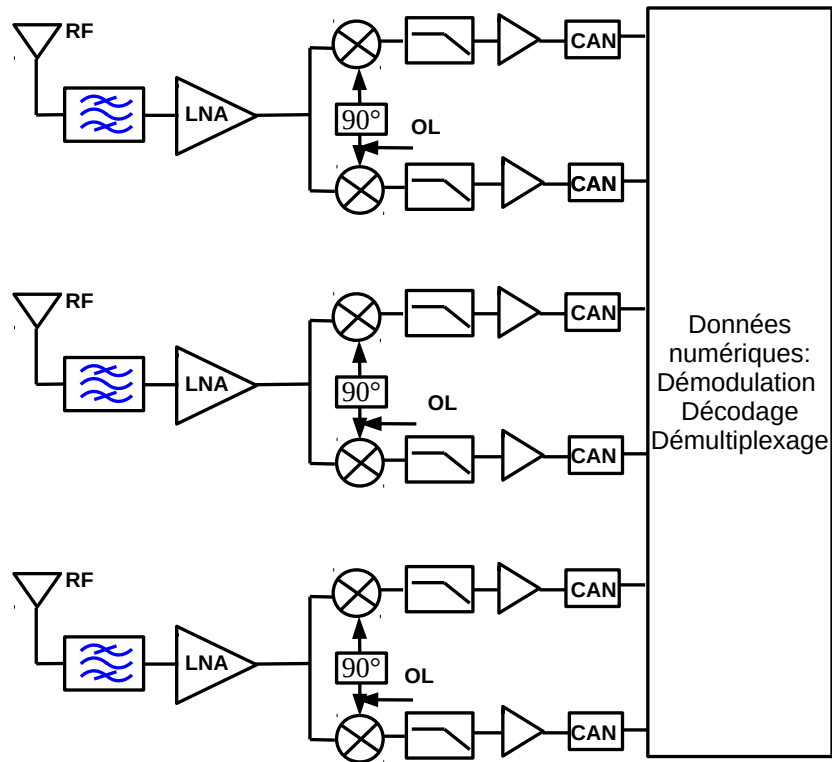


FIGURE 2.6 – Architectures utilisant des chaînes de réception dédiées, implantées parallèlement.

2.2.2 Architecture avec partage partiel de certaines fonctions RF

Ce type d'architecture permet de partager certains éléments RF de la chaîne de réception (par exemple l'amplificateur faible bruit) tout en parallélisant le reste des fonctions [Jeong 2010], [Adiseno 2003], [Wang 2005], [Heragu 2013], [Vidojkovic 2004b].

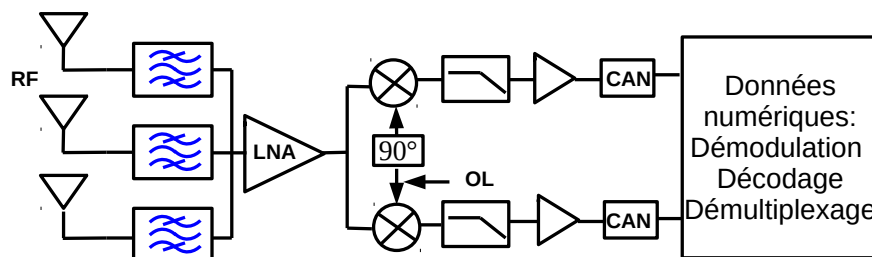


FIGURE 2.7 – Architecture avec une chaîne de réception partiellement partagée

La Fig.2.7 montre une architecture avec une chaîne de réception partiellement partagée. Plusieurs antennes et filtres sont employés afin de récupérer des signaux de bandes de fréquence différentes. Les autres blocs comme le LNA, les mélangeurs sont des fonctions partagées par tous les signaux reçus. Ils

doivent être large bande [Ryckaert 2007], [Shi 2006], [Wang 2012], multibandes [Vidojkovic 2004a], [Nieuwoudt 2007], [Duo 2005] ou reconfigurables (ajustables) [Mustaffa 2009], [Heragu 2013] pour satisfaire les contraintes des différents standards (bande passante, sensibilité, dynamique, taux d'erreur binaire...).

2.2.3 Architecture avec partage de toutes les fonctions RF

La Fig.2.8 présente une seule chaîne de réception avec les fonctions RF partagées [Wu 2008], [Vahidfar 2006], [El-Nozahi 2009], [Li 2012]. Les fonctions RF partagées doivent être large bande, multibandes ou reconfigurables.

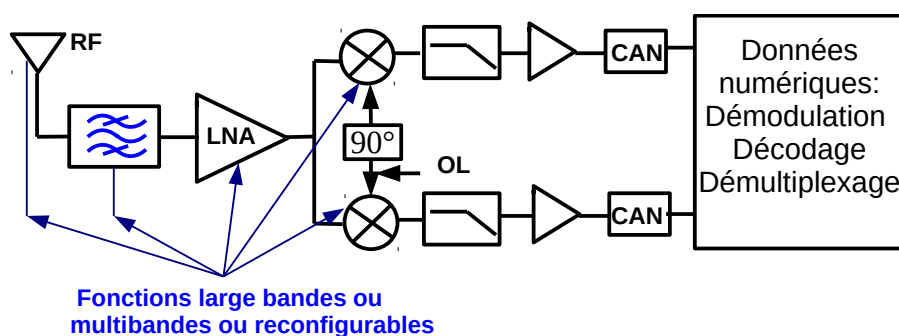


FIGURE 2.8 – Architecture avec une chaîne de réception partagée

2.2.4 Bilan

Les architectures avec partage partiel ou total des fonctions RF présentent les avantages suivants en comparaison avec une architecture parallèle :

- une diminution du nombre de blocs,
- une intégration facile,
- une diminution de la consommation (moins de composants actifs).

Considérant les besoins du marché, on cherche des systèmes basse consommation ce qui nous conduit à privilégier les architectures avec partage partiel ou total des fonctions RF.

Le récepteur à réaliser doit gérer jusqu'à cinq standards (Bluetooth, Zigbee, WI-FI...) simultanément. Par conséquent sa conception en utilisant des fonctions multibandes et reconfigurables est complexe. Afin de simplifier la conception du circuit, on choisit de concevoir un amplificateur faible bruit très large bande de fréquence avec un gain accordable via la polarisation.

2.3 Généralités sur les amplificateurs faible bruit

Un amplificateur faible bruit est un dispositif utilisé pour amplifier des signaux de très faible puissance en provenance d'une antenne tout en minimisant le bruit. Il est un élément clé dans la mise en œuvre de la chaîne de réception radio fréquence. Dans cette section, les critères de conception généraux

sur l'amplificateur faible bruit sont présentés ainsi qu'un facteur de mérite. Ce facteur de mérite nous permettra de choisir la topologie la plus adaptée à notre application.

2.3.1 Critères de conception

Il y a plusieurs critères pour apprécier les performances d'un amplificateur faible bruit. Les plus importants sont généralement : le gain, le facteur de bruit, l'adaptation entrée/sortie, la stabilité et la linéarité.

2.3.1.1 Gain en puissance

La configuration la plus utilisée pour un quadripôle consiste à connecter un générateur à l'accès 1 (Γ_1) et une charge à l'accès 2 (Γ_2), comme le montre la Fig.2.9.

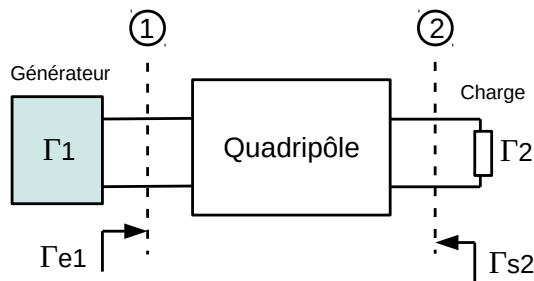


FIGURE 2.9 – Coefficients de réflexion dans un quadripôle

Γ_1 : coefficient de réflexion du générateur.

Γ_2 : coefficient de réflexion de charge.

Γ_{e1} : coefficient de réflexion d'entrée.

Γ_{s2} : coefficient de réflexion de sortie.

Il existe plusieurs définitions pour le gain d'un quadripôle, voici les plus utilisées [Gautier 2007].

- Gain en puissance

Dénoté parfois gain opérant, le gain en puissance est défini par :

$$G_p = \frac{\text{Puissance fournie à la charge}}{\text{Puissance entrante à l'accès 1 du quadripôle}} \quad (2.1)$$

$$= \frac{|S_{21}|^2(1 - |\Gamma_2|^2)}{|1 - S_{22}\Gamma_2|^2(1 - |\Gamma_{e1}|^2)} \quad (2.2)$$

Ce gain est fréquemment utilisé pour des applications relatives à un amplificateur de puissance. Il ne dépend que de la charge placée à l'accès 2 (Γ_2) du quadripôle.

- Gain d'insertion

Le gain d'insertion caractérise la variation de la puissance fournie à la charge liée à l'insertion du quadripôle entre le générateur et la charge :

$$G_i = \frac{\text{Puissance fournie à la charge avec quadripôle}}{\text{Puissance fournie à la charge, sans quadripôle}} \quad (2.3)$$

$$= \frac{|S_{21}|^2 |1 - \Gamma_1 \Gamma_2|^2}{|(1 - S_{11} \Gamma_1)(1 - S_{22} \Gamma_2) - S_{12} S_{21} \Gamma_1 \Gamma_2|^2} \quad (2.4)$$

L'intérêt de ce gain réside dans le fait que sa valeur est directement accessible par la mesure. Il est fonction des charges placées aux accès 1 et 2 du quadripôle.

- Gain disponible en puissance

Le gain disponible en puissance est défini comme étant le rapport entre la puissance maximum disponible à la sortie du quadripôle et la puissance maximum disponible aux bornes du générateur :

$$G_d = \frac{\text{Puissance maximum disponible à l'accès 2 du quadripôle}}{\text{Puissance maximum disponible au générateur}} \quad (2.5)$$

$$= \frac{|S_{21}|^2 (1 - |\Gamma_1|^2)}{|1 - S_{11} \Gamma_1|^2 (1 - |\Gamma_{e2}|^2)} \quad (2.6)$$

Il trouve sa principale application dans la résolution des problèmes liés au bruit. Il ne dépend que de la charge à l'accès 1 (Γ_1) du quadripôle.

- Gain transducique

Le gain transducique dénommé également gain composite, est défini par :

$$G_T = \frac{\text{Puissance fournie à la charge}}{\text{Puissance maximum disponible au générateur}} \quad (2.7)$$

$$= \frac{|S_{21}|^2 (1 - |\Gamma_1|^2) (1 - |\Gamma_2|^2)}{|(1 - S_{11} \Gamma_1)(1 - S_{22} \Gamma_2) - S_{12} S_{21} \Gamma_1 \Gamma_2|^2} \quad (2.8)$$

C'est le gain qui représente le mieux le transfert de puissance entre le générateur et la charge par l'intermédiaire d'un quadripôle.

Il est à noter que le gain transducique prend des valeurs particulières suivant les conditions d'adaptation en puissance aux accès.

- Adaptation conjuguée en entrée :

$$\Gamma_1 = \Gamma_{e1}^* \rightarrow G_T = G_p \quad (2.9)$$

- Adaptation conjuguée en sortie :

$$\Gamma_2 = \Gamma_{e2}^* \rightarrow G_T = G_d \quad (2.10)$$

- Adaptation conjuguée en entrée et en sortie :

$$\Gamma_1 = \Gamma_{e1}^*, \Gamma_2 = \Gamma_{e2}^* \rightarrow G_T = G_p = G_d \quad (2.11)$$

2.3.1.2 Facteur de bruit

Soit un quadripôle bruyant excité à l'accès 1 par un générateur d'admittance interne y_1 et chargé à l'accès 2 par une admittance y_2 (cf.Fig.2.10)

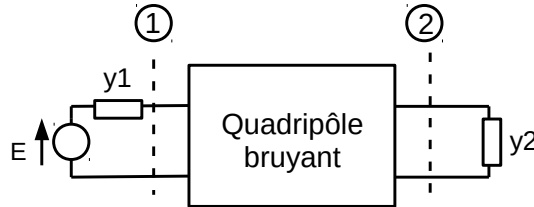


FIGURE 2.10 – Quadripôle bruyant

À partir de ce quadripôle bruyant, le facteur de bruit F , qui caractérise la dégradation du rapport signal sur bruit entre les deux accès du quadripôle, est défini par :

$$F = \frac{S_1/N_1}{S_2/N_2} \quad \text{accès 1 à la température } T_0 \quad (2.12)$$

Où $\frac{S_1}{N_1}$ et $\frac{S_2}{N_2}$ sont respectivement le rapport signal à bruit à l'entrée et à la sortie. (S_1, N_1) et (S_2, N_2) sont les puissances disponibles du signal et du bruit respectivement à l'entrée et à la sortie de l'amplificateur. Le bruit à l'entrée est celui fourni par l'impédance du générateur placée à la température conventionnelle de $T_0 = 290\text{K}$.

Les performances en terme de bruit d'un amplificateur dépendent de l'impédance présentée à son entrée comme le montre l'expression suivante du facteur de bruit :

$$F = F_{min} + \frac{R_n}{\Re(y_1)} |y_1 - y_{opt}|^2 \quad (2.13)$$

- F_{min} : valeur minimale du facteur de bruit. Le F_{min} ne dépend pas de l'impédance présentée à l'entrée de l'amplificateur mais de sa topologie.
- y_{opt} : admittance complexe optimale en bruit. Si l'on présente cette admittance à l'entrée de l'amplificateur, le facteur de bruit global est égal à F_{min} .
- R_n : résistance équivalente de bruit. Cette résistance représente la dégradation du facteur de bruit lorsque l'admittance à l'entrée s'éloigne de l'admittance optimale.

Lorsque plusieurs quadripôles sont associés et adaptés, le facteur de bruit total (en linéaire) est donné par la formule de Friis :

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots + \frac{F_n - 1}{G_1 G_2 G_3 \dots G_{n-1}} \quad (2.14)$$

où F_n et G_n sont le facteur de bruit linéaire et le gain en puissance disponible linéaire du $n^{\text{ème}}$ élément.

La formule nous indique que c'est le facteur de bruit du 1^{er} élément de la chaîne qui détermine en grande partie le facteur de bruit total à condition que G_1 soit élevé. C'est notamment pour cette raison que l'on utilise un amplificateur faible bruit en premier étage des chaînes de réception. Ceci permet de récupérer un signal de niveau suffisant sans trop dégrader le rapport signal sur bruit.

2.3.1.3 Stabilité linéaire vis à vis des conditions de fermeture

Un quadripôle est inconditionnellement stable si les impédances vues aux deux accès 1 et 2 ont des parties réelles positives quelques soient les impédances de charge présentées à ces accès. Les conditions de stabilité inconditionnelle peuvent s'écrire sous les deux formes suivantes :

$$\begin{cases} 1 - |S_{11}|^2 > |S_{12}S_{21}| \\ 1 - |S_{22}|^2 > |S_{12}S_{21}| \\ K > 1 \end{cases} \quad (2.15)$$

$$\text{ou} \begin{cases} |\Delta_s| < 1 \\ K > 1 \end{cases} \quad (2.16)$$

Avec

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_s|^2}{2|S_{12}S_{21}|} \quad (2.17)$$

$$\Delta_s = S_{11}S_{22} - S_{12}S_{21} \quad (2.18)$$

K représente le facteur de stabilité [Rollett 1962].

2.3.1.4 Linéarité

La linéarité de l'amplificateur est évaluée à partir de la relation entre la puissance du signal d'entrée et celle du signal de sortie.

- Critère monoporteuse

Le circuit est excité par un signal sinusoïdal pur de pulsation ω_1 . La courbe, montrée à titre d'exemple sur la Fig.2.11, peut être divisée en trois zones : une zone linéaire, une zone de compression et une zone de saturation.

Nous définissons généralement le point de compression à 1dB en entrée ou en sortie respectivement IP_{1dB} ou OP_{1dB} comme le point pour lequel la puissance de sortie est de 1dB inférieur à la puissance théorique idéale spécifiée dans la zone linéaire.

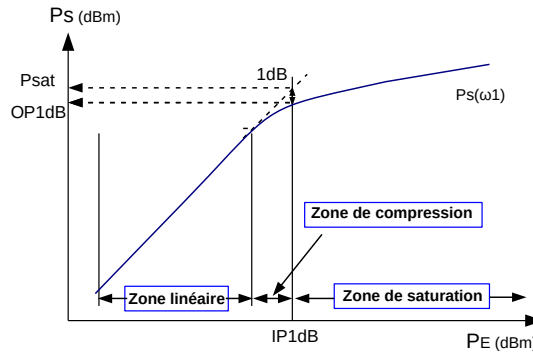


FIGURE 2.11 – Point de compression à 1dB

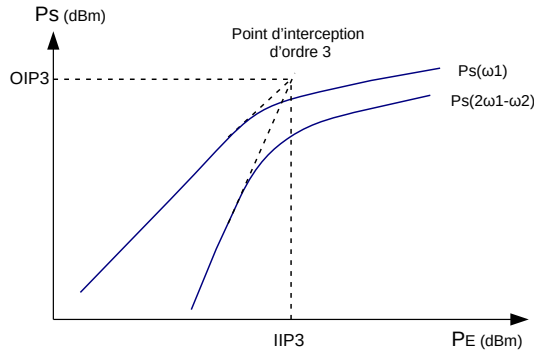


FIGURE 2.12 – Point d'interception d'ordre 3

- Critère biporteuse

Le circuit est excité par un signal composé de deux sinusoïdes de pulsations différentes ω_1 et ω_2 . Ce signal permet de caractériser les phénomènes d'intermodulation. La Fig.2.12 trace la variation de la puissance de la porteuse et de la raie d'intermodulation en fonction de la puissance d'entrée.

Nous introduisons un autre facteur représentant la linéarité de l'amplificateur : le point d'interception d'ordre 3. Il correspond à l'intersection du prolongement linéaire de ces deux courbes.

On caractérise le point d'interception d'ordre 3 par la puissance de sortie ou la puissance d'entrée correspondante ($OIP3$ ou $IIP3$). En pratique, le $IIP3$ est le plus utilisé. Il peut se déterminer à partir de la mesure des puissances $P_s(\omega_1)$ et $P_s(2\omega_1 - \omega_2)$ pour une même puissance d'entrée P_E dans la zone linéaire par la relation :

$$IIP3 = \frac{|P_s(\omega_1) - P_s(2\omega_1 - \omega_2)|}{2} + P_E \quad (2.19)$$

Lorsque plusieurs quadripôles sont associés et adaptés, le $IIP3$ total (en linéaire) est donné par :

$$\frac{1}{IIP3} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \dots + \frac{G_1 G_2 G_3 \dots G_{n-1}}{IIP3_n} \quad (2.20)$$

où $IIP3_n$ et G_n sont le point d'interception d'ordre 3 et le gain en puissance du $n^{\text{ème}}$ élément.

La formule nous indique que c'est le point d'interception d'ordre 3 du dernier élément de la chaîne qui fixe en grande partie le $IIP3$ total.

2.3.2 Topologies d'amplificateur faible bruit large bande

Un amplificateur faible bruit large bande implique que le concepteur doit rechercher des topologies spécifiques lui permettant d'obtenir :

1. un gain plat et élevé
2. une bonne adaptation entrée/sortie
3. une large bande de fréquence
4. un facteur de bruit faible

Actuellement, il existe principalement trois topologies d'amplificateurs qui permettent de satisfaire les conditions citées ci-dessus. Ces topologies sont :

- la topologie à contre-réaction
- la topologie à adaptation réactive
- la topologie distribuée

2.3.2.1 Amplificateur à contre-réaction

Ce type de topologie a deux variantes suivant que la contre réaction est active [Andersson 2003], [Liu 2005], [Ye 2011] ou passive (élément résistive ou/et réactive) [Chen 2009a], [Yu 2010], [Meamar 2009], [Lee 2005], [Bruccoleri 2004], [Bruccoleri 2002], [Bastos 2010], [Liao 2007].

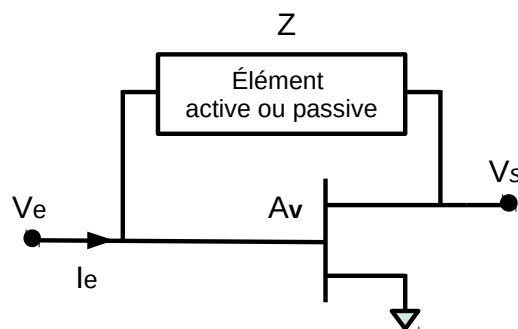


FIGURE 2.13 – Amplificateur à contre-réaction

Principe de cette topologie

Soit l'impédance d'entrée de l'amplificateur Z_{in} défini comme suit :

$$Z_{in} = \frac{V_e}{I_e}, \quad (2.21)$$

où V_e et I_e sont respectivement la tension et le courant d'entrée de l'amplificateur. Dans le cas d'un transistor à effet de champ, on peut aussi exprimer I_e par la relation :

$$I_e = \frac{V_e - V_s}{Z} = \frac{V_e(1 - A_v)}{Z}, \quad (2.22)$$

où V_s est la tension de sortie de l'amplificateur, A_v est le gain en tension du transistor et Z est l'impédance de contre-réaction.

Nous appliquons l'équation 2.22 dans l'équation 2.21. L'impédance d'entrée de l'amplificateur devient alors :

$$Z_{in} = \frac{Z}{1 - A_v} \quad (2.23)$$

Nous constatons que l'impédance de contre-réaction affecte l'impédance d'entrée de l'amplificateur Z_{in} . De cette façon, l'impédance de contre-réaction peut être optimisée afin d'effectuer une adaptation en entrée large bande.

Pour un circuit à contre-réaction active, la consommation augmente à cause des éléments actifs. Pour un circuit à contre-réaction passive, la présence d'une résistance dégrade le facteur de bruit d'autant plus que sa valeur est faible. Cette méthode est donc améliorée par l'utilisation de la technique "noise cancelling" [Bruccoleri 2004], [Chen 2012], [Wang 2010], [Liao 2007] qui consiste à amplifier différemment le bruit thermique des transistors et le signal d'entrée. La Fig. 2.14 montre le principe de fonctionnement.

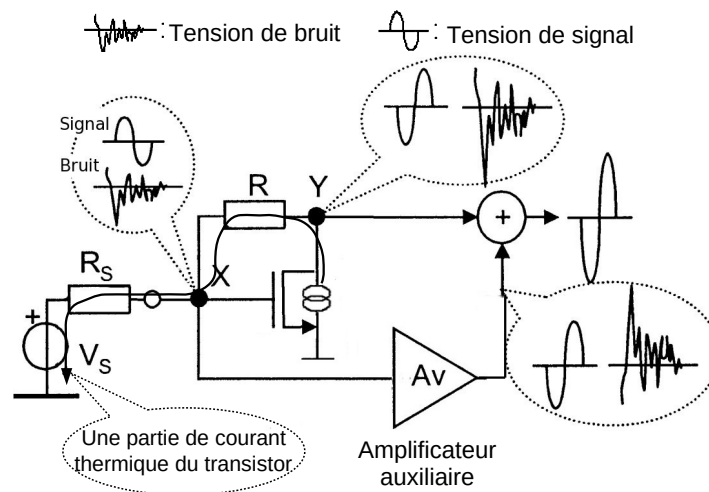


FIGURE 2.14 – Amplificateur avec technique de "noise cancelling" [Bruccoleri 2004]

D'un côté, les tensions des signaux présentent des signes opposées en entrée (Point X) et en sortie (Point Y) de l'amplificateur à cause de son gain en tension négatif (transistor en source commune). De l'autre côté, une partie du courant de bruit thermique du transistor s'écoulant de la sortie vers l'entrée de cet amplificateur, génère deux tensions de bruit ayant les mêmes signes en entrée et en sortie de l'amplificateur. On change les signes des tensions en entrée de l'amplificateur à l'aide d'un amplificateur auxiliaire ayant aussi un gain en tension négatif. L'addition des tensions à la sortie des deux amplificateurs

permet de supprimer le bruit tout en renforçant le signal. En conséquence, on améliore le facteur de bruit aux hautes fréquences. Cette amélioration se fait néanmoins au prix d'une augmentation de la consommation énergétique due à la dissipation de puissance de l'amplificateur auxiliaire.

2.3.2.2 Amplificateur à adaptation réactive

L'amplificateur à adaptation réactive [Lin 2010], [Bevilacqua 2004], [Ismail 2004], [Chen 2010a] (cf.Fig.2.15) consiste à utiliser des circuits d'adaptation en entrée/sortie composés d'éléments réactifs associés suivant une architecture de filtre.

Les circuits d'adaptation en entrée permettent d'une part à l'amplificateur de s'affranchir de la distorsion d'intermodulation en atténuant les signaux hors bande et d'autre part de rendre l'impédance d'entrée égale à l'impédance conjuguée du générateur pour réaliser une bonne adaptation en entrée.

Les circuits d'adaptation en sortie compensent la variation du gain de l'amplificateur permettant un gain plat sur toute la bande passante. De plus, ils rendent l'impédance de sortie égale à l'impédance conjuguée de charge et fournissent une bonne adaptation en sortie.

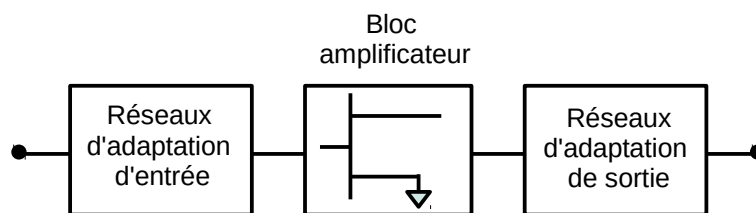


FIGURE 2.15 – Amplificateur à adaptation réactive

Afin d'atténuer les signaux hors bande à l'entrée, on utilise généralement des filtres passe bande [Ismail 2004]. Plus l'ordre des filtres est élevé, plus forte sont les pertes. Néanmoins l'utilisation de nombreuses inductances entraîne des éléments parasites résistifs qui dégradent la performance en terme de bruit de l'amplificateur. De plus, les éléments réactifs occupent une large surface augmentant la taille de la puce.

2.3.2.3 Amplificateur distribué

La bande passante des amplificateurs traditionnels est limitée par leur capacité d'entrée et de sortie. L'architecture des amplificateurs distribués (cf.Fig. 2.16), inventée par Percival [Perciva 1936] en 1936 à partir de tubes à vide, intègre ces capacités parasites dans les lignes d'accès en mettant en parallèle des inductances. Cette architecture, permettant une bande passante élevée, est idéale dans l'objectif de concevoir des amplificateurs pour les transmissions à haut débit [Zhang 2006], [Chang 2011a], [Chang 2011b], [Lin 2011].

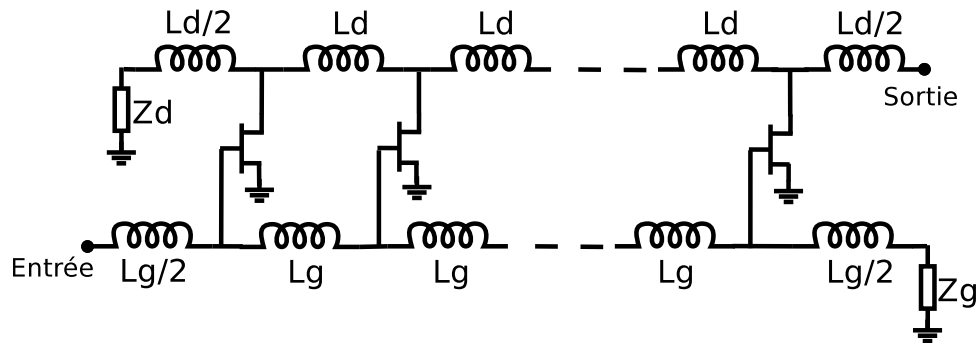


FIGURE 2.16 – Amplificateur distribué

Outre une large bande (supérieure à 1 décade), les amplificateurs distribués bénéficient également de nombreux autres avantages :

- un fort gain : prédisposition à la réalisation d’amplificateur de puissance,
- un gain généralement plat à condition que les éléments intrinsèques des transistors varient légèrement avec la fréquence.

Cet amplificateur présente aussi des inconvénients :

- une forte consommation, liée au nombre conséquent d’éléments actifs utilisés,
- un facteur de bruit moins bon que l’amplificateur faible bruit classique dû à la charge de la ligne d’entrée.

2.3.3 Facteur de mérite

Afin de comparer les performances des LNA, il est important d’utiliser un critère commun. On utilise habituellement la notion de facteur de mérite ou FOM (Figure Of Merit) :

- [Song 2008] utilise une formulation simple de FOM

$$FOM = \frac{g_m^2}{I_d} \quad (2.24)$$

- [Arekapudi 2004] propose le FOM suivant :

$$FOM = \frac{IP_{1dB}}{P_{noise}} \frac{1}{P_{dc}} \frac{f_h}{f_{t^*}} \quad (2.25)$$

Dans l’expression, on a :

- le point IP_{1dB} de compression à 1dB représentant la linéarité,
- la puissance consommée P_{dc} ,
- la puissance de bruit P_{noise} à la sortie ($Gain \times kT\Delta f$),
- le facteur $\frac{f_h}{f_{t^*}}$ est lié à la bande passante, avec f_h la fréquence de coupure et f_{t^*} la fréquence de transition pour un $\frac{g_m}{f_t} I_D$ maximum.

– [Chen 2009b] définit un FOM, plus utilisé dans la littérature :

$$FOM = \frac{|S_{21}| \cdot BW(GHz) \cdot IIP3(mW)}{(F - 1) \cdot P_{dc}(mW)} \quad (2.26)$$

Où F est le facteur de bruit linéaire, IIP3 est le point d'interception d'ordre 3 en entrée, P_{dc} est la puissance dissipée et BW est la bande passante à -3 dB de l'amplificateur. Dans cette thèse, nous retenons ce critère.

Le tableau 2.2 compare les performances de différentes architectures d'amplificateur faible bruit large bande et leur FOM. Les valeurs de FOM sont calculées en utilisant les valeurs optimales de S_{21} , de NF et de IIP3. Plus la valeur de FOM est grande, meilleures sont les performances.

TABLE 2.2 – Comparaison de différents architectures LNA large bande (* : valeur maximum \diamond : valeur minimum)

Ref.	Teh.	Archi.	S_{21} dB	NF dB	IIP3* dBm	BW GHz	P_{dc} mw	Taille mm ²	FOM
[Andersson 2003]	0, 18 μ m CMOS	contre-réaction	13, 1*	3, 6 \diamond	-4,7	7 (DC-7GHz)	75	-	0,11
[Liu 2005]	0, 18 μ m CMOS	active	22*	7 \diamond	-17	1,4 (0,01-1,4GHz)	0,9	0,03	0,1
[Ye 2011]	0, 18 μ m CMOS		14 \pm 1, 5	1,9-2,65	3	7 (1-8GHz)	10,8	1,056	14
[Bruccoleri 2004]	0, 25 μ m CMOS	Contre-réaction	13, 7*	2 \diamond	0	1,6 (2-1600MHz)	35	0,075	0,38
[Liao 2007]	65 nm CMOS	passive	10, 5*	2,7-3,3	-6,2	10 (DC-10GHz)	13,7	0,02	0,22
[Chen 2012]	0, 18 μ m CMOS		+	19*	2,8-3,4	-4,2	3,6 (0,2-3,8GHz)	5,7	0,29
[Wang 2010]	130 nm CMOS	Noise cancelling	9, 7*	4,5-5,1	-3,5	10,7 (1,2-11,9GHz)	20	0,59	0,35
[Chen 2009a]	0, 18 μ m CMOS	passive	10, 4*	4 \diamond	-	6,9 (2,3-9,2GHz)	9	1,1	-
[Meaamar 2009]	0, 18 μ m CMOS		15, 2*	3,14-6,8	-6,63	5 (3-8GHz)	3,77	0,96	1,56
[Lee 2005]	SiGe		22*	3 \diamond	-11,75	7 (3-10GHz)	42,5	0,476	0,14
[Lin 2010]	0, 18 μ m CMOS	réactive	9, 3*	4, 0 \diamond	-6,3	6,9 (2,3-9,2GHz)	9	1,1	0,34
[Bevilacqua 2004]	0, 18 μ m CMOS		12, 26 \pm 0, 63	3,74-4,74	-11	10,2 (1,5-11,7GHz)	10,34	0,536	0,25
[Ismail 2004]	0, 18 μ m CMOS		21*	2,5-4,2	-5,5	7 (3-10GHz)	30	1,8	0,95
[Chen 2010a]	90nm CMOS		10, 48 \pm 0, 2	2,92-3,23	4	7,5 (3,1-10,6GHz)	21,6	0,139	3,11
[Lin 2011]	0,13 μ m CMOS	DA	11, 03 \pm 0, 98	4, 25 \diamond	-	7 (3-10GHz)	6,86		
			20, 47 \pm 0, 72	3, 29 \diamond	-		37,8	0,616	-
[Zhang 2006]	0,18 μ m CMOS		8, 6*	4, 2 \diamond	3	7 (0,04-7GHz)	9	1,16	2,56
[Chang 2011a]	0,5/2 μ m GaAs HEMT-HBT		8, 5*	4, 2 \diamond	-0,5	43,5 (DC-43,5GHz)	225	2	2,81
[Chang 2011b]	0,18 μ m CMOS		10,5 \pm 1,4	2,9-3,5	4	10,5 (DC-10,5GHz)	29,16	0,71	3,74

Le choix s'est porté sur l'amplificateur qui présente l'un des meilleurs FOM (>2) associé à une bande de fréquence couvrant la bande de fréquence étudiée (0,8-11GHz). Nous avons donc retenu l'amplifica-

teur distribué. L'étude complète de l'amplificateur distribué à base de transistors à effet de champ est menée dans le chapitre suivant.

2.4 Conclusion

Dans ce chapitre, nous avons fait une étude sur les architectures classiques de réception radio fréquence :

- architecture superhétérodyne
- architecture homodyne (Zéro-IF)
- architecture faible IF
- architecture WBIFDC (Wide-Band IF Double Conversion)

Dans le cadre de ce travail, nous avons retenu l'architecture homodyne. Cette architecture nous intéresse tout particulièrement par sa compatibilité avec les systèmes multistandards, sa faible consommation, sa simplicité de conception et sa facilité d'intégration.

Ensuite, nous avons présenté plusieurs architectures adaptées aux applications multistandards basées sur l'architecture homodyne. Nous avons étudié deux approches possibles dans ce contexte. La première consiste à utiliser des fonctions RF indépendantes pour chaque standard avec des bandes de fréquence dédiées. Tandis que la seconde approche consiste à partager les fonctions RF pour traiter plusieurs standards. Cette dernière fonction est large bande, multibandes, ou reconfigurable. En effet, la stratégie de partage des circuits analogiques est la clé pour diminuer la taille des puces et la consommation. Il en résulte naturellement une réduction des coûts de fabrication. À partir de ces observations, nous avons choisi pour la suite de notre étude des fonctions RF partagées très large bande.

L'amplificateur faible bruit (LNA) qui se place à l'entrée du récepteur est un des blocs les plus importants. Il impose son facteur de bruit et influence beaucoup la qualité de la réception.

Il existe principalement trois architectures de LNA large bande :

- Amplificateur à contre-réaction
- Amplificateur à adaptation réactive
- Amplificateur distribué

Afin de comparer les performances des différentes architectures de LNA large bande rencontrées dans la littérature, nous utilisant un critère (FOM) tenant compte du gain, de la bande passante, du facteur de bruit, de la linéarité en terme de $IIP3$ et de la consommation. Nous avons retenu l'architecture distribuée présentant un des meilleurs FOM sur la bande de fréquences 0,8-11GHz.

L'objectif de cette thèse est la réalisation d'un récepteur multistandards avec une gestion optimale de la consommation. Nous proposons pour cela deux niveaux de consommation correspondant à deux modes de fonctionnement du LNA : l'un optimise les performances (forte consommation), l'autre la consommation (basse consommation). Les chapitres suivants détailleront la méthodologie de conception employée et notre réalisation.

Étude théorique de la topologie distribuée

Sommaire

3.1 Technologie pHEMT sur GaAs	27
3.1.1 Transistor pHEMT sur GaAs	29
3.1.2 Caractéristiques du pHEMT 0,15 μ m sur GaAs fabriqué par TriQuint	36
3.1.3 Récapitulatif	44
3.2 Principe de fonctionnement d'un amplificateur distribué	45
3.3 Paramètres caractéristiques des lignes artificielles de transmission	46
3.3.1 Ligne de drain	48
3.3.2 Ligne de grille	49
3.3.3 Impédances caractéristiques des lignes	50
3.4 Performances électriques d'un amplificateur distribué	52
3.4.1 Gain en puissance	52
3.4.2 Dégradation du gain	53
3.4.3 Bande passante	56
3.4.4 Facteur de bruit	57
3.4.5 Consommation	59
3.4.6 Dimensionnement	59
3.5 Conclusion	59

Ce chapitre introduit dans un premier temps la technologie utilisée pour la réalisation de l'amplificateur faible bruit large bande. Un rappel sur le principe de fonctionnement d'un amplificateur distribué en régime linéaire est ensuite proposé. L'objectif est d'apprendre les limitations de cette topologie ainsi que de fournir des critères de conception pour notre application.

3.1 Technologie pHEMT sur GaAs

Le développement des technologies de communication nécessite des composants semi-conducteurs à haut niveau d'intégration, basse consommation et faible bruit. Le choix de la technologie s'effectue à partir des critères suivants :

- Les performances
- Le coût de la réalisation
- L'intégration

La Fig.3.1 présente schématiquement des technologies typiques pour les communications sans fil aux radio fréquences [htt 2007].

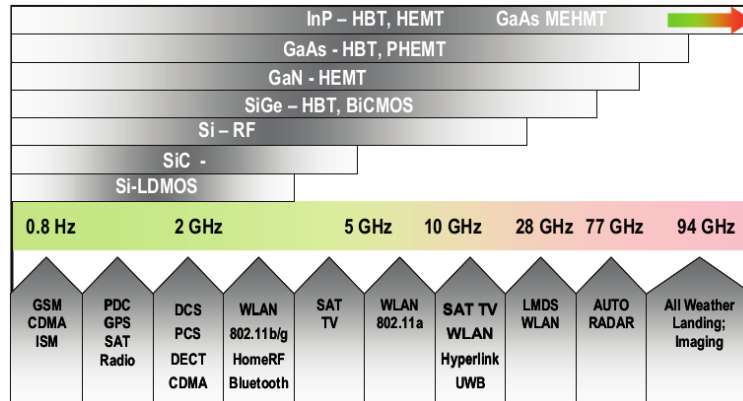


FIGURE 3.1 – Technologies pour les communications sans fil [htt 2007]

On remarque qu'il existe plusieurs technologies potentielles sur la bande de fréquence étudiée (0,8GHz-11GHz). Les technologies disponibles sont SiGe-BiCMOS et GaAs pHEMT.

Entre les deux technologies disponibles, la technologie SiGe-BiCMOS est largement utilisée grâce à son coût de réalisation raisonnable. Cependant, le substrat silicium de technologie SiGe-BiCMOS présente des pertes plus importantes par rapport au substrat Arséniure de gallium de la technologie GaAs pHEMT. Ainsi la performance en terme de gain est limité. De plus, la mobilité des électrons dans le GaAs est plus grande que dans le Silicium (cf.Tab. 3.1). Il en résulte une réduction du temps de transit des porteurs et une amélioration significative des performances en terme de bruit [Hashemi 2002]. Dans le cadre de notre application, nous retenons la technologie GaAs pHEMT.

TABLE 3.1 – Ordres de grandeurs des propriétés de transport dans le Silicium et dans l'Arséniure de Gallium (GaAs) à la température $T=300K$.

Paramètres	Unités	Si	GaAs
Mobilité des électrons μ_e	$cm^2/V.s$	1500	8500
Vitesse de saturation des électrons V_{sat}	$10^7 cm/s$	1.0	1.8

Nous constatons que la vitesse de saturation des électrons dans le GaAs est presque le double de celle dans le Si (cf.Tab. 3.1). Cette vitesse de saturation des électrons importante dans le GaAs permet d'obtenir une transconductance intrinsèque g_m importante ainsi qu'un facteur de bruit minimum NF_{min} faible. Les expressions de ces dernières paramètres sont présentées Eq.3.1 et Eq.3.3.

L'expression de la transconductance du transistor est donnée comme étant :

$$g_m = \frac{C_{gs} V_{sat} \eta}{l_g}. \quad (3.1)$$

L'expression du facteur de bruit minimum NF_{min} d'un transistor à effet de champ y compris le transistor GaAs pHEMT basée sur un modèle introduit par FuKui en 1979 [Fukui 1979] s'écrit :

$$NF_{min} = 10 \log \left(1 + 2\pi K_0 f C_{gs} \left[\frac{(R_{se} + R_{ge})}{g_m} \right]^{1/2} \right), \quad (3.2)$$

Le NF_{min} peut aussi s'exprimer sous la forme :

$$NF_{min} = 10 \log \left(1 + 2\pi K_0 f \left[\frac{C_{gs} l_g (R_{se} + R_{ge})}{V_{sat} \eta} \right]^{1/2} \right). \quad (3.3)$$

Avec :

- η , l'efficacité de modulation des électrons par la tension grille
- l_g , la longueur de grille
- K_0 , un facteur lié à la qualité du matériau du canal
- C_{gs} , la capacité grille-source
- R_{se} et R_{ge} , les résistances extrinsèques de source et de grille du transistor
- f , la fréquence de fonctionnement
- V_{sat} , la vitesse de saturation des électrons

Grâce à sa vitesse de saturation V_{sat} élevée, la technologie pHEMT sur GaAs est une technologie faible bruit jusque dans le domaine des ondes millimétriques.

3.1.1 Transistor pHEMT sur GaAs

3.1.1.1 Principe de fonctionnement du transistor pHEMT sur GaAs

Le transistor HEMT (High Electron Mobility Transistor) a été conçu et réalisé par Fujitsu au Japon et par Thomson en France en 1980 [Delagebeaudeuf 1980], [Mimura 1980]. Une vue en coupe est présentée sur la Fig.3.2.

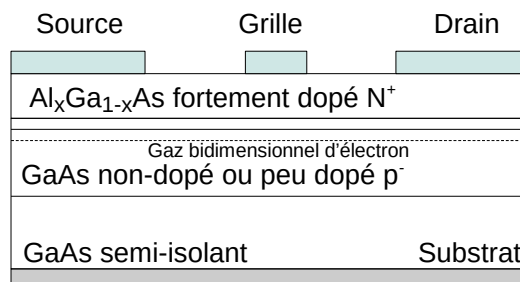


FIGURE 3.2 – Vue en coupe schématique du HEMT

Le fonctionnement du HEMT est basé sur les propriétés de l'hétérojonction du matériau réalisée entre des couches de GaAs et $Al_xGa_{1-x}As$ (où x est la fraction molaire). L'affinité électronique du GaAs est plus grande que celle du $Al_xGa_{1-x}As$, matériau pour lequel la bande interdite est supérieure à celle du GaAs. Il apparaît une discontinuité des bandes à l'interface métallurgique et donc un puits de

potentiel du côté du semiconducteur de faible bande interdite. Ce puits permet la séparation spatiale des atomes donneurs ionisés et des électrons libres qui subissent peu d'interactions coulombiennes avec les impuretés ionisées. Les électrons occupent les niveaux d'énergie du puit de très faible épaisseur dans le matériau peu dopé et ont donc une plus forte mobilité. Ceci rend les transistors à hétéojonction plus rapides que les transistors à effet de champ sur GaAs classique.

La structure multicouches du HEMT nécessite une parfaite maîtrise des techniques de réalisation. Une variation de 1\AA de l'épaisseur de la couche $Al_xGa_{1-x}As$ induit une variation de tension de seuil d'environ 7mV et une variation de 10% du dopage de cette même couche se traduit par un écart d'environ 70mV sur la tension de seuil ([M.Wolny 1988]).

La structure pHEMT (pseudomorphique HEMT) permet d'améliorer les performances du HEMT [P.Pouvil 2009].

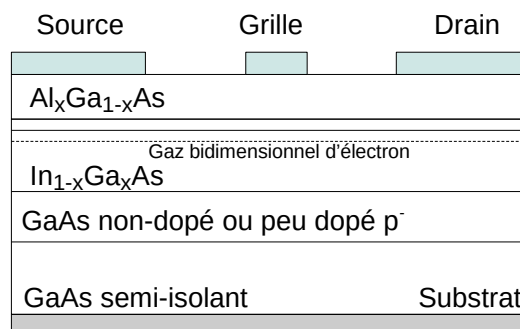


FIGURE 3.3 – Vue en coupe schématique du pHEMT

En effet, la structure pHEMT (cf.Fig.3.3) utilise une couche d'InGaAs de bande interdite plus faible que celle du GaAs, ce qui permet d'augmenter la taille du puit quantique, donc une concentration de porteurs plus importante sans utiliser de couches trop fortement dopées. Il en résulte également un courant de drain plus élevé et un bruit basses fréquences inférieur de quelques dB à celui d'un HEMT classique [Plana 1993].

De plus, dans les HEMT et pHEMT, les matériaux étant épitaxiés, les couches à réaliser sont de faibles épaisseurs. En conséquence, le courant de fuite de grille est faible, le bruit basses fréquences généré est par conséquent aussi faible [Dong Quan 2013].

3.1.1.2 Modèle électrique et caractéristiques électriques principales du transistor HEMT

Modèle électrique

À partir de la structure physique du transistor (cf.Fig.3.4) on peut en déduire un modèle phénoménologique et extraire un schéma équivalent petit signal dans sa version la plus classique (cf.Fig.3.5).

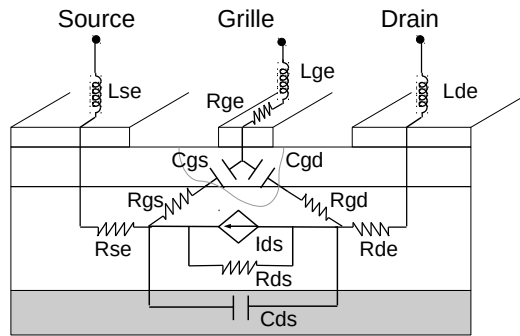


FIGURE 3.4 – Structure physique des transistors HEMTs

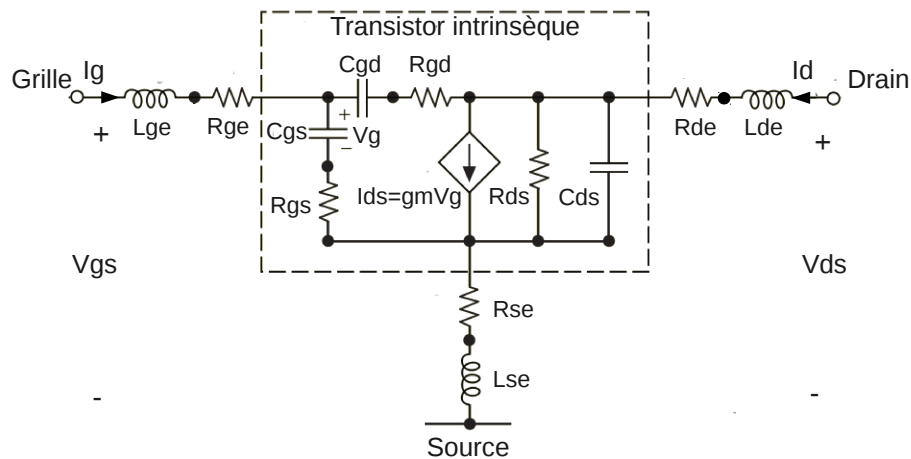


FIGURE 3.5 – Schéma équivalent petit signal du transistor HEMT

Le schéma équivalent petit signal est constitué d'une partie intrinsèque liée au fonctionnement physique du transistor et d'une partie extrinsèque due aux accès métalliques de source, grille et drain.

- La partie intrinsèque est constituée des éléments suivants :
 - la transconductance du transistor g_m , qui est définie comme la variation du courant de drain en fonction de la tension de grille à tension de drain constante. Elle traduit le contrôle de la charge dans le canal par la tension de grille.
 - la conductance de sortie $1/R_{ds}$ est définie comme la variation du courant de drain en fonction de la tension de drain à tension de grille constante.
 - les résistances grille-source et grille-drain respectivement R_{gs} et R_{gd} sont des résistances du canal. La résistance R_{gd} est négligeable devant R_{ds} et R_{gs} .
 - les capacités grille-drain et drain-source C_{gs} et C_{ds} , contribuent à la limitation en fréquence du

transistor. On précisera leur influence dans la suite.

- la capacité grille-drain C_{gd} , détériore les performances dynamiques du transistor par effet Miller. Elle induit une diminution de l'impédance d'entrée, du gain et de la fréquence d'utilisation du transistor.
- La partie extrinsèque est constituée des éléments suivants :
 - les inductances de grille, de source et de drain respectivement L_{ge} , L_{se} et L_{de} , qui représentent les inductances d'accès du transistor.
 - la résistance grille-émetteur R_{ge} est à l'origine de la chute de tension qui se produit dans la métallisation de grille.
 - les résistances parasites de source et de drain R_{de} et R_{se} , représentent l'accès à la partie active sous la grille.

Les éléments intrinsèques et extrinsèques du transistor permettent de définir les performances du transistor lors d'une conception, comme :

- La fréquence de transition,
- La fréquence maximale d'oscillation,
- Le gain maximum disponible ou MAG (Maximum Available Gain),
- Les paramètres de bruit.

Pour faciliter l'analyse théorique, seul le modèle intrinsèque du transistor sera considéré (cf.Fig. 3.5).

Performances/caractéristiques électriques principales du transistor HEMT

Fréquence de transition

La fréquence de transition f_t est définie comme étant la fréquence pour laquelle le gain en courant est égal à 1. Le paramètre H_{21} de la matrice [H] peut permettre sa détermination. On peut aussi l'exprimer en fonction des paramètres de la matrice [S] [Charbonniaud 2005] :

$$|H_{21}| = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right|. \quad (3.4)$$

Nous remplaçons les paramètres S par leur expression (cf. Annexe.Eq.A.14- Eq.A.17) dans l'équation 3.4. Avec l'hypothèse d'un transistor unilatéral, sans perte et que la valeur de C_{ds} est négligeable devant la valeur de C_{gs} , le gain en courant peut être simplifié sous la forme :

$$|H_{21}| \simeq \frac{g_m}{\omega C_{gs}}. \quad (3.5)$$

La fréquence de transition est obtenue quand le module du gain en courant est égal à 1, on a donc :

$$f_t = \frac{g_m}{2\pi C_{gs}}. \quad (3.6)$$

Fréquence maximale d'oscillation

La fréquence maximale d'oscillation f_{max} du transistor se définit à partir du gain en puissance et correspond à la fréquence où ce gain est égal à l'unité. Contrairement à la fréquence de transition qui est définie précisément, il existe plusieurs manières de déterminer le gain en puissance. Dans notre cas, on choisit le gain unilatéral maximum qui correspond au gain transductique du quadripôle adapté en entrée et en sortie dont le gain inverse a été rendu égale à zéro ($S_{12} = 0$).

Ce gain s'exprime [Charbonniaud 2005] :

$$G_{T_{umax}} = \frac{|S_{21}|^2}{(1 - |S_{11}|^2)((1 - |S_{22}|^2))} \quad (3.7)$$

Nous substituons les paramètres S par leur expression dans l'équation 3.7 avec la simplification $(R_{gs}C_{gs}\omega)^2 \ll 1$. Le gain unilatéral maximum devient :

$$G_{T_{umax}} = \frac{1}{4} \left(\frac{g_m}{\omega C_{gs}} \right)^2 \left(\frac{R_{ds}}{R_{gs}} \right). \quad (3.8)$$

La relation 3.8 indique que le gain unilatéral maximum décroît avec la fréquence. f_{max} est la fréquence où $G_{T_{umax}}$ est égal à l'unité, fréquence au delà de laquelle le quadripôle est passif [R. 1990]. Elle est donnée par :

$$f_{max} = \frac{g_m}{4\pi C_{gs}} \left(\frac{R_{ds}}{R_{gs}} \right)^{\frac{1}{2}}. \quad (3.9)$$

Les fréquences f_t et f_{max} servent au concepteur pour choisir le composant le plus adapté à ses spécifications, surtout pour la largeur de la bande de fréquence.

Gain maximum disponible et gain maximum stable du transistor

Le gain maximum disponible noté MAG (Maximum Available Gain) est le gain en puissance que nous obtenons en adaptant l'entrée et la sortie du transistor. Cependant, celui-ci ne peut être défini que lorsque le quadripôle est inconditionnellement stable. Dans le cas contraire, on calcule le gain maximum stable noté MSG (Maximum Stable Gain).

Dans le cas d'un transistor inconditionnellement stable, le MAG se définit par :

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| (K - \sqrt{K^2 - 1}), \quad (3.10)$$

où K est le facteur de stabilité .

Dans le cas contraire, le MSG se définit par :

$$MSG = \left| \frac{S_{21}}{S_{12}} \right|. \quad (3.11)$$

On remplace les paramètres S et le facteur de stabilité par leur expression dans les équations 3.10 et 3.11. Le gain maximum disponible et le gain maximum stable du transistor à effet de champ sont donnés

par :

$$MAG = \frac{g_m^2 R_{ds}}{4C_{gs}^2 \omega^2 R_{gs}}, \quad (3.12)$$

$$MSG = \frac{g_m}{\omega C_{gd}}. \quad (3.13)$$

Nous constatons que le MAG varie proportionnellement à g_m^2 et que le MSG augmente avec g_m pour une fréquence donnée.

Facteur de bruit minimum du transistor

Le facteur de bruit du transistor à effet de champ (TEC) est donné par Brewitt-Taylor en 1980 [Brewitt-taylor 1980]. Le modèle de bruit du transistor TEC est composé des sources de bruit intrinsèques ($\overline{i_g^2}$ et $\overline{i_d^2}$) et des sources de bruit extrinsèques ($\overline{v_g^2}$, $\overline{v_s^2}$ et $\overline{v_d^2}$) représentées sur la Fig.3.6.

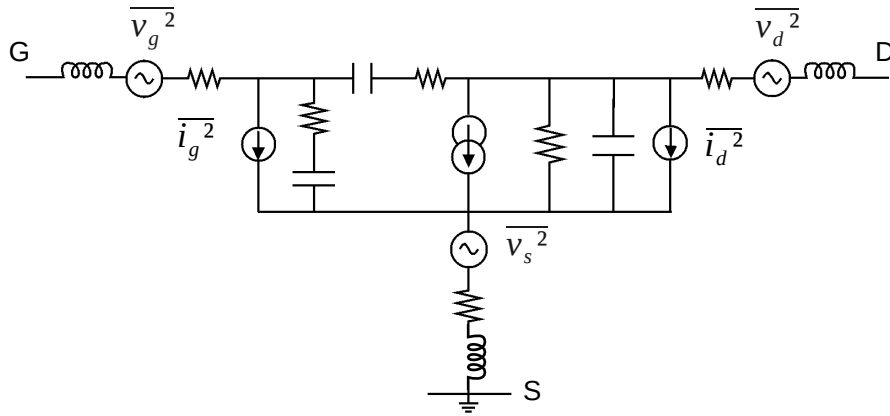


FIGURE 3.6 – Schéma équivalent du modèle de bruit du transistor à effet de champ

Ce modèle est toutefois compliqué pour effectuer des analyses théoriques. On ne conserve donc que le modèle représentant la partie intrinsèque du transistor unilatéral avec ses deux sources de bruit $\overline{i_g^2}$ et $\overline{i_d^2}$. (cf.Fig.3.7).

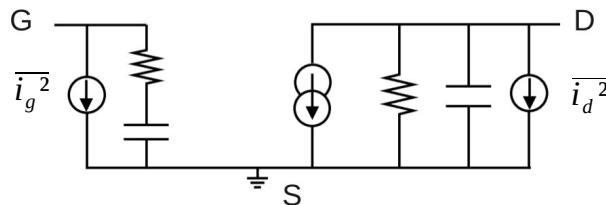


FIGURE 3.7 – Sources de courant de bruit du TEC intrinsèque

Les deux sources de courant de bruit équivalentes en entrée et en sortie sont issues du modèle développé par Van der Ziel ([van der Ziel 1963], [van der Ziel 1962]) et sont présentées par les relations

suivantes [Liechti 1976] :

$$\overline{i_g^2} = 4kT_0\Delta f \frac{\omega^2 C_{gs}^2}{g_m} R, \quad (3.14)$$

$$\overline{i_d^2} = 4kT_0\Delta f g_m P, \quad (3.15)$$

$$\overline{i_g i_d^*} = 4kT_0\Delta f j\omega C_{gs} \sqrt{PR}C, \quad (3.16)$$

où R et P sont des facteurs numériques variant avec le courant de drain et C est le coefficient de corrélation.

Le facteur de bruit minimum est alors égal à [Liechti 1976] :

$$F_{min} = 1 + 2\sqrt{PR(1-C^2)} \frac{f}{f_t} + 2g_m R_{gs} P \left(1 - C\sqrt{\frac{P}{R}}\right) \left(\frac{f}{f_t}\right)^2, \quad (3.17)$$

où R_{gs} est la résistance grille-source, g_m est la transconductance et f_t est la fréquence de transition du transistor.

Ces résultats théoriques montrent que le transistor est d'autant plus performant que sa grille est courte et que sa transconductance est élevée. Le choix du dimensionnement et du point de polarisation du transistor est donc une étape importante pour la conception du LNA. Il convient de préciser que les calculs sont effectués sur le transistor intrinsèque, sans prendre en compte les éléments parasites.

3.1.1.3 Zones de fonctionnement d'un transistor effet de champ

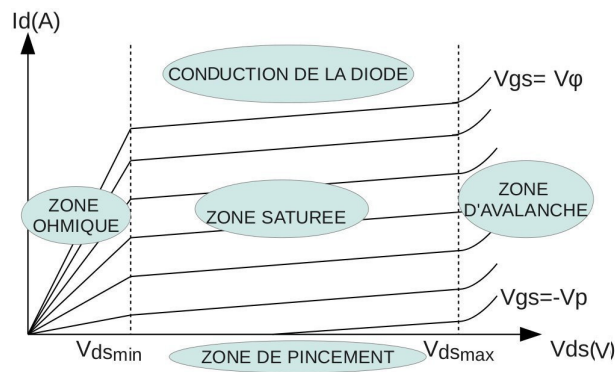


FIGURE 3.8 – Caractéristiques statiques d'un transistor à effet de champs

Il existe plusieurs zones de fonctionnement pour un transistor à effet de champ (cf. Fig. 3.8) :

- Zone ohmique
- Zone saturée
- Zone de pincement
- Zone d'avalanche
- Zone de conduction de la diode

La zone ohmique est définie pour des faibles valeurs de la tension $V_{ds} (< V_{dsmin})$. La caractéristique de sortie est linéaire et le transistor est assimilable à une résistance dont la valeur est fonction de la tension V_{gs} .

Dans la zone saturée, le courant I_d ne varie plus avec la tension V_{ds} ($V_{dsmin} < V_{ds} < V_{dsmax}$) dû à la saturation des électrons. Le transistor se comporte alors comme une source de courant dépendant de la tension V_{gs} . Pour amplifier, le transistor fonctionne dans cette zone.

Lorsque la valeur absolue de la tension V_{gs} continue d'augmenter, la diminution de la profondeur du puits de potentiel à l'hétérojonction entraîne un abaissement de la densité des électrons et donc du courant de drain. La zone de pincement correspond à une valeur de V_{gs} suffisamment négative, $V_{gs} < -V_p$, où V_p est la tension de pincement. On peut alors considérer que le courant I_d est nul, le transistor est dit bloqué. La concentration des électrons dépend fortement de l'épaisseur de puits et du dopage de la zone de grand gap, ceci rend la tension de pincement difficile à maîtriser, créant une dispersion technologique. Par exemple, pour un transistor pHEMT de la fonderie TriQuint, la dispersion typique de V_p est de $\pm 25\%$.

La zone d'avalanche délimite l'excursion maximale de la tension V_{dsmax} . Elle résulte d'un claquage inverse de la jonction drain-grille et également de la jonction grille-source. Le transistor risque de se détériorer si rien ne limite le courant de drain.

La zone de conduction de la diode est une zone de fonctionnement où la tension de grille dépasse V_ϕ . Elle correspond à une valeur limite d'utilisation pour des raisons de fiabilité et de durée de vie du transistor.

3.1.2 Caractéristiques du pHEMT 0,15 μ m sur GaAs fabriqué par TriQuint

3.1.2.1 Structure et détails de la technologie

La technologie à notre disposition est un pHEMT 0,15 μ m sur arséniure de gallium fabriqué par TriQuint.

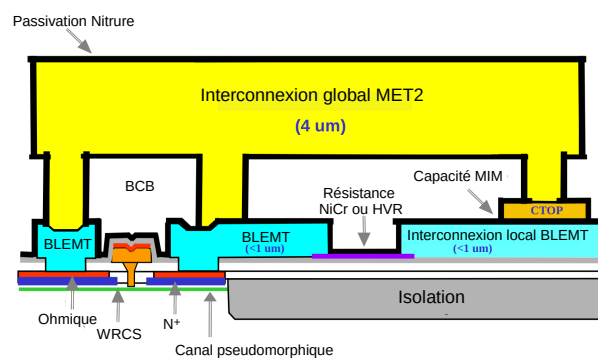


FIGURE 3.9 – Technologie pHEMT sur GaAs

La structure d'empilement de la technologie est présentée figure.3.9. Les détails de chaque couche sont illustrés dans le document technique de la fonderie TriQuint [Tri 2011]. En particulier, la couche d'interconnexion métallique globale MET2 et la couche d'interconnexion métallique locale BLEMT sont encapsulées dans un diélectrique BCB (Bisbenzocyclobutène) à haute performance [Kurpasa 2013]. Cela permet une grande flexibilité d'interconnexion et une optimisation de la surface de puce. L'utilisation de

l'inductance MRIND (Microstrip Rectangular Spiral Inductor), de la résistance NiCr et de la capacité MIM (taille minimale : $36 \mu\text{m}^2$, valeur minimale : $0,03\text{pF}$) de la technologie pHEMT sur GaAs sont fortement conseillées par le fabricant pour leurs niveaux d'intégration élevés.

Les caractéristiques de la technologie sont présentées dans la Tab. 3.2. La valeur maximale du courant de drain I_D pour $V_{gs} = 0\text{V}$ est notée I_{DSS} .

TABLE 3.2 – Caractéristiques de la technologie [Tri 2011]

propriétés du transistor @ $V_{ds}=3.0\text{V}$			
Éléments	Paramètres	Valeurs typiques	Unités
D-mode pHEMT	$-V_p$	-1.0	V
	I_{DSS}	380	mA/mm
	I_{max}	580	mA/mm
	V_{dg} (claquage)	14	V
	f_t	80	GHz
	$g_m@I_{dss}$	550	mS/mm
	V_{dsmax}	15	V
Longueur de grille	D-Mode	0,15	μm
Interconnexions		2	‡ Couches métalliques
MIM Caps	Valeur	620	pF/mm ²
Résistances	NiCr	50	Ohms/square
	N^-	120	Ohms/square

3.1.2.2 Dimensionnement du transistor

Le choix du point de polarisation et de la taille du transistor se fera principalement en fonction des performances en termes de NF_{min} , g_m et consommation. Le but étant d'avoir un NF_{min} faible et un g_m fort, le tout pour une faible consommation. Bien entendu, des compromis devront être faits.

Les degrés de liberté sont :

- la polarisation du transistor qui se situe dans la zone saturée. Cette dernière est définie par les valeurs de tension respectivement V_{dsmin} , V_{dsmax} , V_ϕ et V_p .
- la taille du transistor correspond à la largeur totale de la grille $N_g \times w_0$, où N_g est le nombre de doigt et w_0 , la largeur d'un doigt de grille. Un exemple du layout d'un transistor de taille de $4 \times 40\mu\text{m}$ est donné Fig. 3.10. Le constructeur garantit un fonctionnement normal pour des transistors de taille inférieure à $6 \times 50\mu\text{m}$ [Tri 2011].

Zone de polarisation

Pour choisir notre point de fonctionnement, un tracé des courbes statiques pour plusieurs transistors de tailles différentes (par exemple : $80\mu\text{m}$, $160\mu\text{m}$, et $240\mu\text{m}$) est proposé.

La Fig. 3.11 présente un exemple de réseaux statiques pour un transistor de $4 \times 40\mu\text{m}$.

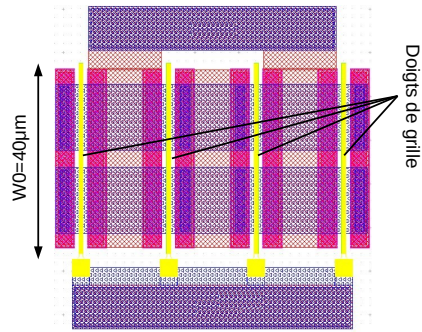


FIGURE 3.10 – Layout d’un transistor de taille de $4 \times 40 \mu m$

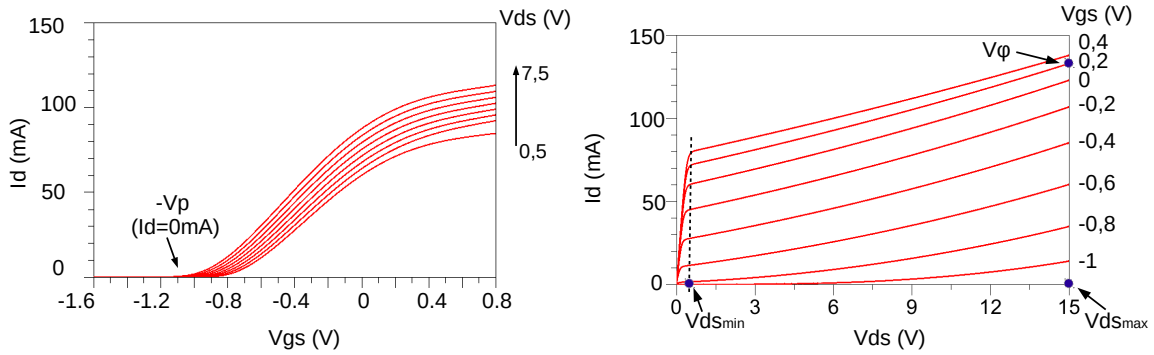


FIGURE 3.11 – Réseaux statiques du transistor d’une taille de $4 \times 40 \mu m$

Selon les courbes $I_d(V_{ds})$ pour des transistors de tailles différentes, on obtient $V_{dsmin} = 0,4V$ et $V_\phi = 0,2V$. Selon les courbes $I_d(V_{gs})$ pour des transistors de tailles différentes, on détermine la tension de pincement V_p .

La Fig. 3.12 présente la tension de pincement V_p extraite à partir des réseaux statiques pour des transistors de tailles et des tensions drain-source différentes. La Tab. 3.3 précise les valeurs de $-V_p$.

TABLE 3.3 – Tensions de pincement extraites à partir des réseaux statiques

Taille totale	V_{ds} (V)	0,5	1,5	2,5	3,5	4,5	5,5	6,5	7,5
$80 \mu m$	$-V_p$ (V)	-0,84	-0,88	-0,90	-0,94	-0,96	-1,0	-1,02	-1,06
$160 \mu m$		-0,88	-0,90	-0,94	-0,98	-1,0	-1,04	-1,06	-1,10
$240 \mu m$		-0,90	-0,92	-0,96	-1,0	-1,02	-1,06	-1,08	-1,12

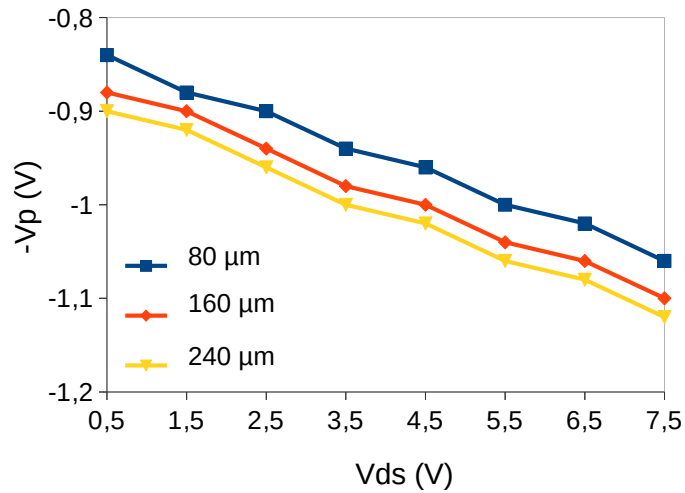


FIGURE 3.12 – Tensions de pincement des transistors de tailles différentes

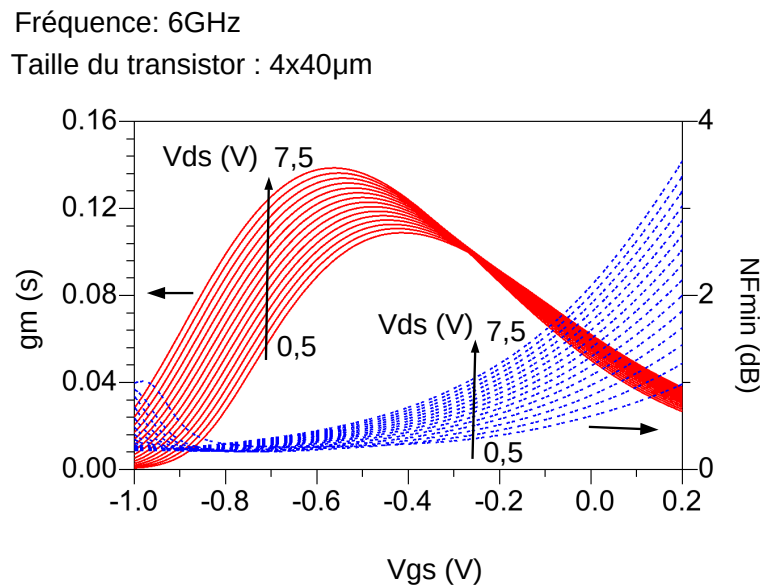


FIGURE 3.13 – Évolution du facteur de bruit minimum et de la transconductance en fonction des polarisations

Dans la zone saturée définie précédemment, nous cherchons les conditions optimales en termes de bruit et de gain. Pour cela, nous présentons l'évolution du facteur de bruit minimum NF_{min} et de la transconductance g_m en fonction des polarisations, et ceci pour des tailles différentes du transistor. Un exemple est donné Fig. 3.13 pour un transistor de taille $4 \times 40 \mu\text{m}$. La fréquence est fixée à 6GHz. Nous utilisons le formalisme admittance pour extraire la transductance g_m à partir d'un transistor intrinsèque (cf. Annexe. D).

On constate que les tensions V_{gs} donnant lieu à un optimum de bruit et de g_m ne sont pas confondues. Les valeurs maximales de g_m sont obtenues pour une plage de tension V_{gs} allant de $-0,6V$ à $-0,3V$, alors que l'optimum de NF_{min} est obtenu pour V_{gs} allant de $-0,8V$ à $-0,6V$. L'objectif étant de concevoir un amplificateur faible bruit, on choisit la plage $[-0,8V, -0,6V]$.

On cherche alors la valeur de V_{ds} optimale ($V_{ds_{opt}}$) minimisant le bruit. Pour un transistor de taille $4 \times 40\mu m$, on obtient (cf.Fig. 3.14) :

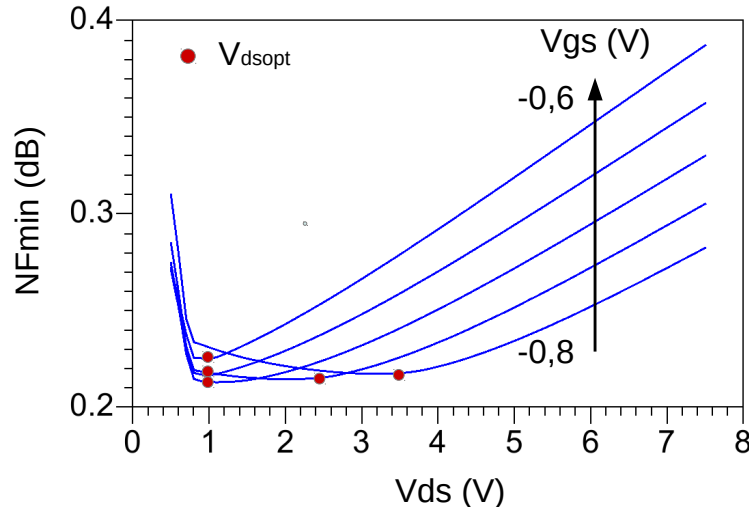


FIGURE 3.14 – Valeurs de V_{ds} optimum (fréquence=6GHz)

On constate que la valeur de tension $V_{ds_{opt}}$ varie avec la valeur de V_{gs} .

Nombre de doigt optimal vis à vis au bruit

On cherche le nombre de doigt optimal vis à vis du bruit (NF_{min}) pour un transistor donné.

Le facteur de bruit minimum donné par la relation de Fukui (cf.Eq.3.2) dépend du facteur :

$$C_{gs} \left[\frac{R_{se} + R_{ge}}{g_m} \right]^{1/2}, \quad (3.18)$$

où R_{ge} est la résistance parasite de grille, R_{se} est la résistance parasite de source, C_{gs} est la capacité grille-drain et g_m est la transconductance du transistor. Pour une taille de transistor fixée, la valeur de la transconductance ne varie pas avec le nombre de doigt.

La Fig. 3.15 illustre un exemple de l'évaluation de C_{gs} en fonction de nombre de doigt pour un transistor de taille $160\mu m$ ($V_{gs} = -0,7V$). Les figures Fig. 3.16 et Fig. 3.17 montrent les valeurs de R_{se} et R_{ge} en fonction de la fréquence. Les procédures d'extraction des paramètres sont présentées en Annexe D.

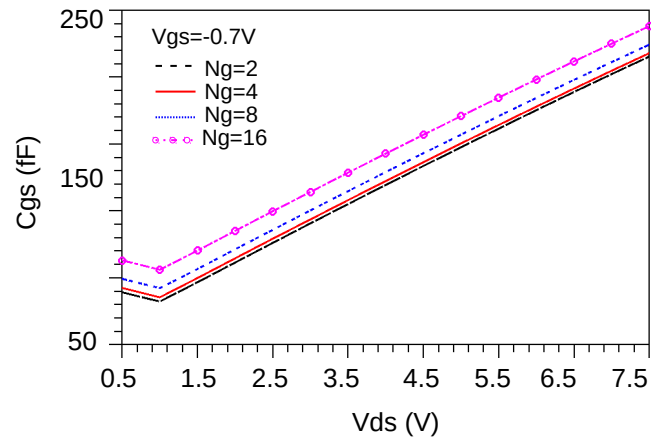


FIGURE 3.15 – C_{gs} d'un transistor de taille $160\mu m$ pour $V_{gs} = -0,7V$ à une fréquence de 6GHz

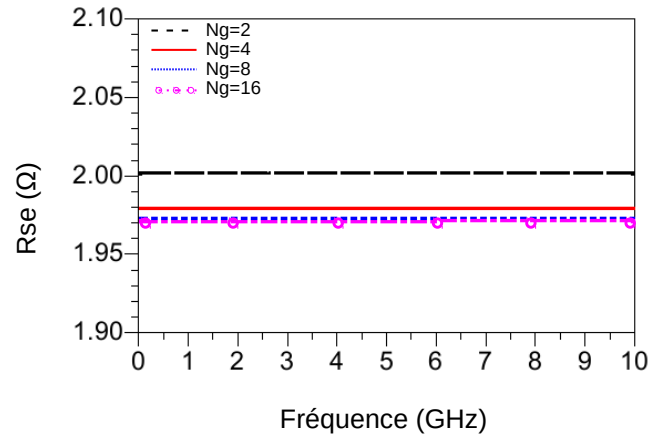


FIGURE 3.16 – R_{se} d'un transistor de taille $160\mu m$

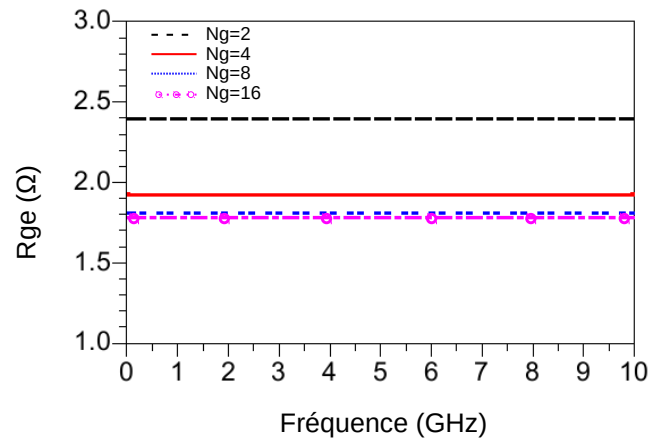


FIGURE 3.17 – R_{ge} d'un transistor de taille $160\mu m$

On peut remarquer qu'avec la même taille de transistor (on change le nombre de doigt), plus N_g est petit, plus la valeur de C_{gs} est faible et plus la valeur de R_{ge} est grande, alors que la valeur de R_{se} est quasi invariante. Pour une largeur de grille donnée il existe donc un nombre de doigts N_g permettant d'optimiser le NF_{min} . Un exemple de NF_{min} d'un transistor de taille $160\mu m$ ($V_{gs} = -0,7V$) est donné Fig. 3.18.

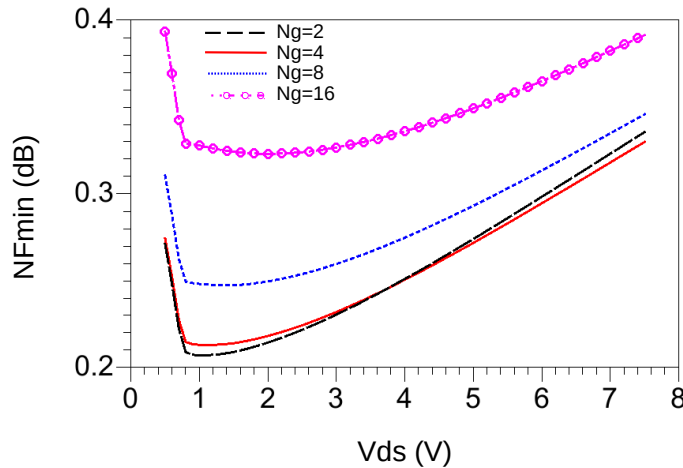


FIGURE 3.18 – NF_{min} d'un transistor de taille $160\mu m$ pour $V_{gs} = -0,7V$ (fréquence=6GHz)

Nous remarquons que les transistors avec $N_g = 2$ et $N_g = 4$ présentent le NF_{min} le plus faible. Nous choisissons $N_{gopt} = 4$ pour son meilleur NF_{min} en moyenne sur toute la plage de polarisation en V_{ds} . Le même constat est valable pour des tailles de transistors de $80\mu m$ et $240\mu m$. On prend donc un transistor avec 4 doigts.

Choix du transistor

Notre objectif est d'obtenir un gain en puissance autour de 18dB et un facteur de bruit optimisé tout en respectant la contrainte de consommation. Le transistor doit donc fournir une transconductance, un facteur de bruit minimum et une puissance dissipée correspondant à nos spécifications.

Le gain en puissance d'une structure distribuée se définit comme suit :

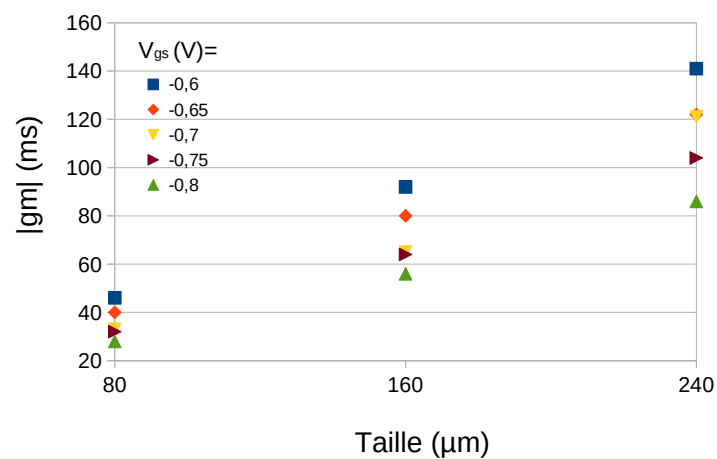
$$G_p = n^2 \frac{(g_m Z_0)^2}{4}, \quad (3.19)$$

où n est le nombre de cellule, Z_0 est l'impédance caractéristique des lignes. Afin d'abaisser le facteur de bruit d'une structure distribuée, il faut prendre un nombre de cellules important. On se fixe à 6 cellules. Dans ce cas, on a besoin d'un $g_m = 53mS$ afin d'assurer un gain de 18dB.

Les Fig. 3.19-3.21 présentent les performances des transistors en fonction de leur développement de grille. Ces transistors ont un nombre de doigt N_{gopt} et sont polarisés en $V_{ds,opt}$ dans la plage de V_{gs} choisie. La fréquence est fixée à 6GHz. La Tab. 3.4 détaille les valeurs de polarisation optimum vis à vis du bruit et les performances des transistors correspondantes.

TABLE 3.4 – Conditions optimales de polarisation vis à vis du bruit et des performances des transistors

Taille	V_{gs} (V)	-0,6	-0,65	-0,7	-0,75	-0,8
$80\mu m$ ($N_g = 4$)	$V_{ds_{opt}}$ (V)	1,0	1,0	1,0	1,5	2,5
	g_m (mS)	46	40	33	32	28
	NF_{min} (dB)	0,21	0,20	0,19	0,19	0,20
	P_{dc} (mW)	6,30	4,60	3,10	3,34	4,48
$160\mu m$ ($N_g = 4$)	$V_{ds_{opt}}$ (V)	1,0	1,0	1,0	2,5	3,5
	g_m (mS)	92	80	65	64	56
	NF_{min} (dB)	0,22	0,21	0,21	0,22	0,23
	P_{dc} (mW)	12,64	9,19	6,21	10,31	12,60
$240\mu m$ ($N_g = 4$)	$V_{ds_{opt}}$ (V)	1,0	1,0	1,5	2,5	3,5
	g_m (mS)	141	122	121	104	86
	NF_{min} (dB)	0,26	0,25	0,25	0,25	0,25
	P_{dc} (mW)	18,96	13,78	15,84	21,70	25,60

FIGURE 3.19 – Transconductance en fonction de la taille du transistor polarisé en $V_{ds_{opt}}$ dans la plage de V_{gs} choisie

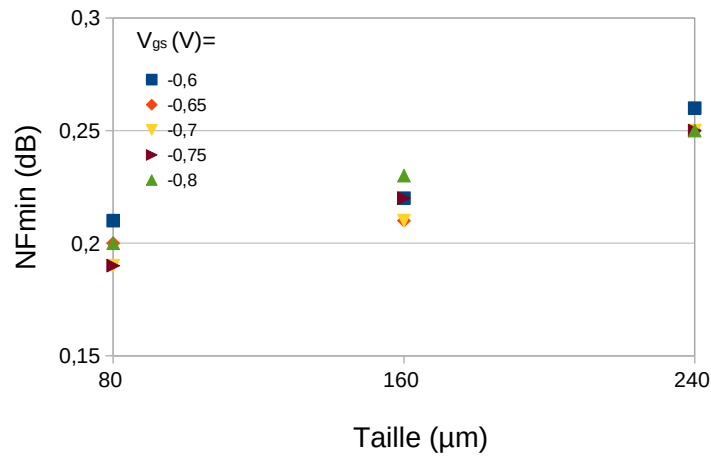


FIGURE 3.20 – NF_{min} en fonction de la taille du transistor polarisé en $V_{ds,opt}$ dans la plage de V_{gs} choisie (fréquence=6GHz)

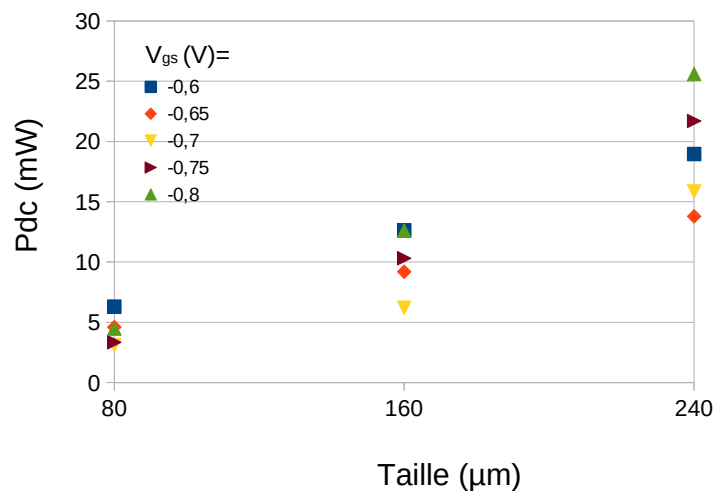


FIGURE 3.21 – Consommation en fonction de la taille du transistor polarisé en $V_{ds,opt}$ dans la plage de V_{gs} choisie (fréquence=6GHz)

Le compromis entre un g_m supérieur à 53ms et un facteur de bruit minimum faible impose le $4 \times 40\mu m$ ($160 \mu m$) comme solution.

3.1.3 Récapitulatif

Dans cette partie, nous avons étudié la technologie pHEMT sur GaAs très utilisée en hyperfréquences. Cette étude nous a permis de déterminer les points de polarisation et la taille du transistor qui sera utilisée comme brique de base de l'amplificateur distribué faible bruit.

Le transistor choisi est de taille $4 \times 40 \mu\text{m}$ avec la polarisation $V_{ds} = 1\text{V}$, $I_{ds} = 6.2\text{mA}$ et $V_{gs} = -0,7\text{V}$. Il présente :

- une fréquence de transition $f_t = 98\text{GHz}$
- une consommation de $6,2\text{mW}$

Dans la partie qui suit, nous réaliserons une étude du fonctionnement de l'amplificateur distribué en régime linéaire à partir du transistor retenu.

3.2 Principe de fonctionnement d'un amplificateur distribué

Notre étude est basée sur un transistor à effet de champ avec l'hypothèse qu'il est unilatéral. Un schéma petit signal simplifié pour un transistor à effet de champs en source commune est montré sur la Fig. 3.22.

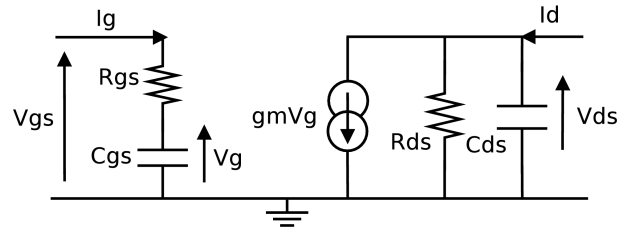


FIGURE 3.22 – Schéma petit signal simplifié d'un TEC

La Fig. 3.23 montre le schéma d'un amplificateur distribué. Il est composé principalement de trois parties : une ligne d'entrée, une ligne de sortie et des cellules élémentaires de gain qui amplifient le signal.

Le principe de fonctionnement de l'amplification distribuée consiste à associer la capacité d'entrée et de sortie de la cellule élémentaire avec une inductance afin de simuler des lignes de transmissions. Les deux lignes de transmission sont couplées par la transconductance g_m du transistor et terminées à leurs extrémités par des charges adaptées à l'impédance caractéristique de chacune des lignes. Plus précisément, les coefficients de réflexion de charge des lignes de grille et de drain nommés Γ_g et Γ_d doivent satisfaire les conditions suivantes :

$$\Gamma_g = \frac{Z_g - Z_{0g}}{Z_g + Z_{0g}} = 0, \quad (3.20)$$

$$\Gamma_d = \frac{Z_d - Z_{0d}}{Z_d + Z_{0d}} = 0, \quad (3.21)$$

où Z_{0g} et Z_{0d} sont les impédances caractéristiques, Z_g et Z_d sont les charges de ligne de grille et de drain.

Le signal, présent à l'entrée de l'amplificateur distribué, se propage dans la ligne de grille. À chaque intersection de cette ligne, une partie de ce signal est alors prélevée par la cellule élémentaire puis amplifiée. Il continue alors sa propagation le long de la ligne de drain vers la sortie. Donc à la sortie de

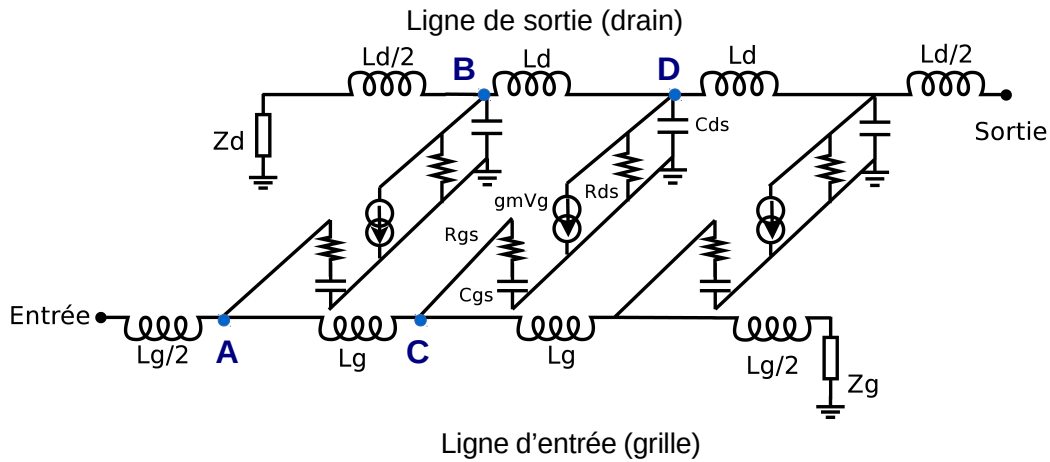


FIGURE 3.23 – Schéma de principe de l'amplificateur distribué

l'amplificateur distribué, on reçoit un signal qui est la recombinaison des signaux amplifiés. La fraction restante du signal qui se propage suivant la ligne de grille se dissipe dans la charge Z_g .

Afin de garantir une combinaison optimale des signaux en sortie de chaque cellule élémentaire, on doit assurer l'égalité des vitesses de phase. En conséquence nous avons $\overbrace{ABD} = \overbrace{ACD}$. Cela s'interprète par le fait que le temps mis pour parcourir les chemins $A \rightarrow B \rightarrow D$ et $A \rightarrow C \rightarrow D$ est identique.

Dans le but de mettre en évidence les principales caractéristiques de l'amplificateur distribué, une étude sera effectuée. Elle utilise les différents paramètres des cellules élémentaires, issus d'un modèle de transistor à effet de champ en source commune :

- Impédances caractéristiques et constantes de propagation des lignes de drain et de grille
- Bande passante de l'amplificateur distribué
- Gain de l'amplificateur distribué
- Facteur de bruit de l'amplificateur distribué
- Consommation
- Nombre optimal de cellules élémentaires

3.3 Paramètres caractéristiques des lignes artificielles de transmission

Les paramètres caractéristiques des lignes de drain et de grille sont les impédances caractéristiques et les constantes de propagation. L'étude des impédances caractéristiques nous permet de calculer les conditions d'adaptation aux extrémités des lignes et l'expression du gain de l'amplificateur. Les constantes de propagation nous permettent de connaître la dégradation du gain. Donc une évaluation de ces deux paramètres à partir d'une étude des lignes de transmission est nécessaire pour caractériser les performances de l'amplificateur.

La Fig. 3.24 met en évidence les lignes de transmission de grille et de drain. La cellule élémentaire de la ligne de grille est réalisée par les inductances $L_g/2$ et la capacité parasite d'entrée du transistor C_{gs} en série avec la résistance du canal R_{gs} . La cellule élémentaire de la ligne de drain est réalisée par les

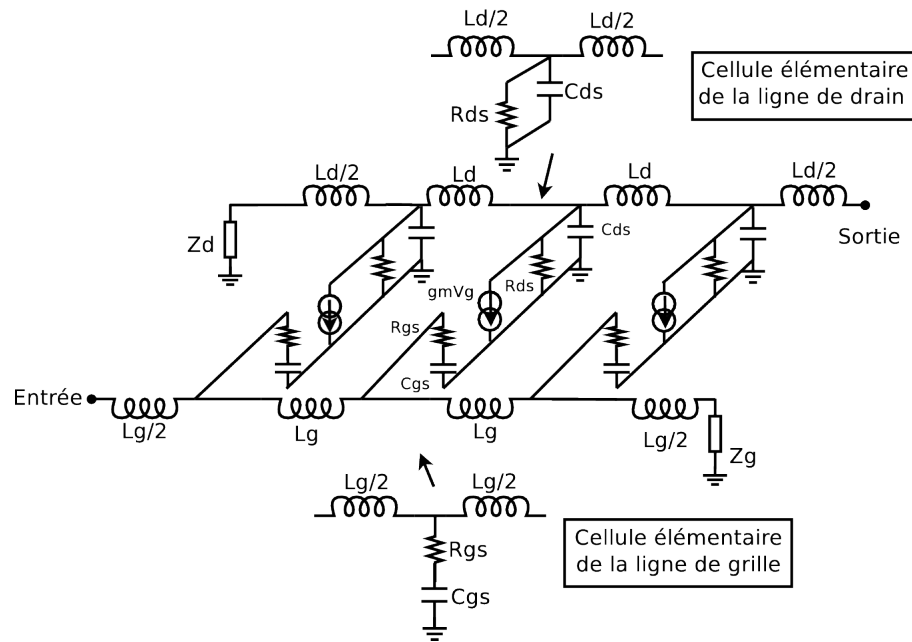


FIGURE 3.24 – Lignes de transmission artificielle

inductances $L_d/2$ associées à la capacité C_{ds} en sortie de la cellule élémentaire, en parallèle à R_{ds} . Les deux lignes sont couplées via la source de courant commandée ($g_m V_g$).

Afin d’exprimer les valeurs théoriques de l’impédance caractéristique et de la constante de propagation des lignes à partir des éléments intrinsèques du transistor, nous appliquons la méthode des paramètres images et itératifs [Gautier 2007]. Cette méthode est très utilisée dans l’étude de lignes de transmission composées par la mise en cascade de plusieurs quadripôles identiques. Ceci nécessite l’utilisation de la matrice chaîne (cf. Annexe.B).

Dans un premier temps, nous analysons la cellule élémentaire de la ligne de grille ou de drain correspondant à un quadripôle de type T symétrique (cf. Fig. 3.25).

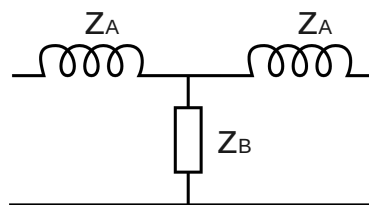


FIGURE 3.25 – Cellule élémentaire de la ligne de grille ou de drain (Nous ne tenons pas en compte des éléments parasites des inductances.)

Z_A est l’impédance des inductances. Z_B est l’impédance d’entrée ou de sortie du transistor.

On obtient alors la matrice impédance de la cellule de la ligne :

$$Z = \begin{bmatrix} Z_A + Z_B & Z_B \\ Z_B & Z_A + Z_B \end{bmatrix}. \quad (3.22)$$

À partir de la méthode des paramètres images et itératifs nous obtenons alors les paramètres caractéristiques suivants (cf. Annexe.B) :

– Impédance caractéristique Z_0 :

$$Z_0 = \sqrt{\Delta Z} = \sqrt{2Z_A Z_B + Z_A^2}. \quad (3.23)$$

– Paramètre caractéristique de propagation θ :

$$\text{ch}(\theta) = \frac{Z_{11}}{Z_{12}} = 1 + \frac{Z_A}{Z_B}, \quad (3.24)$$

$$\text{sh}(\theta) = \frac{\sqrt{\Delta z}}{Z_{12}} = \sqrt{\frac{2Z_A}{Z_B}} \sqrt{1 + \frac{Z_A}{2Z_B}}. \quad (3.25)$$

Avec

$$\theta = \alpha + j\beta, \quad (3.26)$$

où α est le coefficient d'atténuation et β est la constante de phase.

Dans les paragraphes suivantes, nous appliquons les formules générales des paramètres (Eq.3.23, Eq.3.24, Eq.3.25) sur nos lignes de drain et de grille.

3.3.1 Ligne de drain

Pour la cellule élémentaire de la ligne de drain, on a :

- $Z_A = j \frac{L_d}{2} \omega$
- $Z_B = \frac{1}{\frac{1}{R_{ds}} + j C_{ds} \omega}$

On pose $\omega_{cd} = \frac{2}{\sqrt{L_d C_{ds}}}$ et $\omega_d = \frac{1}{R_{ds} C_{ds}}$, avec ω_{cd} une pulsation caractéristique de la propagation de la phase sur la ligne et ω_d est une pulsation caractéristique des pertes sur la ligne.

On obtient ainsi l'impédance caractéristique Z_{0d} et le paramètre caractéristique de propagation θ_d de la ligne de drain :

$$Z_{0d} = \sqrt{\frac{L_d}{C_{ds}}} \sqrt{1 - \left(\frac{\omega}{\omega_{cd}}\right)^2 - \frac{1}{1 + j \frac{\omega}{\omega_d}}}, \quad (3.27)$$

$$\text{ch}\theta_d = 1 - 2\left(\frac{\omega}{\omega_{cd}}\right)^2 + 2j \frac{\omega \omega_d}{\omega_{cd}^2}, \quad (3.28)$$

$$\text{sh}\theta_d = 2j \frac{\omega}{\omega_{cd}} \sqrt{1 - j \frac{\omega_d}{\omega}} \sqrt{1 - \left(\frac{\omega}{\omega_{cd}}\right)^2 + j \frac{\omega \omega_d}{\omega_{cd}^2}}. \quad (3.29)$$

Le coefficient d'atténuation et la constante de phase de ligne de drain sont donnés par :

$$\alpha_d = \sqrt{\frac{L_d}{C_{ds}}} \frac{1}{R_{ds} \sqrt{4 - L_d C_{ds} \omega^2}}, \quad (3.30)$$

$$\beta_d = \text{Arccos} \left(1 - \frac{L_d C_{ds} \omega^2}{2} \right). \quad (3.31)$$

On remarque qu'obtenir des faibles pertes dans la ligne de drain demande une faible valeur de la conductance $1/R_{ds}$, donc une faible valeur de ω_d .

Dans le cas de faibles pertes et $\omega \ll \omega_{cd}$, nous donnons des formules approchées des grandeurs caractéristiques de la ligne de drain en utilisant le fait que ω_d est faible. Les équations 3.27, 3.28 et 3.29 peuvent être alors simplifiées comme suit :

$$Z'_{0d} \cong \sqrt{\frac{L_d}{C_{ds}}}, \quad (3.32)$$

$$\text{ch}\theta'_d \cong 1, \quad (3.33)$$

$$\text{sh}\theta'_d \cong \theta'_d = \frac{\omega_d}{\omega_{cd}} + 2j \frac{\omega}{\omega_{cd}}. \quad (3.34)$$

D'où

$$\alpha'_d \cong \frac{\omega_d}{\omega_{cd}} = \frac{Z'_{0d}}{2R_{ds}}, \quad (3.35)$$

$$\beta'_d \cong 2 \frac{\omega}{\omega_{cd}} = \omega Z'_{0d} C_{ds}. \quad (3.36)$$

3.3.2 Ligne de grille

Les paramètres caractéristiques de la cellule élémentaire de la ligne de grille sont données par :

- $Z_A = j \frac{L_g}{2} \omega$
- $Z_B = R_{gs} + \frac{1}{j C_{gs} \omega}$

On pose $\omega_{cg} = \frac{2}{\sqrt{L_g C_{gs}}}$ et $\omega_g = \frac{1}{R_{gs} C_{gs}}$, avec ω_{cg} pulsation caractéristique de la propagation de la phase sur la ligne et ω_g une pulsation caractéristique des pertes sur la ligne.

On obtient ainsi l'impédance caractéristique Z_{0g} et le paramètre caractéristique de propagation θ_g de la ligne de grille :

$$Z_{0g} = \sqrt{\frac{L_g}{C_{gs}}} \sqrt{1 - \left(\frac{\omega}{\omega_{cg}}\right)^2 + j \frac{\omega}{\omega_g}}, \quad (3.37)$$

$$\text{ch}\theta_g = 1 - 2 \left(\frac{\omega}{\omega_{cg}}\right)^2 \frac{1}{1 + j \frac{\omega}{\omega_g}}, \quad (3.38)$$

$$\text{sh}\theta_g = 2j \frac{\omega}{\omega_{cg}} \frac{1}{\sqrt{1 + j \frac{\omega}{\omega_g}}} \sqrt{1 - \left(\frac{\omega}{\omega_{cg}}\right)^2 \frac{1}{1 + j \frac{\omega}{\omega_g}}}. \quad (3.39)$$

Le coefficient d'atténuation et la constante de phase de ligne de grille s'expriment sous la forme :

$$\alpha_g = \frac{\omega R_{gs} C_{gs} \sqrt{L_g C_{gs} \omega^2}}{\sqrt{4 + (2R_{gs} C_{gs} \omega)^2 - L_g C_{gs} \omega^2}}, \quad (3.40)$$

$$\beta_g = \text{Arccos} \left(1 - \frac{L_g C_{gs} \omega^2}{2(1 + (R_{gs} C_{gs} \omega)^2)} \right). \quad (3.41)$$

Nous notons que les faibles pertes dans la ligne de grille ont besoin d'une faible valeur de la résistance R_{gs} , donc une valeur de ω_d élevée.

Dans le cas de faibles pertes et $\omega \ll \omega_{cg}$, nous donnons des formules approchées des grandeurs caractéristiques de la ligne de grille en utilisant le fait que ω_g est grand, alors les équations 3.37, 3.38 et 3.39 peuvent être simplifiées comme suit :

$$Z'_{0g} \cong \sqrt{\frac{L_g}{C_{gs}}}, \quad (3.42)$$

$$\text{ch}\theta'_g \cong 1, \quad (3.43)$$

$$\text{sh}\theta'_g \cong \theta_g = \frac{\omega^2}{\omega_g \omega_{cg}} + 2j \frac{\omega}{\omega_{cg}}. \quad (3.44)$$

D'où

$$\alpha'_g \cong \frac{\omega^2}{\omega_g \omega_{cg}} = \frac{\omega^2}{2} Z'_{0g} R_{gs} C_{gs}^2, \quad (3.45)$$

$$\beta'_g \cong 2 \frac{\omega}{\omega_{cg}} = \omega Z'_{0g} C_{gs}. \quad (3.46)$$

3.3.3 Impédances caractéristiques des lignes

Dans cette partie, nous faisons une évaluation des impédances caractéristiques des lignes de drain et de grille en fonction de la fréquence. Cela nous permet d'étudier les conditions d'adaptation en entrée et en sortie de l'amplificateur sur toute la bande.

Les impédances caractéristiques dépendent des éléments intrinsèques du transistor (cf. Fig. 3.22). Afin d'extraire les valeurs de ces éléments, on utilise un transistor $4 \times 40 \mu m$, à la polarisation $V_{ds} = 1.0V$ et $V_{gs} = -0.7V$. La Tab. 3.5 nous donne d'une part les valeurs des éléments du schéma équivalent simplifié et d'autre part les valeurs des inductances L_g et L_d calculées pour des impédances caractéristiques de 50Ω .

TABLE 3.5 – Ordre de grandeur des paramètres des cellules de grille et de drain

$C_{ds}(fF)$	$R_{ds}(\Omega)$	$L_d(nH)$	$C_{gs}(fF)$	$R_{gs}(\Omega)$	$L_g(nH)$
58	500	0,14	85	3	0,21

À partir des équations 3.27 et 3.37, nous présentons l'évolution de l'impédance caractéristique des lignes de drain et de grille sur la bande de fréquence étudiée (cf. Fig. 3.26).

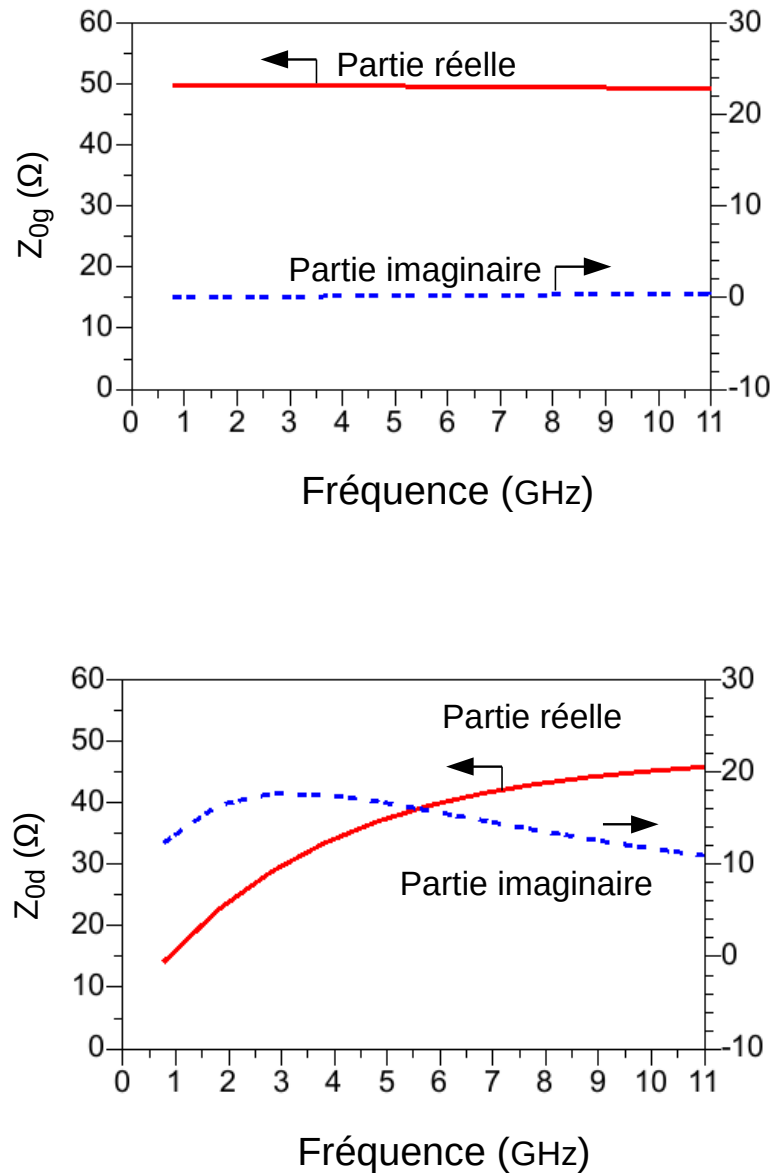


FIGURE 3.26 – Évolution de l'impédance caractéristique des lignes de grille et de drain

On constate que pour la ligne de grille, la partie réelle reste quasiment constante avec une valeur proche de 50Ω et la partie imaginaire est quasi nulle.

Pour la ligne de drain, la partie réelle est inférieure à 50Ω et augmente avec la fréquence. La partie imaginaire chute avec la fréquence avec une valeur non négligeable. Ce phénomène est dû aux pertes sur la ligne de drain qui ne sont pas suffisamment faibles pour que l'on puisse simplifier Z_{0d} par Z'_{0d} . L'amplificateur a donc besoin d'un circuit d'adaptation d'impédance plus compliqué sur la ligne de drain. Pour éviter ce problème, on va utiliser la configuration cascode qui doit diminuer les pertes sur la ligne de drain (précisé dans la suite).

3.4 Performances électriques d'un amplificateur distribué

3.4.1 Gain en puissance

Le gain en puissance est une performance clé pour un amplificateur. La connaissance des paramètres caractéristiques du gain va nous permettre de déterminer des critères de conception.

Dans la littérature, trois méthodes sont proposées pour obtenir le gain d'un amplificateur distribué :

- Une méthode basée sur la théorie des quadripôles (Modèle Beyer) [Beyer 1984]
- Une méthode utilisant la matrice chaîne (Modèle Niclas) [Niclas 1983b]
- Une méthode utilisant la matrice de transfert (Modèle McKay) [McKay 1986]

Le détail des calculs de ces trois méthodes est donné en annexe. C. Nous présenterons les relations finales obtenues dans la partie qui va suivre.

3.4.1.1 Approche utilisant le modèle Beyer [Beyer 1984]

La méthode basée sur le modèle Beyer calcule le gain en puissance de l'amplificateur distribué en utilisant la théorie des quadripôles. Le calcul de Beyer est basé sur l'hypothèse que le transistor est unilatéral. Le gain en puissance peut s'exprimer par :

$$G_p = \frac{g_m^2 Z'_{0d} Z'_{0g} \sinh^2 \left[\frac{n}{2} (\alpha_d - \alpha_g) \right] e^{-\frac{n(\alpha_d + \alpha_g)}{2}}}{4 \left[1 + \left(\frac{\omega}{\omega_g} \right)^2 \right] \left[1 - \left(\frac{\omega}{\omega_{cg}} \right)^2 \right] \sinh^2 \left[\frac{1}{2} (\alpha_d - \alpha_g) \right]} \quad (3.47)$$

Si les conditions suivantes sont satisfaites :

- 1) égalité des vitesses de phase,
- 2) lignes sans perte ($\alpha_g = \alpha_d = 0$),
- 3) $\omega \ll \frac{2}{\sqrt{L_g C_{gs}}}$ et $\omega \ll \frac{1}{C_{gs} R_{gs}}$,

l'expression du gain se simplifie sous la forme :

$$G_p = n^2 \frac{g_m^2 Z'_{0d} Z'_{0g}}{4} \quad (3.48)$$

Dans le cas où $Z'_{0d} = Z'_{0g} = Z_0$, l'équation 3.48 s'écrit comme suit :

$$G_p = n^2 \frac{(g_m Z_0^2)}{4} \quad (3.49)$$

3.4.1.2 Approche utilisant le modèle Niclas [Niclas 1983b]

Les méthodes basées sur le modèle Niclas et sur le modèle McKay calculent le paramètre S_{21} de l'amplificateur en utilisant respectivement la matrice chaîne et la matrice de transfert.

Le calcul de Niclas est basé sur l'hypothèse que le transistor est unilatéral et sans pertes, et que les vitesses de phase sur les deux lignes sont identiques.

On pose :

$$L = L_g = L_d, \quad (3.50)$$

$$C = C_{gs} = C_{ds} + C_{add}, \quad (3.51)$$

$$Z_0 = Z'_{0g} = Z'_{0d} = \sqrt{\frac{L}{C}}. \quad (3.52)$$

Avec C_{add} , capacité additionnelle qui compense la différence entre les capacités C_{ds} et C_{gs} (voir 3.4.2.2).

Dans la bande de fréquence $f \ll \frac{1}{2\pi\sqrt{LC}}$, le paramètre S_{21} peut s'écrire :

$$|S_{21}|^2 = n^2 \frac{(g_m Z_0)^2}{4} \quad (3.53)$$

3.4.1.3 Approche utilisant le modèle Mckay [McKay 1986]

Le calcul de McKay est basé sur l'hypothèse d'une bonne adaptation en entrée et en sortie des deux lignes et d'un transistor unilatéral. On obtient le paramètre S_{21} sous la forme :

$$S_{21} = \frac{H \sinh(n \frac{\theta_g - \theta_d}{2})}{\sinh(\frac{\theta_g - \theta_d}{2})} e^{-n \frac{\theta_g + \theta_d}{2}}, \quad (3.54)$$

où $H = -\frac{1}{2}g_m D(\omega) \sqrt{Z'_{0g} Z'_{0d}}$ avec $D(\omega) = \frac{1}{1+jR_{gs}C_{gs}\omega}$.

Dans le cas d'un nombre de cellules n grand et d'un amplificateur sans pertes avec l'égalité des vitesses de phase, le paramètre S_{21} se simplifie sous la forme :

$$|S_{21}|^2 = n^2 \frac{(g_m Z_0)^2}{4}. \quad (3.55)$$

Il convient de noter que, dans un cas idéal, les trois méthodes obtiennent la même expression du gain. Ce gain est proportionnel à la transconductance, le nombre de cellules élémentaires et aux impédances caractéristiques des lignes.

3.4.2 Dégradation du gain

Dans la partie précédente, nous avons exprimé le gain dans des cas sans pertes. Néanmoins les pertes de l'amplificateur détériorent le gain. La dégradation du gain provient principalement :

1. Des pertes dans les lignes de drain et de grille.
2. L'inégalité des vitesses de phase dans les lignes de drain et de grille

3.4.2.1 Pertes dans les lignes de drain et de grille

Nous rappelons les expressions des coefficients d'atténuation des lignes de drain et de grille sont données par (cf. Eq.3.30 et Eq.3.40) :

$$\alpha_d = \sqrt{\frac{L_d}{C_{ds} R_{ds} \sqrt{4 - L_d C_{ds} \omega^2}}}, \quad (3.56)$$

$$\alpha_g = \frac{\omega R_{gs} C_{gs} \sqrt{L_g C_{gs} \omega^2}}{\sqrt{4 + (2R_{gs} C_{gs} \omega)^2 - L_g C_{gs} \omega^2}}. \quad (3.57)$$

On remarque que l'atténuation dans la ligne de grille varie comme une fonction de ω^2 , et l'atténuation dans la ligne de drain reste invariante pour $f \ll \frac{1}{\pi \sqrt{L_d C_{ds}}}$.

Pour tracer l'atténuation dans les lignes de drain et de grille en fonction de la fréquence, on utilise un transistor de taille $4 \times 40 \mu\text{m}$, à la polarisation $V_{ds} = 1,0\text{V}$ et $V_{gs} = -0,7\text{V}$, dont les valeurs des éléments intrinsèques et des inductances L_d et L_g sont données dans la Tab. 3.5.

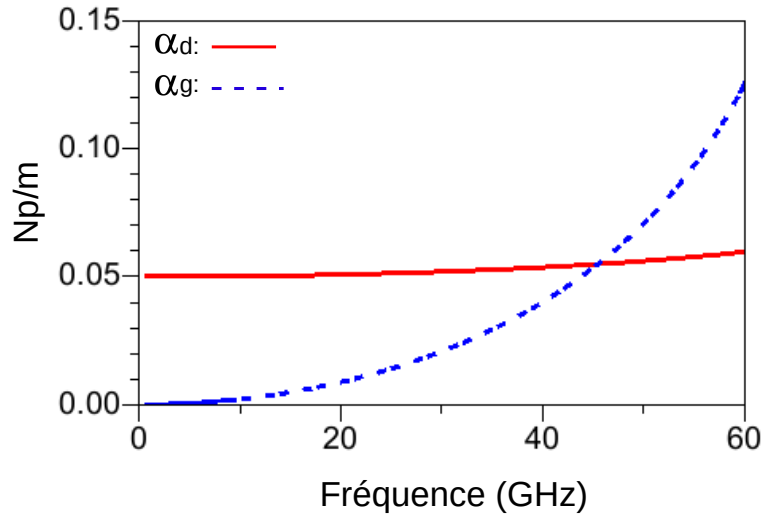


FIGURE 3.27 – Atténuation sur la ligne de drain et de grille

Selon la Fig. 3.27, il est évident que l'atténuation sur la ligne de grille est plus sensible à la fréquence que celle sur la ligne de drain. Cependant, dans la bande étudiée 0,8-11GHz, l'atténuation des lignes est principalement due aux pertes dans la ligne de drain. Il est donc important de minimiser le paramètre α_d . Pour cela, nous avons besoin d'une faible valeur de conductance de sortie de la cellule élémentaire ($1/R_{ds}$). Comme on le verra au chapitre 4, l'utilisation d'une structure cascode comme cellule élémentaire donne une valeur de conductance de sortie plus faible que celle d'un transistor en source commune.

3.4.2.2 Pertes provenant de l'inégalité des vitesses de phase des lignes de drain et de grille

Les constantes de phase sur les lignes de drain β_d et de grille β_g peuvent s'exprimer en fonction des éléments intrinsèques du transistor, sous la forme (cf. Eq.3.31 et Eq.3.41) :

$$\beta_d = \text{Arccos} \left(1 - \frac{L_d C_{ds} \omega^2}{2} \right), \quad (3.58)$$

$$\beta_g = \text{Arccos} \left(1 - \frac{L_g C_{gs} \omega^2}{2(1 + (R_{gs} C_{gs} \omega)^2)} \right). \quad (3.59)$$

Dans un cas relatif à de faibles pertes, elles sont données par (cf. Eq.3.36, 3.46) :

$$\beta'_d = \omega \sqrt{L_d C_{ds}}, \quad (3.60)$$

$$\beta'_g = \omega \sqrt{L_g C_{gs}}. \quad (3.61)$$

On en déduit ainsi les vitesses de phase des lignes :

$$V_{\varphi_d} = \frac{\omega}{\beta_d}, \quad (3.62)$$

$$V_{\varphi_g} = \frac{\omega}{\beta_g}. \quad (3.63)$$

Dans un cas relatif à de faibles pertes, elles peuvent s'exprimer par :

$$V'_{\varphi_g} = \frac{1}{\sqrt{L_g C_{gs}}}, \quad (3.64)$$

$$V'_{\varphi_d} = \frac{1}{\sqrt{L_d C_{ds}}}. \quad (3.65)$$

La Fig. 3.28 présente les vitesses de phase en fonction de la fréquence en utilisant des valeurs des éléments intrinsèques de la Tab. 3.5 .

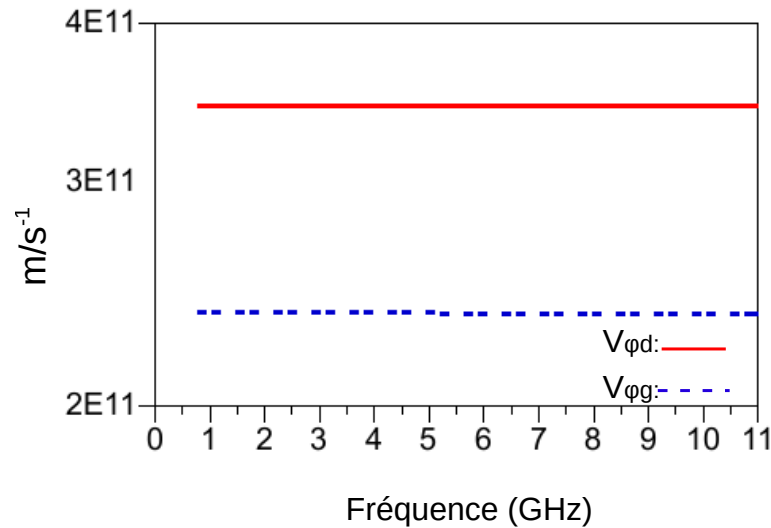


FIGURE 3.28 – Vitesses de phase sur les lignes de grille et de drain

On remarque que pour une valeur classique de l'impédance caractéristique (50Ω), les vitesses de phase des deux lignes sont différentes et que le rapport $V_{\varphi_d}/V_{\varphi_g}$ est égal au rapport des capacités C_{gs}/C_{ds} . L'égalité de la capacité d'entrée et de sortie est donc nécessaire pour réaliser $V_{\varphi_d} = V_{\varphi_g}$, ainsi les courants fournis par chaque étage sont en phase au niveau de chaque cellule et s'additionnent.

Pour un transistor à effet de champ, on a généralement $C_{gs} > C_{ds}$. Afin de compenser cette différence, on peut ajouter un capacité, notée C_{add} , en parallèle avec C_{ds} ou en série avec C_{gs} .

Pour conclure, ces pertes de gain conduisent à une distribution non uniforme des puissances de sortie fournies par chaque cellule. Afin d'améliorer la contribution de chaque étage du DA, nous devons minimiser les pertes et assurer l'égalité des vitesses de phase.

3.4.3 Bande passante

La bande passante de l'amplificateur Δf est définie pour un gain en puissance quasi constant avec une valeur d'ondulation maximum de $\pm 0,5\text{dB}$.

La fréquence de coupure f_c de l'amplificateur distribué fixe la largeur de la bande passante. Pour les lignes de drain et de grille, on a :

$$f_{cd} = \frac{1}{\pi C_{ds} Z_{0d}}, \quad (3.66)$$

$$f_{cg} = \frac{1}{\pi C_{gs} Z_{0g}}. \quad (3.67)$$

Dans le cas relatif à des faibles pertes, les fréquences de coupure des lignes de drain et de grille f'_{cd} et f'_{cg} peuvent s'écrire :

$$f'_{cd} = \frac{1}{\pi \sqrt{L_d C_{ds}}}, \quad (3.68)$$

$$f'_{cg} = \frac{1}{\pi \sqrt{L_g C_{gs}}}. \quad (3.69)$$

On remarque que les fréquences de coupure d'un DA diminuent au fur et à mesure que les valeurs des capacités augmentent. On note également que l'égalité des vitesses de phase impose l'égalité de la fréquence de coupure pour les lignes de grille et de drain. Dans le cas où l'égalité des vitesses de phase n'est pas assuré, du fait que $C_{gs} > C_{ds}$, on a $f_{cg} < f_{cd}$. La bande passante de l'amplificateur est limitée plutôt par f_{cg} , donc C_{gs} .

Afin de minimiser l'ondulation du gain, la fréquence de coupure de chaque ligne doit être très supérieure à la fréquence d'opération. Selon l'équation 3.69, l'augmentation de la fréquence de coupure demande une diminution de la valeur de C_{gs} . Cependant, cela nécessite une réduction de la dimension du transistor pour une polarisation fixée, entraînant un gain plus faible de l'amplificateur distribué. Ainsi, il existe un compromis entre la valeur de gain, la platitude de gain et la largeur de bande de l'amplificateur distribué.

On introduit également la bande passante f_{-10dB} correspondant à des valeurs de $|S_{11}|$ inférieures à -10dB , sa valeur est comprise dans l'intervalle [Lin 2011] :

$$\Delta f < f_{-10dB} < 0,822 f_{cg}. \quad (3.70)$$

En combinant les equations Eq.3.69 et Eq.3.70, on peut facilement noter que la valeur de C_{gs} est limitée par la bande passante de l'amplificateur. Pour la bande 0,8-11GHz ($\Delta f = 10,2GHz$), la valeur de C_{gs} ne doit pas dépasser 480fF.

3.4.4 Facteur de bruit

Un amplificateur faible bruit est placé en tête de la chaîne de réception, de manière à minimiser le bruit pour toute la chaîne. Pour cette raison, le facteur de bruit est une grandeur très importante de l'amplificateur.

Le facteur de bruit de l'amplificateur distribué est obtenu à partir des sources de bruit. Les sources de bruit principales de l'amplificateur distribué viennent des charges des lignes (Z_d et Z_g) et des cellules élémentaires ($\overline{i_g^2}$ et $\overline{i_d^2}$) (cf. Fig. 3.7). En particulier, la source de bruit de sortie $\overline{i_d^2}$ représente la contribution en bruit la plus significative sur toute la bande de fréquence. Le bruit venant de la charge Z_g a un impact important aux basses fréquences et la source de bruit d'entrée $\overline{i_g^2}$ dégrade les performances en bruit aux hautes fréquences [Ko 2005].

En prenant en compte ces quatre sources de bruit, le facteur de bruit de l'amplificateur distribué peut être obtenu par plusieurs approches :

- Approche utilisant le modèle Niclas
- Approche utilisant le modèle Beyer

3.4.4.1 Approche utilisant le modèle Niclas

Le calcul du facteur de bruit à partir du modèle Niclas est présenté dans la référence [Niclas 1983a]. On obtient :

$$NF = 10 \log \left(1 + \frac{\sum_{k=1}^n (|K_{31'}|_k^2 R_{nk} + |K_{32}|_k^2 G_{nk}) + |K_{33}|_0^2 G_g + |K_{34}|_0^2 G_d}{|K_{35}|_0^2 G_s} \right), \quad (3.71)$$

où :

G_g et G_d : Conductances des charges des lignes de grille et drain.

G_s : Conductance interne de la source du signal

R_{nk} : Résistance de bruit du $K^{\text{ième}}$ transistor

G_{nk} : Conductance de bruit du $K^{\text{ième}}$ transistor

Les expressions de $|K_{ij}|_0$ et $|K_{ij}|_k$ sont présentées dans la référence [Niclas 1983a].

3.4.4.2 Approche utilisant le modèle Beyer

Le calcul complet du facteur de bruit d'un amplificateur distribué à partir du modèle Beyer (théorie des quadripôles) peut être retrouvé à la référence [Aitchison 1985]. Sous l'hypothèse de l'égalité des vitesses de phase qui impose $\beta = \beta_d = \beta_g$, on a le facteur de bruit NF sous la forme :

$$NF = 10 \log \left(1 + \left(\frac{\sin(n\beta)}{n \sin(\beta)} \right)^2 + \frac{4}{n^2 g_m^2 Z_g Z_d} + \frac{Z_g \omega^2 C_{gs}^2 R \sum_{r=1}^n f(r, \beta)}{n^2 g_m} + \frac{4P}{n g_m Z_g} \right). \quad (3.72)$$

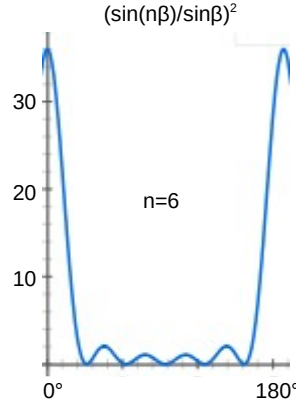


FIGURE 3.29 – $\left(\frac{\sin(n\beta)}{n\sin(\beta)}\right)^2$ en fonction de β pour $n=6$

Le deuxième terme de la formule 3.72 présente une faible valeur pour n important sauf si l'angle $n\beta$ est proche de 0 ou π . La Fig. 3.29 présente l'évolution du terme $\left(\frac{\sin(n\beta)}{n\sin(\beta)}\right)^2$ en fonction de β pour $n=6$.

Le troisième terme du facteur de bruit peut également être minimiser par l'augmentation du nombre de cellules n .

Le quatrième terme présente une somme de la fonction $f(r, \beta)$, définie comme suit :

$$f(r, \beta) = (n - r + 1)^2 + \left(\frac{\sin(r - 1)\beta}{\sin\beta}\right)^2 + \frac{2(n - r + 1)\sin(r - 1)\beta\cos r\beta}{\sin\beta}. \quad (3.73)$$

Avec n élevé, la somme de $f(r, \beta)$ se simplifie sous la forme :

$$\sum_{r=1}^n f(r, \beta) \simeq \sum_{r=1}^n (n - r + 1)^2 \simeq \frac{n^3}{3}. \quad (3.74)$$

La quatrième terme est ainsi simplifié et croît en fonction de n . Le dernier terme quant à lui est inversement proportionnel à n .

Sous hypothèse que n est élevé et l'angle $n\beta$ n'est pas proche de 0 ou π , le deuxième terme peut être négligé. De plus, le troisième terme décroît en fonction de n^2 , il est donc également négligeable.

Le facteur de bruit NF se simplifie alors :

$$NF = 10\log\left(1 + \frac{Z_g n \omega^2 C_{gs}^2 R}{3g_m} + \frac{4P}{ng_m Z_g}\right). \quad (3.75)$$

Pour le transistor retenu, les valeurs des paramètres intrinsèques (g_m , C_{gs}) et des facteurs numériques (P , R), qui varient avec le courant de drain, sont alors fixées. L'optimisation du facteur de bruit se fait donc via la charge Z_g et le nombre de cellule n . Pour une charge classique (50Ω), il existe un nombre de cellule optimal qui permet de minimiser le NF (voir section. 3.4.6.2).

3.4.5 Consommation

La consommation du DA est égale à :

$$P_s = \sum_{i=1}^n V_{dsi} I_{dsi} + \sum_{i=1}^n V_{gsi} I_{gsi}, \quad (3.76)$$

où n est le nombre de cellules élémentaires.

Pour la i^{eme} cellule élémentaire :

V_{dsi} est la tension de drain et I_{dsi} est le courant de drain.

V_{gsi} est la tension de grille et I_{gsi} est le courant de grille.

Généralement le deuxième terme est négligeable devant le premier terme.

3.4.6 Dimensionnement

Le nombre optimal de cellules élémentaires N_{opt} est choisi selon l'application de l'amplificateur distribué : soit pour avoir un gain maximum (N_{opt_G}) soit pour avoir un facteur de bruit minimum ($N_{opt_{NF}}$).

3.4.6.1 Nombre optimal de cellules élémentaires (N_{opt_G}) vis à vis du gain

Le nombre de cellules élémentaires est limité par les pertes des résistances des transistors (cf.Eq.3.47). Sa valeur optimale pour avoir un gain maximum est donnée par [Duperrier 2001] :

$$N_{opt_G} = \frac{Ln \left(\frac{\alpha_d}{\alpha_g} \right)}{\alpha_d - \alpha_g}. \quad (3.77)$$

3.4.6.2 Nombre optimal de cellules élémentaires ($N_{opt_{NF}}$) vis à vis du bruit

La méthode utilise l'équation 3.75 pour obtenir le nombre optimal de cellules élémentaires, noté $N_{opt_{NF}}$, vis à vis du bruit. L'expression de $N_{opt_{NF}}$ est [Aitchison 1985] :

$$N_{opt_{NF}} = \frac{2}{\omega C_{gs} Z_g} \sqrt{\frac{3P}{R}}, \quad (3.78)$$

où R et P sont des facteurs numériques du modèle de Van der Ziel variant avec le courant de drain.

Nous remarquons que le nombre n optimal vis à vis des performances en bruit de l'amplificateur est déterminé par le composant actif et les charges des lignes (surtout la charge de la ligne de grille Z_g).

Dans la plupart de cas, les deux nombres de cellules élémentaires optimaux respectivement vis à vis du gain et vis à vis du bruit n'ont pas la même valeur. Un compromis seront donc effectué en tenant compte de la contrainte de taille et de la consommation.

3.5 Conclusion

Dans ce chapitre, un rappel théorique sur l'architecture distribuée appliquée à l'amplification faible bruit a été effectuée grâce au modèle équivalent simplifié d'un transistor unilatéral en source commune. Il se divisait en deux parties traitant :

- du principe de fonctionnement d'un amplificateur distribué,
- d'une analyse théorique sur ses caractéristiques et performances.

Cette analyse théorique est réalisée à partir d'un transistor à effet de champ unilatéral avec des hypothèses simplificatrices. Cela nous donne le moyen de mieux comprendre le fonctionnement de l'amplificateur distribué.

Les méthodes Beyer, Niclas et Mckay nous permettent de calculer les gains (le gain en puissance et le paramètre S_{21}) et le facteur de bruit de l'amplificateur. Pour améliorer ces gains, on peut déterminer un nombre de cellules optimal, augmenter les valeurs de l'impédance caractéristiques des lignes de drain et de grille et éventuellement choisir des composants présentant une transconductance élevée. Cette dernière condition nous permet aussi de minimiser le bruit. De plus, on peut aussi choisir un nombre de cellules optimal vis à vis des performances en bruit. Il convient de noter que généralement le N_{opt_G} et le $N_{opt_{NF}}$ sont différents et varient avec la fréquence. Donc le choix du nombre de cellules dépend aussi de la bande passante.

Cette étude donne aussi des règles de conception et démontre des limitations de fonctionnement liées à :

1. l'adaptation des impédances caractéristiques des lignes de grille et de drain
2. l'optimisation du gain
3. l'optimisation du bruit
4. la gestion de la consommation

Il est difficile de satisfaire toutes les règles de conception, des compromis seront donc nécessaires. De plus, cette étude néglige la capacité C_{gd} entre le grille et drain du transistor et les risques d'instabilité.

Afin de considérer un modèle plus réaliste de transistor et d'améliorer les performances de l'amplificateur, nous présentons dans le chapitre suivant notre méthodologie de conception.

Conception et réalisation d'un amplificateur distribué faible bruit reconfigurable en terme de consommation

Sommaire

4.1	Conception de l'amplificateur faible bruit distribué	61
4.1.1	Choix de la topologie de l'amplificateur distribué	62
4.1.2	Cellule élémentaire en configuration cascode	67
4.1.3	Dimensionnement de l'amplificateur distribué	73
4.2	Modes de fonctionnement de l'amplificateur	90
4.2.1	Modes de fonctionnement	90
4.2.2	Présentation des résultats de simulation	95
4.3	Réalisation du circuit et mesures des performances	101
4.3.1	Présentation des performances mesurées	102
4.3.2	Erreurs de mesure et calcul d'incertitude	105
4.3.3	Rétro-simulations	107
4.4	Conclusion	109

L'objectif de ce chapitre est de mettre en place deux modes de fonctionnement pour notre amplificateur faible bruit. Un mode haute performance et un autre dit, mode basse consommation. Le mode haute performance est un état de fonctionnement du LNA dans lequel les performances telles que le gain, le facteur de bruit, la linéarité et l'adaptation entrée/sortie seront optimisées sans limitation spécifique de consommation. Le mode basse consommation devra proposer alors un compromis entre consommation et dégradation des performances. L'objectif fixé pour ce mode est de diminuer d'au moins 50% la puissance consommée. De plus, le gain doit rester autour de $10dB$ et le facteur de bruit ne doit pas être trop détérioré.

Dans la première partie de ce chapitre, nous détaillerons les étapes de conception de l'amplificateur permettant d'atteindre les performances précédemment citées. La conception débute par l'optimisation du mode haute performance.

4.1 Conception de l'amplificateur faible bruit distribué

Le conception de l'amplificateur faible bruit distribué s'est effectué en deux étapes :

- Choix de la topologie de l'amplificateur distribué.
- Dimensionnement de l'amplificateur.

4.1.1 Choix de la topologie de l'amplificateur distribué

Il existe différentes configurations d'amplificateur distribué :

- Des amplificateurs distribués classiques,
- Des amplificateurs distribués constitués d'architectures distribuée en cascade.

4.1.1.1 Amplificateur distribué classique

Un amplificateur distribué classique est composé de trois parties, la ligne d'entrée, la ligne de sortie et la cellule élémentaire qui amplifie les signaux. Cette dernière peut être constituée :

- d'un seul transistor,
- d'une configuration cascode,
- d'une configuration cascade.

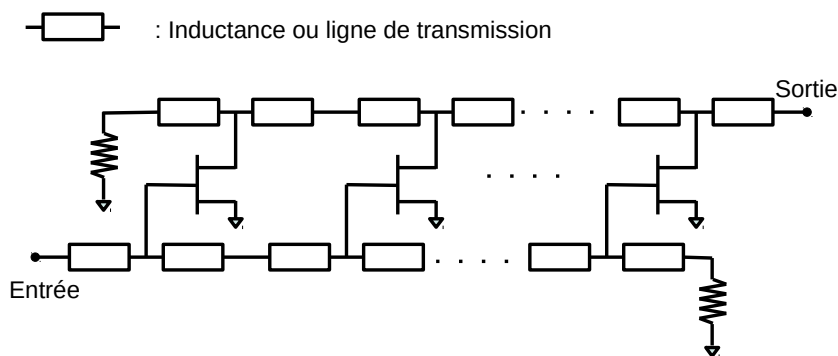


FIGURE 4.1 – Amplificateur distribué utilisant un seul transistor comme cellule élémentaire

La topologie (cf. Fig. 4.1) utilisant un transistor en source commune comme cellule élémentaire (Conventional Distributed Amplifier : CDA) occupe une surface plus petite que les autres topologies de DA [Chirala 2011], [Ito 2006]. Cependant, la capacité grille-drain C_{gd} du transistor source en commune est un élément limitatif des performances en fréquences de l'amplificateur. D'une part, C_{gd} est responsable de la dégradation de l'isolation entrée/sortie de la cellule élémentaire. Cela résulte d'une chute rapide du gain de l'amplificateur avec la fréquence. D'autre part, par l'effet Miller C_{gd} contribue à augmenter les capacités d'entrée et de sortie (cf. Fig. 4.2). La bande passante de l'amplificateur est ainsi diminuée. Cette architecture peut donc difficilement fournir un gain plat correspondant à notre contrainte, sur une très large bande de fréquence.

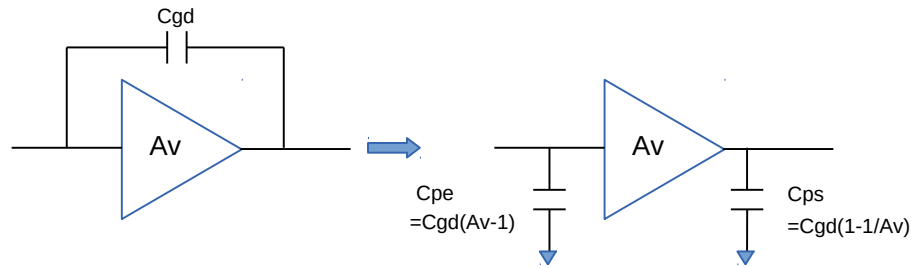


FIGURE 4.2 – Influence de C_{gd} sur les capacités d'entrée et de sortie. C_{pe} et C_{ps} sont des capacités ramenées à l'entrée et à la sortie. A_v est le gain en tension de la partie amplificatrice.

L'amplificateur distribué en configuration cascode (cf. Fig. 4.3) présente sur chacune des cellules élémentaires un faible effet Miller. Cela permet d'améliorer l'isolation de la cellule ainsi que de diminuer les valeurs des capacités d'entrée et de sortie, ce qui entraîne un fonctionnement à gain plat sur une plus grande bande de fréquence [Chang 2011a], [Chang 2011b], [Deng 2003a], [Shamsadini 2010], [Zech 2012]. Cependant, le transconductance de la structure cascode n'est pas plus importante qu'avec un seul transistor, ce qui entraîne un gain moyen de l'amplificateur.

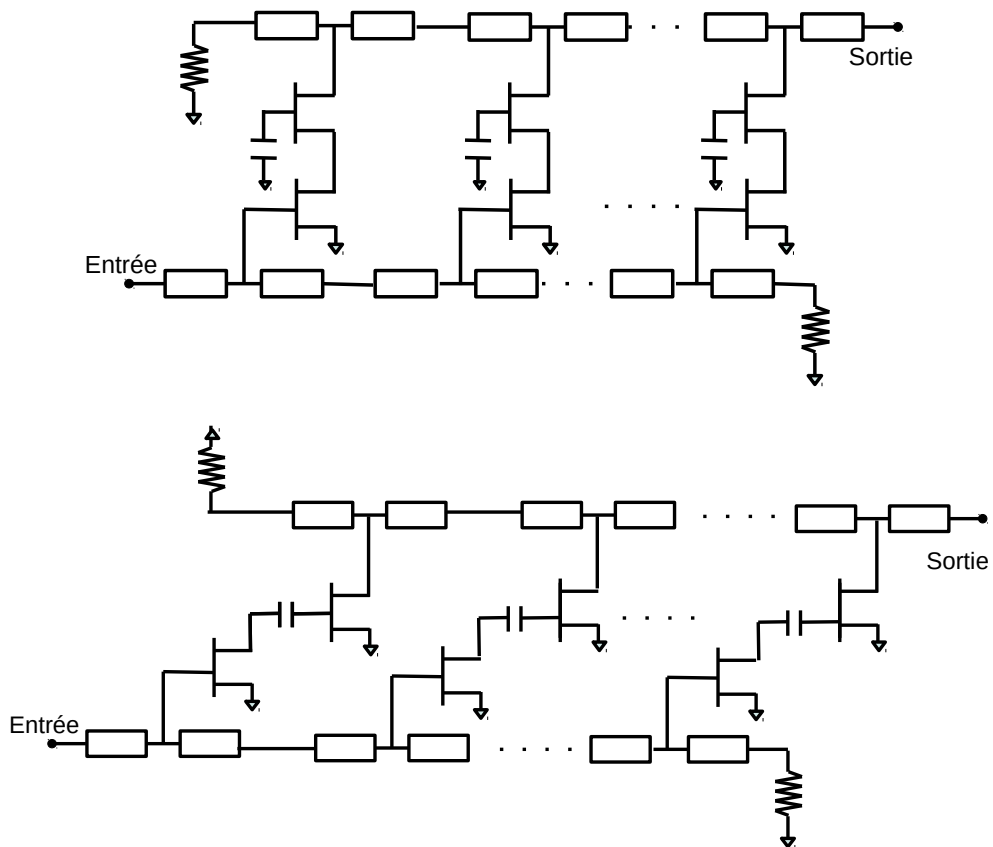


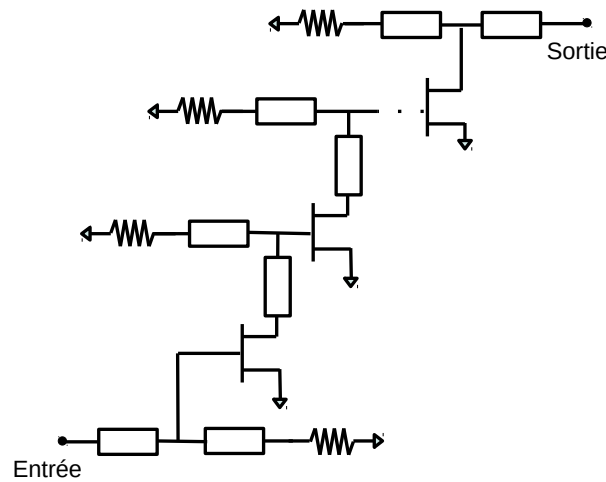
FIGURE 4.4 – Amplificateur distribué en configuration cascode

A l'inverse, les amplificateurs distribués utilisant une configuration cascade (cf. Fig 4.4) peuvent fournir un gain élevé [Guan 2008], [Chen 2010b], [Lin 2011], [McKay 1986]. Cela est due au mécanisme de gain multiplicatif de la structure cascade. Néanmoins, cette architecture ne peut pas fournir une linéarité optimale. De plus, afin de minimiser l'effet Miller dont souffre la structure cascade, on remplace souvent le premier transistor par une configuration cascode [Chen 2010b], [Lin 2011], [Chang 2011c]. Cela a pour conséquence, une augmentation à la fois de la consommation et de la taille de puce.

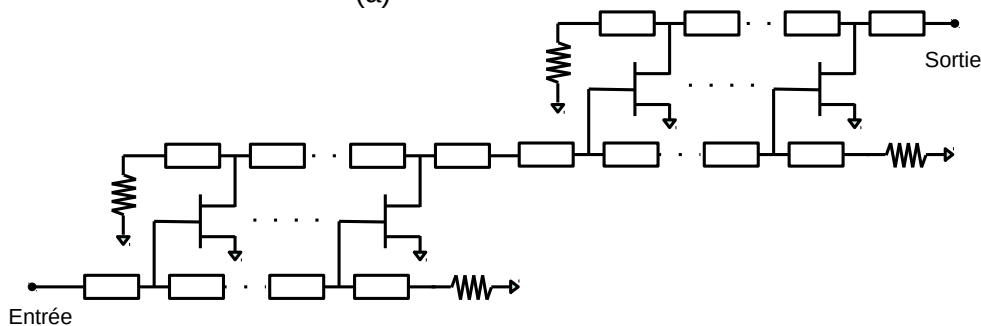
4.1.1.2 Amplificateurs constitués à partir d'architectures distribuées associées en cascade

La littérature propose plusieurs types d'amplificateurs constitués d'architectures distribuées classiques en cascade. On peut citer par exemples :

- l'architecture distribuée en cascade uni-étage (Cascaded single-stage distributed amplifier CSSDA) [Tsai 2004a], montrée Fig.4.5.a).
- l'architecture distribuée en cascade multi-étages (Cascaded multi-stage distributed amplifier CM-SDA) [Arbabian 2009], [Barajas 2005], montrée Fig.4.5.b).
- l'architecture distribuée en matrice [Chien 2006], montrée Fig.4.5.c).



(a)



(b)

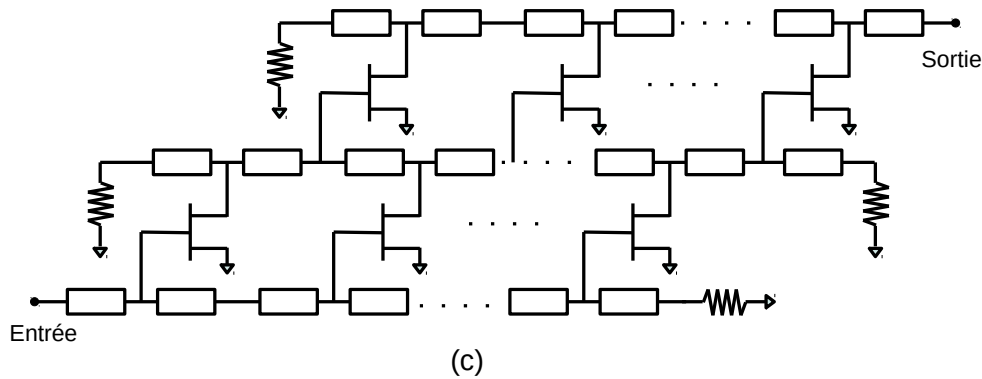


FIGURE 4.5 – Architectures distribuées en cascade a) uni-étage [Tsai 2004a] b) multi-étages [Arbabian 2009], [Barajas 2005] c) matrice [Chien 2006]

Il existe également des architectures combinant ces différentes structures [Deng 2003b], [Kao 2013].

Grâce au mécanisme de gain multiplicatif, les architectures distribuées en cascade présentent un gain très important pour une bande de fréquence ultra large. Ces architectures sont cependant fortement consommatrices à cause du nombre important de composants nécessaires à leur réalisation.

4.1.1.3 Critères de choix de la topologie

Dans notre cas, les performances les plus importantes sont le gain, le facteur de bruit, la linéarité, la bande passante et la consommation. Particulièrement, nous cherchons des topologies présentant un gain supérieur à 10dB , une bande passante couvrant $0,8\text{-}11\text{GHz}$ et une consommation inférieure à 300mW .

Afin de choisir l'architecture de l'amplificateur distribué, nous utilisons le facteur de mérite (FOM) (cf. Section 2.3.3) permettant de comparer les performances de différentes topologies d'amplificateur distribué. Il s'exprime par [Chen 2009b] :

$$FOM = \frac{|S_{21}| \cdot BW(\text{GHz}) \cdot IIP3(\text{mW})}{(F - 1) \cdot P_{dc}(\text{mW})}, \quad (4.1)$$

où F est le facteur de bruit linéaire, P_{dc} est la puissance dissipée, BW est la bande passante à -3dB et $IIP3$ est le point d'interception d'ordre 3 en entrée de l'amplificateur.

Nous calculons les valeurs de FOM en utilisant les valeurs minimales de F , les valeurs maximales de $|S_{21}|$ et les valeurs optimales de $IIP3$. Si les valeurs de $IIP3$ ne sont pas disponibles, nous utilisons alors des valeurs calculées à l'aide du point d'interception d'ordre 3 en sortie ($OIP3$) ou du point de compression à 1dB en sortie ($OP_{1\text{dB}}$). Sous l'hypothèse que le gain en puissance (dB) soit égal à $S_{21}(\text{dB})$, les $IIP3$ sont calculés selon les relations suivantes [Arekapudi 2005] :

$$IIP3(\text{dB}) = OIP3(\text{dB}) - S_{21}(\text{dB}) \quad (4.2)$$

$$= OP_{1\text{dB}} + 9,64(\text{dB}) - S_{21}(\text{dB}) \quad (4.3)$$

Nous cherchons des topologies qui satisfont à la fois les contraintes citées précédemment ($S_{21} > 10\text{dB}$, $P_{dc} < 300\text{mW}$ et BW couvrant $0,8\text{-}11\text{GHz}$) et un FOM supérieur à 2. Afin de pouvoir faire un choix, nous présentons dans Tab. 4.1 une synthèse des performances obtenues pour les différentes topologies d'amplificateurs distribués, nous présentons également le FOM obtenu pour chacune d'entre elles.

TABLE 4.1 – État de l'art des amplificateurs distribués. * : valeur maximum, \diamond : valeur minimum

Ref.	Topolo.	Techno.	f (GHz)	BW (GHz)	Taille (mm ²)	S ₂₁ (dB)	NF (dB)	OP _{1dB} (dBm)	OIP ₃ * (dBm)	P _{dc} (mW)	FOM
[Tsai 2004a]	CSSDA	0,18μm CMOS	DC-25	25	0,36	9*	-	-0,5	8	60	-
[Arbajian 2009]	CMSDA	90nm CMOS	DC-73,5	73,5	1,72	14*	-	3,2	-	84	-
[Barajas 2005]	CMSDA	0,13μm GaAs pHEMT	2-20	18	3	17±0,57	3◇	14,9	-	389	2,2
[Chien 2006]	Matrice	0,18μm CMOS	DC-50	50	1,54	9,5±1,5	-	7	-	420	-
[Chen 2011]	CDA-CSSDA	0,18μm CMOS	2,2-13,6	11,4	0,58	18,1* 12,5*	4,9-5,6 5,6-6,3 (3,1-10,6GHz)	-3,3 -7,8	- -	25 7	0,13 0,24
[Deng 2003b]	CDA-CSSDA-1 CDA-CSSDA-2 2-CSSDA	0,15μm GaAs pHEMT	0,5-27 0,1-40 0,5-22	26,5 39,9 21,5	1,5 3 1,5	19±1 22±1,5 20±1	-	11,5 12 10	22 20 22	324 484 180	-
[Kao 2013]	CDA-CSSDA-CDA-1 CDA-CSSDA-CDA-2	0,18μm CMOS	DC-35 DC-33	35 33	0,78 0,83	20,5* 24*	6,8 – 8 (DC-18GHz) 6,5 – 7,5 (DC-18GHz)	8,6 7,5	-	250 238	0,25 0,14
[Chirala 2011]	CDA	0,18μm CMOS	3,1-10,6	7,5	0,08	6±0,2	2,7◇	-	13,2 (IIP3)	22	16,1
[Ito 2006]	CDA	0,18μm CMOS	3-10	7	0,33	6,3*	6◇	-	16,3	27,6	1,8
[Guan 2008]	DA en cascade	0,18μm CMOS	3,1-10,6	7,5	1,44	10* 16*	3,2-6,1 3,2-6	-	-	19,6 100	-
[Chen 2010b]	DA en cascade	0,18μm CMOS	3-10	7	-	19,8 ± 1,2	3,4 en moyen	-	-	14,8	-
[Chang 2011c]	DA en cascade	0,18μm CMOS	1,2-8,6 1,5-8,2	7,4 6,7	1,46	11,4± 1,4 17,1±1,5	3,46◇ 3,29◇	-	5 (IIP3) 3 (IIP3)	9,85 46,85	6,46 1,64
[Lin 2011]	1× DA en cascade 2× DA en cascade	0,13μm CMOS	3-10	7	0,879 0,616	10,41 ± 0,87 16,33 ± 1,11 11,03 ± 0,98 20,47 ± 0,72	5,6 en moyen 4,6 en moyen 4,25 en moyen 3,29 en moyen	-	- -11,5 (IIP3)	4,56 14,76 6,86 37,8	0,14
[Chang 2011a]	DA en cascade	0,5/2μm GaAs HEMT-HBT	DC-43,5	43,5	2	8,5 (en moyen)	4,2◇	8	18	225	2,8
[Chang 2011b]	DA en cascade	0,18μm CMOS	DC-10,5	10,5	0,71	10,5±1,4	2,9-3,5	-	4 (IIP3)	29,16	3,7
[Zhu 2013]	DA en cascade	65 nm CMOS	DC-9,5	9,5	-	12	2,8◇	-	4 (IIP3)	18	4
[Zech 2012]	DA en cascade	50nm GaAs HEMT	DC-110	110	1,7	11±1	2,5◇	7	-	450	4

Nous constatons que les architectures présentant un $FOM < 2$ n'offrent pas de compromis satisfaisant entre les performances de l'amplificateur. On note également que certains amplificateurs comme le CDA [Chirala 2011], le DA utilisant la structure cascade comme cellule élémentaire [Chang 2011c] et le CMSDA [Barajas 2005] présentent les meilleurs $FOM (> 2)$. Cependant, le CDA ne peut pas fournir un gain suffisant, le DA utilisant la structure cascade comme cellule élémentaire ne couvre pas la bande de fréquences 0,8-11GHz et la consommation du CMSDA est trop importante.

Notre choix s'est porté sur l'amplificateur distribué classique utilisant la configuration cascade comme cellule élémentaire. Cet amplificateur présente un des meilleurs $FOM (> 2)$ et un gain $> 10dB$ sur une large bande de fréquence avec une consommation raisonnable. Nous détaillerons la conception de la cellule élémentaire basée sur la configuration cascade dans la partie suivante.

4.1.2 Cellule élémentaire en configuration cascade

Dans cette partie, nous étudions les avantages et les limites de la structure cascade. Cette étude est effectuée à l'aide de la matrice admittance du transistor en source commune, du transistor en grille commune et de la configuration cascade.

4.1.2.1 Montage en source commune [Gautier 2014]

La Fig.4.6 montre le transistor en source commune, son schéma petit signal associé et le schéma équivalent en π .

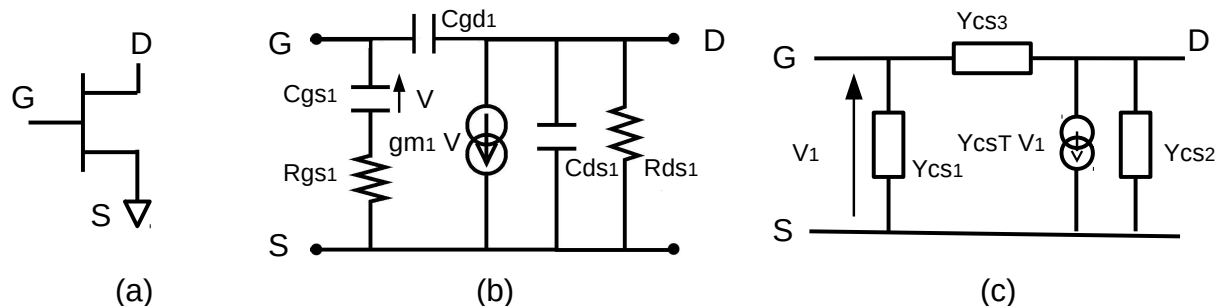


FIGURE 4.6 – Transistor en source commune (a), schéma petit signal associé (b), schéma équivalent en π (c)

Le formalisme admittance Y_{cs} du transistor en source commune s'écrit :

$$Y_{cs} = \begin{bmatrix} Y_{cs1} + Y_{cs3} & -Y_{cs3} \\ Y_{csT} - Y_{cs3} & Y_{cs2} + Y_{cs3} \end{bmatrix}, \quad (4.4)$$

avec

$$Y_{cs1} = \frac{1}{R_{gs1} + \frac{1}{j\omega C_{gs1}}}, \quad (4.5)$$

$$Y_{cs2} = j\omega C_{ds1} + g_{d1}, \quad (4.6)$$

$$Y_{cs3} = j\omega C_{gd1}, \quad (4.7)$$

$$Y_{csT} = \frac{g_{m1}}{1 + jR_{gs1}C_{gs1}\omega} \quad (4.8)$$

$$= \frac{g_{m01}e^{-j\omega\tau_{01}}}{1 + jR_{gs1}C_{gs1}\omega} \simeq g_{m01} - jg_{m01}\tau_{01}\omega. \quad (4.9)$$

Équation 4.9 valide si :

$$1 + (R_{gs1}C_{gs1}\omega)^2 \simeq 1, \quad (4.10)$$

$$e^{-j\omega\tau_{01}} \simeq 1 - j\omega\tau_{01}, \quad (4.11)$$

avec $g_{d1} = \frac{1}{R_{ds1}}$ et $\tau_1 = \tau_{01} + R_{gs1}C_{gs1}$.

4.1.2.2 Montage en grille commune [Gautier 2014]

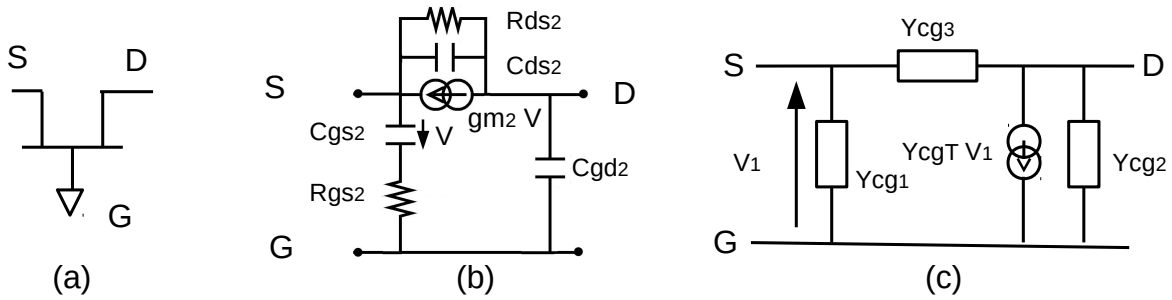


FIGURE 4.7 – Transistor en grille commune (a), schéma petit signal associé (b), schéma équivalent en π (c)

Afin de déterminer les paramètres du schéma équivalent en π (cf.Fig.4.7.c), il est nécessaire de calculer la matrice admittance Y_{cg} du transistor en grille commune (cf.Fig.4.7.b) et par identification avec la matrice admittance du schéma équivalent en π (cf.Fig.4.7.c) on peut déduire les expressions de Y_{cg1} , Y_{cg2} , Y_{cg3} et Y_{cgT} .

$$Y_{cg} = \begin{bmatrix} Y_{cs1} + Y_{cs2} + Y_{csT} & -Y_{cs2} \\ -Y_{csT} - Y_{cs2} & Y_{cs2} + Y_{cs3} \end{bmatrix} = \begin{bmatrix} Y_{cg1} + Y_{cg3} & -Y_{cg3} \\ Y_{cgT} - Y_{cg3} & Y_{cg2} + Y_{cg3} \end{bmatrix}, \quad (4.12)$$

avec

$$Y_{cg1} = Y_{cs1} + Y_{csT} = \frac{g_{m2}}{1 + jR_{gs2}C_{gs2}\omega} + \frac{1}{R_{gs2} + \frac{1}{j\omega C_{gs2}}}, \quad (4.13)$$

$$Y_{cg2} = Y_{cs3} = j\omega C_{gd2}, \quad (4.14)$$

$$Y_{cg3} = Y_{cs2} = j\omega C_{ds2} + g_{d2}, \quad (4.15)$$

$$Y_{cgT} = -Y_{csT} = \frac{-g_{m2}}{1 + jR_{gs2}C_{gs2}\omega} = \frac{-g_{m02}e^{-j\omega\tau_{02}}}{1 + jR_{gs2}C_{gs2}\omega} \simeq -g_{m02} + jg_{m02}\tau_{02}\omega. \quad (4.16)$$

Équation 4.16 valide si :

$$1 + (R_{gs2}C_{gs2}\omega)^2 \simeq 1, \quad (4.17)$$

$$e^{-j\omega\tau_{02}} \simeq 1 - j\omega\tau_{02}, \quad (4.18)$$

avec $g_{d2} = \frac{1}{R_{ds2}}$ et $\tau_2 = \tau_{02} + R_{gs2}C_{gs2}$.

4.1.2.3 Montage cascode [Gautier 2014]

La Fig.4.8 (a), (b) et (c) montre la topologie cascode avec le premier transistor en source commune et le deuxième transistor en grille commune (SC-GC), son schéma équivalent petit signal et son schéma équivalent en π .

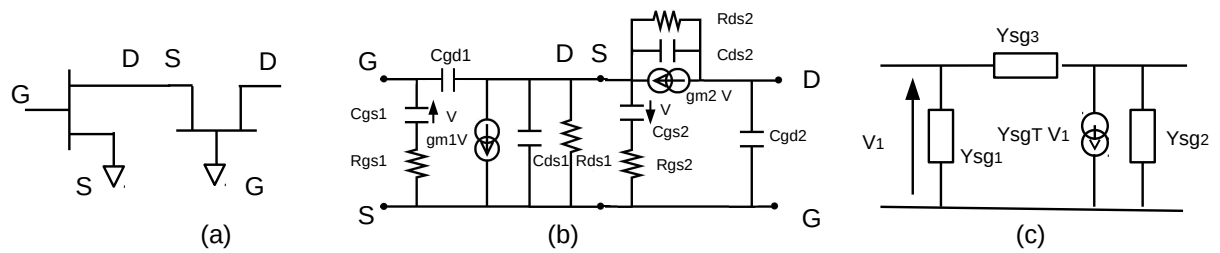


FIGURE 4.8 – Schéma de principe d'un montage cascode (a), schéma petit signal associé (b), schéma équivalent en π (c)

La matrice admittance Y_{sg} du montage cascode s'écrit :

$$Y_{sg} = \begin{bmatrix} Y_{sg1} + Y_{sg3} & -Y_{sg3} \\ Y_{sgT} - Y_{sg3} & Y_{sg2} + Y_{sg3} \end{bmatrix}. \quad (4.19)$$

Les éléments du schéma en π de la Fig. 4.8 sont déterminés par identification des matrices admit-

tances des schémas 4.8 b) et 4.8 c). On obtient alors les relations suivantes :

$$Y_{sg1} = R_{gs1}C_{gs1}^2\omega^2 + jC_{gs1}\omega + jC_{gd1}\omega \frac{g_{m01} + g_{m02} + g_{d1}}{g_{m02} + g_{d1} + g_{d2}} \frac{1 + \left(\frac{\omega}{\omega_1'}\right)^2 - j\frac{\omega}{\omega_1}}{1 - j\frac{\omega}{\omega_0}} \quad (4.20)$$

$$Y_{sg2} = jC_{gd2}\omega + \frac{g_{d1}g_{d2}}{g_{m02} + g_{d1} + g_{d2}} \frac{1 - \left(\frac{\omega}{\omega_3}\right)^2 + j\frac{\omega}{\omega_2} \left(1 + \left(\frac{\omega}{\omega_3}\right)^2\right)}{1 - j\frac{\omega}{\omega_0}} \quad (4.21)$$

$$Y_{sg3} = \frac{-C_{gd1}C_{ds2}\omega^2 + jg_{d2}C_{gd1}\omega}{(g_{m02} + g_{d1} + g_{d2}) \left(1 - j\frac{\omega}{\omega_0}\right)} \quad (4.22)$$

$$Y_{sgT} = \frac{g_{m01}(g_{m02} + g_{d2})}{g_{m02} + g_{d1} + g_{d2}} \frac{1 - \left(\frac{\omega}{\omega_4}\right)^2 - j\frac{\omega}{\omega_5}}{1 - j\frac{\omega}{\omega_0}}. \quad (4.23)$$

avec

$$\omega_0 = \frac{g_{m02} + g_{d1} + g_{d2}}{g_{m02}\tau_2 - (C_{ds1} + C_{ds2} + C_{gd1} + C_{gs2})} \quad (4.24)$$

$$\omega_1 = \frac{g_{d1} + g_{m01} + g_{m02}}{g_{m01}\tau_1 + g_{m02}\tau_2 - C_{ds1} - C_{gs2}} \quad \omega_1'^2 = \frac{g_{d1} + g_{m01} + g_{m02}}{R_{gs2}C_{gs2}^2} \quad (4.25)$$

$$\omega_2 = \frac{g_{d1}g_{d2}}{g_{d1}C_{ds2} + g_{d2}(C_{gs2} + C_{ds1})} \quad (4.26)$$

$$\omega_3^2 = \frac{g_{d1}g_{d2}}{C_{ds2}(C_{gs2} + C_{ds1}) - g_{d2}R_{gs2}C_{gs2}^2} \quad (4.27)$$

$$\omega_3'^2 = \frac{g_{d1}C_{ds2} + g_{d2}(C_{gs2} + C_{ds1})}{C_{ds2}R_{gs2}C_{gs2}^2} \quad (4.28)$$

$$\omega_4^2 = \frac{g_{m01}(g_{m02} + g_{d2})}{g_{m01}g_{m02}\tau_1\tau_2 + g_{m02}\tau_2C_{gd1} - g_{m01}\tau_1C_{ds2}} \quad (4.29)$$

$$\omega_5 = \frac{g_{m01}(g_{m02} + g_{d2})}{g_{m01}g_{m02}(\tau_1 + \tau_2) + g_{m02}C_{gd1} - g_{m01}C_{ds2} + g_{m01}g_{d2}\tau_1}. \quad (4.30)$$

Les éléments intrinsèques du schéma équivalent petit signal nous permettent d'étudier l'impédance d'entrée et l'admittance de sortie de la structure cascode. Ces derniers jouent un rôle déterminant quant à la bande passante et la dégradation du gain de l'amplificateur distribué. On s'intéressera plus particulièrement à l'admittance Y_{sg3} à partir de laquelle nous pourrons extraire la capacité équivalente vue entre les accès G et D du modèle en π que nous appellerons par la suite C_{gd} .

4.1.2.4 Comparaison entre les capacités " C_{gd} " des montages SC et cascode

On extrait les capacités grille-drain à partir des parties imaginaires des paramètres Y_{cs3} et Y_{sg3} . Nous utilisons des transistors $4 \times 40\mu\text{m}$ de la technologie GaAs de la fonderie TriQuint, à la polarisation $V_{ds} = 1\text{V}$ et $V_{gs} = -0,7\text{V}$. Les résultats analytiques à partir des équations et simulés par logiciel ADS sont montrés Fig. 4.9.

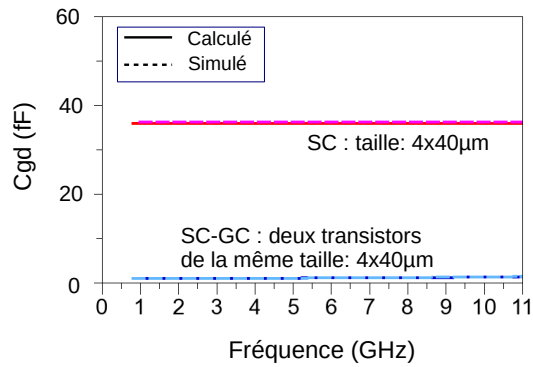


FIGURE 4.9 – Évolution des capacités grille-drain (C_{gd}) des structures SC et SC-GC en fonction de la fréquence

Nous observons que la capacité grille drain C_{gd} de la configuration cascode est diminuée par rapport à celle du transistor en source commune. Cette propriété permet une meilleur unilatéralité du cascode par rapport à un transistor seul. Ainsi elle garantie un gain plat de l'amplificateur sur une large bande de fréquence.

4.1.2.5 Admittances d'entrée et de sortie des montage SC et cascode

Nous allons maintenant étudier les admittances d'entrée et de sortie de ces deux topologies. Leurs expressions sont obtenues à partir des paramètres Y du transistor en source commune et de la configuration cascode :

$$Y_{ie} = Y_{i11} - \frac{Y_{i12}Y_{i21}}{Y_{i22} + Y_2}, \quad (4.31)$$

$$Y_{is} = Y_{i22} - \frac{Y_{i12}Y_{i21}}{Y_{i11} + Y_1}, \quad (4.32)$$

où

- i se réfère à
 - cs pour le transistor en source commune ,
 - sg pour la configuration cascode,
- Y_1 est l'admittance de fermeture, d'entrée
- Y_2 est l'admittance de fermeture de sortie.

Nous allons maintenant montrer l'évolution des capacités et des résistances d'entrée et de sortie. La capacité et la résistance d'entrée sont extraites respectivement de la partie imaginaire et de la partie réelle de l'impédance d'entrée déduite de l'admittance (une capacité en série avec une résistance). La capacité et la conductance de sortie sont extraites respectivement de la partie imaginaire et de la partie réelle de l'admittance de sortie (une capacité en parallèle avec une résistance). Les résultats sont montrés Fig. 4.10.

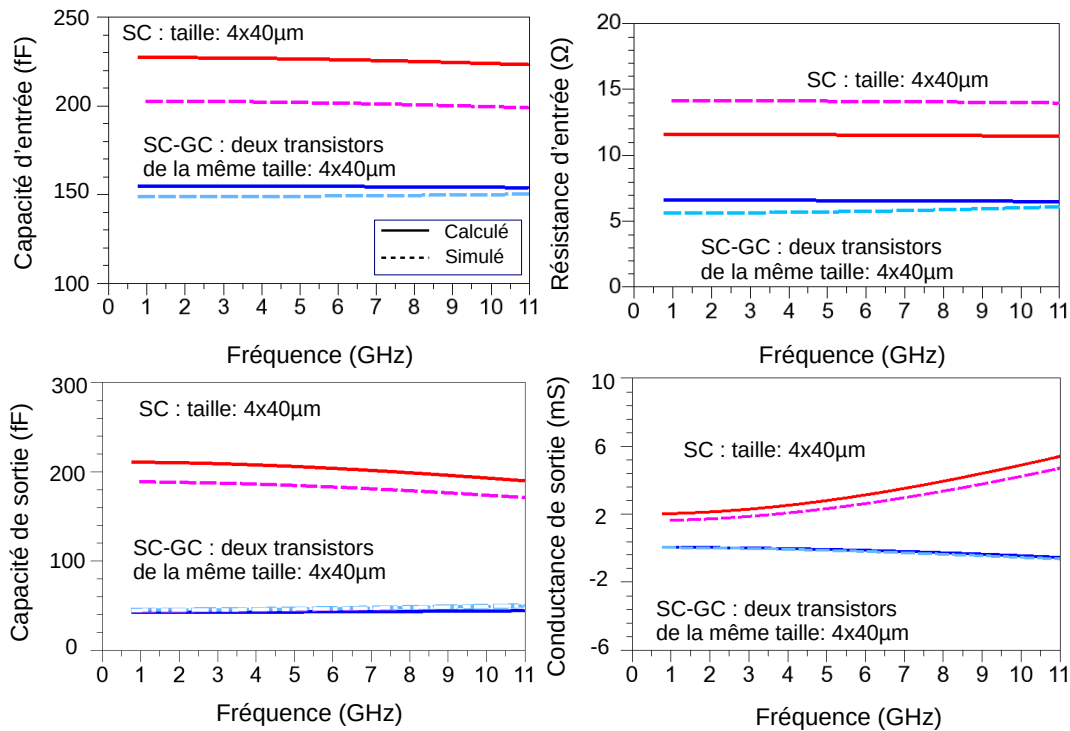


FIGURE 4.10 – Évolution des capacités et des résistances d'entrée/ de sortie des structures SC et SC-GC

Nous constatons que, comparé avec le montage d'un transistor en source commune, le montage cascode présente :

- une diminution de la capacité d'entrée et de sortie. Ceci rend l'utilisation du montage cascode plus avantageux vis à vis de la largeur de la bande passante de l'amplificateur (cf.Section.3.4.3).
- une réduction de la résistance d'entrée et de la conductance de sortie. Ainsi moins de pertes sur les lignes de drain et de grille (cf.Section.3.4.2.1). Cependant, la conductance de sortie devient négative aux hautes fréquences entraînant un risque d'instabilité.

Les différences entre les valeurs analytiques et simulées sont dûes au fait que les éléments extrinsèques du transistor ne sont pas pris en compte dans les calculs.

En résumé, le choix de la configuration cascode comme cellule élémentaire présente plusieurs avantages :

- amélioration de l'isolation
- augmentation de la bande passante
- diminution des pertes dans les lignes de grille et de drain de l'amplificateur distribué

Cependant, la structure cascode présente une conductance de sortie négative pour certaines fréquences, ce qui entraîne un risque d'instabilité du circuit. Il est donc nécessaire de mener une étude de stabilité.

Dans la partie qui va suivre, nous dimensionnerons l'amplificateur basé sur la topologie retenue, tout en respectant les contraintes technologiques.

4.1.3 Dimensionnement de l'amplificateur distribué

4.1.3.1 Contraintes technologiques

• Contraintes courant continu (Direct Current : DC)

La contrainte DC définit les courants statiques maximum que peuvent supporter les couches métalliques. Les lignes de drain et de grille sont construites suivant une superposition de couches métalliques BLMET et MET2 de la fonderie TriQuint. Cela a pour but de réduire les pertes métalliques.

Ces deux couches métalliques suivent la contrainte DC suivante [Tri 2011] :

- Metal2 : $18mA/\mu m$
- BLMET : $5mA/\mu m$

La ligne de drain doit supporter la somme des courants de polarisation de chaque étage $I_{ds,i}$. Ce courant impose une contrainte sur la largeur minimale de la ligne de drain. Pour un amplificateur de n étages, ayant une largeur de ligne de drain (W_d) uniforme, il est donc nécessaire que :

$$W_d(\mu m) \geq \frac{\sum_{i=1}^n I_{ds,i}}{0.005}. \quad (4.33)$$

Dans le but de minimiser la consommation, nous imposons une valeur maximale de $50mA$ de courant totale sur la ligne de drain. Les valeurs de W_d respectent donc la relation suivante :

$$W_d \geq 10\mu m. \quad (4.34)$$

Afin de minimiser la taille de ligne et d'éviter une valeur de W_d minimale, nous fixons $W_d = 11\mu m$.

Par contre, la ligne de grille ne supporte pas de courant. Cette ligne n'est donc pas sous la contrainte DC.

• Contrainte de taille

Le circuit est réalisé dans le cadre d'un multi-projet. La taille du circuit disponible est de $1,5mm \times 2mm$. La contrainte d'encombrement peut limiter le nombre de cellule et l'utilisation des composants de grande taille (par exemple : le réseau de polarisation). Cela nécessite une gestion optimale de l'espace global tout en respectant les règles de conception du layout. Le concepteur doit respecter principalement [Tri 2011] :

1. la taille des éléments. Par exemple, la dimension du via de passivation pour des pads ne doit pas être inférieure à $65\mu m \times 65\mu m$.
2. la distance minimale entre les éléments. Par exemple, la distance entre le via de substrat et le bord du circuit doit être supérieure à $95\mu m$.
3. l'orientation des composants. Par exemple, les grilles des transistors doivent être parallèles entre elles.

De plus, il faut éviter l'utilisation de la taille minimale réalisable des éléments. Sinon la sensibilité des performances de l'amplificateur vis à vis des éléments parasites va augmenter. Par exemple, l'utilisation du double de la largeur minimale réalisable de lignes métalliques est fortement conseillée par le fabricant TriQuint.

• Réseaux de polarisation

Les polarisations des transistors sont amenées via les lignes de drain et de grille, ceci nécessite l'utilisation de téés constitués d'inductances et de capacités. Les inductances, nommées respectivement L_1 et L_2 doivent être dimensionnées afin de présenter une forte impédance vis à vis des signaux RF. Le module des impédances Z_{Ld} et Z_{Lg} de ces inductances s'écrit :

$$|Z_{Ld}| = 2\pi fL_1, \tag{4.35}$$

$$|Z_{Lg}| = 2\pi fL_2. \tag{4.36}$$

Afin de garantir une bonne transmission des signaux RF, $|Z_{Ld}|$ et $|Z_{Lg}|$ doivent être supérieur à 4 fois les valeurs des impédances caractéristiques des lignes de drain et de grille à la fréquence minimale d'opération [Microwave 2010]. La limite inférieure de la bande passante de notre amplificateur est de 0,8GHz. Pour une valeur de 50Ω d'impédance caractéristique des lignes, L_1 et L_2 doivent alors respecter les contraintes suivantes :

- $L_1 > 39,8nH$,
- $L_2 > 39,8nH$.

Nous avons donc besoin d'avoir des fortes valeurs d'inductance.

L'inductance conique ayant une valeur de quelque μH est l'une des meilleurs candidates [Brabetz 2008], [Winslow 2005]. Cependant elle occupe une grande surface de puce. Nous déplaçons donc les inductances L_1 et L_2 à l'extérieur de la puce.

• Polarisation de la cellule élémentaire

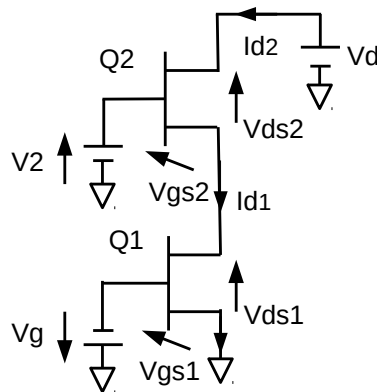


FIGURE 4.11 – Polarisation des transistors

Les tensions V_d , V_g et V_2 représentent l'alimentation du DA. Elles permettent de fixer les polarisations des deux transistors, montrées Fig.4.11. V_{gs} et V_{ds} sont respectivement les polarisations sur la grille et sur le drain du transistor. V_p est la tension de pincement. I_d est le courant de drain, sa valeur maximale pour $V_{gs} = 0V$ est notée I_{DSS} . Les indices 1 et 2 se réfèrent à transistors Q_1 et Q_2 .

- On fixe la valeur de V_g , les valeurs de V_{gs} sont ainsi déduites à partir des relations suivantes :

$$\Rightarrow V_{gs1} = -V_g \quad (4.37)$$

$$I_{d1} = I_{d2} = I_{DSS1} \left(1 + \frac{V_{gs1}}{V_{p1}}\right)^2 = I_{DSS2} \left(1 + \frac{V_{gs2}}{V_{p2}}\right)^2, \quad (4.38)$$

$$\Rightarrow V_{gs2} = V_{p2} \left[\sqrt{\frac{I_{DSS1}}{I_{DSS2}} \left(1 + \frac{V_{gs1}}{V_{p1}}\right)} - 1 \right] \quad (4.39)$$

- On définit les valeurs de V_d et V_2 , les valeurs de V_{ds} sont ensuite calculées selon les équations qui suivent :

$$\Rightarrow V_{ds1} = V_2 - V_{gs2} \quad (4.40)$$

$$\Rightarrow V_{ds2} = V_d - V_{ds1} \quad (4.41)$$

- On donne les limites pour V_2 ainsi :

$$\Rightarrow V_2 > V_{ds1_{min}} + V_{gs2}, \quad (4.42)$$

où $V_{ds1_{min}}$ (0,5V) est la tension minimale garantissant un fonctionnement normal du transistor Q_1 . Avec une valeur de $V_{gs2} = -0,7V$, V_2 doit être supérieur à -0,2V.

4.1.3.2 Détermination du nombre optimal de cellules élémentaires

Dans cette partie, on cherche le nombre optimal de cellules élémentaires de l'amplificateur.

Il existe deux nombres optimaux, N_{opt_G} et $N_{opt_{NF}}$. Un maximise le gain et l'autre minimise le bruit. Cependant N_{opt_G} et $N_{opt_{NF}}$ n'ont pas la même valeur. Un compromis est à effectuer entre le gain en puissance et le facteur de bruit de l'amplificateur tout en respectant la contrainte de taille du circuit.

Afin d'évaluer le paramètre S_{21} et le facteur de bruit NF , nous réalisons un amplificateur avec n ($n = 1, 2 \dots 8$) cellules (cf.Fig. 4.12) à l'aide du logiciel ADS.

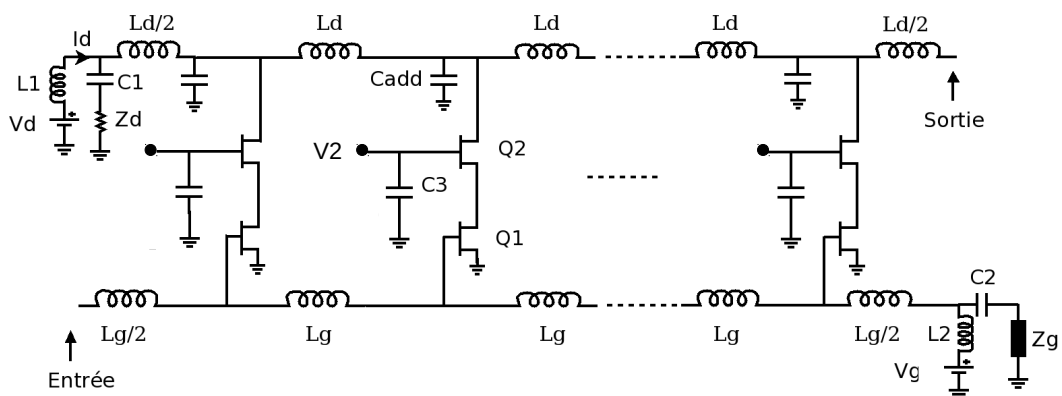


FIGURE 4.12 – Amplificateur avec n cellules

L'amplificateur sur la Fig. 4.12 utilise la configuration cascode comme cellule élémentaire. Une capacité C_{add} est ajoutée en parallèle à la capacité de sortie (C_s) de la cellule élémentaire. Elle compense

la différence entre cette dernière et la capacité d'entrée (C_e) de la cellule élémentaire. Les valeurs de C_e et C_s sont extraites de la partie imaginaire de l'impédance d'entrée et de l'admittance de sortie de la cellule élémentaire. La valeur de C_{add} égale à $C_e - C_s$.

Les lignes de grille et de drain sont réalisés par des inductances idéales respectivement L_g et L_d . Elles sont fermées par des charges de 50Ω . Nous montrons les valeurs des éléments des lignes dans le Tab. 4.2. L_g et L_d sont calculées pour une valeur de 50Ω d'impédance caractéristique de lignes.

TABLE 4.2 – Paramètres des cellules de grille et de drain

C_e (fF)	L_d (nH)	C_s (fF)	L_g (nH)	C_{add} (fF)
150	0,38	45	0,38	105

La Fig. 4.13 montre S_{21} et NF de l'amplificateur en fonction de n .

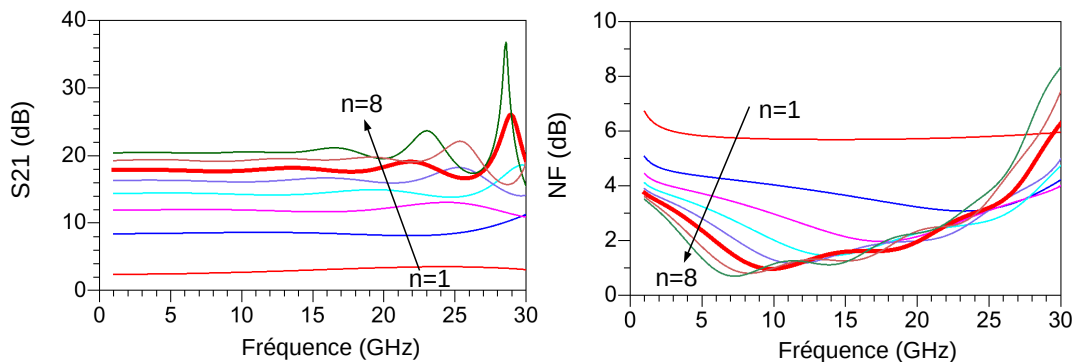


FIGURE 4.13 – S_{21} et NF de l'amplificateur avec n différent

On constate que le paramètre S_{21} augmente avec le nombre de cellule. À partir de 6 cellules, la surface de puce continue à augmenter mais le paramètre S_{21} ne s'accroît plus significativement et le facteur de bruit augmente aux hautes fréquences. Après l'estimation des pertes des lignes en s'imposant $S_{21} \simeq 18dB$ et $NF < 4dB$, nous avons finalement retenu un nombre de 6 cellules.

4.1.3.3 Stabilisation de l'amplificateur

Nous traçons le facteur de stabilité K pour l'amplificateur constitué de 6 cellules (cf.Fig.4.14). On constate que le facteur K est inférieur à 1 à partir de 20GHz, l'amplificateur est donc potentiellement instable au dessus de cette fréquence. Nous présentons dans cette partie la technique utilisée afin de rendre inconditionnellement stable l'amplificateur.

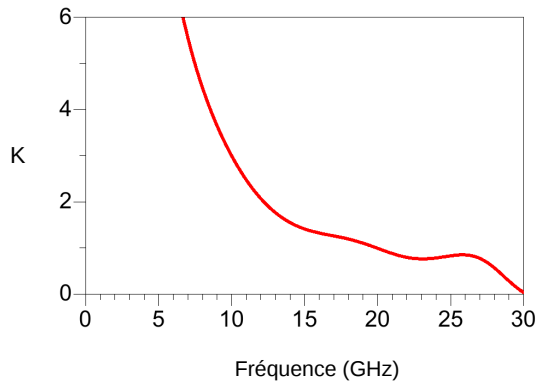


FIGURE 4.14 – Facteur de stabilité pour l'amplificateur (n=6)

Il existe principalement deux méthodes permettant de stabiliser l'amplificateur distribué :

- Stabilisation résistive
- Stabilisation réactive

1) Stabilisation résistive

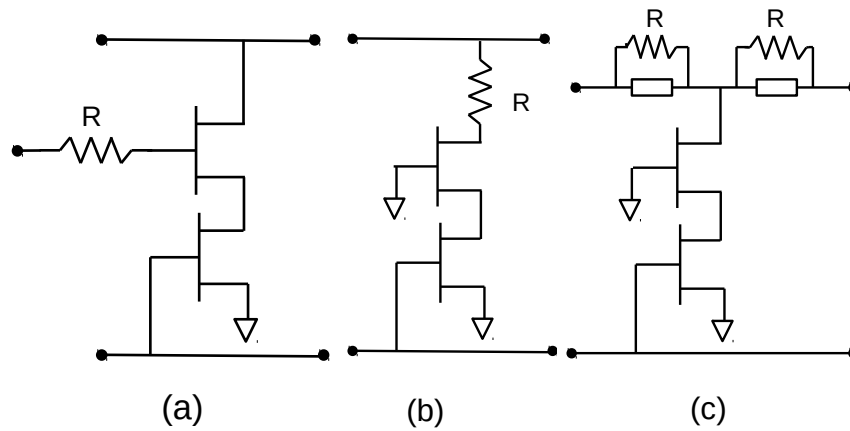


FIGURE 4.15 – Solutions avec la stabilisation résistive : ajout a) d'une résistance à la grille du transistor en grille commune b) à la sortie de chaque cellule élémentaire c) en parallèle avec la ligne de drain

Les solutions avec la stabilisation résistive étant insensible à la fréquence, sont adaptées pour des circuits large bande. Plusieurs méthodes de stabilisation résistive sont possibles. On ajoute des résistances :

- à la grille du transistor en grille commune (cf.Fig. 4.15).a).
- à la sortie de chaque cellule élémentaire (cf.Fig. 4.15).b).
- en parallèle avec la ligne de drain (cf.Fig. 4.15).c).

Les résistances ajoutées dans la cellule élémentaire (cf.Fig. 4.15.a et Fig. 4.15.b) augmentent la valeur de la conductance de sortie de la structure cascode aux hautes fréquences [Liu 2003], [Tsai 2004b],

[Hafele 2003]. Cela facilite la stabilisation de l'amplificateur aux hautes fréquences. Néanmoins, ces méthodes dégradent le gain de l'amplificateur à ces fréquences.

Les résistances, ajoutées sur la ligne de drain (cf.Fig. 4.15), ont tendance à amortir les ondulations du gain de l'amplificateur. Elles assurent la stabilité de l'amplificateur au-delà de la fréquence de coupure de la ligne de drain [Heins 2002], [Yuen 2002]. Cependant, ces résistances sur la ligne de sortie de l'amplificateur augmentent la puissance dissipée de l'amplificateur.

Dans le but de réaliser un gain élevé et minimiser la consommation de l'amplificateur, les méthodes avec la stabilisation résistive ne sont pas des solutions privilégiées. nous utiliserons les techniques de stabilisation réactive, présentées dans la partie suivante.

2) Stabilisation réactive

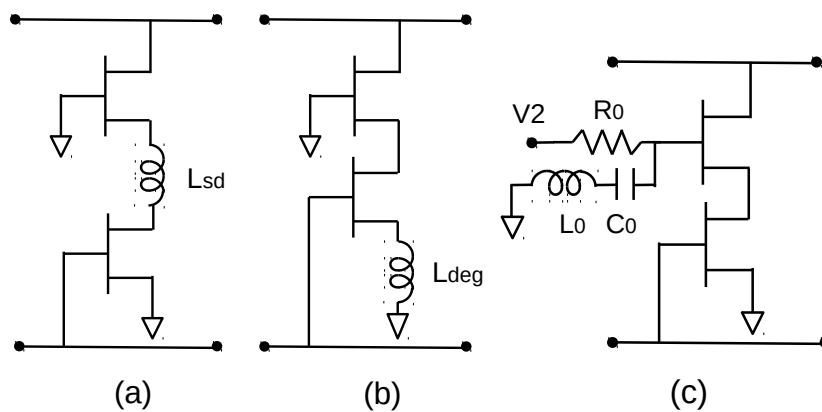


FIGURE 4.16 – Solutions avec la stabilisation réactive : ajout a) une inductance L_{sd} entre les deux transistors b) une inductance de dégénérescence L_{deg} située entre la source du premier transistor et la masse c) un circuit $R_0C_0L_0$ à la grille du transistor en grille commune

Plusieurs méthodes de stabilisation réactive sont proposées. On ajoute :

- une inductance L_{sd} entre les deux transistors (cf.Fig. 4.16.a).
- une inductance de dégénérescence L_{deg} située entre la source du premier transistor et la masse (cf.Fig. 4.16.b).
- un circuit $R_0C_0L_0$ à la grille du transistor en grille commune (cf.Fig. 4.16.c).

Les deux premières solutions utilisent les inductances [Kimura 1994], [Kimura 1996], [Lee 2002], [Nguyen Tran 2009], [Shigematsu 2001], [Shigematsu 2002]. La dernière approche emploie un circuit C_0L_0 connecté à la grille du transistor en grille commune. Une résistance R_0 en parallèle est mise en place pour assurer la polarisation du circuit [Leich 1999]. Ces méthodes changent la dépendance fréquentielle de la conductance de sortie de la cellule élémentaire. On a ainsi une meilleure stabilité de l'amplificateur.

Néanmoins, ces circuits influent également sur la transconductance de la cellule élémentaire. L'examen de l'expression du gain de l'amplificateur montre que le décroissement de la transconductance de la

cellule élémentaire diminue le gain. Afin d'éviter la dégradation du gain de l'amplificateur, nous privilégions avant tout des circuits qui ne dégradent pas la transconductance de la cellule élémentaire.

En identifiant la transconductance g_m de la structure cascode au paramètre Y_{sgT} (cf.section.4.1.2.3) et dans le cas où la pulsation ω est faible devant les pulsations de coupure ω_0 , ω_4 et ω_5 , le g_m est égal à :

$$g_m \simeq g_{m1} \frac{g_{d2} + g_{m2}}{g_{d2} + g_{m2} + g_{d1}}. \quad (4.43)$$

a) Stabilisation avec ajout d'une inductance L_{sd} entre les transistors SC et GC

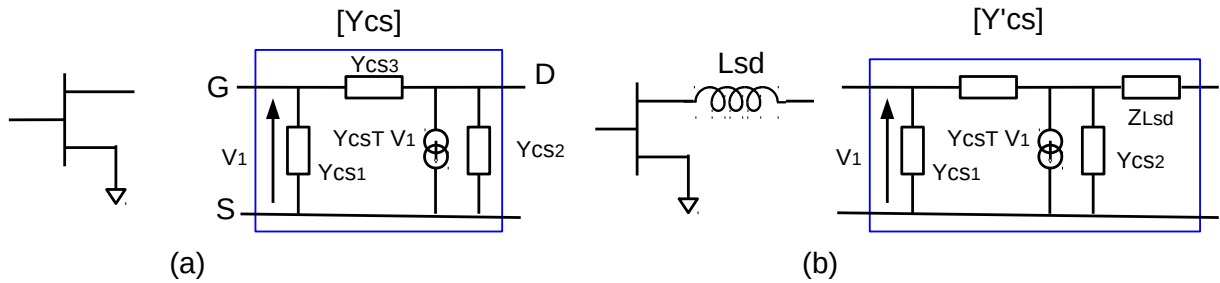


FIGURE 4.17 – Transistor en source commune a)ajout d'une inductance L_{sd} en série sur le drain b)

En supposant que le transistor en source commune (cf.Fig.4.17.a) est unilatéral et que son schéma équivalent petit signal est un quadripôle en π , la matrice admittance est donnée :

$$Y_{cs} = \begin{bmatrix} Y_{cs1} & 0 \\ Y_{csT} & Y_{cs2} \end{bmatrix}, \quad (4.44)$$

avec

$$Y_{cs1} = \frac{1}{R_{gs1} + \frac{1}{j\omega C_{gs1}}}, \quad (4.45)$$

$$Y_{cs2} = j\omega C_{ds1} + g_{d1}, \quad (4.46)$$

$$Y_{csT} = \frac{g_{m1}}{1 + jR_{gs1}C_{gs1}\omega}. \quad (4.47)$$

Passage de la matrice Y vers Z :

$$[Y_{cs}] \rightarrow [Z_{cs}], \quad (4.48)$$

Ajout de l'inductance L_{sd} série sur l'accès de drain :

$$[Z'_{cs}] = [Z_{cs}] + \begin{bmatrix} 0 & 0 \\ 0 & j\omega L_{sd} \end{bmatrix}, \quad (4.49)$$

Passage de la matrice Z vers Y :

$$[Z'_{cs}] \rightarrow [Y'_{cs}], \quad (4.50)$$

$$Y'_{cs} = \frac{Y_{cs1}}{\frac{1}{Y_{cs2}} + j\omega L_{sd}} \left[\begin{array}{cc} \frac{1}{Y_{cs2}} + j\omega L_{sd} & 0 \\ \frac{Y_{csT}}{Y_{cs1}Y_{cs2}} & \frac{1}{Y_{cs1}} \end{array} \right]. \quad (4.51)$$

En identifiant g'_{m1} au paramètre $Y'_{cs}(2, 1)$, la transconductance équivalente devient alors :

$$g'_{m1} = \frac{Y_{csT}}{1 + Y_{cs2}j\omega L_{sd}} \quad (4.52)$$

$$= \frac{Y_{csT}}{1 + (j\omega C_{ds1} + g_{d1})j\omega L_{sd}} \quad (4.53)$$

$$= \frac{Y_{csT}}{1 + (j\omega)^2 L_{sd} C_{ds1} + j\omega L_{sd} g_{d1}} \quad (4.54)$$

$$= \frac{Y_{csT}}{1 + j2\sigma \frac{\omega}{\omega_0} + (j \frac{\omega}{\omega_0})^2}, \quad (4.55)$$

avec la pulsation de coupure :

$$\omega_0 = \frac{1}{\sqrt{L_{sd} C_{ds1}}}, \quad (4.56)$$

le facteur d'amortissement :

$$\sigma = \frac{g_{d1}}{2} \sqrt{\frac{L_{sd}}{C_{ds1}}}. \quad (4.57)$$

La transconductance de la configuration cascode devient alors :

$$g_m = g'_{m1} \frac{g_{d2} + g_{m2}}{g_{d2} + g_{m2} + g_{d1}} = \frac{Y_{csT}}{1 + j2\sigma \frac{\omega}{\omega_0} + (j \frac{\omega}{\omega_0})^2} \frac{g_{d2} + g_{m2}}{g_{d2} + g_{m2} + g_{d1}}, \quad (4.58)$$

avec $Y_{csT} \simeq g_{m01} e^{-j\omega\tau_{01}}$.

On constate que le $|g_m|$ présente une structure passe bas du 2^{er} ordre.

Nous extrayons la transconductance de la structure cascode en fonction de l'inductance L_{sd} . Nous utilisons des transistors $4 \times 40\mu m$, à la polarisation $V_{ds} = 1V$ et $V_g = -0,7V$. Nous présentons les résultats dans Fig. 4.18.

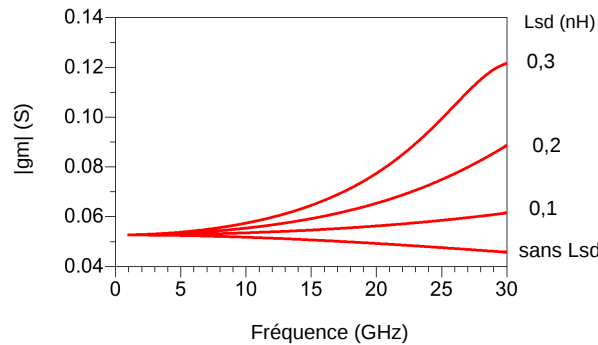


FIGURE 4.18 – $|g_m|$ de la structure cascode en fonction de L_{sd}

Nous constatons que dans la plage de fréquences étudiée, plus L_{sd} augmente, plus la transconductance de la structure cascode est importante. Une valeur de $L_{sd} = 0,14nH$ permet d'élargir la bande de fréquence dans laquelle $|g_m|$ est constant.

La Fig.4.23 montre l'évolution du paramètre S_{21} et du facteur de stabilité de l'amplificateur en fonction de l'inductance L_{sd} . La valeur de L_{sd} varie de 0nH à 0,4nH avec un pas de 0,1nH.

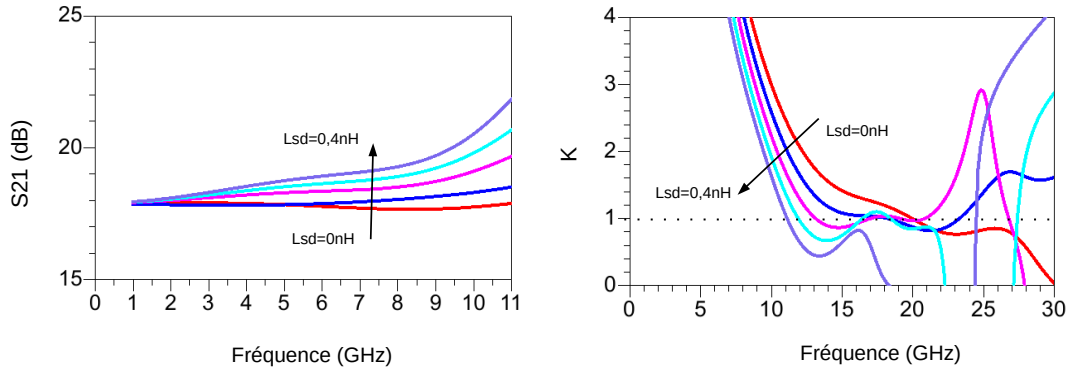


FIGURE 4.19 – S_{21} et K de l'amplificateur en fonction de L_{sd}

Nous constatons que le paramètre S_{21} augmente avec l'inductance L_{sd} sur la plage de fréquences étudiée.

Nous notons également qu'avec certaines valeurs de l'inductance L_{sd} , le facteur K augmente aux hautes fréquences. Cependant, la stabilité est dégradée aux moyennes fréquences. La stabilisation avec l'inductance L_{sd} n'est donc pas une solution préférable. Malgré cela, nous retenons cette une solution par rapport aux résultats relatifs à $|g_m|$ afin d'élargir la bande de fréquence ($L_{sd} = 0,14nH$).

b) Stabilisation avec une inductance de dégénérescence L_{deg} sur l'accès de source du transistor en SC

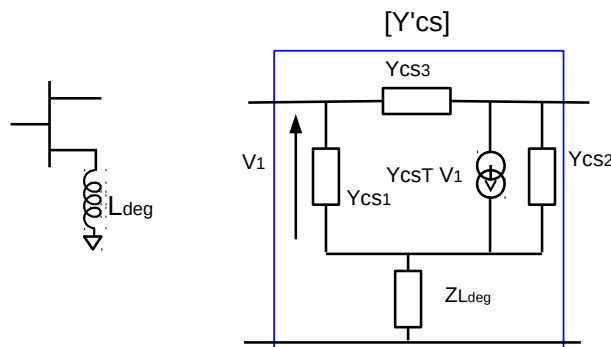


FIGURE 4.20 – Transistor en source commune avec une inductance L_{deg} sur la source

On suppose que le transistor en source commune est unilatéral. Nous calculons la matrice admittance Y'_{cs} de transistor en source commune en ajoutant l'inductance L_{deg} .

Passage de la matrice Y vers Z :

$$[Y_{cs}] \rightarrow [Z_{cs}], \tag{4.59}$$

Ajout de l'inductance L_{deg} sur l'accès de source du transistor en SC :

$$[Z'_{cs}] = [Z_{cs}] + \begin{bmatrix} j\omega L_{deg} & j\omega L_{deg} \\ j\omega L_{deg} & j\omega L_{deg} \end{bmatrix}, \quad (4.60)$$

Passage de la matrice Z vers Y :

$$[Z'_{cs}] \rightarrow [Y'_{cs}], \quad (4.61)$$

$$Y'_{cs} = \frac{1}{T} \begin{bmatrix} \frac{1}{Y_{cs2}} + j\omega L_{deg} & -j\omega L_{deg} \\ \frac{1}{Y_{cs1}Y_{cs2}} - j\omega L_{deg} & \frac{1}{Y_{cs1}} + j\omega L_{deg} \end{bmatrix}, \quad (4.62)$$

où

$$T = \frac{1}{Y_{cs1}Y_{cs2}} + j\omega L_{deg} \left(\frac{Y_{csT}}{Y_{cs1}Y_{cs2}} + \frac{1}{Y_{cs1}} + \frac{1}{Y_{cs2}} \right). \quad (4.63)$$

La transconductance g_{m1} devient alors :

$$g'_{m1} = \frac{Y_{csT}}{1 + j\omega L_{deg}(Y_{cs1} + Y_{cs2} + Y_{csT})} \quad (4.64)$$

Dans le cas où $\omega \ll \frac{1}{R_{gs1}C_{gs1}}$, l'équation 4.64 peut être simplifiée :

$$g'_{m1} = \frac{g_{m1}}{1 + j\omega L_{deg}(g_{d1} + g_{m1}) + (j\omega)^2(C_{gs1} + C_{ds1})} \quad (4.65)$$

$$= \frac{g_{m1}}{1 + j2\sigma \frac{\omega}{\omega_0} + (j \frac{\omega}{\omega_0})^2}, \quad (4.66)$$

Le g'_{m1} présente une structure passe bas du 2^{er} ordre. avec la pulsation de coupure :

$$\omega_0 = \frac{1}{\sqrt{L_{deg}(C_{ds1} + C_{gs1})}}, \quad (4.67)$$

le facteur d'amortissement

$$\sigma = \frac{(g_{d1} + g_{m1})}{2} \sqrt{\frac{L_{deg}}{C_{ds1} + C_{gs1}}}. \quad (4.68)$$

Nous extrayons la tranconductance de la structure cascode et le facteur de stabilité de l'amplificateur en fonction de l'inductance L_{deg} . La valeur de L_{deg} varie de 0nH à 0,4nH. Le résultat est montré Fig. 4.21.

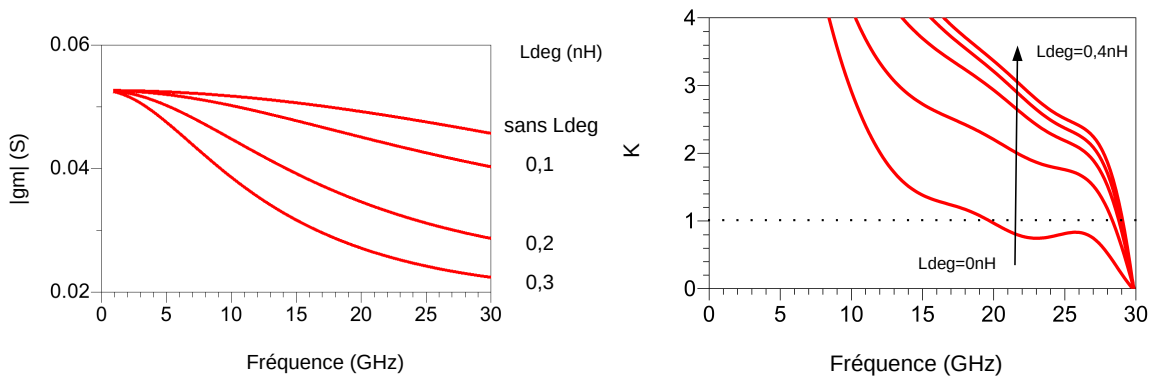


FIGURE 4.21 – Tranconductance de la structure cascode et facteur de stabilité de l'amplificateur en fonction de L_{deg}

Dans la bande passante de l'amplificateur, à l'inverse de L_{sd} , L_{deg} conduit à une diminution de la transconductance et donc une dégradation du gain. De plus, elle n'améliore pas la stabilité de l'amplificateur aux hautes fréquences. Par conséquent, cette approche ne répond pas à notre besoin.

c) Stabilisation avec ajout d'un circuit C_0L_0 en série sur l'accès de grille du transistor GC

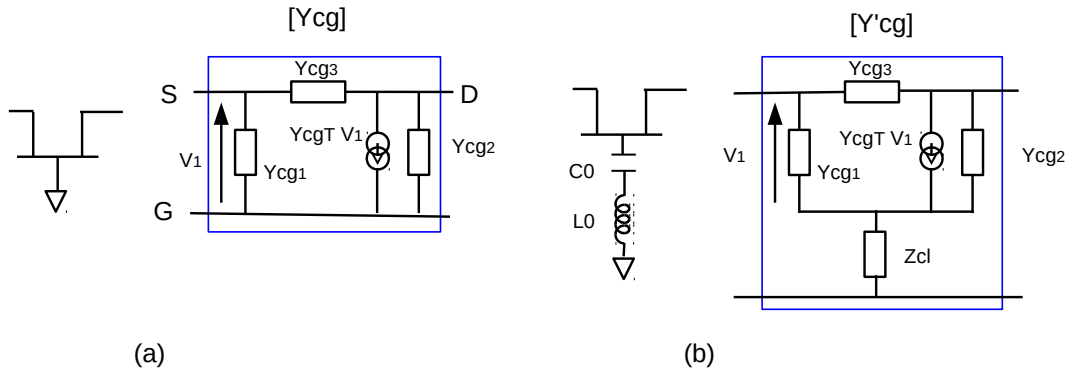


FIGURE 4.22 – Transistor en grille commune a) ajout d'un circuit C_0L_0 en série sur la grille

Nous supposons que le schéma équivalent petit signal du transistor en grille commune est un quadri-pôle en π (cf.Fig.4.22.a).

Le formalisme admittance Y_{cg} du transistor en grille commune s'exprime :

$$Y_{cg} = \begin{bmatrix} Y_{cg1} + Y_{cg3} & -Y_{cg3} \\ Y_{cgT} - Y_{cg3} & Y_{cg2} + Y_{cg3} \end{bmatrix}, \quad (4.69)$$

avec

$$Y_{cg1} = Y_{cs1} + Y_{csT} = \frac{g_{m2}}{1 + jR_{gs2}C_{gs2}} + \frac{1}{R_{gs2} + \frac{1}{j\omega C_{gs2}}}, \quad (4.70)$$

$$Y_{cg2} = Y_{cs3} = j\omega C_{gd2}, \quad (4.71)$$

$$Y_{cg3} = Y_{cs2} = j\omega C_{ds2} + g_{d2}, \quad (4.72)$$

$$Y_{cgT} = -Y_{csT} = \frac{-g_{m2}}{1 + jR_{gs2}C_{gs2}}, \quad (4.73)$$

où $g_{d2} = \frac{1}{R_{ds2}}$.

Passage de la matrice Y vers Z :

$$[Y_{cg}] \rightarrow [Z_{cg}], \quad (4.74)$$

Ajout du circuit C_0L_0 :

$$[Z'_{cg}] = [Z_{cg}] + Z_{cl} \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix}, \quad (4.75)$$

Passage de la matrice Z vers Y :

$$[Z'_{cg}] \rightarrow [Y'_{cg}], \quad (4.76)$$

$$Y'_{cg} = \frac{Y_{cg3}}{1 + Z_{cl}(Y_{cgT} + Y_{cg1})} \begin{bmatrix} 1 + Z_{cl}(Y_{cgT} + Y_{cg1}) + \frac{Y_{cg1}}{Y_{cg3}} & -1 - Z_{cl}(Y_{cgT} + Y_{cg1}) \\ -1 - Z_{cl}(Y_{cgT} + Y_{cg1}) + \frac{Y_{cgT}}{Y_{cg3}} & 1 + Z_{cl}(Y_{cgT} + Y_{cg1}) \end{bmatrix}, \quad (4.77)$$

La transconductance g_{m2} devient alors :

$$g'_{m2} = \frac{Y_{cgT}}{1 + Z_{cl}(Y_{cgT} + Y_{cg1})} \quad (4.78)$$

Dans le cas où $\omega \ll \frac{1}{R_{gs1}C_{gs1}}$ et $C_{gs} \ll C_0$, l'équation 4.78 peut être simplifiée :

$$g'_{m2} = \frac{-g_{m2}}{1 + (j\omega)^2 L_0 C_{gs}} \quad (4.79)$$

$$= \frac{-g_{m2}}{1 + (j\frac{\omega}{\omega_0})^2}. \quad (4.80)$$

On remarque que le g'_{m2} présente une structure passe bas avec la pulsation de coupure $\omega_0 = \frac{1}{\sqrt{L_0 C_{gs}}}$.

La transconductance de la configuration cascode deviens alors :

$$g_m = g_{m1} \frac{g_{d2} + g'_{m2}}{g_{d2} + g'_{m2} + g_{d1}} \quad (4.81)$$

Le g_{d1} et le g_{d1} sont négligeable devant g'_{m2} . La transconductance de la configuration cascode est donc fixée par la transconductance du transistor en source commune. Le circuit $C_0 L_0$ affecte alors très légèrement la transconductance de la cellule. De même, une légère modification de la taille du transistor en grille commune influence peu la transconductance de la cellule. Cependant, cela change la dépendance fréquentielle de l'admittance de sortie de la cellule. Cela permet donc de faciliter la stabilisation de l'amplificateur.

La Fig.4.23 montre l'évaluation du paramètre S_{21} et du facteur de stabilité de l'amplificateur en fonction du circuit $C_0 L_0$ et la taille du transistor en grille commune Q_2 .

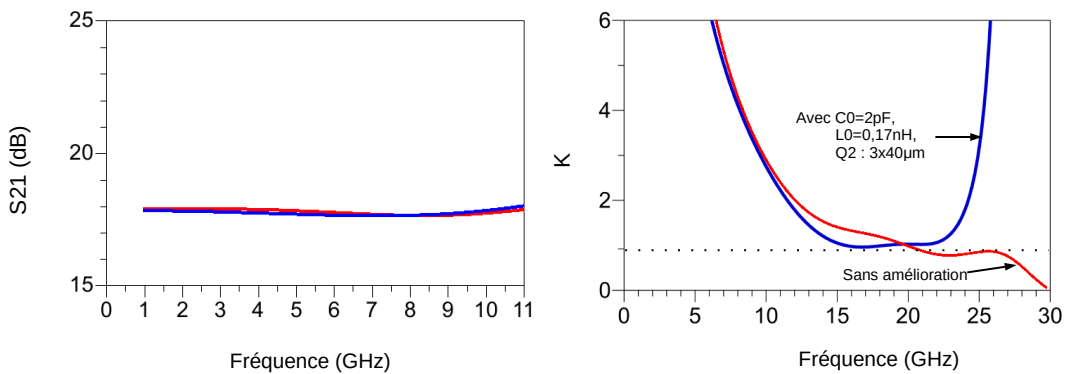


FIGURE 4.23 – S_{21} et K de l'amplificateur en fonction de $C_0 L_0$ et la taille du transistor en grille commune Q_2

Nous constatons que le paramètre S_{21} reste quasi invariant sur la bande de fréquences étudiée. Nous constatons également qu'en choisissant correctement C_0 (2pF), L_0 (0,17nH) et la taille du transistor en

grille commune ($3 \times 40\mu m$), nous améliorons considérablement la stabilité aux hautes fréquences de l'amplificateur.

La stabilisation avec le circuit C_0L_0 en série sur l'accès de grille du transistor et la légère modification de la taille du transistor en grille commune est la solution la plus avantageuse. Nous retenons donc cette approche.

La Fig.4.24 présente l'amplificateur avec le circuit de stabilisation et l'inductance L_{sd} . Une résistance R_0 en parallèle avec le circuit C_0L_0 est mise en place pour assurer la polarisation du circuit.

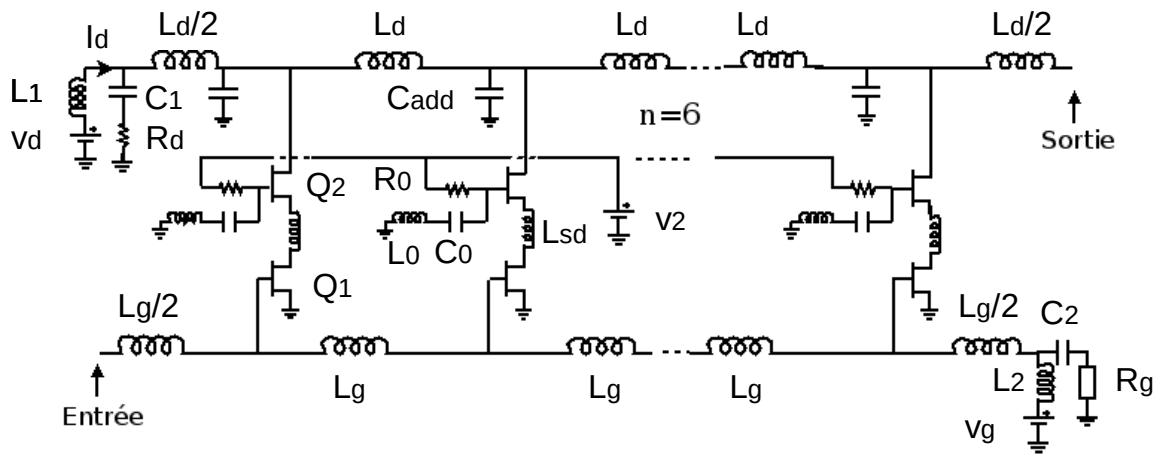


FIGURE 4.24 – Amplificateur avec le circuit de stabilisation

4.1.3.4 Amélioration du facteur de bruit

L'expression du facteur de bruit NF s'écrit :

$$NF = 10 \log \left(1 + \frac{Z_g n \omega^2 C_{gs}^2 R}{3g_m} + \frac{4P}{ng_m Z_g} \right). \quad (4.82)$$

Eq.4.82 montre que l'amélioration du facteur de bruit se peut faire via la charge Z_g . Dans cette partie, nous choisissons donc la valeur de Z_g afin d'obtenir de bonnes performances en terme de bruit.

La Fig.4.25 illustre l'influences de Z_g sur les paramètres S_{11} , S_{21} et sur le facteur de bruit de l'amplificateur. La valeur de Z_g varie de 50Ω à 110Ω avec un pas de 20Ω . On fixe également l'impédance caractéristique de la ligne de grille $Z_{0g} = Z_g$.

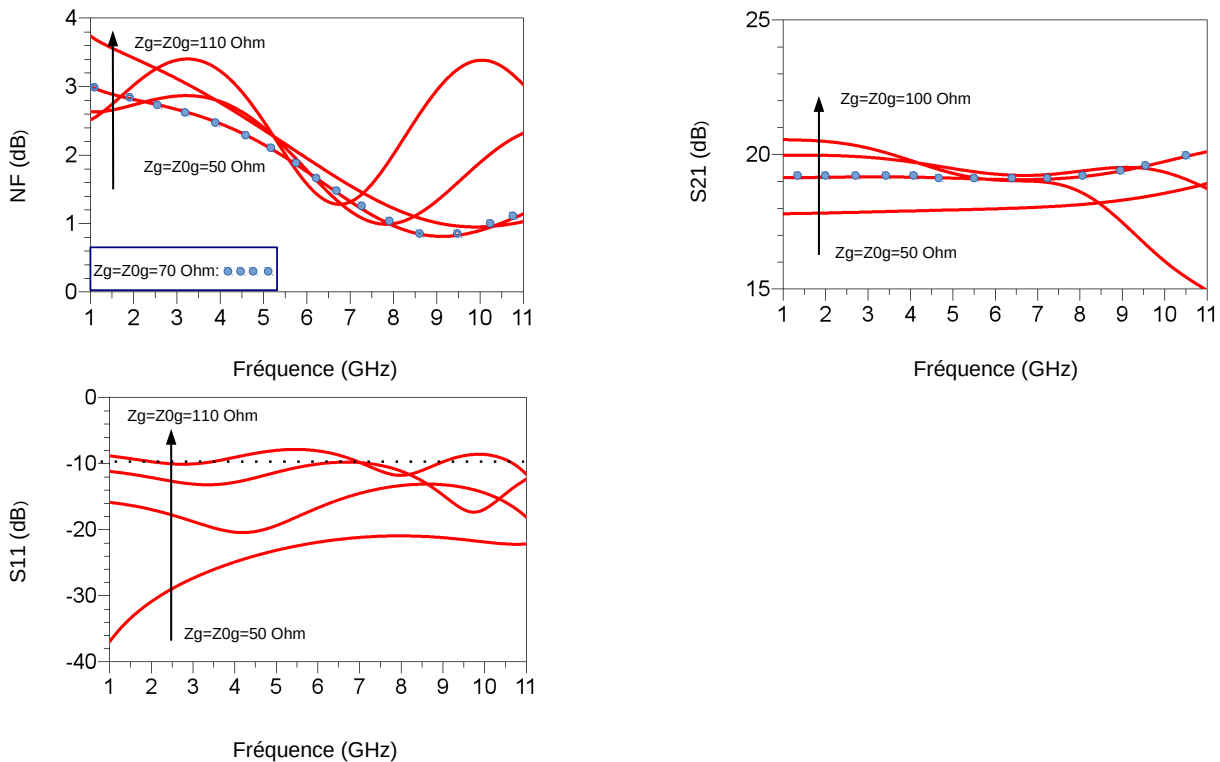


FIGURE 4.25 – Influences de Z_g sur les performances de l'amplificateur

On montre que le $Z_g = Z_{0g} = 70\Omega$, d'une part, donne le meilleur facteur de bruit sur la plage de fréquence étudiée tout en gardant une bonne adaptation en entrée, d'autre part cela améliore le gain de l'amplificateur (rappel : $gain = n^2 \frac{g_m^2 Z_{0d} Z_{0g}}{4}$). Nous retenons donc cette solution.

4.1.3.5 Topologie finale

Nous présentons la topologie finale de l'amplificateur Fig. 4.26. Nous remplaçons tous les éléments idéaux de l'amplificateur par des composants de la fonderie TriQuint. Les résistances et les capacités sont réalisés respectivement par des résistances de type NiCr et des capacités MIM. Les inductances L_0 et L_{sd} sont réalisées à partir des tronçons de ligne micro-ruban. La réalisation des lignes de drain et de grille peut se faire à partir soit de tronçons de lignes micro-ruban, soit d'inductances rectangulaires MRIND. Nous avons choisi de réaliser la ligne de drain à partir de ligne micro-ruban et la ligne de grille par des inductances MRIND.

Néanmoins, les pertes introduites par les composants de la fonderie TriQuint détériorent les performances de de l'amplificateur. Afin d'obtenir un gain plat de 18dB et un facteur de bruit inférieur à 3, 5dB sur une large bande (0,8-11GHz), nous varions légèrement les polarisations et les valeurs des composants de l'amplificateur.

Nous présentons les tensions de polarisation pour les deux transistors dans Tab. 4.3.

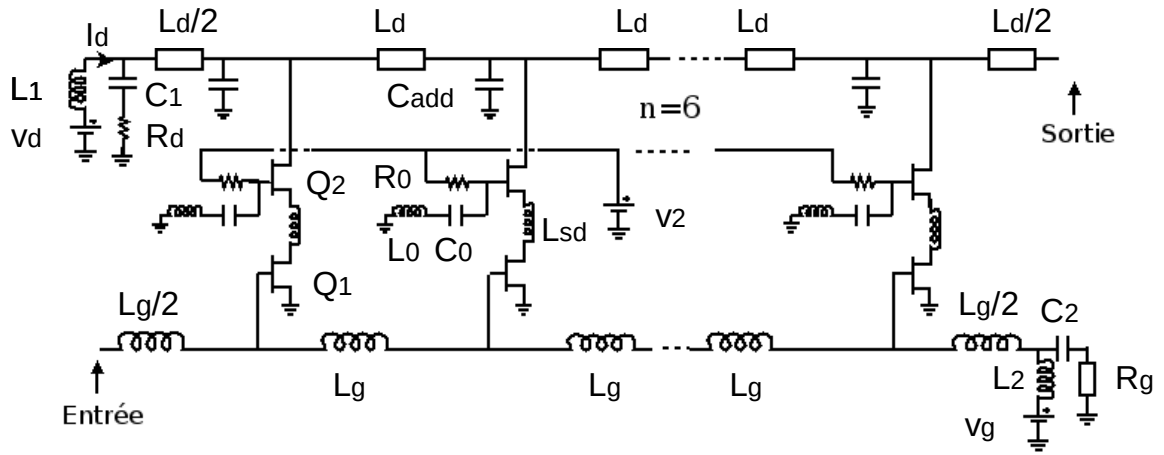


FIGURE 4.26 – Schéma de l'amplificateur (lignes d'interconnexion ne sont pas représentées)

TABLE 4.3 – Polarisation pour les deux transistors en PFHG

Mode haute performance (PFHG)			
Polarisation	V_d	V_g	V_2
	1,8V	-0,7V	0,3V
Transistor	V_{ds} (V)	V_{gs} (V)	I_{ds} (mA)
Q_1 ($4 \times 40\mu m$)	0,96	-0,7	6,2
Q_2 ($3 \times 40\mu m$)	0,83	-0,62	6,2

Le Tab. 4.4 présente les valeurs des composants de l'amplificateur.

TABLE 4.4 – Valeurs des composants de l'amplificateur

L_{sd}	R_0	C_0	L_0
0,14 nH	1K Ω	2pF	0,1nH

Caractéristiques des lignes

Les schémas équivalents simplifiés de la ligne micro-ruban et de l'inductance MRIND sont montrés Fig. 4.27 [Tri 2011]. Pour la ligne micro-ruban, on considère un tronçon de longueur petite par rapport à la longueur d'onde du signal.

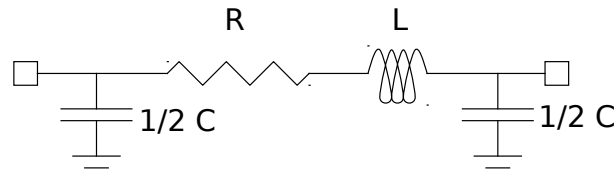


FIGURE 4.27 – Circuit équivalent de la ligne micro-ruban et de l'inductance MRIND [Tri 2011]

Dans la Fig. 4.27, C est la capacité parasite, R est la résistance parasite et L est l'inductance. Avec C , R et L associés à C_{mr} , R_{mr} et L_{mr} pour la ligne micro-ruban et à C_{MRIND} , R_{MRIND} et L_{MRIND} pour l'inductance MRIND. Ces éléments de circuit équivalent sont déterminés par les paramètres géométriques de la ligne micro-ruban (cf.Fig. 4.28 a)) et de l'inductance MRIND (cf.Fig. 4.28 b)).

la ligne micro-ruban $\left\{ \begin{array}{l} \text{la largeur de ligne } W_{micro-ruban}, \\ \text{la longueur de ligne } L_{micro-ruban}. \end{array} \right.$

l'inductance MRIND $\left\{ \begin{array}{l} \text{la largeur de ligne } W_{MRIND}, \\ \text{la distance entre les lignes } S, \\ \text{le nombre de tour } n_{MRIND}, \\ \text{la longueur horizontale } L_h, \\ \text{la longueur verticale } L_v. \end{array} \right.$

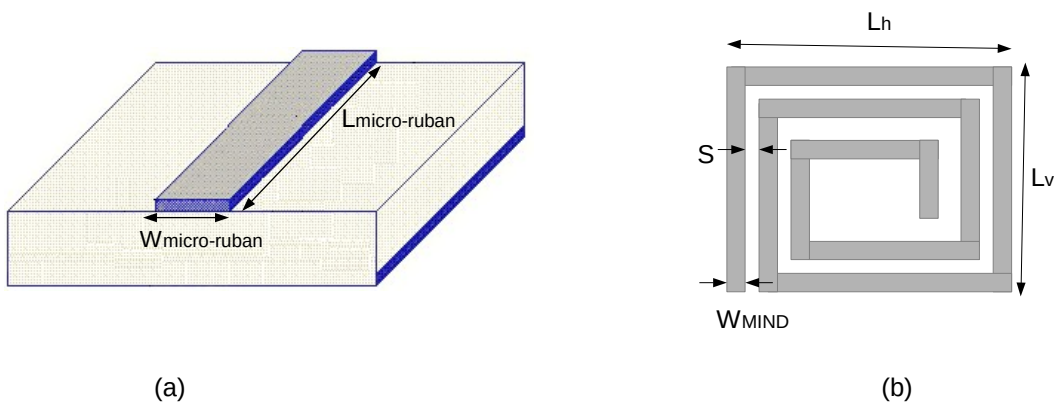


FIGURE 4.28 – Ligne micro-ruban (a) et inductance MRIND (b)

Nous fixons $W_{micro-ruban} = 11\mu m$ pour respecter la contrainte DC. Nous déterminons les autres paramètres géométriques afin d'obtenir les bonnes caractéristiques des lignes.

Sous hypothèse que les lignes sont sans pertes, leurs impédances caractéristiques, leurs fréquences de coupure et leurs vitesses de phase correspondent aux valeurs :

$$Z'_{0d} = \sqrt{\frac{L_{mr}}{C_s + C_{mr} + C_{add}}}, \quad (4.83)$$

$$Z'_{0g} = \sqrt{\frac{L_{MRIND}}{C_e + C_{MRIND}}}, \quad (4.84)$$

$$f_{cd} = \frac{1}{\pi \sqrt{L_{mr}(C_s + C_{mr} + C_{add})}}, \quad (4.85)$$

$$f_{cg} = \frac{1}{\pi \sqrt{L_{MRIND}(C_e + C_{MRIND})}}, \quad (4.86)$$

$$V_{\phi_d} = \frac{1}{\sqrt{L_{mr}(C_s + C_{mr} + C_{add})}}, \quad (4.87)$$

$$V_{\phi_g} = \frac{1}{\sqrt{L_{MRIND}(C_e + C_{MRIND})}}. \quad (4.88)$$

Les paramètres des éléments doivent satisfaire :

- pour la ligne de grille :
 - fréquence de coupure $f_{cg} > 1,22\Delta f$ (cf.section.3.4.3), donc $f_{cg} > 13,1GHz$.
 - impédance caractéristique Z'_{0g} proche de 70Ω afin d'optimiser le facteur de bruit.
- pour la ligne de drain :
 - fréquence de coupure $f_{cd} > 13,1GHz$,
 - égalité des vitesses de phase $V_{\phi_d} = V_{\phi_g}$,
 - impédance caractéristique Z'_{0d} proche de 50Ω .

Les valeurs des éléments des lignes de grille et de drain sont montrées Tab.4.5.

TABLE 4.5 – Valeurs des éléments des lignes de grille et de drain (Q : facteur de qualité)

L_{MRIND} (nH)	C_e (fF)	C_{MRIND} (fF)	R_{MRIND} (Ω)	L_{mr} (nH)	C_s (fF)	C_{mr} (fF)	R_{mr} (Ω)	C_{add} (fF)	Q_{MRIND}	Q_{mr}
1,4	150	70	2,5	1,0	45	230	1,7	32	206	510

Les valeurs des paramètres caractéristiques des lignes sont déterminées à partir des équations 4.83-4.88 (cf. Tab. 4.6).

TABLE 4.6 – Valeurs des paramètres caractéristiques des lignes

Z'_{0d} (Ω)	Z'_{0g} (Ω)	f_{cd} (GHz)	f_{cg} (GHz)	V_{ϕ_d} (ms^{-1})	V_{ϕ_g} (ms^{-1})
57	79	18	18	$5,7e^{10}$	$5,7e^{10}$

On constate que l'égalité des vitesses de phase est garantie. Les fréquences de coupures sont supérieures à la bande passante de l'amplificateur. La valeurs de Z'_{0d} et Z'_{0g} sont respectivement 57Ω et 79Ω . Elles sont légèrement supérieures à 50Ω et 70Ω afin de remonter le gain (gain proportionnelle à $Z_{0d} \times Z_{0g}$, donc une augmentation de 2dB de gain) sans augmenter la consommation. Il en résulte une désadaptation d'entrée acceptable.

Performances simulées pour le mode haute performance

Nous montrons les performances simulées pour le mode haute performance (PFHG) Fig. 4.29.

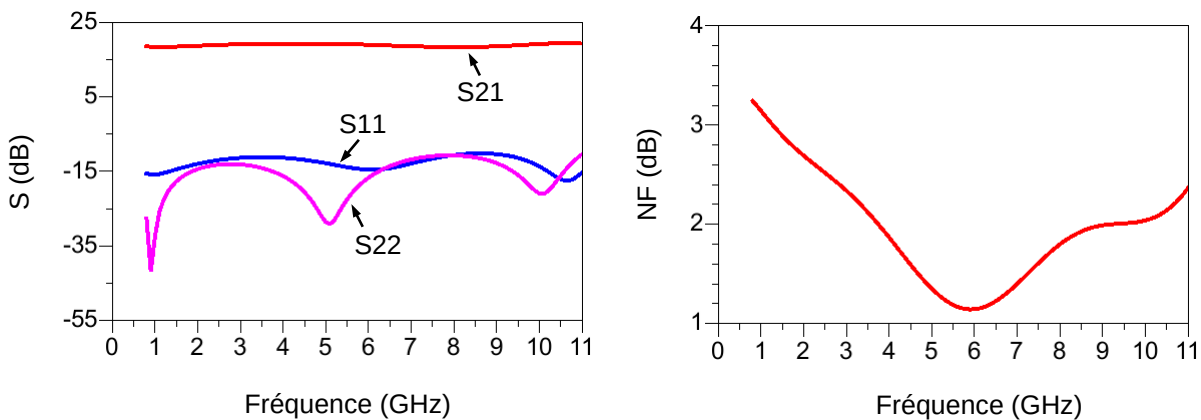


FIGURE 4.29 – Performances simulées pour le mode haute performance

L'amplificateur présente un gain de $18,8 \pm 0,5dB$ et un facteur de bruit de $1,1 - 3,2dB$, avec une consommation de $54,5mW(1,8V)$.

4.2 Modes de fonctionnement de l'amplificateur

4.2.1 Modes de fonctionnement

Nous proposons deux modes de fonctionnement pour notre amplificateur. Le passage du mode haute performance au mode basse consommation se fait via une variation des conditions de polarisation. La Fig. 4.30 montre les points de polarisation idéaux des transistors pour les deux modes.

Avec :

- mode basse consommation : le point *A*,
- mode haute performance :
 - le point *B* : Point de fonctionnement haut gain (PFHG),
 - le point *C* : Point de fonctionnement haut gain haute linéarité (PFHGHL).

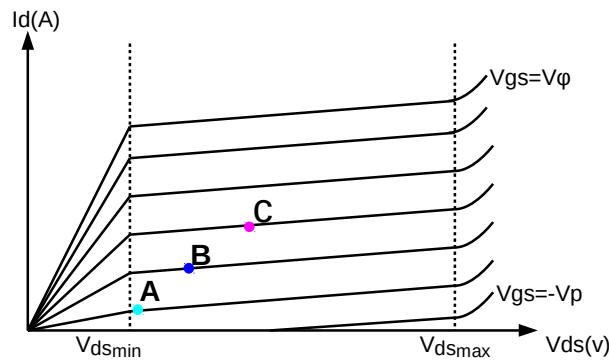


FIGURE 4.30 – Points de polarisation idéaux pour A : mode basse consommation, B : PFHG, C : PFHGHL

Pour passer du point B au point A, on diminue V_g . Cela impose une diminution des tensions V_{gs1} et V_{gs2} (cf.Eqs.4.38-4.39). Afin de diminuer également les tensions V_{ds1} et V_{ds2} , on ajuste respectivement les polarisations V_2 et V_d (cf.Eqs.4.41-4.41). Pour réaliser le fonctionnement PFHGHL (point C), on polarise les transistors vers le milieu de la zone saturée.

La réalisation du passage entre les modes nécessite une gestion indépendante des performances et des conditions d'adaptations entrée/sortie. Sachant que les performances de l'amplificateur dépendent de la transconductance de la cellule élémentaire, les conditions d'adaptations entrée/sortie sont déterminées par les capacités d'entrée/sortie de la cellule élémentaire.

Nous faisons une étude sur l'évolution des éléments intrinsèques des cellules élémentaires en fonction des polarisations V_d , V_g et V_2 à 6GHz. (cf.Fig. 4.31 et Fig. 4.32).

Dans un premier temps, nous faisons varier V_d de 1V à 8V pour $V_g = -0,7V$ et $V_2 = 0V$ fixe. Selon Eq.4.41-Eq.4.41, la variation de V_d impose la même variation de V_{ds2} et le V_{ds1} reste invariant. On rappelle que la transconductance de la cellule g_m est prédominée par le transistor en source commune (Q_1). V_{ds2} influence donc peu le g_m . Puis nous faisons varier V_g de -0,8V à -0,5V en fixant $V_d = 2V$ et $V_2 = 0V$. Enfin, nous faisons varier V_2 de -0,2V à 0,8V pour $V_d = 2V$ et $V_g = -0,7V$. La tension V_2 influence la tension V_{ds1} (cf.Eq.4.41), donc la transconductance de la cellule.

Nous constatons que la transconductance de la cellule varie peu avec la polarisation de drain V_d , elle augmente légèrement avec la tension V_2 et augmente plus vite avec la polarisation de grille V_g . Les capacités entrée/sortie restent invariantes avec V_d et varient très légèrement avec V_g et V_2 . Par conséquent, la structure distribuée n'a pas besoin d'être ajustée lors du changement de mode de fonctionnement.

Afin de confirmer l'étude effectuée, nous traçons les performances de l'amplificateur en fonction de V_d , V_g et V_2 (cf.Fig. 4.35-4.36).

Nous constatons que :

1. les paramètres S_{11} et S_{22} varient légèrement avec les polarisations. Ceci est dû au fait que les capacités d'entrée et de sortie de la cellule ne varient pas significativement avec les polarisations.
2. le paramètre S_{21} augmente proportionnellement avec V_g , légèrement avec V_2 et très peu avec V_d . Nous démontrons donc la variation du paramètre S_{21} est imposée par la variation de la transconductance de la cellule.

Les deux conditions pour réaliser un gain ajustable contrôlé par les conditions de polarisation, sont donc réunies. D'autre part, le facteur de bruit est toujours inférieur à 3,5dB. Cela garantit une bonne performance en bruit pour les deux modes de fonctionnement.

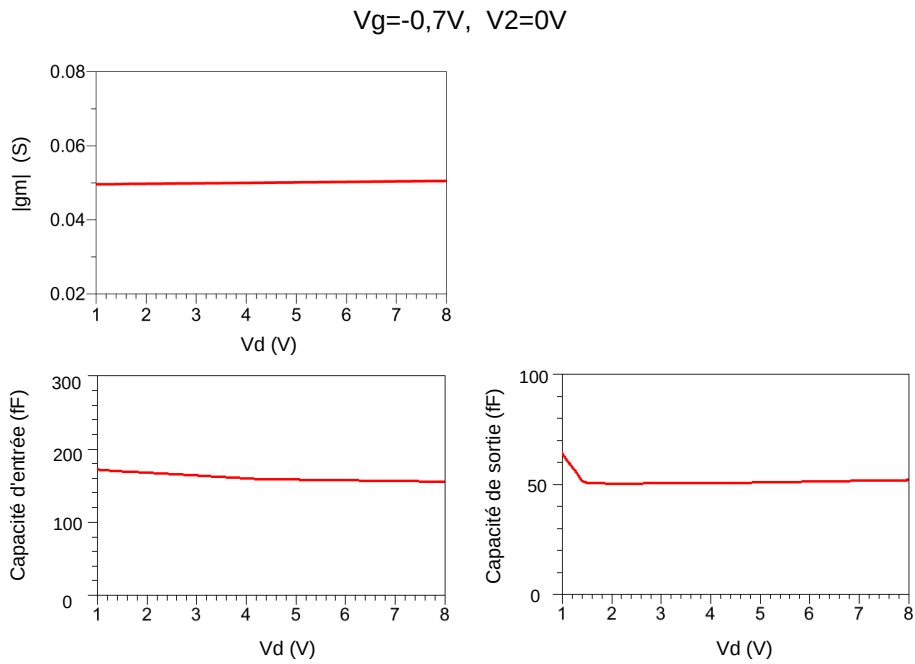


FIGURE 4.31 – Éléments intrinsèques des cellules élémentaires en fonction de V_d à 6GHz

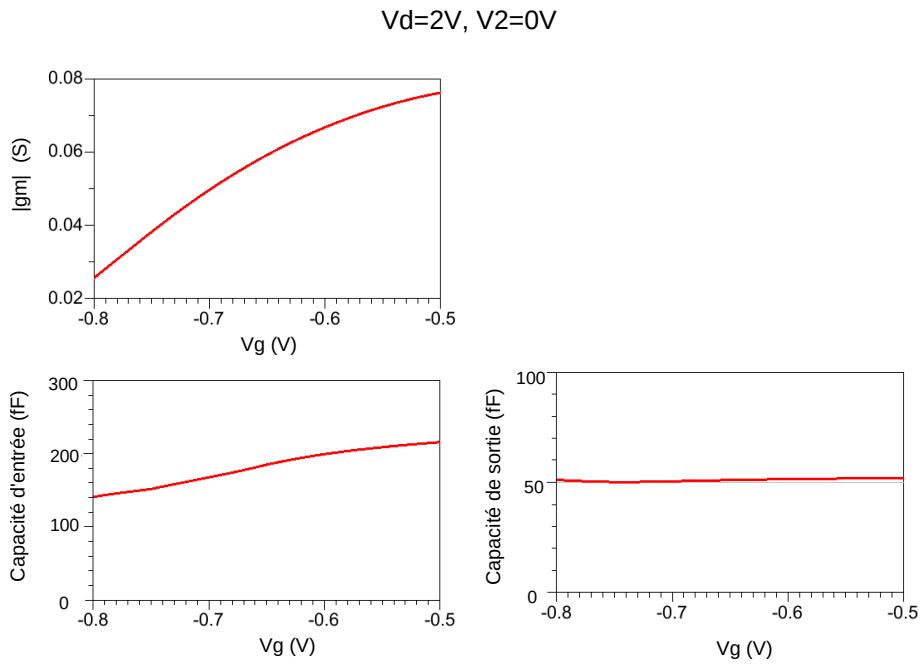


FIGURE 4.32 – Éléments intrinsèques des cellules élémentaires en fonction de V_g à 6GHz

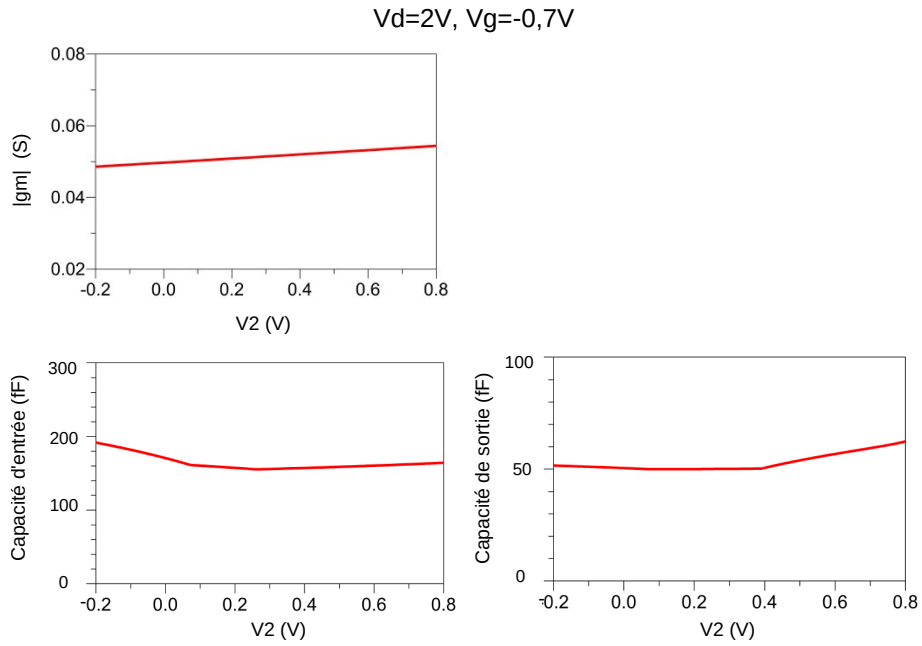


FIGURE 4.33 – Éléments intrinsèques des cellules élémentaires en fonction de V_2 à 6GHz

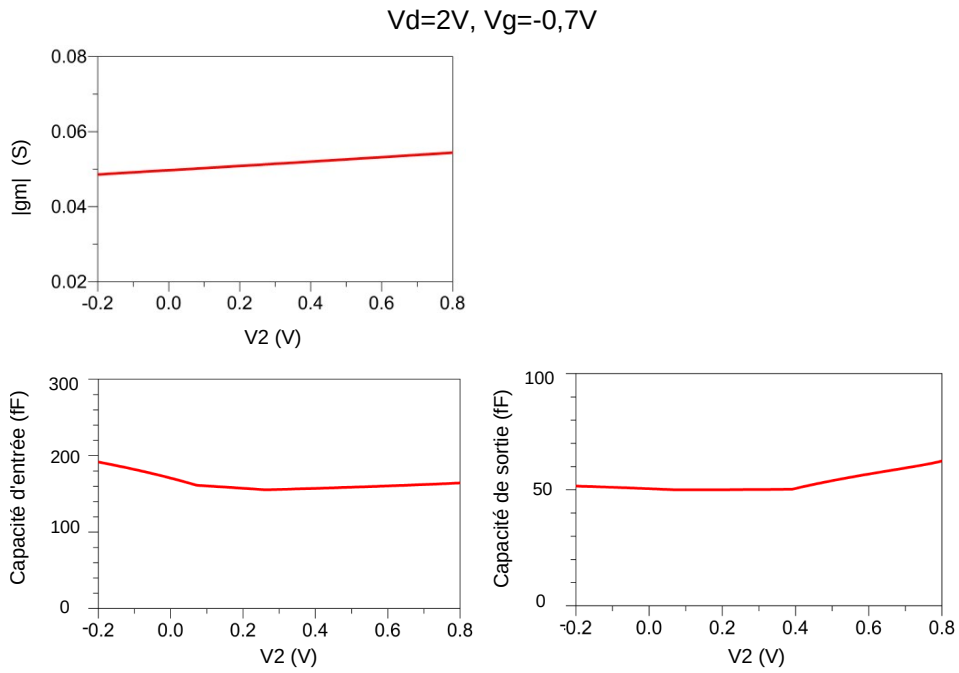


FIGURE 4.34 – Éléments intrinsèques des cellules élémentaires en fonction de V_2 à 6GHz

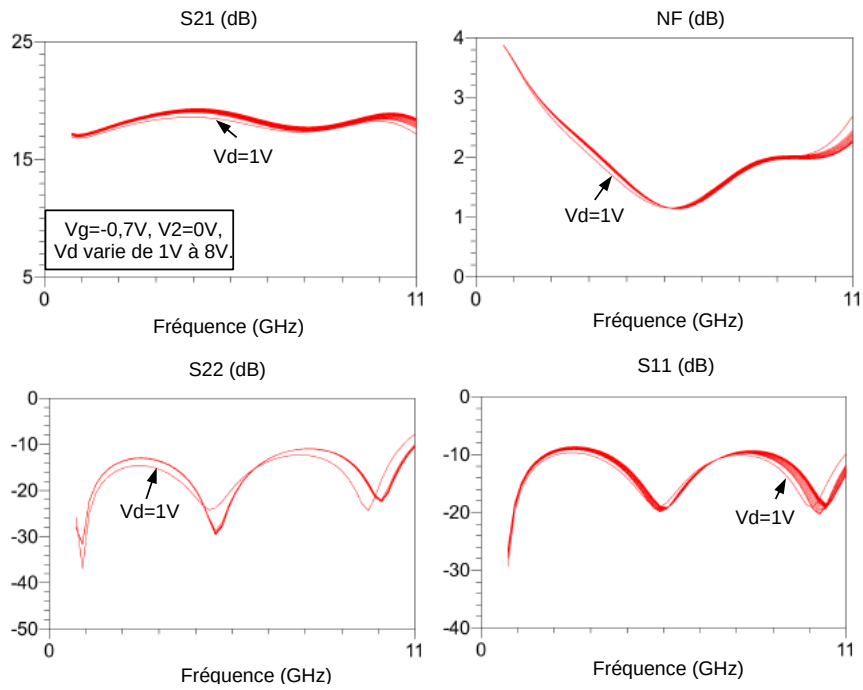


FIGURE 4.35 – Performances en fonction de V_d

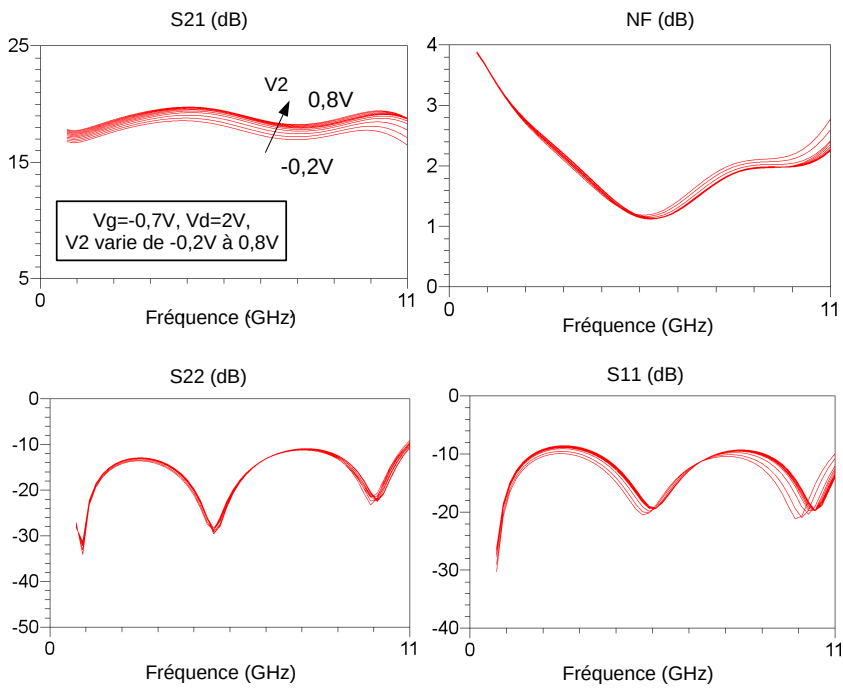
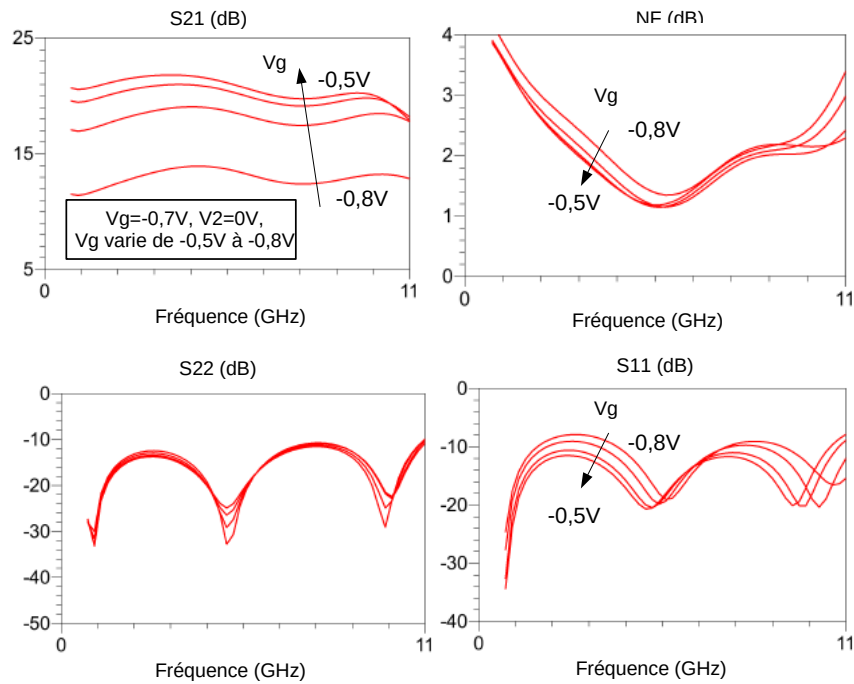


FIGURE 4.36 – Performances en fonction de V_2

FIGURE 4.37 – Performances en fonction de V_g

4.2.2 Présentation des résultats de simulation

Dans cette partie, nous présentons les résultats simulés pour les deux modes de fonctionnement, mais au préalable, il est nécessaire de valider la stabilité globale du dispositif. Pour cela, nous avons effectué une analyse de la stabilité intrinsèque (analyse STAN [Anakabe 2010]). L'analyse STAN propose une technique d'analyse de la stabilité de circuits micro-ondes, valable pour les régimes petits signaux et grands signaux. Cette technique est capable de détecter et déterminer la nature des oscillations.

Afin d'atteindre une haute précision dans la modélisation des structures micro-ondes, nous devons prendre en compte l'influence des couplages parasites entre les lignes. En conséquence, nous avons effectué une analyse EM avec le logiciel Momentum des lignes de drain et de grille.

La Fig. 4.38 illustre les performances de l'amplificateur.

Nous avons une bonne adaptation entrée/sortie avec S_{11} et S_{22} inférieurs à -10dB pour les deux modes.

Un gain de $18,8 \pm 0,5$ dB et un facteur de bruit de 1,1dB à 3,2dB sont obtenus pour un fonctionnement haute performance (PFHG). En augmentant l'alimentation (V_d et V_2), le même niveau de gain ($19,3 \pm 0,5$ dB) et de facteur de bruit sont obtenus avec une linéarité améliorée (PFHGHL).

Nous réalisons également un mode basse consommation. Son gain est de $12,2 \pm 0,5$ dB avec un facteur de bruit de 1,4dB à 3,5dB.

Le Tab. 4.7 affiche les polarisations pour les deux modes. Nous présentons également les tensions de polarisation pour les deux transistors (cf.Tab. 4.8).

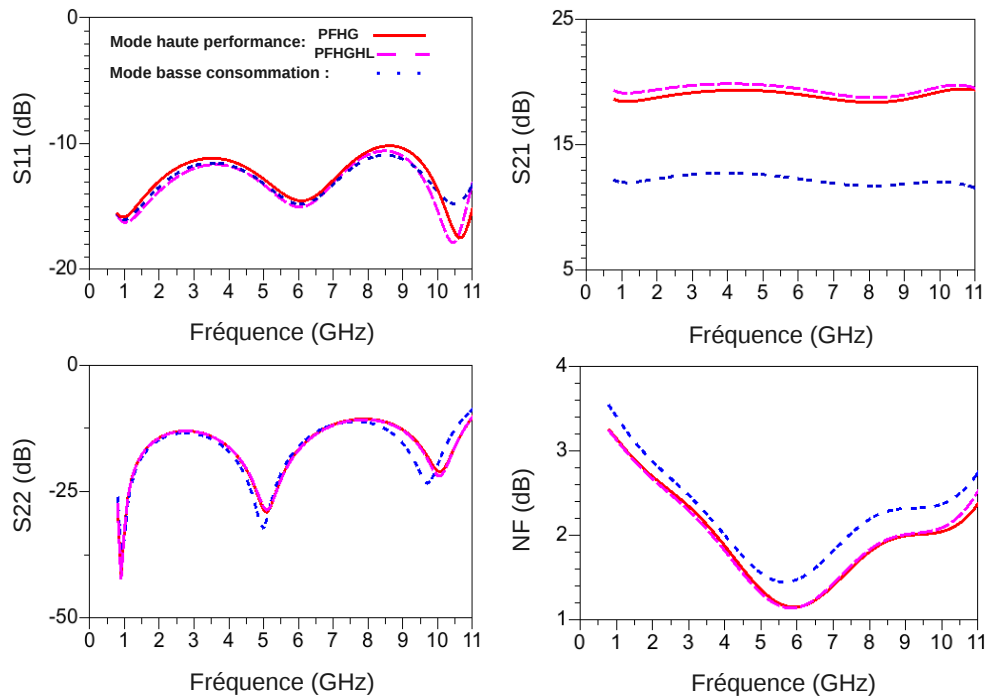


FIGURE 4.38 – Performances de notre amplificateur

TABLE 4.7 – Polarisation pour les différents modes de fonctionnement

Mode	V_d (V)	I_d (mA)	V_g (V)	V_2 (V)
PFHG	1,8	36,7	-0,7	0,3
PFHGHL	4,0	43,9	-0,7	1,0
Basse consommation	1,0	10,0	-0,8	-0,18

TABLE 4.8 – Polarisation pour les deux transistors

Transistor	V_{ds} (V)	V_{gs} (V)	I_{ds} (mA)
PFHG			
Q_1	0,96	-0,7	6,2
Q_2	0,83	-0,62	6,2
PFHGHL			
Q_1	1,68	-0,7	7,27
Q_2	2,32	-0,68	7,27
Basse consommation			
Q_1	0,59	-0,8	1,7
Q_2	0,41	-0,77	1,7

Les performances correspondent à notre cahier des charges. Le Tab. 4.9 montre un rappel des performances principales.

TABLE 4.9 – Performances pour les différents modes de fonctionnement

Mode	Gain (dB)	Facteur de bruit (dB)	Consommation (mw)
PFHG	$18,8 \pm 0,5$	1,1-3,2	54,5
PFHGHL	$19,3 \pm 0,5$	1,1-3,2	175,6
Basse consommation	$12,2 \pm 0,5$	1,4-3,5	10,0

On mesure la linéarité de notre amplificateur distribué grâce aux paramètres $OIP3$ et OP_{1dB} . La Fig. 4.39 donne un exemple de mesure. L'amplificateur est en mode haute performance (PFHG). Il est excité par un signal composé de deux sinusoïdes de fréquences respectivement 5GHz et 5,1GHz.

OP_{1dB} est obtenue comme le point pour lequel la puissance de sortie $P_s(5,1GHz)$ est de 1dB inférieur à la puissance théorique idéale spécifiée par la zone linéaire. $OIP3$ ($\Delta f = 0,1GHz$) se détermine à partir de mesure des puissances $P_s(5,1GHz)$ et $P_s(5,2GHz)$ correspondant à la même puissance d'entrée P_{e1} dans la zone linéaire :

$$OIP3 = \frac{|P_{s1} - P_{s2}|}{2} + P_{s1}. \quad (4.89)$$

La Fig. 4.40 montre les valeurs de $OIP3$ et OP_{1dB} en fonction de la fréquence.

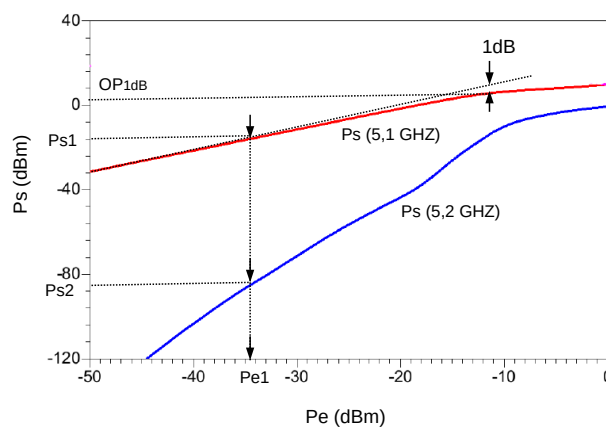


FIGURE 4.39 – Exemple de mesure de la linéarité de l'amplificateur

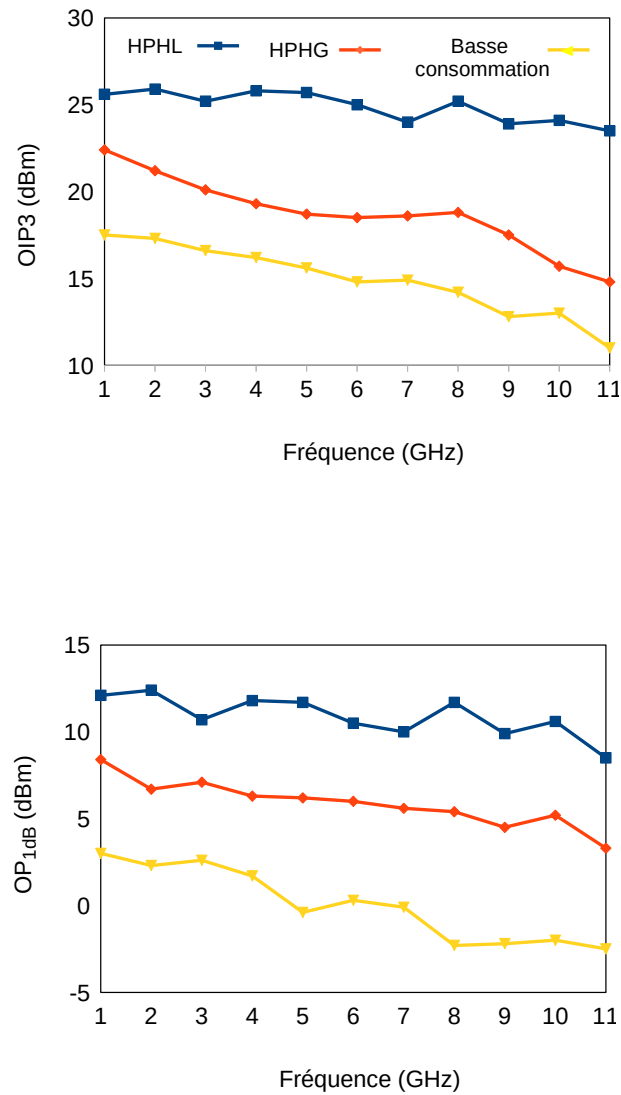


FIGURE 4.40 – Linéarité de l'amplificateur pour les deux modes

On obtient le meilleur OIP_3 (égal à 25,9 dBm @2GHz) et le meilleur OP_{1dB} (égale à 12,4dBm @2GHz) pour le mode haute performance.

4.2.2.1 Le temps de groupe

Dans cette partie, nous étudions le temps de groupe τ_g . Pour une transmission sans distorsion, τ_g doit être constant. La Fig. 4.41 trace τ_g en fonction de la fréquence pour les deux modes.

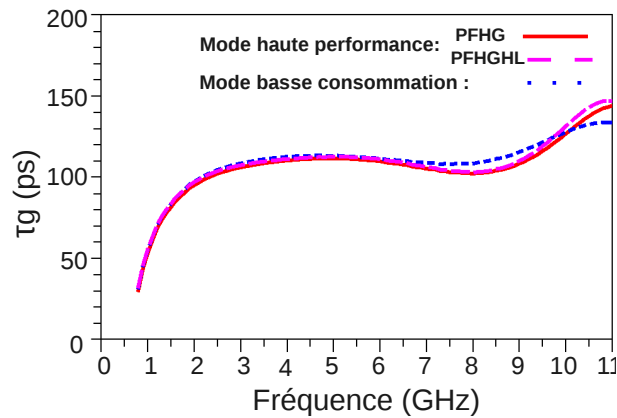


FIGURE 4.41 – Le temps de groupe pour les deux modes

Nous constatons que τ_g de notre amplificateur a une valeur quasi constante autour de $100ps$ avec une légère variation de $\pm 25ps$ (1,3-10GHz).

4.2.2.2 Analyse de la sensibilité vis à vis des dispersions technologiques

Nous faisons une étude de la sensibilité des performances de l'amplificateur vis à vis des dispersions technologiques. Cette étude est basée sur l'analyse statistique de Monte Carlo [Manno 1999], [Metropolis 1949]. Cette dernière consiste à faire varier les éléments susceptibles d'évoluer avec le processus de fabrication.

Dans notre cas, les performances à étudier sont les paramètres (S), le facteur de bruit NF et le temps de groupe τ_g de notre amplificateur.

Les éléments statistiques de l'analyse de Monte Carlo et leur plages de variation associées sont fixés à :

- $\pm 15\%$ pour l'épaisseur du substrat,
- $\pm 10\%$ pour la valeur des résistances,
- $\pm 15\%$ pour la valeur des capacités.

La Fig. 4.42 montre que :

- les coefficients de réflexion entrée/sortie sont inférieurs à $-10dB$,
- un gain de $19dB$ avec une variation inférieure à $\pm 0,7dB$ (2,2GHz-11GHz),
- un facteur de bruit inférieur à $3,5dB$,
- un temps de groupe quasi constant qui est inférieur à $0,15ns$.

L'amplificateur présente une bonne robustesse vis à vis des dispersions technologiques. Ainsi un bon fonctionnement de l'amplificateur est assuré.

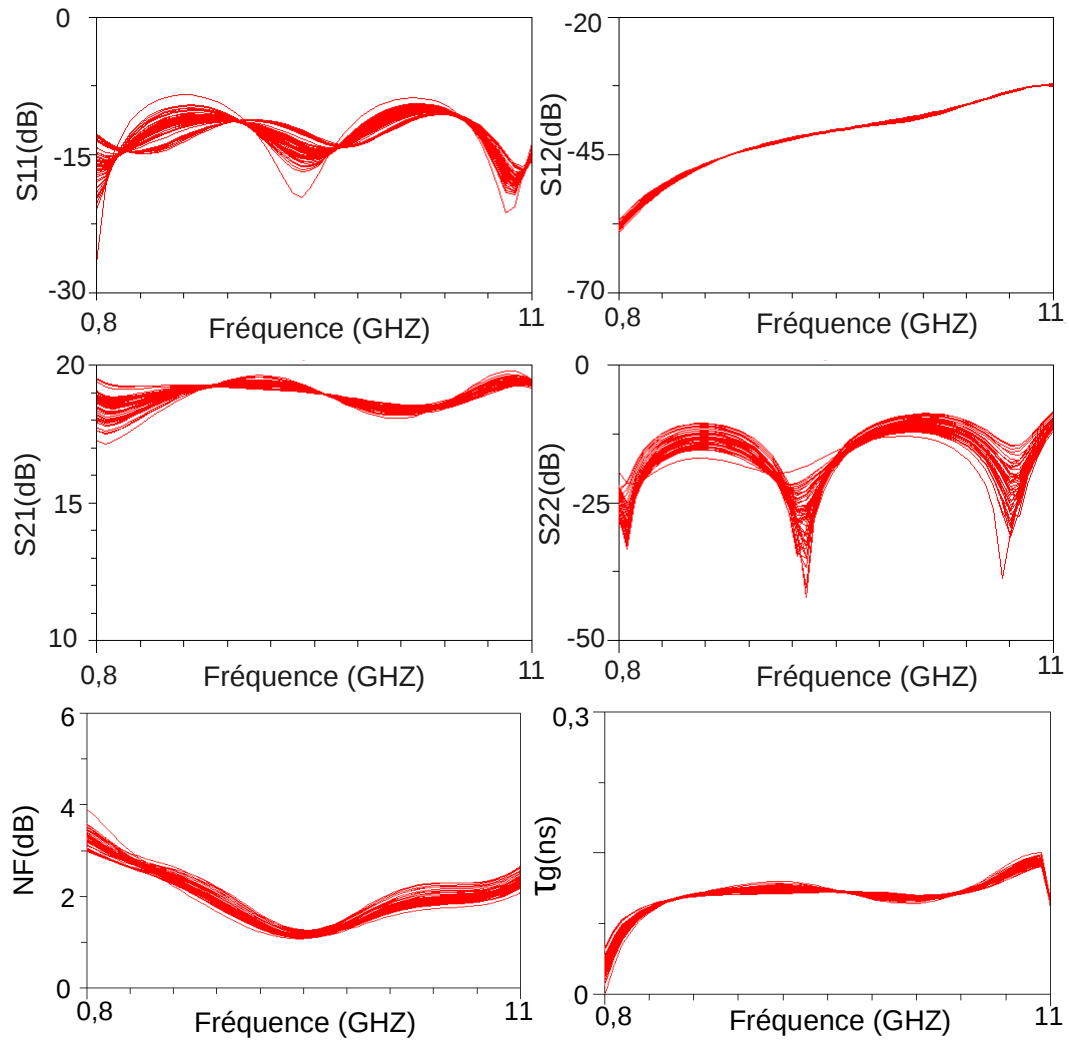


FIGURE 4.42 – Analyse de la sensibilité sur les paramètres (S), le facteur de bruit et le temps de groupe

4.3 Réalisation du circuit et mesures des performances

L'amplificateur est réalisé à la fonderie de TriQuint en utilisant un substrat GaAs d'épaisseur $85\mu m$ et des pHEMT de longueur de grille $0,15\mu m$. Notre puce a une taille de $2 \times 1,5mm^2$.

Nous présentons le dessin du masque de notre amplificateur (cf.Fig. 4.43) et la photographie de l'amplificateur distribué conçu (cf.Fig. 4.44).

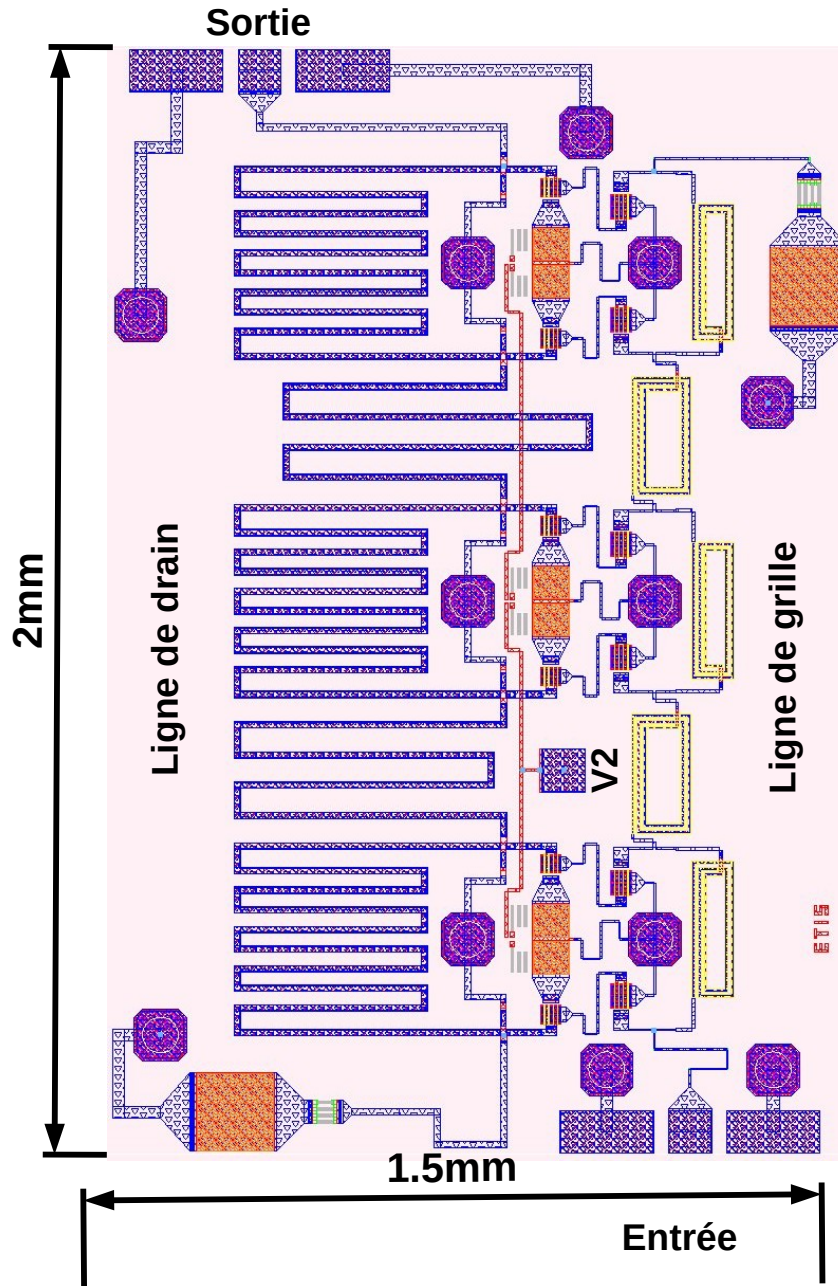


FIGURE 4.43 – Layout de notre amplificateur

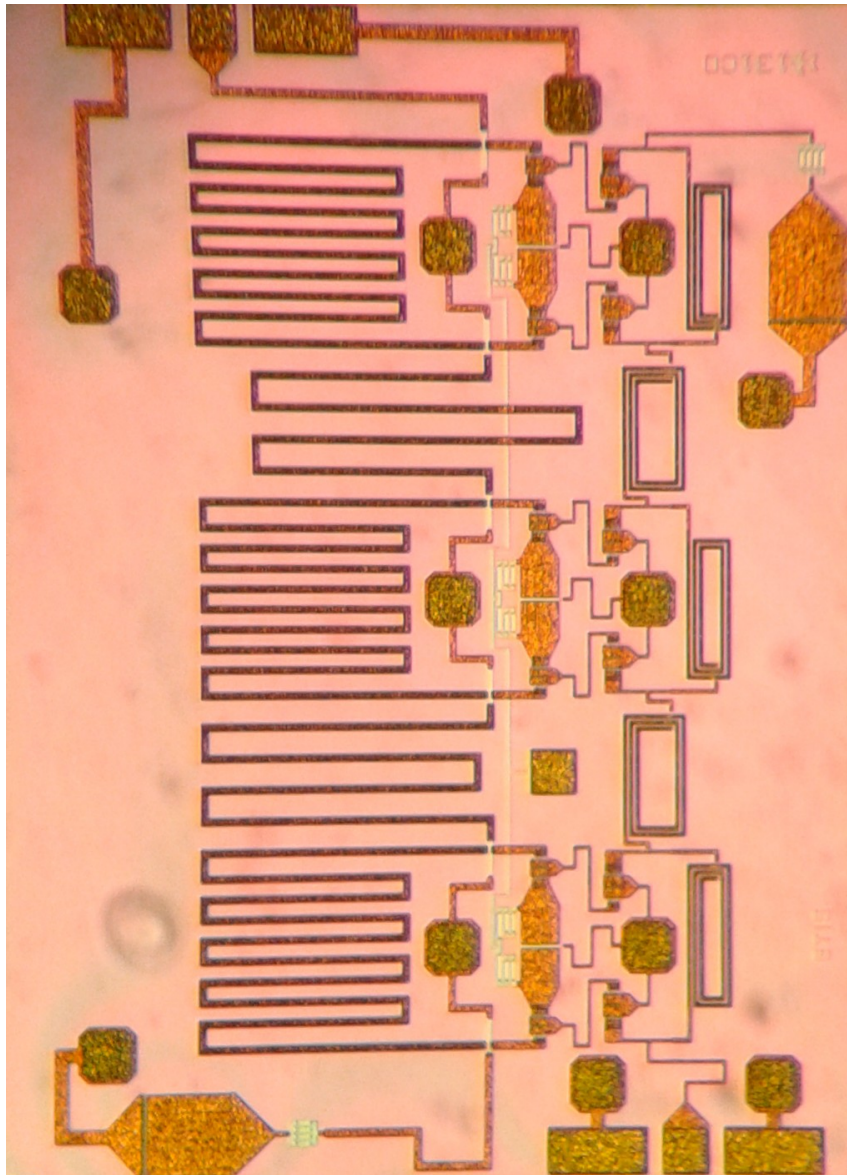


FIGURE 4.44 – Photographie de l'amplificateur distribué conçu

Après sa réalisation, l'amplificateur distribué faible bruit est mesuré afin d'observer ses performances RF pour les deux modes de fonctionnement. Les mesures ont été effectuées au laboratoire IMS de Bordeaux.

4.3.1 Présentation des performances mesurées

Les performances de l'amplificateur sont mesurées à l'aide d'une station sous pointes. Nous avons effectué des mesures sur 3 échantillons. Les polarisations et les résultats de mesure sont présentés dans Annexe. E.

Les Fig. 4.45 et Fig. 4.46 montrent les paramètres S mesurés de 0,8 GHz jusqu'à 20 GHz, comparés à ceux de la simulation. Les alimentations DC sont ajustées afin d'avoir les mêmes conditions de polarisation que lors de la simulation.

L'amplificateur est polarisé respectivement :

- en mode haute performance (PFHG) :
 - simulé : [$V_d = 1,8V$, $V_2 = 0,3V$, $V_g = -0,7V$, $I_d = 37mA$],
 - mesuré : [$V_d = 1,8V$, $V_2 = 0,73V$, $V_g = -0,55V$, $I_d = 37mA$] (échantillon 3 mesure d).
- en mode basse consommation :
 - simulé : [$V_d = 1,0V$, $V_2 = -0,18V$, $V_g = -0,8V$, $I_d = 10mA$],
 - mesuré : [$V_d = 1,0V$, $V_2 = 0,29V$, $V_g = -0,66V$, $I_d = 10mA$] (échantillon 3 mesure h).

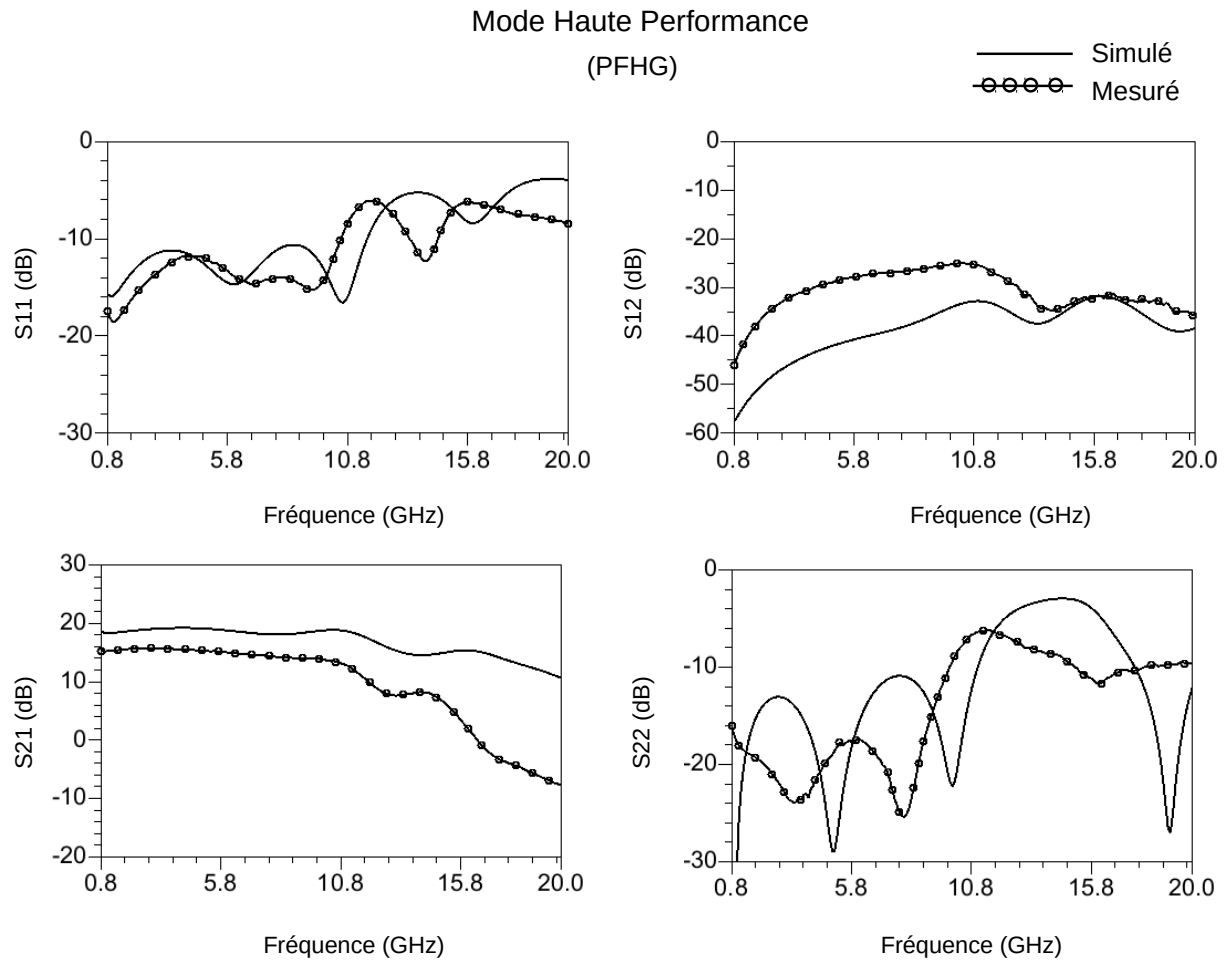


FIGURE 4.45 – Paramètres S pour le mode haute performance

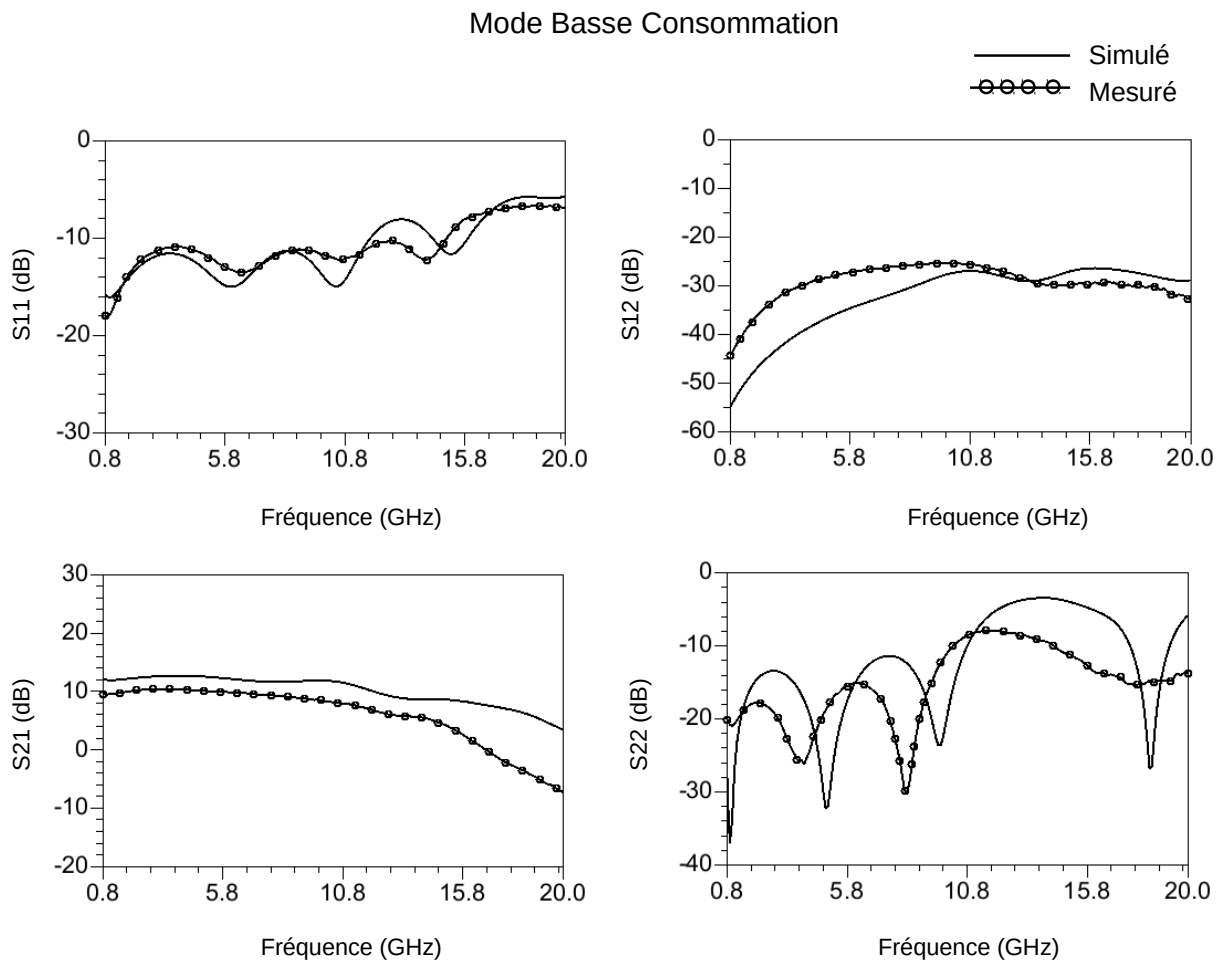


FIGURE 4.46 – Paramètres S pour le mode basse consommation

Pour les deux modes de fonctionnement, nous observons que sur la bande passante (0,8-11GHz) :

- 1) Les coefficients de réflexion en entrée et en sortie mesurés sont satisfaisants : S_{11} et S_{22} restent inférieur à -10dB.
- 2) Le paramètre S_{12} mesuré a une valeur maximum de -25dB. Cela garantie une bonne isolation.
- 3) Le paramètre S_{21} présente une bonne platitude avec un écart d'environ 3dB entre les résultats simulés et mesurés.

Le facteur de bruit pour les deux modes de fonctionnement est mesuré par FSUP · Signal Source Analyzer (20Hz-26,5GHz). La Fig. 4.47 présente le facteur de bruit simulé et mesuré de 0,8 GHz jusqu'à 11 GHz.

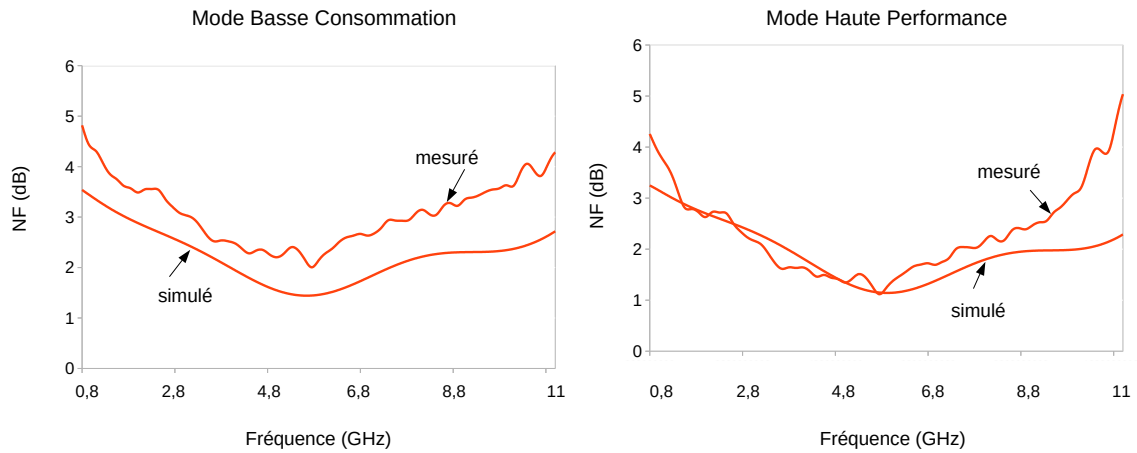


FIGURE 4.47 – Facteur de bruit pour les deux modes.

Nous constatons une bonne correspondance entre le NF simulé et le NF mesuré. Nous avons un NF mesuré 2-4,8 dB pour le mode basse consommation et 1,12-5,4 dB pour le mode haute performance.

Le Tab. 4.10 résume les résultats de mesure pour le mode haute performance (HP) et le mode basse consommation (BC).

TABLE 4.10 – Résultats de mesure pour les deux modes de fonctionnement, la valeur entre parenthèse se réfère à la performance attendue

Mode	Gain(max) (dB)	NF (dB)	Consommation (mw)
Mode HP	15,7 (18)	1,12-5,4	66,6
BC	10,5 (10)	2-4,8	10,0 (moins 50% par rapport celle de mode HP)

Nous constatons que pour le mode basse consommation, les performances ciblées sont atteintes. Cependant, pour le mode haute performance, le gain n'est pas suffisant. Afin de remonter le gain, il faut trouver les causes de l'écart entre le gain simulé et mesuré. Dans la partie suivante, nous rechercherons les causes.

4.3.2 Erreurs de mesure et calcul d'incertitude

4.3.2.1 Erreurs de mesure

En sciences expérimentales, il n'existe pas de mesures exactes. Autrement dit, une mesure présente des imperfections qui occasionnent une erreur pour le résultat.

Une erreur de mesure généralement comporte deux parties :

- erreur systématique, se produisant à partir d'un effet reconnu d'une grandeur d'influence. Elle peut être minimisée par l'application d'une correction.

- erreur aléatoire, provenant des variations non prévisibles. Elle peut être réduite en augmentant le nombre d'observations.

Les erreurs systématiques sont souvent due au :

- la mauvais étalonnage d'un appareil,
- le vieillissement des composants
- la dispersion technologique.

Les erreurs aléatoires sont souvent produites par :

- l'opérateur,
- l'impureté du circuit et les éléments parasites du circuit d'alimentation,
- les fluctuations des paramètres physiques de l'environnement (température, pression, humidité de l'aire...),

Dans notre cas, nous avons effectué de nombreuses mesures tout en vérifiant la bonne qualité de l'étalonnage. Les erreurs proviennent donc principalement de la dispersion technologique.

Afin d'évaluer correctement les erreurs venant de la dispersion technologique, qui se produisent lors des mesures, il nécessaire de calculer l'incertitude.

4.3.2.2 Calcul d'incertitude de g_m

Dans le but de trouver les raisons des différences entre les résultats de simulation et les résultats de mesure de notre circuit, nous faisons un calcul d'incertitude sur le paramètre g_m liés au gain de l'amplificateur.

Pour un transistor en source commune, la transconductance g_{m1} et l'incertitude de g_{m1} s'expriment comme suit :

$$g_{m1} = \frac{2I_{DSS1}(1 + V_{gs1}/V_{p1})}{V_{p1}} \quad (4.90)$$

$$\frac{\Delta g_{m1}}{g_{m1}} = \sqrt{\left(\frac{\Delta I_{DSS1}}{I_{DSS1}}\right)^2 + \left(\frac{\Delta V_{p1}}{V_{p1}} \frac{1 + 2V_{gs1}/V_{p1}}{1 + V_{gs1}/V_{p1}}\right)^2} \quad (4.91)$$

La transconductance g_m pour la structure cascode est égale à :

$$g_m = g_{m1} \frac{g_{d2} + g_{m2}}{g_{d2} + g_{m2} + g_{d1}} \quad (4.92)$$

Le g_m est prédominé par g_{m1} . L'incertitude sur g_{m2} n'intervient donc peu. Nous obtenons alors la même incertitude pour g_m et g_{m1} .

$$\frac{\Delta g_m}{g_m} = \frac{\Delta g_{m1}}{g_{m1}} \quad (4.93)$$

Selon la documentation technique de la fonderie TriQuint, les incertitudes relatives de courant I_{DSS1} et de tension V_{p1} sont respectivement de 41% et de 25%. Pour le mode haute performance $V_{gs1} = -0,7V$ et $V_p = 0,89V$ (cf Fig. 3.12). Nous avons alors :

$$\frac{\Delta g_m}{g_m} = 76,9\%. \quad (4.94)$$

Cela impose une variation de S_{21} (dB) de 4,3dB à 23dB (S_{21} proportionnel à g_m). Si l'on se place dans le pire cas, on peut avoir une différence importante entre les résultats de simulation et de mesure. Cette différence peut être minimisée par un choix correct du rapport V_{gs1}/V_{p1} qui minimise le facteur $\left| \frac{1 + 2V_{gs1}/V_{p1}}{1 + V_{gs1}/V_{p1}} \right|$ (cf.Eq.4.91).

4.3.3 Rétro-simulations

L'objectif des rétro-simulations est de retrouver les performances attendues de notre l'amplificateur en minimisant l'écart entre des résultats simulés et mesurés.

Pour le mode basse consommation, la consommation est le critère le plus important. Afin de garder la même consommation simulée et mesurée, nous ne faisons pas de modifications pour ce mode.

Pour le mode haute performance, nous cherchons un gain autour de 18dB et un bruit le plus faible possible. Pour cela, nous avons fait varier légèrement les points de polarisation.

Les Fig. 4.48 et Fig. 4.49 montrent les résultats de mesure comparés avec les résultats de rétro-simulation pour le mode haute performance. Où [$V_d = 1,72V$, $V_g = -0,44V$, $V_2 = 0,5V$, $I_d = 68mA$] (échantillon 3, mesure a). Nous avons alors $V_{gs1} = -0,44V$ et $V_p = 0,9V$ (cf Fig. 3.12). D'où le facteur $\left| \frac{1 + 2V_{gs1}/V_{p1}}{1 + V_{gs1}/V_{p1}} \right| = 0,04$. L'incertitude relative de la transconductance est de :

$$\frac{\Delta g_m}{g_m} = 41\% \quad (4.95)$$

L'incertitude du paramètre S_{21} est donc largement réduite.

Nous retrouvons un gain autour de 18dB avec un minimum de facteur de bruit égale à 1,09dB. Le Tab. 4.11 montre les paramètres S et le facteur de bruit mesurés pour les deux modes de fonctionnement.

TABLE 4.11 – Résultats de mesure pour les deux modes de fonctionnement

Mode	Gain(max) (dB)	NF (dB)	Consommation (I_D) (mw)
Mode HP	17,4	1,09-5,2	116,9 (37mA)
BC	10,5	2-4,8	10,0 (10mA)

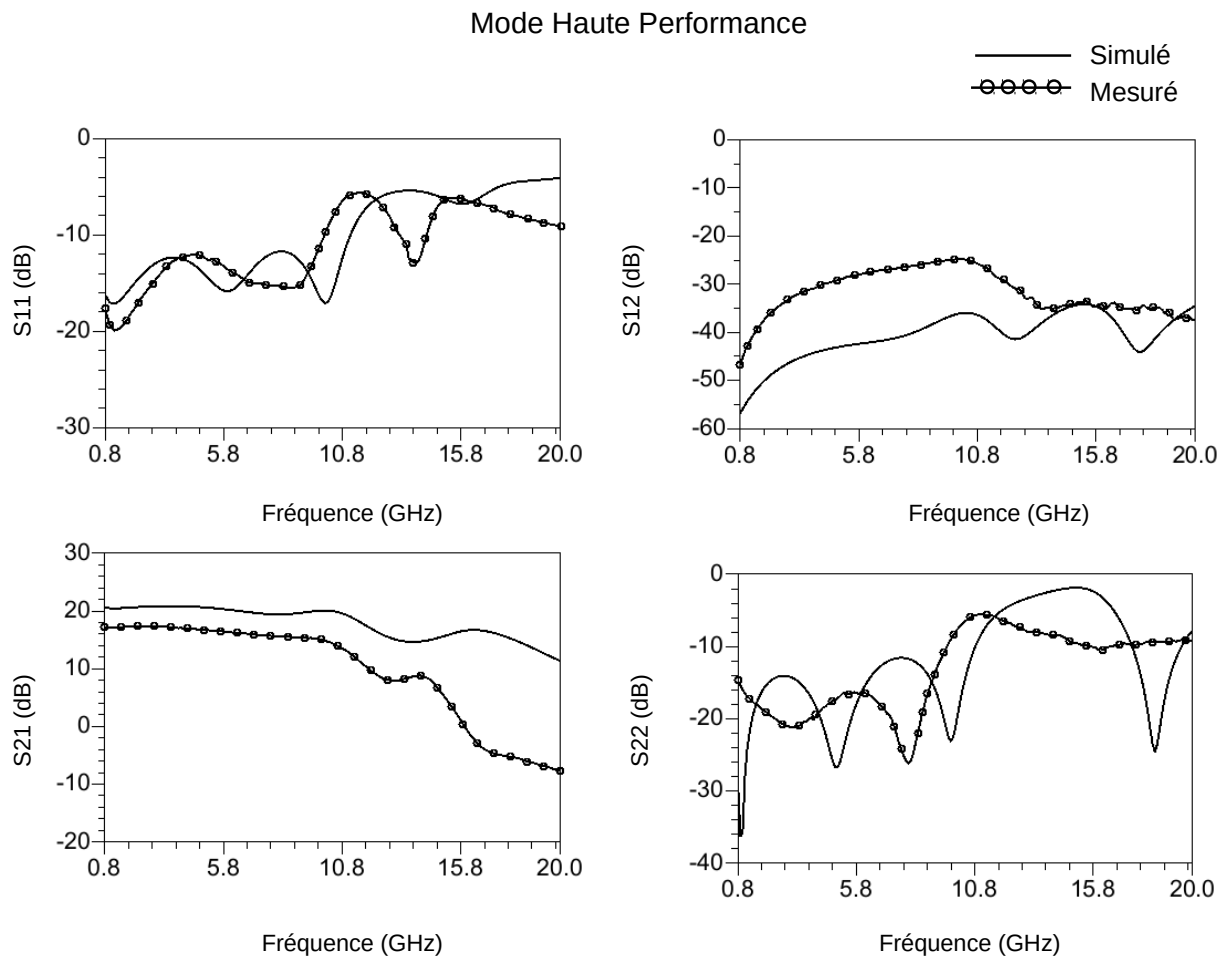


FIGURE 4.48 – Paramètres S rétro-simulés et mesurés pour le mode haute performance

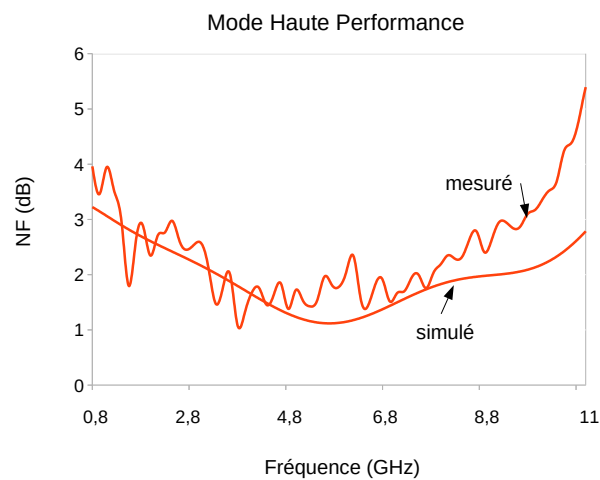


FIGURE 4.49 – Paramètres S rétro-simulés et mesurés pour le mode haute performance

L'amplificateur a une bonne adaptation en entrée et en sortie sur toute la bande et il est inconditionnellement stable. En mode haute performance, le gain est autour de 18dB avec un minimum de NF égal à 1,09dB ce qui est comparable à l'état de l'art. En mode basse consommation, nous avons obtenu une réduction de la consommation de 90% par rapport au mode haute performance.

4.4 Conclusion

Tout d'abord, nous avons présenté et comparé plusieurs configurations d'amplificateur distribué dans ce chapitre. Le montage cascode comme cellule élémentaire est retenu pour ses nombreux avantages, il permet :

- une large bande passante,
- un faible dégradation du gain,
- une bonne platitude de gain,
- un gain élevé aux hautes fréquences.

Cependant, la configuration cascode peut provoquer des risques d'instabilité de l'amplificateur. Nous avons en conséquence effectué une étude sur les techniques de stabilisation réactive et résistive. Nous en avons conclu qu'afin de minimiser la dissipation de puissance et le bruit additionnel, il est mieux d'utiliser les techniques de stabilisation réactive.

Nous avons en suite chercher un dimensionnement optimal d'amplificateur distribué faible bruit. Nous avons choisi 6 cellules élémentaire pour le meilleur compromis entre les performances, la consommation et la taille du circuit. Les impédances caractéristiques des lignes sont supérieures à 50 Ω pour obtenir un meilleur gain et la charge de ligne de grille est optimisée vis à vis du bruit.

Nous avons mis en place deux modes de fonctionnement de l'amplificateur respectivement un mode haute performance et un mode basse consommation. Les résultats simulés de l'amplificateur ont ensuite été vérifiés par une étude de stabilité et de sensibilité technologique liée à la fonderie TriQuint. Après avoir obtenu les performances souhaitées et avoir validé la structure adoptée, le circuit a été réalisé et mesuré.

Les résultats de mesure présentent des performances satisfaisantes. En mode basse consommation, nous avons atteint une des meilleurs consommation de la littérature pour des performances similaires aux approches les plus performantes. En mode haute performance, nous avons un des meilleurs facteur de bruit de la littérature.

Performances de l'amplificateur faible bruit (LNA) dans un récepteur

Sommaire

5.1	Standards de réseaux sans fil	112
5.2	Architecture d'un récepteur homodyne	112
5.3	Bilan de liaison	113
5.3.1	Puissance disponible reçue	113
5.3.2	Rapport signal sur bruit	114
5.3.3	Probabilité d'erreur binaire	115
5.3.4	Sensibilité et dynamique	116
5.4	Métriques de qualification	118
5.4.1	Diagramme de constellation	118
5.4.2	Diagramme de l'œil	120
5.5	Performances système du LNA	122
5.5.1	Modèle simplifié du LNA	122
5.5.2	Détails de transmission des signaux	124
5.5.3	Performances du récepteur	125
5.5.4	Bilan	130
5.6	Récepteur reconfigurable	130
5.6.1	Principe	130
5.6.2	Stratégie de reconfiguration	131
5.6.3	Consommation du récepteur	132
5.7	Conclusion	133

L'objet de ce chapitre est d'étudier le fonctionnement de notre LNA dans un récepteur soumis à des signaux complexes. Tout d'abord, différents standards de réseaux sans fil domestiques avec leurs caractéristiques sont proposés. Puis nous présentons la topologie du récepteur ainsi qu'une définition des paramètres qualifiant le signal numérique. Des co-simulations système/circuit permettent d'analyser les résultats afin de qualifier l'influence des deux modes de fonctionnement du LNA sur les performances et la consommation du récepteur. Enfin, nous pourrions en déduire une stratégie de reconfiguration du LNA selon les différents scénarios de communication. Dans cette thèse, nous étudions spécifiquement les cas où la puissance utile reçue est variable. La qualité de la transmission dépend alors principalement du gain et du facteur de bruit du récepteur.

5.1 Standards de réseaux sans fil

Notre système reconfigurable large bande permet de traiter plusieurs standards de réseaux sans fil domestiques séparément ou simultanément. Le Tab.5.1 rappelle ces différents standards.

TABLE 5.1 – Standards de réseaux sans fil domestiques

	Bluetooth	WUSB	Zigbee	WI-FI	WADSL /Wi-mobile /WIMAX
Standard	802.15.1	802.15.3	802.15.4	802.11	802.16
Bande passante (GHz)	2,4-2,483	2,4-2,483 3,1-10,6	2,4-2,483 0,868-0,870 0,902-0,928	2,4-2,483 5,15-5,38 5,725-5,825	2-11

Dans ce travail, nous étudions trois types de signaux représentatifs des réseaux sans fil domestique :

- un signal de norme Bluetooth, sa bande 2,4-2,483GHz est la bande la plus partagée,
- un signal de norme WI-FI, la plus utilisée pour les communications sans fil,
- un signal de WUSB qui a une large bande de fréquence (Ultra Wide-Band UWB). Sa bande couvre 73,5% de la bande totale et coexiste avec plusieurs normes.

5.2 Architecture d'un récepteur homodyne

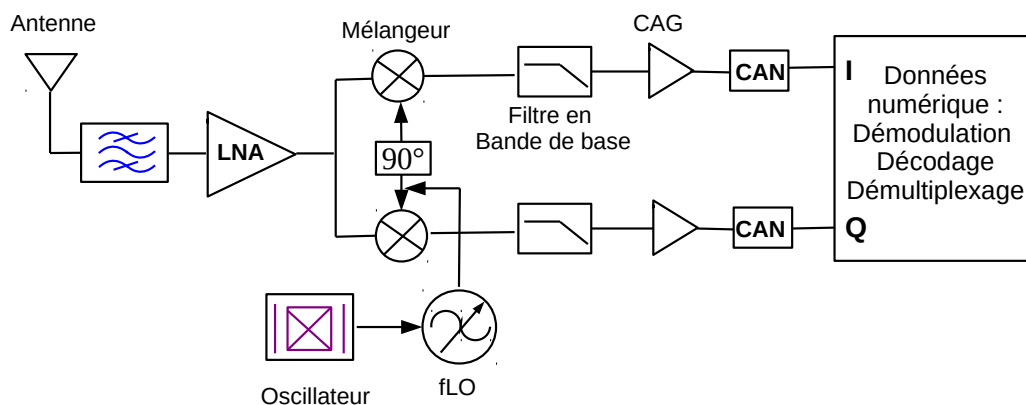


FIGURE 5.1 – Synoptique d'un système de communication numérique

Nous présentons dans cette partie, l'architecture du récepteur traitant les trois signaux vu précédemment. Le récepteur retenu est de type homodyne (cf. Fig.5.1). Il est adapté à nos besoins en terme

de gestion du multistandard et de basse consommation. En effet, la simplicité de conception et la facilité d'intégration du récepteur homodyne permettent l'adaptation au multistandard. Le faible nombre de blocs RF conduit à une basse consommation (cf.section.2.1.5).

Le rôle d'un récepteur est de traiter un signal faible reçu par une antenne. Ce signal est filtré, amplifié, transposé en fréquence et enfin traité par le chaîne de réception. Les blocs constituant le récepteur homodyne sont :

- une antenne,
- un filtre RF de type passe-bande,
- un amplificateur faible bruit (LNA),
- plusieurs mélangeurs,
- une boucle à verrouillage de phase servant d'oscillateur local,
- des filtres passe bas en bande de base,
- un ou plusieurs amplificateurs à contrôle automatique du gain (CAG),
- un ou plusieurs convertisseurs analogique numérique (CAN),
- un bloc numérique permettant de traiter et démoduler les données.

Dans la section suivante, nous ferons un bilan de liaison. Ce bilan permet de définir les conditions de transmission et d'estimer la qualité du signal.

5.3 Bilan de liaison

Le bilan de liaison est un outil théorique en télécommunication qui permet de déterminer principalement :

- la puissance disponible reçue,
- le rapport signal sur bruit E_b/N_0 ,
- la probabilité d'erreur binaire.

5.3.1 Puissance disponible reçue

Nous choisissons comme critère de reconfigurabilité la puissance reçue. Son expression est donné par :

$$P_R = P_T G_T G_R \frac{1}{\alpha_L} \frac{1}{\alpha_s} \quad (5.1)$$

Avec :

- P_T , la puissance émise.
- G_R et G_T , le gain en puissance respectivement à la réception et à l'émission.
- α_L , la perte de propagation en espace libre. Elle s'exprime comme suit :

$$\alpha_L = \left(\frac{4\pi r}{\lambda} \right)^2 \quad (5.2)$$

où

- r : distance entre l'émetteur et le récepteur.

- λ : longueur d'onde correspondant à la fréquence du signal.
- α_s , l'atténuation diverse. Elle est due aux pertes dans les antennes, aux orientations de celles-ci, à la présence d'obstacles, aux réflexions parasites et à l'absorption du milieu de propagation. Dans sa forme la plus simple (propagation en espace libre), α_s égale à 1.
Pour prendre en compte des pertes d'antennes et des pertes par désadaptation de polarisation, α_s peut s'exprimer de la façon suivante :

$$\alpha_s = \frac{1}{\eta_t \eta_r (1 - |S_{11}|^2)(1 - |S_{22}|^2) |\vec{u}\vec{v}|^2} \quad (5.3)$$

où

- η_t est le coefficient d'efficacité de l'antenne d'émission,
- η_r est le coefficient d'efficacité de l'antenne de réception,
- S_{11} est le coefficient de réflexion sur l'antenne d'émission,
- S_{22} est le coefficient de réflexion sur l'antenne de réception,
- $|\vec{u}\vec{v}|^2$ présente des pertes par désadaptation de polarisation des antennes.

Dans le cas de trajets multiples, où l'onde se réfléchit sur N obstacles (murs, bâtiments, ...) lors de sa propagation, α_s peut alors s'écrire :

$$\alpha_s = \frac{1}{\left| 1 + \sum_{n=1}^N \Gamma_n \frac{r}{R_n} e^{-j \frac{2\pi}{\lambda} (R_n - r)} \right|^2} \quad (5.4)$$

où Γ_n est le coefficient de réflexion sur $n^{\text{ème}}$ obstacle et R_n est la longueur du $n^{\text{ème}}$ trajet.

Les atténuations imprévues sont des éléments très variables dépendant de nombreux facteurs (structure de la maison, humidité atmosphérique, matériaux domestiques...). Il en résulte une variation aléatoire de la puissance reçue. Cette variation aléatoire doit être prise en compte dans la stratégie de reconfigurabilité. Ainsi le récepteur peut s'adapter à la puissance reçue instantanément.

5.3.2 Rapport signal sur bruit

Le rapport signal sur bruit E_b/N_0 est un indicateur de la qualité de la transmission. E_b est la puissance moyenne du signal utile à l'entrée du récepteur par bit. N_0 est la puissance additionnelle du bruit disponible. L'expression de ces 2 grandeurs s'écrit comme suit :

$$E_b = \frac{P_R}{D_b} \quad (5.5)$$

$$N_0 = kT_0(F - 1) \quad (5.6)$$

où

- D_b : débit binaire
- k : constant de Boltzmann
- T_0 : température ambiante (290 K)

– F : facteur de bruit

Alors le rapport signal sur bruit peut s'exprimer par :

$$\frac{E_b}{N_0} = \frac{P_R}{D_b k T_0 (F - 1)} \quad (5.7)$$

L'indicateur E_b/N_0 nous permet de déterminer la probabilité d'erreur binaire (Bit Error Rate BER) caractérisant la qualité de la liaison.

5.3.3 Probabilité d'erreur binaire

La valeur du BER théorique dépend du rapport signal sur bruit et du type de modulation.

Pour une modulation M-QAM : Modulation d'Amplitude en Quadrature (Quadrature Amplitude Modulation QAM), la probabilité d'erreur binaire minimum (cf. Fig. 5.2) s'exprime par :

$$BER = 4 \frac{\sqrt{M} - 1}{\sqrt{M} \log_2(M)} \cdot Q \left(\sqrt{\frac{3 \log_2(M) E_b}{M - 1 N_0}} \right) \quad (5.8)$$

Avec $Q(x)$, une fonction d'erreur complémentaire, qui s'écrit :

$$Q(x) = \frac{1}{2} \operatorname{erfc} \left(\frac{x}{\sqrt{2}} \right) \quad (5.9)$$

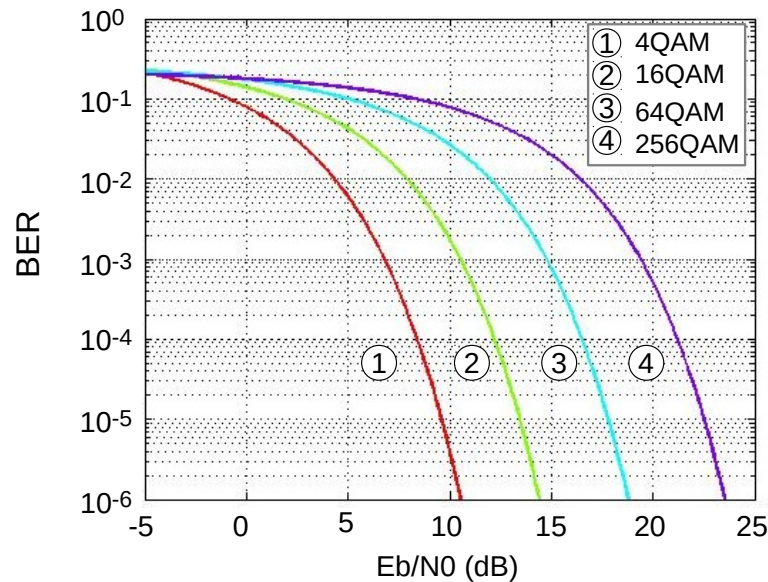


FIGURE 5.2 – BER théorique pour différentes modulations de M-QAM

Le BER est le critère le plus utilisé pour qualifier le signal. Afin d'assurer une communication correcte, le maximum de BER (BER_{MAX}) est généralement égal à 10^{-3} pour les signaux Bluetooth [Masuch 2013], [Ayers 2010][Darabi 2005] et 10^{-5} pour les signaux WI-FI [McFarland 2002], [TiW 2013], [Behzad 2003] et WUSB [Aiello 2003], [Werther 2008].

Dans cette thèse, nous fixons le BER_{MAX} à 10^{-5} . La connaissance de la valeur maximale du BER va nous permettre de calculer la sensibilité du récepteur.

5.3.4 Sensibilité et dynamique

La sensibilité du récepteur et la dynamique définissent la plage de la puissance reçue.

La sensibilité d'un récepteur est la puissance reçue minimale pour satisfaire un maximum de BER demandé. Elle dépend du débit binaire et du type de modulation.

On utilise classiquement deux définitions pour la dynamique d'un récepteur.

- Dynamique au sens des circuits. Elle correspond à l'écart entre la puissance d'entrée à 1 dB de compression et le niveau du plancher de bruit.
- Dynamique au sens des système. On l'appelle la dynamique sans parasite (Spurious Free Dynamic Range : SFDR). Elle est définie comme le rapport entre le niveau maximum de signal reçu tolérable et la sensibilité.

On définit donc la puissance reçue maximale d'un récepteur qui caractérise le fonctionnement linéaire d'un récepteur.

- au sens des circuits : la puissance d'entrée à 1 dB de compression de gain : $P_{R_{max}} = IP_{1dB}$.
- au sens des système : Elle est le plus souvent définie dans le cas d'une excitation bi-porteuses comme le niveau de signal en entrée tel que le niveau des raies d'intermodulation reste inférieur au plancher de bruit. Ce dernier définit la puissance du bruit à l'entrée du récepteur.

Le niveau des raies d'intermodulation s'exprime de la manière suivante :

$$P_{IM3}(dBm) = 3P_R(dBm) - 2IIP3(dBm) \quad (5.10)$$

où P_R est la puissance en entrée du récepteur et $IIP3$ est le point d'interception d'ordre 3 du récepteur.

La condition de niveau maximum s'écrit alors comme étant $P_{IM3} < \text{Plancherbruit}$. On peut en déduire la puissance reçue maximale :

$$P_{R_{max}}(dBm) = \frac{2IIP3(dBm) + \text{Plancherbruit}(dBm)}{3}, \quad (5.11)$$

Dans notre cas, la puissance reçue maximale d'un récepteur est définie au sens de circuit. La Fig.5.3 montre les différents niveaux de puissance. Le Tab.5.2 montre des exemples de sensibilité et de dynamique pour des signaux différents.

TABLE 5.2 – Sensibilité et dynamique pour des types de signaux différents

Bluetooth $BER_{MAX} = 10^{-3}$		
ref.	Sensibilité	Dynamique
[Masuch 2013]	-81,4dBm@1Mb/s	73,9dB@1Mb/s
[Ayers 2010]	-86dBm@250Kb/s -75dBm@5Mb/s	- -
[Darabi 2005]	-93dBm@2Mb/s -88dBm@11Mb/s	103dB@2Mb/s 98dB@11Mb/s
WI-FI $BER_{MAX} = 10^{-5}$		
[McFarland 2002]	-91dBm@6Mb/s -73dBm@54Mb/s -70dBm@108Mb/s	114dB@6Mb/s 96dB@54Mb/s 93dB@108Mb/s
[TiW 2013]	-88dBm@6Mb/s -74dBm@54Mb/s -72dBm@108Mb/s	98dB@6Mb/s 84dB@54Mb/s 82dB@108Mb/s
[Behzad 2003]	-93,7dBm@6Mb/s -73,9dBm@54Mb/s	- -
WUSB $BER_{MAX} = 10^{-5}$		
[Lee 2006]	-80dBm@100Mb ($BER_{MAX} = 10^{-3}$)	-
[Aiello 2003]	-79,3dBm@149,5Mb/s	-
[Werther 2008]	-81dBm@53Mb/s -71dBm@480Mb/s	50dB@53Mb/s 50dB@480Mb/s

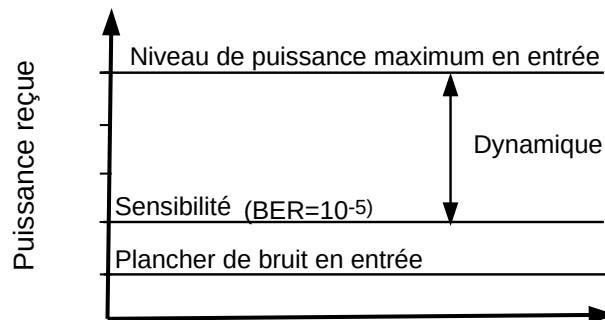


FIGURE 5.3 – Différents niveaux de puissance

Nous constatons que la sensibilité est généralement inférieure à -70dBm et la dynamique est supérieure à 50dB pour les trois signaux (cf.Tab.5.2).

Un bilan de liaison nous permet donc de déterminer la puissance reçue et la valeur de BER. Ce dernier critère est largement utilisé comme métrique de qualification du signal. Il faut cependant comparer chaque bit du signal reçu avec ceux du signal émis, ce qui peut être coûteux en temps de calcul [Jeruchim 1984]. Dans la partie suivante, nous introduisons deux autres métriques de qualification : le diagramme de constellation [Freude 2012] et le diagramme de l'œil [Freude 2012],[Li 2013].

5.4 Métriques de qualification

5.4.1 Diagramme de constellation

Le diagramme de constellation permet de suivre l'évolution de l'amplitude instantanée et de la phase instantanée de la porteuse QAM. Elle est la représentation des symboles échantillonnés au rythme $1/T_s$ (débit symbole) dans un repère I-Q pour une modulation numérique. La Fig.5.4 montre la constellation pour une modulation 4-QAM idéale. Les quatre états observés correspondant aux quatre symboles possibles.

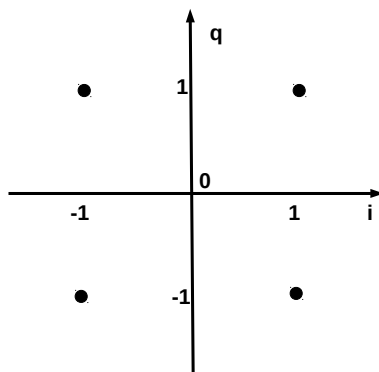


FIGURE 5.4 – Constellation 4-QAM idéale

Lors de la transmission, des distorsions du signal peuvent modifier la constellation initiale, cela est due aux imperfections de l'émetteur, du canal de transmission et du récepteur. Les cinq illustrations de la Fig.5.5 montrent quelques exemples de distorsions du signal.

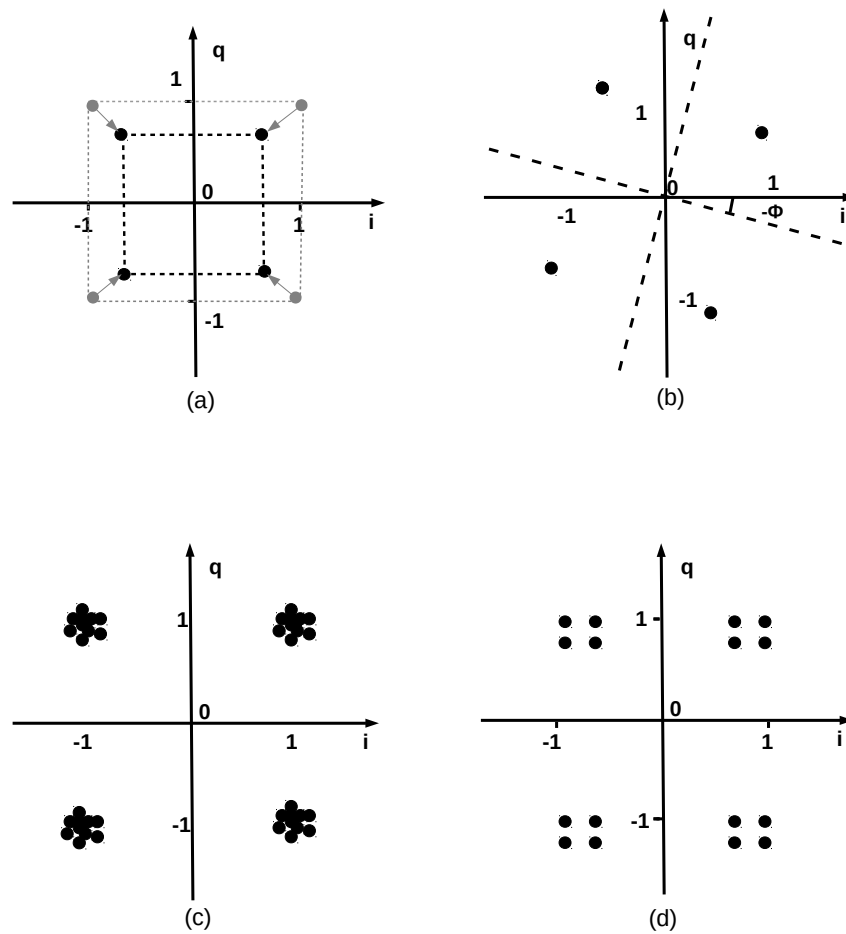


FIGURE 5.5 – Distortions dans la constellation 4-QAM : a) compression des symboles selon l'axe des imaginaires ou/et réels b) déphasage parasite Φ c) bruit et interférence d) chaque point de la constellation 4-QAM est remplacé par une constellation 4-QAM qui est de plus faible amplitude.

Selon la déformation de la constellation, nous pouvons en déduire les distorsions du signal. Par exemple, on a :

- un déséquilibre de gain (cf.Fig.5.5.a)
- un démodulation non cohérente (cf.Fig.5.5.b)
- une compression de gain (cf.Fig.5.5.c)
- un AWGN (additive white gaussian noise) et une interférence entre symboles (IES) (cf.Fig.5.5.d). Ce dernier se produit si l'amplitude du symbole à l'instant de décision est affectée par la présence de symboles voisins.
- un déséquilibre sélectif en fréquence (cf.Fig.5.5.e). Il est dû à la différence des réponses (gain et phase) en fréquences des voies I et Q. Cette distorsion est d'autant plus importante que la largeur de bande est grande [Traverso 2007].

Le diagramme de constellation permet de déduire les source d'erreurs, afin de rajuster le récepteur et d'améliorer la qualité de transmission.

5.4.2 Diagramme de l'œil

Le contrôle du bruit et d'interférence entre symboles peut également s'effectuer à l'aide du diagramme de l'œil. Il est obtenu par superposition des différents symboles reçus en se synchronisant sur l'horloge d'émission des bits.

La Fig. 5.6 présente un diagramme de l'œil pour une transmission binaire.

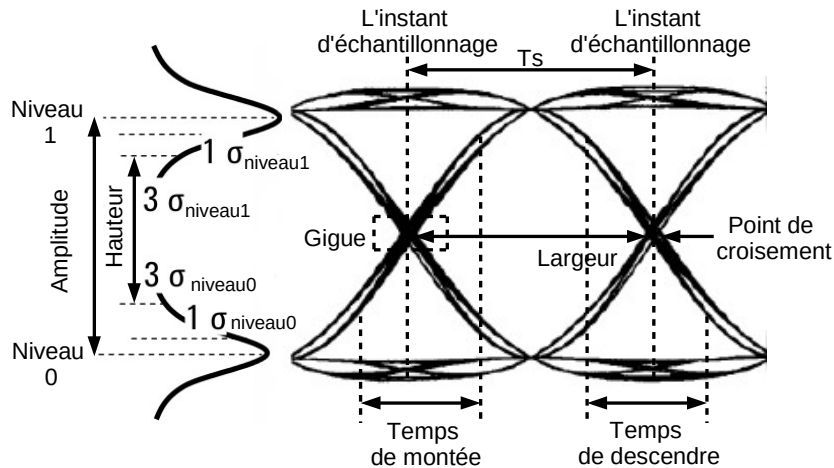


FIGURE 5.6 – Diagramme de l'œil pour la transmission binaire

La Fig. 5.6 met en évidence les paramètres du diagramme de l'œil :

- niveau logique 1 : un niveau haut
- niveau logique 0 : un niveau bas
- amplitude : une différence entre les deux niveau
- hauteur : une ouverture verticale
- largeur : une ouverture horizontale
- temps de montée de l'œil (20%-80%) : une pente de montée
- temps de descente de l'œil (20%-80%) : une pente de descente
- gigue : une fluctuation :
- l'instant d'échantillonnage : un instant où l'œil est le plus ouvert

La Fig. 5.6 montre également que les amplitudes des signaux aux niveaux logiques du diagramme de l'œil sont régies par des variables aléatoires. Ces dernières suivent des distributions gaussiennes. Nous notons $\sigma_{niveau1}$ (resp. $\sigma_{niveau0}$) l'écart type de la gaussienne associé au niveau haut (resp. niveau bas).

L'ouverture du diagramme de l'œil est un paramètre qui permet de caractériser le bruit ajouté au signal et mesurer les distorsions apportées par la chaîne de transmission :

- l'ouverture verticale traduit le rapport d'énergie entre le signal original et le bruit.
- l'ouverture horizontale est liée à la facilité à synchroniser et différencier les échantillons successifs.

L'ouverture de diagramme de l'œil fournit des renseignements sur la qualité du signal reçu.

5.4.2.1 L'ouverture du diagramme de l'œil

Dans cette partie, nous réalisons une étude sur les caractéristiques de l'ouverture du diagramme de l'œil. Plus l'ouverture du diagramme de l'œil est grande, meilleur est la qualité du signal reçu. À l'opposé, la fermeture du diagramme de l'œil se traduira par de nombreuses erreurs de transmission.

L'ouverture verticale du diagramme de l'œil

La fermeture verticale du diagramme de l'œil est due au bruit ajouté au signal. Elle est souvent caractérisée par le facteur de qualité Q_{SNR} . Ce facteur se définit à partir des paramètres d'un diagramme de l'œil :

$$Q_{SNR} = \frac{\text{Amplitude}}{1\sigma_{niveau0} + 1\sigma_{niveau1}} \quad (5.12)$$

Ainsi, le facteur Q_{SNR} nous permet d'estimer le BER en utilisant la relation présentée dans l'équation 5.13.

$$BER = 2 \frac{\sqrt{M} - 1}{\sqrt{M} \log_2(M)} \operatorname{erfc} \left(\frac{Q_{SNR}}{\sqrt{2}} \right) \quad (5.13)$$

Nous constatons que plus Q_{SNR} est grand, plus le BER est petit et la qualité du signal est meilleur. Pour une valeur de $BER = 10^{-5}$ et $M=4$, nous avons $Q_{SNR} = 4, 25$, la valeur minimale pour garantir un fonctionnement correct du système.

L'ouverture horizontale du diagramme de l'œil

La fermeture horizontale de l'œil est due à la gigue (jitter). Dans le domaine des transmissions numériques, la gigue est le phénomène de fluctuation d'un signal. Il est important de minimiser la valeur de gigue parce qu'elle est source d'erreurs en sortie lors de la récupération des données notamment pour un signal haut débit [Hancock 2004], [Solorzano 2004].

La gigue est mesurée au niveau du croisement des fronts montant et descendant, comme montré sur la Fig.5.7.

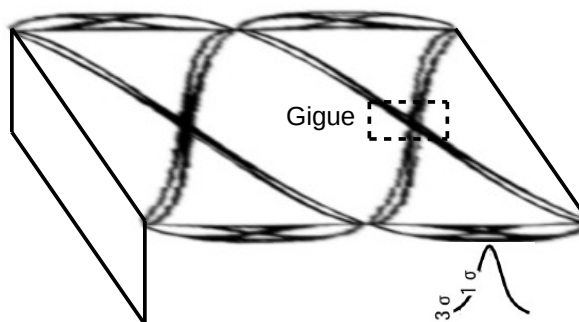


FIGURE 5.7 – Gigue de phrase

On modélise les giges par une variable aléatoire suivant une loi gaussienne. Elles sont généralement quantifiées en utilisant 1σ (Root mean square : RMS) ou 3σ (crête à crête).

Il existe deux types de gigue : la gigue aléatoire et la gigue déterministe. La gigue aléatoire est due au bruit dans le système. Elle est qualifiée en utilisant 1σ . La gigue déterministe est souvent due aux défauts des éléments du système. Elle peut être la conséquence d'une forte variation de la phase du gain (aussi appelé temps de groupe) suivant la fréquence des circuits électroniques [Claveau 2005]. La gigue déterministe est qualifiée en utilisant 3σ . La gigue totale est une combinaison entre la gigue aléatoire et la gigue déterministe.

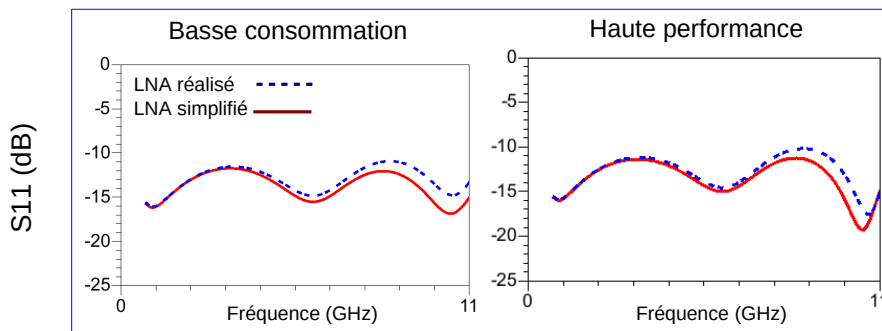
Le diagramme de constellation, le diagramme de l'œil et le BER (estimé par le facteur Q_{SNR}) sont trois métriques mesurant la qualité de la transmission. Nous les utiliserons pour observer l'influence des deux modes de fonctionnement du LNA sur toute la chaîne de réception dans les parties suivantes.

5.5 Performances système du LNA

5.5.1 Modèle simplifié du LNA

Nous réalisons un récepteur homodyne avec le logiciel ADS. Tous les blocs montrés dans la Fig.5.1 sont idéaux sauf le LNA. Ce dernier est pris en compte de façon réaliste grâce à une co-simulation système/circuit qui permet de considérer le circuit réel.

L'amplificateur que nous avons conçu est constitué de nombreux composants complexes (micro-ruban en forme de T, de croix, d'angle droits...). L'utilisation de ces modèles demande énormément de temps de calcul pour la co-simulation et génère un problème de convergence, surtout pour une large bande de fréquences. Afin de parvenir à réaliser des co-simulations large bande, nous remplaçons les interconnexions par des lignes micro-ruban. La Fig.5.8 montre les performances du LNA réalisé et simplifié. IP_{1dB} est la puissance d'entrée du LNA à 1dB de compression de gain. Elle correspond à la puissance reçue maximale d'un récepteur. (Dans notre cas, cette dernière est définie au sens de circuit).



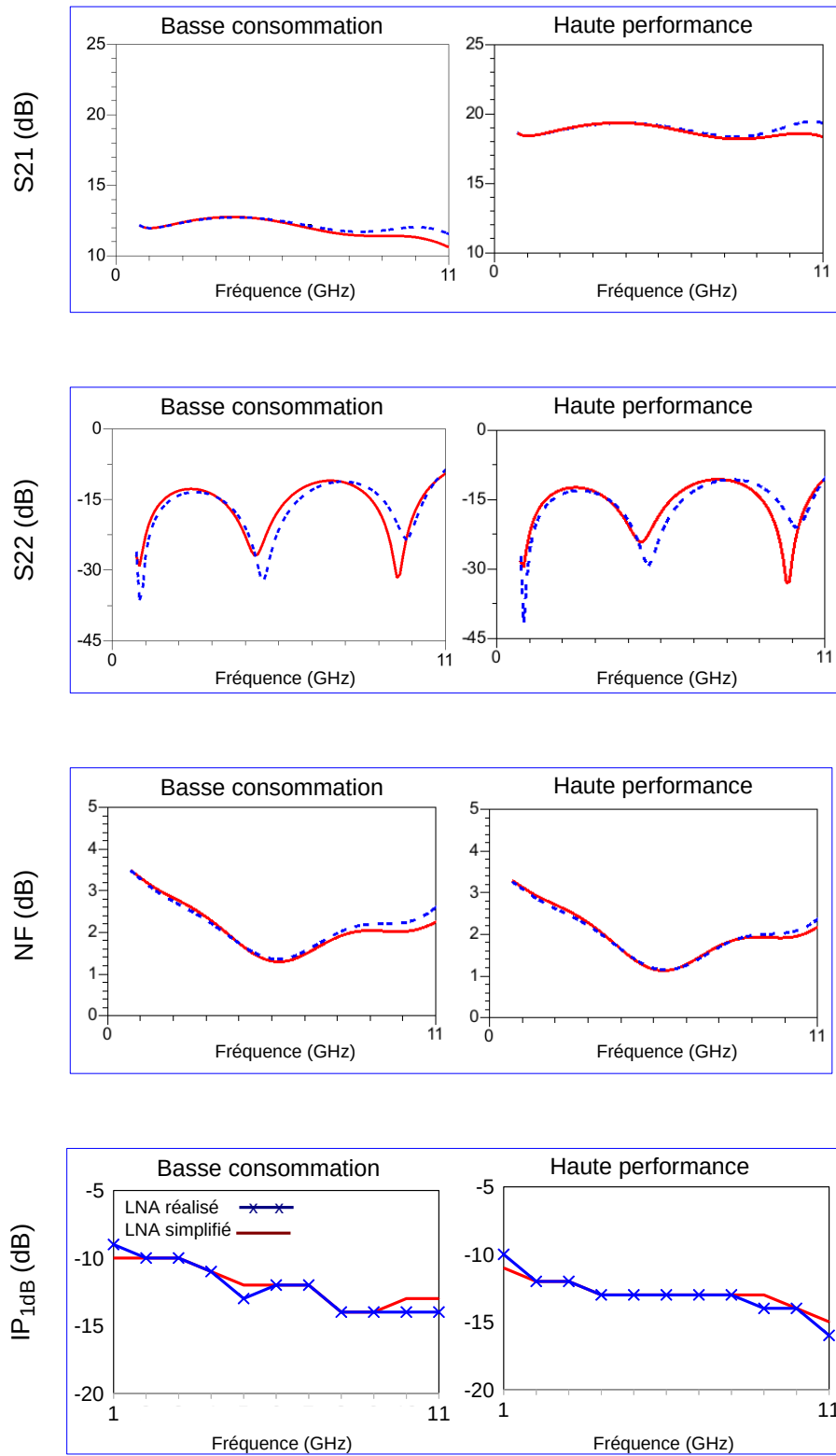


FIGURE 5.8 – Performances du LNA réalisé et simplifié

Sur les courbes de la Fig.5.8, nous constatons que la puissance d'entrée du LNA à 1dB de compression de gain présente une légère différence entre le mode basse consommation et le mode haute performance. Nous choisissons donc d'utiliser dans les deux cas, le IP_{1dB} du mode basse consommation comme la puissance reçue maximale du récepteur (-10dBm pour le signal Bluetooth, -12dBm pour le signal WI-FI et -13dBm pour le signal WUSB).

On note également que le modèle du LNA simplifié a des performances très similaires au LNA réalisé. Ce modèle est alors intégré dans le récepteur homodyne.

5.5.2 Détails de transmission des signaux

Dans le récepteur, le message binaire à transmettre est modulé par une modulation vectorielle (4-QAM). La relation entre la période de symbole T_s et la période de bit T_b , s'exprime par :

$$T_b = \frac{1}{2}T_s \quad (5.14)$$

La fréquence des oscillateurs locaux est choisie égale à la fréquence centrale des trois standards, montré Tab.5.3.

Nous établissons le bilan de liaison pour les trois signaux présent dans les réseaux sans fil domestique. Les caractéristiques des transmissions sont présentées dans Tab.5.3. Les valeurs de gains de l'antenne, de la puissance émise et de l'atténuation sont celles des appareils du marché actuel.

TABLE 5.3 – Caractéristiques de transmission des trois signaux étudiés

Signal	Bluetooth	WI-FI	WUSB
Bande passante (GHz)	2,4-2,4835	5,15-5,38	3,1-10,6
Fréquence centrale(GHz)	2,4416	5,27	6,85
Δf	83,5MHz	230 MHz	7,5GHz
D_b (4-QAM)	83,5Mbps	230Mbps	7,5 Gbps
r	10-20m	100m	3m-10m
P_e	4dBm	15dBm	25dBm
G_T (G_R)	3dBi	8dBi	3dBi
α_L (max)	66dB	86dB	69dB

La distance r entre l'émetteur et le récepteur peut varier aléatoirement en fonction des déplacements de l'utilisateur. Diverses atténuations dépendant de l'environnement (murs, humidité, température, etc) peuvent également se produire. En conséquence la puissance P_R reçue par le récepteur est très variable. Il est donc important d'étudier la plage dans laquelle peut varier cette puissance.

Cette plage est définie à la fois par la puissance maximum accessible au récepteur P_{Rmax} et par la puissance reçue minimum P_{Rmin} pour satisfaire la contrainte de BER demandé ($BER \leq 10^{-5}$).

La puissance minimale reçue dépend du mode de fonctionnement. La valeur de P_{Rmin} est égale à P_{bcmin} pour le mode basse consommation et à P_{hpmin} (la sensibilité du récepteur) pour le mode haute performance.

Ces puissances sont montrées Fig. 5.9 et leur valeurs, détaillées dans le Tab.5.4. P_{bcmin} et P_{hpmin} sont simulées à l'entrée du récepteur pour un $Q_{SNR} \simeq 4, 25$.

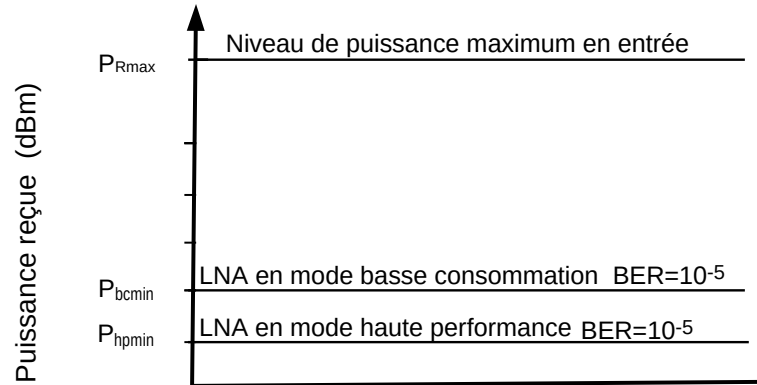


FIGURE 5.9 – Plage de puissances reçues

TABLE 5.4 – Puissances reçues dans les cas différents

Signal	Bluetooth	WI-FI	WUSB
P_{Rmax}	-10dBm	-12dBm	-13dBm
P_{bcmin}	-89dBm	-85dBm	-70dBm
P_{hpmin}	-93dBm	-89dBm	-73dBm
Dynamique	83dB	77dB	60dB

Nous observerons les performances du récepteur quand la puissance reçue est égale à P_{Rmax} , à P_{bcmin} et à P_{hpmin} dans la section suivante. Pour cela, nous utiliserons les trois métriques de qualification présentées précédemment : le diagramme de constellation, le diagramme de l'œil et le BER estimé.

5.5.3 Performances du récepteur

Nous allons analyser l'influence des deux modes de fonctionnement du LNA sur les performances du récepteur dans cette partie. Notre analyse commence par tracer les constellations 4-QAM correspondantes aux différents standards.

5.5.3.1 Diagramme de constellation

En mode basse consommation

Nous considérons dans un premier temps un LNA en mode basse consommation. Nous traçons les constellations Fig. 5.10.

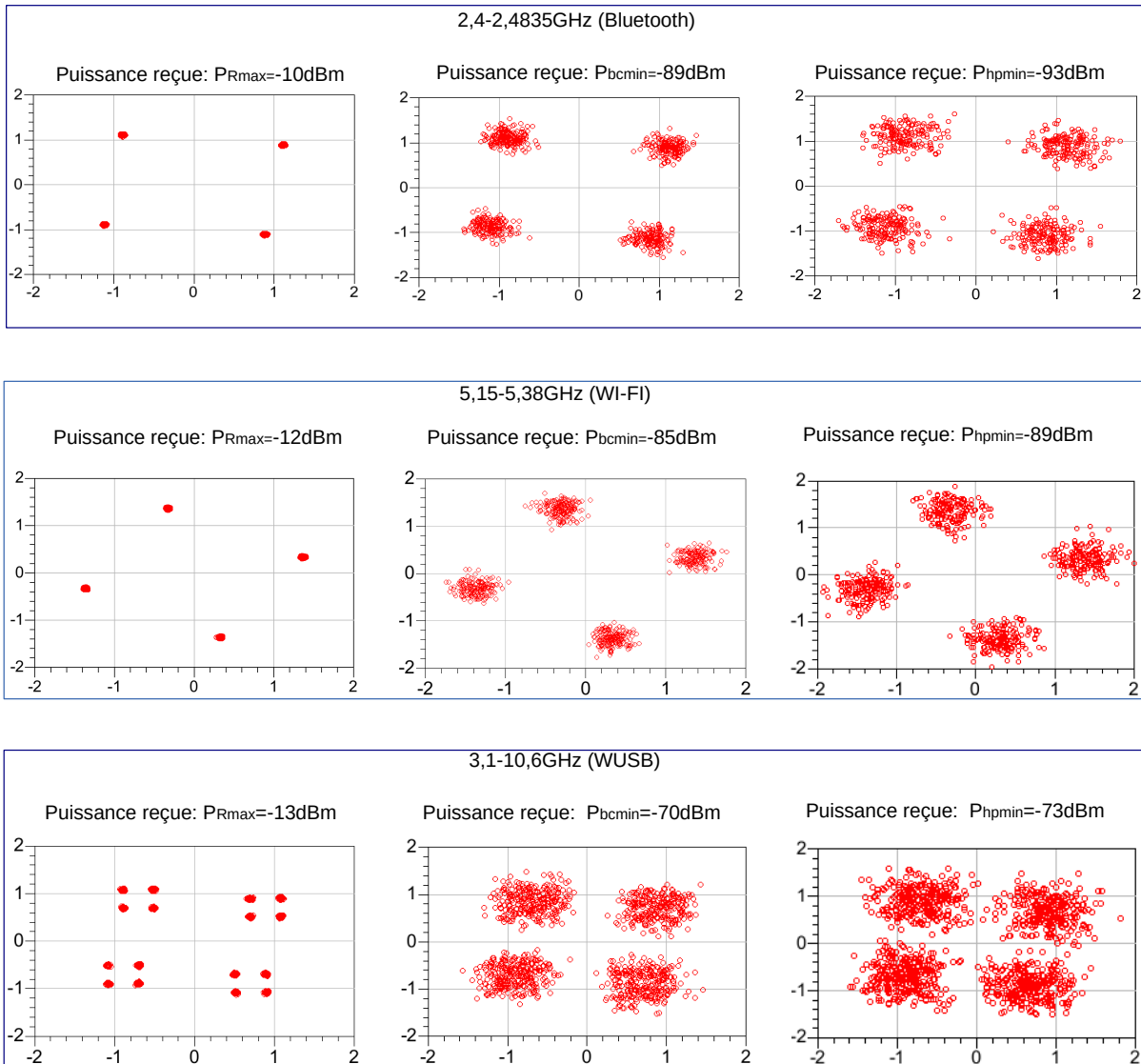


FIGURE 5.10 – Constellations 4-QAM en mode basse consommation

La Fig. 5.10 montre qu'au fur et à mesure que la puissance reçue diminue, la distorsion de la constellation 4-QAM causée par les bruits et les interférences s'aggrave. De plus, on constate que pour chaque constellation 4-QAM simulée, une rotation de phase ϕ apparaît ($\phi = 6^\circ$ pour le signal Bluetooth, $\phi = 30^\circ$ pour le signal WI-FI et $\phi = 4^\circ$ pour le signal WUSB). Ce déphasage parasite est du déphasage du gain en puissance.

On note également que la constellation subit une distorsion pour le signal WUSB. Chaque point de la constellation 4-QAM est remplacé par une constellation 4-QAM qui est de plus faible amplitude.

En mode haute performance

Le diagramme de constellation en mode haute performance est montré Fig. 5.11.

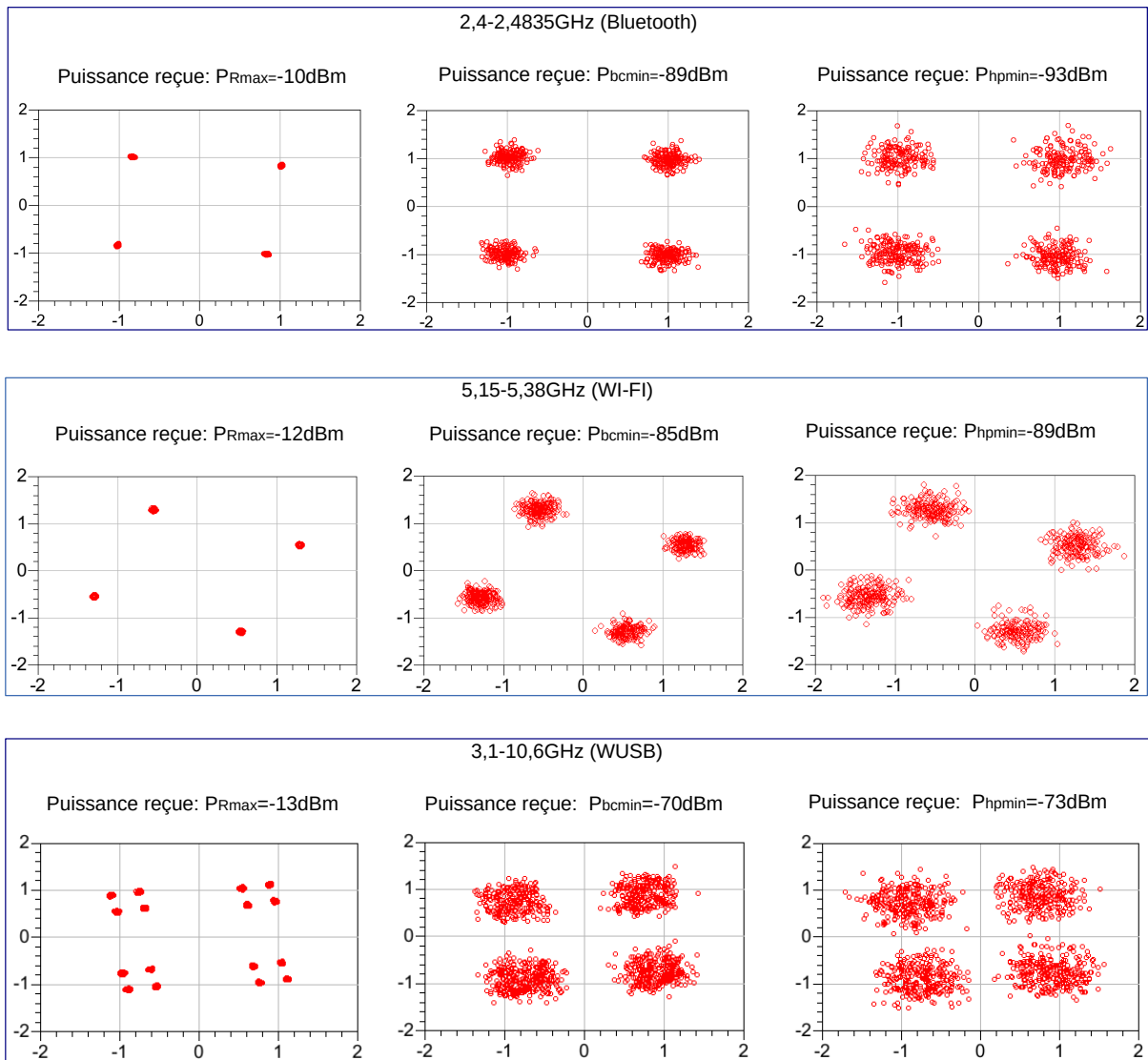


FIGURE 5.11 – Constellations 4-QAM en mode haute performance

Nous faisons des remarques similaires sur les distorsions observées sur chaque constellation aussi bien en mode haute performance, qu'en mode basse consommation. Les rotations de phase sont respectivement $\phi = 4^\circ$ pour le signal Bluetooth, $\phi = 21^\circ$ pour le signal WI-FI et $\phi = -6^\circ$ pour le signal WUSB. Afin de minimiser les erreurs, nous réajustons les déphasages de constellation.

On constate également que quand la puissance reçue est égale à P_{bcmin} ou à P_{hpmin} , les constellations en haute performance présentent des distorsion moins significatives par rapport à celles en mode basse consommation.

La constellation nous fournit des informations graphiques sur la qualité de signal. Le diagramme de l'œil peut également en produire. De plus, le facteur Q_{SNR} extrait de celui-ci permet d'estimer le BER. Nous présentons le diagramme de l'œil et le BER estimé dans la section suivante.

5.5.3.2 Diagramme de l'œil et BER estimé

En mode basse consommation

Les diagrammes de l'œil sont mesurés sur la voie I à la réception (Fig.5.12).

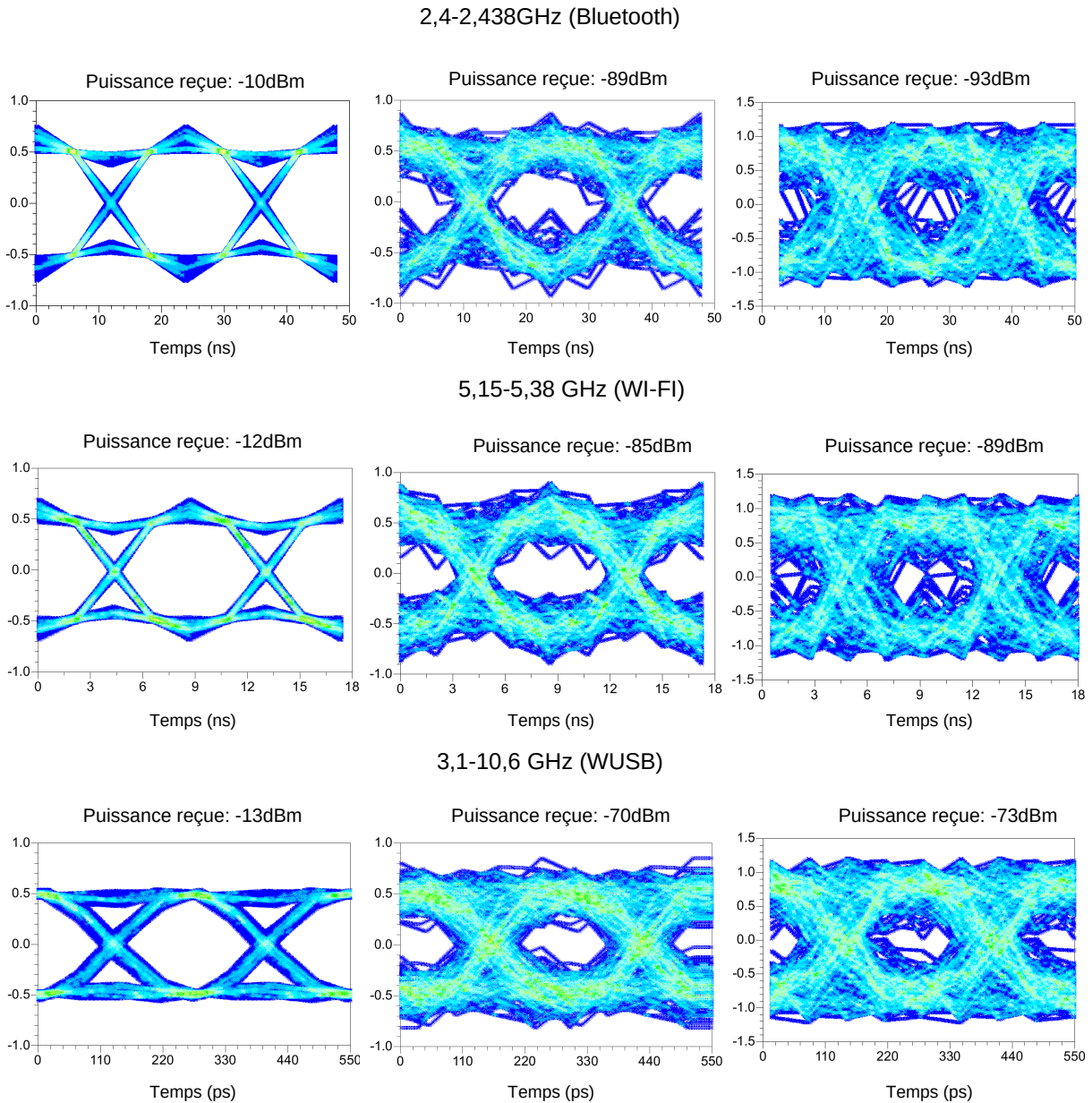


FIGURE 5.12 – Diagrammes de l'œil mesurés sur la voie I à la réception pour une puissance reçue respectivement à P_{Rmax} , P_{bcmin} et P_{hpmin} en mode basse consommation

La Fig.5.12 montre que les formes des diagrammes de l'œil sont quasi symétriques. Les fronts de

montée et de descente se croisent au point situé à la ligne médiane du diagramme. Cependant, la gigue de phase et les variations d'amplitudes des bits aux niveaux haut et bas sont plus importantes pour le signal WUSB que pour les autres signaux. Cela peut s'expliquer par l'imperfection de l'amplificateur conçu sur la bande WUSB. En effet, un écart relativement important du temps de groupe (cf. Fig. 4.41) crée une dispersion plus grande des fronts montants et descendants. La gigue de phase est donc relativement importante. De plus, l'inégalité de gain de l'amplificateur entraîne des variations d'amplitudes des bits aux niveaux logiques. Nous constatons également que les diagrammes de l'œil sont de plus en plus fermés au fur et à mesure de la diminution de la puissance reçue.

Le diagramme de l'œil nous permet d'extraire le facteur Q_{SNR} estimant le BER. Les tableaux Tab. 5.5 et Tab. 5.6 présentent le Q_{SNR} et le BER estimé.

TABLE 5.5 – Q_{SNR} des diagrammes de l'œil et BER estimé pour la puissance reçue égalant à P_{Rmax} en mode basse consommation

Signal	Bluetooth	WI-FI	WUSB
	P_{Rmax}		
Q_{SNR}	10,86	12,68	20,42
BER	$< 10^{-15}$		

Le Tab.5.5 montre que les valeurs de BER sont satisfaisantes pour une puissance reçue de P_{Rmax} . Cette dernière est supérieure à la puissance du bruit. Nous avons donc un rapport signal sur bruit élevé. Cela permet d'avoir des facteurs Q_{SNR} supérieurs à 10, ainsi que des BER quasiment nuls ($BER < 10^{-15}$).

Le Tab.5.6 montre que les valeurs de Q_{SNR} sont moins importantes par rapport aux valeurs de la Tab.5.5. Cela est dû à la diminution de la puissance reçue d'où une augmentation du rapport signal sur bruit. Le BER est donc dégradé. Quand la puissance reçue est égale à P_{bcmin} , le système travaille dans un cas limite ($BER = 10^{-5}$) et il ne fonctionne plus quand la puissance reçue est égale à P_{hpmin} ($BER > 10^{-5}$). Il faut donc un mode de fonctionnement plus performant pour la plage de puissances $P_{bcmin} < P_R \leq P_{hpmin}$, où P_R est la puissance reçue.

TABLE 5.6 – Q_{SNR} des diagrammes de l'œil et BER estimés pour une puissance reçue égale à P_{bcmin} ou P_{hpmin} en mode basse consommation

Signal	Bluetooth		WI-FI		WUSB	
	P_{bcmin}	P_{hpmin}	P_{bcmin}	P_{hpmin}	P_{bcmin}	P_{hpmin}
Q_{SNR}	4,328	3,644	4,21	3,29	4,30	3,9
BER	$\simeq 10^{-5}$	$1,3 \cdot 10^{-4}$	$\simeq 10^{-5}$	$5 \cdot 10^{-3}$	$\simeq 10^{-5}$	$4,8 \cdot 10^{-5}$

En mode haute performance

Dans cette section, nous étudions l'influence du mode haute performance sur les performances du récepteur. Les paramètres extraits à partir des diagrammes de l'œil pour une puissance reçue égalant à

P_{bcmin} et P_{hpmin} sont présentés dans le tableau Tab.5.7.

Nous constatons que le récepteur travaille dans un cas limite ($BER = 10^{-5}$) pour la puissance reçue égale à P_{hpmin} . De plus, pour la même puissance reçue P_{bcmin} , les diagrammes de l'œil présentent un meilleur Q_{SNR} et des erreurs binaire sont minimisés au moins 100 fois pour le mode haute performance par rapport au mode basse consommation.

TABLE 5.7 – Q_{SNR} des diagrammes de l'œil et BER estimés pour une puissance reçue égale à P_{bcmin} ou P_{hpmin} en mode haute performance

Signal	Bluetooth		WI-FI		WUSB	
	P_{bcmin}	P_{hpmin}	P_{bcmin}	P_{hpmin}	P_{bcmin}	P_{hpmin}
Q_{SNR}	5,24	4,3	5,32	4,33	5,46	4,39
BER	$7,6 \cdot 10^{-8} \simeq 10^{-5}$	$6,0 \cdot 10^{-8} \simeq 10^{-5}$	$6,0 \cdot 10^{-8} \simeq 10^{-5}$	$5,0 \cdot 10^{-8} \simeq 10^{-5}$	$5,0 \cdot 10^{-8} \simeq 10^{-5}$	$5,0 \cdot 10^{-8} \simeq 10^{-5}$

5.5.4 Bilan

En résumé, d'après l'analyse des diagrammes de constellation, des diagrammes de l'œil et du BER (estimés par le facteur Q_{SNR}), un fonctionnement correct du récepteur peut être garanti par notre amplificateur dans les cas suivants :

1. $P_{bcmin} \leq P_R \leq P_{Rmax}$: en mode basse consommation et en haute performance
2. $P_{hpmin} \leq P_R \leq P_{Rmax}$: en mode haute performance

Pour un récepteur classique, le LNA est utilisé en mode haute performance pour $P_{hpmin} \leq P_R \leq P_{Rmax}$. Cependant, quand $P_R \geq P_{bcmin}$, le système consomme plus d'énergie que nécessaire pour satisfaire la contrainte demandée de BER. Dans le but de diminuer la consommation sur la plage de puissance reçue $P_{bcmin} \leq P_R \leq P_{Rmax}$, nous proposons un récepteur reconfigurable qui adapte la consommation aux puissances reçues dans la section suivante.

5.6 Récepteur reconfigurable

5.6.1 Principe

Dans cette partie, nous présentons un récepteur reconfigurable disposant d'un LNA avec deux modes de fonctionnement (Fig.5.13).

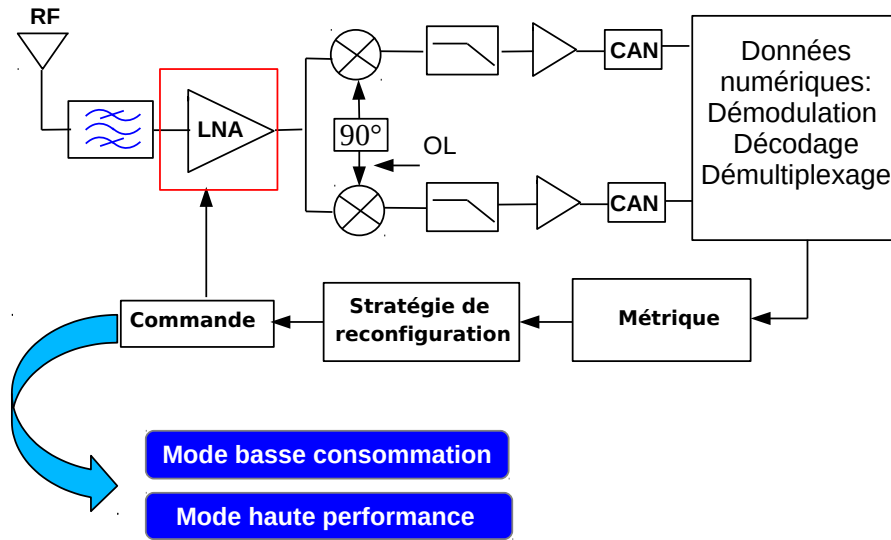


FIGURE 5.13 – Récepteur reconfigurable proposé

La reconfigurabilité est réalisée en trois étapes :

1. Définition des critères de décision (choix d'une métrique qualifiant le signal).
2. Stratégie de reconfiguration : consiste à choisir un mode de fonctionnement selon le seuil de la métrique retenu.
3. Mise en œuvre du block commande mettant en place la stratégie retenue par le système de reconfiguration.

Nous choisissons le BER comme métrique adaptative. Sa valeur est estimée par le facteur Q_{SNR} extrait d'un diagramme de l'œil.

5.6.2 Stratégie de reconfiguration

Il existe deux types de stratégie de reconfiguration : statique ou dynamique. Pour une stratégie statique, le mode de fonctionnement du récepteur est déterminé dès le départ de la réception d'un signal et y reste jusqu'à la fin. Pour une stratégie dynamique, le mode de fonctionnement du récepteur peut changer lors de la réception. Dans cette thèse, nous étudions la stratégie de reconfiguration dynamique (plus complexe que la stratégie de reconfiguration statique). Elle permet au récepteur de s'adapter à une puissance reçue variant aléatoirement en fonction du temps.

La stratégie de reconfiguration est montrée Fig.5.14.

Nous définissons deux scénarios de communication. La puissance reçue P_R suit alors les règles suivantes :

- Cas 1 : P_R est dans l'intervalle : $P_{bc_{min}} \leq P_R \leq P_{R_{max}}$
- Cas 2 : P_R est dans l'intervalle : $P_{hp_{min}} \leq P_R < P_{bc_{min}}$

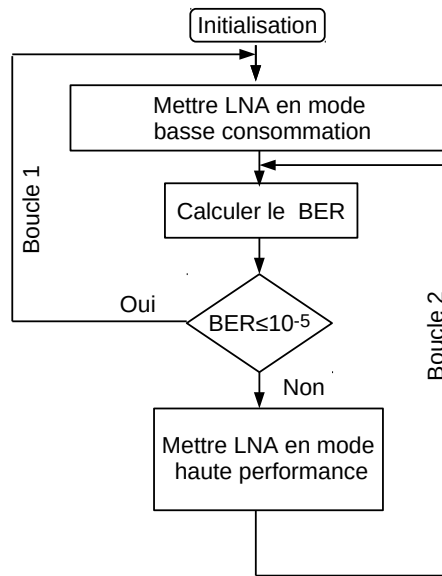


FIGURE 5.14 – Stratégie de reconfiguration

Le LNA est en mode basse consommation à l'état initial afin de minimiser la consommation. Quand la puissance reçue est dans le cas 2, le système de communication ne fonctionne plus correctement (BER supérieur à 10^{-5}). Il est alors nécessaire de passer l'amplificateur en mode haute performance augmentant ainsi la qualité du signal de sortie.

Rappelons que la puissance reçue instantanée varie principalement en fonction de deux éléments :

- 1) la distance entre l'émetteur et le récepteur,
- 2) l'environnement domestique.

Afin de vérifier la qualité du signal en fonction du temps, deux boucles nommées respectivement boucle 1 et boucle 2 sont mises en place. La fréquence de ces deux boucles de vérification peut être choisie en fonction du rythme des activités de l'utilisateur (jour/nuit, matin/midi/soir) ou fixée à une valeur constante.

La stratégie de reconfiguration est appliquée par une commande. Cette commande contrôle deux modes de fonctionnement par des conditions de polarisation différente du LNA. Nous avons ainsi pu réduire la consommation du récepteur dans le cas où la puissance reçue est supérieure ou égale à $P_{bc_{min}}$.

5.6.3 Consommation du récepteur

On considère la consommation d'énergie du cas 2 comme notre consommation de référence soit consommation de 100%. Le récepteur ne consomme que 20% de puissance pour le cas 1. La Fig.5.15 montre la consommation en pourcentage pour les deux cas.

On considère chaque puissance reçue de manière équiprobable. En conséquence, la probabilité du cas 1 est d'environ 5% et celle du cas 2 est d'environ 95%. Notre récepteur reconfigurable réduit donc la consommation de 77% par rapport à un récepteur classique.

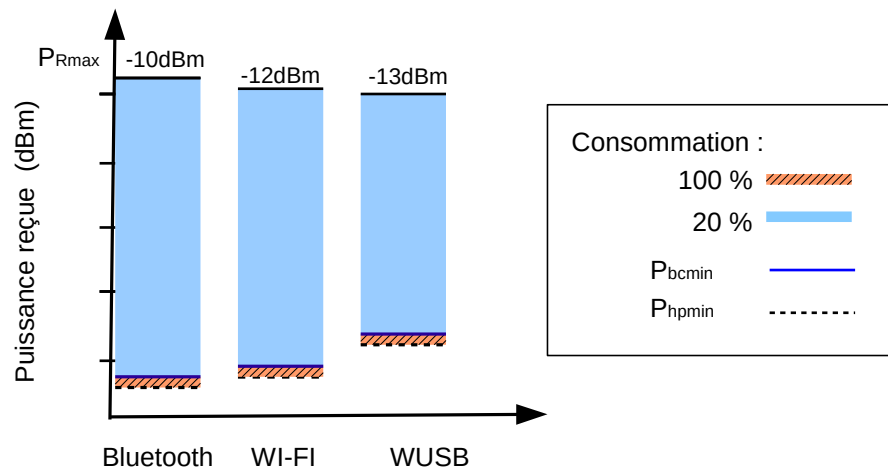


FIGURE 5.15 – Consommation en pourcentage pour les deux cas

5.7 Conclusion

Dans cette partie, nous avons montré l'influence des deux modes de fonctionnement (basse consommation et haute performance) du LNA sur les performances d'un récepteur homodyne. Ce dernier est dédié aux communications sans fil à domicile. Il opère sur une bande de fréquence de 0,8GHz à 11GHz.

À partir d'un bilan de liaison sur trois signaux représentatifs des communications sans fil, nous avons réalisé un récepteur homodyne à l'aide du logiciel ADS. Nous avons choisi trois métriques pour estimer la qualité du signal : le BER, le diagramme de constellation et le diagramme de l'œil.

Ensuite, nous faisons des co-simulations système/circuit. Les résultats sur nos trois métriques nous montrent que le récepteur consomme moins dans le cas $P_R \leq P_{bc_{min}} \leq P_{R_{max}}$ que dans le cas $P_{hp_{min}} < P_R < P_{bc_{min}}$.

Enfin, dans le but de réduire la consommation du récepteur sur la plage de puissance reçue $P_R \leq P_{bc_{min}} \leq P_{R_{max}}$, nous proposons un récepteur reconfigurable. La reconfigurabilité s'effectue en trois étapes : définition de la métrique, choix de la stratégie et mise en œuvre de la commande. Nous avons utilisé comme métrique de décision le BER (estimé d'après le facteur Q_{SNR} du diagramme de l'œil). Sa valeur est inférieure ou égale à 10^{-5} . Nous avons également proposé une nouvelle stratégie de reconfiguration. Elle est appliquée à l'aide d'une commande pilotant les deux modes de fonctionnement via la polarisation.

La puissance dissipée du récepteur reconfigurable peut être réduite de 77% par rapport à celle d'un récepteur classique. Cette comparaison est faite sous l'hypothèse d'équiprobabilité des occurrences au niveau des puissances reçues dans l'intervalle $P_{hp_{min}} \leq P_R \leq P_{R_{max}}$.

Conclusion générale et perspectives

Le développement des systèmes de communications sans fil domestiques requiert des récepteurs multistandards et basse consommation. La mise en place de tels récepteurs nécessite la réalisation de circuits intégrés large bande et multimodes. C'est dans ce cadre que s'inscrivent les travaux de recherche menés au cours de cette thèse. Ces travaux concernent la réalisation d'un récepteur reconfigurable à l'aide d'un amplificateur faible bruit large bande.

Dans le premier chapitre, nous avons pris la décision de concevoir un récepteur homodyne à l'aide d'un amplificateur distribué. Ce choix garantit une parfaite adéquation avec des systèmes multistandards.

Cette décision a été faite selon l'étude effectuée sur les systèmes de réception et sur les amplificateurs faible bruit large bande. Dans cette étude, nous avons tout d'abord présenté plusieurs architectures de récepteurs. Nous avons retenu l'architecture homodyne pour sa compatibilité avec les systèmes multistandards, sa faible consommation, sa simplicité de conception et sa facilité d'intégration. Ensuite, nous avons étudié des architectures d'amplificateur faible bruit large bande. Nous avons utilisé le facteur de mérite (FOM) pour comparer les performances de ces architectures. Ce critère prend en compte le gain, la bande passante, le facteur de bruit, la linéarité et la consommation de l'amplificateur. Enfin, nous avons choisi l'architecture distribuée, qui présente l'un des meilleurs facteurs de mérite sur la bande de fréquences 0,8-11GHz.

Dans le deuxième chapitre, nous avons donné les règles majeures de conception et rappelé les limitations de l'amplificateur distribué. Pour cela, nous avons présenté ses principes de fonctionnement et effectué une analyse théorique générale des caractéristiques et performances des amplificateurs distribués.

Cette analyse théorique sur les amplificateurs distribués a été appliquée à la technologie GaAs pHEMT. Nous avons montré dans un premier temps tout le potentiel de cette technologie, pour réaliser un amplificateur faible bruit. Puis nous avons fait une étude de cette technologie et notamment des caractéristiques qu'elle induit sur les amplificateurs distribués. Enfin nous avons défini les expressions analytiques de l'amplificateur distribué (fréquence de coupure, gain, facteur de bruit, consommation, nombre optimal de cellules élémentaires...). Ces expressions nous permettent d'obtenir des règles de conceptions et de connaître leurs limites.

Dans le troisième chapitre, nous avons présenté les trois étapes de conception de notre amplificateur. L'objectif a été de mettre en place deux modes de fonctionnement. Ces deux modes, contrôlés par les tensions de polarisation, sont respectivement le mode haute performance et le mode basse consommation. Comme indiqué par leur noms, le mode haute performance optimise les performances en terme de gain, de facteur de bruit et de linéarité. Le mode basse consommation optimise la consommation. Nous avons fixé les performances attendues de chaque mode, et commencé la conception par l'optimisation du mode haute performance.

En première étape, nous avons choisi la topologie de l'amplificateur distribué. Pour cela, nous avons utilisé un critère FOM qui compare les performances des différentes topologies existantes pour réaliser des amplificateurs distribués. Nous avons retenu l'amplificateur distribué classique utilisant la configura-

tion cascode comme cellule élémentaire, qui présente un des meilleurs FOM (>2) et un gain $>10\text{dB}$ pour une consommation raisonnable.

En deuxième étape, nous avons conçu la cellule élémentaire de l'amplificateur basée sur la configuration cascode. Nous avons montré que l'utilisation de la structure cascode comme cellule élémentaire présente de nombreux avantages : large bande passante, faible dégradation du gain, gain élevé aux haute fréquence et une bonne platitude du gain de l'amplificateur distribué. Nous avons également montré que la structure cascode peut provoquer des risques d'instabilité. Afin d'assurer une stabilité inconditionnelle de notre amplificateur, nous avons utilisé des circuits réactifs.

En troisième étape, nous avons dimensionné notre amplificateur en prenant en compte les contraintes technologiques et les critères de conception. Nous avons donc déterminé le nombre de cellules, choisi les impédances caractéristiques des lignes de drain et grille et sélectionné les charges des lignes. Nous avons retenu 6 cellules comme étant le meilleur compromis entre performances, consommation et taille de puce. Nous avons pris des impédances caractéristiques de ligne plus grandes que 50Ω pour améliorer le gain, et la charge de ligne de grille. Cette valeur a été choisie de façon à minimiser le facteur de bruit aux basses fréquences.

Suite à la réalisation de la topologie finale de notre amplificateur, nous avons pu mettre en place deux modes de fonctionnement. Nous présentons ensuite les résultats de cette amplificateur par des simulations logicielles.

En fin du troisième chapitre, nous avons testé l'amplificateur sous pointes. Les résultats expérimentaux sont satisfaisants. En mode hautes performances, les performances que nous obtenons (gain 18dB et facteur de bruit $1,09\text{dB}$) se situent dans les meilleurs parmi l'état de l'art pour des consommations similaires. En mode basse consommation, nous avons atteint une des plus faibles consommations (10mW) de la littérature pour des performances électriques similaires. La différence entre les résultats simulés et mesurés peut être expliquée par la dispersion technologique (particulièrement sur le g_m).

Dans le quatrième chapitre, nous avons intégré notre amplificateur dans la chaîne de réception homodyne. Cette chaîne a été réalisée à partir d'un bilan de liaison sur trois signaux représentatifs des communications sans fil domestiques. L'objectif a été de concevoir un récepteur reconfigurable, dont la consommation s'adapte à la puissance d'entrée du récepteur.

La reconfigurabilité s'effectue en trois étapes : définition de la métrique, choix de la stratégie et mise en œuvre de la commande. Nous avons choisi comme métrique le BER (Bit Error Rate), que nous avons estimé par le facteur de qualité du diagramme de l'œil. Nous avons proposé une nouvelle stratégie de reconfigurabilité et l'avons appliquée par une commande pilotant les deux modes de fonctionnement du LNA.

Nous avons montré qu'en considérant chaque puissance reçue de manière équiprobable, notre récepteur reconfigurable réduisait la consommation de 77% par rapport à un récepteur "classique" qui fonctionne toujours dans le mode le plus performant.

Nous avons dans ces travaux de thèse, réalisé un récepteur multistandard permettant une gestion optimale de la consommation selon la puissance reçue. Ce récepteur reconfigurable commandant les deux modes de fonctionnement de notre amplificateur suivant une stratégie de reconfiguration innovante.

Les perspectives à court terme à envisager concernent le développement de nouvelles stratégies reconfigurables afin de maîtriser la consommation pour des scénarios de communication plus complexes.

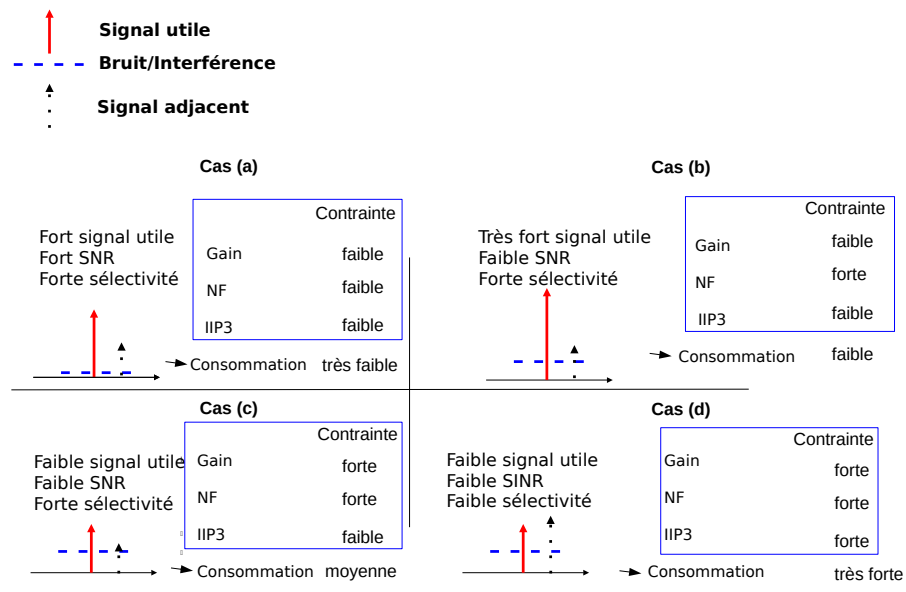


FIGURE 5.16 – Scénarios de communication associés aux performances visées

Plusieurs scénarios de communication sont montrés dans la figure 5.16.

Les quatre scénarios prennent en compte les puissances reçues des signaux utiles et adjacents, ainsi que le bruit du canal. Selon chaque scénario, le récepteur impose des contraintes différentes sur les circuits de la chaîne de réception. Par exemple :

- lorsque les conditions sont toutes favorables, on relâche toutes les contraintes (cas a).
- dans le cas où les conditions sont partiellement défavorables, on impose certaines contraintes (cas b et c).
- avec toutes les conditions défavorables, on a de fortes contraintes (cas d).

Il y a donc besoin de plus ou moins d'énergie afin de garantir un fonctionnement correct selon les scénarios de communications.

Il sera intéressant d'étudier les critères se rapprochant le plus des conditions réelles du canal permettant de concevoir une meilleure stratégie de reconfiguration.

Il sera également avantageux de modifier les spécifications (Gain, NF, IIP3) de façon indépendante afin de réduire la consommation dans le cas où on n'a pas besoin de modifier toutes les spécifications.

Dans une perspective à long terme, il est envisageable de réaliser d'autres blocs radio fréquence (filtre, mélangeur...) de la chaîne de réception avec plusieurs modes de fonctionnement. Cela permet d'offrir plus de souplesse à la gestion de la consommation du récepteur.

Liste de publications relatives aux travaux

Article de revue

Liang Zhou, Cédric Duperrier, Sébastien Quintanel, Emmanuelle Bourdel, Myriam Ariaudo, Sofiane Aloui, *Distributed Low Noise Amplifier for a Power Adaptive Receiver dedicated to Home Wireless Networks* (en préparation)

Articles de congrès internationaux avec comité de lecture et actes

Liang Zhou, C. Duperrier, S. Quintanel, S. Aloui, and E. Bourdel. *A 0.8- 11GHz 0.15 μ m pHEMT reconfigurable low power consumption distributed low noise amplifier for wireless home networks*. In New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International, pages 1–4, June 2013.

Liang Zhou, M. Ariaudo, C. Duperrier, S. Quintanel, and E. Bourdel. *Power adaptive receiver based on wide-band distributed low noise amplifier for home wireless networks*. In New Circuits and Systems Conference (NEWCAS), 2014 IEEE 12th International, pages 317-320, June 2014.

Articles de congrès nationaux avec comité de lecture et actes

Liang Zhou, C. Duperrier, S. Quintanel, and E. Bourdel. *Étude et conception d'une architecture d'amplificateur faible bruit avec réveil reconfigurable*, 18ème Journées Nationales Micro-ondes (JMN), Paris, France, 15–17 mai 2013

Liang Zhou, M. Ariaudo, C. Duperrier, S. Quintanel, and E. Bourdel. *Architecture l'amplificateur faible bruit large bande multistandard avec gestion optimale de la consommation de puissance*, 19ème Journées Nationales Micro-ondes (JMN), Bordeaux, France, 2–5 Juin 2015 (soumis)

Articles sans actes

Liang Zhou, C. Duperrier, S. Quintanel, and E. Bourdel. *Étude et conception d'une architecture d'amplificateur faible bruit avec réveil reconfigurable*, 6ème Colloque national du GDR Soc-Sip, Paris, France, 13–15 juin 2012

Liang Zhou, C. Duperrier, S. Quintanel, and E. Bourdel. *Un 0.8-11GHz 0.15 μ m pHEMT amplificateur distribué faible bruit basse consommation avec réveil reconfigurable pour les réseaux de communications domestiques*, 7ème Colloque national du GDR Soc-Sip, Lyon, France, 10–12 juin 2013

Liang Zhou, C. Duperrier, S. Quintanel, and E. Bourdel. *Power Adaptive Receiver based on Wideband Distributed Low Noise Amplifier for Home Wireless Networks*, 8ème Colloque national du GDR Soc-Sip, Paris, France, 11–13 juin 2014

Autre publication

Liang Zhou, F. Gadot, B. Bélier, G. Bordier, E. Bréelle, A. Ghibi, M. Piat, F. Pajoy, *Wide bandwidth coupler using metamaterial for astrophysical applications at 90GHz*, 9th international Conference on Photonic and Electronic Crystal Structures, Grenade, Spain, 26–30 septembre 2010

Bibliographie

- [Adiseno 2003] I. Adiseno, H. Magnusson et H. Olsson. *A 1.8-V wide-band CMOS LNA for multi-band multistandard front-end receiver*. In Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European, pages 141–144, Sept 2003. (Cité en page 13.)
- [Aiello 2003] G Roberto Aiello et Gerald D Rogerson. *Ultra-wideband wireless systems*. Microwave Magazine, IEEE, vol. 4, no. 2, pages 36–47, 2003. (Cité en pages 115 et 117.)
- [Aitchison 1985] Colin S Aitchison. *The intrinsic noise figure of the MESFET distributed amplifier*. Microwave Theory and Techniques, IEEE Transactions on, vol. 33, no. 6, pages 460–466, 1985. (Cité en pages 57 et 59.)
- [Anakabe 2010] A. Anakabe, N. Ayllon, J.-M. Collantes, A. Mallet, G. Soubercaze-Pun et K. Narendra. *Automatic pole-zero identification for multivariable large-signal stability analysis of RF and microwave circuits*. In Microwave Conference (EuMC), 2010 European, pages 477–480, 2010. (Cité en page 95.)
- [Andersson 2003] S. Andersson, C. Svenson et O. Drugge. *Wideband LNA for a multistandard wireless receiver in μm CMOS*. In Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European, pages 655–658, Sept 2003. (Cité en pages 20 et 24.)
- [Arbabian 2009] A. Arbabian et A.M. Niknejad. *Design of a CMOS Tapered Cascaded Multistage Distributed Amplifier*. Microwave Theory and Techniques, IEEE Transactions on, vol. 57, no. 4, pages 938–947, 2009. (Cité en pages vi, 64, 65 et 66.)
- [Arekapudi 2004] S. Arekapudi. Analysis and design of cmos wide-band low noise amplifiers. Stanford University, August 2004. (Cité en page 23.)
- [Arekapudi 2005] S. Arekapudi, E. Iroaga et B. Murmann. *A low-power distributed wide-band LNA in $0.18 \mu\text{m}$ CMOS*. In Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on, pages 5055–5058 Vol. 5, May 2005. (Cité en page 65.)
- [Ayers 2010] James Ayers, Kartikeya Mayaram et Terri S Fiez. *An ultralow-power receiver for wireless sensor networks*. Solid-State Circuits, IEEE Journal of, vol. 45, no. 9, pages 1759–1769, 2010. (Cité en pages 115 et 117.)
- [Barajas 2005] E. Barajas, B. Aja, M.L. De la Fuente, J.P. Pascual et E. Artal. *Low noise high linearity ultra broadband monolithic amplifier using travelling-wave gain stages*. In Microwave Conference, 2005 European, volume 2, pages 4 pp.–, 2005. (Cité en pages vi, 64, 65, 66 et 67.)
- [Bastos 2010] I. Bastos, L.B. Oliveira, J. Goes et M. Silva. *MOSFET-only wideband LNA with noise cancelling and gain optimization*. In Mixed Design of Integrated Circuits and Systems (MIXDES), 2010 Proceedings of the 17th International Conference, pages 306–311, June 2010. (Cité en page 20.)
- [Behzad 2003] A.R. Behzad, Zhong Ming Shi, S.B. Anand, Li Lin, K.A. Carter, M.S. Kappes, Tsung-Hsien Lin, T. Nguyen, D. Yuan, S. Wu, Y. C. Wong, Victor Fong et A. Rofougaran. *A 5-GHz direct-conversion CMOS transceiver utilizing automatic frequency control for the IEEE 802.11a wireless LAN standard*. Solid-State Circuits, IEEE Journal of, vol. 38, no. 12, pages 2209–2220, Dec 2003. (Cité en pages 115 et 117.)

- [Bevilacqua 2004] A. Bevilacqua et A.M. Niknejad. *An ultrawideband CMOS low-noise amplifier for 3.1-10.6-GHz wireless receivers*. Solid-State Circuits, IEEE Journal of, vol. 39, no. 12, pages 2259–2268, Dec 2004. (Cité en pages 22 et 24.)
- [Beyer 1984] J.B. Beyer, S.N. Prasad, R.C. Becker, J.E. Nordman et G.K. Hohenwarter. *MESFET Distributed Amplifier Design Guidelines*. Microwave Theory and Techniques, IEEE Transactions on, vol. 32, no. 3, pages 268–275, 1984. (Cité en pages iii, 52 et 163.)
- [Bormann 2011] D. Bormann, S. Kaehlert, Lei Liao, M.-D. Wei, T.D. Werth, R. Wunderlich et S. Heinen. *A multiband multistandard notch filter LNA for LTE, WCDMA and GSM for SAW-less frontends*. In Microwave Conference Proceedings (APMC), 2011 Asia-Pacific, pages 498–501, Dec 2011. (Cité en page 12.)
- [Brabetz 2008] T. Brabetz, V.F. Fusco et M.J. Kelly. *0.5 to 18 GHz Distributed Amplifier Design and Associated Biasing Solutions*. In RF and Microwave IC Design, 2008 IET Seminar on, pages 1–7, 2008. (Cité en page 74.)
- [Brewitt-taylor 1980] C. R. Brewitt-taylor, P. N. Robson et J.E. Sitch. *Noise figure of m.e.s.f.e.t.s*. Solid-State and Electron Devices, IEE Proceedings I, vol. 127, no. 1, pages 1–8, 1980. (Cité en page 34.)
- [Bruccoleri 2002] F. Bruccoleri, E.A.M. Klumperink et B. Nauta. *Noise cancelling in wideband CMOS LNAs*. In Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International, volume 1, pages 406–407 vol.1, Feb 2002. (Cité en page 20.)
- [Bruccoleri 2004] F. Bruccoleri, E.A.M. Klumperink et B. Nauta. *Wide-band CMOS low-noise amplifier exploiting thermal noise canceling*. Solid-State Circuits, IEEE Journal of, vol. 39, no. 2, pages 275–282, 2004. (Cité en pages v, 20, 21 et 24.)
- [Camatel 2006] S. Camatel, V. Ferrero et P. Poggiolini. *2-PSK homodyne receiver based on a decision driven architecture and a sub-carrier optical PLL*. In Optical Fiber Communication Conference, 2006 and the 2006 National Fiber Optic Engineers Conference. OFC 2006, pages 3 pp.–, 2006. (Cité en page 8.)
- [Chang 2011a] Hong-Yeh Chang, Yu-Cheng Liu, Shou-Hsien Weng, Chi-Hsien Lin, Yeh-Liang Yeh et Yu-Chi Wang. *Design and Analysis of a DC-43.5-GHz Fully Integrated Distributed Amplifier Using GaAs HEMT HBT Cascode Gain Stage*. Microwave Theory and Techniques, IEEE Transactions on, vol. 59, no. 2, pages 443–455, 2011. (Cité en pages 22, 24, 63 et 66.)
- [Chang 2011b] Jin-Fa Chang et Yo-Sheng Lin. *A DC-10.5-GHz CMOS Distributed Amplifier with 3.2 ± 0.3 dB NF, 10.5 ± 1.4 dB Gain and ± 13.8 ps Group Delay Variation*. In Radio and Wireless Symposium (RWS), 2011 IEEE, pages 307–310, 2011. (Cité en pages 22, 24, 63 et 66.)
- [Chang 2011c] Jin-Fa Chang et Yo-Sheng Lin. *A High-Performance Distributed Amplifier Using Multiple Noise Suppression Techniques*. Microwave and Wireless Components Letters, IEEE, vol. 21, no. 9, pages 495–497, 2011. (Cité en pages 64, 66 et 67.)
- [Charbonniaud 2005] Christophe Charbonniaud. *Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde*. PhD thesis, Université de Limoges, 2005. (Cité en pages 32 et 33.)
- [Chen 2009a] Hsien-Ku Chen, Yuan-Chia Hsu, Ta-Yeh Lin, Da-Chiang Chang, Y-Z Juang et Shey-Shi Lu. *CMOS wideband LNA design using integrated passive device*. In Microwave Symposium Di-

- gest, 2009. MTT'09. IEEE MTT-S International, pages 673–676. IEEE, 2009. (Cité en pages 20 et 24.)
- [Chen 2009b] Mingqi Chen et Jenshan Lin. *A 0.1-20 GHz Low-Power Self-Biased Resistive-Feedback LNA in 90 nm Digital CMOS*. Microwave and Wireless Components Letters, IEEE, vol. 19, no. 5, pages 323–325, May 2009. (Cité en pages 24 et 65.)
- [Chen 2010a] Hsien-Ku Chen, Yo-Sheng Lin et Shey-Shi Lu. *Analysis and Design of a 1.6-28-GHz Compact Wideband LNA in 90-nm CMOS Using a pi-Match Input Network*. Microwave Theory and Techniques, IEEE Transactions on, vol. 58, no. 8, pages 2092–2104, Aug 2010. (Cité en pages 22 et 24.)
- [Chen 2010b] I-Chuan Chen et Jeng-Rern Yang. *10GHz CMOS distributed amplifier low-power and low-noise and high-gain low noise amplifier for UWB systems*. In TENCON 2010 - 2010 IEEE Region 10 Conference, pages 2045–2047, 2010. (Cité en pages 64 et 66.)
- [Chen 2011] Ping Chen, Ze-Yu Liao, Che-Chung Kuo et Huei Wang. *A variable gain distributed amplifier with low voltage and low power in 0.18 μ m CMOS technology*. In Microwave Integrated Circuits Conference (EuMIC), 2011 European, pages 573–576, 2011. (Cité en page 66.)
- [Chen 2012] Ke-Hou Chen et Shen-Iuan Liu. *Inductorless Wideband CMOS Low-Noise Amplifiers Using Noise-Canceling Technique*. Circuits and Systems I : Regular Papers, IEEE Transactions on, vol. 59, no. 2, pages 305–314, Feb 2012. (Cité en pages 21 et 24.)
- [Chien 2006] Jun-Chau Chien, Tai-Yuan Chen et Liang-Hung Lu. *A 9.5-dB 50-GHz Matrix Distributed Amplifier in 0.18 μ m CMOS*. In VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium on, pages 146–147, 2006. (Cité en pages vi, 64, 65 et 66.)
- [Chigaeva 2000] E. Chigaeva, W. Walthes, D. Wiegner, M. Grozing, F. Schaich, N. Wieser, M. Berroth, O. Breitschadel, L. Kley, B. Kuhn, F. Scholz, H. Schweizer, O. Ambacher et J. Hilsenbeck. *Determination of small-signal parameters of GaN-based HEMTs*. In High Performance Devices, 2000. Proceedings. 2000 IEEE/Cornell Conference on, pages 115–122, 2000. (Cité en page 170.)
- [Chirala 2011] M.K. Chirala, C. Huynh, C. Nguyen et X. Guan. *Design of an ultra-small distributed low-noise-amplifier for ultra-wideband applications*. In Antennas and Propagation (APSURSI), 2011 IEEE International Symposium on, pages 3361–3364, 2011. (Cité en pages 62, 66 et 67.)
- [Claveau 2005] Régis Claveau. *Contribution à l'étude des amplificateurs distribués et des circuits de polarisation active. Applications aux circuits de commande de modulateurs électro-optiques*. PhD thesis, INSA de Rennes, 2005. (Cité en page 122.)
- [Darabi 2005] H. Darabi, J. Chiu, S. Khorram, Hea Joung Kim, Zhimin Zhou, Hung-Ming, Chien, B. Ibrahim, E. Geronaga, L.H. Tran et A. Rofougaran. *A dual-mode 802.11b/bluetooth radio in 0.35 μ m CMOS*. Solid-State Circuits, IEEE Journal of, vol. 40, no. 3, pages 698–706, March 2005. (Cité en pages 115 et 117.)
- [Defaye 2006] Jérémie Defaye. *Les différents types de réseaux sans fil*, April 2006. (Cité en page 2.)
- [Delagebeaudeuf 1980] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart et Nuyen T. Linh. *Two-dimensional electron gas m.e.s.f.e.t. structure*. Electronics Letters, vol. 16, no. 17, pages 667–668, 1980. (Cité en page 29.)
- [Deng 2003a] Kuo-Liang Deng, Tian-Wei Huang et Huei Wang. *Design and analysis of novel high-gain and broad-band GaAs pHEMT MMIC distributed amplifiers with traveling-wave gain stages*.

- Microwave Theory and Techniques, IEEE Transactions on, vol. 51, no. 11, pages 2188–2196, 2003. (Cité en page 63.)
- [Deng 2003b] Kuo-Liang Deng, Tian-Wei Huang et Huei Wang. *Design and analysis of novel high-gain and broad-band GaAs pHEMT MMIC distributed amplifiers with traveling-wave gain stages*. Microwave Theory and Techniques, IEEE Transactions on, vol. 51, no. 11, pages 2188–2196, 2003. (Cité en pages 65 et 66.)
- [Dong Quan 2013] Jin Yong Dong Quan. *HEMTs cryogéniques à faible puissance dissipée et à bas bruit*. PhD thesis, Université de Paris-Sud, 2013. (Cité en page 30.)
- [Duo 2005] Xinzhong Duo, Li-Rong Zheng, M. Ismail et H. Tenhunen. *A concurrent multi-band LNA for multi-standard radios*. In Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on, pages 3982–3985 Vol. 4, May 2005. (Cité en page 14.)
- [Duperrier 2001] Cedric Duperrier, Michel Campovecchio, Laurent Roussel, Monique Lajugie et Raymond Quéré. *New design method of uniform and nonuniform distributed power amplifiers*. Microwave Theory and Techniques, IEEE Transactions on, vol. 49, no. 12, pages 2494–2500, 2001. (Cité en page 59.)
- [El-Nozahi 2009] M. El-Nozahi, E. Sanchez-Sinencio et K. Entesari. *Power-Aware Multiband Multi-standard CMOS Receiver System-Level Budgeting*. Circuits and Systems II : Express Briefs, IEEE Transactions on, vol. 56, no. 7, pages 570–574, July 2009. (Cité en page 14.)
- [Freude 2012] W. Freude, R. Schmogrow, B. Nebendahl, M. Winter, A. Josten, D. Hillerkuss, S. Koenig, J. Meyer, M. Dreschmann, M. Huebner, C. Koos, J. Becker et J. Leuthold. *Quality metrics for optical signals : Eye diagram, Q-factor, OSNR, EVM and BER*. In Transparent Optical Networks (ICTON), 2012 14th International Conference on, pages 1–4, 2012. (Cité en page 118.)
- [Frioui 2007] Oussama Frioui, Fayrouz Haddad, Lakhdar Zaid et Wenceslas Rahajandraibe. *Évolution des standards/architectures pour les communications sans fil Application aux systèmes multi-standards en technologie CMOS*, 2007. (Cité en page 2.)
- [Fukui 1979] H. Fukui. *Optimal noise figure of microwave GaAs MESFET's*. Electron Devices, IEEE Transactions on, vol. 26, no. 7, pages 1032–1037, 1979. (Cité en page 29.)
- [Gautier 2007] Jean-Luc Gautier et Raymond Quéré. *Méthodes d'analyse et propriétés des dispositifs hyperfréquences 1 multipôles linéaires*. Hermes Science, 2007. (Cité en pages iii, 15, 47, 157, 158, 159 et 160.)
- [Gautier 2014] Jean-Luc Gautier. *Design of microwave active devices*. Wiley-ISTE, 2014. (Cité en pages 67, 68 et 69.)
- [Guan 2008] Xin Guan et Cam Nguyen. *Development of a power-efficient, high-gain, low-noise ultra-wideband 0.18 μ CMOS distributed amplifier*. In Microwaves, Radar and Wireless Communications, 2008. MIKON 2008. 17th International Conference on, pages 1–2, May 2008. (Cité en pages 64 et 66.)
- [Hafele 2003] M. Hafele, C. Schworer, K. Beilenhoff et H. Schumacher. *AGaAs PHEMT Distributed Amplifier with Low Group Delay Time Variation for 40 GBit/s Optical Systems*. In Microwave Conference, 2003. 33rd European, pages 1091–1094, Oct 2003. (Cité en page 78.)
- [Hancock 2004] Johnnie Hancock. *Jitter—Understanding it, Measuring It, Eliminating It; Part 3 : Causes of Jitter*. High Frequency Electronics, pages 28–34, 2004. (Cité en page 121.)

- [Hashemi 2002] Hossein Hashemi et Ali Hajimiri. *Concurrent multiband low-noise amplifiers-theory, design, and applications*. Microwave Theory and Techniques, IEEE Transactions on, vol. 50, no. 1, pages 288–301, 2002. (Cité en page 28.)
- [Heins 2002] M.S. Heins, C.F. Campbell, M-Y Kao, M.E. Muir et J.M. Carroll. *A GaAs MHEMT distributed amplifier with 300-GHz gain-bandwidth product for 40-Gb/s optical applications*. In Microwave Symposium Digest, 2002 IEEE MTT-S International, volume 2, pages 1061–1064 vol.2, 2002. (Cité en page 78.)
- [Heragu 2013] A. Heragu, D. Ruffieux et C.ENZ. *A Low Power BAW Resonator Based 2.4-GHz Receiver With Bandwidth Tunable Channel Selection Filter at RF*. Solid-State Circuits, IEEE Journal of, vol. 48, no. 6, pages 1343–1356, June 2013. (Cité en pages 13 et 14.)
- [Hsieh 2011] Chen-Yu Hsieh. *Wide Frequency Range Superheterodyne Receiver Design and Simulation*. PhD thesis, Concordia University, 2011. (Cité en page 8.)
- [htt 2007] <http://www.itrs.net/Links/2007ITRS>. *Radio frequency and analog/mixed-signal technologies for wireless communications*, 2007. (Cité en pages v et 28.)
- [Huebschman 2009] Benjamin D Huebschman, Pankaj B Shah et Romeo Del Rosario. *Theory and Operation of Cold Field-effect Transistor (FET) External Parasitic Parameter Extraction*. Rapport technique, DTIC Document, 2009. (Cité en page 169.)
- [Huettner 2006] J. Huettner, S. Reinhardt et M. Huemer. *Low complex IQ-imbalance compensation for low-IF receivers*. In Radio and Wireless Symposium, 2006 IEEE, pages 303–306, Jan 2006. (Cité en page 9.)
- [Inamori 2007] M. Inamori, A.M. Bostamam, Y. Sanada et H. Minami. *Frequency Offset Estimation Scheme in the Presence of Time-Varying DC Offset and IQ Imbalance for OFDM Direct Conversion Receivers*. In Personal, Indoor and Mobile Radio Communications, 2007. PIMRC 2007. IEEE 18th International Symposium on, pages 1–5, Sept 2007. (Cité en page 9.)
- [Inamori 2009] M. Inamori, A.M. Bostamam, Y. Sanada et H. Minami. *IQ imbalance compensation scheme in the presence of frequency offset and dynamic DC offset for a direct conversion receiver*. Wireless Communications, IEEE Transactions on, vol. 8, no. 5, pages 2214–2220, May 2009. (Cité en page 9.)
- [Ismail 2004] A. Ismail et A.A. Abidi. *A 3-10-GHz low-noise amplifier with wideband LC-ladder matching network*. Solid-State Circuits, IEEE Journal of, vol. 39, no. 12, pages 2269–2277, Dec 2004. (Cité en pages 22 et 24.)
- [Ito 2006] T. Ito, D. Kawazoe, K. Okada et K. Masu. *A DC-7 GHz Small-Area Distributed Amplifier Using 5-port Inductors in a 180nm Si CMOS Technology*. In Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian, pages 363–366, 2006. (Cité en pages 62 et 66.)
- [Jeong 2010] Minsu Jeong, Bonkee Kim, Youngho Cho, Yanggyun Kim, Seyeob Kim, Heeyong Yoo, Junghwan Lee, Jae Kyung Lee, Kyung Soo Jung, Jeiyong Lee, Junghun Lee, Huikwan Yang, G. Taylor et Bo-Eun Kim. *A 65nm CMOS low-power small-size multistandard, multiband mobile broadcasting receiver SoC*. In Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pages 460–461, Feb 2010. (Cité en page 13.)
- [Jeruchim 1984] C. Jeruchim. *Techniques for Estimating the Bit Error Rate in the Simulation of Digital Communication Systems*. Selected Areas in Communications, IEEE Journal on, vol. 2, no. 1, pages 153–170, 1984. (Cité en page 118.)

- [Kao 2013] Jui-Chih Kao, Ping Chen, Pin-Cheng Huang et Huei Wang. *A Novel Distributed Amplifier With High Gain, Low Noise, and High Output Power in 0.18 μ m CMOS Technology*. Microwave Theory and Techniques, IEEE Transactions on, vol. 61, no. 4, pages 1533–1542, 2013. (Cit  en pages 65 et 66.)
- [Kim 2008] Namsoo Kim, V. Aparin et L.E. Larson. *A resistively degenerated wide-band passive mixer with low noise figure and +60dBm IIP2 in 0.18 μ m CMOS*. In Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, pages 185–188, June 2008. (Cit  en page 4.)
- [Kim 2009] Namsoo Kim, L.E. Larson et V. Aparin. *A Highly Linear SAW-Less CMOS Receiver Using a Mixer With Embedded Tx Filtering for CDMA*. Solid-State Circuits, IEEE Journal of, vol. 44, no. 8, pages 2126–2137, Aug 2009. (Cit  en page 4.)
- [Kim 2013] Jusung Kim et J. Silva-Martinez. *Low-Power, Low-Cost CMOS Direct-Conversion Receiver Front-End for Multistandard Applications*. Solid-State Circuits, IEEE Journal of, vol. 48, no. 9, pages 2090–2103, Sept 2013. (Cit  en page 4.)
- [Kimura 1994] S. Kimura, Y. Imai, Y. Umeda et T. Enoki. *A 16-dB DC-to-50-GHz InAlAs/InGaAs HEMT distributed baseband amplifier using a new loss compensation technique*. In Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1994. Technical Digest 1994., 16th Annual, pages 96–99, Oct 1994. (Cit  en page 78.)
- [Kimura 1996] Shunji Kimura, Yuhki Imai, Yohtaro Umeda et Takatomo Enoki. *Loss-compensated distributed baseband amplifier IC's for optical transmission systems*. Microwave Theory and Techniques, IEEE Transactions on, vol. 44, no. 10, pages 1688–1693, 1996. (Cit  en page 78.)
- [Ko 2005] Won Ko et Youngwoo Kwon. *Improved noise analysis of distributed preamplifier with cascode FET cells*. Microwave Theory and Techniques, IEEE Transactions on, vol. 53, no. 1, pages 361–371, 2005. (Cit  en page 57.)
- [Kurpasa 2013] P. Kurpasa, O. Bengtsson, S. A. Chevtchenko, I. Ostermay, R. Zhytnytska, W. Heinrich et J. W rfl. *BCB encapsulation for high power AlGaIn/GaN-HFET technology*. CS MANTECH Conference, May 2013. (Cit  en page 36.)
- [Lee 2002] Jeiyong Lee, Geunho Lee, Guofu Niu, J.D. Cressler, J.H. Kim, J.C. Lee, B. Lee et N.Y. Kim. *The design of SiGe HBT LNA for IMT-2000 mobile application*. In Microwave Symposium Digest, 2002 IEEE MTT-S International, volume 2, pages 1261–1264 vol.2, June 2002. (Cit  en page 78.)
- [Lee 2005] Jongsoo Lee et John D Cressler. *A 3-10 GHz SiGe resistive feedback low noise amplifier for UWB applications*. In Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE, pages 545–548. IEEE, 2005. (Cit  en pages 20 et 24.)
- [Lee 2006] Fred S Lee et Anantha P Chandrakasan. *A BiCMOS Ultra-Wideband 3.1-10.6 GHz Front-End*. Solid-State Circuits, IEEE Journal of, vol. 41, no. 8, pages 1784–1791, 2006. (Cit  en page 117.)
- [Lee 2010] C.P. Lee, A. Behzad, B. Marholev, V. Magoon, I. Bhatti, D. Li, S. Bothra, A. Afsahi, D. Ojo, R. Roufoogaran, T. Li, Yuyu Chang, K.R. Rao, S. Au, P. Seetharam, K. Carter, J. Rael, M. MacIntosh, B. Lee, M. Rofougaran, R. Rofougaran, A. Hadji-Abdolhamid, M. Nariman, S. Khorram, S. Anand, E. Chien, S. Wu, C. Barrett, Lijun Zhang, A. Zolfaghari, H. Darabi, A. Sarfaraz, B. Ibrahim, M. Gonikberg, M. Forbes, C. Fraser, L. Gutierrez, Y. Gonikberg, M. Hafizi, S. Mak,

- J. Castaneda, K. Kim, Zhenhua Liu, S. Bouras, K. Chien, V. Chandrasekhar, P. Chang, E. Li et Zhimin Zhao. *A multistandard, multiband SoC with integrated BT, FM, WLAN radios and integrated power amplifier*. In Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pages 454–455, Feb 2010. (Cité en page 12.)
- [Leich 1999] M. Leich, M. Ludwig, A. Hulsmann, V. Hurm, F. Steinhagen, A. Thiede et M. Schlechtweg. *40 Gbit/s high voltage modulator driver in P-HEMT technology*. Electronics Letters, vol. 35, no. 21, pages 1842–1844, 1999. (Cité en page 78.)
- [Li 2012] Chun-Hsing Li, Chien-Nan Kuo et Ming-Ching Kuo. *A 1.2V 5.2mW 20-30GHz Wideband Receiver Front-End in 0.18 μ m CMOS*. Microwave Theory and Techniques, IEEE Transactions on, vol. 60, no. 11, pages 3502–3512, Nov 2012. (Cité en page 14.)
- [Li 2013] Jia Wen Li, Xi Mei Chen, Sio Hang Pun, P.U. Mak, Yue Ming Gao, M.I. Vai et Min Du. *Bit error rate estimation for galvanic-type intra-body communication using experimental eye-diagram and jitter characteristics*. In Engineering in Medicine and Biology Society (EMBC), 2013 35th Annual International Conference of the IEEE, pages 5195–5198, 2013. (Cité en page 118.)
- [Li 2014] Bing Li et Kong-Pang Pun. *A High Image-Rejection SC Quadrature Bandpass DSM for Low-IF Receivers*. Circuits and Systems I : Regular Papers, IEEE Transactions on, vol. 61, no. 1, pages 92–105, Jan 2014. (Cité en page 9.)
- [Liao 2007] Chih-Fan Liao et Shen-Iuan Liu. *A Broadband Noise-Canceling CMOS LNA for 3.1-10.6-GHz UWB Receivers*. Solid-State Circuits, IEEE Journal of, vol. 42, no. 2, pages 329–339, 2007. (Cité en pages 20, 21 et 24.)
- [Lie 2006] D.Y.-C. Lie, J. Kennedy, D. Livezey, B. Yang, T. Robinson, N. Sornin, C. Saint et L.E. Larson. *Circuit and System Design for a Homodyne W-CDMA Front-End Receiver RF IC*. In VLSI Design, Automation and Test, 2006 International Symposium on, pages 1–4, April 2006. (Cité en page 8.)
- [Liechti 1976] Charles A. Liechti. *Microwave Field-Effect Transistors–1976*. Microwave Theory and Techniques, IEEE Transactions on, vol. 24, no. 6, pages 279–300, Jun 1976. (Cité en page 35.)
- [Lin 2010] Yo-Sheng Lin, Chang-Zhi Chen, Hong-Yu Yang, Chi-Chen Chen, Jen-How Lee, Guo-Wei Huang et Shey-Shi Lu. *Analysis and Design of a CMOS UWB LNA With Dual-RLC-Branch Wideband Input Matching Network*. Microwave Theory and Techniques, IEEE Transactions on, vol. 58, no. 2, pages 287–296, Feb 2010. (Cité en pages 22 et 24.)
- [Lin 2011] Yo-Sheng Lin, Jin-Fa Chang et Shey-Shi Lu. *Analysis and Design of CMOS Distributed Amplifier Using Inductively Peaking Cascaded Gain Cell for UWB Systems*. Microwave Theory and Techniques, IEEE Transactions on, vol. 59, no. 10, pages 2513–2524, 2011. (Cité en pages 22, 24, 56, 64 et 66.)
- [Liu 2003] Ren-Chieh Liu, Kuo-Liang Deng et Huei Wang. *A 0.6-22-GHz broadband CMOS distributed amplifier*. In Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE, pages 103–106, June 2003. (Cité en page 77.)
- [Liu 2005] Tsung-Te Liu et Chorng-Kuang Wang. *A 0.9mW 0.01-1.4GHz Wideband CMOS Low Noise Amplifier for Low-Band Ultra Wideband Applications*. In Asian Solid-State Circuits Conference, 2005, pages 345–348, Nov 2005. (Cité en pages 20 et 24.)

- [Mallek 2010] J. Mallek, H. Mnif et M. Loulou. *Analog digital conversion specifications for WiMAX homodyne receiver*. In Microelectronics (ICM), 2010 International Conference on, pages 20–23, Dec 2010. (Cit  en page 8.)
- [Manno 1999] I. Manno. *Introduction to the Monte Carlo Method*, 1999. (Cit  en page 99.)
- [Masuch 2013] J. Masuch et M. Delgado-Restituto. *A 1.1-mW-RX -81.4 -dBm Sensitivity CMOS Transceiver for Bluetooth Low Energy*. Microwave Theory and Techniques, IEEE Transactions on, vol. 61, no. 4, pages 1660–1673, April 2013. (Cit  en pages 115 et 117.)
- [McFarland 2002] B. McFarland, A. Shor et A. Tabatabaei. *A 2.4 amp ; 5 GHz dual band 802.11 WLAN supporting data rates to 108 Mb/s*. In Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2002. 24th Annual Technical Digest, pages 11–14, Oct 2002. (Cit  en pages 115 et 117.)
- [McKay 1986] T. McKay, J. Eisenberg et R.E. Williams. *A High-Performance 2-18.5-GHz Distributed Amplifier- Theory and Experiment*. Microwave Theory and Techniques, IEEE Transactions on, vol. 34, no. 12, pages 1559–1568, 1986. (Cit  en pages iii, 52, 53, 64, 167 et 168.)
- [Meaamar 2009] A. Meaamar, Boon Chirn Chye, Do Man Anh et Yeo Kiat Seng. *A 3-8 GHz Low-Noise CMOS Amplifier*. Microwave and Wireless Components Letters, IEEE, vol. 19, no. 4, pages 245–247, April 2009. (Cit  en pages 20 et 24.)
- [Meaamar 2011] A. Meaamar, Chirn Chye Boon, Xiaomeng Shi, Wei Meng Lim, Kiat Seng Yeo et Manh Anh Do. *A 3.1-8 GHz CMOS UWB front-end receiver*. In Circuits and Systems (ISCAS), 2011 IEEE International Symposium on, pages 1556–1559, May 2011. (Cit  en page 4.)
- [Meng 2009] C.-C. Meng, Tzung-Han Wu, Jin-Siang Syu, Sheng-Wen Yu, Kuan-Chang Tsung et Ya-Hui Teng. *2.4/5.7-GHz CMOS Dual-Band Low-IF Architecture Using Weaver Hartley Image-Rejection Techniques*. Microwave Theory and Techniques, IEEE Transactions on, vol. 57, no. 3, pages 552–561, March 2009. (Cit  en page 9.)
- [Metropolis 1949] N. Metropolis et S. Ulam. *The Monte Carlo Method*, 1949. (Cit  en page 99.)
- [Microwave 2010] Hittite Microwave. *Broadband Biasing of Amplifiers*, 2010. (Cit  en page 74.)
- [Mimura 1980] Takashi Mimura, Satoshi Hiyamizu, Toshio Fujii et Kazuo Nanbu. *A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}As Heterojunctions*. Japanese Journal of Applied Physics, vol. 19, no. 5, pages L225–L227, 1980. (Cit  en page 29.)
- [Moussa 2003] Mehdi Si Moussa, Mohamed Trabelsi et Rabia Aksas. *Analysis of a bilateral distributed amplifier using scattering parameters*. Microwave and Optical Technology Letters, vol. 36, no. 2, pages 120–122, 2003. (Cit  en page 168.)
- [Mustaffa 2009] M.T. Mustaffa, A. Zayegh et Tun Zainal Azni Zulkifli. *A reconfigurable LNA for multi-standard receiver using 0.18 μm CMOS technology*. In Research and Development (SCORED), 2009 IEEE Student Conference on, pages 238–241, Nov 2009. (Cit  en page 14.)
- [M.Wolny 1988] D.Selle M.Wolny. *Introduction aux composants   h t ostrusture*. L’Onde Electrique, vol. 70, no. 7, pages 220–230, 1988. (Cit  en page 30.)
- [Nam 2007] Ilku Nam, Kyudon Choi, Joonhee Lee, Hyouk-Kyu Cha, Bo-Ik Seo, Kuduck Kwon et Kwyro Lee. *A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18μm CMOS for IEEE 802.15.4 WPAN Applications*. Microwave Theory and Techniques, IEEE Transactions on, vol. 55, no. 4, pages 682–689, April 2007. (Cit  en page 9.)

- [Namgoong 2001] W. Namgoong. *DC-offset and 1/f noise effects on AC-coupled direct-conversion receiver*. In Circuits and Systems, 2001. MWSCAS 2001. Proceedings of the 44th IEEE 2001 Midwest Symposium on, volume 2, pages 886–889 vol.2, 2001. (Cité en page 9.)
- [Nguyen Tran 2009] Daniel Nguyen Tran Linh ; Pasquet. *Caractérisation et modélisation d'interconnexions et d'inductances en technologie BiCMOS application à l'amplification faible bruit*. PhD thesis, Université Cergy-Pontoise, 2009. Thèse de doctorat Électronique Cergy-Pontoise 2009. (Cité en page 78.)
- [Niclas 1983a] K.B. Niclas et B.A. Tucker. *On Noise in Distributed Amplifiers at Microwave Frequencies*. Microwave Theory and Techniques, IEEE Transactions on, vol. 31, no. 8, pages 661–668, 1983. (Cité en page 57.)
- [Niclas 1983b] K.B. Niclas, W.T. Wilser, T.R. Kritzer et R.R. Pereira. *On Theory and Performance of Solid-State Microwave Distributed Amplifiers*. Microwave Theory and Techniques, IEEE Transactions on, vol. 31, no. 6, pages 447–456, 1983. (Cité en pages iii, 52 et 165.)
- [Nieuwoudt 2007] A. Nieuwoudt, T. Ragheb et Y. Massoud. *Systematic Design Optimization Methodology for Multi-Band CMOS Low Noise Amplifiers*. In VLSI, 2007. ISVLSI '07. IEEE Computer Society Annual Symposium on, pages 139–144, March 2007. (Cité en page 14.)
- [Okuni 2007] H. Okuni, R. Ito, H. Yoshida et T. Itakura. *A Direct Conversion Receiver with Fast-Settling DC Offset Canceller*. In Personal, Indoor and Mobile Radio Communications, 2007. PIMRC 2007. IEEE 18th International Symposium on, pages 1–5, Sept 2007. (Cité en page 9.)
- [Ordu 2003] G. Ordu, S. Sappok, R. Wunderlich et S. Heinen. *A novel approach for IF selection of Bluetooth low-IF receiver based on system simulations*. In SOC Conference, 2003. Proceedings. IEEE International [Systems-on-Chip], pages 43–46, Sept 2003. (Cité en page 9.)
- [Perciva 1936] W. S. Perciva. *Thermionic Valve Circuits*. British Patent Specification, pages no. 460,562, July 1936. (Cité en page 22.)
- [Pietron 2014] D. Pietron, K. Siwiec, J. Kopanski et W.A. Pleskacz. *Implementation of the Bluetooth receiver RF front-end in the CMOS-RF 130 nm technology*. In Mixed Design of Integrated Circuits Systems (MIXDES), 2014 Proceedings of the 21st International Conference, pages 230–235, June 2014. (Cité en page 4.)
- [Plana 1993] R. Plana, L. Escotte, O. Llopis, H. Amine, T. Parra, Michel Gayral et J. Graffeuil. *Noise in AlGaAs/InGaAs/GaAs pseudomorphic HEMTs from 10 Hz to 18 GHz*. Electron Devices, IEEE Transactions on, vol. 40, no. 5, pages 852–858, 1993. (Cité en page 30.)
- [P.Pouvil 2009] P.Pouvil. *Composants pour circuits intégrés microondes*, 2009. (Cité en page 30.)
- [R. 1990] Castagne R., Duchemin J. P., Gloanec M., Rumelhard Ch et Emmanuel Caquot. *Circuits intégrés en arséniure de gallium. Physique, technologie et règles de conception*. Annales Des Télécommunications, vol. 45, no. 1-2, pages 106–106, 1990. (Cité en page 33.)
- [Rollett 1962] JM Rollett. *Stability and power-gain invariants of linear twoports*. Circuit Theory, IRE Transactions on, vol. 9, no. 1, pages 29–32, 1962. (Cité en page 18.)
- [Rudell 1997a] J.C. Rudell, Jia-Jiunn Ou, T.B. Cho, G. Chien, F. Brianti, J.A. Weldon et P.R. Gray. *A 1.9 GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications*. In Solid-State Circuits Conference, 1997. Digest of Technical Papers. 43rd ISSCC., 1997 IEEE International, pages 304–305, 1997. (Cité en pages 10 et 11.)

- [Rudell 1997b] J.C. Rudell, Jia-Jiunn Ou, T.B. Cho, G. Chien, F. Brianti, J.A. Weldon et P.R. Gray. *A 1.9-GHz wide-band IF double conversion CMOS receiver for cordless telephone applications*. Solid-State Circuits, IEEE Journal of, vol. 32, no. 12, pages 2071–2088, Dec 1997. (Cit  en page 10.)
- [Ryckaert 2007] J. Ryckaert, M. Verhelst, M. Badaroglu, S. D’Amico, V. De Heyn, C. Desset, P. Nuzzo, B. Van Poucke, P. Wambacq, A. Baschiroto, W. Dehaene et G. Van der Plas. *A CMOS Ultra-Wideband Receiver for Low Data-Rate Communication*. Solid-State Circuits, IEEE Journal of, vol. 42, no. 11, pages 2515–2527, Nov 2007. (Cit  en page 14.)
- [Shairi 2012] N.A. Shairi et T.A. Rahman. *Adjacent channel rejection analysis due to channel select filter in RF superheterodyne receiver of WLAN IEEE 802.11a*. In Research and Development (SCORED), 2012 IEEE Student Conference on, pages 140–143, Dec 2012. (Cit  en page 8.)
- [Shamsadini 2010] S. Shamsadini, F.H. Kashani et N. Bathaei. *A linear 0.18 μ m CMOS Distributed Low Noise Amplifier from 3.1 to 10.6 GHz with cascode cells*. In Enabling Science and Nanotechnology (ESciNano), 2010 International Conference on, pages 1–2, 2010. (Cit  en page 63.)
- [Shi 2006] Bo Shi et M.Y.W. Chia. *A CMOS Receiver Front-End for 3.1-10.6 GHz Ultra-Wideband Radio*. In Radar Conference, 2006. EuRAD 2006. 3rd European, pages 350–353, Sept 2006. (Cit  en page 14.)
- [Shigematsu 2001] H. Shigematsu, N. Yoshida, M. Sato, N. Hara, T. Hirose et Y. Watanabe. *45 GHz distributed amplifier with a linear 6-Vp-p output for a 40 Gb/s LiNbO₃ modulator driver circuit*. In Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2001. 23rd Annual Technical Digest, pages 137–140, 2001. (Cit  en page 78.)
- [Shigematsu 2002] Hisao Shigematsu, M. Sato, Tatsuya Hirose et Y. Watanabe. *A 54-GHz distributed amplifier with 6-VPP output for a 40-Gb/s LiNbO₃ modulator driver*. Solid-State Circuits, IEEE Journal of, vol. 37, no. 9, pages 1100–1105, Sep 2002. (Cit  en page 78.)
- [Solorzano 2004] Javier Solorzano. *Jitter Basics, Part I*. Newsletter, Micrel, Inc, 2004. (Cit  en page 121.)
- [Song 2008] Ickhyun Song, Jongwook Jeon, Hee-Sauk Jhon, Junsoo Kim, Byung-Gook Park, Jong-Duk Lee et Hyungcheol Shin. *A Simple Figure of Merit of RF MOSFET for Low-Noise Amplifier Design*. Electron Device Letters, IEEE, vol. 29, no. 12, pages 1380–1382, 2008. (Cit  en page 23.)
- [Sun 2013] Zhengyu Sun, Hongwen Yang, Lijun Zhang et Yuepeng Yan. *Low noise fully single-ended broadband receiver front-end with InGaAs pHEMT technology*. In Wireless Symposium (IWS), 2013 IEEE International, pages 1–4, April 2013. (Cit  en page 4.)
- [TiW 2013] TiWi5 TRANSCEIVER MODULE DATASHEET. *Integrated Transceiver Modules for WLAN 802.11 a/b/g/n, Bluetooth, Bluetooth Low Energy (BLE), and ANT*, 2013. (Cit  en pages 115 et 117.)
- [Traverso 2007] Sylvain Traverso. *Transposition de fr quence et compensation du d s quilibre IQ pour des syst mes multiporteuses sur canal s lectif en fr quence*. PhD thesis, Universit  de Cergy Pontoise&ENSEA, Novembre 2007. (Cit  en page 119.)
- [Tri 2011] Triquint. *Design Manual for TQP15 Commercial Foundry Process*, Novembre 2011. (Cit  en pages vii, ix, 36, 37, 73, 87 et 88.)

- [Tsai 2004a] Ming-Da Tsai, Kuo-Liang Deng, Huei Wang, Chun-Hung Chen, Chih-Sheng Chang et J.G.J. Chern. *A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier*. Microwave and Wireless Components Letters, IEEE, vol. 14, no. 12, pages 554–556, 2004. (Cité en pages vi, 64, 65 et 66.)
- [Tsai 2004b] Ming-Da Tsai, Kuo-Liang Deng, Huei Wang, Chun-Hung Chen, Chih-Sheng Chang et J.G.J. Chern. *A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier*. Microwave and Wireless Components Letters, IEEE, vol. 14, no. 12, pages 554–556, Dec 2004. (Cité en page 77.)
- [Tsurumi 1999] Hiroshi Tsurumi et Yasuo Suzuki. *Broadband RF stage architecture for software-defined radio in handheld terminal applications*. Communications Magazine, IEEE, vol. 37, no. 2, pages 90–95, 1999. (Cité en page 8.)
- [Tubbax 2005] J. Tubbax, B. Come, L. Van der Perre, S. Donnay, M. Engels, H. De Man et M. Moonen. *Compensation of IQ imbalance and phase noise in OFDM systems*. Wireless Communications, IEEE Transactions on, vol. 4, no. 3, pages 872–877, May 2005. (Cité en page 9.)
- [Vahidfar 2006] M.B. Vahidfar et O. Shoaie. *A Triple Mode LNA Enhanced by Dual Feedback Loops for Multi Standard Receivers*. In Circuits and Systems, 2006. MWSCAS '06. 49th IEEE International Midwest Symposium on, volume 1, pages 159–162, Aug 2006. (Cité en page 14.)
- [Valla 2005] M. Valla, G. Montagna, R. Castello, R. Tonietto et I. Bietti. *A 72-mW CMOS 802.11a direct conversion front-end with 3.5-dB NF and 200-kHz 1/f noise corner*. Solid-State Circuits, IEEE Journal of, vol. 40, no. 4, pages 970–977, April 2005. (Cité en page 4.)
- [van der Ziel 1962] A. van der Ziel. *Thermal Noise in Field-Effect Transistors*. Proceedings of the IRE, vol. 50, no. 8, pages 1808–1812, 1962. (Cité en page 34.)
- [van der Ziel 1963] A. van der Ziel. *Gate noise in field effect transistors at moderately high frequencies*. Proceedings of the IEEE, vol. 51, no. 3, pages 461–467, 1963. (Cité en page 34.)
- [Vidojkovic 2004a] V. Vidojkovic, J. van der Tang, E. Hanssen, A. Leeuwenburgh et A. van Roermund. *Fully-integrated DECT/Bluetooth multi-band LNA in 0.18 μm CMOS*. In Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on, volume 1, pages I–565–8 Vol.1, May 2004. (Cité en page 14.)
- [Vidojkovic 2004b] V. Vidojkovic, J. van der Tang, A. Leeuwenburgh et A. van Roermund. *A DECT/Bluetooth multi-standard front-end with adaptive image rejection in 0.18 μm CMOS*. In Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on, volume 1, pages I–573–6 Vol.1, May 2004. (Cité en page 13.)
- [Wang 2005] Chao-Shiun Wang, Wei-Chang Li et Chorng-Kuang Wang. *A multi-band multi-standard RF front-end IEEE 802.16a for IEEE 802.16a and IEEE 802.11 a/b/g applications*. In Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on, pages 3974–3977 Vol. 4, May 2005. (Cité en page 13.)
- [Wang 2010] Hongrui Wang, Li Zhang et Zhiping Yu. *A Wideband Inductorless LNA With Local Feedback and Noise Cancelling for Low-Power Low-Voltage Applications*. Circuits and Systems I : Regular Papers, IEEE Transactions on, vol. 57, no. 8, pages 1993–2005, Aug 2010. (Cité en pages 21 et 24.)

- [Wang 2012] Xiao Wang, J. Sturm, Na Yan, Xi Tan et Hao Min. *0.6-3GHz Wideband Receiver RF Front-End With a Feedforward Noise and Distortion Cancellation Resistive-Feedback LNA*. Microwave Theory and Techniques, IEEE Transactions on, vol. 60, no. 2, pages 387–392, Feb 2012. (Cité en page 14.)
- [Weaver 1956] Donald K Weaver. *A third method of generation and detection of single-sideband signals*. Proceedings of the IRE, vol. 44, no. 12, pages 1703–1705, 1956. (Cité en page 10.)
- [Werther 2008] Oliver Werther, Mark Cavin, Angelika Schneider, Robert Renninger, Bo Liang, Long Bu, Yalin Jin, John Rogers et John Marcincavage. *A Fully Integrated 14 Band, 3.1 to 10.6 GHz 0.13 μm SiGe BiCMOS UWB RF Transceiver*. Solid-State Circuits, IEEE Journal of, vol. 43, no. 12, pages 2829–2843, 2008. (Cité en pages 115 et 117.)
- [Winslow 2005] T.A. Winslow. *Conical inductors for broadband applications*. Microwave Magazine, IEEE, vol. 6, no. 1, pages 68–72, 2005. (Cité en page 74.)
- [Wu 2008] Chong-Ru Wu, Hsieh-Hung Hsieh, Li-Shin Lai et Liang-Hung Lu. *A 3-5 GHz Frequency-Tunable Receiver Frontend for Multiband Applications*. Microwave and Wireless Components Letters, IEEE, vol. 18, no. 9, pages 638–640, Sept 2008. (Cité en page 14.)
- [Xu 2006] Lingjun Xu, Qiang Wang, Jiansong Gao, Yong Wang et Ping Zhang. *A Novel Low-IF Topology for High Performance Integrated Receivers*. In Intelligent Information Hiding and Multimedia Signal Processing, 2006. IIH-MSP '06. International Conference on, pages 559–562, Dec 2006. (Cité en page 9.)
- [Yang 2004] Tianyu Yang et WB Mikhael. *Baseband image rejection for diversity superheterodyne receivers*. In Wireless Communications and Networking Conference, 2004. WCNC. 2004 IEEE, volume 4, pages 2232–2234. IEEE, 2004. (Cité en page 8.)
- [Ye 2011] Rong-Fu Ye, Tzyy-Sheng Horng et Jian-Ming Wu. *Wideband common-gate low-noise amplifier with dual-feedback for simultaneous input and noise matching*. In Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE, pages 1–4, June 2011. (Cité en pages 20 et 24.)
- [Yu 2010] Yueh-Hua Yu, Yong-Sian Yang et Yi-Jan Chen. *A Compact Wideband CMOS Low Noise Amplifier With Gain Flatness Enhancement*. Solid-State Circuits, IEEE Journal of, vol. 45, no. 3, pages 502–509, March 2010. (Cité en page 20.)
- [Yuen 2002] C. Yuen, K. Laursen, Duc Chu et K. Mar. *50 GHz high output voltage distributed amplifiers for 40 Gb/s EO modulator driver application*. In Microwave Symposium Digest, 2002 IEEE MTT-S International, volume 1, pages 481–484 vol.1, June 2002. (Cité en page 78.)
- [Zech 2012] C. Zech, S. Diebold, S. Wagner, M. Schlechtweg, A. Leuther, O. Ambacher et I. Kallfass. *An ultra-broadband low-noise traveling-wave amplifier based on 50nm InGaAs mHEMT technology*. In Microwave Conference (GeMiC), 2012 The 7th German, pages 1–4, 2012. (Cité en pages 63 et 66.)
- [Zhang 2006] Frank Zhang et Peter R Kinget. *Low-power programmable gain CMOS distributed LNA*. Solid-State Circuits, IEEE Journal of, vol. 41, no. 6, pages 1333–1343, 2006. (Cité en pages 22 et 24.)
- [Zhang 2011] Tao Zhang, V. Subramanian et G. Boeck. *CMOS K-band receiver architectures for low-IF applications*. In Microwave Workshop Series on Millimeter Wave Integration Technologies (IMWS), 2011 IEEE MTT-S International, pages 61–64, Sept 2011. (Cité en page 9.)

- [Zhao 2011] Bo Zhao, Guangming Yu, Tao Chen, Pengpeng Chen, Huazhong Yang et Hui Wang. *A low-power IF circuit with 5-dB minimum input SNR for GFSK low-IF receivers*. In Consumer Electronics (ICCE), 2011 IEEE International Conference on, pages 17–18, 2011. (Cité en page 9.)
- [Zhu 2013] Jianxun Zhu, Harish Krishnaswamy et Peter R. Kinget. *A DC-9.5GHz noise-canceling distributed LNA in 65nm CMOS*. In Radio Frequency Integrated Circuits Symposium (RFIC), 2013 IEEE, pages 177–180, 2013. (Cité en page 66.)

Paramètres S d'un transistor en source commune

Nous présentons les paramètres S d'un transistor en source commune à partir des éléments intrinsèques. La Fig.A.1 montre le transistor en source commune, son schéma petit signal associé et le schéma équivalent en π .

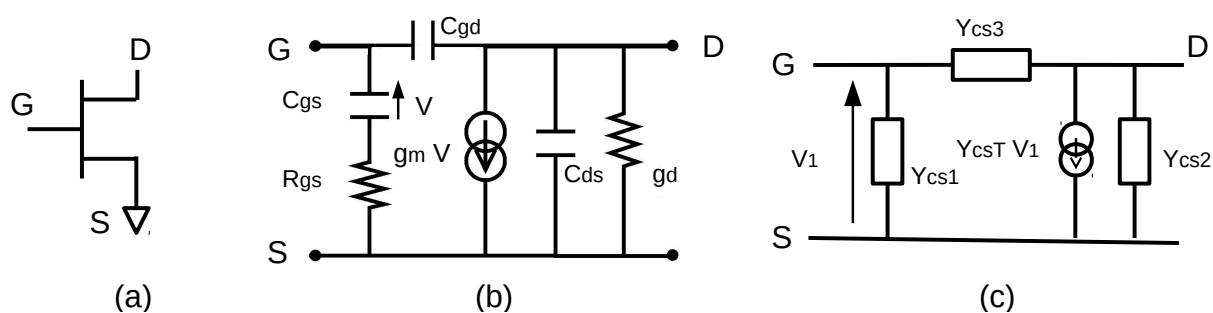


FIGURE A.1 – Transistor en source commune (a), schéma petit signal associé (b), schéma équivalent en π (c)

Le formalisme admittance Y_{cs} du transistor en source commune s'écrit :

$$Y_{cs} = \begin{bmatrix} Y_{cs1} + Y_{cs3} & -Y_{cs3} \\ Y_{csT} - Y_{cs3} & Y_{cs2} + Y_{cs3} \end{bmatrix}, \quad (\text{A.1})$$

avec

$$Y_{cs1} = \frac{1}{R_{gs} + \frac{1}{j\omega C_{gs}}}, \quad (\text{A.2})$$

$$Y_{cs2} = j\omega C_{ds} + g_d, \quad (\text{A.3})$$

$$Y_{cs3} = j\omega C_{gd}, \quad (\text{A.4})$$

$$Y_{csT} = \frac{g_m}{1 + jR_{gs}C_{gs}\omega} \quad (\text{A.5})$$

Le passage de la matrice d'admittance à la matrice de répartition est donné par :

$$S = -1 + 2(1 + Y)^{-1}, \quad (\text{A.6})$$

où

$$S_{11} = \frac{1 - Y_{cs1} + Y_{cs2} - \Delta Y}{1 + Y_{cs2} + Y_{cs1} + 2Y_{cs3} + \Delta Y}, \quad (\text{A.7})$$

$$S_{12} = \frac{2Y_{cs3}}{1 + Y_{cs2} + Y_{cs1} + 2Y_{cs3} + \Delta Y}, \quad (\text{A.8})$$

$$S_{21} = \frac{-2(Y_{csT} - Y_{cs3})}{1 + Y_{cs2} + Y_{cs1} + 2Y_{cs3} + \Delta Y}, \quad (\text{A.9})$$

$$S_{22} = \frac{1 + Y_{cs1} - Y_{cs2} - \Delta Y}{1 + Y_{cs2} + Y_{cs1} + 2Y_{cs3} + \Delta Y}. \quad (\text{A.10})$$

$$(\text{A.11})$$

Avec

$$\Delta Y = (Y_{cs1} + Y_{cs3})(Y_{cs2} + Y_{cs3}) - Y_{cs3}(-Y_{csT} + Y_{cs3}). \quad (\text{A.12})$$

Sous l'hypothèse que le transistor est unilatéral ($Y_{cs3} = 0$), les paramètres S peuvent être simplifiés :

$$S_{11} = \frac{1 - Y_{cs1} + Y_{cs2} - Y_{cs1}Y_{cs2}}{1 + Y_{cs2} + Y_{cs1} + Y_{cs1}Y_{cs2}}, \quad (\text{A.13})$$

$$S_{12} = 0, \quad (\text{A.14})$$

$$S_{21} = \frac{-2Y_{csT}}{1 + Y_{cs2} + Y_{cs1} + Y_{cs1}Y_{cs2}}, \quad (\text{A.15})$$

$$S_{22} = \frac{1 + Y_{cs1} - Y_{cs2} - Y_{cs1}Y_{cs2}}{1 + Y_{cs2} + Y_{cs1} + Y_{cs1}Y_{cs2}}. \quad (\text{A.16})$$

$$(\text{A.17})$$

Paramètres images et itératifs

[Gautier 2007]

B.1 Paramètres images

Considérons un quadripôle excité à l'accès 1 par un générateur d'impédance interne Z_1 et fermé à l'accès 2 par une charge d'impédance Z_2 (cf. Fig.B.1).

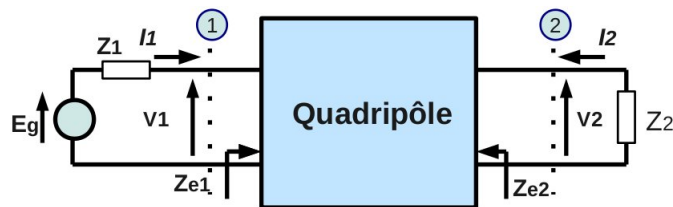


FIGURE B.1 – Paramètre images

Les grandeurs utilisées dans la suite ne seront pas normalisées. Lorsque $Z_1 = Z_{e1}$ et $Z_{e2} = Z_2$, l'impédance interne du générateur et la charge sont appelées impédances images du quadripôle et sont notées respectivement Z_{i1} et Z_{i2} , donc :

- $Z_{i1} = Z_1$: impédance image de l'accès 1
- $Z_{i2} = Z_2$: impédance image de l'accès 2

En utilisant le formalisme de la matrice impédance, elles sont déterminées par le système d'équations suivant :

$$\begin{cases} Z_{i1} = \frac{\Delta z + Z_{11}Z_{i2}}{Z_{22} + Z_{i2}}, \\ Z_{i2} = \frac{\Delta z + Z_{22}Z_{i1}}{Z_{11} + Z_{i1}}, \end{cases} \quad (\text{B.1})$$

$$Z_{i1} = \sqrt{\frac{Z_{11}}{Z_{22}} \Delta z}, \quad (\text{B.2})$$

$$Z_{i2} = \sqrt{\frac{Z_{22}}{Z_{11}} \Delta z}. \quad (\text{B.3})$$

Avec :

$$\Delta z = Z_{11}Z_{22} - Z_{12}Z_{21}.$$

La matrice de chaîne d'un quadripôle est définie :

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = C_{chaîne} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix}, \quad (\text{B.4})$$

avec

$$C_{chaîne} = \begin{bmatrix} A & B \\ C & D \end{bmatrix}. \quad (\text{B.5})$$

On utilise également les équations Eq.B.2 et B.3 écrites en fonction des paramètres de chaîne :

$$Z_{i1} = \sqrt{\frac{AB}{CD}}, \quad (\text{B.6})$$

$$Z_{i2} = \sqrt{\frac{BD}{AC}}. \quad (\text{B.7})$$

Nous introduisons un paramètre γ_i , un nombre complexe appelé image de propagation du quadripôle. Il s'exprime comme suit :

$$\gamma_i = \alpha_i + j\beta_i, \quad (\text{B.8})$$

avec

- α_i constant d'atténuation image est directement liée à l'atténuation apportée par le quadripôle.
- β_i constant de phase image est directement liée à déphasage apportée par le quadripôle.

On a :

$$ch(\gamma_i) = \frac{\sqrt{Z_{11}Z_{22}}}{Z_{12}} = \sqrt{AD}, \quad (\text{B.9})$$

$$sh(\gamma_i) = \frac{\sqrt{\Delta z}}{Z_{12}} = \sqrt{BC}. \quad (\text{B.10})$$

Les équations Eq.[B.2-B.10] permettent d'obtenir la matrice de chaîne et la matrice d'impédance en fonction des paramètres image.

$$C_{chaîne} = \begin{bmatrix} \sqrt{\frac{Z_{i1}}{Z_{i2}}}ch(\gamma_i) & \sqrt{Z_{i1}Z_{i2}}sh(\gamma_i) \\ \frac{sh(\gamma_i)}{\sqrt{Z_{i1}Z_{i2}}} & \sqrt{\frac{Z_{i2}}{Z_{i1}}}ch(\gamma_i) \end{bmatrix}, \quad (\text{B.11})$$

$$Z = \begin{bmatrix} \frac{Z_{i1}}{th(\gamma_i)} & \frac{\sqrt{Z_{i1}Z_{i2}}}{sh(\gamma_i)} \\ \frac{\sqrt{Z_{i1}Z_{i2}}}{sh(\gamma_i)} & \frac{Z_{i2}}{th(\gamma_i)} \end{bmatrix}. \quad (\text{B.12})$$

Dans le cas des lignes de transmission de grille et de drain, l'impédance caractéristique de la ligne $Z_{i1} = Z_{i2} = Z_0$. Les conditions de symétrie du quadripôle imposent des simplifications sur des paramètres dans les équations B.2, B.3, B.9, B.10. Cela nous permet d'obtenir les paramètres caractéristiques suivants :

- Impédance caractéristique Z_0 :

$$Z_0 = \sqrt{\Delta z}. \quad (\text{B.13})$$

– Paramètre caractéristique de propagation $\theta = \gamma_i$ tel que :

$$\text{ch}(\theta) = \frac{Z_{11}}{Z_{12}}, \tag{B.14}$$

$$\text{sh}(\theta) = \frac{\sqrt{\Delta z}}{Z_{12}}. \tag{B.15}$$

Avec

$$\theta = \alpha + j\beta, \tag{B.16}$$

où α est le coefficient d'atténuation et β est la constante de phase.

B.2 Paramètres itératifs

Considérons l'association en cascade de quadripôles (cf. Fig. B.2). D'une manière similaire aux paramètres images, on définit un nouveau jeu de grandeurs appelées les paramètres itératifs.

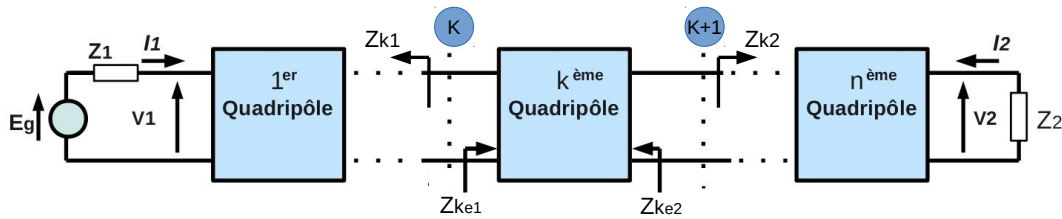


FIGURE B.2 – Paramètre itératifs

Le $K^{\text{ième}}$ quadripôle est fermé à l'accès K par un d'impédance Z_{k1} et fermé à l'accès K+1 par un impédance Z_{k2} . Les valeurs des impédances de charge du $K^{\text{ième}}$ quadripôle telles que $Z_{k1} = Z_{ke1}$ et $Z_{k2} = Z_{ke2}$ sont appelées impédances itératives du quadripôle. Ces grandeurs sont notées :

- $Z_{i_{k1}} = Z_{k1}$: impédance image de l'accès k
- $Z_{i_{k2}} = Z_{k2}$: impédance image de l'accès k+1

En utilisant le formalisme de la matrice impédance, elles sont déterminées par le système d'équations suivant :

$$\begin{cases} Z_{i_{k1}} = \frac{\Delta z + Z_{11} Z_{i_{k1}}}{Z_{22} + Z_{i_{k1}}} \\ Z_{i_{k2}} = \frac{\Delta z + Z_{22} Z_{i_{k2}}}{Z_{11} + Z_{i_{k2}}} \end{cases} \tag{B.17}$$

Selon les démonstrations montrées dans la référence [Gautier 2007], les impédances itératives peuvent s'exprimer sous la forme :

$$Z_{i_{k1}} = \frac{Z_{11} - Z_{22}}{2} \pm \sqrt{\left(\frac{Z_{11} - Z_{22}}{2}\right)^2 + \Delta z}, \quad (\text{B.18})$$

$$Z_{i_{k2}} = -\frac{Z_{11} - Z_{22}}{2} \pm \sqrt{\left(\frac{Z_{11} - Z_{22}}{2}\right)^2 + \Delta z}. \quad (\text{B.19})$$

On utilise également les équations Eq.B.18, B.19 écrites en fonction des paramètres de chaîne :

$$Z_{i_{k1}} = \frac{A - D}{2C} \pm \sqrt{\left(\frac{A - D}{2C}\right)^2 + \frac{B}{C}}, \quad (\text{B.20})$$

$$Z_{i_{k2}} = -\frac{A - D}{2C} \pm \sqrt{\left(\frac{A - D}{2C}\right)^2 + \frac{B}{C}}. \quad (\text{B.21})$$

Nous introduisons un paramètre γ_k , un nombre complexe appelé itératif de propagation du quadripôle, tel que :

$$ch(\gamma_k) = \frac{Z_{11} + Z_{22}}{2Z_{12}} = \frac{A + D}{2}, \quad (\text{B.22})$$

$$sh(\gamma_k) = \frac{Z_{i_{k1}} + Z_{i_{k2}}}{2Z_{12}} = \frac{C(Z_{i_{k1}} + Z_{i_{k2}})}{2}. \quad (\text{B.23})$$

Les équation Eq.[B.18-B.23] permettent d'obtenir la matrice de chaîne et d'impédance en fonction des paramètres itératifs.

$$C_{chaîne} = \begin{bmatrix} \frac{Z_{i_{k1}} e^{\gamma_k} + Z_{i_{k2}} e^{-\gamma_k}}{Z_{i_{k1}} + Z_{i_{k2}}} & \frac{2sh(\gamma_k)}{Z_{i_{k1}} + Z_{i_{k2}}} \\ \frac{2sh(\gamma_k)}{Z_{i_{k1}} + Z_{i_{k2}}} & \frac{Z_{i_{k2}} e^{\gamma_k} + Z_{i_{k1}} e^{-\gamma_k}}{Z_{i_{k1}} + Z_{i_{k2}}} \end{bmatrix}, \quad (\text{B.24})$$

$$Z = \begin{bmatrix} \frac{Z_{i_{k1}} e^{\gamma_k} + Z_{i_{k2}} e^{-\gamma_k}}{2sh(\gamma_k)} & \frac{Z_{i_{k1}} + Z_{i_{k2}}}{2sh(\gamma_k)} \\ \frac{Z_{i_{k1}} + Z_{i_{k2}}}{2sh(\gamma_k)} & \frac{Z_{i_{k2}} e^{\gamma_k} + Z_{i_{k1}} e^{-\gamma_k}}{2sh(\gamma_k)} \end{bmatrix}. \quad (\text{B.25})$$

B.3 Association en cascade de n quadripôles identiques

Considérons l'association en cascade de n quadripôles identiques, la matrice de chaîne de l'ensemble est le produit des n matrices élémentaires. D'où les résultats intéressants :

- Les impédances itératives du quadripôle résultant sont égales à celles des quadripôles élémentaires.
- Le paramètre itératif de propagation du quadripôle est égal à n fois celui des quadripôles élémentaires.

La matrice ABCD avec n cellules identiques devient :

$$C_t = \begin{bmatrix} A_t & B_t \\ C_t & D_t \end{bmatrix} = \begin{bmatrix} \sqrt{\frac{Z_{i1}}{Z_{i2}}} ch(n\gamma_i) & \sqrt{Z_{i1}Z_{i2}} sh(n\gamma_i) \\ \frac{sh(n\gamma_i)}{\sqrt{Z_{i1}Z_{i2}}} & \sqrt{\frac{Z_{i2}}{Z_{i1}}} ch(n\gamma_i) \end{bmatrix}. \quad (\text{B.26})$$

La matrice impédance avec n cellules devient :

$$Z = \begin{bmatrix} \frac{Z_{i1}}{\text{th}(n\gamma_i)} & \frac{\sqrt{Z_{i1}Z_{i2}}}{\text{sh}(n\gamma_i)} \\ \frac{\sqrt{Z_{i1}Z_{i2}}}{\text{sh}(n\gamma_i)} & \frac{Z_{i2}}{\text{th}(n\gamma_i)} \end{bmatrix}. \quad (\text{B.27})$$

Gain d'un amplificateur distribué

C.1 Modèle Beyer [Beyer 1984]

Le modèle Beyer calcule le gain en puissance de l'amplificateur distribué en utilisant la théorie des quadripôles en supposant l'unilatéralité du transistor et l'égalité de vitesses de phase des lignes.

La figure C.1 illustre les schémas équivalents des lignes de transmission de drain et de grille. Les lignes de drain et grille chargées par leur impédances images Z_{id} et Z_{ig} .

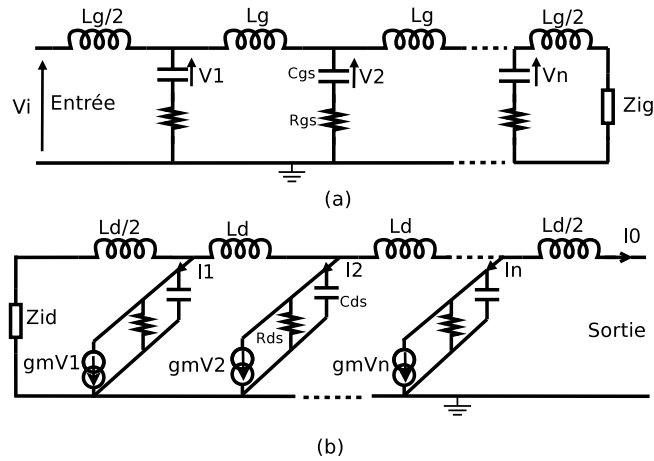


FIGURE C.1 – Schéma de la ligne de grille (a) et la ligne de drain (b)

Le courant dans la charge de sortie s'exprime comme suit :

$$I_0 = \sum_{k=1}^n I_k = \frac{1}{2} g_m e^{-\frac{\theta_d}{2}} \left[\sum_{k=1}^n V_k e^{-(n-k)\theta_d} \right], \quad (C.1)$$

où :

- n , le nombre de cellule du DA.
- θ_d , la constante de propagation de la ligne de drain. Il s'exprime comme suit :

$$\theta_d = \alpha_d + j\beta_d, \quad (C.2)$$

α_d est le coefficient d'atténuation et β_d est la constante de phase de la ligne de drain.

- I_k , le courant de sortie du $K^{\text{ième}}$ transistor.
- V_k , la tension sur la capacité grille-source du $K^{\text{ième}}$ transistor.

V_k s'exprime de la façon suivante :

$$V_k = \frac{V_i e^{-(2k-1)\frac{\theta_g}{2} - j \tan^{-1}(\frac{\omega}{\omega_g})}}{\left[1 + (\frac{\omega}{\omega_g})^2\right]^{\frac{1}{2}} \left[1 - (\frac{\omega}{\omega_c})^2\right]}, \quad (\text{C.3})$$

où :

- V_i , la tension d'entrée.
- θ_g , la constante de propagation de la ligne de grille. On a :

$$\theta_g = \alpha_g + j\beta_g, \quad (\text{C.4})$$

α_g est le coefficient d'atténuation et β_g est la constante de phase de la ligne de grille.

- ω_c , la fréquence de coupure des lignes.
- ω_g , la fréquence pulsation qui caractérise les pertes de la ligne grille. Elle est donné comme étant :

$$\omega_g = \frac{1}{R_{gs}C_{gs}}$$

En remplaçant V_k par son expression (cf.Eq.C.3) dans l'équation C.1, l'expression du courant I_0 peut s'exprimer sous la forme :

$$I_0 = \frac{g_m V_i \sinh \left[\frac{n}{2} (\alpha_d - \alpha_g) \right] e^{-\frac{n(\alpha_d + \alpha_g)}{2}} e^{-jn\beta - j \tan^{-1}(\frac{\omega}{\omega_g})}}{2 \left[1 + (\frac{\omega}{\omega_g})^2 \right]^{\frac{1}{2}} \left[1 - (\frac{\omega}{\omega_c})^2 \right] \sinh \left[\frac{1}{2} (\alpha_d - \alpha_g) \right]}. \quad (\text{C.5})$$

La puissance entrant à l'amplificateur et la puissance fournie à la charge respectivement P_e et P_0 sont données par :

$$P_e = \frac{1}{2} \frac{|V_i|^2}{|Z_{ig}|^2} \Re |Z_{ig}| = \frac{1}{2} \frac{|V_i|^2}{\sqrt{\frac{L_g}{C_{gs}}} \sqrt{1 - (\frac{\omega}{\omega_c})^2}}, \quad (\text{C.6})$$

$$P_0 = \frac{1}{2} |I_0|^2 \Re |Z_{id}| = \frac{1}{2} |I_0|^2 \sqrt{\frac{L_d}{C_{ds}}} \sqrt{1 - (\frac{\omega}{\omega_c})^2}. \quad (\text{C.7})$$

Le gain en puissance du DA égale :

$$G_p = \frac{P_0}{P_e} = \frac{g_m^2 Z'_{0d} Z'_{0g} \sinh^2 \left[\frac{n}{2} (\alpha_d - \alpha_g) \right] e^{-\frac{n(\alpha_d + \alpha_g)}{2}}}{4 \left[1 + (\frac{\omega}{\omega_g})^2 \right] \left[1 - (\frac{\omega}{\omega_c})^2 \right] \sinh^2 \left[\frac{1}{2} (\alpha_d - \alpha_g) \right]}. \quad (\text{C.8})$$

Avec $Z'_{0g} = \sqrt{\frac{L_g}{C_{gs}}}$ et $Z'_{0d} = \sqrt{\frac{L_d}{C_{ds}}}$.

Si les conditions suivantes :

1. $Z_0 = Z'_{0g} = Z'_{0d}$,
2. $\alpha_g = \alpha_d = 0$,
3. $\frac{\omega}{\omega_c} \ll 1$,
4. $\frac{\omega}{\omega_g} \ll 1$,

sont satisfaites, ce gain passe par un maximum, son expression se simplifie :

$$G_p = n^2 \frac{(g_m Z_0)^2}{4} \quad (\text{C.9})$$

C.2 Modèle Niclas [Niclas 1983b]

La cellule élémentaire de l'amplificateur distribué peut être représenté par un octopôle (cf.Fig.C.2).

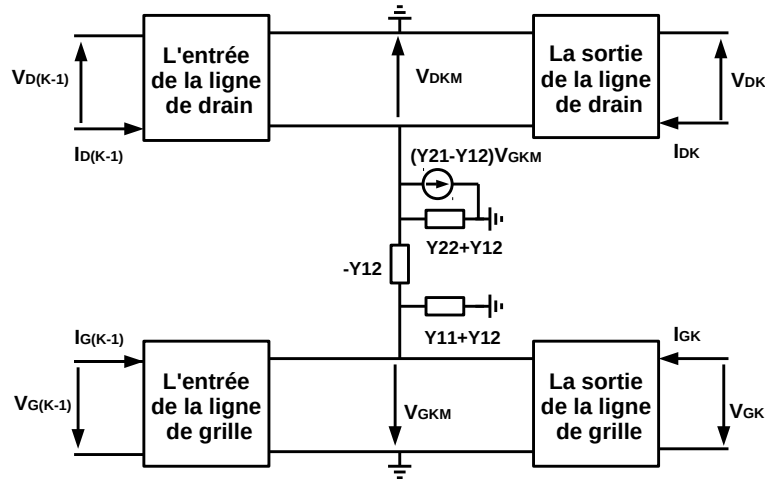


FIGURE C.2 – Cellule élémentaire représentée par un octopôle

Les relations entre les tensions et les courants de la Fig.C.2 peuvent se mettre sous forme matricielle :

$$\begin{bmatrix} V_{D(K-1)} \\ I_{D(K-1)} \\ V_{G(K-1)} \\ I_{G(K-1)} \end{bmatrix} = A_k \begin{bmatrix} V_{DK} \\ -I_{DK} \\ V_{GK} \\ -I_{GK} \end{bmatrix}, \quad (C.10)$$

où $A_k = A_{1k}A_{Fk}A_{2k}$,

avec A_{1k} , A_{2k} et A_{Fk} , respectivement la matrice de chaîne d'entrée et de sortie de la ligne et la matrice de chaîne de la cellule élémentaire.

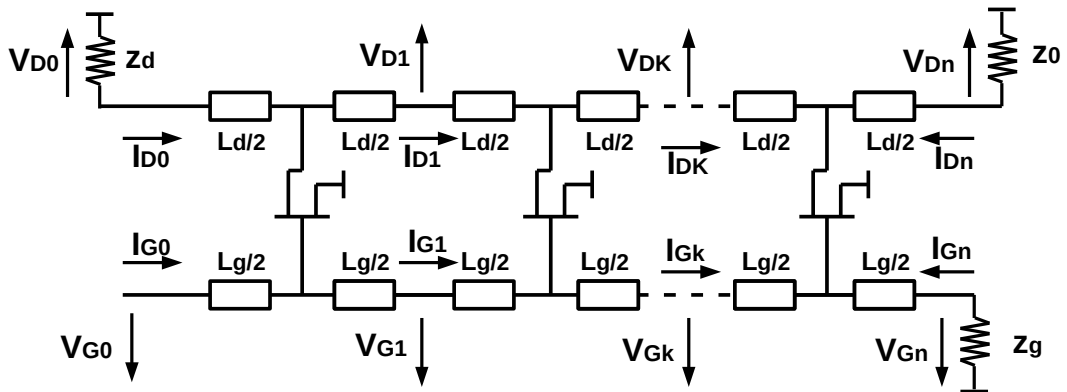


FIGURE C.3 – Amplificateur distribué de n cellules identiques

Mettant n cellules en cascade et Z_g, Z_d comme les charges de la ligne de grille et de drain (cf.Fig.C.3), la matrice présentant les relations entre les tension et les courants de n cellules identiques en cascade devient :

$$\begin{bmatrix} V_{D0} \\ -Z_d^{-1}V_{D0} \\ V_{G0} \\ I_{G0} \end{bmatrix} = D \begin{bmatrix} V_{Dn} \\ -I_{Dn} \\ V_{Gn} \\ -Z_g^{-1}V_{Gn} \end{bmatrix}, \quad (\text{C.11})$$

où $D = \prod_{k=0}^n A_k$.

Dans un cas simple, on suppose que :

- le transistor est unilatéral et sans pertes,
- les impédances caractéristiques des lignes sont identiques,
- les vitesses de phase sur les deux lignes sont identiques,
- la transconductance du transistor égale approximativement au paramètre Y_{21}

Les relations suivantes précisent cette hypothèse.

$$L = L_g = L_d, \quad (\text{C.12})$$

$$C = C_e = C_s, \quad (\text{C.13})$$

$$Z_0 = Z_g = Z_d = \sqrt{\frac{L}{C}}, \quad (\text{C.14})$$

$$g_m \simeq Y_{21}, \quad (\text{C.15})$$

où la capacité additionnel C_e (C_s) est la capacité d'entrée (de sortie) du transistor.

En appliquant l'équation C.11 sur l'amplificateur distribué simplifié de n cellules, les relations entre les courants et les tension s'écrivent sous la forme :

$$\begin{bmatrix} V_{D0} \\ -Z_d^{-1}V_{D0} \\ V_{G0} \\ I_{G0} \end{bmatrix} = \begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix}^n \begin{bmatrix} V_{Dn} \\ -I_{Dn} \\ V_{Gn} \\ -Z_g^{-1}V_{Gn} \end{bmatrix}. \quad (\text{C.16})$$

Avec :

$$C_{11} = C_{22} = \begin{bmatrix} 1 - \frac{1}{2}\Omega^2 & j\frac{Z_0}{2}\Omega(2 - \frac{1}{2}\Omega^2) \\ j\frac{\Omega}{Z_0} & 1 - \frac{1}{2}\Omega^2 \end{bmatrix}, \quad (\text{C.17})$$

$$C_{12} = g_m \begin{bmatrix} j\frac{Z_0}{2}\Omega & -\frac{Z_0^2}{4}\Omega^2 \\ 1 & j\frac{Z_0}{2}\Omega \end{bmatrix}, \quad (\text{C.18})$$

$$C_{21} = [0], \quad (\text{C.19})$$

où

$$\Omega = \omega\sqrt{LC}. \quad (\text{C.20})$$

Les paramètres C_{ij} ($i=1,2$ et $j=1,2$) nous permettent de calculer le paramètre S_{21} de l'amplificateur.

Dans le cas où l'amplitude de l'ondulation de S_{21} est acceptable ($\omega^2 LC \ll 1$), le paramètre S_{21} peut s'écrire comme suit :

$$|S_{21}|^2 = n^2 \frac{(g_m Z_0)^2}{4}. \quad (C.21)$$

C.3 Modèle McKay [McKay 1986]

Dans ce modèle, l'amplificateur distribué est analysé théoriquement par une approche basée sur la matrice de transfert par McKay avec l'hypothèse de l'unilatéralité du transistor. La Fig.C.4 montre une section élémentaire de l'amplificateur distribué.

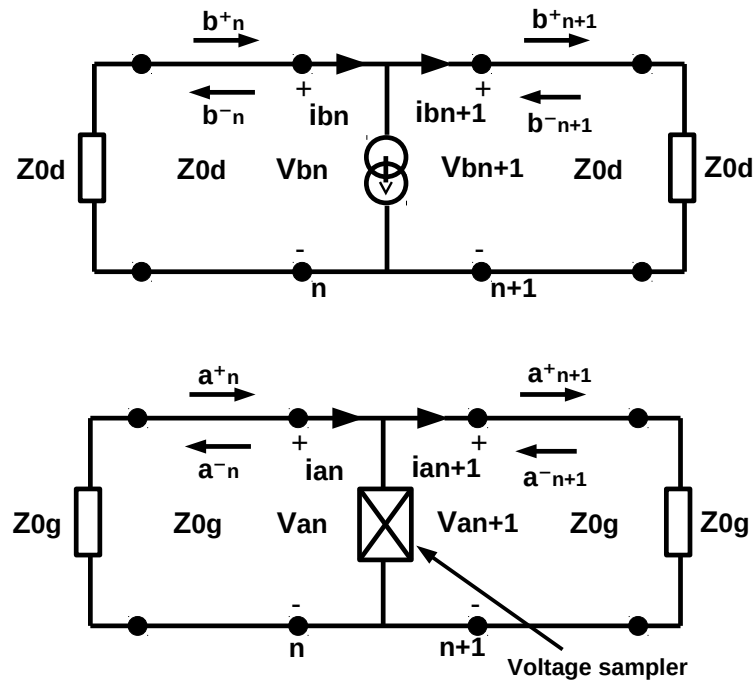


FIGURE C.4 – Section élémentaire de l'amplificateur distribué a) drain b) grille

L'échantillonneur de tension choisi par hasard une section de ligne d'entrée où la tension sur cette section contrôle la source de courant sur la ligne de sortie. En normalisant les signaux par des impédances caractéristiques respectivement Z_{0d} et Z_{0g} , les ondes se propageant sur la ligne de drain et de grille sont données par :

$$b_n^\pm = \frac{V_{bn}}{\sqrt{Z_{0d}}} \pm i_{bn} \sqrt{Z_{0d}}, \quad (C.22)$$

$$a_n^\pm = \frac{V_{an}}{\sqrt{Z_{0g}}} \pm i_{an} \sqrt{Z_{0g}}. \quad (C.23)$$

Où V_{an} , V_{bn} , i_{an} et i_{bn} sont les tensions et courants à la section n. a_n^\pm et b_n^\pm sont respectivement les

vecteurs d'onde entrantes (ou incidentes) et des vecteurs d'onde sortantes (ou réfléchies) sur les lignes de grille et de drain.

[McKay 1986] pose les vecteurs d'onde comme étant :

$$a_n^\pm = a_{n+1}^\pm, \quad (\text{C.24})$$

$$b_{n+1}^+ = H(a_n^+ + a_n^-) + b_n^+, \quad (\text{C.25})$$

$$b_n^- = H(a_n^+ + a_n^-) + b_{n+1}^-, \quad (\text{C.26})$$

où

$$H = -\frac{1}{2}g_m D(\omega) \sqrt{Z_{0g} Z_{0d}}, \quad (\text{C.27})$$

avec

$$D(\omega) = \frac{1}{1 + jR_{gs}C_{gs}\omega}. \quad (\text{C.28})$$

La matrice de transfert est ainsi établie :

$$w_{n+1} = \begin{bmatrix} 1 & O & O & O \\ H & 1 & H & O \\ 0 & O & 1 & O \\ -H & O & -H & 1 \end{bmatrix} w_n, \quad (\text{C.29})$$

où

$$w_n = \begin{bmatrix} a_n^+ \\ b_n^+ \\ a_n^- \\ b_n^- \end{bmatrix}. \quad (\text{C.30})$$

À partir de la matrice de transfert, en cascade des sections des lignes, avec l'hypothèse d'une bonne adaptation en entrée et en sortie des deux lignes et de l'unitarité du transistor, on obtient le paramètre S_{21} . Ce paramètre présente la relation entre le vecteur d'onde sortant de la dernière section et le vecteur d'onde incident de la première section, il s'écrit sous la forme [McKay 1986] :

$$S_{21} = \frac{b_s^+}{a_e} = \frac{H \sinh(n \frac{\theta_g - \theta_d}{2})}{\sinh(\frac{\theta_g - \theta_d}{2})} e^{-n \frac{\theta_g + \theta_d}{2}}, \quad (\text{C.31})$$

où b_s^+ est l'onde sortante de la dernière section de la ligne de drain et a_e est l'onde incidente de la première section de la ligne de grille.

Dans le cas d'un nombre de cellules n grand et d'un amplificateur sans pertes avec l'égalité des vitesses de phase, le paramètre S_{21} se simplifie en appliquant les équations C.12, C.13 et C.14 :

$$|S_{21}|^2 = n^2 \frac{(g_m Z_0)^2}{4}. \quad (\text{C.32})$$

Cette méthodologie est en suite développée dans [Moussa 2003] en prenant en compte la bilatéralité.

Extraction du schéma équivalent petit signal des transistors

Le schéma équivalent petit signal des transistors de la technologie GaAs pHEMTs (fonderie Tri-Quint) est montré Fig. D.1.

Afin de déterminer les éléments du schéma équivalent petit signal des transistors, nous utilisons la méthode de «deembedding». Cette méthode consiste à extraire les paramètres extrinsèques en premier pour se rapprocher des éléments intrinsèques.

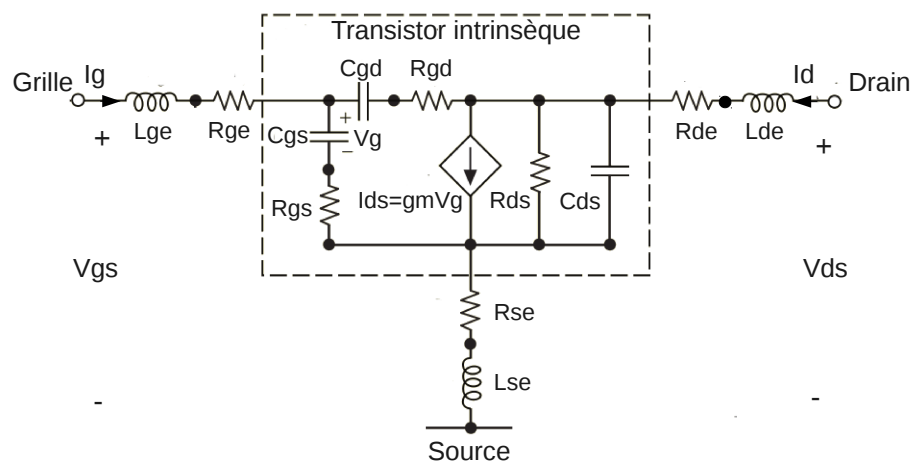
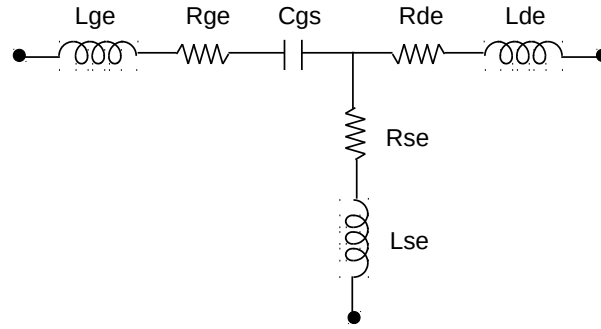


FIGURE D.1 – Schéma équivalent petit signal des transistors HEMTs

D.1 Extraction des éléments extrinsèques

Nous présentons la procédure d'extraction des résistances et des inductances extrinsèques comme suit [Huebschman 2009] :

1. Polariser le transistor : tension de drain $V_{ds} = 0V$ et tension de grille V_{gs} positive. De cette façon, le schéma équivalent petit signal peut se simplifier comme illustré sur la Fig.D.2.

FIGURE D.2 – Schéma équivalent petit signal du transistor avec $V_{ds} = 0V$ et V_{gs} positive

La capacité C_{gs} peut être négligée pour une tension de grille suffisamment grande [Chigaeva 2000].

- Mesurer les paramètres Z . En considérant le transistor comme un quadriôle en T, les paramètres Z s'écrivent :

$$Z_{11} = R_{ge} + R_{se} + j\omega(L_{ge} + L_{se}), \quad (D.1)$$

$$Z_{12} = Z_{21} = R_{se} + j\omega L_{se}, \quad (D.2)$$

$$Z_{22} = R_{de} + R_{se} + j\omega(L_{de} + L_{se}). \quad (D.3)$$

- Déterminer les composants extrinsèques :

$$R_{se} = \Re(Z_{12}), \quad (D.4)$$

$$R_{de} = \Re(Z_{22}) - R_{se}, \quad (D.5)$$

$$R_{ge} = \Re(Z_{11}) - R_{se}, \quad (D.6)$$

$$L_{se} = \frac{\Im(Z_{12})}{\omega}, \quad (D.7)$$

$$L_{de} = \frac{\Im(Z_{22})}{\omega} - L_{se}, \quad (D.8)$$

$$L_{ge} = \frac{\Im(Z_{11})}{\omega} - L_{se}. \quad (D.9)$$

$$(D.10)$$

D.2 Extraction des éléments intrinsèques

Dans toute cette partie, le transistor sera polarisé de façon classique. Pour se ramener au modèle intrinsèque du transistor, il faut «deembedding» les éléments extrinsèques déterminés précédemment, montré Fig.D.3.

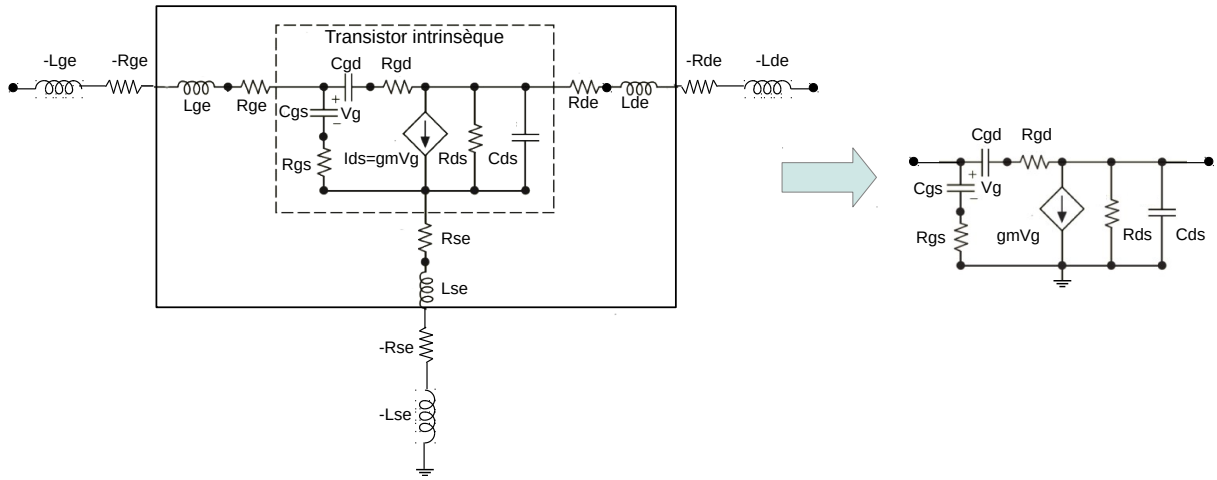


FIGURE D.3 – Épluchage des éléments extrinsèques

En considérant que le transistor intrinsèque est un quadriôle sous forme de π . Les éléments intrinsèques peuvent s'exprimer en paramètres admittance :

$$C_{gs} = -\frac{1}{\omega} \Im\left(\frac{1}{Y_{int11} + Y_{int12}}\right), \quad (D.11)$$

$$C_{ds} = \frac{\Im(Y_{int22} + Y_{int12})}{\omega}, \quad (D.12)$$

$$C_{gd} = \frac{-\Im(Y_{int12})}{\omega}, \quad (D.13)$$

$$R_{ds} = \frac{1}{\Re(Y_{int22} + Y_{int12})}, \quad (D.14)$$

$$R_{gs} = \Re\left(\frac{1}{Y_{int11} + Y_{int12}}\right), \quad (D.15)$$

$$g_m = (Y_{int21} - Y_{int12})(1 + jR_{gs}C_{gs}\omega) = g_{m0}e^{-j\omega\tau_0} \quad (D.16)$$

$$g_{m0} \simeq \Re(Y_{int21} - Y_{int12}), \quad (D.17)$$

où Y_{int} est la matrice admittance du transistor intrinsèque et l'équation D.17 est valide si :

$$1 + (R_{gs}C_{gs}\omega)^2 \simeq 1, \quad (D.18)$$

$$e^{-j\omega\tau_0} \simeq 1 - j\omega\tau_0. \quad (D.19)$$

Nous donnons un exemple de cette méthode. Afin d'extraire les valeurs de ces éléments, on utilise un transistor $4 \times 40\mu\text{m}$, à la polarisation $V_{ds} = 1.0\text{V}$ et $V_{gs} = -0.7\text{V}$. Les Tab. D.1 et Tab. D.2 nous donne les valeurs des éléments intrinsèques et extrinsèques du schéma équivalent.

TABLE D.1 – Ordre de grandeurs des éléments intrinsèques

$C_{ds}(fF)$	$R_{ds}(\Omega)$	$C_{gs}(fF)$	$R_{gs}(\Omega)$	$C_{gd}(fF)$	$g_{m0}(mS)$
58	500	85	3	36	65

TABLE D.2 – Ordre de grandeurs des éléments extrinsèques

$L_{de}(fH)$	$L_{se}(fH)$	$L_{ge}(fH)$	$R_{de}(\Omega)$	$R_{se}(\Omega)$	$R_{ge}(\Omega)$
139	131	200	1,98	1,98	1,92

La Fig.D.4 compare les S paramètres du transistor de la fonderie Triquint et du schéma équivalent petit signal.

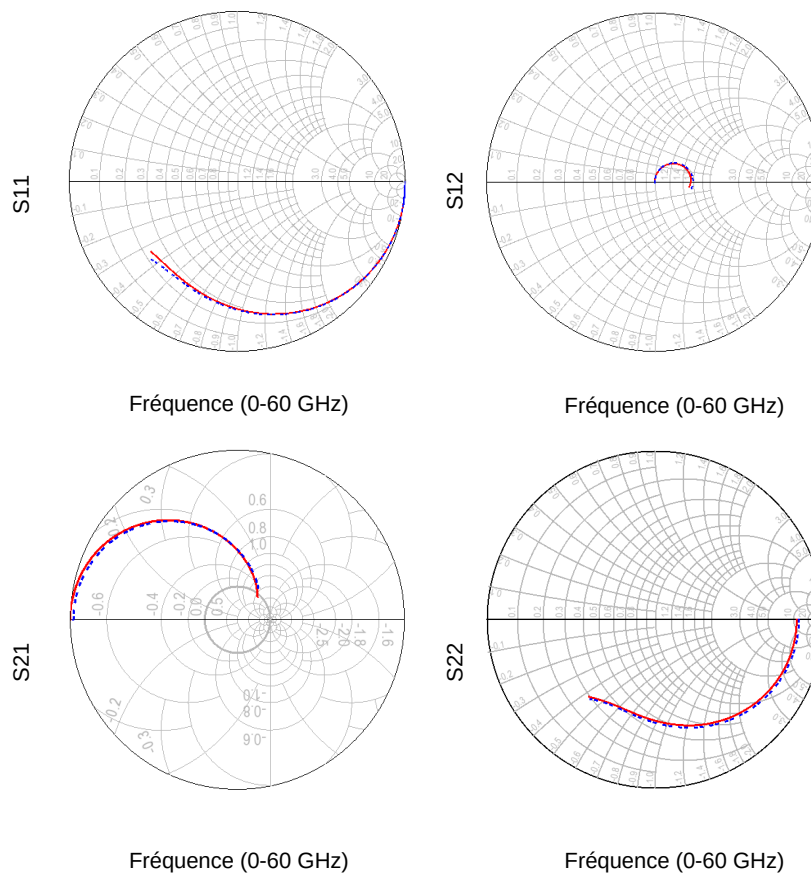


FIGURE D.4 – S paramètres du transistor de la fonderie Triquint et du schéma équivalent petit signal

On constate un bon accord entre les paramètres S du transistor de la fonderie TriQuint et ceux du schéma équivalent petit signal.

Mesures sur 3 échantillons

Nous avons effectué des mesures sur 3 échantillons différents. Les polarisations et les résultats de mesure sont présentés dans cette partie.

Échantillon 1

Mesure	Vg (V)	V2 (V)	Vd (V)	Id (mA)
a	-0,48	0,74	2	67
b	-0,53	0,87	2	53
c	-0,57	0,65	1,7	38
d	-0,72	1	1,75	12,8
e	-0,68	0,33	1	10

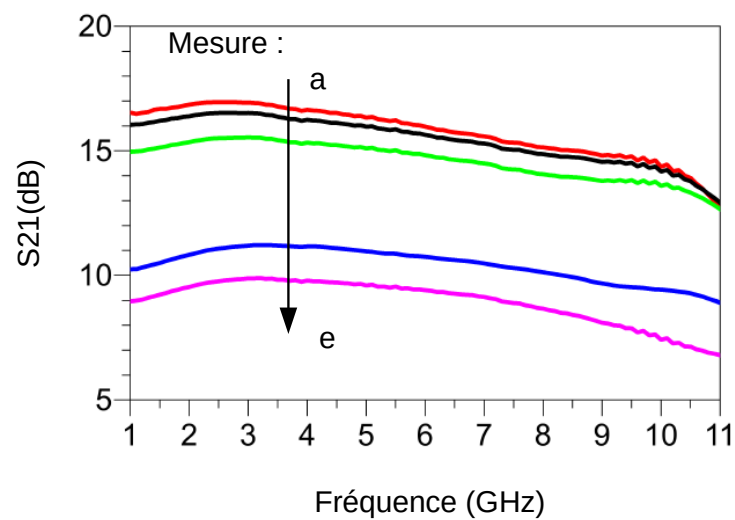
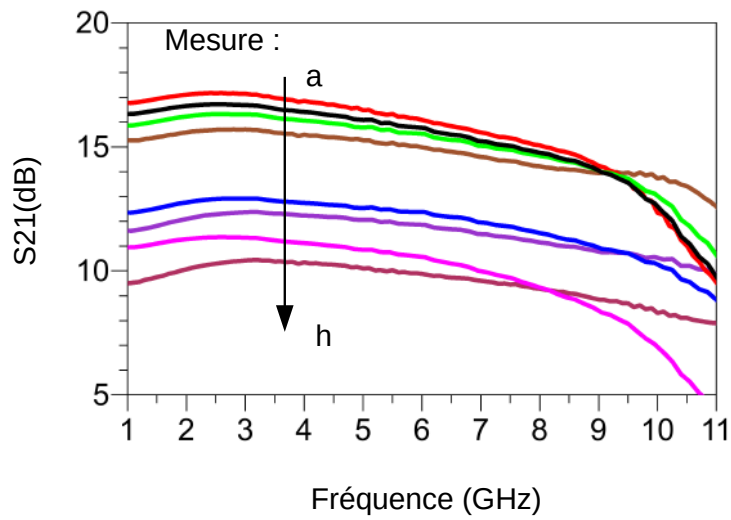


FIGURE E.1 – Polarisations et S_{21} de l'échantillon 1

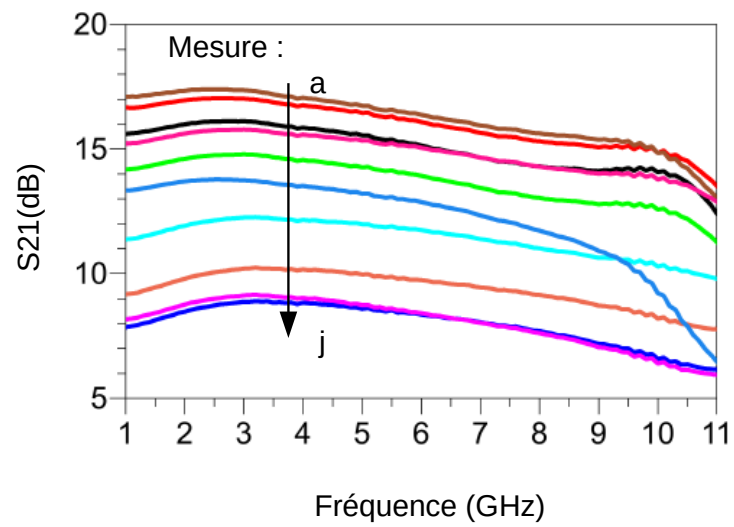
Échantillon 2

Mesure	Vg (V)	V2 (V)	Vd (V)	Id (mA)
a	-0,48	0,74	2	86
b	-0,53	0,87	2	70
c	-0,57	0,65	1,7	54
d	-0,62	0,43	1,5	36
e	-0,72	1	1,75	20
f	-0,73	0,65	1,5	15
g	-0,68	0,33	1	19
h	-0,77	0,7	1,5	10

FIGURE E.2 – Polarisation et S_{21} de l'échantillon 2

Échantillon 3

Mesure	Vg (V)	V2 (V)	Vd (V)	Id (mA)
a	-0,44	0,5	1,72	68
b	-0,48	0,74	1,9	58
c	-0,53	0,87	2	53
d	-0,55	0,73	1,8	37
e	-0,57	0,65	1,7	31
f	-0,58	0	2	37
g	-0,65	0,73	1,5	15,8
h	-0,66	0,29	1	10
i	-0,72	1	1,75	9
j	-0,68	0,33	1	10

FIGURE E.3 – Polarisations et S_{21} de l'échantillon 3

RÉSUMÉ :

Ces dernières années, le développement durable, notamment le contrôle de la consommation de nos appareils électriques, est devenu un enjeu majeur de notre société. L'essor de la domotique associé à cette problématique implique la nécessité d'optimiser le bilan énergétique de chaque dispositif électrique. L'objectif de cette thèse est la réalisation d'un amplificateur faible bruit (LNA) qui propose deux modes de fonctionnement suivant la qualité du signal reçu : un mode haute performance et un mode basse consommation.

Afin de satisfaire la problématique liée aux systèmes multistandard, l'architecture sélectionnée pour l'amplificateur faible bruit est la topologie distribuée. En effet, elle est connue pour ses performances en terme de bande passante et permet un gain en puissance accordable. Une méthode de conception est proposée, basée sur la technologie GaAs de la fonderie TriQuint Semiconducteur Texas. Les mesures réalisées sur le LNA dans sa configuration haute performance se situe au niveau de l'état de l'art. Pour le mode basse consommation, on obtient de bonnes performances tout en réduisant sa consommation de 91%.

Enfin, une stratégie de reconfiguration innovante est proposée basée sur l'intégration de notre LNA dans un récepteur homodyne. Elle permet de réduire de manière significative la consommation du récepteur, dans le cas où la puissance reçue permet un fonctionnement en mode basse consommation (contraintes sur le Bit Error Rate (BER) vérifiées). En considérant chaque puissance reçue de manière équiprobable, notre récepteur reconfigurable a une consommation réduite de 77% par rapport à un récepteur classique qui possède un seul mode de fonctionnement (mode haute performance).

MOT-CLÉS :

amplificateur distribué, amplificateur faible bruit, consommation, multistandards, récepteur reconfigurable.

SUMMARY :

In recent years, the sustainable development, especially the control of the electrical appliances' consumption, has become a major issue in our society. The optimisation of each electrical devices' energy is needed to reduce the consumption of home appliances. The objective of this thesis is the realization of a low noise amplifier (LNA) that offers two modes of operation depending on the quality of the received signal : a high performance mode and a low consumption mode.

In order to meet the problem related to multistandard systems, the distributed architecture is selected for low noise amplifier. Indeed, it is known for its wide bandwidth and tunable power gain. A design method is proposed, which is based on GaAs technology of TriQuint Semiconductor Texas foundry. The LNA's high performance mode measurement results is at the level of the state of the art. For the low consumption mode, LNA shows good performance while reducing power consumption by 91%.

Finally, an innovative reconfiguration strategy is defined. It's applied to a homodyne receiver based on the integration of our LNA. It reduces significantly the receiver's consumption in case where the received power allows the receiver operates in low power mode (constraint of the Bit Error Rate (BER) is verified). Considering each received power is equiprobable, our reconfigurable receiver saves consumption by 77% compared to a conventional receiver that has a single mode (high performance mode).

KEYWORDS : distributed amplifier, low noise amplifier, consumption, multistandard, reconfigurable receiver.

