



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

Τομέας Τεχνολογίας Πληροφορικής & Υπολογιστών

Υλοποίηση κυκλώματος ισοστάθμισης Feed-Forward σε τεχνολογία FPGA για υψηλής απόδοσης οπτικές διασυνδέσεις

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΤΟΥ

ΚΟΝΤΖΙΛΑ ΠΑΝΑΓΙΩΤΗ

Επιβλέποντες:

Δημήτριος Σούντρης
Καθηγητής Ε.Μ.Π.

Ηρακλής Αβραμόπουλος
Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2016



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ
ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

**Υλοποίηση κυκλώματος ισοστάθμισης Feed-Forward σε
τεχνολογία FPGA για υψηλής απόδοσης οπτικές διασυνδέσεις**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

του

ΚΟΝΤΖΙΛΑ ΠΑΝΑΓΙΩΤΗ

Επιβλέπων: Δημήτριος Σούντρης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 14η Ιουλίου 2016.

.....
Δ. Σούντρης
Καθηγητής Ε.Μ.Π.

.....
Κ. Πεκμεστζή
Καθηγητής Ε.Μ.Π.

.....
Η. Αβραμόπουλος
Επ. Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2016

.....
ΚΟΝΤΖΙΛΑΣ ΠΑΝΑΓΙΩΤΗΣ

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Κόντζιλας Παναγιώτης 2016

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ' ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Πίνακας Περιεχομένων

Περίληψη	i
Abstract	iii
Ευχαριστίες	iv
Analytical Abstract	v
1 Εισαγωγή	1
1.1 Επεξεργασία και μετάδοση δεδομένων στις τηλεπικοινωνιακές υποδομές	1
1.2 Αντικείμενο διπλωματικής	2
1.3 Οργάνωση κειμένου	3
2 Θεωρητικό Υπόβαθρο	4
2.1 Κέντρα Δεδομένων	4
2.2 Οπτικά συστήματα διασυνδέσεων	6
2.2.1 Περιορισμοί στις διασυνδέσεις χαλκού	6
2.2.2 Πλεονεκτήματα συστημάτων οπτικών ινών	7
2.2.3 Ορισμός οπτικής διασύνδεσης	8
2.2.4 Τεχνικές ψηφιακής διαμόρφωσης	11
2.2.5 Υποβάθμιση του σήματος	12
2.2.6 Φίλτρα πεπερασμένης κρουστικής απόκρισης (FIR)	13
2.2.7 Ισοστάθμιση	15
2.2.8 Ισοστάθμιση και Εμπρόσθια Διόρθωση Λαθών (FEC)	16
2.2.9 Τεχνικές ισοστάθμισης	17
2.3 FPGAs	21
2.3.1 Ολοκληρωμένα κυκλώματα	21
2.3.2 Δομή και χαρακτηριστικά των FPGAs	22
2.4 FPGAs στις οπτικές επικοινωνίες	26
2.4.1 FPGAs και οπτικές διασυνδέσεις	26
2.4.2 Σχετικά έργα σε οπτικά φίλτρα και FPGAs	29
3 Περιγραφή υλοποίησης κυκλώματος FFE σε FPGA	31
3.1 Υλοποίηση κυκλώματος ισοστάθμισης σε FPGA	31
3.1.1 Βασική σειριακή υλοποίηση κυκλώματος FFE ισοστάθμισης	31
3.1.2 Παράλληλη επιτάχυνση του κυκλώματος FFE ισοστάθμισης	34
3.1.2.1 Υλοποίηση με χρήση διαδρόμου πολυπλεξίας δεδομένων	34
3.1.2.2 Υλοποίηση με χρήση διασυνδεδεμένης δομής FIFO	37
3.1.3 Πολλαπλά παράλληλα κυκλώματα FFE ισοστάθμισης	42

3.1.3.1 Κατάτμηση μνημών.....	44
3.1.3.1 Εικονικοί συντελεστές.....	45
4 Πειραματικά Αποτελέσματα και Μελέτη Ακρίβειας	48
4.1 Πειραματική διάταξη	48
4.2 Πειραματικά αποτελέσματα και αξιολόγηση της ακρίβειας του FFE κυκλώματος.....	49
4.2.1 Υπολογισμός συντελεστών του FFE φίλτρου	45
4.2.2 Προσδιορισμός αντικειμένου φίλτρου	49
4.2.3 Ανίχνευση συμβόλων	50
4.2.4 Υπολογισμό/εκτίμηση ρυθμού εμφάνισης λαθών (BER)	50
4.3 Πειραματικά αποτελέσματα υλοποίησης στην πλατφόρμα FPGA	51
5 Συμπεράσματα	60
6 Βιβλιογραφία	61

Περίληψη

Στις περισσότερες σημερινές δικτυακές υποδομές ποικίλοι τύποι περιορισμών του εύρους ζώνης μπορεί να υπάρχουν κυρίως λόγω των υλικών κατασκευής, των οπτοηλεκτρονικών στοιχείων και της απρόβλεπτης απόκρισης του οπτικού κυματοδηγού (που προκαλεί διασπορά τρόπων διάδοσης).

Η υποβάθμιση στην οποία υποβάλλονται τα τηλεπικοινωνιακά σήματα κατά τη διάδοση τους εντός του δικτύου λόγω του συνεχώς περιοριζόμενου εύρους ζώνης φέρνουν στο προσκήνιο την ανάγκη εισαγωγής μεθόδων ισοστάθμισης για την αντιμετώπιση του φαινομένου, δηλαδή όλων των μεθόδων για την αντιστροφή/ακύρωση της παραμόρφωσης που προκαλείται από το κανάλι μετάδοσης. Παράλληλα, στο τμήμα της διαδρομής του σήματος που εφαρμόζεται κάποια τεχνική ισοστάθμισης, επιβάλλεται η διάδοση του σήματος να παραμένει όσο το δυνατόν πιο ανεμπόδιστη. Για το λόγο αυτό, προτιμάται η ισοστάθμιση να υλοποιείται σε σύστημα επεξεργασίας με δυνατότητες μεγάλου ρυθμού διακίνησης δεδομένων και υψηλής ταχύτητας επεξεργασίας, όπως σε κάποιο ολοκληρωμένο κύκλωμα FPGA.

Σκοπός της παρούσας διπλωματικής εργασίας είναι η κατασκευή κυκλώματος ισοστάθμισης με δυνατότητα υψηλού ρυθμού διακίνησης δεδομένων σε πλατφόρμα FPGA για αξιοποίηση σε οπτικές διασυνδέσεις σε κέντρα δεδομένων, χρησιμοποιώντας τη μέθοδο ισοστάθμισης feed forward equalization (FFE).

Πιο συγκεκριμένα, παρουσιάζουμε ένα ευέλικτο FFE σύστημα με πολλαπλές επαναδιαμορφώσιμες αρχιτεκτονικές και περιγράφουμε τεχνικές παραλληλίας για να επιταχύνουμε το κύκλωμα FFE. Στη συνέχεια περιγράφουμε συνοπτικά το οπτικό σύστημα πραγματικού χρόνου μέσα στο οποίο ενσωματώνεται το κύκλωμα FFE ισοστάθμισης, διεξάγουμε μελέτη ακρίβειας για τα διάφορα σενάρια ισοστάθμισης, καθώς επίσης και εξερεύνηση του χώρου σχεδίασης, ώστε να καταλήξουμε στη βέλτιστη δυνατή παραμετροποίηση του κυκλώματος FFE. Η τελική μας υλοποίηση στο Xilinx XC7VH580T FPGA μπορεί να υποστηρίξει οπτική διασύνδεση με ρυθμό διακίνησης δεδομένων μέχρι και 58 Gbps (29 GSa/s για διαμόρφωση PAM-4) και ρυθμό εμφάνισης σφαλμάτων ίσο με 5.64×10^{-5} .

Λέξεις Κλειδιά: Ισοστάθμιση, FPGA, Φίλτρο FIR, Ακρίβεια, Αποδοτικότητα, Οπτική διασύνδεση, Σειριακή αρχιτεκτονική, Παράλληλη αρχιτεκτονική, Σηματοθορυβικός λόγος, Ρυθμός εμφάνισης σφαλμάτων, PAM και PAM-4 διαμορφώσεις, Εύρος ζώνης, VHDL

Abstract

In most modern networking infrastructures, various types of bandwidth restrictions may occur mainly because of misconstructions in construction materials and optoelectronic components and the optical waveguide's unpredictable response (causing modal dispersion).

Degradation occurring to the telecommunications signals because of the constantly limited bandwidth while travelling through the network, therefore, brings to the fore the need to import equalization methods to confront this phenomenon, i.e. methods to reverse/cancel distortion caused by the transmission channel. At the same time, in the sections of the path where some equalization technique is applied, signal transmission has to remain as unobstructed as possible. For this reason, it is preferred to implement the equalization in a processing system with large throughput rate and high-speed processing capabilities, such as in a FPGA integrated circuit.

The purpose of this thesis is the design and implementation of a high throughput rate equalizer in FPGA platform for use in optical interconnections in data centers, using the feed forward equalization method (FFE).

We propose a flexible FFE system with multiple reconfigurable architectures and describe parallelism techniques to accelerate the FFE circuit. Then we describe briefly the optical real-time system in which the FFE equalizer circuit incorporated, we conduct an accuracy study for different equalization scenarios, as well as design space exploration in order to end up to the optimum configuration of the FFE circuit. Our final implementation on a single Xilinx XC7VH580T FPGA device can support a single optical link of up to 58 Gbps (29 GSa/s for PAM-4 modulation) and 5.64×10^{-5} Bit-Error-Rate.

Keywords: Equalization, FPGA, Equalizer, FIR Filter, Accuracy, Efficiency, Optical interconnect, Serial architecture, Parallel architecture, Signal to Noise Ratio, Bit Error Ratio, PAM και PAM-4 modulations, Bandwidth, VHDL

Ευχαριστίες

Θα ήθελα να ευχαριστήσω θερμά τους επιβλέποντες καθηγητές της διπλωματικής μου εργασίας, τους κυρίους Δημήτριο Σούντρη και Ηρακλή Αβραμόπουλο για τη δυνατότητα που μου έδωσαν να εκπονήσω ένα θέμα που τοποθετείται στην τομή δύο διαφορετικών κόσμων, των τηλεπικοινωνιών και των υπολογιστικών συστημάτων, με πολύ μεγάλο ερευνητικό και πρακτικό ενδιαφέρον. Επίσης, ευχαριστώ θερμά τους υποψήφιους διδάκτορες Κωνσταντίνο Μαραγκό και Χρήστο Σπαθαράκη για την συμμετοχή στην επίβλεψη της διπλωματικής εργασίας και για το χρόνο που αφιέρωσαν συνολικά, καθώς και το δόκτορα Γιώργο Λεντάρη για τις παρεμβάσεις και συμβουλές του σε κομβικά σημεία του έργου μας.

Τέλος, θα ήθελα να ευχαριστήσω την οικογένεια και τους φίλους μου, για την υποστήριξη τους προς εμένα καθ' όλη τη διάρκεια των σπουδών μου και τη συμβολή τους στην ολοκλήρωση αυτών.

Παναγιώτης Κόντζιλας

Analytical Abstract

Because of modern technology requirements and increased computing needs, it is imperative to design more and more powerful computing structures, widely known as data centers. The main purpose of a data center is the storage, management and propagation of data and information relevant and necessary to an organization [2]. A typical data center may include tens or hundreds of servers, which all together form clusters and a massive parallel super-computing structure is created. Figure 1 shows a typical array of servers in a data center.

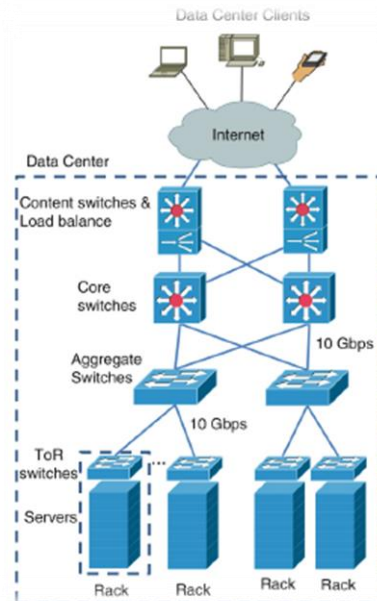


Figure 1. Data center network architecture

The communication between the clusters is possible via optical interconnections using optical components. The communication through the use of optical technology is preferred over classical methods of electronic communications because of the following advantages:

- Due to the very low loss rates that characterize waveguides and optical fibers, power consumption is imminent primarily where the conversion of optical into electrical power takes place and vice versa. Therefore the energy consumption is substantially independent of the distance length traveled by the optical signal from the starting point to the destination.
- In optical components, bandwidth is not strictly dependent on the modulation rate, while in the same medium (waveguide/fiber) more than one light wavelength can be used.
- In optical communications, signal integrity is less affected than the corresponding signal integrity in electrical communications.

Unlike copper interconnections, the optical fiber is characterized by negligible losses. A multimodal fiber comes up with losses of about 3 db/km and 1 db/km for wavelengths equal to 850 nm and 1300 nm respectively. A single mode fiber comes up with losses of 0.4 db/km and 0.25 db/km for wavelengths equal to 1300 nm and 1550 nm respectively.

Electrical links cause signal degradation at frequencies above the range of 1GHz due to ringing effects, increased signal delay, crosstalk, and frequency-dependent attenuation. These limitations of the electrical interconnections limit the maximum operating frequency of current systems. Optical interfaces on the other hand are an effective proposal to confront directly all these problems at system level, respond effectively to the performance requirements of modern processors, and present negligible frequency depended losses, low crosstalk and high bandwidth (Figure 2).

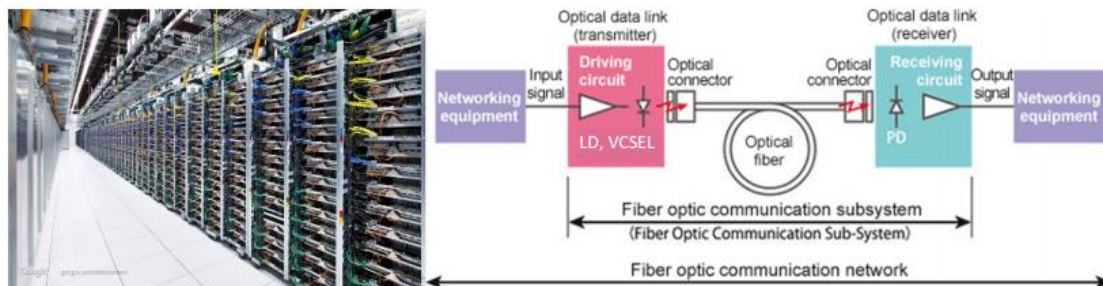


Figure 2. Optical links in Google's data center (left). Typical layout of an optical link for data transfer over short distances (right).

To deal with the ever increasing traffic in data centers that consistently exceeds 20% each year, optics cover a large part of the data centers construction and get utilized in rack-to-rack applications, board-to-board and chip-to-chip interconnections. Despite the wide range of development scenarios, the basic architecture of most interfaces is largely similar, comprising an optical transmitter (typically a directly modulated or externally modulated laser with electronic drive), an optical modulator, an optical waveguide (optical fiber, flex waveguide or optical backplane/PCB) and a photo detector (Figure 3).



Figure 3. Optical system consisting of transmitter, optical modulator, optical waveguide and photo detector

In any scenario, the transition to higher symbol transmission rate (baudrate) in order to meet the growing capacity needs, causes degradation in signal integrity due to the following factors [6]:

- Limitations on bandwidth because of the material from which the circuit board is manufactured. As the signal speed substantially exceeds 10 GB/s, traditional materials such as FR4, exhibit excessive losses, depending on the bandwidth. Most composites like Megtron 6 can be used for such rates, but it can cost two to four times higher than the corresponding cost for constructing the circuit using FR4.
- Limitations on bandwidth because of optoelectronic components (transmitter, receiver). To reduce costs, almost only commercial optical components with limited bandwidth are used in optical interfaces. The use of multi-level modulation formats, such as PAM-4 and PAM-8, exacerbates the negative effect of the limited bandwidth in the overall performance of the optical interconnection.

- The response of the optical waveguide in systems involving multi-mode links, exhibits modal dispersion which manifests as a limitation in product bandwidth.

Previously mentioned bandwidth limitations and the non-uniform frequency response in optoelectronic interfaces lead to intersymbol interference (ISI), an overall degradation of the signal, and a higher bit error rate (BER). Additionally, degradation is enhanced by noise effect, which is added to the signal as it propagates through the channel. Intersymbol interference may vary over time and because of other factors such as temperature, bending and vibration. To tackle all these negative effects, the compromise between industry and academia is that a **digital equalization technique** must be included in the system to smooth the channel response, so as it varies more smoothly, without causing further distortion in the propagating signal. Use of digital signal processing for receiving signals transmitted over optical fiber gains more ground in the last decade, as modern designs require ever more Gb/s through the limited bandwidth optoelectronic components.

The Forward Error Correction (FEC) is a technique used for error checking on data transmission over unreliable or noisy communication channels [12]. The main concept behind this technique relies on the sender to encode the message with redundant manner using an Error Correction Code (ECC). The overhead of FEC coding is defined as the ratio between the number of redundant bits to total bits transmitted in one FEC code word:

$$\text{Overhead} = \frac{\text{number of redundant bits}}{\text{number of total transmitted bits}}$$

The equalization system can improve the signal quality and therefore reduce the burden caused by the introduction of a complex FEC system, allowing the use of a much more simple code with low overhead and low latency [13]. In some cases, the use of FEC techniques can even be avoided completely. The Reed-Solomon codes (RS) and Bose-Chaudhuri-Hocquenghem (BCH) are the most commonly used codes in data center applications due to the low latency that achieve. However, some equalization technique may in this case be applied in order to choose a lighter FEC code, if the required pre-FEC BER value, has been achieved. For example, if a PAM-4 link achieves BER before equalization equal to 2×10^{-3} , and after equalization less than 7.04×10^{-4} , then the RS code (578,514) (with 11.07 % overhead) may be used instead of the BCH (2464,2056) code (with 16.56% overhead), thereby reducing the total coding overhead by about 8%.

There are several different equalization techniques available, all with different trade-offs in power consumption, efficiency and cost. The most well known equalization methods are Feed Forward Equalization-FFE, Decision Feedback Equalization-DFE and Maximum Likelihood Sequence Equalization-MLSE. FFE technique is considered as the simplest relative method, performing the necessary signal processing to non-adaptive manner, thus maintaining the complexity significantly lower than other methods such as DFE and MLSE.

As mentioned before, it is preferred to implement the equalization in a processing system with large throughput rate and high-speed processing capabilities, such as in a FPGA. A FPGA (Field Programmable Gate Array) is an integrated circuit with functionality formed by the specifications and requirements of the particular design, after its construction has been completed. FPGA configuration is generally determined using a hardware description language (HDL). An FPGA contains programmable logic elements and reconfigurable interfaces, and unlike previous

technologies using logic gates tables, construction of FPGAs is based on reprogrammable Look-Up Tables (Look-Up Tables-LUTs). The main characteristics of an FPGA are summarized as follows:

- Capability of efficient parallelism exploitation. The computational circuitry of a FPGA has innate ability to perform parallel calculations on the same application.
- Fastest processing and execution rate. Applications run directly in the hardware without prior compilation and linking processes at software level.
- System reprogramming capability. Although FPGAs are dedicated systems, they can be easily reprogrammed to execute another application.

FPGAs offer a flexible approach to applications traditionally implemented either in ASICs with no reconfiguration ability, or in software in sequential processors (CPUs) with significantly slower execution time.

An FPGA, as shown in Figure 4 consists of programmable logic blocks and interfaces between them, which can be configured to synthesize complex logic circuits, but also consists of I/O blocks allowing data input and output. The combinational logic is implemented using LUTs units, while the sequential logic is implemented using registers[11]. To enhance capacity and speed, plethora of available memories and other digital computing units (DSPs) are provided within the FPGA.

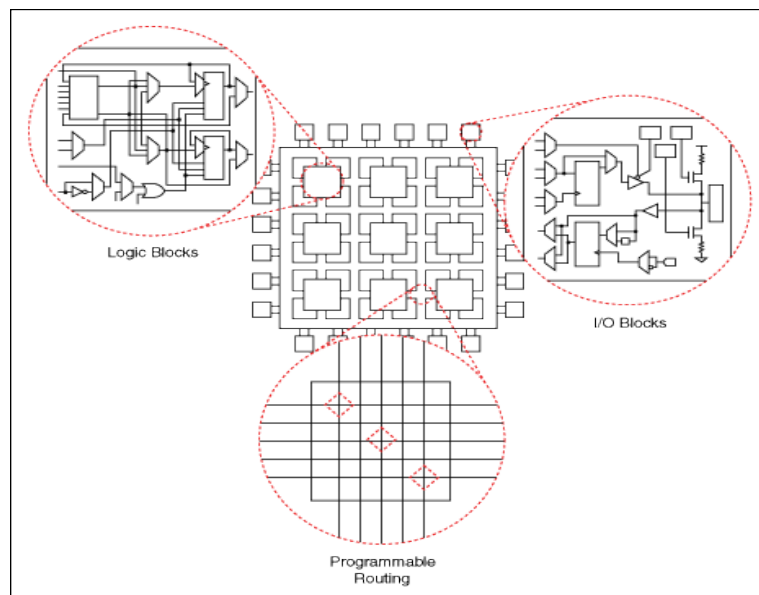


Figure 4. Relation between logic blocks, I/O blocks and interconnections on a FPGA

In recent years, several research efforts have focused on creating products that combine FPGA technology to that of optical interfaces. Such interconnection interfaces can overcome to reach, power, port density, cost and complexity of the circuit the existing interface technologies with copper cables.

As an example, Altera, using a 28nm transceiver operating at 28 Gbps, which supports equalization

methods as well as clock frequency production and recovery, manufactures optical interface systems with FPGA cores, as shown in the figure below.

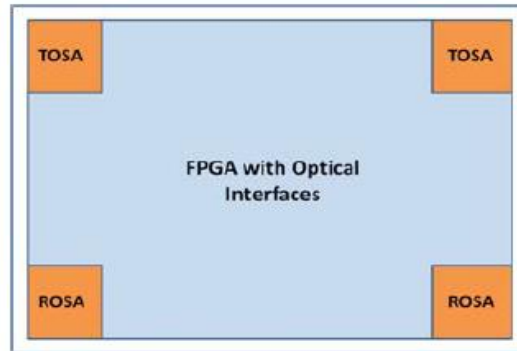


Figure 5. Example of an optical interface with FPGA core system

On both the transmitter and the receiver implement equalization of 4 and 5 coefficients respectively has been implemented. FFE technique has been implemented to the transmitter, while DFE technique has been implemented to the receiver to compensate noise effects. In the FPGA circuit, highly efficient transmitters (Transmitter Optical Sub-Assembly-TOSA) and receivers (Receiver Optical Sub-Assembly-ROSA) are incorporated, providing direct transmission and reception of optical signals without the need for an additional discrete optical element.

In the following sections, the discussion focuses on the step by step implementation of a fully parametric FFE architecture in FPGA platform, as well as on the various techniques developed for the effective exploitation of parallelism. In this direction, we designed and implemented the serial version of the equalizer circuit, and then various parallel architectures of it. For the purposes of resource consumption investigation and verification of the circuit's correct operation, we used ISE Design Suite 14.7 and Vivado Design Suite 2015.2 of Xilinx. The FPGA XC7VH580T family Virtex 7 of Xilinx was selected as the implementation platform.

The purpose of the FFE equalization circuit described below is the filtering of the input data stream, by the following transfer function:

$$y[n] = \sum_0^N c_i \times x[n-i], \quad 0 \leq i \leq N \quad (1)$$

where:

- $y[n]$ is the output signal,
- $x[n]$ is the input signal,
- N is the filter's order,
- c_i is the i -th coefficient of the filter.

This practice allows us to compose lowpass, bandpass or highpass filter.

The units that make up the serial equalization circuit are:

- ROM memory, in which constant coefficients of the N -order digital filter are kept stored,

- FIFO structure, in which N past input signal values are stored,
- accumulator unit (MAC) for numerical calculations,
- control unit (fsm) to monitor the continuous operation of the circuit.

Using 2 memory templates, for ROM and RAM (to implement FIFO structure) respectively, constant coefficients of the digital filter, c_i , are stored in the ROM, while each new arriving input $x[n]$ gets stored in the FIFO structure (which is initialized with zero elements). To determine how to write a new entry in the FIFO structure, we apply circular buffer logic. According to this, when all slots in the FIFO structure are written, then each new arriving entry will be inserted in the oldest entry's slot, and will replace its value. In each clock cycle, memory outputs are led by command from the control unit to the computational unit where all necessary calculations are performed (equation (1)). For each new arriving entry (N+1) calculations (multiplications and additions) are performed, i.e. as many calculations as the amount of filter coefficients. The control unit synchronizes the FIFO structure, the ROM and the MAC unit.

The figure below shows the basic units of the serial architecture and the interconnections between them.

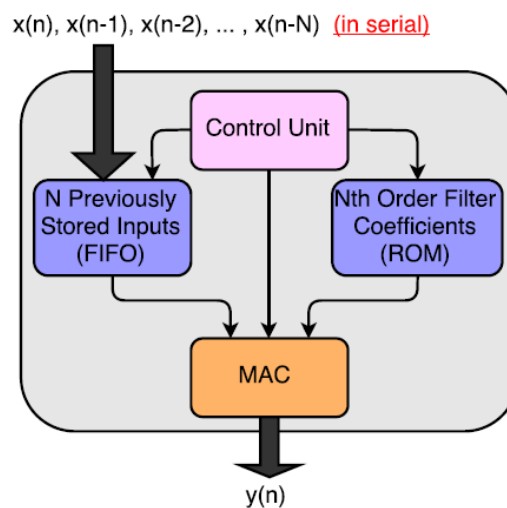


Figure 6. Basic pipelined architecture of FFE equalizer. Input signals x arrive every $N+1$ cycles sequentially and output y is calculated after every $N+1$ cycles

In this architecture, each input signal $x[n]$, arrives serially every $N+1$ clock cycles, so the calculation of each output signal $y[n]$ requires $N+1$ clock cycles. The signed numbers representation has been preferred to represent input-output data and intermediate results.

However, circuit performance is severely limited by the nature of the serial architecture:

- Valid result comes imperatively every $N+1$ clock cycles, with no capability of further acceleration of the calculations.
- There is no capability to take advantage of the parallelism offered by FPGA technology.

For the reasons mentioned above, we designed and implemented various parallel architectures, described in the following sections.

To maximize the equalizer's performance, it is imperative to perform more than one calculation in the mac unit on every clock cycle. The number of parallel performed calculations is referred to as internal parallelism.

The order of internal parallelism is determined by the parameter k , where $1 \leq k \leq N+1$. Specifically, the main FIFO structure and the ROM are divided into k parts of discrete depth equal to $(N+1)/k$. Distinct FIFO structures outputs and ROM memories outputs are led in different computational units, therefore $k-1$ additional MAC units are added to the overall design. To produce the total circuit's output signal, a tree of adders with depth equal to $\log_2(k)$ has been inserted right after the computational units, to sum computational units output values.

Parallel acceleration can be achieved by implementing two parallel architecture alternatives, depending on the interconnection type between the discrete FIFO structures and the computational MAC units:

- *Using data multiplexing*, by placing a data bus between the FIFO structure and the computational units
- *Using interconnected FIFO structure*, via the FIFO structure $(N+1)$ to interconnected FIFO structure, in order to directly connect the structure with the computational units

In the initial parallel implementation with a **data bus** for transmitting input data, all the FIFO structure output signals are led to the bus, and after having been rearranged appropriately, they are then led to respective computing units. The process of rearranging consists of two multiplexing/demultiplexing sub-processes of the data stream, while crossing the bus. Outputs of every individual FIFO structure therefore are not uniquely mapped to the input ports of the computing units, but the assignment depends on whether the new arriving entry, was written in a new individual FIFO structure, or in the same FIFO where the last record happened. It is understood that changes in the assignment occur only when an individual FIFO structure has recorded all its slots, and the next arriving input's enters the next in order FIFO structure. The circular buffer logic for recording new entries is applied to the overall FIFO structure, and not to each individual FIFO structure separately (all FIFO structures will receive and write input signal values sometime). The key feature of this architecture is the uniform control that is applied to all the individual FIFO structures, so that the circuit resembles the serial mode discussed in the previous section. This topology is shown in Figure 7.

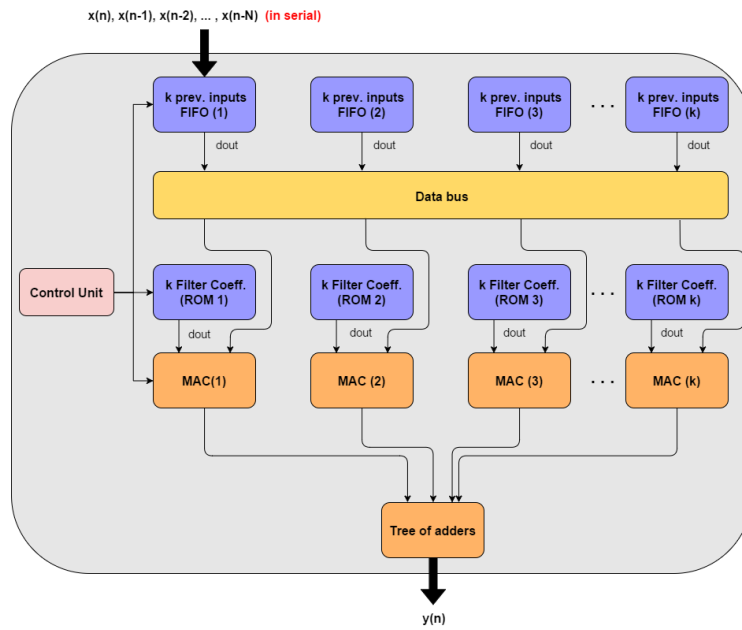


Figure 7. Parallel FFE architecture using data bus. Input signal x arrives serially $(N+1)/k$ and output y is calculated after $(N+1)/k$ clock cycles

Approaching the interconnection issue of FIFO structures with the computational units differently, figure 8 shows the alternative architecture, wherein the data bus has been removed from the parallel topology.

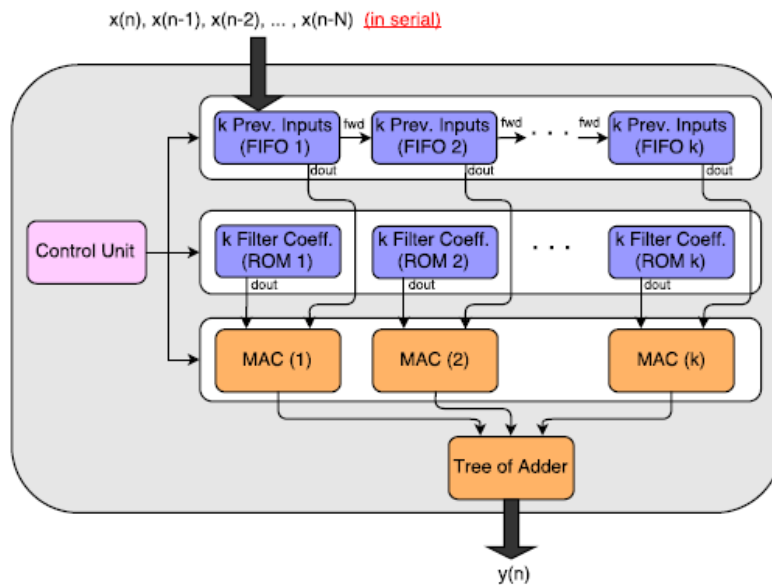


Figure 8. Parallel FFE architecture with interconnected FIFO structure. Input signal x arrives serially $(N+1)/k$ and output y is calculated every $(N+1)/k$ clock cycles

The concept behind the above topology is based on the **interconnected FIFO structure**, which consists of existing distinct FIFO structures. To maintain consistency in the interconnected FIFO,

each distinct FIFO structure promotes its older stored element in the next FIFO of the chain structure, to the same slot, each time a new entry arrives. The logic of the circular buffer that is applied to the serial architecture is applied also here, but this time to each distinct structure separately. This technique significantly reduces the complexity of the design, thanks to the direct, point to point, FIFO connected network. One of the major differences with the previous architecture is that new input values recording process will be made solely to the first in order FIFO structure. Therefore, every distinct FIFO structure is uniquely assigned to each computing unit. This architecture resembles the direct implementation of a digital FIR filter.

The main benefits of the architecture with interconnected FIFO versus architecture using multiplexing/de-multiplexing data bus is summarized below:

- The data bus has been removed, hence fewer resources are consumed, especially at greater degrees of internal parallelism, and a better operation period is achieved.
- Control via the control unit is easier, since the unique pairing between FIFO structures and computational units allows to avoid multiplexing processes for memory selection.

Till now, implementations of the FFE equalizer modify only the internal parallelism to maximize efficiency. To improve efficiency and exploit all disposable resources, it is necessary to study and implement reception and processing of more than one input data values at the same time (also referred to as an external parallelism), achieving maximum use of parallelism capabilities offered by the FPGA in which we implement the equalizer. The new equalization circuit comprises multiple FFE circuits, such as those described before. Depending on the external parallelism selection, as many equalization sub-circuits are created within the primary circuit, as the amount of simultaneously arriving inputs. Two data busses have been placed in the input and output stage of the equalizer, to address appropriately input and output data signals related to the FFE sub-circuits.

The final stage of multiple parallel equalizers implementation is shown in Figure 9. The d parameter indicates the number of multiple parallel implemented FFE architectures. Input signals arriving in packages of size d and feed all FFE architectures simultaneously. Data throughput rate depends on both d and k parameters, where the k parameter indicates each separate FFE architecture.

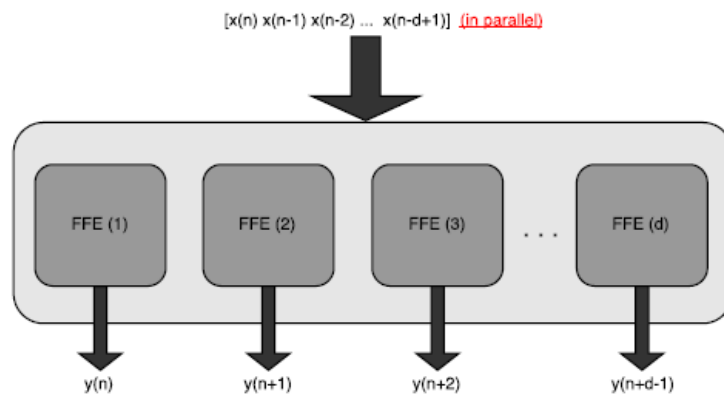


Figure 9. Multiple Parallel FFE architectures. Input signals x arrive at d -length packets at all FFE sub-circuits simultaneously. Throughput rate depends on both d and k parameters

Since all simultaneously arriving inputs must enter and register massively and without delay into the

RAM memories of the equalizer sub-circuits, we need to impose certain reforms in hardware in order to meet this requirement and maintain consistency. More specifically, as each RAM memory (FIFO structure) may access only a memory slot per clock cycle, the word length of the memory slot is adapted depending on external and internal parallelism to receive all or part of the input data bus. To store multiple input signals without affecting the existing functionality of FFE memory structure, we implemented a RAM memory segmentation approach. Existing FIFO structures of size equal to $((N+1)/k) \times 1$ are converted into FIFO structures of size equal to $r \times b$, where:

$$b = \text{Number of banks} = \begin{cases} (N+1)/k, & \frac{N+1}{k} \leq d \\ d, & \alpha\lambda\lambda\omega\varsigma \end{cases} \quad (1)$$

and

$$r = \text{depth} = \begin{cases} 1, & \frac{N+1}{k} \leq d \\ (N+1)/k/d, & \alpha\lambda\lambda\omega\varsigma \end{cases} \quad (2)$$

The topology of multiple parallel FFE architectural ignites some mandatory changes in the ROM memory structure. Simultaneous processing of packets from all parallel FFE circuits involves some unwanted calculations. For example, assuming that $d=4$, then $x(0)$, $x(-1)$, $x(-2)$, $x(-3)$ will arrive at the first operation cycle, although output $y(0)$ only depends on the input $x(0)$, output $y(1)$ only on $x(0)$, $x(-1)$ etc.. On this direction, we customized the ROM structure, according to the topology shown in Figure 10. In this example, every ROM belongs to a different FFE circuit (the corresponding y output signal that utilizes the particular ROM is indicated in brackets). As it can be seen from the figure, $d-1$ extra zeros have been added in each ROM memory, in such organization that cuts away unwanted calculations (multiplication by zero) and synchronizes the outputs during the operation of multiple parallel FFE circuits.

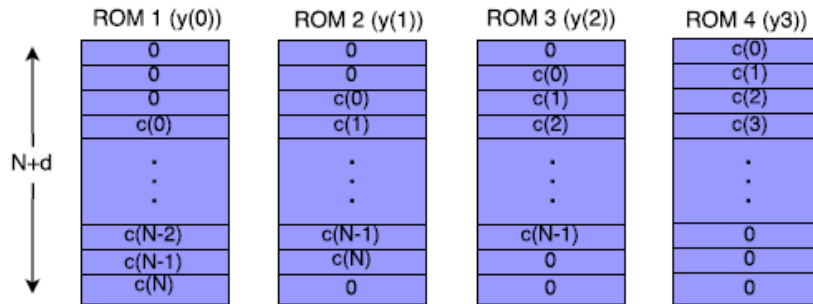


Figure 10. ROM memory structure example in multiple parallel FFE architecture. Extra zero cells have been added to isolate unwanted calculations.

Then the discussion focuses on assessing the effectiveness of the proposed flexible FFE equalization scheme regarding its performance, while the signals bit level precision varies. The study was performed using real experimental data from a PAM-4 symbol optical transmission link with rate equal to 40 Gbaud, using offline DSP algorithms and bit level precision filter models in Matlab.

To investigate the equalizer efficiency, we implemented the standard optical link shown in Figure 11. This optical link can support symbol transmission rate up to 40 GBaud for PAM-4 and PAM-8 modulation format at 80 Gb/s and 120 gb/s, respectively [13]. The embodiment consists of a distributed feedback laser (DFB), an electro-absorption modulator (EAM) with bandwidth at 24.3

GHz, singlemode optical fiber of length 200m, and a photoreceptor with limited bandwidth at 35 GHz, combined with digital equalization circuit to confront with the bandwidth limitations across the link. The linear equalization is applied to the receiver, to avoid reducing the signal amplitude to the modulator, while the FFE method was selected mainly because of its simplicity, so as the implementation is independent of the hardware platform (ASIC or FPGA) choice.

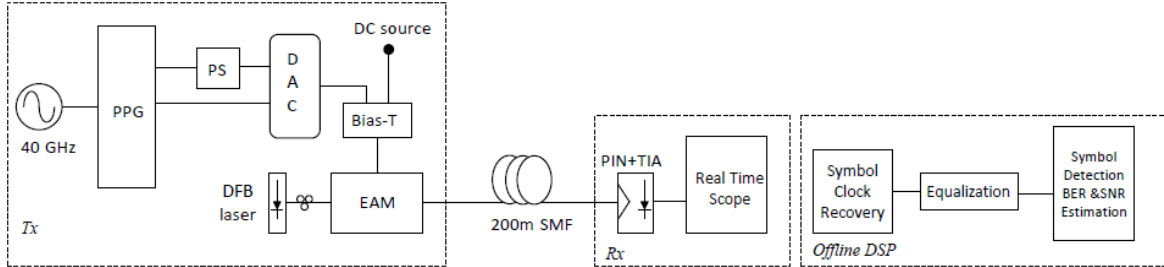


Figure 11. Experimental optical link used to investigate the performance of the FPGA FFE equalizer

In offline DSP system, symbol frequency recovery is performed, and then FFE equalization is applied, in order to calculate the channel response. The sampled data are initially stored in the oscilloscope, and then after the symbol clock recovery algorithm that selects the optimal sampling point are driven to the equalizer, for the simulation of which, the Xilinx Virtex 7 XC7VH580T FPGA has been chosen. This topology allows the performance assessment of the FPGA circuit in real time. It also allows estimating the Bit Error Rate (BER). PAM-4 was selected as the modulation technique.

In order to assess the extent to which the performance of the proposed equalization circuit is affected when the input, coefficients and output signals accuracy is limited, we described in Matlab a bit level accurate equalizer model. Both the input signal and the filter coefficients (32 taps) were rounded to n bits. The filter output and the intermediate signals were rounded to m bits, so as the $m \geq n$ condition is true.

Calculation of the FFE filter taps

To calculate the filter taps, we created an equalizer object using an ideal constellation with levels $[-3 -1 1 3]$, which is then trained using the least mean squares algorithm. Once the error is sufficiently reduced, the training process stops. The extracted taps are then used in the equalization process applied to the received data, wherein the equalizer circuit is implemented by a static digital FIR filter.

Filter object implementation

Thereafter, the direct digital filter is declared to simulate the digital FIR filter, using the coefficients calculated above. Before the equalization, the word lengths (integer and fractional part) of the inputs, coefficients, intermediate products, as well as of the accumulator and the output are defined. To represent the input signal, intermediate results and output signal, words of fixed integer part length, and equal to 3 bits, are used. The coefficients integer part is also fixed and equal to 2 bits. Then FFE is applied to the input signal, and the output signal of fixed integer and variable fractional part, is calculated. Additionally a double precision (64 bits) FFE filter was implemented in Matlab in order to be used later as reference. The n and m parameters vary in order to achieve the minimum allowable BER degradation using the minimum number of digits to represent the signal (and thus achieving less resource utilization on the FPGA).

Symbol detection

Symbol detection follows, so that all the equalized symbols are categorized to four distinct levels (symbols) as defined by the PAM-4 modulation: $-3, -1, 1, 3$.

BER calculation/estimation

The BER of the Gray-coded demodulated signal is estimated by using a known pattern of expected demodulated values. The patterns' sequence, and the demodulated signal are converted from decimal to binary, so that the BER is measured at bit level as the difference between the bits of the first signal from the bits of the other signal (the known pattern), located at the corresponding positions. The minimum BER value we can measure is limited, and cannot be less than the 10^{-8} order (due to the number of processed symbols). In this case, the BER estimation can be accomplished by applying a theoretical model based on the signal-ratio SNR (Signal to Noise Ratio), to the equalized signal. Initially the Symbol Error Rate is estimated (SER) using the SNR:

$$SER = \frac{2 * (M - 1)}{M * \log_2(M)} * Q\left(\sqrt{\left(\frac{6}{M^2 - 1}\right) * SNR}\right)$$

,wherein the Q function is the cumulative distribution function, and the parameter M is equal to the constellation order (here is equal to 4), and then the bit level BER can be estimated as:

$$BER = SER / \log_2(M)$$

As shown in Table 12, the input and output signals accuracy is represented by the (n,m) pair. For each n parameter value, two pairs (n,m) are recorded: the first refers to the case where $n = m$ and represents the minimum required representation accuracy of the output signal (for the selected n) and the second pair has been selected, considering the best BER achievable, along with the minimum output accuracy, in which this BER can be achieved. Also, the table lists the measured BER values for each accuracy (n, m) pair.

Input and output signals accuracy	BER measurements for 32 taps filter
(4,4)	6.3×10^{-3}
(5,5)	3.09×10^{-4}
(5,7)	1.31×10^{-4}
(6,6)	4.59×10^{-5}
(6,8)	7.5×10^{-6}
(7,7)	3.75×10^{-7}
(7,9)	3.13×10^{-7}
(8,8)	2.5×10^{-7}
(8,9)	1.88×10^{-7}
(9,9)	5.68×10^{-9}
(9,11)	3.08×10^{-9}
(10,10)	2.38×10^{-9}
(10,12)	1.76×10^{-9}
(11,11)	1.69×10^{-9}
(11,12)	1.59×10^{-9}
(12,12)	1.63×10^{-9}
Double accuracy (64 bits Matlab FFE)	1.59×10^{-9}

Figure 12. BER measurements for different input and output accuracy pairs of the configurable filter, as well as of the double accuracy reference filter

The pre-equalization BER equals to $BER_{pre-FFE} = 3.5 \times 10^{-4}$.

The BER trend (in logarithmic scale) for all equalization combinations is represented in figure 13. The FEC thresholds indicate the maximum of BER degradation tolerance for the specific FEC codes. The BER value achieved by the double-precision reference filter is depicted (in green) as well.

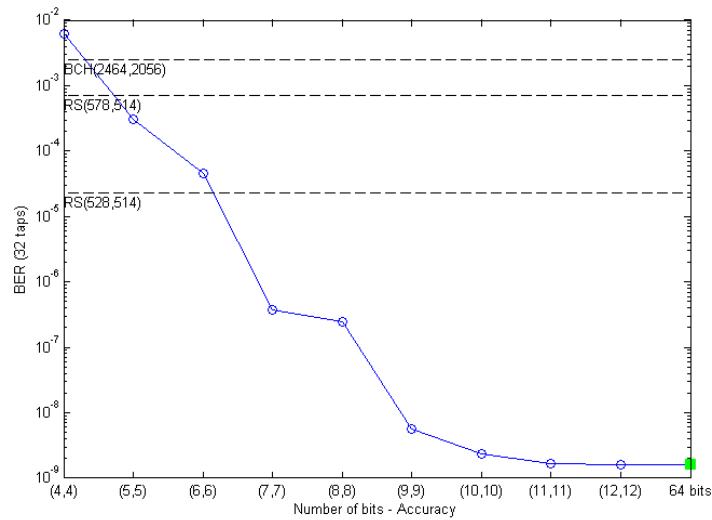
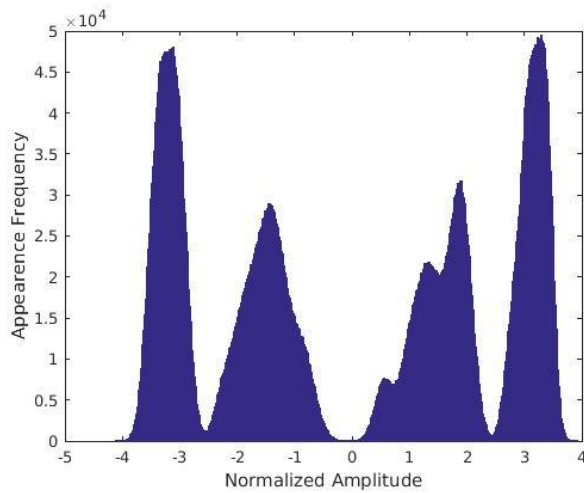


Figure 13. BER results of equalized experimental data as a function of precision pairs. The dotted lines represent the three different FEC coded thresholds.

As expected, the more the bits used for the binary representation of the signals, the lower is the BER. However, for $n, m > 10$ bits, even with increasing signal accuracy, the BER shows minimal improvement. The measurement results show significant improvement in signal quality after equalization. In configurations with small accuracy n, m parameters ($n, m < 9$) a difference of several orders of magnitude between the measured BER values and the reference filter BER is observed, which decreases as the parameters n and m increase. From Figure 13, it is concluded that for almost all configurations the achieved BER is much lower than the threshold value of powerful FEC codes such as the BCH code (2464,2056), while for several of the configurations (for example for $n, m \geq 7$ bits), a lighter FEC code introduction could be a viable solution. In any case, it can be concluded that depending on the accuracy parameters selection, solutions with low complexity FEC encoding become viable, with consequent reduction of the overall system's complexity and significant energy savings (due to less resource consumption).

Finally, the next figures depict the histograms of the appearance frequency of the signal amplitudes for the following signal cases: no equalization employed, the received signal equalized by the double-precision reference filter, and the received signal equalized using the configurable FFE filter for $n, m = 5$ and $n, m = 10$. The signal improvement/restoration is obvious after the equalization, even in the configuration with the minimum accuracy selection ($n, m = 5$) where the histogram appears "quantized" due to insufficient number of bits for representation.



Σχήμα 14. Histogram with the normalized amplitudes appearance frequency of unequalized signal

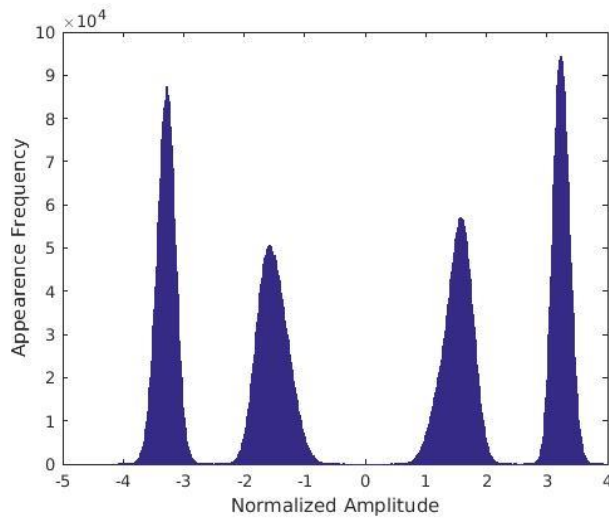


Figure 15. Histogram with the normalized amplitudes appearance frequency of signal after employing the FFE double precision reference filter

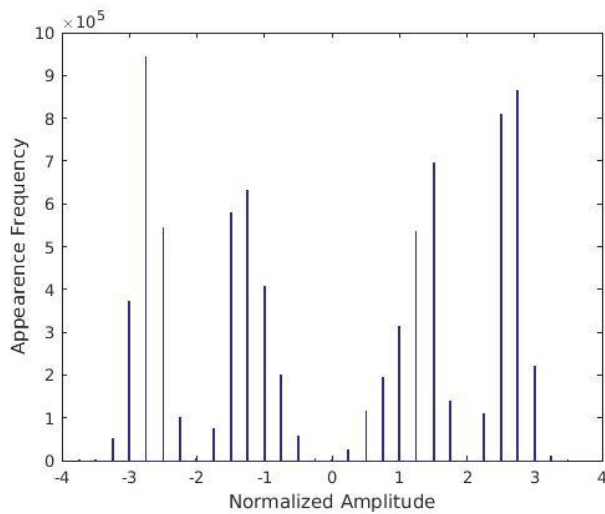


Figure 16. Histogram with the normalized amplitudes appearance frequency of signal after the configurable FFE filter for $n,m = 5$

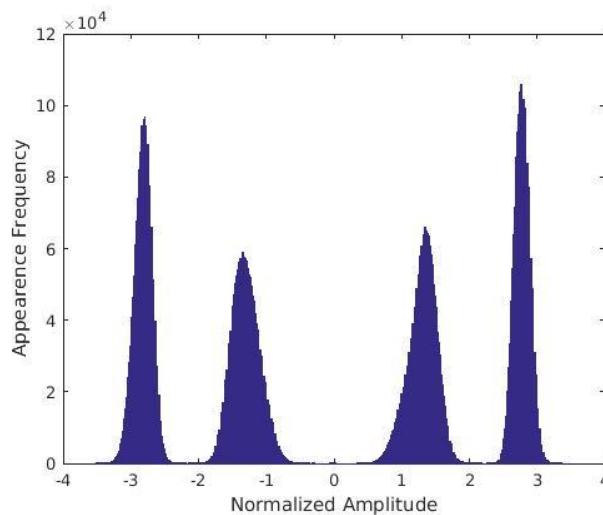


Figure 17. Histogram with the normalized amplitudes appearance frequency of signal that passed through the configurable FFE filter for $n, m = 10$

FPGA implementation modeling

For the purposes of resource consumption investigation and verification of the circuit's correct operation, we used the ISE Design Suite 14.7 and Vivado Design Suite 2015.2 software suites of Xilinx. The FPGA Xilinx XC7VH580T (Virtex 7 family) was chosen as the basic implementation platform (only in software platforms, no actual FPGA was used during the experiments), which incorporates multiple GTZ transceivers (28.05 Gb/s), offering the feasibility of implementing and evaluating complex network systems. It is worth emphasizing that the VHDL code for the FFE filter is fully portable and compatible with any FPGA device.

The implementation of the FFE equalization system in FPGA platform is based on a fully customizable architecture. The customization of the system is very important as:

- Makes the architecture fully adaptable to different implementations of the FFE circuit,
- allows us to conduct detailed design space exploration,
- allows the architecture configuration from the accuracy scope.

To complete the implementation of the parametric architecture, we defined a set of parameters taking into account the filter's coefficients, the internal and external parallelism and bit level accuracy for the various FFE filter's signals.

In the next step of our study the FPGA architecture is evaluated, considering the bit level accuracy and the throughput rate. We evaluated two different FFE filter implementations, the first for $n, m = 6$ and the second for $n, m = 10$ in order to make conclusions about the trade-offs between the resource consumption and the selected accuracy, while the correct operation of the circuit is validated by comparing the results with the corresponding measurements of the configurable Matlab filter. As in the Matlab configurable filter, this architecture allows us to define the accuracy bit level of the input signal, the coefficients, the intermediate signals (multiplier, accumulator, adder tree) and the output signal. Table 18 depicts the setted accuracy values of (6,6) and (10,10) FPGA FFE filters.

FPGA configuration Accuracy	Bit Accuracy									
	Input signal		Coefficients		Multiplier		Adder Tree		Output signal	
	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>
(6,6)	3	3	2	4	3	3	3	3	3	3
(10,10)	3	7	2	8	3	7	3	7	3	7

Figure 18. Accuracy parameters setting for the FPGA architecture, taking into account the fact that each accuracy parameter consists of an integer and a fractional part

In the following table, for each of the two FPGA configurations the resources, the maximum achievable throughput rate, the operating frequency, the external parallelism and the BER are listed. Both FPGA implementations do not use Block RAM memories (BRAM), because we have chosen $K = N + 1$, so all of the memory elements are implemented by registers (DFFs).

FPGA configuration Accuracy	Performance characteristics and resource consumption						
	<i>Operation frequency</i>	<i>External parallelism</i>	<i>Throughput</i>	<i>LUTs</i>	<i>DFFs</i>	<i>BRAMs</i>	<i>DSPs</i>
(6,6)	227 MHz	128	29.06 GSa/s	85.62%	73%	0%	100%
(10,10)	204 MHz	64	13.06 GSa/s	89.89%	68.63%	0%	100%

Figure 4.19. Throughput rate, FPGA implementations resource consumption, external parallelism and operating frequency for $n,m = 6$ and $n,m = 10$

The following table lists the BER values obtained from FPGA and Matlab implementations respectively. In the last two columns, the error values are assigned to the variations of the FPGA and the Matlab output values from the reference filter output values.

FPGA configuration Accuracy	BER measurements and Error			
	<i>BER(FPGA)</i>	<i>BER(Matlab)</i>	<i>Deviation between FPGA FFE and 64-bit FFE</i>	<i>Deviation between Matlab FFE and 64-bit FFE</i>
(6,6)	5.64×10^{-5}	4.59×10^{-5}	0.2747	0.1923
(10,10)	2.66×10^{-9}	2.38×10^{-9}	0.1271	0.0279

Figure 4.20. BER comparison between the FPGA and the Matlab implementations and variation from the double reference filter

From Tables 4.19 and 4.20, it is obvious that as we increase the accuracy in the description of the various signals of the filter, the performance of the FPGA FFE decreases (the throughput rate mostly), and more FPGA resources are consumed. At the same time the BER achieved in the (10,10) implementation is clearly improved compared with the corresponding BER achieved in the (6,6) implementation. This observation confirms basically the forced (and expected) compromise between the quality of the transmitted signal and the FFE system's performance: The better the accuracy in the representation of the various signals, and hence the quality of the transmitted signal, the lower the performance of the FPGA FFE is. Respectively, if we apply reduced representation accuracy, the FPGA FFE performance will be proportionally higher.

To conclude, we studied, implemented and evaluated a high performance FPGA FFE equalizer, suitable for high bandwidth telecommunication systems. Without any doubt, we have improved the quality of the degraded due to bandwidth limitations signal. Additionally, we could avoid burdening the overall telecommunications system with complex and expensive circuits for signal correction, such as the incorporation of a strong FEC coding circuit. By fully exploiting the parallelism and flexibility offered by the FPGA integrated circuit architecture, we designed our system giving first priority to be fully customizable and thus reconfigurable, depending on the requirements of each application. At the same time, system's efficiency was kept at high levels, which can be confirmed

by the high throughput rate we presented before. As a future study, we can investigate the further optimization of the equalization system to achieve even greater throughput rates as well as the real-time implementation of the FPGA filter with real data, through its incorporation in a modern optical interconnect. Moreover, the modification of our architecture in order to support real time reconfiguration and respond directly to the real system's demands, would enhance the overall system's flexibility.

ΚΕΦΑΛΑΙΟ 1.

Εισαγωγή

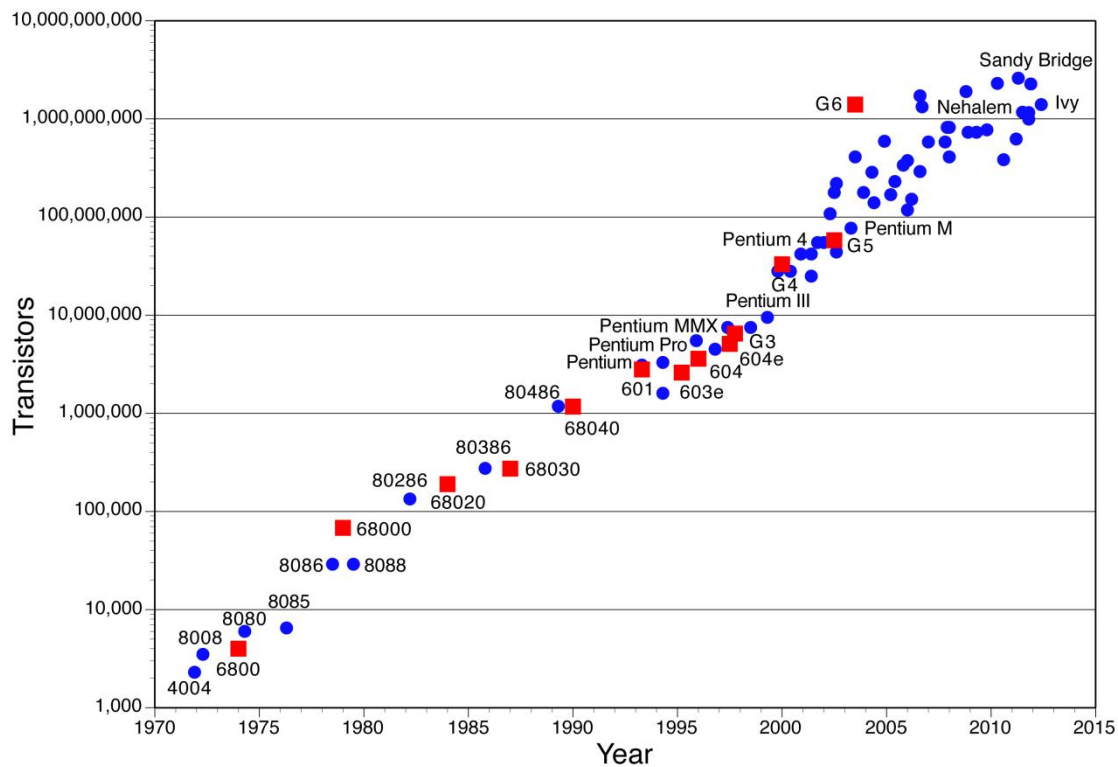
1.1 Επεξεργασία και μετάδοση δεδομένων στις τηλεπικοινωνιακές υποδομές

Τα τελευταία χρόνια, η ραγδαία αύξηση της τεχνολογίας έχει συμβάλει μεταξύ άλλων στην εξέλιξη των τηλεπικοινωνιακών και υπολογιστικών συστημάτων, αλλά παράλληλα έχει δημιουργήσει και νέες ανάγκες για περαιτέρω προσαρμογή τους στις νέες τάσεις. Οι συνεχώς αυξανόμενες απαιτήσεις για επεξεργασία και μετάδοση δεδομένων έχουν οδηγήσει την επιστήμη των τηλεπικοινωνιών στην αναζήτηση νέων τρόπων αποδοτικότερης εκμετάλλευσης της δικτυακής υποδομής καθώς και στην εύρεση των μέσων για την υλοποίησή τους.

Η εντυπωσιακή αυτή ζήτηση έχει υπερκεράσει τις συνεχιζόμενες εξελίξεις στον τομέα των υποδομών δικτύου, όπου ακόμα ακολουθείται ο νόμος του Moore (σχήμα 1.1). Για την αντιμετώπιση της ζήτησης, που αυξάνει σταθερά κατά 20% κάθε χρόνο, τα μοντέρνα κέντρα δεδομένων (data centers) ανανεώνονται και εξοπλίζονται με συστήματα οπτικών διασυνδέσεων για συνδέσεις τύπου rack-to-rack, board-to-board και chip-to-chip, των οποίων η συμβολή είναι επιδραστική στην αντιμετώπιση της αυξανόμενης για χωρητικότητα ζήτησης και παράλληλα στην ικανοποίηση της ανάγκης για χαμηλού κόστους επικοινωνία. Γίνεται αναγκαία λοιπόν η εισαγωγή μεθόδων οπτικής και ηλεκτρικής πολυπλεξίας στις οπτικές διασυνδέσεις έτσι ώστε να ξεπεραστούν οι περιορισμοί χωρητικότητας σε κέντρα δεδομένων με υψηλές απαιτήσεις επικοινωνίας. Βέβαια, η ενσωμάτωση πολυεπίπεδων διαμορφώσεων υψηλότερων ρυθμών προκαλεί υποβάθμιση στην ακεραιότητα του σήματος εξαιτίας των εξής παραγόντων:

- Περιορισμοί στο εύρος ζώνης λόγω του υλικού από το οποίο κατασκευάζεται το τυπωμένο κύκλωμα.
- Περιορισμοί στο εύρος ζώνης λόγω των οπτοηλεκτρονικών στοιχείων (πομπός, δέκτης) που χρησιμοποιούνται στο εμπόριο.
- Η απόκριση του οπτικού κυματοδηγού σε συστήματα που περιλαμβάνουν πολύτροπες συνδέσεις, παρουσιάζει διασπορά τρόπων διάδοσης η οποία εκδηλώνεται ως περιορισμός στο εύρος ζώνης του προϊόντος.

Συνεπώς, καθίσταται επιτακτική η ανάγκη για χαμηλού κόστους και χαμηλής πολυπλοκότητας συστήματα που μετριάζουν την προκαλούμενη από τα ηλεκτρικά και οπτικά εξαρτήματα υποβάθμιση του σήματος, εφαρμόζοντας μοντέρνες τεχνικές ισοστάθμισης. [1] Αξιοποιώντας τις διάφορες ψηφιακές μορφές ισοστάθμισης (FFE, DFE, MLSE), γεννάται η δυνατότητα να εξομαλυνθεί η απόκριση του καναλιού και συνεπώς να μεταβάλλεται πιο ομαλά, χωρίς να προκαλεί επιπλέον παραμόρφωση στο διαδιδόμενο σήμα.



Σχήμα 1.1. Ο νόμος του Moore για τον πολλαπλασιασμό των τρανζίστορ στα ολοκληρωμένα κυκλώματα μέχρι και το έτος 2015

Από την πλευρά των σχεδιαστών, για την εξυπηρέτηση των παραπάνω αναγκών αξιοποιούνται ολοένα και περισσότερο συστήματα ψηφιακής επεξεργασίας σήματος στα οποία πραγματοποιείται τμήμα ή ολόκληρη η επεξεργασία του ρεύματος δεδομένων σε (αφιερωμένες) συσκευές επεξεργασίας ειδικού σκοπού, όπως τα συστήματα τεχνολογίας FPGA και ASIC. Ειδικότερα, τα FPGAs μπορούν να θεωρηθούν ως μία ελκυστική λύση για να αντιμετωπισθούν οι τεράστιες απαιτήσεις σε εύρος ζώνης στα σημερινά κέντρα δεδομένων. Αυτό συμβαίνει, λόγω της εξαιρετικής δυνατότητας παράλληλης επεξεργασίας που διαθέτουν και των έμφυτων χαρακτηριστικών που τους επιτρέπει να προσαρμόζονται σε πραγματικό χρόνο στις διάφορες λειτουργίες της υποδομής. Το γεγονός ότι τα FPGAs είναι εγγενώς δυναμικά, δηλαδή δύναται να επαναπρογραμματιστούν ανάλογα με τις απαιτήσεις της σχεδίασης αποτελεί και τον βασικότερο παράγοντα επικράτησης τους σε μεγάλο εύρος αντίστοιχων εφαρμογών.

Τα σημαντικά αυτά πλεονεκτήματα των FPGAs μπορούν να αξιοποιηθούν στα κέντρα δεδομένων, όπου η εμφάνιση των εφαρμογών cloud, των εφαρμογών με περιεχόμενο video και του Διαδικτύου των Πραγμάτων (Internet of Things) τείνουν να προκαλέσουν την αύξηση της κυκλοφορίας δεδομένων σε διπλάσια ποσοστά ανάπτυξης.

1.2 Αντικείμενο διπλωματικής

Στόχος της παρούσας διπλωματικής εργασίας είναι η κατασκευή κυκλώματος ισοστάθμισης (equalizer) με δυνατότητα υψηλού ρυθμού διακίνησης δεδομένων (throughput) σε πλατφόρμα FPGA για συστήματα οπτικών διασυνδέσεων. Ως μέθοδος ισοστάθμισης επιλέχθηκε η ισοστάθμιση feed forward equalization (FFE). Περιληπτικά, η αρχική μελέτη επικεντρώνεται στη διερεύνηση της υποβάθμισης που υπόκεινται τα τηλεπικοινωνιακά σήματα κατά τη διάδοσή τους εντός του δικτύου,

λόγω του συνεχώς περιοριζόμενου εύρους ζώνης και στην ανάγκη της επιβολής ισοστάθμισης για την αντιμετώπιση του φαινομένου αυτού. Διάφορες παραμετροποιήσιμες υλοποιήσεις κυκλωμάτων ισοστάθμισης εξετάστηκαν στη συνέχεια, μελετώντας όλο το φάσμα σειριακών και παράλληλων αρχιτεκτονικών. Όσον αφορά την παράλληλη αρχιτεκτονική, για την αποθήκευση και επεξεργασία του ρεύματος δεδομένων δοκιμάστηκαν και συγκρίθηκαν δύο διαφορετικές τοπολογίες. Στη πρώτη υλοποιείται το ψηφιακό φίλτρο (FIR) του κυκλώματος ισοστάθμισης χρησιμοποιώντας πολυπλεξία στο διάδρομο δεδομένων για την διάδοση των δεδομένων εισόδου, ενώ στην δεύτερη χρησιμοποιείται διασυνδεδεμένη δομή FIFO (First In First Out) για το σκοπό αυτό. Επίσης, περιγράφεται το οπτικό σύστημα πραγματικού χρόνου μέσα στο οποίο ενσωματώνεται το κύκλωμα FFE ισοστάθμισης, και αναλύονται τα δομικά στοιχεία που το αποτελούν. Τέλος, γίνεται μελέτη ακρίβειας για να εξαχθεί ο καλύτερος συνδυασμός ακρίβειας δεδομένων εισόδου και εξόδου, ώστε το σύστημα να είναι αποδοτικό και ταυτόχρονα η λειτουργικότητα του να παραμένει ανεπηρέαστη.

Στο πλαίσιο της διπλωματικής εργασίας, οι δομικές μονάδες που χρησιμοποιήθηκαν για την κατασκευή του κυκλώματος ισοστάθμισης, περιγράφηκαν σε γλώσσα περιγραφής υλικού VHDL. Για τις εισόδους του κυκλώματος καθώς και για την έξοδο αυτού, επιλέχτηκε μεταβλητή ακρίβεια, ώστε να πραγματοποιηθεί η μελέτη, καθώς και να παρουσιάζει μεγαλύτερο βαθμό ευελιξίας και προσαρμοστικότητας. Για τη προσομοίωση της λειτουργίας του κυκλώματος ισοστάθμισης και τη διεξαγωγή μετρήσεων επιλέχτηκε FPGA της οικογένειας Virtex 7 της Xilinx, και πιο συγκεκριμένα το μοντέλο XC7VH580T, με μεγάλη διαθεσιμότητα πόρων. Τέλος, για τη μελέτη ακρίβειας η λειτουργία του κυκλώματος ισοστάθμισης εξομοιώθηκε σε Matlab.

1.3 Οργάνωση κειμένου

Στο κεφάλαιο 2 παρουσιάζεται το απαραίτητο θεωρητικό υπόβαθρο για τη συνέχεια της διπλωματικής, και αναλύονται βασικές έννοιες που θα χρησιμοποιηθούν παρακάτω.

Το κεφάλαιο 3 είναι εξ' ολοκλήρου αφιερωμένο στη περιγραφή του FFE κυκλώματος σε πλατφόρμα FPGA: αναλύεται η σειριακή αρχιτεκτονική, καθώς και οι διαφορετικές εκδοχές της παράλληλης αρχιτεκτονικής.

Στο κεφάλαιο 4 περιγράφεται αναλυτικά το οπτικό σύστημα (πειραματική διάταξη) πραγματικού χρόνου μέσα στο οποίο ενσωματώνεται το κύκλωμα ισοστάθμισης και παρουσιάζονται τα πειραματικά αποτελέσματα έπειτα από την ανάλυση πάνω στην επίδραση των διαφορετικών επιλογών ακρίβειας στη λειτουργία του κυκλώματος, ως προς την αποδοτικότητα (μέγιστη συχνότητα λειτουργίας, κατανάλωση πόρων) και ορθή λειτουργία (σηματοθορυβικός λόγος-BER, ποιότητα σήματος) αυτού.

Στο κεφάλαιο 5 παρατίθενται τα συμπεράσματα που εξήχθησαν κατά τη διεξαγωγή της διπλωματικής εργασίας, καθώς και κάποιες προτάσεις για μελλοντική υλοποίηση.

Στο κεφάλαιο 6 τέλος, παρατίθεται η βιβλιογραφία που χρησιμοποιήθηκε για την εκπόνηση της διπλωματικής εργασίας.

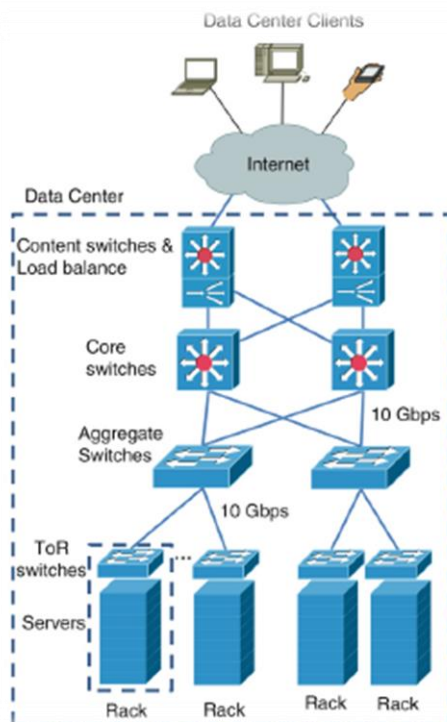
ΚΕΦΑΛΑΙΟ 2

Θεωρητικό Υπόβαθρο

2.1 Κέντρα Δεδομένων

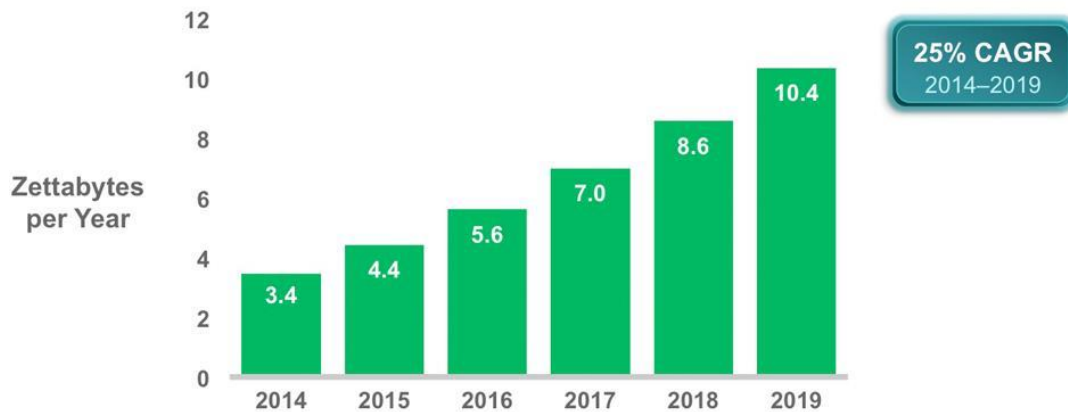
Λόγω των σύγχρονων τεχνολογικών απαιτήσεων και των αυξημένων υπολογιστικών αναγκών, καθίσταται πια επιτακτικός ο σχεδιασμός περισσότερων και πιο ισχυρών υπολογιστικών δομών. Τέτοιες δομές είναι τα κέντρα δεδομένων (Data centers). Βασικός σκοπός ενός κέντρου δεδομένων είναι η αποθήκευση, η διαχείριση και η διάδοση των δεδομένων και των πληροφοριών που σχετίζονται και είναι απαραίτητα σε έναν οργανισμό[2]. Ένα τυπικό κέντρο δεδομένων μπορεί να περιλαμβάνει δεκάδες ή εκατοντάδες servers, οι οποίοι συνθέτουν μεταξύ τους συστάδες και τελικά σχηματίζεται μία μαζική παράλληλη υπερ-υπολογιστική δομή. Στο σχήμα 2.1 απεικονίζεται μια τυπική συστοιχία από servers σε ένα κέντρο δεδομένων.

Οι servers σε κάθε συστάδα συνδέονται μεταξύ τους με έναν μεταγωγέα (switch) στην κορυφή της συστοιχίας που ονομάζεται ToR (top-of-rack), ο οποίος με τη σειρά του συνδέεται σε ανώτερο επίπεδο με τους αντίστοιχους μεταγωγείς από τις υπόλοιπες συστοιχίες (cluster switches). Αυτή λοιπόν η συστοιχία των μεταγωγέων παρέχει πλήρη συνδεσιμότητα μεταξύ των συστάδων από servers ενώ σε αυτή την δομή των μεταγωγέων στηρίζεται η λειτουργία μιας εξελισσόμενης κατηγορίας υπολογιστικών συστημάτων που ονομάζονται warehouse-scale computers (WSCs). Πλέον αρκετές σύγχρονες εφαρμογές που παλιότερα εκτελούνταν στο μηχάνημα του κάθε χρήστη ξεχωριστά, τώρα πια μέρος αυτών ή συνολικά ολόκληρες εφαρμογές τρέχουν στην πλευρά των servers ενώ το εύρος εφαρμογών μπορεί να περιλαμβάνει online εφαρμογές όπως είναι για παράδειγμα τα e-mails, οι χάρτες, και η εκτεταμένη αναζήτηση και ο αποθηκευτικός χώρος που παρέχουν γνωστές εταιρείες όπως η Google, η Amazon, η Yahoo, η Microsoft και η Facebook.



Σχήμα 2.1. Η αρχιτεκτονική ενός δικτύου Data center

Γίνεται λοιπόν κατανοητό, ότι υπάρχει μια γραμμική σχέση ανάμεσα στην εξέλιξη της τεχνολογίας της πληροφορικής και της κίνησης σε ένα κέντρο δεδομένων, όπως φαίνεται και στο σχήμα 2.2. Είναι προφανές ότι ένα κέντρο δεδομένων, εκτός από τις υπηρεσίες που προσφέρει, έχει τεράστιες απαιτήσεις σε ηλεκτρική ενέργεια. Πέρα από την κατανάλωση ισχύος στις υπολογιστικές μονάδες του κέντρου, πολύ μεγάλες ανάγκες πρέπει επίσης να καλυφθούν για την ψύξη των υπολογιστικών συστημάτων αλλά και για την αντιστάθμιση των καθημερινών απωλειών[3]. Ενδεικτικά, μέχρι πρόσφατα, στις ΗΠΑ το 1,5% του συνόλου της ηλεκτρικής κατανάλωσης αφορούσε αποκλειστικά την τροφοδοσία των servers και των κέντρων δεδομένων. Οι συνεχόμενες εξελίξεις στις περιοχές του Internet of Things και των υπηρεσιών cloud, προμηνύουν ότι οι ενεργειακές απαιτήσεις θα συνεχίσουν να αυξάνουν ραγδαία.



Σχήμα 2.2. Διάγραμμα που απεικονίζει την ετήσια αύξηση της κίνησης στα κέντρα δεδομένων. Η διακίνηση δεδομένων σε ένα data center αυξάνεται με ρυθμό μεγαλύτερο από 20% κάθε χρόνο

Ένα κέντρο δεδομένων λοιπόν αποτελείται από πολλαπλά racks ή συστάδες όπως αναφέρθηκε, που φιλοξενούν τους servers που συνδέονται με το δίκτυο διασύνδεσης του κέντρου. Για παράδειγμα, όταν λαμβάνεται αίτημα από ένα χρήστη των παρεχόμενων εφαρμογών, τότε προωθείται μέσω του Internet στο ανώτερο επίπεδο του κέντρου δεδομένων. Στο στάδιο αυτό, το αίτημα εξετάζεται από τους μεταγωγείς περιεχομένου (content switches) και από τις συσκευές διαχείρισης του φορτίου (load balance devices) και έπειτα δρομολογείται στους κατάλληλους servers. Στο σημείο αυτό, ενδέχεται το αίτημα να απαιτεί την επικοινωνία του server με πολλούς άλλους servers. Για ένα απλό αίτημα αναζήτησης στο διαδίκτυο, απαιτείται η επικοινωνία και ο συγχρονισμός μεταξύ ενός web server, ενός application server καθώς και ενός database server. Το βασικότερο πρόβλημα της εν λόγω αρχιτεκτονικής με τις συστοιχίες από servers είναι η υψηλή κατανάλωση ισχύος και ο μεγάλος αριθμός φυσικών συνδέσεων (links) καθώς και η αυξημένη πολυπλοκότητα.

Η επικοινωνία μεταξύ των συστοιχιών υλοποιείται μέσω οπτικών διασυνδέσεων, με την χρήση οπτικών στοιχείων. Η επικοινωνία μέσω της αξιοποίησης της οπτικής τεχνολογίας προτιμάται έναντι κλασικών μεθόδων ηλεκτρικών επικοινωνιών λόγω των παρακάτω πλεονεκτημάτων:

- Εξαιτίας των πολύ χαμηλών ρυθμών απωλειών που χαρακτηρίζουν τους κυματοδηγούς και τις οπτικές ίνες, η κατανάλωση ενέργειας επίκειται κατά κύριο λόγο στα σημεία όπου γίνεται η μετατροπή από οπτική ισχύ σε ηλεκτρική ισχύ (optical to electrical-OE) και αντίστροφα (electrical to optical-EO). Ως εκ τούτου η ενέργεια που καταναλώνεται είναι ουσιαστικά ανεξάρτητη από το μήκος της απόστασης που διανύει το οπτικό σήμα από την αφετηρία έως τον προορισμό του.

- Στα οπτικά στοιχεία το εύρος ζώνης δεν είναι αυστηρά εξαρτώμενο από τον ρυθμό διαμόρφωσης, ενώ στο ίδιο μέσο (κυματοδηγός/οπτική ίνα) μπορούν να χρησιμοποιηθούν περισσότερα από ένα μήκη κύματος του φωτός, επιλογή που δεν αποτελεί πρακτική λύση για υψηλής ταχύτητας ηλεκτρονική σηματοδότηση.
- Στις οπτικές επικοινωνίες, η ακεραιότητα του σήματος επηρεάζεται λιγότερο από ότι στις ηλεκτρικές επικοινωνίες.

Στα μοντέρνα κέντρα δεδομένων η φωτονική τεχνολογία έχει κερδίσει σημαντικό έδαφος σε εγκαταστάσεις μεγάλων αποστάσεων. Το εσωτερικό μιας συστοιχίας (rack) ενός κέντρου δεδομένων, εξακολουθεί να βασίζεται σε ηλεκτρονικά μέσα διάδοσης, όμως οι ηλεκτρικές διασυνδέσεις ενός σημερινού κέντρου δεδομένων έχουν ήδη αντικατασταθεί από οπτικές.

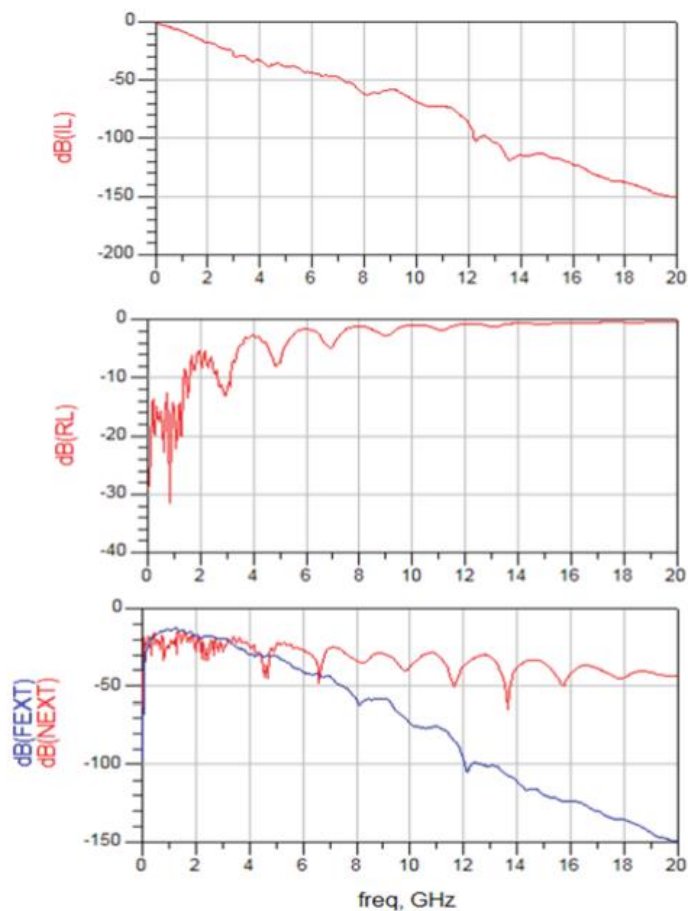
Τέλος, πολύ μεγάλη σημασία έχει ο τρόπος με τον οποίο το προσφερόμενο εύρος ζώνης μπορεί να αξιοποιηθεί με τον καλύτερο δυνατό τρόπο. Είναι βέβαιο ότι μια απλή ροή δεδομένων δεν μπορεί να ικανοποιεί τις αυξανόμενες απαιτήσεις σε όρους ταχύτητας και εύρους ζώνης. Για αυτό το λόγο, είναι επιβεβλημένη η εισαγωγή διαδικασιών πολυπλεξίας ώστε να αξιοποιηθεί όσο το δυνατό περισσότερο το μεγάλο εύρος ζώνης που προσφέρουν οι οπτικές ίνες. Οι πιο γνωστές διαδικασίες πολυπλεξίας είναι η πολυπλεξία με διαίρεση του χρόνου (Time division multiplexing-TDM), η πολυπλεξία με διαίρεση του χώρου (Spacing division multiplexing-SDM) και η πολυπλεξία με διαίρεση του μήκους κύματος (Wavelength division multiplexing-WDM). Η τελευταία μέθοδος μάλιστα, είναι αυτή που χρησιμοποιείται περισσότερο σε ανάλογες εφαρμογές.

2.2. Οπτικά συστήματα διασυνδέσεων

2.2.1 Περιορισμοί στις διασυνδέσεις χαλκού

Οι σχεδιαστές σήμερα, χρησιμοποιούν ευρέως διασυνδέσεις χαλκού για chip-to-chip και chip-to-module διεπαφές. Σε ταχύτητες που ξεπερνούν τα 10 Gbps, το μέγιστο μήκος διασύνδεσης διαμορφώνεται προσεγγιστικά στα 0.3 m για chip-to-chip και chip-to-module διεπαφές και στα 7 m για chip-to-chip διασύνδεση με συστοιχία καλωδίων χαλκού[4].

Η πρόκληση στο τομέα των διασυνδέσεων χαλκού οφείλεται στο γεγονός ότι η αποδοτικότητα δεν κλιμακώνεται με τον ρυθμό δεδομένων εξαιτίας των εξαρτώμενων από τη συχνότητα απωλειών. Για παράδειγμα, στο ευρέως χρησιμοποιούμενο υλικό κατασκευής χάλκινων μονοπατιών FR-4, η απώλεια είναι περίπου 0,5-1,5 dB/in στα 5 GHz (Nyquist για 10 Gbps ρυθμό), και οι απώλειες αυξάνουν σε περίπου 2.0-3.0 dB/in στα 12,5 GHz (Nyquist για 25 Gbps ρυθμό). Άλλες απώλειες, όπως οι απώλειες επιστροφής και το φαινόμενο crosstalk μπορεί επίσης να αυξηθούν με τη συχνότητα. Το σχήμα 2.3 δείχνει ένα παράδειγμα απώλειας λόγω παρεμβολής, απώλειας επιστροφής και φαινομένου crosstalk για PCI κανάλι server. Το παράδειγμα αυτό απεικονίζει πως οι απώλειες αυξάνουν σε σχέση με το ρυθμό δεδομένων. Στα 8 GHz (με ρυθμό μετάδοσης ίσο με 16 Gbps), οι απώλειες λόγω παρεμβολών ανέρχονται γύρω στα -60 dB, που είναι πολύ πέρα από το δυναμικό εύρος ισοστάθμισης για παλμό NRZ (~ 40 dB). Επομένως, η συγκεκριμένη τεχνολογία δεν μπορεί να κλιμακωθεί σε ρυθμό δεδομένων στα 16 Gbps, εκτός αν μειωθεί το μήκος καναλιού, περιορίζοντας όμως την ευελιξία του συστήματος. Επιπλέον, η μέθοδος απαιτεί επιπρόσθετα στοιχεία, όπως επαναλήπτη, προσθέτοντας ενέργεια, κόστος και πολυπλοκότητα.



Σχήμα 2.3. Απώλειες λόγω παρεμβολής, επιστροφής και φαινομένου crosstalk σε PCI κανάλι

Σε αυτά τα συστήματα λοιπόν, οι σχεδιαστές καλούνται να αντισταθμίσουν τα αρνητικά φαινόμενα που προκύπτουν, εφαρμόζοντας κάποια τεχνική ισοστάθμισης, είτε στη μεριά του πομπού ή στη μεριά του δέκτη, ώστε να εξασφαλιστεί ότι οι απαιτήσεις αποδοτικότητας της σύνδεσης καλύπτονται πλήρως (συνήθως ενδιαφέρει ο ρυθμός εμφάνισης λαθών (BER) να παραμένει χαμηλότερος από 10^{-12}). Ωστόσο, προσθέτοντας κυκλώματα ισοστάθμισης στη σχεδίαση, προκαλείται επιπλέον επιβάρυνση σε κόστος και ισχύ.

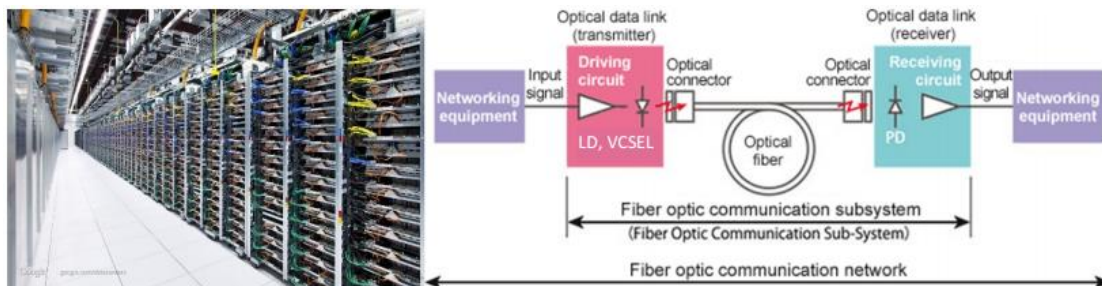
Στα σύγχρονα συστήματα διασύνδεσης, οι σχεδιαστές χρησιμοποιούν διασυνδέσεις χαλκού κυρίως για εμβέλεια έως και 10m, και οπτικές διασυνδέσεις κυρίως για αποστάσεις μεγαλύτερες των 10m, λόγω των χαρακτηριστικών και του κόστους κατασκευής και των δύο παραπάνω τύπων διασυνδέσεων. Βεβαία, είναι επιθυμητή η ανάπτυξη και υλοποίηση οπτικών διασυνδέσεων και για αποστάσεις μικρότερες των 10m, για να ξεπεραστούν οι προκλήσεις που επιφέρουν τα φαινόμενα απωλειών, η ακεραιότητα του σήματος και η κατανάλωση ισχύος των διασυνδέσεων χαλκού.

2.2.2 Πλεονεκτήματα συστημάτων οπτικών ινών

Σε αντίθεση με τις διασυνδέσεις χαλκού, η οπτική ίνα χαρακτηρίζεται από μηδαμινές απώλειες. Μία πολυτροπική ίνα (Multi Mode Fiber-MMF) εμφανίζει απώλειες της τάξης των 3 db/km και 1 db/km για μήκη κύματος 850 nm και 1300 nm αντίστοιχα. Μία μονοτροπική ίνα (Single Mode Fiber-

SMF) εμφανίζει απώλειες της τάξης των 0.4 db/km και 0.25 db/km για μήκη κύματος 1300 nm και 1550 nm αντίστοιχα. Η πολυτροπική οπτική ίνα είναι πιο φθηνή λόγω του μεγαλύτερου πυρήνα (~50 μm) με εύρος ζώνης κοντά στα 2 GHz και χρησιμοποιείται κυρίως για αποστάσεις μικρότερες του 1 km, ενώ η μονοτροπική ίνα μπορεί να είναι πιο ακριβή λόγω του μικρότερου πυρήνα της (~9 μm), αλλά προσφέρει εύρος ζώνης πρακτικά κοντά στα 100 THz και χρησιμοποιείται κυρίως για αποστάσεις μέχρι και μερικών χιλιάδων km. Στα 10 Gbps, η εμβέλεια μίας πολυτροπικής ίνας είναι περίπου 300m.

Οι ηλεκτρικές διασυνδέσεις όπως προαναφέρθηκε προκαλούν υποβάθμιση του σήματος σε συχνότητες πάνω από την περιοχή του 1GHz λόγω φαινομένων ringing, αυξημένης καθυστέρησης σήματος, crosstalk και εξαρτώμενης από τη συχνότητα εξασθένησης. Αυτοί οι περιορισμοί των ηλεκτρικών διασυνδέσεων περιορίζουν τη μέγιστη συχνότητα λειτουργίας στα σημερινά συστήματα. Οι οπτικές διασυνδέσεις από την άλλη μεριά αποτελούν μια δυναμική πρόταση καθώς μπορούν να δώσουν λύση άμεσα σε όλα αυτά τα προβλήματα σε επίπεδο συστήματος και να ανταποκριθούν αποτελεσματικά στις απαιτήσεις σε απόδοση των σύγχρονων επεξεργαστών, καθώς παρουσιάζουν αμελητέες απώλειες εξαρτώμενες από τη συχνότητα, χαμηλό crosstalk και υψηλό εύρος ζώνης (Σχήμα 2.4).



Σχήμα 2.4. Οπτικές ζεύξεις σε κέντρο δεδομένων της Google (αριστερά). Τυπική διάταξη μιας οπτικής ζεύξης για τη μεταφορά δεδομένων σε μικρές αποστάσεις (δεξιά).

2.2.3 Ορισμός οπτικής διασύνδεσης

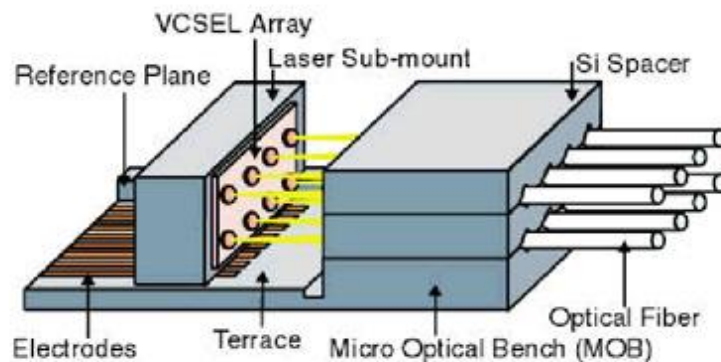
Οι οπτικές διασυνδέσεις έχουν αποτελέσει ορόσημο στην ανάπτυξη των κέντρων δεδομένων, κυρίως όπως προαναφέρθηκε, λόγω του μεγάλου εύρους ζώνης που προσφέρουν. Για να αντιμετωπιστεί η ολοένα και αυξανόμενη κίνηση στα κέντρα δεδομένων, που υπερβαίνει σταθερά το 20% κάθε χρόνο, τα οπτικά στοιχεία καλύπτουν ένα μεγάλο μέρος της κατασκευής των κέντρων δεδομένων και αξιοποιούνται σε εφαρμογές rack-to-rack, board-to-board και chip-to-chip διασυνδέσεων. Παρά το μεγάλο εύρος των σεναρίων ανάπτυξης, η βασική αρχιτεκτονική των περισσότερων συστημάτων διασύνδεσης είναι σε μεγάλο βαθμό παρόμοια, περιλαμβάνοντας έναν **οπτικό πομπό** (τυπικά ένα άμεσα διαμορφωμένο ή εξωτερικά διαμορφωμένο λέιζερ με ηλεκτρονική οδήγηση), έναν **οπτικό διαμορφωτή**, έναν **οπτικό κυματοδηγό** (οπτική ίνα, flex κυματοδηγό ή οπτική πλακέτα βάσης/PCB) και έναν **φωτοδέκτη** (σχήμα 2.5).



Σχήμα 2.5. Οπτικό σύστημα αποτελούμενο από πομπό, οπτικό διαμορφωτή, οπτικό κυματοδηγό και φωτοδέκτη

Οπτικός πομπός

Ως οπτικό πομπός, συνήθως χρησιμοποιείται διαμορφωμένο λέιζερ. Ο πιο διαδεδομένος τύπος λέιζερ για οπτικές διασυνδέσεις μικρών αποστάσεων, είναι τα λέιζερ κάθετης κοιλότητας επιφανειακής εκπομπής (Vertical Cavity Surface Emitting Laser-VCSEL) [5]. Ένα VCSEL λέιζερ αποτελείται από μια ημιαγώγιμη δίοδο που εκπέμπει φως κάθετα προς την άνω ημιαγώγιμη επιφάνεια πυριτίου, από την οποία συντίθεται το laser. Μονολιθικές συστοιχίες από υψηλής πυκνότητας VCSEL έχουν αναπτυχθεί από διάφορους κατασκευαστές και σε ανταγωνιστικές τιμές (Σχήμα 2.6). Τα VCSEL μπορούν να κατασκευαστούν για λειτουργία σε αρκετά διαφορετικά μήκη κύματος. Σήμερα, συσκευές που εκπέμπουν γύρω από τα 850 nm, εκπροσωπούν την πιο ώριμη υψηλής ταχύτητας τεχνολογία VCSEL. Τα VCSELs που λειτουργούν στα 980nm βασίζονται σε GaAs/AlGaAs τεχνολογία επεξεργασίας. Οι συγκεκριμένες συσκευές έχουν το πλεονέκτημα της εκπομπής διαμέσου του υποστρώματος, καθώς η ένωση GaAs είναι διαφανής στα 980nm. Τα VCSELs των 980nm έχουν αποτελέσει την κύρια επιλογή για διασυνδέσεις chip-to-chip σε υπερβολικά πυκνές κατασκευές, λειτουργώντας σε ρυθμούς δεδομένων που αγγίζουν την τάξη των Tb/s. Τα τελευταία χρόνια έχει γίνει προσπάθεια για ανάπτυξη και εκμετάλλευση VCSELs που λειτουργούν στις περιοχές των 1200nm, 1550nm και 1600nm. Τα VCSELs μπορούν να προσφέρουν πολλά από τα επιθυμητά χαρακτηριστικά ενός οπτοηλεκτρονικού πομπού για οπτικές διασυνδέσεις, και για αυτό η μελέτη επικεντρώνεται στη σχεδίαση τέτοιου τύπου λέιζερ με δυνατότητα λειτουργίας σε υψηλότερο ρυθμό δεδομένων, αλλά και με χαμηλότερη κατανάλωση ισχύος.



Σχήμα 2.6. Συστοιχία από VCSEL λέιζερ σε οπτικό πομπό

Οπτικός διαμορφωτής

Στον οπτικό διαμορφωτή εισέρχονται συνήθως δύο σήματα, το οπτικό σήμα από την πηγή λέιζερ και το ηλεκτρικό σήμα από το κύκλωμα οδήγησης CMOS. Ο διαμορφωτής μετατρέπει το ηλεκτρικό σήμα σε οπτικό σύμφωνα με την ακολουθία bits στο ηλεκτρικό σήμα. Αφού το οπτικό σήμα έχει δημιουργηθεί, θα οδηγηθεί είτε σε κυματοδηγό ή σε οπτική ίνα.

Ένα από τα σημερινά ζητήματα αποτελεί η κατανάλωση ενέργειας, η οποία πρέπει να κρατηθεί σε χαμηλά και διαχειρίσιμα επίπεδα, ενώ η απόδοση θα αυξάνει, κάτι που μπορεί να επιτευχθεί χρησιμοποιώντας μεγαλύτερη παραλληλία. Η διαμόρφωση με διαίρεση μήκους κύματος (WDM) μπορεί να προσφέρει την ζητούμενη μαζική παραλληλία. Η παραγωγή θερμότητας από τα λείζερ είναι ανεπιθύμητη καθώς οι μεταβολές της θερμοκρασίας σε CMOS κυκλώματα μπορούν να προκαλέσουν ολισθήσεις του μήκους κύματος και η αστάθεια αυτή μπορεί να απαγορεύσει την ακριβή κατανομή καναλιών για διαμόρφωση WDM στο ίδιο μέσο. Για αυτό το λόγο είναι προτιμότερο να χρησιμοποιούνται on chip διαμορφωτές για τους πομπούς, οι οποίοι θα διαμορφώνουν το φως που εισέρχεται από ένα εξωτερικό (off-chip) συνεχούς κύματος λείζερ.

Ο οπτικός διαμορφωτής μπορεί να είναι είτε διαθλαστικού ή απορροφητικού τύπου. Στους διαμορφωτές διαθλαστικού τύπου, όταν εισέρχεται το οπτικό σήμα, αυτό διαχωρίζεται σε δύο διαφορετικά οπτικά μονοπάτια, στα οποία επεξεργάζεται από κάποιο μηχανισμό διαμόρφωσης, και στην έξοδο η υπέρθεση των δύο σημάτων θα αποτελέσει το τελικό διαμορφωμένο σήμα. Οι διαμορφωτές απορροφητικού τύπου βασίζονται τη λειτουργία τους στο ηλεκτροαπορροφητικό φαινόμενο, μεταβάλλοντας την οπτική απορρόφηση εντός της δομής του διαμορφωτή.

Οπτικός κυματοδηγός

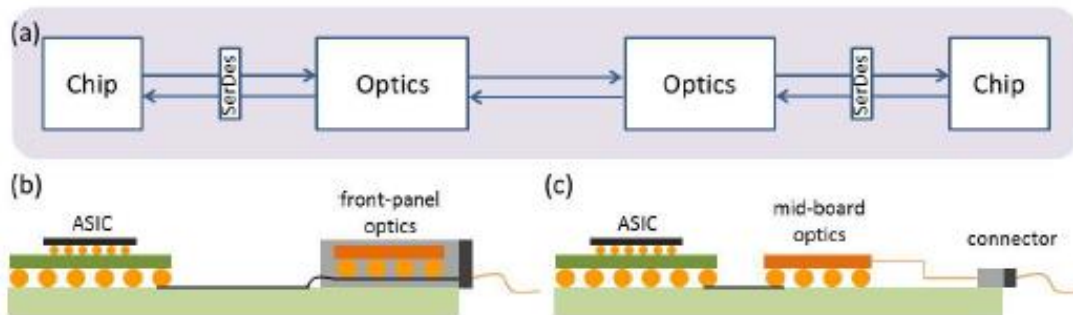
Ο οπτικός κυματοδηγός που θα χρησιμοποιηθεί σε οπτικές διασυνδέσεις πρέπει να χαρακτηρίζεται από πολύ χαμηλή εξασθένιση και καλές οπτικές ιδιότητες με υψηλή σταθερότητα ενάντια στις καταπονήσεις που προκύπτουν κατά τις διαδικασίες συναρμολόγησης των ηλεκτρονικών στοιχείων. Η εξασθένιση στους κυματοδηγούς πυριτίου προκύπτει κυρίως λόγω σκέδασης του φωτός στα πλευρικά τοιχώματα. Η ελαχιστοποίηση της επικάλυψης του οπτικού πεδίου μπορεί να συμβάλει επιδραστικά στη μείωση αυτής της εξασθένισης του κυματοδηγού. Εκτός από κυματοδηγούς, άλλα παθητικά στοιχεία κυματοδότησης, όπως εκτροπείς (bends), διαχωριστές (splitters), και διασταυρωτές (crossings), είναι απαραίτητα για την δρομολόγηση του σήματος μεταξύ των διαφόρων κυκλωμάτων. Επίσης χρησιμοποιούνται και οπτικοί διακόπτες (optical switches) για τη δρομολόγηση δικτύων, ώστε το διακινούμενο φως να διαδίδεται μέσω κυματοδηγών σε διαφορετικές τοποθεσίες.

Δέκτης

Ο δέκτης μέσα σε μία οπτική διασύνδεση αποτελείται συνήθως από έναν ημιαγώγιο ανιχνευτή φωτός, ακολουθούμενο από ηλεκτρονικό ενισχυτή. Ο φωτοανιχνευτής αναλαμβάνει την ανακατασκευή του ηλεκτρικού σήματος, δηλαδή τη λειτουργία της μετατροπής του σήματος από οπτικό σε ηλεκτρικό. Βασικά, είναι μια αντίστροφα πολωμένη συσκευή που απορροφάει την προσπίπτουσα ακτινοβολία και παράγει ζευγάρια οπών-ηλεκτρονίων και στη συνέχεια παράγει το φωτόρευμα που οδηγείται στο εξωτερικό κύκλωμα. Ο ανιχνευτής που χρησιμοποιείται σε οπτικές διασυνδέσεις πρέπει να παρέχει υψηλό εύρος ζώνης και μεγάλη ευαισθησία ενώ θα πρέπει να είναι εφαρμόσιμος σε κατασκευές υψηλής πυκνότητας. Οι ανιχνευτές υλοποιούνται συνήθως χρησιμοποιώντας φωτοδιόδους. Η πιο γνωστή και προτεινόμενη φωτοδίοδος για οπτικές διασυνδέσεις χαμηλών αποστάσεων είναι η φωτοδίοδος p-i-n (PIN).

Στο σχήμα 2.7 η οπτική διασύνδεση χρησιμεύει για να συνδέσει δύο απομακρυσμένες συσκευές ASIC (π.χ. διακόπτες ή κάρτες διασύνδεσης δικτύου), όπου η διαφορά μεταξύ του υψηλού ρυθμού μετάδοσης δεδομένων των οπτικών στοιχείων και του μέτριου ρυθμού μετάδοσης δεδομένων του CMOS ASIC γεφυρώνεται μέσω σειριακών και από-σειριακών μετατροπέων (serializers/deserializers SERDES), που χρησιμοποιούνται σε συνδυασμό με τα ASICs (σχήμα

2.7(a)). Λόγω πρακτικών και τεχνολογικών περιορισμών, τα οπτικά στοιχεία συσκευάζονται ξεχωριστά από τα ASICs και τους serializers/deserializers, και συνήθως τοποθετούνται είτε στο μπροστινό μέρος του τυπωμένου κυκλώματος (συνδεδεμένα στοιχεία, σχήμα 2.7(b)), ή στο τυπωμένο κύκλωμα πιο κοντά στο ASIC (ενδιάμεσα στοιχεία- σχήμα 2.7(c)).

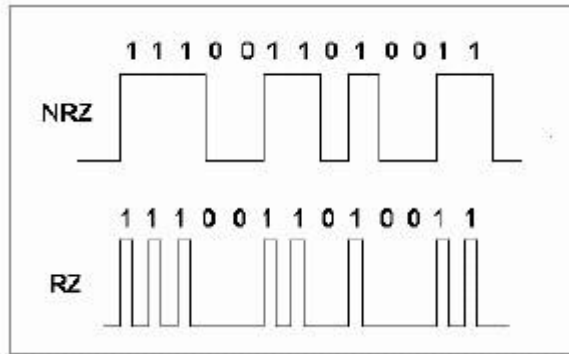


Σχήμα 2.7. (a) Σχηματικό υψηλής ταχύτητας οπτικής διασύνδεσης, (b) Διασύνδεση του κυκλώματος ASIC με οπτικά στοιχεία στο μπροστινό μέρος του κυκλώματος, (c) Διασύνδεση του κυκλώματος ASIC με οπτικά στοιχεία τοποθετημένα κοντά σε αυτό για τη μείωση του μεγέθους των ηλεκτρικών μονοπατιών

2.2.4 Τεχνικές ψηφιακής διαμόρφωσης

Οι Return-to-Zero(RZ) και Non-Return-to-Zero(NRZ) τεχνικές κωδικοποίησης έχουν χρησιμοποιηθεί ευρέως στις διάφορες τεχνικές ψηφιακής διαμόρφωσης τα τελευταία χρόνια, για την απλότητα με την οποία μπορεί να υλοποιηθεί η εφαρμογή τους. Λόγω της αύξησης του ρυθμού διακίνησης δεδομένων, επιβάλλεται να εφαρμοστούν πολύπλοκες τεχνικές διαμόρφωσης, ώστε η διαμόρφωση να μην αποτελεί εμπόδιο στη κίνηση των δεδομένων. Τέτοιες τεχνικές είναι οι τεχνικές διαμόρφωσης πλάτους παλμού, με τις πιο κοινά χρησιμοποιούμενες να είναι η PAM-4 και η PAM-8.

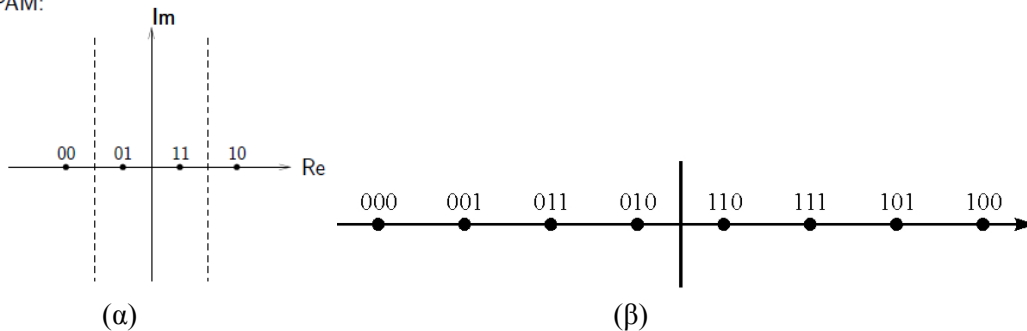
RZ & NRZ κωδικοποιήσεις: Κατά τη κωδικοποίηση RZ (Return to Zero), κάθε παλμός που αναπαριστά τη λογική τιμή 1, είναι πιο σύντομος από τη διάρκεια του bit που μεταδίδεται και συνεπώς επιστρέφει στο λογικό επίπεδο 0, πριν η διάρκεια μετάδοσης φτάσει στο τέλος. Αντιθέτως, κατά τη κωδικοποίηση NRZ (Non Return to Zero), το επίπεδο του παλμού διατηρείται στο λογικό επίπεδο 1, όσο το συγκεκριμένο bit μεταδίδεται, και δεν μεταβαίνει καθόλου στο επίπεδο 0 ανάμεσα σε δύο ή περισσότερα διαδοχικά bits τιμής 1. Το σημαντικό πλεονέκτημα της NRZ κωδικοποίησης έγκειται στο γεγονός ότι το αφιερωμένο στο ρεύμα δεδομένων εύρος ζώνης είναι μικρότερο από το αντίστοιχο στην RZ κωδικοποίηση, καθώς μεταβάσεις από λογικό επίπεδο 1 σε λογικό επίπεδο 0 και αντίστροφα συμβαίνουν πολύ πιο σπάνια (Σχήμα 2.8).



Σχήμα 2.8. Κωδικοποιημένα σήματα με RZ και NRZ παλμούς αντίστοιχα

PAM-4 και PAM-8 διαμορφώσεις: Ως διαμόρφωση πλάτους παλμού (Pulse Amplitude Modulation-PAM) ορίζεται ο τρόπος μετάδοσης δεδομένων μεταβάλλοντας τα πλάτη των παλμών μέσω μίας τακτής χρονικά ακολουθίας ηλεκτρομαγνητικών παλμών. Ο αριθμός των πιθανών πλατών των παλμών μπορεί να είναι άπειρος, αν μιλάμε για αναλογική διαμόρφωση, αλλά στη ψηφιακή διαμόρφωση είναι συνήθως ακέραια δύναμη του 2, ώστε το σήμα εξόδου να είναι ψηφιακό. Κατά την διαμόρφωση PAM-4, υπάρχουν 4 διακριτά πιθανά πλάτη παλμού, ενώ κατά την διαμόρφωση PAM-8 υπάρχουν 8 διακριτά πιθανά πλάτη παλμού. Στο σχήμα 2.9 απεικονίζονται τα διαγράμματα αστερισμών που αντιστοιχούν στις δύο διαμορφώσεις.

4-PAM:



Σχήμα 2.9. (α) Διάγραμμα αστερισμού για PAM-4, (β) Διάγραμμα αστερισμού για PAM-8

2.2.5 Υποβάθμιση του σήματος

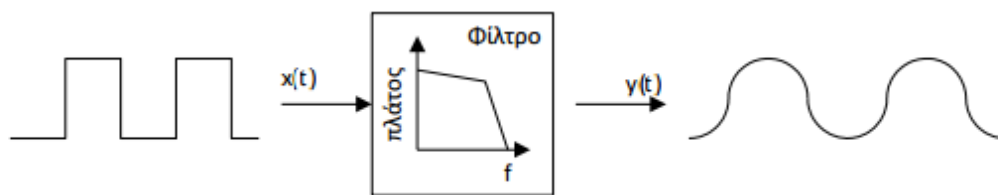
Σε οποιοδήποτε σενάριο, η μετάβαση σε υψηλότερους ρυθμούς μετάδοσης συμβόλων (baudrate) ώστε να αντιμετωπιστούν οι αυξανόμενες ανάγκες χωρητικότητας, προκαλεί υποβάθμιση στην ακεραιότητα του σήματος εξαιτίας των εξής παραγόντων[6]:

- Περιορισμοί στο εύρος ζώνης λόγω του υλικού από το οποίο κατασκευάζεται το τυπωμένο κύκλωμα. Καθώς η ταχύτητα του σήματος υπερβαίνει σημαντικά τα 10 GB/s, τα παραδοσιακά υλικά όπως το FR4, εμφανίζουν υπερβολικές απώλειες, εξαρτώμενες από το εύρος ζώνης. Πιο σύνθετα υλικά όπως το Megtron 6 μπορούν να χρησιμοποιηθούν για τέτοιους ρυθμούς, αλλά αυτό μπορεί να έχει κόστος δύο με τέσσερις φορές μεγαλύτερο συγκριτικά με το αντίστοιχο κόστος για κατασκευή του κυκλώματος με χρήση FR4.

- Περιορισμοί στο εύρος ζώνης λόγω των οπτοηλεκτρονικών στοιχείων (πομπός, δέκτης). Για τον περιορισμό του κόστους, σχεδόν μόνο εμπορικά οπτικά στοιχεία χρησιμοποιούνται στις οπτικές διασυνδέσεις. Αν και πολύ υψηλών ταχυτήτων οπτοηλεκτρονικά στοιχεία έχουν παρουσιαστεί στη βιβλιογραφία, τα στοιχεία που χρησιμοποιούνται στα εμπορικά συστήματα είναι συνήθως φραγμένα ως προς το εύρος ζώνης που μπορούν να προσφέρουν. Ενδεικτικά, μελέτες επιδιώκουν να υλοποιήσουν διασυνδέσεις των 100 Gb/s αξιοποιώντας οπτικά στοιχεία των 25 Gb/s. Η χρήση των μορφών πολυεπίπεδης διαμόρφωσης, όπως οι διαμορφώσεις PAM-4 και PAM-8, επιδεινώνει την αρνητική επίδραση του περιορισμένου εύρους ζώνης στη συνολική επίδοση της οπτικής διασύνδεσης.
- Η απόκριση του οπτικού κυματοδηγού σε συστήματα που περιλαμβάνουν πολύτροπες συνδέσεις, παρουσιάζει διασπορά τρόπων διάδοσης η οποία εκδηλώνεται ως περιορισμός στο εύρος ζώνης του προϊόντος.

2.2.6 Φίλτρα πεπερασμένης κρουστικής απόκρισης (FIR)

Γενικότερα, φίλτρο μπορούμε να ονομάσουμε το σύστημα εκείνο που ενισχύει ή και εξασθενεί επιθυμητές περιοχές συχνοτήτων ενός σήματος[7]. Ένα φίλτρο λοιπόν, όταν δέχεται στην είσοδό του ένα σήμα, παρέχει στην έξοδό του το σήμα αυτό με ενισχυμένο ή εξασθενημένο το φασματικό του περιεχόμενο, στις συχνότητες που καθορίζονται από την χαρακτηριστική του φίλτρου.



Σχήμα 2.10. Γενική μορφή αναλογικού φίλτρου

Τα αναλογικά φίλτρα επεξεργάζονται συνεχή ηλεκτρικά μεγέθη και υλοποιούνται με τη κατάλληλη διασύνδεση πυκνωτών, αντιστάσεων, ενισχυτών, διακοπών καθώς και πηνίων. Είναι δυνατόν όμως μετά από δειγματοληψία του σήματος και ψηφιοποίηση του (μετατροπείας A/D) να γίνει αριθμητικά η παραπάνω επεξεργασία. Το αποτέλεσμα της επεξεργασίας θα αποτελεί την ψηφιοποιημένη μορφή του επιθυμητού (φιλτραρισμένου) αναλογικού σήματος. Το σύνολο των αριθμητικών πράξεων μέσω των οποίων προσομοιώνουμε την λειτουργία ενός αναλογικού φίλτρου είναι αυτό που ονομάζουμε ψηφιακό φίλτρο.

Ένα ψηφιακό φίλτρο μπορεί να ενσωματωθεί σε αναλογικά συστήματα αν περιληφθούν στην είσοδο και στην έξοδο ένας A/D και ένας D/A μετατροπείας αντίστοιχα.



Σχήμα 2.11. Χρήση ψηφιακών φίλτρων σε αναλογικά σήματα

Η σχέση μεταξύ εισόδου και εξόδου σε ένα FIR φίλτρο δίνεται από τη σχέση:

$$y[n] = \sum_0^{N-1} h[k] \times x[n-k] .$$

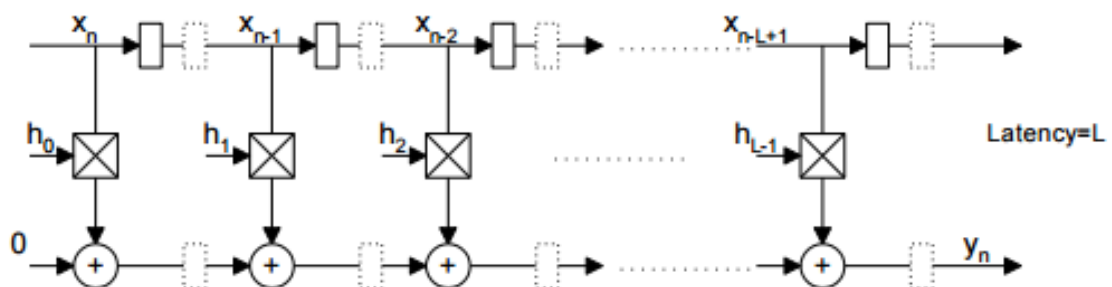
Στο πεδίο του χρόνου η έξοδος y_n δίνεται από τη συνέλιξη της εισόδου με τους συντελεστές (σταθερές) h_k , οι οποίοι αποτελούν την κρουστική απόκριση του φίλτρου. Στην πραγματικότητα, η απόκριση αυτή έχει άπειρη διάρκεια. Προσεγγίζεται όμως ικανοποιητικά με ένα πεπερασμένο αριθμό συντελεστών (h_0, h_1, \dots, h_{N-1}). Για τις συνήθεις εφαρμογές ένα N με τιμή από 16 έως 32 είναι ικανοποιητικό. Στη μορφή αυτή το ψηφιακό φίλτρο λέμε ότι είναι πεπερασμένης κρουστικής απόκρισης, τύπου FIR (Finite Impulse Response). Για Low-Pass φίλτρα έχουμε συμμετρικές τιμές στα h_k ενώ σε Band-Pass φίλτρα οι τιμές είναι αντισυμμετρικές.

Τα φίλτρα FIR χαρακτηρίζονται από ιδιότητες που ενίοτε τα καθιστούν πιο χρήσιμα από τα φίλτρα άπειρης κρουστικής απόκρισης (IIR):

- Δεν απαιτούν ανάδραση, γεγονός που καθιστά την εφαρμογή τους πιο εύκολη.
- Είναι εκ φύσεως σταθερά, καθώς η έξοδος προκύπτει ως άθροισμα πεπερασμένου αριθμού πολλαπλασιασμών μεταξύ των τιμών εισόδου.
- Δύναται να σχεδιαστούν χρησιμοποιώντας συμμετρική ακολουθία συντελεστών, ώστε η φάση τους να είναι γραμμική.

Το βασικότερο μειονέκτημα των FIR φίλτρων είναι η σημαντικά μεγαλύτερη υπολογιστική ισχύς που χρειάζονται συγκριτικά με τα IIR φίλτρα.

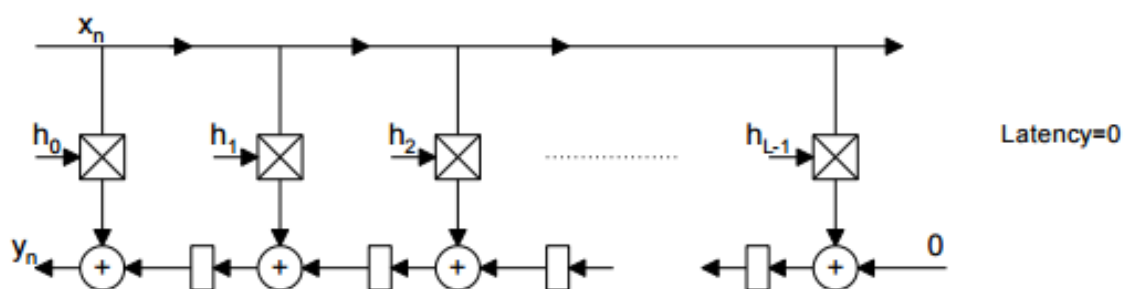
Οι βασικότερες αρχιτεκτονικές που επιτρέπουν την υλοποίηση φίλτρων FIR με τη χρήση ειδικών κυκλωμάτων είναι η απ' ευθείας (direct) και η transpose. Η direct υλοποίηση της σχέσης που περιγράφηκε παραπάνω μεταξύ εισόδου και εξόδου του φίλτρου φαίνεται στο ακόλουθο σχήμα:



Σχήμα 2.12. Direct υλοποίηση ενός FIR φίλτρου

Οι καθυστερήσεις με τις διακεκομμένες γραμμές είναι προαιρετικές. Επιτρέπουν όμως την λειτουργία διοχέτευσης των προσθέσεων του κάτω κλάδου. Το μειονέκτημα εδώ είναι ο μεγάλος αριθμός των μονάδων καθυστέρησης που πρέπει να εισαχθούν καθώς και η μεγάλη καθυστέρηση (latency), ίση με τον αριθμό των συντελεστών που παρουσιάζονται.

Αντίθετα η transpose μορφή (Σχήμα 2.13) έχει μικρό αριθμό καθυστερήσεων και είναι άμεσης απόκρισης, δηλαδή έχει Latency=0. Στο σχήμα αυτό, το πρόβλημα που παρουσιάζεται στη συγκεκριμένη τοπολογία σχετίζεται με τη διάδοση του x_n , που λόγω μήκους αλλά και επειδή τροφοδοτεί πολλές εισόδους μπορεί να επιφέρει χρονική καθυστέρηση στη γραμμή του σήματος x_n . Με κατάλληλους μετασχηματισμούς στο γράφο μπορεί να επιτευχθεί και συστολικότητα αλλά και μικρή καθυστέρηση (Latency).



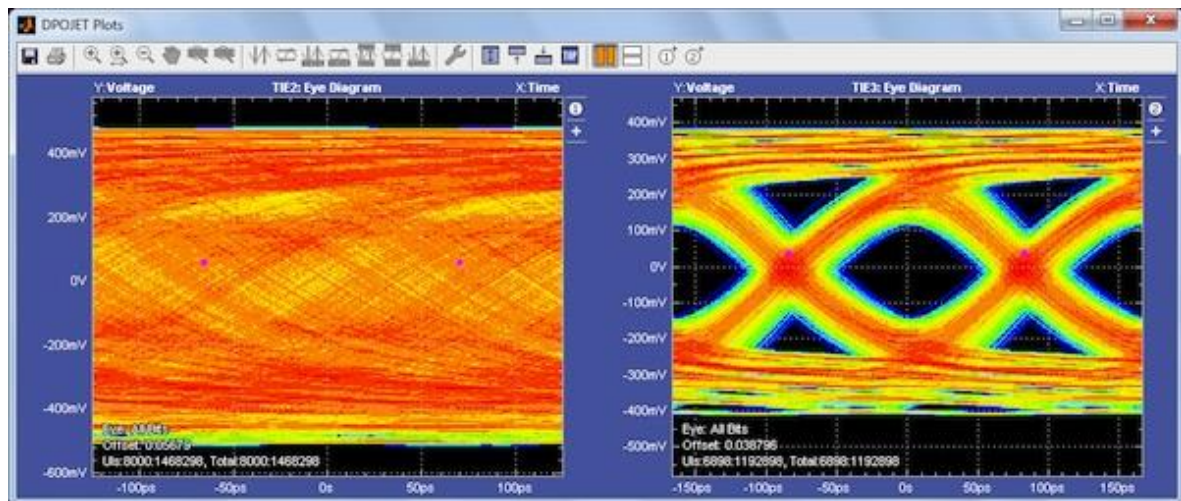
Σχήμα 2.13. Transpose υλοποίηση ενός φίλτρου FIR

2.2.7 Ισοστάθμιση

Οι περιορισμοί στο εύρος ζώνης που αναφέρθηκαν προηγουμένως και οι μη ομοιόμορφες αποκρίσεις συχνότητας στις οπτοηλεκτρονικές διασυνδέσεις οδηγούν σε διασυμβολική παρεμβολή (Inter-Symbol Interference-ISI), σε συνολική υποβάθμιση του σήματος και σε υψηλότερο βαθμό λαθών (BER). Η υποβάθμιση αυτή ενισχύεται επιπλέον και από την επίδραση του θορύβου, ο οποίος προστίθεται στο σήμα καθώς αυτό διαδίδεται μέσα στο κανάλι. Η διασυμβολική παρεμβολή μπορεί να μεταβληθεί με την πάροδο του χρόνου και εξαιτίας άλλων παραγόντων όπως η θερμοκρασία, η κάμψη και οι δονήσεις. Για την αντιμετώπιση όλων αυτών των αρνητικών επιδράσεων, ο συμβιβασμός μεταξύ της βιομηχανίας και της ακαδημίας είναι ότι μια μορφή **ψηφιακής ισοστάθμισης** επιβάλλεται να συμπεριληφθεί στο σύστημα ώστε να εξομαλυνθεί η απόκριση του καναλιού και συνεπώς να μεταβάλλεται πιο ομαλά, χωρίς να προκαλεί επιπλέον παραμόρφωση στο διαδιδόμενο σήμα. Η χρήση ψηφιακής επεξεργασίας σήματος για την λήψη σημάτων που μεταδίδονται πάνω σε οπτική ίνα κερδίζει ολοένα και περισσότερο έδαφος την τελευταία δεκαετία, καθώς οι μοντέρνες σχεδιάσεις απαιτούν συνεχώς περισσότερα Gb/s μέσω των οπτοηλεκτρονικών στοιχείων περιορισμένου εύρους ζώνης.

Ο πυρήνας του συστήματος που εφαρμόζει την ισοστάθμιση, αποτελείται από πολύ κοινά και ευρέως χρησιμοποιούμενα υποσυστήματα, και χρησιμοποιείται τόσο στον πομπό (πρώιμη ισοστάθμιση), όσο και στην πλευρά του δέκτη ώστε να αντιστραφεί η απόκριση καναλιού και να ανακτηθεί η ακεραιότητα του σήματος. Στο σχήμα 2.14 απεικονίζεται το διάγραμμα ματιού για σήμα πριν και μετά την εφαρμογή ισοστάθμισης. Όπως είναι προφανές, το «κλειστό» αρχικό διάγραμμα μετατρέπεται εύκολα με την εφαρμογή ισοστάθμισης σε «ανοικτό». Όταν η

ισοστάθμιση εφαρμόζεται στο δέκτη, είναι δυνατό να υπολογιστεί η απαιτούμενη απόκριση φίλτρου από το εισερχόμενο ρεύμα δεδομένων χωρίς την ανάγκη ενσωμάτωσης κωδικοποίησης ή πρωτοκόλλων[8]. Η μέθοδος αυτή είναι γνωστή ως προσαρμογή και ο δέκτης ως προσαρμοστικός δέκτης. Υποθέτοντας ότι οι αλγόριθμοι προσαρμογής είναι επαρκώς γρήγοροι, μπορούν να εντοπίσουν τη μεταβαλλόμενη με το χρόνο διασυμβολική παρεμβολή και να διατηρήσουν τη ποιότητα του σήματος σε υψηλά επίπεδα, όπου ένα σταθερό φίλτρο δεν θα μπορούσε. Όταν η ισοστάθμιση εφαρμόζεται στον πομπό, τότε η διαδικασία ονομάζεται προ-έμφαση ή απο-έμφαση. Αν και η υλοποίηση της προ-έμφασης δεν είναι εφικτή χωρίς κάποιο πρωτόκολλο, ώστε τα χαρακτηριστικά του καναλιού να γνωστοποιούνται στο πομπό, η μέθοδος αυτή χρησιμοποιείται ευρέως σε κανάλια όπου η απόκριση καναλιού είναι γνωστή εκ των προτέρων.



Σχήμα 2.14. Αριστερά, διακρίνεται το διάγραμμα ματιού για σήμα πριν από την εφαρμογή ισοστάθμισης, και δεξιά μετά από την εφαρμογή ισοστάθμισης

2.2.8 Ισοστάθμιση και Εμπρόσθια Διόρθωση Λαθών (FEC)

Η εμπρόσθια διόρθωση (Forward Error Correction-FEC) ή κωδικοποίηση καναλιού είναι μια τεχνική που χρησιμοποιείται για τον έλεγχο σφαλμάτων στη μετάδοση δεδομένων μέσω αναξιόπιστων ή θορυβωδών καναλιών επικοινωνίας[12]. Η κεντρική ιδέα πίσω από αυτή την τεχνική, είναι ο αποστολέας να κωδικοποιεί το μήνυμα με πλεονάζοντα τρόπο με τη χρήση ενός κώδικα διόρθωσης σφαλμάτων (Error Code Correction-ECC). Ο πλεονασμός επιτρέπει στον δέκτη να ανιχνεύσει έναν περιορισμένο αριθμό σφαλμάτων που μπορούν να εμφανιστούν οπουδήποτε μέσα στο μεταδιδόμενο μήνυμα, και συχνά να διορθώσει αυτά τα λάθη, χωρίς την ανάγκη αναμετάδοσης του σήματος. Η τεχνική FEC δίνει στον δέκτη την δυνατότητα να διορθώσει τα λάθη χωρίς να χρειάζεται ένα αντίστροφο κανάλι για να ζητήσει αναμετάδοση των δεδομένων, αλλά με προϋπόθεση την ύπαρξη ενός σταθερού καναλιού με υψηλό εύρος ζώνης. Ως overhead της FEC κωδικοποίησης ορίζουμε τον λόγο του αριθμού των πλεονάζοντων bits προς το σύνολο των μεταδιδόμενων bits σε μία λέξη του κώδικα FEC:

$$\text{Overhead} = \frac{\text{number of redundant bits}}{\text{number of total transmitted bits}}$$

Το κύκλωμα ισοστάθμισης μπορεί να βελτιώσει την ποιότητα του σήματος και ως εκ τούτου να

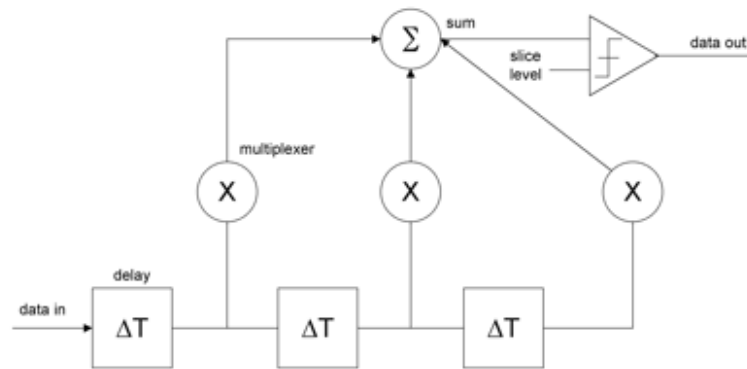
μειώσει την επιβάρυνση που προκαλείται από την εισαγωγή κάποιας πολύπλοκης τεχνικής FEC, επιτρέποντας τη χρήση ενός πολύ πιο απλού κώδικα με χαμηλό overhead και χαμηλή καθυστέρηση[13]. Σε ορισμένες περιπτώσεις, η χρήση τεχνικών FEC μπορεί ακόμη και να αποφευχθεί εντελώς. Οι FEC κώδικες που απευθύνονται σε εφαρμογές κέντρων δεδομένων πρέπει να ικανοποιούν τις απαιτήσεις σε χαμηλή πολυπλοκότητα και κατανάλωση ενέργειας, ενώ παράλληλα η παρουσία χαρακτηριστικών, όπως η χαμηλή καθυστέρηση και το μικρό overhead κωδικοποίησης, θεωρείται επίσης υποχρεωτική. Ως αποτέλεσμα, οι πιο γνωστές ισχυρές προσεγγίσεις FEC κωδικοποίησης που κυριαρχούν σε εφαρμογές τηλεπικοινωνιών δεν συνιστώνται για εφαρμογές σε κέντρα δεδομένων.

Οι κώδικες Reed-Solomon (RS) και Bose-Chaudhuri-Hocquenghem (BCH) αποτελούν τους πιο διαδεδομένους κώδικες σε εφαρμογές κέντρων δεδομένων εξαιτίας της χαμηλής καθυστέρησης που επιτυγχάνουν και οι δύο, τόσο κατά τη διαδικασία κωδικοποίησης όσο και κατά τη διαδικασία αποκωδικοποίησης. Ωστόσο, κάποια τεχνική ισοστάθμισης μπορεί και σε αυτή την περίπτωση να εφαρμοστεί έτσι ώστε να επιλεγεί κάποιος πιο ελαφρύς FEC κώδικας, εάν η απαιτούμενη τιμή κατωφλίου του ρυθμού εμφάνισης λαθών BER πριν την εισαγωγή FEC, έχει επιτευχθεί. Αυτό πρακτικά σημαίνει, ότι εάν ο λόγος BER διατηρείται σε χαμηλά επίπεδα, τότε μπορεί να αποφευχθεί η εισαγωγή κάποιας πολύπλοκης τεχνικής FEC. Για παράδειγμα, εάν ένας PAM-4 σύνδεσμος επιτυγχάνει BER πριν την ισοστάθμιση της τάξης του 2×10^{-3} , και μετά την ισοστάθμιση επιτυγχάνεται BER μικρότερο από 7.04×10^{-4} , τότε ο κώδικας RS(578,514) (με overhead ίσο με 11.07%) μπορεί να χρησιμοποιηθεί αντί για τον BCH(2464,2056) (με overhead ίσο με 16.56%) κώδικα, μειώνοντας έτσι το συνολικό overhead κωδικοποίησης περίπου κατά 8%.

2.2.9 Τεχνικές ισοστάθμισης

Υπάρχουν ποικίλες διαφορετικές διαθέσιμες τεχνικές ισοστάθμισης, όλες με διαφορετικούς συμβιβασμούς στη κατανάλωση ισχύος, στην αποδοτικότητα και το κόστος. Οι πιο γνωστές μέθοδοι ισοστάθμισης είναι η **Ισοστάθμιση Εμπρόσθιας Τροφοδότησης (Feed Forward Equalization-FFE)**, η **Ισοστάθμιση Ανατροφοδότησης Απόφασης (Decision Feedback Equalization-DFE)** και η **Ισοστάθμιση Εκτίμησης Ακολουθίας Μέγιστης Πιθανότητας (Maximum Likelihood Sequence Equalization-MLSE)**. Η ισοστάθμιση FFE θεωρείται η απλούστερη σχετική αρχιτεκτονική, εκτελώντας την απαραίτητη επεξεργασία σήματος με μη προσαρμοστικό τρόπο, διατηρώντας έτσι την πολυπλοκότητα σε σημαντικά χαμηλότερα επίπεδα από ότι άλλες μέθοδοι ισοστάθμισης όπως οι DFE και MLSE.

Μέθοδος FFE: Η μέθοδος FFE είναι τεχνική ισοστάθμισης που διορθώνει την εισερχόμενη κυματομορφή αξιοποιώντας πληροφορίες για την ίδια την κυματομορφή, και όχι πληροφορία σχετική με τις λογικές αποφάσεις που λήφθηκαν για αυτήν[9]. Για την υλοποίηση της μεθόδου χρησιμοποιείται ένα φίλτρο πεπερασμένης κρουστικής απόκρισης (FIR) με μια σειρά συντελεστών σχεδιασμένων να προσαρμόζουν την εισερχόμενη κυματομορφή και συνεπώς, λόγω δυαδικότητας, την απόκριση συχνότητας. Η διορθωμένη κυματομορφή ανακτάται χρησιμοποιώντας το σύνολο των συντελεστών και των προηγούμενων χρονικά εκδοχών της κυματομορφής και καθορίζοντας το πεδίο ενδιαφέροντος όπου θα εφαρμοστεί ισοστάθμιση. Η υλοποίηση της μεθόδου είναι πολύ απλή, και μπορεί να σχεδιαστεί ολοκληρωτικά στο πεδίο του χρόνου. Η προσέγγιση αυτή προσφέρεται σε πολύ υψηλή ταχύτητα και με σχετικά μικρή κατανάλωση ισχύος. Στο παρακάτω σχηματικό φαίνεται ο τρόπος με τον υλοποιείται ο παραπάνω αλγόριθμος με φίλτρο τριών συντελεστών.



Σχήμα 2.15. Ισοστάθμιση FFE με χρήση φίλτρου 3 συντελεστών.

Η μαθηματική περιγραφή του κυκλώματος FFE 3 συντελεστών περιγράφεται από την παρακάτω σχέση:

$$e(t) = c_0 r(t - (0T_D)) + c_1 r(t - (1T_D)) + c_2 r(t - (2T_D))$$

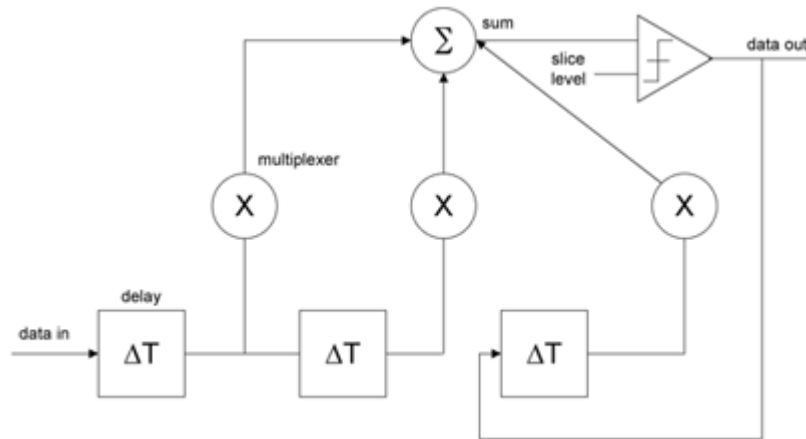
όπου:

- $e(t)$ είναι η διορθωμένη (ή ισορροπημένη) κυματομορφή συναρτήσει του χρόνου t ,
- T_D είναι η περίοδος καθυστέρησης,
- $r(t-nT_D)$ εκφράζει τις καθυστερημένες, κατά n περιόδους, εκδοχές της υποβαθμισμένης κυματομορφής,
- c_n εκφράζει τους συντελεστές διόρθωσης, οι οποίοι θα πολλαπλασιαστούν με τις καθυστερημένες, κατά n περιόδους, εκδοχές της υποβαθμισμένης κυματομορφής.

Μέθοδος DFE: Η συγκεκριμένη αρχιτεκτονική προσφέρει ανάμεικτες σχεδιάσεις που προσεγγίζουν την αποδοτικότητα της μεθόδου MLSE, έχοντας ελάχιστα λιγότερες απαιτήσεις σε ισχύ και κόστος από τη μέθοδο FFE. Κατά την επεξεργασία, υπολογίζεται μία διορθωμένη τιμή που προστίθεται στο κατώφλι λήψης λογικών αποφάσεων (ορίζεται ως η τιμή πάνω από την οποία το πλάτος κυματομορφής θεωρείται λογικά υψηλό και κάτω από την οποία το πλάτος κυματομορφής θεωρείται λογικά χαμηλό). Για αυτό, καταλήγουμε στην ολίσθηση του κατωφλίου σε υψηλότερες ή χαμηλότερες τιμές, έτσι ώστε να μπορούν να πραγματοποιηθούν λογικές αποφάσεις στη κυματομορφή, βασιζόμενες στο νέο ισοσταθμισμένο επίπεδο κατωφλίου.

Για να ανακτηθεί αυτή η διορθωμένη τιμή, το κύκλωμα ισοστάθμισης πρέπει να τροφοδοτηθεί με τις σωστές τιμές των αρχικών bits εισόδου. Υποθέτοντας ότι οι λογικές αποφάσεις για τα αρχικά bits είναι ορθές, ο αλγόριθμος μπορεί τότε να τις προωθήσει ώστε να αποφασιστεί η λογική τιμή του τρέχοντος bit. Στη συνέχεια, πολλαπλασιάζονται τα επίπεδα των bits με τους αντίστοιχους συντελεστές. Το συνολικό άθροισμα αυτών των γινομένων καταδεικνύει το εύρος τιμών κατά το οποίο το κατώφλι αποφάσεων πρέπει να ολισθήσει. Παρ' όλα αυτά, η μέθοδος DFE είναι αρκετά πολύπλοκο να εφαρμοστεί στην πράξη, λόγω των διαφόρων παραγόντων, από τους οποίους

εξαρτάται η λειτουργικότητα της: Το μονοπάτι που διανύει το σήμα πρέπει να είναι έντονα γραμμικό, η απόκριση συχνότητας να είναι σχετικά επίπεδη και ο ισοδύναμος θόρυβος εισόδου αρκετά χαμηλός. Στο παρακάτω σχηματικό, το κύκλωμα υλοποιεί τον αλγόριθμο ισοστάθμισης DFE.



Σχήμα 2.16: Ισοστάθμιση DFE. Η σχεδίαση αποτελείται από ένα κύκλωμα FFE δύο συντελεστών, και ένα κύκλωμα DFE με έναν συντελεστή.

Η μαθηματική περιγραφή του κυκλώματος DFE 2 συντελεστών περιγράφεται από την παρακάτω σχέση:

$$V(k) = c_1 s(k-1) + c_2 (k-2)$$

όπου:

- $V(k)$ είναι το διορθωμένο επίπεδο τάσης που προστίθεται στο υπάρχον κατώφλι αποφάσεων για να διευκρινιστεί η νέα λογική τιμή του k -οστού bit,
- $s(k-n)$ εκφράζει τη λογική τιμή ενός bit που βρίσκεται n θέσεις πιο πριν από το k -οστό bit,
- c_n εκφράζει τον συντελεστή διόρθωσης για το bit που βρίσκεται n θέσεις πιο πριν από το bit ενδιαφέροντος.

Μέθοδος MLSE: Αποτελεί την πιο πολύπλοκη από όλες τις μεθόδους που αναφέρθηκαν. Με τη τεχνική αυτή, το σήμα μετατρέπεται απευθείας από αναλογικό σε ψηφιακό και επεξεργάζεται ψηφιακά χρησιμοποιώντας μεθόδους αποκωδικοποίησης και εκτίμησης καναλιού για να ανακτηθούν τα πιθανότερα διαδεδομένα σήματα. Στη πλευρά του δέκτη, προσομοιώνεται το παραμορφωμένο κανάλι. Όλα τα πιθανά διαδεδομένα ρεύματα δεδομένων τροφοδοτούνται στο μοντέλο αυτό. Ο δέκτης συγκρίνει τη χρονική απόκριση με το πραγματικό σήμα που έχει λάβει και αποφασίζει ποιο θα είναι το πιο πιθανό σήμα εξόδου. Η προσέγγιση αυτή είναι αρκετά αποδοτική, αλλά για λειτουργία σε συχνότητες πάνω από 10 Gb/s, η συμπεριφορά της δεν την καθιστά οικονομική λύση για υλοποίηση.

Η μέθοδος FFE μπορεί να υλοποιηθεί όπως προαναφέρθηκε, από ένα φίλτρο πεπερασμένης κρουστικής απόκρισης τάξης N , του οποίου η απόκριση συχνότητας είναι αντίστροφη της απόκρισης συχνότητας στο κανάλι μετάδοσης. Για την υλοποίηση της ισοστάθμισης DFE, στη σχεδίαση, εκτός από το κύκλωμα που υλοποιεί ισοστάθμιση FFE, συμπεριλαμβάνεται ένα επιπρόσθετο φίλτρο ανατροφοδότησης. Το μονοπάτι ανατροφοδότησης καθιστά τη μέθοδο DFE πιο πολύπλοκη διαδικασία για να εφαρμοστεί στη πράξη. Για το λόγο αυτό, η FFE προτιμάται ως η προτεινόμενη προσέγγιση ισοστάθμισης που θα ακολουθήσουμε στη συνέχεια αυτής της διπλωματικής.

Επιπλέον, η χρήση της μεθόδου Εμπρόσθιας Διόρθωσης Λαθών (Forward Error Correction) μπορεί να συμβάλει ώστε να επιτευχθεί σημαντικά χαμηλός ρυθμός εμφάνισης λαθών. Οι οπτικές διασυνδέσεις που χρησιμοποιούνται για την διασύνδεση τμημάτων εντός των κέντρων δεδομένων, απαιτείται να χαρακτηρίζονται από χαμηλό κόστος και ελάχιστη κατανάλωση ισχύος. Καθώς μέθοδοι ψηφιακής επεξεργασίας σήματος εφαρμόζονται διαρκώς σε τέτοια συστήματα για ισοστάθμιση, ανίχνευση συμβόλων και διόρθωση λαθών, η εφαρμογή τους πρέπει να είναι όσο το δυνατόν πιο απλή. Η σηματοδότηση με παλμούς NRZ αποτελεί κανόνα σήμερα, αλλά όσον αφορά τις μελλοντικές οπτικές διασυνδέσεις, λύσεις με διαμορφώσεις όπως οι PAM-4 και PAM-8 εξετάζονται ώστε να αυξηθεί ο συνολικός ρυθμός μετάδοσης δεδομένων και συνεπώς η χρήση ισοστάθμισης γίνεται πιο αναγκαία και ωφέλιμη από ποτέ. Η προσθήκη κυκλώματος ισοστάθμισης στη συνολική σχεδίαση δύναται να βελτιώσει τη ποιότητα του σήματος και για αυτό το λόγο να μειώσει το βάρος και τους πόρους που αφιερώνονται στην ανάπτυξη της διαδικασίας διόρθωσης λαθών, επιτρέποντας τη χρήση πολύ πιο απλού και χαμηλού φόρτου κώδικα. Σε ορισμένες περιπτώσεις μάλιστα, η διαδικασία της διόρθωσης λαθών μπορεί να αποφευχθεί και να παραληφθεί ολοκληρωτικά.

Η δυναμική της γραμμικής ψηφιακής ισοστάθμισης σε σύγχρονες διασυνδέσεις έχει επικυρωθεί μέσα από διάφορες δημοσιεύσεις με όρους ψηφιακής επεξεργασίας σήματος, πετυχαίνοντας ρυθμό μετάδοσης δεδομένων στη περιοχή των 70 Gb/s για μετάδοση πάνω σε πολύτροπη οπτική ίνα και στη περιοχή των 120 Gb/s για μετάδοση πάνω σε μονοτροπική οπτική ίνα, ενώ το συνολικό εύρος ζώνης της σύνδεσης περιορίζεται γύρω από την περιοχή των 20 GHz.

Ωστόσο, για εγκατάσταση και αξιοποίηση σε πραγματικά συστήματα διασύνδεσης, είναι απαραίτητο η διαδικασία της ψηφιακής ισοστάθμισης να πραγματοποιείται σε πραγματικό χρόνο. Αν και τα υψηλής ταχύτητας πραγματικού χρόνου ψηφιακά κυκλώματα ισοστάθμισης έχουν καθιερώσει την παρουσία τους στα εμπορικά προϊόντα, για την ώρα υλοποιούνται χρησιμοποιώντας έναν πολύ μικρό αριθμό συντελεστών, και για αυτό το λόγο η αποτελεσματικότητά τους περιορίζεται σημαντικά. Για παράδειγμα, οι πρότυποι IEEE 802.3bm σύνδεσμοι χρησιμοποιούν FFE κύκλωμα ισοστάθμισης τριών συντελεστών στον πομπό SerDes, ενώ στο δέκτη χρησιμοποιείται γραμμικό αναλογικό κύκλωμα ισοστάθμισης συνεχούς χρόνου (analogue CTLE). Η αύξηση του αριθμού των συντελεστών του φίλτρου, μπορεί να επιτρέψει πιο ακριβή εξομάλυνση της απόκρισης συχνότητας του καναλιού, ειδικά αν αυτό εμπεριέχει ισχυρούς κυματισμούς, και συνεπώς να επιτευχθεί ισχυρότερη ενίσχυση της ποιότητας του καναλιού και βελτίωση του ρυθμού εμφάνισης λαθών.

2.3 FPGAs

2.3.1 Ολοκληρωμένα κυκλώματα

Ένα ολοκληρωμένο κύκλωμα (IC) αξιοποιεί τις ιδιότητες ημιαγωγίων υλικών, κυρίως πυριτίου επειδή είναι σχετικά φθηνό και ευρέως διαθέσιμο υλικό, ώστε να δημιουργηθούν συσκευές με τις ιδιότητες των MOSFET τρανζίστορς. Συγκριτικά με κυκλώματα με διακριτά τρανζίστορς, τα ολοκληρωμένα κυκλώματα είναι πιο μικρά και πιο γρήγορα. Από το 2006 ήδη, χρησιμοποιούνται αρκετά πλέον κυκλώματα με πάνω από 1 εκατομμύριο τρανζίστορς ανά mm^2 , ενώ πιο μοντέρνες τεχνολογίες επιτρέπουν την παραγωγή κυκλωμάτων που περιέχουν συνολικά περίπου 1.4 δισεκατομμύρια τρανζίστορς (Quad-core + GPU Core i7 Haswell, 20nm technology). Ο βασικότερος παράγοντας που επέτρεψε την εκθετική αύξηση του αριθμού των τρανζίστορ ανά κύκλωμα, είναι η έλευση των τεχνικών ολοκλήρωσης πολύ μεγάλης κλίμακας (Very Large Scale of Integration-VLSI) στα τέλη της δεκαετίας του 1970. Μαζί με εργαλεία CAD, ο τομέας των VLSI εισήγαγε πιο συστηματικές σχεδιαστικές προσεγγίσεις και επιτάχυνε σημαντικά τη σχεδίαση και υλοποίηση πιο πολύπλοκων συστημάτων. Με τα εργαλεία CAD, είναι πλέον δυνατή η προσομοίωση, η επικύρωση, και η σύνθεση του σχεδίου στα διαφορετικά επίπεδα πολυπλοκότητας[10].

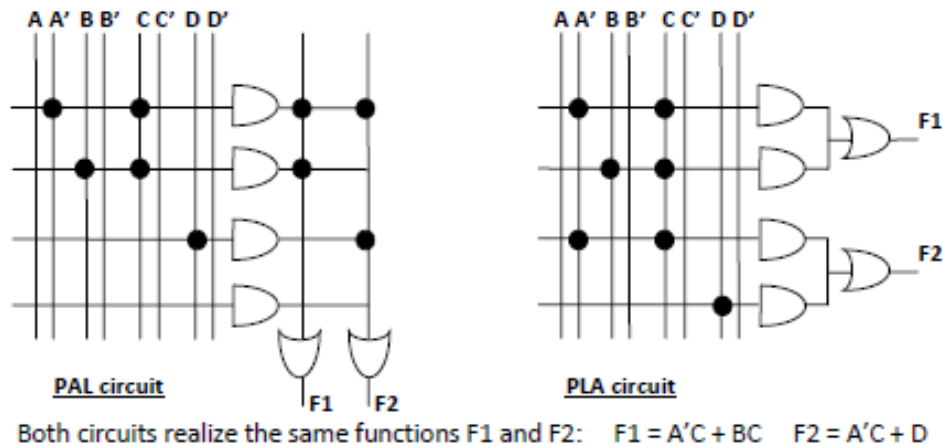
Στις μέρες μας, τα ολοκληρωμένα κυκλώματα είναι απολύτως παραμετροποιήσιμες σχεδιάσεις, όπου τα τρανζίστορς και οι διασυνδέσεις μεταξύ αυτών καθορίζονται άμεσα από τους τεχνικούς ή τους μηχανικούς που τα σχεδιάζουν. Παρά τον μεγαλύτερο φόρτο εργασίας, το χρονικό κόστος και το κόστος ελέγχου, η καλύτερη αξιοποίηση της διαθέσιμης έκτασης, η μείωση της κατανάλωσης ισχύος και η αύξηση της ταχύτητας λειτουργίας του συστήματος είναι ικανές να υπερκεράσουν τα παραπάνω εμπόδια και να οδηγήσουν τη τεχνολογία των υπολογιστικών συστημάτων σε μια νέα εποχή προκλήσεων.

Διάφορες παραλλαγές παραμετροποιήσιμων ολοκληρωμένων κυκλωμάτων έχουν παρουσιαστεί. Τα κυκλώματα ASICs (Application Specific Integrated Circuits) συχνά περιγράφονται σε επίπεδο γλώσσας περιγραφής υλικού, και υλοποιούνται χρησιμοποιώντας βιβλιοθήκες κελιών (standard cell libraries). Η προσέγγιση αυτή δημιουργεί έναν συμβιβασμό μεταξύ απόδοσης για χαμηλότερο κόστος και πιο γρήγορο χρόνο πρόσβασης στην αγορά.

Μία άλλη προσέγγιση στην εξέλιξη των ολοκληρωμένων κυκλωμάτων είναι η εισαγωγή της τεχνολογίας πίνακα πυλών (gate array), οι οποίοι αποτελούνται από προκατασκευασμένα κυκλώματα ψηφίων πυριτίου, όπου τρανζίστορς και βασικές λογικές πύλες, χωρίς καμία συγκεκριμένη διασύνδεση μεταξύ τους συνθέτουν ένα προγραμματιζόμενο περιβάλλον, όπου ο σχεδιαστής μπορεί να ορίσει τις διασυνδέσεις, ώστε το κύκλωμα να επιτελεί κάποια συγκεκριμένη λειτουργία.

Στοχεύοντας σε υψηλότερο αριθμό εν δυνάμει πελατών και για να μειωθεί το κόστος, η κατηγορία των προγραμματιζόμενων λογικών συσκευών (PLDs) παρουσιάζει έναν ακόμα τρόπο υλοποίησης ηλεκτρονικών ολοκληρωμένων κυκλωμάτων, όπου η λειτουργία της συσκευής είναι ακαθόριστη τη στιγμή της κατασκευής, και ο χρήστης πρέπει να προγραμματίσει την συσκευή ώστε να επιτελεί κάποια συγκεκριμένη λειτουργία. Χαρακτηριστικό παράδειγμα αποτελούν οι προγραμματιζόμενες συσκευές PLA και PAL (Σχήμα 2.17) της Texas Instruments (Programmable Logic Array), βασικός υπολογιστικός πυρήνας των οποίων είναι ένας πίνακας αποτελούμενος από λογικές πύλες. Οι σύνθετες προγραμματιζόμενες λογικές συσκευές (Complex Programmable Logic Devices-CPLDs) βασίζονται στην αρχιτεκτονική PAL, αλλά είναι πολύ μεγαλύτερες σε μέγεθος και

χρησιμοποιούνται για μεγαλύτερες και πιο πολύπλοκες σχεδιάσεις. Μπορούν να επαναπρογραμματιστούν αρκετές φορές και συχνά ενσωματώνουν επιπρόσθετα χαρακτηριστικά όπως αμφίδρομες εξόδους, γραμμές ανατροφοδότησης και στοιχεία αποθήκευσης (flip-flops).



Σχήμα 2.17. PAL και PLA προγραμματιζόμενες συσκευές της Texas Instruments

2.3.2 Δομή και χαρακτηριστικά των FPGAs

Ένα FPGA (Field Programmable Gate Array) είναι ολοκληρωμένο κύκλωμα σχεδιασμένο ώστε η λειτουργία του να διαμορφώνεται κατά τις προδιαγραφές και απαιτήσεις της εκάστοτε σχεδίασης, αφού έχει ολοκληρωθεί η κατασκευή του και όχι κατά τη διάρκεια αυτής. Η διαμόρφωση του FPGA καθορίζεται γενικά χρησιμοποιώντας κάποια γλώσσα περιγραφής υλικού (HDL). Ένα FPGA περιέχει προγραμματιζόμενα λογικά στοιχεία και επαναδιαμορφώσιμες διασυνδέσεις, και σε αντίθεση με τις προηγούμενες τεχνολογίες που χρησιμοποιούν πίνακες λογικών πυλών, η κατασκευή των FPGAs είναι βασισμένη σε επαναπρογραμματιζόμενους Look-Up πίνακες (Look-Up Tables-LUTs). Τα βασικότερα χαρακτηριστικά ενός FPGA συνοψίζονται στα εξής:

- **Δυνατότητα εκμετάλλευσης μεγάλου βαθμού παραλληλίας.** Τα υπολογιστικά κυκλώματα ενός FPGA έχουν έμφυτη τη δυνατότητα να εκτελούν παράλληλα υπολογισμούς που αφορούν την ίδια εφαρμογή,
- **Ταχύτερος ρυθμός επεξεργασίας και εκτέλεσης εφαρμογών.** Οι εφαρμογές εκτελούνται απευθείας στο υλικό, χωρίς να προηγηθούν διαδικασίες μεταγλώττισης και σύνδεσης σε επίπεδο λογισμικού,
- **Δυνατότητα επαναπρογραμματισμού του κυκλώματος.** Αν και τα FPGA είναι κυκλώματα ειδικού σκοπού, παρ' αυτά μπορούν πολύ εύκολα να επαναπρογραμματιστούν, ώστε να εκτελούν κάποια άλλη εφαρμογή.

Ακριβώς όπως οι CPUs, έτσι και τα FPGAs είναι προορισμένα ώστε να εκτελούν συγκεκριμένες λειτουργίες και να απασχολούνται σε ένα συγκεκριμένο τμήμα ενδιαφέροντος. Αν και λειτουργούν σε σημαντικά χαμηλότερη συχνότητα, της τάξης των εκατοντάδων MHz, συγκριτικά με την

ταχύτητα λειτουργίας της τάξης των GHz των CPUs, η έμφυτη δυνατότητα παράλληλης αξιοποίησης των πόρων ενός FPGA, το καθιστά ιδανική λύση για υπολογιστικές διεργασίες υψηλής απόδοσης που μπορεί να τις εκτελεί πολύ γρηγορότερα από ότι μία CPU, συμπεριλαμβανομένων διαδικασιών όπως η συνέλιξη και ο γρήγορος μετασχηματισμός Fourier. Η χαμηλότερη συχνότητα λειτουργίας και η άμεση, χαμηλού επιπέδου εφαρμογή των λειτουργιών πάνω στο ρεύμα δεδομένων επιτρέπει την χαμηλότερη κατανάλωση ισχύος.

Τα FPGAs εκτελούν εργασίες με χωρική οργάνωση των στοιχειωδών πράξεων, τη στιγμή που οι CPUs εκτελούν εργασίες με διαδοχική οργάνωση τους στον χρόνο και αποθηκεύοντας ενδιάμεσα αποτελέσματα σε έναν περιορισμένο αριθμό από καταχωρητές.

Παρά το γεγονός, ότι οι εργασίες καταλήγουν να εκτελούνται πολλές φορές με μερικούς κύκλους καθυστέρησης, η δομή διοχέτευσης επιτρέπει ταχύτερη επεξεργασία συγκριτικά με την CPU, που απαιτεί περισσότερους κύκλους για την ίδια εργασία. Αυτή η χωρική οργάνωση επιτρέπει λιγότερη επιβάρυνση και περισσότερους ενεργούς υπολογισμούς στην ίδια περιοχή του chip. Μαζί με την έμφυτη ικανότητα άμεσης επεξεργασίας σε επίπεδο bit, που έρχεται ως απάντηση στη σπατάλη κύκλων ρολογιού για την απομόνωση των επιθυμητών bits στη CPU, αναδύεται η υπεροχή των FPGAs στην εκτέλεση εφαρμογών με μεγάλη παραλληλία, με ταχύτητα σχεδόν μιας τάξης μεγαλύτερης από την αντίστοιχη μίας μονάδας CPU.

Τα FPGAs προσφέρουν μια ευέλικτη προσέγγιση σε εφαρμογές που παραδοσιακά εκτελούνται είτε από ASICs ή σε λογισμικό από ακολουθιακούς επεξεργαστές (CPUs). Τα ASICs παρέχουν αποδοτικά εξειδικευμένες λύσεις για μία συγκεκριμένη εφαρμογή, αλλά είναι μόνιμα διαμορφωμένα ώστε να εκτελούν μονάχα μια λειτουργία χωρίς καμία δυνατότητα επαναδιαμόρφωσης ή επαναπρογραμματισμού. Στον αντίποδα, τα FPGAs παρέχουν επαναπρογραμματιζόμενα λογικά blocks και διασυνδέσεις, υστερώντας όμως σε καθυστέρηση, κατανάλωση ισχύος, εμβαδόν και αποδοτικότητα συγκριτικά με τα ASICs. Επομένως, συνυπολογίζοντας τα χαρακτηριστικά της αποδοτικότητας σε σχέση με τις CPUs αλλά και της ευελιξίας σε σχέση με τα ASICs, η επιλογή των FPGAs καθίσταται ελκυστική για εφαρμογές που απαιτούν αποδοτικότητα και ευελιξία. Μάλιστα, σε τελευταίες εκδόσεις μοντέλων FPGAs (π.χ. Xilinx Virtex 7) έχει επιτευχθεί πολύ σημαντική πρόοδος στη μείωση της κατανάλωσης ισχύος και στην αύξηση της ταχύτητας συγκριτικά με τα ASICs, ενώ πρόοδος έχει σημειωθεί και στις δυνατότητες επαναδιαμόρφωσης.

Παραδοσιακά, FPGAs χρησιμοποιούνται για εφαρμογές που επεξεργάζονται μεγάλα ρεύματα δεδομένων, όπου διαφορετικές διαδικασίες επιβάλλεται να εκτελούνται παράλληλα και ανεξάρτητα η μία από την άλλη. Στη πραγματικότητα, τα FPGAs μπορούν να πετύχουν πολύ μεγαλύτερες ταχύτητες επεξεργασίας από τις αντίστοιχες που μπορούν να πετύχουν οι μικροεπεξεργαστές, εκμεταλλευόμενα την παραλληλία στις εφαρμογές. Καθώς τηλεπικοινωνιακές εφαρμογές, εφαρμογές δικτύων αλλά και άλλοι πολύπλοκοι επιστημονικοί υπολογισμοί σχεδιάζονται έτσι ώστε να παρέχουν προφίλ παραλληλίας που να είναι εύκολα εκμεταλλεύσιμα, η χρήση των FPGAs αποτελεί έναν σχετικά εύκολο τρόπο ώστε να επιταχυνθούν οι υπολογισμοί. Το πεδίο εφαρμογών τους εκτείνεται ακόμα στην επεξεργασία εικόνας και βίντεο, στις ιατρικές εφαρμογές, στην αεροδιαστημική, στην άμυνα κ.α.

Ένα FPGA, όπως φαίνεται στο σχήμα 2.18 αποτελείται από προγραμματιζόμενα λογικά blocks και διασυνδέσεις μεταξύ αυτών, που μπορούν να διαμορφωθούν ώστε να συντίθενται πολύπλοκα λογικά κυκλώματα, αλλά και από blocks που επιτρέπουν την είσοδο και έξοδο δεδομένων. Η συνδυαστική λογική υλοποιείται χρησιμοποιώντας μονάδες LUTs, ενώ η ακολουθιακή λογική υλοποιείται χρησιμοποιώντας καταχωρητές [11]. Για την ενίσχυση της χωρητικότητας και της ταχύτητας, παρέχονται πληθώρα μνημών και άλλων ψηφιακών υπολογιστικών μονάδων (DSPs) εντός του FPGA.

LUT (Look-Up Table)

Η μονάδα LUT είναι η βασική υπολογιστική μονάδα ενός FPGA. Αποτελούμενη από συνδυασμό πολυπλεκτών και μνημών, υλοποιεί πίνακες αληθείας για την έκφραση Boolean εκφράσεων, οι οποίες με την σειρά τους μπορούν να αναπαραστήσουν τους περισσότερους δυνατούς

υπολογισμούς.

Καταχωρητές

Ένας καταχωρητής αποτελείται από μια συστοιχία από flip-flops λειτουργώντας έτσι σαν αποθηκευτική μονάδα για ρεύματα από bits.

Μνήμη

Τα περισσότερα FPGAs διαθέτουν ποικιλία ενσωματωμένων μνημών μνήμης η διπλής θύρας για την αποθήκευση δεδομένων, που αποκαλούνται block RAMs. Ανάλογα με τον μοντέλο του FPGA διαφοροποιούνται το μέγεθος, η ποσότητα και τα είδη των block RAMs.

DSP blocks

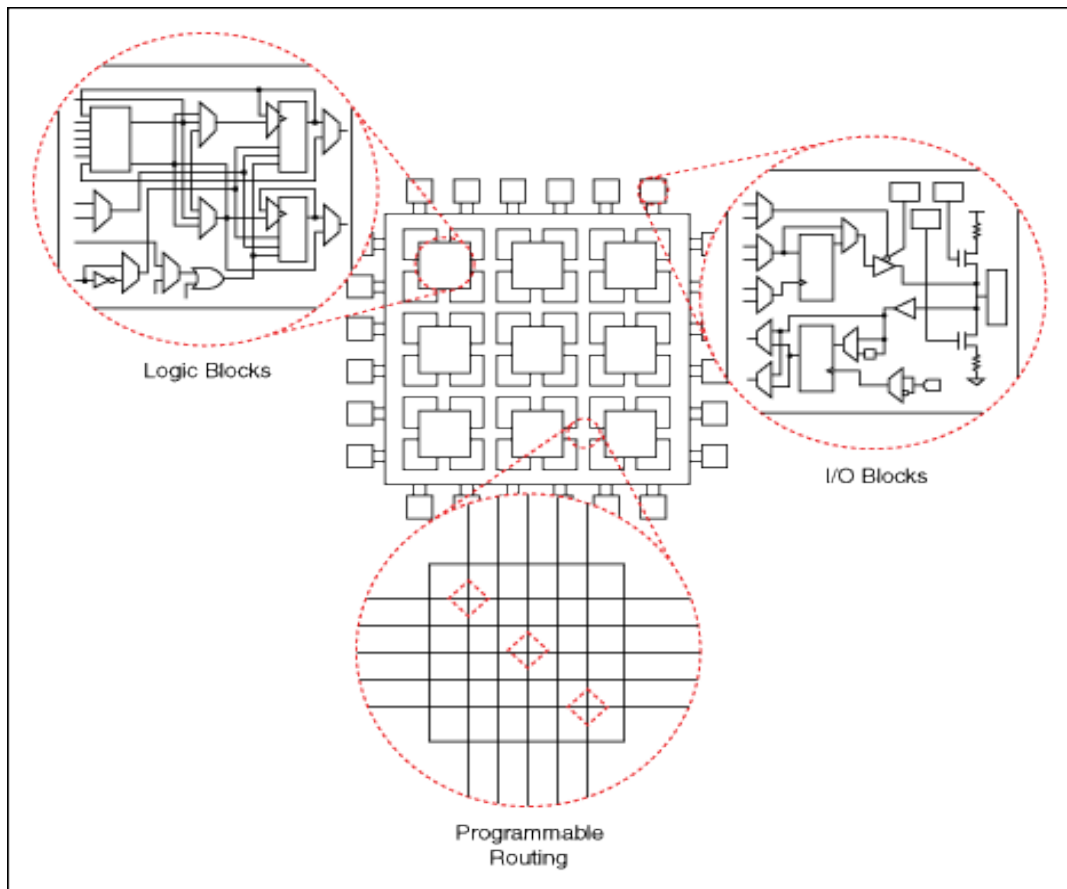
Οι υπολογιστικές μονάδες DSP (π.χ. πολλαπλασιαστές, αθροιστές με συσσώρευση) αφιερώνουν τη λειτουργία τους κυρίως σε λειτουργίες ψηφιακής επεξεργασίας σήματος, καθώς οι μονάδες LUTs είναι λιγότερο αποδοτικές στον συγκεκριμένο τομέα.

Clocking

Στη πλειοψηφία τους, τα κυκλώματα μέσα σε ένα FPGA είναι σύγχρονα και επομένως η λειτουργία τους απαιτεί σήμα ρολογιού. Για το σκοπό αυτό, τα FPGAs περιέχουν καθολικά και περιφερειακά δίκτυα δρομολόγησης για τη σύνθεση μίας ή πολλαπλών συχνοτήτων ρολογιού.

Πομποδέκτες

Στα πιο εξελιγμένα μοντέλα εμπεριέχονται πομποδέκτες ικανοί να λειτουργούν σε συχνότητες πολλών gigabit/s με χαμηλή κατανάλωση ισχύος και πόρων του FPGA. Ένας πομποδέκτης περιέχει υψηλής απόδοσης κυκλώματα εισόδου και εξόδου καθώς και υψηλής ταχύτητας κυκλώματα σειριοποίησης και αποσειριοποίησης.



Σχήμα 2.18. Σχέση μεταξύ λογικών blocks, blocks εισόδου εξόδου και διασυνδέσεων πάνω σε ένα FPGA.

Εκτός από τα ψηφιακά χαρακτηριστικά, τα FPGAs διαθέτουν και αναλογικά χαρακτηριστικά. Το πιο συνηθισμένο αναλογικό χαρακτηριστικό τους είναι η δυνατότητα προγραμματισμού του ρυθμού μέγιστης απόκλισης (slew rate) στους ακροδέκτες εξόδου. Στον αναλογικό εξοπλισμό τους συμπεριλαμβάνονται οι διαφορικοί συγκριτές οι οποίοι ενσωματώνονται σε εξειδικευμένους ακροδέκτες εισόδου σχεδιασμένοι ώστε να συνδέονται σε κανάλια διαφορικής σηματοδότησης. Κάποια FPGAs διαθέτουν επιπλέον ολοκληρωμένους περιφερειακούς μετατροπείς αναλογικού σήματος σε ψηφιακό (ADCs) και ψηφιακού σήματος σε αναλογικό (DACs).

Για τις ανάγκες της διπλωματικής εργασίας χρησιμοποιήθηκε το board XC7VH580T της Xilinx, τα τεχνικά χαρακτηριστικά του οποίου και των υπολοίπων μοντέλων της οικογένειας Virtex-7 φαίνονται στον πίνακα 2.19.

Device ⁽¹⁾	Logic Cells	Configurable Logic Blocks (CLBs)		DSP Slices ⁽³⁾	Block RAM Blocks ⁽⁴⁾			CMTs ⁽⁵⁾	PCIe ⁽⁶⁾	GTX	GTH	GTZ	XADC Blocks	Total I/O Banks ⁽⁷⁾	Max User I/O ⁽⁸⁾	SLRs ⁽⁹⁾
		Slices ⁽²⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)									
XC7V585T	582,720	91,050	6,938	1,260	1,590	795	28,620	18	3	36	0	0	1	17	850	N/A
XC7V2000T	1,954,560	305,400	21,550	2,160	2,584	1,292	46,512	24	4	36	0	0	1	24	1,200	4
XC7VX330T	326,400	51,000	4,388	1,120	1,500	750	27,000	14	2	0	28	0	1	14	700	N/A
XC7VX415T	412,160	64,400	6,525	2,160	1,760	880	31,680	12	2	0	48	0	1	12	600	N/A
XC7VX485T	485,760	75,900	8,175	2,800	2,060	1,030	37,080	14	4	56	0	0	1	14	700	N/A
XC7VX550T	554,240	86,600	8,725	2,880	2,360	1,180	42,480	20	2	0	80	0	1	16	600	N/A
XC7VX690T	693,120	108,300	10,888	3,600	2,940	1,470	52,920	20	3	0	80	0	1	20	1,000	N/A
XC7VX980T	979,200	153,000	13,838	3,600	3,000	1,500	54,000	18	3	0	72	0	1	18	900	N/A
XC7VX1140T	1,139,200	178,000	17,700	3,360	3,760	1,880	67,680	24	4	0	96	0	1	22	1,100	4
XC7VH580T	580,480	90,700	8,850	1,680	1,880	940	33,840	12	2	0	48	8	1	12	600	2
XC7VH870T	876,160	136,900	13,275	2,520	2,820	1,410	50,760	18	3	0	72	16	1	6	300	3

Πίνακας 2.19. Τεχνικά χαρακτηριστικά οικογένειας Virtex-7

Αν και το board XC7VH580T υστερεί αριθμητικά σε διάφορους υπολογιστικούς πόρους συγκριτικά με άλλα μοντέλα της ίδιας οικογένειας, επιλέχθηκε λόγω του αριθμού των 8 GTZ transceivers που ενσωματώνει. Ενώ τα περισσότερα boards είναι εξοπλισμένα με GTX και GTH πομποδέκτες με λειτουργία μέχρι τα 12.5 Gb/s και 13.1 Gb/s αντίστοιχα, οι GTZ πομποδέκτες προσφέρουν τη δυνατότητα εύρους λειτουργίας μέχρι και 28.05 Gb/s. Ο πομποδέκτης αποτελείται από έναν πομπό και ένα δέκτη.

Ο πομπός είναι ένας μετατροπέας παράλληλου σήματος σε σειριακό, ενώ ο δέκτης είναι ένας μετατροπέας σειριακού σήματος σε παράλληλο. Τόσο ο πομπός όσο και ο δέκτης λειτουργούν με ρυθμό μετατροπής 16, 20, 32, 40, 64 ή 80 bits. Πρόσθετα, ο πομποδέκτης GTZ υποστηρίζει μήκη λέξεων μέχρι 160 bits. Το γεγονός αυτό επιτρέπει στον σχεδιαστή να επιλέξει συμβιβασμούς μεταξύ του εύρους του ρεύματος δεδομένων και των περιθωρίων συγχρονισμού ώστε να επιτευχθεί υψηλότερη απόδοση.

Στην περίπτωση του πομπού, το παράλληλο σήμα εισέρχεται στον πομπό μέσω ενός μονοκαναλικού ακροδέκτη διαφορικού σήματος, ενώ το σειριακό σήμα εξέρχεται από τον ακροδέκτη μέσω δύο ακροδεκτών διαφορικών σημάτων.

Στην περίπτωση του δέκτη, το εισερχόμενο διαφορικό ρεύμα δεδομένων, τροφοδοτείται σε γραμμικά κυκλώματα ισοστάθμισης με ανάδραση, ενώ ο δέκτης χρησιμοποιεί την είσοδο ρολογιού αναφοράς ώστε να αρχικοποιήσει την αναγνώριση ρολογιού. Το ρεύμα δεδομένων χρησιμοποιεί κωδικοποίηση με παλμούς τύπου NRZ.

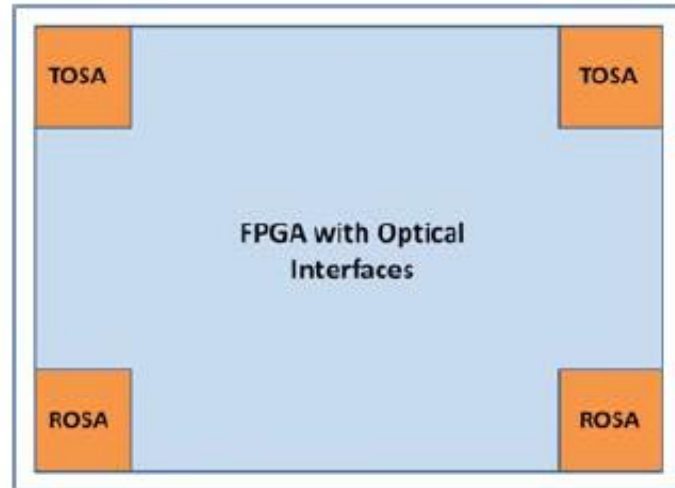
2.4 FPGAs στις οπτικές επικοινωνίες

2.4.1 FPGAs και οπτικές διασυνδέσεις

Τα τελευταία χρόνια πληθώρα ερευνητικών προσπαθειών έχουν επικεντρωθεί στη δημιουργία προϊόντων που συνδυάζουν την τεχνολογία των FPGAs με την αντίστοιχη των οπτικών διασυνδέσεων. Μία τέτοια διεπαφή διασύνδεσης μπορεί να ξεπεράσει σε εμβέλεια, ισχύ, πυκνότητα θυρών, κόστος και πολυπλοκότητα του κυκλώματος τις υπάρχουσες τεχνολογίες διασύνδεσης με χάλκινα καλώδια.

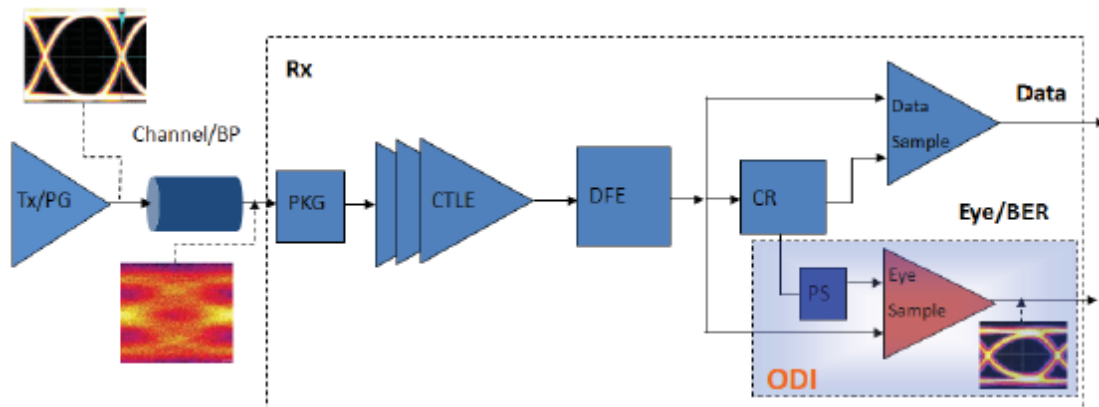
Αντίθετα με τις διασυνδέσεις χαλκού, η κατανάλωση ισχύος στις οπτικές διασυνδέσεις είναι σχετικά ανεξάρτητες από την εμβέλεια. Επίσης, σε αντίθεση με ένα ηλεκτρικό σήμα, το οπτικό σήμα διατηρείται απρόσβλητο σε ηλεκτρομαγνητικές παρεμβολές, επηρεάζοντας έτσι λιγότερο την ακεραιότητα του σήματος.

Τα τελευταία χρόνια, πολλές προσπάθειες έχουν γίνει ώστε να αναπτυχθούν συστήματα που να συνδυάζουν τη τεχνολογία των οπτικών ινών με αυτή των οπτικών διασυνδέσεων. Η Altera, χρησιμοποιώντας πομποδέκτη 28nm λειτουργίας στα 28 Gbps, ο οποίος υποστηρίζει μεθόδους ισοστάθμισης, καθώς επίσης και παραγωγή και ανάκτηση συχνότητας ρολογιού, κατασκευάζει οπτικά συστήματα διεπαφής με πυρήνες FPGA [4], όπως φαίνεται στο παρακάτω σχήμα.



Σχήμα 2.20. Παράδειγμα οπτικού συστήματος διεπαφής με πυρήνα FPGA

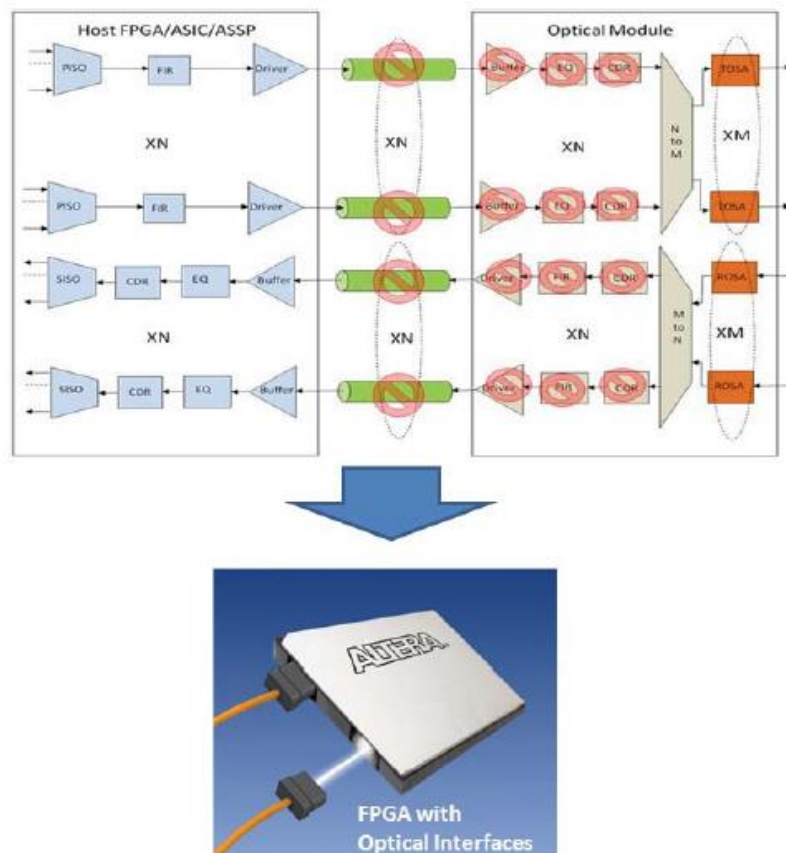
Τόσο στο πομπό, όσο και στο δέκτη υπάρχει ενσωματωμένη η δυνατότητα ισοστάθμισης 4 και 5 συντελεστών αντίστοιχα. Στον πομπό, για την εφαρμογή ισοστάθμισης έχει επιλεγεί η τεχνική FFE, ενώ στο δέκτη έχει επιλεγεί η τεχνική DFE για καλύτερη αντιστάθμιση φαινομένων θορύβου. Οι τελικοί συντελεστές είναι βέλτιστα επιλεγμένοι, ανάλογα με το αν η διαδικασία ανάκτησης ρολογιού έχει «κλειδώσει» στη συχνότητα αναφοράς ή στη συχνότητα των δεδομένων. Εκ κατασκευής, ο πομποδέκτης επιτρέπει τη μέτρηση και εξαγωγή διαγράμματος ματιού και ρυθμού εμφάνισης λαθών. Μάλιστα, παρέχει έμφυτη τη δυνατότητα ελάττωσης του ρυθμού εμφάνισης λαθών αλλά και να «ανοίξει» αποτελεσματικά ένα «κλειστό» διάγραμμα ματιού σήματος του οποίου η ακεραιότητα έχει πληγεί, όπως απεικονίζεται και στο σχήμα 2.21.



Σχήμα 2.21. Δυνατότητες και αποδοτικότητα FPGA πομποδέκτη

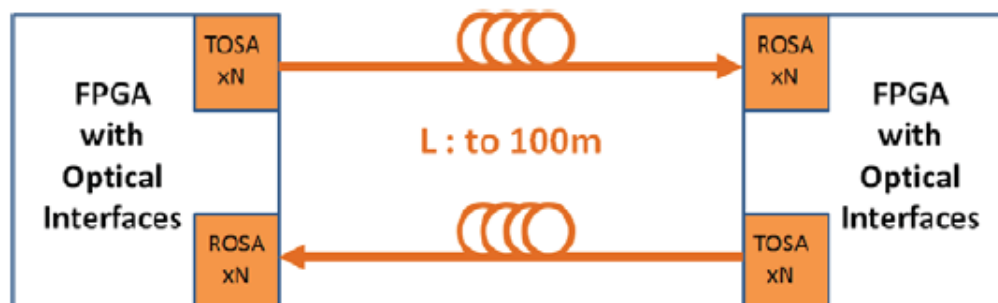
Στο κύκλωμα FPGA, ενσωματώνονται ιδιαίτερα αποδοτικοί πομποί (Transmitter Optical Sub-Assembly - TOSA) και δέκτες (Receiver Optical Sub-Assembly - ROSA), παρέχοντας άμεση μετάδοση και λήψη οπτικού σήματος χωρίς την ανάγκη επιπρόσθετου διακριτού οπτικού στοιχείου. Οι σχεδιαστές έχουν τη δυνατότητα να αντικαταστήσουν την υπάρχουσα αρχιτεκτονική των chip-to-module συστημάτων διασύνδεσης με την παραπάνω αρχιτεκτονική ώστε να μειωθεί η κατανάλωση

ισχύος και πόρων, το συνολικό κόστος καθώς και να αυξηθεί η πυκνότητα διαθέσιμων θυρών διασύνδεσης, όπως φαίνεται και στο σχήμα 2.22.



Σχήμα 2.22. Αντικατάσταση chip-to-module συνδέσμου από FPGA με οπτική διεπαφή

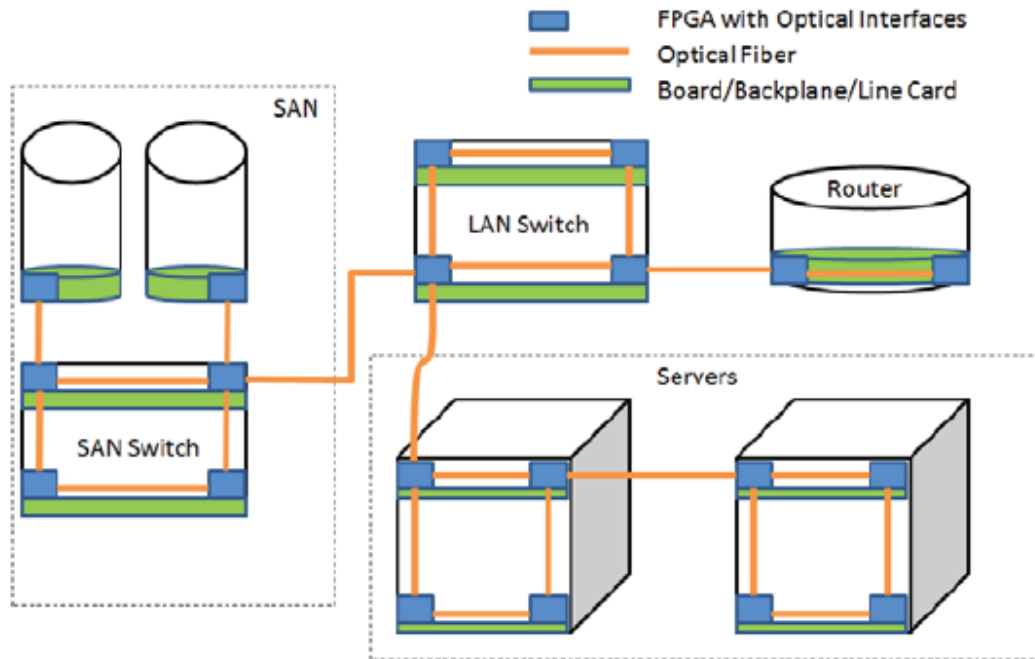
Στο σχήμα 2.23, απεικονίζεται μια γενική εφαρμογή που περιλαμβάνει FPGA με οπτική διεπαφή. Η διεπαφή αυτή μπορεί να χρησιμοποιηθεί για board-to-board, rack-to-rack, και chip-to-chip διασυνδέσεις με εμβέλεια έως και 100m σε ρυθμό 10 Gbps. Ο μέγιστος ρυθμός καναλιού εξαρτάται από τον ρυθμό μετάδοσης δεδομένων του πομποδέκτη και ανέρχεται συνήθως μέχρι τα 28 Gbps.



Σχήμα 2.23. Εφαρμογή οπτικής διεπαφής FPGA σε board-to-board, rack-to-rack, και system-to-system διασυνδέσεις με εμβέλεια έως και 100m σε ρυθμό 10 Gbps

Πιο συγκεκριμένα, στο σχήμα 2.24 απεικονίζεται λεπτομερές παράδειγμα χρήσης FPGA σε οπτική διεπαφή σε κέντρο δεδομένων. Η απεικόνιση αυτή δείχνει τις εσωτερικές board-to-board, rack-to-

rack, και system-to-system διασυνδέσεις χρησιμοποιώντας το FPGA ενίοτε σαν διακόπτη τοπικού δικτύου (LAN switch), σαν router, σαν διακόπτη αποθηκευτικού χώρου (SAN switch). Η οπτική διεπαφή με FPGA επιτρέπει την υλοποίηση οπτικών διασυνδέσεων σε αποστάσεις από 0.3m έως και μεγαλύτερες από 100m, ενώ ταιριάζει απόλυτα σε διασυνδέσεις κέντρων δεδομένων. Η συγκεκριμένη υλοποίηση προσφέρει σημαντική βελτίωση σε ισχύ, πυκνότητα και εξοικονόμηση κόστους συγκριτικά με τις συμβατικές υλοποιήσεις. Οι δυνατότητες αυτές δεν υπήρχαν πριν την υλοποίηση της τεχνολογίας οπτικών διεπαφών με FPGA, ειδικά για εμβέλεια μικρότερη από 10m.



Σχήμα 2.24. Οπτική διεπαφή με FPGA για διασύνδεση σε κέντρα δεδομένων

Είναι προφανές ότι η τεχνολογία οπτικών διεπαφών με FPGA θα εξαπλωθεί ακόμα περισσότερο στο μέλλον στα συστήματα τηλεπικοινωνιών και πληροφορικής, στα κέντρα δεδομένων, στα αμυντικά συστήματα καθώς και στα ιατρικά συστήματα λόγω της εξέχουσας ελαστικότητας στην ισχύ, στο κόστος, στη πυκνότητα και στην αντιμετώπιση φαινομένων υποβάθμισης του σήματος.

Τέλος, στο [14] προτείνεται η χρήση FPGA ως ευέλικτη συσκευή για την ανάπτυξη οπτικών πομποδεκτών καθοριζόμενων από λογισμικό (Software-Defined Optical Transceivers). Οι συγκεκριμένοι πομποδέκτες μπορούν να διαχειριστούν σε πραγματικό χρόνο διαφορετικά σχήματα FEC κωδικοποίησης, ανάλογα με τις απαιτήσεις της οπτικής μετάδοσης. Στο συγκεκριμένο έργο, υλοποιήθηκαν διάφορες παραλλαγές κωδικών FEC καταναλώνοντας μέχρι και 90 χιλιάδες μονάδες LUT σε συσκευή Xilinx Zynq. Οι συγγραφείς υποστηρίζουν ότι η επαναδιαμορφωσιμότητα που έχουν υλοποιήσει μπορεί να ωφελήσει τα οπτικά δίκτυα μέσω της προσαρμογής της σχεδίασης στα διαφορετικά σχήματα μετάδοσης, στις διαφορετικές απαιτήσεις εξοικονόμησης ενέργειας και στο μειωμένο κόστος εξοπλισμού.

2.4.2 Σχετικά έργα σε οπτικά φίλτρα και FPGAs

Στην κατεύθυνση πάντα της ενσωμάτωσης των FPGAs σε μελλοντικές οπτικές διασυνδέσεις, η ερευνητική βιβλιογραφία έχει αποδείξει την αποτελεσματικότητά τους στο οπτικό πεδίο επικοινωνιών μέσα από ποικιλία έργων σχετικών με το αντικείμενο που μελετάμε και εξετάζουμε στη συγκεκριμένη διπλωματική εργασία.

Στο [15] περιγράφεται η υλοποίηση ενός DFE συστήματος ισοστάθμισης πολλαπλών εισόδων-πολλαπλών εξόδων (Multi Input Multi Output-MIMO) σε FPGA, στα πλαίσια NRZ-DQPSK μετάδοσης για οπτικές διασυνδέσεις. Στο συγκεκριμένο έργο έχει υλοποιηθεί μία παράλληλη αρχιτεκτονική ικανή να πετύχει ρυθμό διακίνησης δεδομένων ίσο με 40 Gb/s σε συσκευή Xilinx Virtex-7 (XC7VX690T-2) ή σε συσκευή Kintex UltraScale (XCKU100-FLVF1924-2-i). Η υλοποίηση στο Virtex-7 καταναλώνει το 3% των συνολικών μονάδων LUT (9.9 χιλιάδες), το 9% των καταχωρητών DFF (76.8 χιλιάδες) και το 78% των μονάδων DSP (2.9 χιλιάδες), ενώ η υλοποίηση στο Kintex Ultrascale απαιτεί το 2% των συνολικών μονάδων LUT (8.8 χιλιάδες), το 6% των καταχωρητών DFF (69.2 χιλιάδες) και το 63% των μονάδων DSP (2.6 χιλιάδες).

Στο [16], περιγράφεται μία FPGA αρχιτεκτονική για την υλοποίηση ενός MLSE κυκλώματος ισοστάθμισης στα πλαίσια OOK (On-Off Keying) μετάδοσης. Η συγκεκριμένη αρχιτεκτονική υποστηρίζει ρυθμό διακίνησης δεδομένων ίσο με 10 Gb/s χρησιμοποιώντας αποκωδικοποιητή αλγορίθμου Viterbi 32 καταστάσεων. Για τους σκοπούς της υλοποίησης, χρησιμοποιήθηκε η συσκευή Virtex-7 (XC7VX690T-2), όπου καταναλώνονται το 50% των συνολικών καταχωρητών DFF (434 χιλιάδες) και το 70% των συνολικών μονάδων LUT (304 χιλιάδες).

ΚΕΦΑΛΑΙΟ 3

Περιγραφή υλοποίησης κυκλώματος FFE σε FPGA

3.1 Υλοποίηση κυκλώματος ισοστάθμισης σε FPGA

Στο κεφάλαιο αυτό, η συζήτηση επικεντρώνεται στη βήμα προς βήμα υλοποίηση μίας πλήρως παραμετρικής αρχιτεκτονικής FFE, καθώς επίσης και στις διάφορες τεχνικές που αναπτύχθηκαν για την αποτελεσματική εκμετάλλευση του παραλληλισμού. Στη κατεύθυνση αυτή, σχεδιάσαμε και υλοποιήσαμε αρχικά την σειριακή εκδοχή του κυκλώματος ισοστάθμισης και στη συνέχεια τις διάφορες παράλληλες αρχιτεκτονικές που περιγράφονται στις επόμενες ενότητες.

3.1.1 Βασική σειριακή υλοποίηση κυκλώματος FFE ισοστάθμισης

Σκοπός του κυκλώματος FFE ισοστάθμισης που περιγράφεται στη συνέχεια, είναι το φιλτράρισμα του ρεύματος δεδομένων εισόδου, μέσω της ακόλουθης συνάρτησης μεταφοράς:

$$y[n] = \sum_0^N c_i \times x[n-i], \quad 0 \leq i \leq N \quad (1)$$

όπου :

- $y[n]$ είναι το σήμα εξόδου,
- $x[n]$ είναι το σήμα εισόδου,
- N είναι η τάξη του φίλτρου,
- c_i είναι ο i -οστός συντελεστής του φίλτρου.

Η πράξη αυτή, ανάλογα με τους συντελεστές που έχουμε επιλέξει μας επιτρέπει να συνθέτουμε χαμηλοπερατό, ζωνοπερατό ή υψιπερατό φίλτρο.

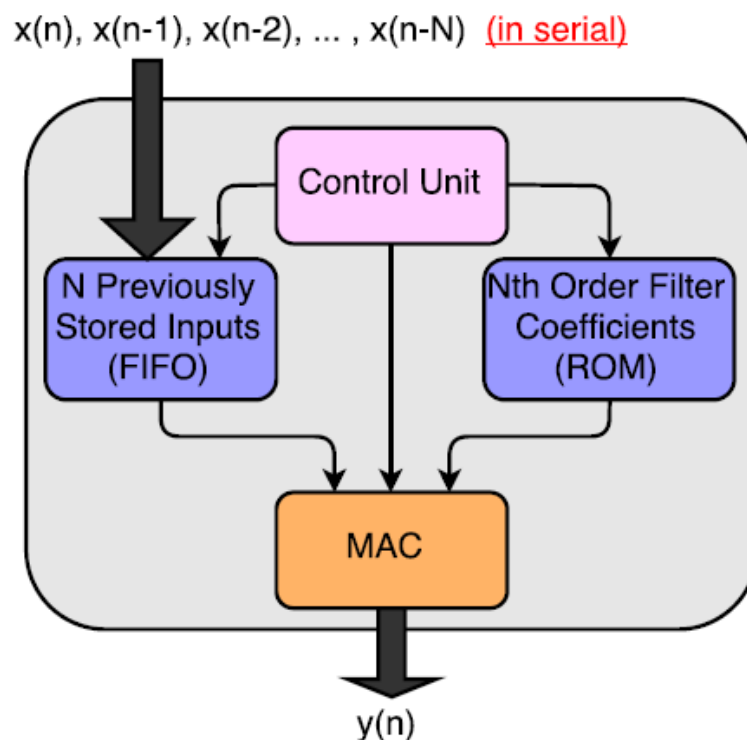
Οι μονάδες που συνθέτουν το σειριακό κύκλωμα ισοστάθμισης είναι οι εξής:

- Μνήμη ROM, όπου διατηρούνται αποθηκευμένοι οι σταθεροί συντελεστές του ψηφιακού φίλτρου τάξης N ,
- δομή FIFO, στην οποία αποθηκεύονται οι N προηγούμενες τιμές του σήματος εισόδου,
- μονάδα συσσωρευτή (MAC) για τους αριθμητικούς υπολογισμούς,
- τέλος η απαραίτητη μονάδα ελέγχου για την επίβλεψη της συνεχής λειτουργίας του κυκλώματος.

Η περιγραφή όλων των απαραίτητων μονάδων για την υλοποίηση του κυκλώματος ισοστάθμισης έγινε στη γλώσσα περιγραφής υλικού VHDL. Όλες οι παραπάνω μονάδες περιγράφονται σε behavioral αρχιτεκτονικές και οι διασυνδέσεις τους ενοποιούνται σε μία κεντρική ενότητα, η οποία περιγράφεται σε structural αρχιτεκτονική. Αρχικά χρησιμοποιώντας 2 templates μνημών, ένα για ROM και ένα για RAM (για την υλοποίηση της δομής FIFO) αντίστοιχα, αποθηκεύονται οι σταθεροί συντελεστές του ψηφιακού φίλτρου, c_i , στη μνήμη ROM, ενώ στη δομή FIFO (η οποία αρχικοποιείται με μηδενικά στοιχεία) αποθηκεύεται κάθε νέα αφικνούμενη είσοδος $x[n]$. Για να καθοριστεί ο τρόπος με τον οποίο θα πραγματοποιούνται οι εγγραφές νέων εισόδων στη δομή FIFO, εφαρμόζουμε τη λογική κυκλικού buffer. Σύμφωνα με αυτήν, όταν η δομή FIFO εγγράψει όλες τις

θέσεις της, τότε κάθε νέα αφικνούμενη είσοδος θα εγγράφεται στη θέση της παλαιότερης χρονικά εισόδου, και θα την αντικαθιστά. Σε κάθε κύκλο ρολογιού, οι έξοδοι των μνημών οδηγούνται με εντολή από την μονάδα ελέγχου στην υπολογιστική μονάδα MAC όπου εκεί εκτελούνται όλοι οι απαραίτητοι υπολογισμοί (σχέση (1)). Για κάθε νέα αφικνούμενη είσοδο εκτελούνται $N+1$ υπολογισμοί (πολλαπλασιασμοί και αθροίσματα), δηλαδή τόσοι υπολογισμοί, όσοι είναι και οι συντελεστές του φίλτρου. Ο απαραίτητος συγχρονισμός μεταξύ της δομής FIFO, της ROM και της μονάδας MAC ελέγχεται και υλοποιείται από την μονάδα ελέγχου.

Στο παρακάτω σχήμα απεικονίζονται οι βασικές μονάδες της σειριακής αρχιτεκτονικής και οι διασυνδέσεις μεταξύ αυτών.



Σχήμα 3.1. Βασική pipelined αρχιτεκτονική FFE κυκλώματος ισοστάθμισης. Τα σήματα εισόδου x καταφθάνουν σειριακά κάθε $N + 1$ κύκλους και η έξοδος y υπολογίζεται κάθε $N + 1$ κύκλους

Στη συγκεκριμένη αρχιτεκτονική, κάθε σήμα εισόδου $x[n]$, καταφθάνει σειριακά κάθε $N + 1$ κύκλους ρολογιού, οπότε ο υπολογισμός κάθε σήματος εξόδου $y[n]$ απαιτεί $N + 1$ κύκλους ρολογιού.

Σημαντικό στο σημείο αυτό, είναι να τονιστεί το γεγονός ότι όλες οι μονάδες που συνθέτουν το κύκλωμα ισοστάθμισης, έχουν σχεδιαστεί ώστε να υποστηρίζουν τεχνική διοχετεύσης δεδομένων (pipeline). Αυτό σημαίνει, ότι κάθε δομική μονάδα δεν εισέρχεται σε κατάσταση αναμονής περιμένοντας να ολοκληρωθεί ένας υπολογισμός για να ξεκινήσει τον επόμενο, αλλά έχει τη δυνατότητα να εκτελεί υπολογισμούς που αφορούν την επόμενη είσοδο, πριν ολοκληρωθούν οι υπολογισμοί για την προηγούμενη είσοδο.

Ενδεικτικά, οι πόροι που καταναλώνονται στη σειριακή υλοποίηση με συντελεστές και εισόδους των 8 bits, για τάξη φίλτρου $N = 99$ φαίνονται στον παρακάτω πίνακα.

Place and Route report	Slice Registers	Slice LUTs	RAM blocks	DSP's
100 coeff.	88	90	2	1

Πίνακας 3.2. Κατανάλωση πόρων από τις μονάδες του φίλτρου

Για την υποστήριξη υπολογισμών με δεκαδικούς αριθμούς, επιβάλλεται να πραγματοποιηθούν κάποιες μετατροπές στη δομή της υπολογιστικής μονάδας. Οι μεταβολές εστιάζουν στην εισαγωγή ελέγχων μέτρου, ώστε να πραγματοποιείται η σωστή πράξη (πρόσθεση ή αφαίρεση) κάθε φορά που καταφθάνει νέα είσοδος στην υπολογιστική μονάδα. Για την αναπαράσταση της αριθμητικής χρησιμοποιήθηκε η αριθμητική των προσημασμένων αριθμών, σύμφωνα με την οποία το σημαντικότερο bit (MSB) του αριθμού αναπαριστά το πρόσημο και η πράξη μεταξύ 2 αριθμών γίνεται μεταξύ των υπολοίπων bits, δηλαδή μεταξύ των μέτρων τους, π.χ. ο πολλαπλασιασμός μεταξύ των εισόδων 10001010 και 00011010 πραγματοποιείται ως $10001010 * 00011010 = 1 \& (00011010 * 0011010)$. Κατά σύμβαση, εάν το σημαντικότερο bit ισούται με 1, ο αριθμός θεωρείται αρνητικός, αλλιώς θεωρείται θετικός. Στην αφαίρεση συγκεκριμένα, μεταξύ ενός θετικού και ενός αρνητικού αριθμού, γίνεται σύγκριση μεταξύ των μέτρων των αριθμών, και αφαιρείται το μικρότερο από το μεγαλύτερο, ενώ το πρόσημο καθορίζεται από τον αριθμό με μεγαλύτερο μέτρο. Για τον έλεγχο ορθής λειτουργίας του κυκλώματος επιλέξαμε το γραμμικό χαμηλοπερατό FIR φίλτρο Hamming με δεκαδικούς θετικούς και αρνητικούς συντελεστές, ενώ τα αποτελέσματα της προσομοίωσης αυτής της υλοποίησης συγκρίθηκαν με τα αποτελέσματα αντίστοιχης υλοποίησης στο Matlab και ως συμπέρασμα προέκυψε ότι η ακρίβεια που επιτεύχθηκε στη σχεδίαση του φίλτρου είναι ικανοποιητική.

Ενδεικτικά, οι πόροι που καταναλώνονται από τις μονάδες με συντελεστές και εισόδους μήκους 8 bits, μετά και τις αλλαγές στη μονάδα MAC ώστε να υποστηρίζει πράξεις με δεκαδικούς αριθμούς φαίνονται στον παρακάτω πίνακα.

Place and Route report	Slice Registers	Slice LUTs	RAM blocks	DSP's
100 coeff.	89	142	2	1

Πίνακας 3.3. Κατανάλωση πόρων από τις μονάδες του φίλτρου μετά τις αλλαγές στην αναπαράσταση της αριθμητικής

Όπως είναι φυσικό, παρατηρείται μια μικρή αύξηση στους πόρους που καταναλώνονται στην δεύτερη υλοποίηση (Slice LUTs), λόγω των προσθηκών σε υλικό (για τις συνθήκες ελέγχου μέτρου) στην υπολογιστική μονάδα mac.

Γίνεται σαφές πως με την αύξηση του υλικού, αυξάνονται και οι πόροι που καταναλώνονται από το κύκλωμα FFE ισοστάθμισης. Επομένως οποιαδήποτε αλλαγή η απλοποίηση μπορεί να γίνει, συνεισφέρει σημαντικά στη βελτίωση της αποδοτικότητας του κυκλώματος. Σε αυτή τη κατεύθυνση, επιλέξαμε η αριθμητική που χρησιμοποιείται στις υπολογιστικές μονάδες να υλοποιηθεί με την τεχνική συμπληρώματος ως προς δύο, χρησιμοποιώντας τις αντίστοιχες έτοιμες βιβλιοθήκες για αριθμητική συμπληρώματος ως προς δύο, αντικαθιστώντας έτσι την τεχνική προσημασμένων αριθμών με έλεγχο μέτρου που περιγράφηκε στην προηγούμενη ενότητα ώστε να αφαιρεθούν οι πολλαπλοί έλεγχοι προσήμου και μέτρων που απαιτούνταν στη συγκεκριμένη

αριθμητική.

Βέβαια, η απόδοση του κυκλώματος περιορίζεται σημαντικά από τη φύση της σειριακής αρχιτεκτονικής:

- Έγκυρο αποτέλεσμα, παράγεται αναγκαστικά κάθε $N + 1$ κύκλους ρολογιού, χωρίς να υπάρχει δυνατότητα περαιτέρω επιτάχυνσης των υπολογισμών.
- Δεν αξιοποιούνται οι δυνατότητες παραλληλίας που προσφέρει η τεχνολογία FPGA.

Για τους παραπάνω λόγους, προχωρήσαμε στη σχεδίαση και υλοποίηση διάφορων παράλληλων αρχιτεκτονικών, που περιγράφονται στις επόμενες ενότητες.

3.1.2 Παράλληλη επιτάχυνση του κυκλώματος FFE ισοστάθμισης

Ως επόμενο στάδιο της υλοποίησης ακολουθεί η παράλληλη επιτάχυνση της εκτέλεσης της FFE συνάρτησης μεταφοράς. Για την μεγιστοποίηση της απόδοσης του κυκλώματος ισοστάθμισης είναι επιτακτικό λοιπόν να εκτελούνται σε κάθε κύκλο ρολογιού παραπάνω από ένας υπολογισμός στην υπολογιστική μονάδα. Από εδώ και στο εξής η επιλογή του αριθμού παράλληλα εκτελούμενων υπολογισμών θα αναφέρεται ως εσωτερική παραλληλία. Η εσωτερική παραλληλία επιβάλλεται να προέρχεται από το εύρος τιμών δυνάμεων του 2, ώστε η παραμετροποίηση του FFE κυκλώματος να είναι πιο ευέλικτη. Αν για παράδειγμα έχουμε ένα φίλτρο τάξης ίσης με 127 (128 συντελεστές), τότε μπορούμε να επιλέξουμε ως βαθμό εσωτερικής παραλληλίας δυνάμεις του 2, δηλαδή ανά κύκλο ρολογιού να εκτελούνται 2, 4, 8, 16, 32, 64, 128 κλπ, πράξεις πολλαπλασιασμού και πρόσθεσης παράλληλα.

Η τάξη της εσωτερικής παραλληλίας καθορίζεται από την παράμετρο k , όπου $1 \leq k \leq N+1$. Ειδικότερα, η βασική δομή FIFO και η μνήμη ROM χωρίζονται σε k διακριτά μέρη βάθους ίσου με $(N + 1)/k$. Οι έξοδοι από τις **διακριτές δομές FIFO** και από τις μνήμες ROM οδηγούνται σε διαφορετικές υπολογιστικές μονάδες, επομένως $k-1$ επιπλέον μονάδες MAC προστίθενται στη συνολική σχεδίαση. Για την άθροιση των εξόδων των υπολογιστικών μονάδων και την παραγωγή του σήματος εξόδου του κυκλώματος, εισάγεται αμέσως μετά τις υπολογιστικές μονάδες δέντρο αθροιστών βάθους ίσου με $\log_2(k)$.

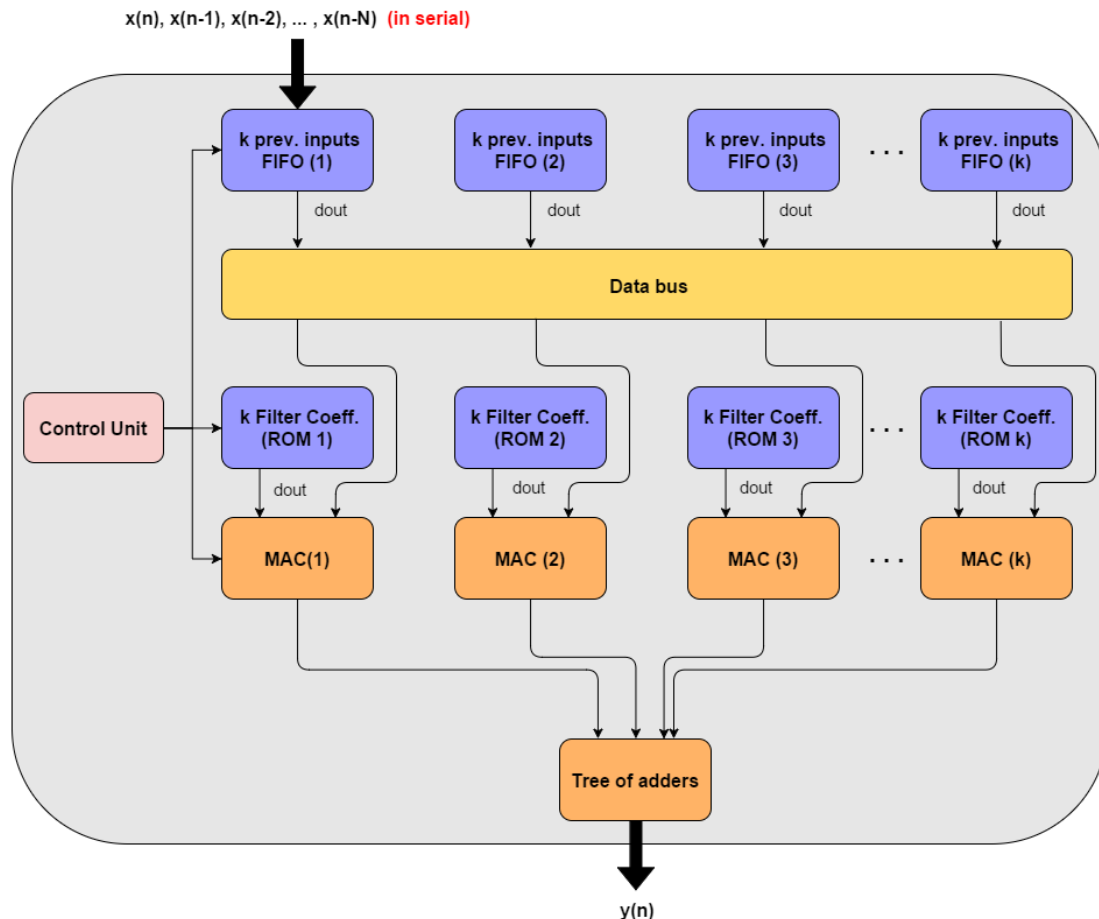
Η παράλληλη επιτάχυνση μπορεί να επιτευχθεί υλοποιώντας δύο παραλλαγές παράλληλης αρχιτεκτονικής, ανάλογα με τον τρόπο διασύνδεσης των διακριτών δομών FIFO με τις υπολογιστικές μονάδες MAC:

- *Χρησιμοποιώντας πολυπλεξία* μέσω της εισαγωγής διαδρόμου δεδομένων, ανάμεσα στη δομή FIFO και στις υπολογιστικές μονάδες
- *Χρησιμοποιώντας διασυνδεδεμένη δομή FIFO* μέσω της μετατροπής της δομής FIFO σε διασυνδεδεμένη δομή FIFO, με σκοπό την απευθείας σύνδεση της δομής με τις υπολογιστικές μονάδες

3.1.2.1 Υλοποίηση με χρήση διαδρόμου πολυπλεξίας δεδομένων

Στην αρχική υλοποίηση με πολυπλεξία σε διάδρομο δεδομένων (data bus) για την μετάδοση των δεδομένων εισόδου, στο διάδρομο οδηγούνται όλα τα σήματα εξόδου της κεντρικής δομής FIFO και

μέσω της μονάδας ελέγχου, αφού αναδιαταχθούν κατάλληλα σε αυτόν, οδηγούνται στις αντίστοιχες υπολογιστικές μονάδες. Η διαδικασία της αναδιάταξης συνίσταται από δύο επί μέρους διαδικασίες πολυπλεξίας και αποπλεξίας του ρεύματος δεδομένων, κατά τη διέλευση του από το διάδρομο. Οι έξοδοι των επί μέρους **ανεξάρτητων δομών FIFO** επομένως δεν αντιστοιχίζονται αμφιμονοσήμαντα στις εισόδους των υπολογιστικών μονάδων, αλλά η αντιστοίχιση εξαρτάται από το εάν η νέα αφικνούμενη είσοδος, εγγράφεται σε νέα επί μέρους δομή FIFO, ή στην ίδια στην οποία πραγματοποιήθηκε η τελευταία εγγραφή. Γίνεται λοιπόν κατανοητό, ότι μεταβολή στην αντιστοίχιση συμβαίνει είτε όταν μία επί μέρους FIFO δομή έχει εγγράψει όλες τις θέσεις τις, και η εγγραφή της επόμενης αφικνούμενης εισόδου πρόκειται να πραγματοποιηθεί στην επόμενη κατά σειρά δομή FIFO, ή όταν κατά την εκτέλεση του αλγορίθμου στοιχεία από διαφορετικές επί μέρους δομές FIFO πρέπει να τροφοδοτηθούν στην ίδια υπολογιστική μονάδα. Η λογική κυκλικού buffer που εφαρμόζεται στη σειριακή αρχιτεκτονική, σύμφωνα με την οποία καθορίζεται ο τρόπος που πραγματοποιούνται οι εγγραφές, εφαρμόζεται και εδώ στη συνολική FIFO δομή, και όχι σε κάθε επί μέρους δομή FIFO ξεχωριστά (σε όλες τις δομές FIFO θα εγγραφεί κάποια νέα είσοδος). Βασικό χαρακτηριστικό της συγκεκριμένης αρχιτεκτονικής αποτελεί ο ενιαίος έλεγχος που εφαρμόζεται στις επί μέρους δομές FIFO, ώστε η λειτουργία του κυκλώματος να συμβαδίζει με τη σειριακή λειτουργία που συζητήθηκε στη προηγούμενη ενότητα. Η τοπολογία αυτή φαίνεται στο σχήμα 3.4.



Σχήμα 3.4. Τοπολογία παράλληλης FFE αρχιτεκτονικής με χρήση πολυπλεξίας διαδρόμου δεδομένων. Το σήμα εισόδου x καταφθάνει σειριακά κάθε $(N + 1)/k$ και η έξοδος y υπολογίζεται κάθε $(N + 1)/k$ κύκλους ρολογιού

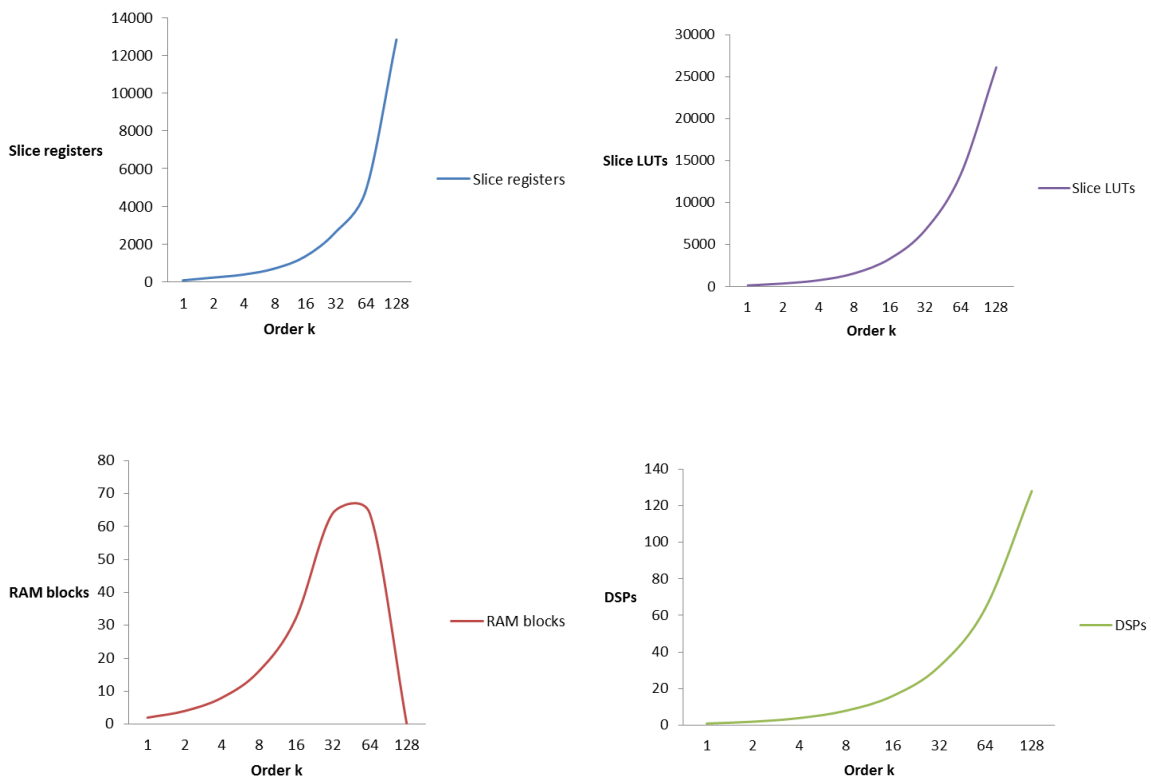
Όλη η σχεδίαση είναι παραμετροποιήσιμη, δηλαδή ανάλογα με την επιλογή εσωτερικής

παραλληλίας, δημιουργούνται τόσες επί μέρους δομές FIFO, μνήμες ROM και υπολογιστικές μονάδες όσες και ο βαθμός παραλληλίας, ενώ στο δέντρο αθροιστών, οι μονάδες διατάσσονται σε τόσα επίπεδα, όσα και ο λογάριθμος του βαθμού εσωτερικής παραλληλίας ($\log_2(k)$ επίπεδα).

Οι πόροι που καταναλώνονται καθώς αυξάνουμε τον βαθμό εσωτερικής παραλληλίας k , αλλά και η καλύτερη δυνατή περίοδος λειτουργίας που επιτυγχάνεται σε κάθε περίπτωση φαίνονται στο επόμενο πίνακα. Για τη συγκεκριμένη μελέτη, επιλέξαμε φίλτρο τάξης ίσης με 127, εισόδους και συντελεστές μήκους 8 bits, ενώ ορίσαμε έξοδο μήκους 15 bits. Στα διαγράμματα που ακολουθούν, φαίνεται η γραμμική αύξηση που ακολουθεί η κατανάλωση πόρων (καταχωρητές, LUTs, RAM blocks, DSPs) σε σχέση με την εκάστοτε επιλογή της εσωτερικής παραλληλίας.

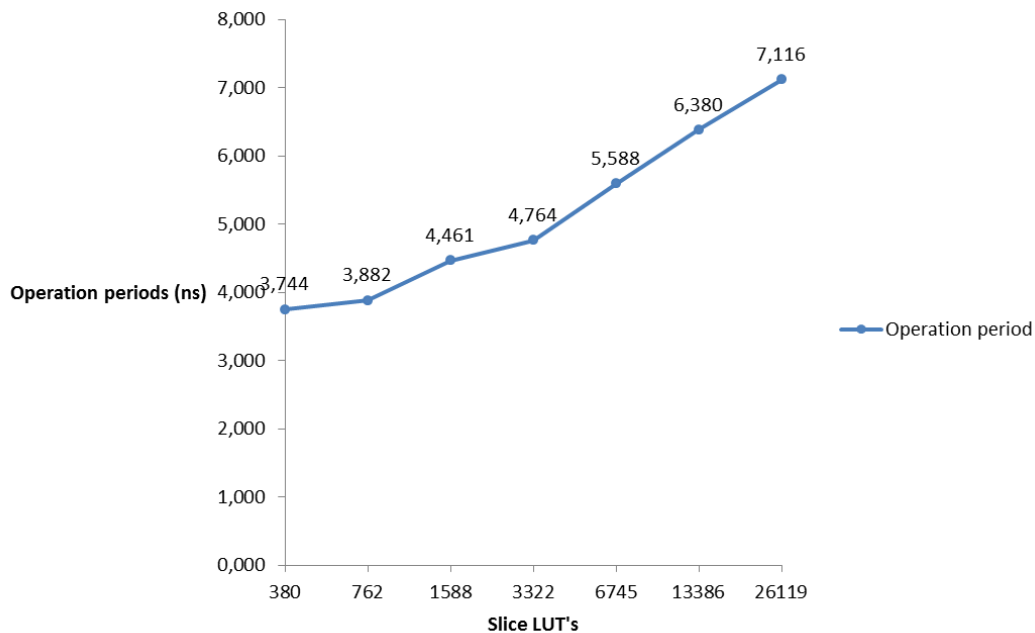
Εσωτερική παραλληλία	Slice registers	Slice LUTs	RAM blocks	DSPs	Best Case achievable(ns)
1	90	145	2	1	4.435
2	236	380	4	2	3.744
4	395	762	8	4	3.882
8	710	1588	16	8	4.461
16	1344	3322	32	16	4.764
32	2632	6745	64	32	5.588
64	4865	13386	64	64	6.38
128	12840	26119	0	128	7.116

Πίνακας 3.5. Κατανάλωση πόρων και καλύτερη δυνατή περίοδος λειτουργίας για τους διάφορους βαθμούς εσωτερικής παραλληλίας για υλοποίηση με χρήση διαδρόμου πολυπλεξίας δεδομένων



Σχήμα 3.6. Διαγράμματα κατανάλωσης πόρων συναρτήσει της εσωτερικής παραλληλίας k για την

υλοποίηση με χρήση διαδρόμου πολυπλεξίας δεδομένων



Σχήμα 3.7. Μεταβολή καλύτερης δυνατής περιόδου λειτουργίας συναρτήσει της κατανάλωσης Slice LUTs για την υλοποίηση με χρήση διαδρόμου πολυπλεξίας δεδομένων

Ο έλεγχος της σχεδίασης πραγματοποιήθηκε με κατάλληλο test bench, στο οποίο επιλέξαμε περίοδο ίση με 0.1 ns και αφορά αποκλειστικά την προσομοίωση λειτουργίας του κυκλώματος.

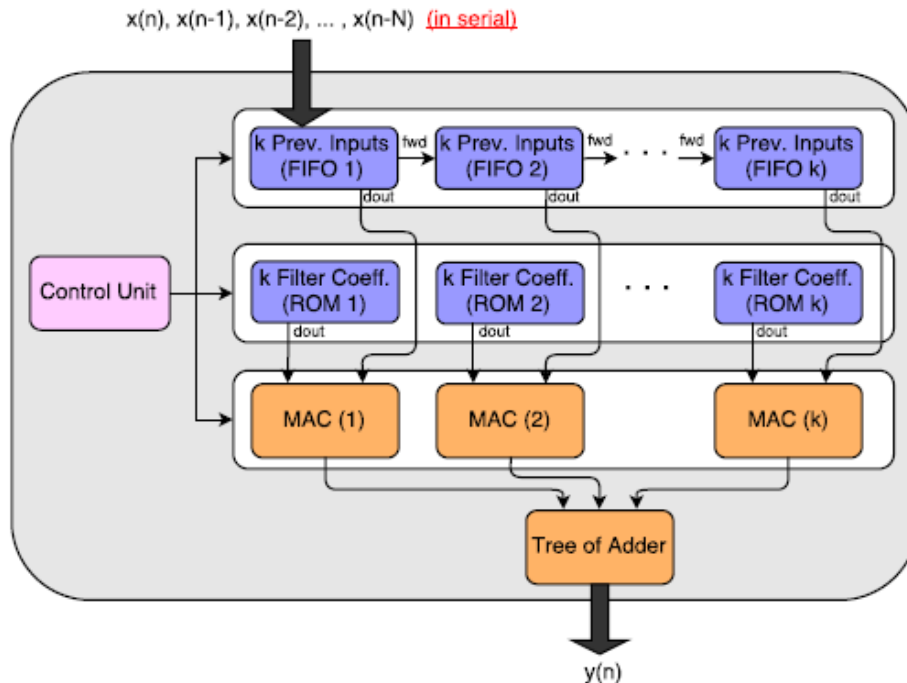
Όπως βλέπουμε και από το διάγραμμα 3.7, υπάρχει γραμμική σχέση μεταξύ των πόρων που επιλέγουμε να αξιοποιήσουμε και της καλύτερης δυνατής περιόδου λειτουργίας του. Όσο περισσότεροι είναι οι πόροι που έχουμε στη διάθεση μας και καταναλώνονται από το κύκλωμα, τόσο μεγαλύτερη θα είναι και η καλύτερη δυνατή περίοδος λειτουργίας (άρα χειρότερη η συχνότητα λειτουργίας).

Εξάιρεση του συμπεράσματος για την κατανάλωση πόρων αποτελεί η περίπτωση όπου η εσωτερική παραλληλία k είναι ίση με $N + 1$, και ο synthesizer, λόγω του πολύ μικρού μεγέθους ROM και δομών FIFO (βάθος = 1), χρησιμοποιεί καταχωρητές και όχι RAM blocks για την υλοποίηση των μονάδων αυτών, με συνέπεια κατανάλωση σε RAM blocks να μηδενίζεται.

3.1.2.2 Υλοποίηση με χρήση διασυνδεδεμένης δομής FIFO

Όπως έχει προαναφερθεί, η λογική πίσω από την παραπάνω αρχιτεκτονική της προηγούμενης ενότητας, είναι τα δεδομένα εξόδου των διακριτών δομών FIFO να εισέρχονται στον διάδρομο δεδομένων, να αναδιατάσσονται σύμφωνα με τον έλεγχο που επιβάλλεται από τη μονάδα ελέγχου και να εισέρχονται αναδιαταγμένα στις υπολογιστικές μονάδες. Για μεγάλο βαθμό παραλληλίας όμως, η μέθοδος αυτή είναι ασύμφορη, καθώς ο διάδρομος δεδομένων μετατρέπεται ουσιαστικά σε πολύ μεγάλο καταχωρητή (shift register) μεταξύ των δομών FIFO και των υπολογιστικών μονάδων MAC που επιβαρύνει θεωρητικά σε μεγάλο βαθμό την σχεδίαση σε κατανάλωση πόρων και συνολικό χρόνο εκτέλεσης. Ιδανικά, θα θέλαμε να έχουμε μια αρχιτεκτονική χωρίς διάδρομο πολυπλεξίας δεδομένων, όπου οι δομές FIFO θα συνδέονται απευθείας στις υπολογιστικές μονάδες.

Προσεγγίζοντας διαφορετικά το θέμα της διασύνδεσης των δομών FIFO με τις υπολογιστικές μονάδες, στο σχήμα 3.8 φαίνεται η εναλλακτική αρχιτεκτονική, όπου έχει αφαιρεθεί ο διάδρομος πολυπλεξίας δεδομένων από την παράλληλη τοπολογία.

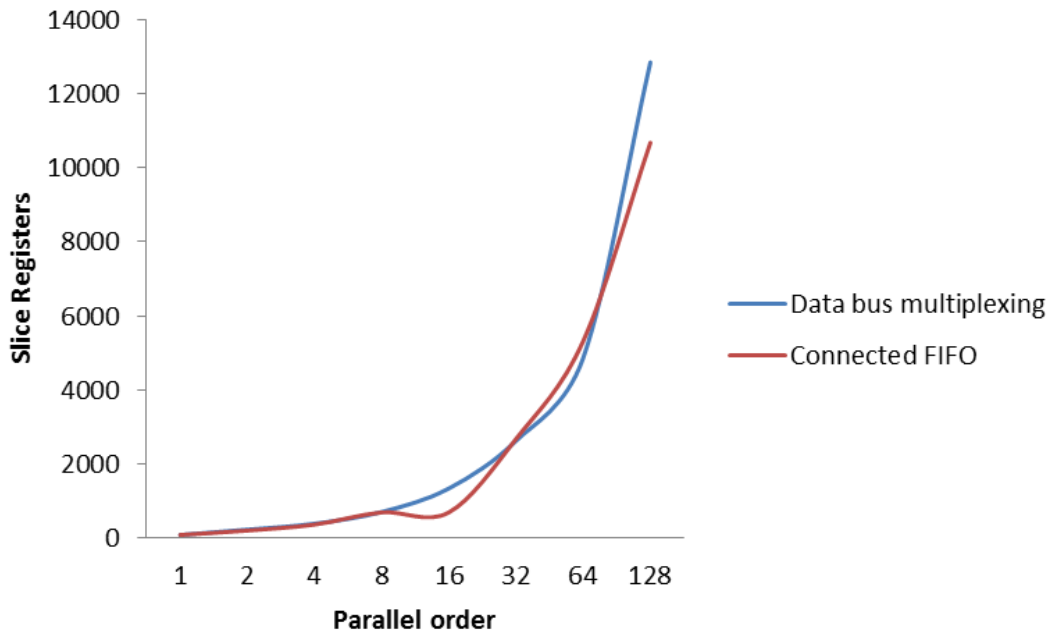


Σχήμα 3.8. Τοπολογία παράλληλης FFE αρχιτεκτονικής με διασυνδεδεμένη δομή FIFO. Το σήμα εισόδου x καταφθάνει σειριακά κάθε $(N + 1)/k$ κύκλους και η έξοδος y υπολογίζεται κάθε $(N + 1)/k$ κύκλους ρολογιού

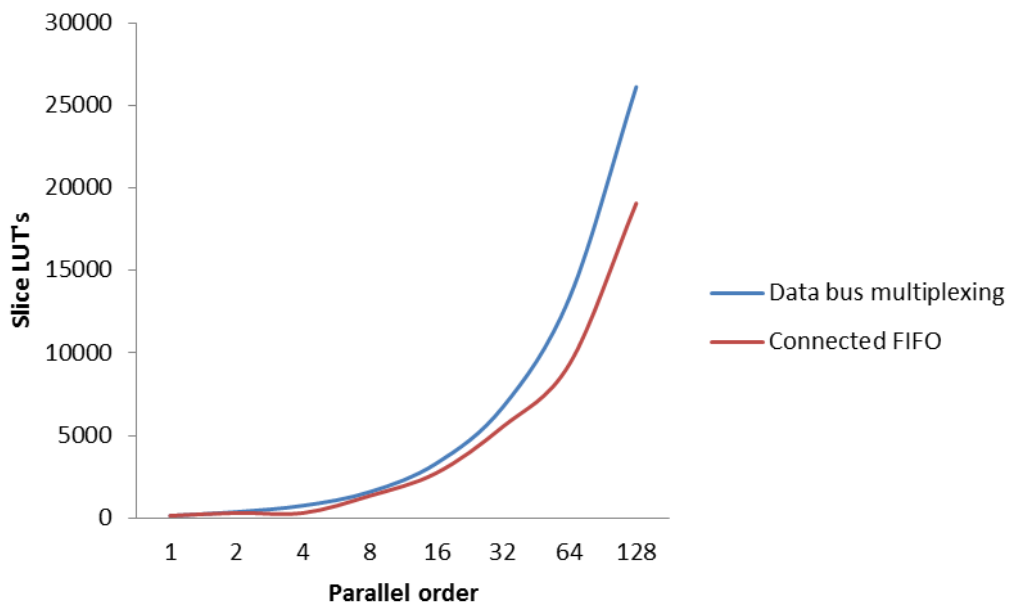
Η λογική πίσω από την παραπάνω τοπολογία βασίζεται στη **διασυνδεδεμένη δομή FIFO**, που συντίθεται από τις υπάρχουσες διακριτές FIFO δομές. Το σύνολο των FIFO δομών συνθέτει μια ακολουθία που είναι η βάση για τη σχεδίαση της δομής FIFO. Για τη διατήρηση της συνέπειας στη διασυνδεδεμένη FIFO, κάθε διακριτή δομή FIFO προωθεί το παλαιότερα αποθηκευμένο στοιχείο της στην επόμενη δομή FIFO της αλυσίδας, στην ίδια θέση, κάθε φορά που καταφθάνει και εγγράφεται νέα είσοδος. Η λογική του κυκλικού buffer που εφαρμόζεται στη σειριακή αρχιτεκτονική, σύμφωνα με την οποία καθορίζεται ο τρόπος που πραγματοποιούνται οι εγγραφές, δεν εφαρμόζεται εδώ στη συνολική FIFO δομή, αλλά σε κάθε διακριτή δομή ξεχωριστά. Η τεχνική αυτή μειώνει σημαντικά την πολυπλοκότητα της σχεδίασης, χάρη στο άμεσα, από σημείο σε σημείο, διασυνδεδεμένο FIFO δίκτυο. Μία από τις σημαντικές διαφορές με την προηγούμενη αρχιτεκτονική, είναι ότι εγγραφές νέων εισόδων πραγματοποιούνται αποκλειστικά στην πρώτη κατά σειρά FIFO δομή του δικτύου. Επομένως, κάθε διακριτή δομή FIFO αντιστοιχίζεται αμφιμονοσήμαντα σε κάθε υπολογιστική μονάδα, ενώ δεν πραγματοποιείται κάποια αλλαγή στο σύνολο των μνημών ROM, οι οποίες παραμένουν συγχρονισμένες με τη δομή FIFO και τις υπολογιστικές μονάδες. Η αρχιτεκτονική αυτή παρομοιάζει την transpose υλοποίηση ενός ψηφιακού φίλτρου FIR.

Για την τελική επιλογή αρχιτεκτονικής πραγματοποιήσαμε μελέτη κατανάλωσης πόρων και στις δύο αρχιτεκτονικές για διάφορους βαθμούς εσωτερικής παραλληλίας. Στη μελέτη αυτή, χρησιμοποιήθηκε ενδεικτικά το board Virtex 6 (μοντέλο XC6VLX240T) στη σουίτα ISE Design

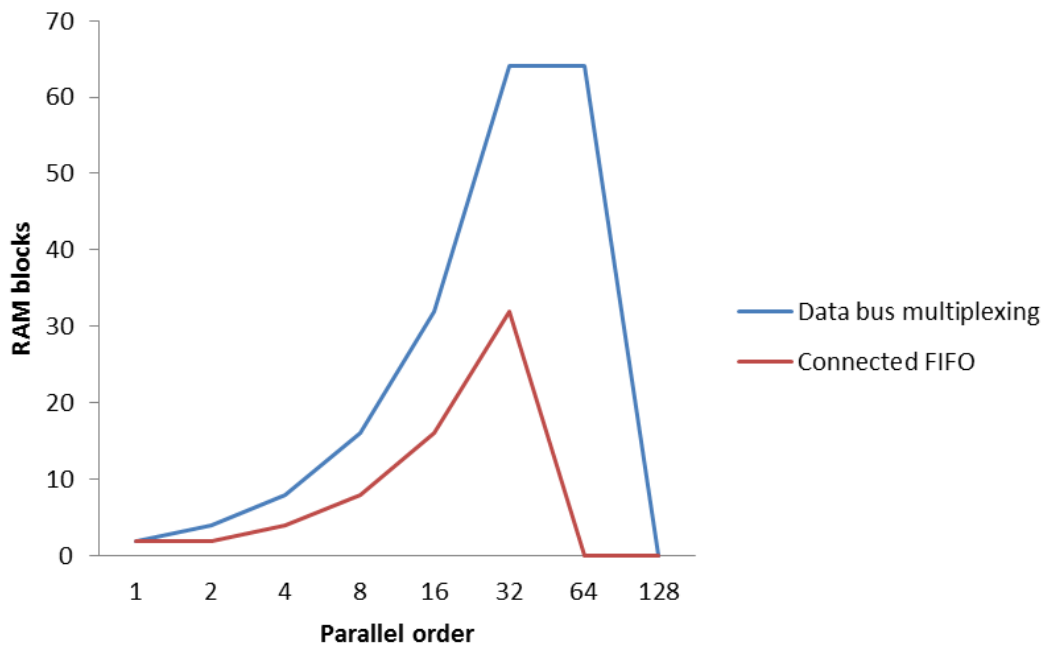
Suite. Για τη μελέτη, επιλέξαμε φίλτρο τάξης ίσης με 127, εισόδους και συντελεστές μήκους 8 bits ενώ ορίσαμε έξοδο μήκους 15 bits. Οι δοκιμές πραγματοποιήθηκαν για βαθμούς παραλληλίας σε εύρος τιμών ακέραιων δυνάμεων του 2. Χρησιμοποιώντας τα αποτελέσματα, στα παρακάτω διαγράμματα παρουσιάζεται η σύγκριση μεταξύ των δύο υλοποιήσεων, από άποψη κατανάλωσης πόρων (Καταχωρητές, LUTs, BRAMs, DSPs). Στο τελευταίο διάγραμμα απεικονίζεται η σχέση μεταξύ των καλύτερων δυνατών περιόδων λειτουργίας που επιτεύχθηκαν στις δύο υλοποιήσεις.



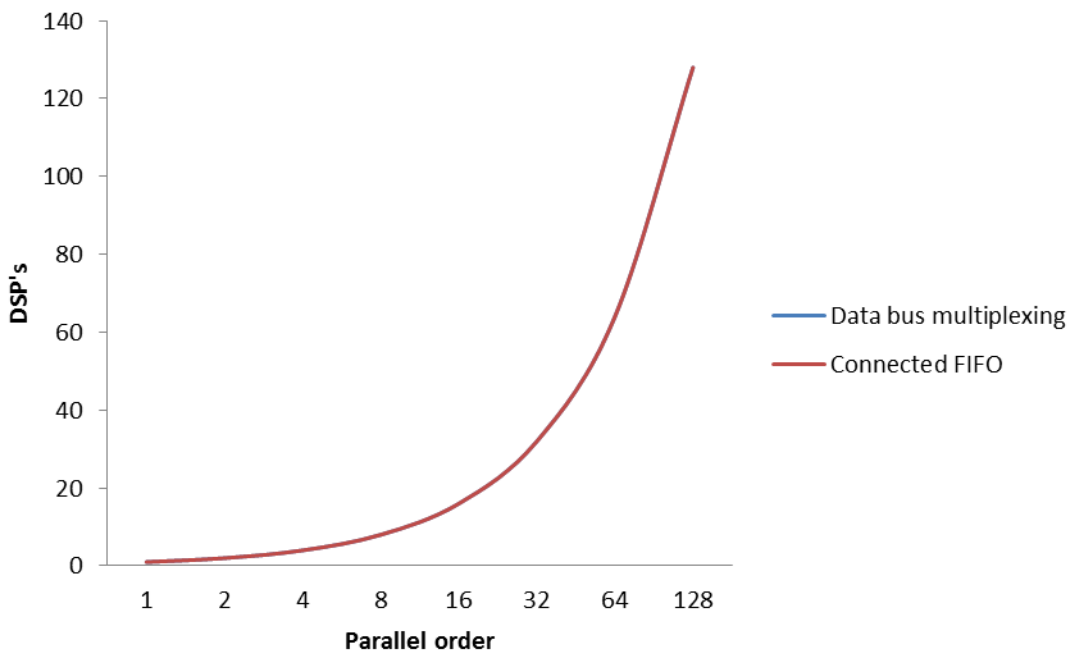
Διάγραμμα 3.9. Σύγκριση κατανάλωσης Slice registers ανάμεσα στις δύο αρχιτεκτονικές



Διάγραμμα 3.10. Σύγκριση κατανάλωσης Slice LUTs ανάμεσα στις δύο αρχιτεκτονικές



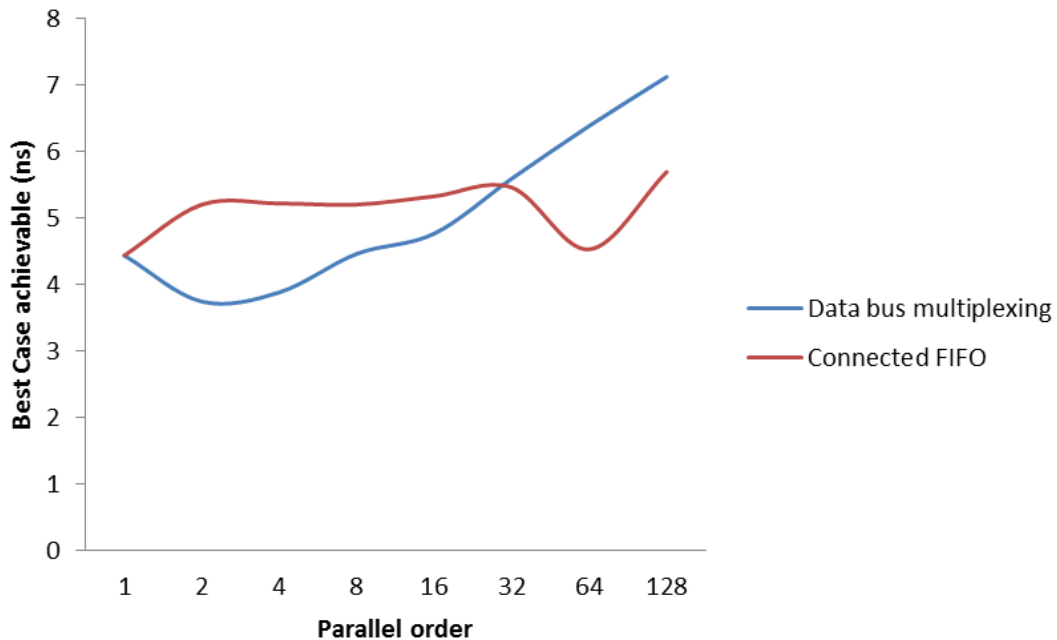
Διάγραμμα 3.11. Σύγκριση κατανάλωσης RAM blocks ανάμεσα στις δύο αρχιτεκτονικές



Διάγραμμα 3.12. Σύγκριση κατανάλωσης DSP's ανάμεσα στις δύο αρχιτεκτονικές

Από τις πληροφορίες που αντλούμε μέσω των παραπάνω διαγραμμάτων, συμπεραίνεται ότι υπάρχει βελτίωση στην κατανάλωση πόρων αν επιλέξουμε την δεύτερη αρχιτεκτονική (με συνδεδεμένη δομή FIFO). Αν εξαιρέσουμε την χρησιμοποίηση των DSP's όπου η κατανάλωση πόρων είναι ίδια και για τις δύο αρχιτεκτονικές, στους υπόλοιπους πόρους του FPGA, η αρχιτεκτονική με

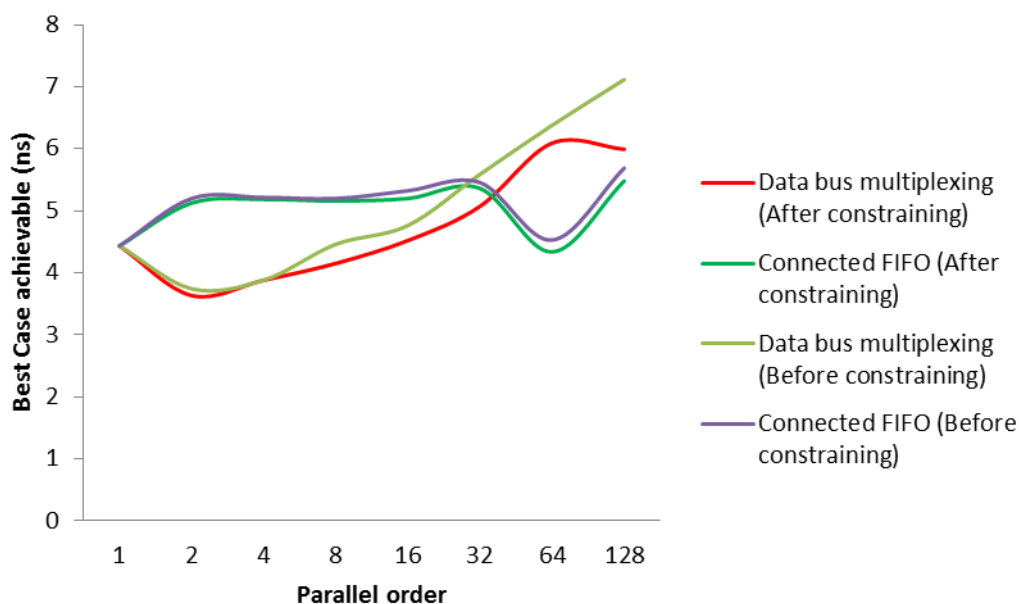
συνδεδεμένη δομή FIFO αποδεικνύεται σημαντικά αποτελεσματικότερη της αρχιτεκτονικής με πολυπλεξία και αποπλεξία πάνω σε διάδρομο δεδομένων.



Διάγραμμα 3.13. Σύγκριση καλύτερων δυνατών περιόδων λειτουργίας ανάμεσα στις δύο αρχιτεκτονικές

Για μικρούς βαθμούς εσωτερικής παραλληλίας, όσον αφορά την καλύτερη δυνατή περίοδο που μπορεί να επιτευχθεί, στην αρχιτεκτονική που χρησιμοποιεί τον διάδρομο δεδομένων επιτεύχθηκαν μικρότερες τιμές λειτουργίας συγκριτικά με τη δεύτερη αρχιτεκτονική. Για μεγαλύτερους βαθμούς εσωτερικής παραλληλίας που πλησιάζουν αριθμητικά τη τάξη του φίλτρου, και μάλιστα για βαθμούς ίσους με 64 και 128, η δεύτερη αρχιτεκτονική αποδεικνύεται και πάλι αποτελεσματικότερη της πρώτης, καθώς επιτεύχθηκαν πολύ μικρότερες δυνατές τιμές περιόδων λειτουργίας. Το γεγονός αυτό οφείλεται στο ότι όσο μεγαλώνει ο βαθμός παραλληλίας, όπως είναι αναμενόμενο, αυξάνεται και το μέγεθος του διαδρόμου δεδομένων στη πρώτη αρχιτεκτονική με συνέπεια να προκαλεί σημαντικές καθυστερήσεις στο συνολικό κύκλωμα.

Ως συμπληρωματικό βήμα στη μελέτη μας, δοκιμάσαμε να εισάγουμε περιορισμούς στις τιμές των περιόδων λειτουργίας (time constraining), ώστε να εξακριβωθεί εάν το κύκλωμα μπορεί να λειτουργεί σε ακόμα μικρότερες περιόδους. Στα επόμενο διαγράμματα φαίνεται ότι και οι δύο αρχιτεκτονικές δύνανται να λειτουργούν σε μικρότερες τιμές περιόδων για τους περισσότερους βαθμούς εσωτερικής παραλληλίας, με την αρχιτεκτονική δομής FIFO να επιτυγχάνει και πάλι μικρότερες τιμές περιόδων για τους μεγάλους βαθμούς παραλληλίας.



Διάγραμμα 3.14. Σύγκριση καλύτερων δυνατών περιόδων λειτουργίας πριν και μετά την επιβολή χρονικών περιορισμών ανάμεσα δύο αρχιτεκτονικές

Συνοπτικά τα βασικότερα οφέλη της αρχιτεκτονικής με διασυνδεδεμένη FIFO έναντι της αρχιτεκτονικής με χρήση διαδρόμου πολυπλεξίας/αποπολυπλεξίας δεδομένων συνοψίζονται παρακάτω:

- αφαιρείται ο διάδρομος δεδομένων, με συνέπεια να καταναλώνονται λιγότεροι πόροι ειδικά στους μεγάλους βαθμούς εσωτερικής παραλληλίας που θα μας απασχολήσουν στη συνέχεια, και να επιτυγχάνεται μικρότερη δυνατή περίοδος λειτουργίας,
- διευκολύνεται ο έλεγχος μέσω της μονάδας ελέγχου, καθώς η αμφιμονοσήμαντη αντιστοίχιση μεταξύ δομών FIFO και υπολογιστικών μονάδων επιτρέπει την αποφυγή της διαδικασίας πολυπλεξίας για την επιλογή μνήμης.

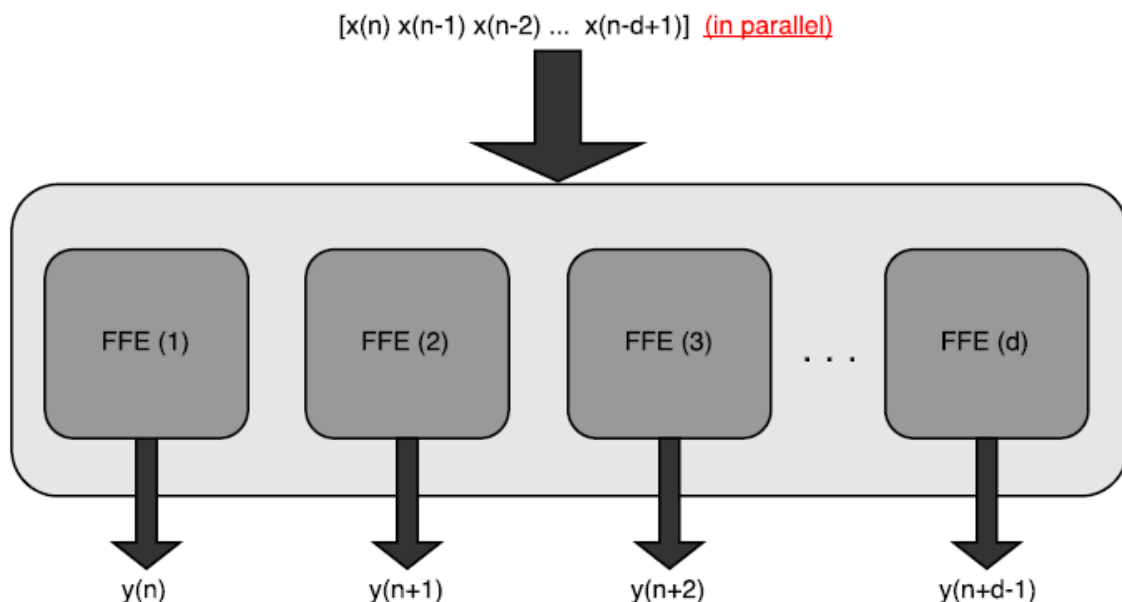
Στη συνέχεια της διπλωματικής εργασίας, θα μας απασχολήσουν αρχιτεκτονικές αποκλειστικά με βαθμό εσωτερικής παραλληλίας πολύ υψηλό και συνήθως ίσο με τη τάξη του κυκλώματος ισοστάθμισης. Από τη παραπάνω μελέτη συμπεραίνεται λοιπόν ότι για βαθμό παραλληλίας ίσο με $k = N + 1$ (εδώ 128) ως καλύτερη δυνατή επιλογή αρχιτεκτονικής καθίσταται η αρχιτεκτονική με διασυνδεδεμένη δομή FIFO.

3.1.3 Πολλαπλά παράλληλα κυκλώματα FFE ισοστάθμισης

Στις μέχρι στιγμής υλοποιήσεις του κυκλώματος FFE ισοστάθμισης για τη μεγιστοποίηση της αποδοτικότητας, μεταβάλλουμε μόνο την εσωτερική παραλληλία, δηλαδή τον αριθμό των ταυτόχρονων υπολογισμών που εκτελούνται εσωτερικά στις υπολογιστικές μονάδες του φίλτρου σε έναν κύκλο ρολογιού, ενώ τροφοδοτούμε το κύκλωμα με μία μόνο είσοδο ανά κύκλο. Για τη βελτίωση της αποδοτικότητας και τη πλήρη αξιοποίηση των πόρων που έχουμε στη διάθεση μας, καθίσταται αναγκαία η μελέτη και υλοποίηση της υποδοχής και επεξεργασίας περισσότερων από μία εισόδων ταυτόχρονα (θα αναφέρεται και ως εξωτερική παραλληλία), πετυχαίνοντας τη μέγιστη

αξιοποίηση των δυνατοτήτων παραλληλίας που προσφέρει το FPGA στο οποίο υλοποιούμε το κύκλωμα. Το νέο κύκλωμα FFE ισοστάθμισης αποτελείται από πολλαπλές δομικές μονάδες κυκλωμάτων FFE ισοστάθμισης, όπως αυτές περιγράφηκαν αναλυτικά στην προηγούμενη ενότητα. Ανάλογα με την επιλογή της εξωτερικής παραλληλίας, συντίθενται τόσα υποκυκλώματα ισοστάθμισης εντός του κύριου κυκλώματος, όσα και ο αριθμός των ταυτόχρονα αφικνούμενων εισόδων. Η υποδοχή όλων των εισόδων γίνεται μέσω ενός διαδρόμου δεδομένων, όπου βρίσκονται όλες οι εισοδοί και με την κατάλληλη διευθυνσιοδότηση κάθε είσοδος οδηγείται προς επεξεργασία στο κατάλληλο FFE υποκύκλωμα. Αντίστοιχα, οι έξοδοι των FFE υποκυκλωμάτων οδηγούνται σε έναν δεύτερο διάδρομο δεδομένων και έπειτα στην έξοδο του βασικού κυκλώματος FFE ισοστάθμισης. Η ορθή λειτουργία κάθε υποκυκλώματος είναι άρρηκτα συνδεδεμένη με την συνδυασμένη επιλογή τόσο εξωτερικής, όσο και εσωτερικής παραλληλίας.

Το τελικό στάδιο της υλοποίησης πολλαπλών παράλληλων κυκλωμάτων FFE ισοστάθμισης απεικονίζεται στο σχήμα 3.15. Η παράμετρος d υποδηλώνει τον αριθμό των πολλαπλών παράλληλων υλοποιημένων FFE αρχιτεκτονικών. Τα σήματα εισόδου καταφθάνουν σε πακέτα μεγέθους d και τροφοδοτούν όλες τις FFE αρχιτεκτονικές ταυτόχρονα. Ο ρυθμός διακίνησης δεδομένων εξαρτάται τόσο από τις τιμές της d παραμέτρου, όσο και από τις τιμές της παραμέτρου k , όπου η παράμετρος k καθορίζει όπως προαναφέρθηκε τη τάξη της εσωτερικής παραλληλίας. Αξίζει να αναφερθεί ότι η παράμετρος d δεν είναι φραγμένη, δηλαδή ο μέγιστος ρυθμός διακίνησης δεδομένων εξαρτάται αποκλειστικά από τη διαθεσιμότητα και χρησιμοποίηση των πόρων του FPGA. Ωστόσο, η υλοποίηση συνεπάγεται τη ταυτόχρονη αποθήκευση πολλαπλών σημάτων εισόδου και την ανάγκη για συνοχή ανάμεσα στις FFE αρχιτεκτονικές. Οι τεχνικές που αναπτύχθηκαν για τον έλεγχο της διευθυνσιοδότησης περιγράφονται παρακάτω.



Σχήμα 3.15. Πολλαπλές παράλληλες FFE αρχιτεκτονικές. Τα σήματα εισόδου x καταφθάνουν σε πακέτα μήκους d σε όλα τα FFE κυκλώματα ταυτόχρονα. Ο ρυθμός διακίνησης εξαρτάται τόσο από τη d όσο και από την k παράμετρο

3.1.3.1 Κατάτμηση μνημών

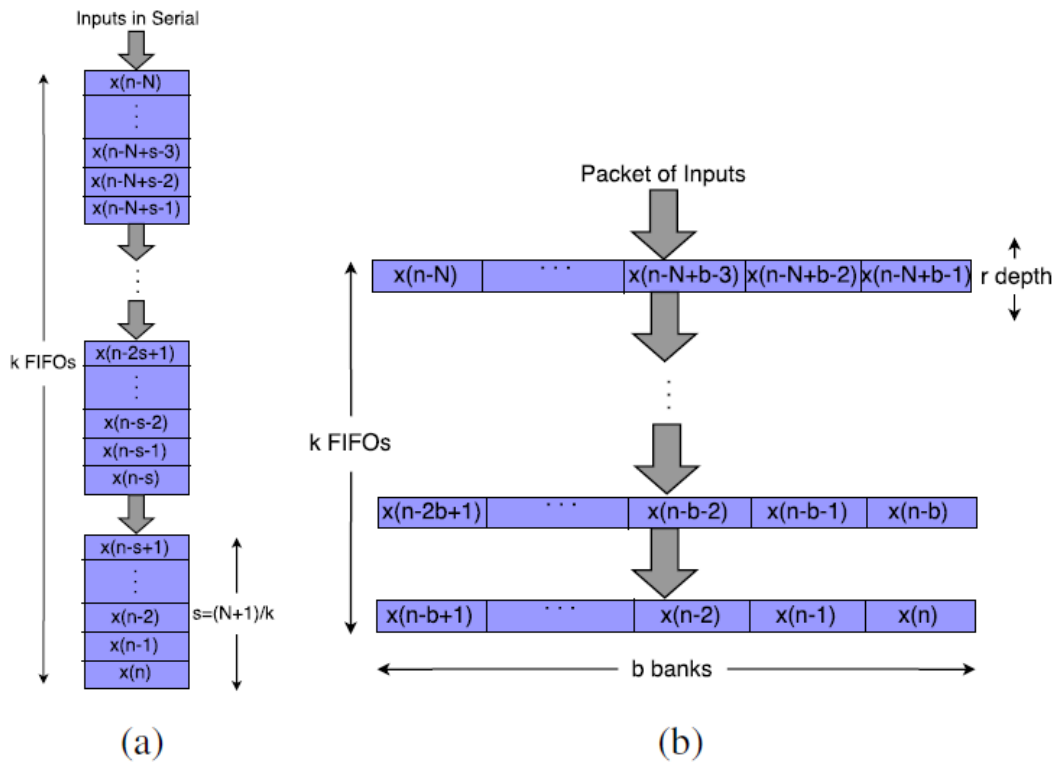
Δεδομένου ότι όλες οι ταυτόχρονα αφικνούμενες εισόδοι πρέπει να εισέρχονται και να εγγράφονται μαζικά και χωρίς καμία καθυστέρηση στις μνήμες RAM των υποκυκλωμάτων ισοστάθμισης, γίνεται κατανοητή η ανάγκη επιβολής ορισμένων μεταρρυθμίσεων στο υλικό ώστε να ικανοποιηθεί αυτή η απαίτηση και να διατηρηθεί η συνέπεια κατά την εκτέλεση του αλγορίθμου. Πιο συγκεκριμένα, καθώς κάθε μνήμη RAM (FIFO δομή) μπορεί να προσπελάσει μία θέση μνήμης ανά κύκλο ρολογιού, το μήκος λέξης της θέσης μνήμης προσαρμόζεται συναρτήσει εξωτερικής και εσωτερικής παραλληλίας, ώστε να δέχεται ολόκληρο ή μέρος του διαδρόμου δεδομένων εισόδου. Για την αποθήκευση πολλαπλών σημάτων εισόδου χωρίς όμως να επηρεαστεί η υπάρχουσα λειτουργικότητα της FFE δομής μνημών, εφαρμόζεται προσέγγιση κατάτμησης των μνημών RAM. Οι υπάρχουσες δομές FIFO μεγέθους $((N+1)/k) \times I$ μετατρέπονται σε δομές FIFO μεγέθους $r \times b$, όπου:

$$b = \text{Number of banks} = \begin{cases} (N+1)/k, & \frac{N+1}{k} \leq d \\ d, & \text{αλλιώς} \end{cases} \quad (1)$$

και

$$r = \text{depth} = \begin{cases} 1, & \frac{N+1}{k} \leq d \\ (N+1)/k/d, & \text{αλλιώς} \end{cases} \quad (2)$$

Η διαμόρφωση των FIFO δομών εξαρτάται από τις εκάστοτε τιμές των παραμέτρων d και k , εκτός από την περίπτωση όπου $k = N + 1$, όπου κάθε μνήμη αντικαθίσταται από έναν καταχωρητή μοναδιαίου μεγέθους. Στο σχήμα 3.16 φαίνεται ένα παράδειγμα της διαμορφωμένης τοπολογίας των μνημών, πριν και μετά την υλοποίηση των πολλαπλών παράλληλων αρχιτεκτονικών.



Σχήμα 3.16. Παράδειγμα της τεχνικής κατάτμησης μνημών πριν και μετά την υλοποίηση πολλαπλών παράλληλων αρχιτεκτονικών. Στο (a) διακρίνεται η δομή μνημών όταν $d = 1$, ενώ στο (b) διακρίνεται η δομή μνημών όταν $d > 1$ και $k \neq (N + 1)$

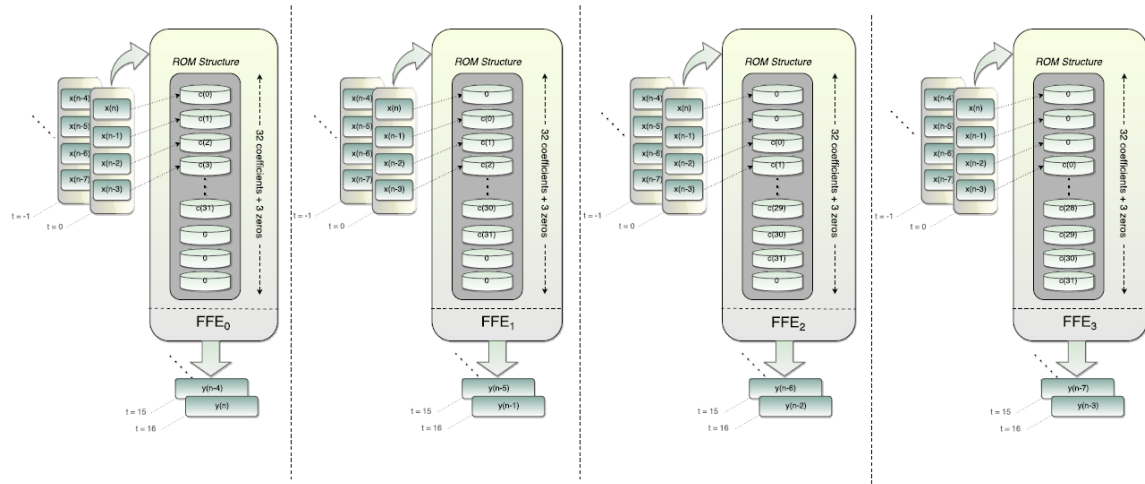
3.1.3.2 Εικονικοί συντελεστές

Η τοπολογία πολλαπλών παράλληλων FFE αρχιτεκτονικών σηματοδοτεί και κάποιες υποχρεωτικές μετατροπές στη δομή των μνημών ROM. Οικοδομώντας πάνω σε ότι αναπτύξαμε στη προηγούμενη παράγραφο, επιθυμούμε στη προσέγγιση μας να υλοποιήσουμε μία πλήρως παράλληλη αρχιτεκτονική με d FFE κυκλώματα-μονάδες και να αναθέσουμε τον υπολογισμό κάθε ξεχωριστής εξόδου $y(n)$ σε κάθε FFE μονάδα. Η πρόκληση σε αυτή την προσέγγιση παραλληλισμού βρίσκεται στην εξάρτηση των εξόδων $y(n)$ από τις διαδοχικές εισόδους $x(n)$. Δηλαδή, όλα τα d δείγματα εισόδου πρέπει τελικά να υποβάλλονται σε επεξεργασία από όλες τις d FFE μονάδες, ωστόσο, σε διαφορετικές χρονικές στιγμές μέσα σε κάθε FFE. Για παράδειγμα, αν υποθέσουμε ότι $d=4$, τότε οι εισόδοι $x(0)$, $x(-1)$, $x(-2)$, $x(-3)$ θα καταφθάσουν στον πρώτο κύκλο λειτουργίας, παρά το γεγονός ότι η παραγωγή της εξόδου $y(0)$ εξαρτάται μόνο από την είσοδο $x(0)$, η παραγωγή της εξόδου $y(1)$ εξαρτάται μόνο από τις εισόδους $x(0)$, $x(-1)$ κ.τ.λ.. Για να αποφύγουμε την ανάπτυξη ακριβών κυκλωμάτων δρομολόγησης εισόδου $x(n)$ στην αντίστοιχη FFE μονάδα (π.χ. πολλαπλά υποσύνολα της d -πλειάδας $\{x(n), x(n-1), \dots, x(n-d+1)\}$ και προώθηση στην αντίστοιχη FFE μονάδα) και να επιτρέψουμε τις παράλληλες FFE μονάδες να λειτουργούν εικονικά ανεξάρτητα η μία από την άλλη (έτσι ώστε ένας μεγάλος αριθμός από μονάδες FFE να μπορούν να τοποθετηθούν σε απομακρυσμένες περιοχές εντός του FPGA, χωρίς να εμποδίζουν την απόδοση/συχνότητα του), έχουμε επινοήσει μια στρατηγική βασισμένη στη διαχείριση των συντελεστών του φίλτρου που μας επιτρέπει να αναπτύξουμε έναν αυθαίρετο αριθμό από FFE μονάδες στη συσκευή με ομαλό και επαναλαμβανόμενο τρόπο. Επιπλέον, η προτεινόμενη στρατηγική προωθεί το στόχο της

παραμετρικής ανάπτυξης και εξερεύνησης του χώρου σχεδίασης.

Η βασική ιδέα πίσω από τη στρατηγική αυτή πηγάζει από την ίδια τη φύση του αλγορίθμου (Εξ. (1)), δηλαδή, από το γεγονός ότι κύρια μηδενικά στην ακολουθία των συντελεστών ενεργούν απλώς ως στοιχεία καθυστέρησης. Πιο συγκεκριμένα, όταν δημιουργούμε μία νέα κρουστική απόκριση (ακολουθία συντελεστών) με M κύρια μηδενικά ακολουθούμενα από τους $N + 1$ πραγματικούς συντελεστές c_i , $0 \leq i \leq N$, της Εξ. 1, στη πραγματικότητα κατασκευάζουμε ένα νέο φίλτρο τάξης ίσης με $M + N$, το οποίο εξάγει ακριβώς το ίδιο αποτέλεσμα του αρχικού φίλτρου τάξης N της Εξ. 1, με καθυστέρηση ωστόσο M κύκλων. Επιπλέον, όταν ομαδοποιούμε τα δείγματα εισόδου $x(n)$ αυτού του νέου φίλτρου σε d -πλειάδες, που τροφοδοτούνται και προωθούνται μέσα στα στοιχεία καθυστέρησης του φίλτρου με παράλληλο τρόπο (κάθε δείγμα $x(n)$ παραλείπει $d - n - 1$ στοιχεία καθυστέρησης σε κάθε κύκλο ρολογιού), τότε το νέο φίλτρο θα παραγάγει το αρχικό σήμα $y(n)$, έχοντας ωστόσο υποβληθεί σε υπο-δειγματοληψία κατά έναν παράγοντα $d - 1$. Συνδυάζοντας τις παραπάνω αντιλήψεις για την καθυστέρηση και την υποδειγματοληψία, μπορούμε αποτελεσματικά να διαιρέσουμε την ακολουθία $y(n)$ σε d υποακολουθίες, $y_M(n)$, με $0 \leq M \leq d - 1$, οι οποίες μπορούν να υπολογιστούν παράλληλα από d πανομοιότυπα φίλτρα. Έτσι, κατασκευάζουμε έναν πίνακα από d FFE_M φίλτρα τάξης $d + N - 1$, κάθε ένα από τα οποία έχει ένα συγκεκριμένο ποσό από M κύριους μηδενικούς συντελεστές, και δέχεται ως είσοδο την ίδια d -πλειάδα $\{x(n), x(n-1), \dots, x(n-d+1)\}$, παράλληλα. Σε κάθε κύκλο ρολογιού, το κάθε FFE_M φίλτρο θα παραγάγει ένα μοναδικό $y_M(n-M)$ επιτρέποντας να πολυπλέξουμε όλες τις d εξόδους $\{x(n), x(n-1), \dots, x(n-d+1)\}$ σε μία νέα d -πλειάδα, ώστε να κατασκευάσουμε σταδιακά την αρχική $y(n)$ ακολουθία (σε κάθε FFE_M φίλτρο ανατίθεται μια συγκεκριμένη υποακολουθία $y_M(n)$ του σήματος εξόδου $y(n)$). Συνολικά, η παράλληλη FFE αρχιτεκτονική θα δεχτεί/επεξεργαστεί/εξάγει d δείγματα ανά κύκλο ρολογιού.

Στο σχήμα 3.17 απεικονίζεται ένα παράδειγμα που επικεντρώνεται στη δομή των μνημών ROM για $d = 4$. Η ROM του κάθε FFE_M φίλτρου αποθηκεύει τους $N + 1$ συντελεστές c_i της Εξ. 1, μαζί με M κύριους μηδενικούς συντελεστές και $d - M - 1$ καταληκτικούς μηδενικούς συντελεστές που γεμίζουν τη συνολική ROM μεγέθους $d + N$. Πιο συγκεκριμένα, το σχήμα 3.17 απεικονίζει την ακριβή διαρρύθμιση των μηδενικών συντελεστών και των συντελεστών c_i σε κάθε FFE_M φίλτρο, καθώς επίσης και το συνδυασμό αυτών των συντελεστών με τα δείγματα εισόδου και τη τάξη της εξόδου των $y(n)$ δειγμάτων από τις 4 FFE μονάδες. Παρατηρούμε ότι σκοπός της χρησιμοποίησης καταληκτικών μηδενικών είναι κυρίως να υποστηριχθεί η παραμετρική και ομαλή ανάπτυξη της κάθε FFE μονάδας μέσω VHDL. Ωστόσο παρατηρούμε επίσης ότι σε χρόνο μεταγλώττισης, λόγω της βελτιστοποίησης που διεξάγεται από τα εργαλεία σύνθεσης, όλα αυτά τα μηδενικά (κύρια και καταληκτικά) τελικά έχουν μικρό αντίκτυπο (εάν έχουν) στο κόστος του παραγόμενου κυκλώματος, διότι γενικά, οι πολλαπλασιασμοί με μηδενικά δεν λαμβάνονται υπ' όψιν στις τελικές διασυνδέσεις εντός του FPGA.



Σχήμα 3.17. Παράδειγμα παράλληλης FFE λειτουργίας (για $d = 4$, όπου εδώ $D = d$) με φίλτρα τάξης $N = 31$ και καθυστέρηση 16 κύκλων, παρουσιάζοντας τα περιεχόμενα των ROMs (πραγματικοί και μηδενικοί συντελεστές), τον συνδυασμό τους με τις εισόδους $x(n)$, και την τάξη εξόδου των σημάτων εξόδου $y(n)$ (μία έξοδος κάθε κύκλο ρολογιού) .

ΚΕΦΑΛΑΙΟ 4

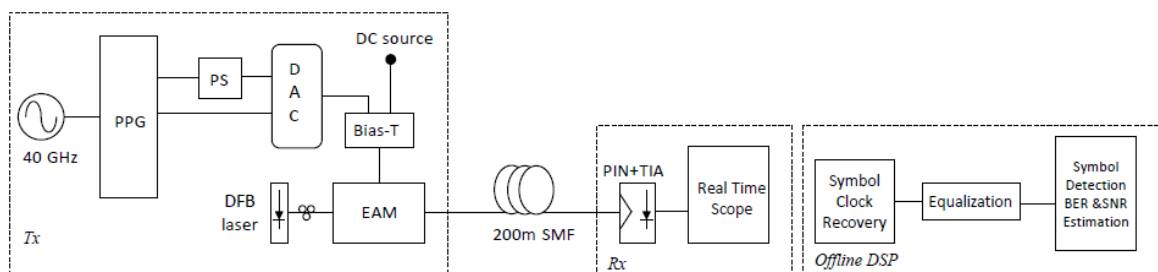
Πειραματικά Αποτελέσματα και Μελέτη Ακρίβειας

Αυτό το κεφάλαιο επικεντρώνεται στην αξιολόγηση της αποτελεσματικότητας του προτεινόμενου ευέλικτου συστήματος FFE ισοστάθμισης όσον αφορά τις επιδόσεις του, σε συνάρτηση με την ακρίβεια σε επίπεδο αριθμού από bits που χρησιμοποιούνται για την αναπαράσταση των σημάτων. Η μελέτη πραγματοποιείται χρησιμοποιώντας πραγματικά πειραματικά δεδομένα από μία PAM-4 οπτική διασύνδεση ρυθμού μετάδοσης συμβόλων ίσου με 40 Gbaud, με τη χρήση offline DSP αλγορίθμων και μοντέλων φίλτρων ακρίβειας επιπέδου bit, στην Matlab.

4.1 Πειραματική διάταξη

Για τη διερεύνηση της αποδοτικότητας του κυκλώματος ισοστάθμισης, βασιζόμαστε στη πειραματική οπτική διασύνδεση που φαίνεται στο σχήμα 4.1. Η συγκεκριμένη οπτική διασύνδεση μπορεί να υποστηρίξει ρυθμό μετάδοσης συμβόλων μέχρι και 40 Gbaud για διαμορφώσεις PAM-4 και PAM-8 στα 80 Gb/s και 120 Gb/s (εάν χρησιμοποιηθεί DAC 3 εισόδων) αντίστοιχα[13]. Η πειραματική διάταξη αποτελείται από λέιζερ κατανεμημένης τροφοδότησης (distributed feedback laser - DFB), διαμορφωτή ηλεκτρο-απορρόφησης (electro-absorption modulator - EAM) εύρους ζώνης 24.3 GHz, μονοτροπική οπτική ίνα 2000m, και φωτοδέκτη με εύρος ζώνης στα 35 GHz, ο οποίος συνδυάζεται με ψηφιακό κύκλωμα ισοστάθμισης ώστε να αντιμετωπιστούν οι συνολικοί περιορισμοί λόγω εύρους ζώνης κατά μήκος του συνδέσμου.

Η γραμμική ισοστάθμιση εφαρμόζεται στη πλευρά του δέκτη, ώστε να αποφευχθεί η μείωση του πλάτους του σήματος στο διαμορφωτή, κάτι το οποίο θα ήταν αναπόφευκτο εάν η ισοστάθμιση εφαρμοζόταν στη πλευρά του πομπού.



Σχήμα 4.1. Πειραματική διάταξη οπτικής διασύνδεσης που χρησιμοποιείται για τη διερεύνηση της απόδοσης του FPGA FFE κυκλώματος ισοστάθμισης

Πομπός

Στη τοπολογία του πομπού, το ηλεκτρικό σήμα προς μετάδοση παράγεται από μετατροπέα ψηφιακού σε αναλογικό σήμα (DAC) 2 εισόδων, ο οποίος όπως φαίνεται στο σχήμα τροφοδοτείται από τη γεννήτρια ψηφιακών παλμών. Και οι δύο συμπληρωματικές έξοδοι της γεννήτριας χρησιμοποιούνται για να παράγουν ρεύματα δεδομένων NRZ διαμόρφωσης στα 40 Gbaud, τα οποία περιέχουν ψευδοτυχαίες δυαδικές ακολουθίες (PRBS), οι οποίες οδηγούνται στις εισόδους του μετατροπέα. Αφού τα ρεύματα δεδομένων αποσυσχετιστούν σε όρους άνισων μηκών καλωδίου, εισάγονται στις MSB και LSB εισόδους του μετατροπέα. Πριν την είσοδο στον τελευταίο, τα σήματα αποσυσχετίζονται χρονικά και ευθυγραμμίζονται όταν το ένα από τα δύο σήματα περάσει μέσα από το μικροκυματικό κύκλωμα ολίσθησης φάσης (PS).

Στη συνέχεια, το PAM-4 διαμορφωμένο σήμα εξόδου του μετατροπέα οδηγείται σε ηλεκτρο-απορροφητικό διαμορφωτή (EAM-Electro Absorption Modulator) ρυθμού επεξεργασίας 40 Gb/s, με

το πλάτος του σήματος να είναι ίσο με 800 mV_{p-p} για PAM-4 διαμόρφωση. Το εύρος ζώνης του διαμορφωτή περιορίζεται στα 17 GHz, ενώ η λειτουργία σε συχνότητες πάνω από 15 GHz προκαλεί έντονο κυματισμό, και για αυτό το λόγο, επέρχεται η υποβάθμιση της ποιότητας του σήματος. Για τη παραγωγή του οπτικού σήματος εξόδου, ο διαμορφωτής οδηγείται από οπτικό σήμα συνεχούς χρόνου (CW) ισχύος 7.8 dBm και μήκους κύματος ίσου με 1560 nm, το οποίο παρέχεται από το DFB λείζερ. Το οπτικό σήμα εξόδου του διαμορφωτή οδηγείται σε τυλιγμένη μονοτροπική οπτική ίνα 2 km.

Φωτοδέκτης

Για την ανίχνευση και λήψη του σήματος χρησιμοποιείται φωτοδέκτης με ρυθμό επεξεργασίας ίσο με 40 Gb/s και εύρος ζώνης ίσο με 35 GHz. Ο φωτοδέκτης αποτελείται από φωτοδίοδο τύπου PIN, που ακολουθείται από TIA ενισχυτή. Τα ληφθέντα ηλεκτρικά σήματα υψηλού ρυθμού μετάδοσης, οδηγούνται σε πραγματικού χρόνου και υψηλής ταχύτητας παλμογράφο εύρους ζώνης ίσου με 33 GHz, όπου γίνεται δειγματοληψία ρυθμού ίσου με 80 GSa/s.

Offline σύστημα ψηφιακής επεξεργασίας

Το offline ψηφιακό κύκλωμα επεξεργασίας της διάταξης επιτρέπει την υλοποίηση ενός πλήρως παραμετροποιήσιμου συστήματος FFE ισοστάθμισης. Πριν τα ληφθέντα σήματα οδηγηθούν στο σύστημα ισοστάθμισης, έχουν προηγουμένως υποβληθεί σε δειγματοληψία ρυθμού ίσου με 4 δείγματα/σύμβολο στον παλμογράφο πραγματικού χρόνου, ενώ ο αλγόριθμος square timing χρησιμοποιήθηκε για την ανάκτηση του χρονισμού (clock recovery) συμβόλου. Ως αποτέλεσμα, τα σήματα που προκύπτουν εάν κρατήσουμε 1 δείγμα/σύμβολο στο καλύτερο σημείο δειγματοληψίας, για κάθε περίοδο συμβόλου, οδηγούνται στο offline κύκλωμα FFE ισοστάθμισης (υλοποιημένο στη Matlab όπως θα δούμε παρακάτω), ώστε να υπολογιστεί η απόκριση του καναλιού.

Η τοπολογία αυτή, επιτρέπει δυναμικά την εκτίμηση της απόδοσης του FPGA κυκλώματος ισοστάθμισης σε πραγματικό χρόνο εγγράφοντας τα δεδομένα που βρίσκονται στον παλμογράφο σε block μνήμης του FPGA. Η διάταξη, όπως φαίνεται και στο σχήμα, επιτρέπει την επιπλέον επεξεργασία και ανάλυση στην ισοσταθμισμένη ακολουθία δεδομένων, συμπεριλαμβανομένης της ανίχνευσης συμβόλων και της εκτίμησης του ρυθμού εμφάνισης λαθών (BER).

Ως τεχνική διαμόρφωσης επιλέχθηκε τελικά η διαμόρφωση PAM-4, καθώς θεωρείται η πιο υποσχόμενη επιλογή για εφαρμογές σε κέντρα δεδομένων λόγω της καλύτερης αξιοποίησης του εύρους ζώνης, αλλά και ένας συμβιβασμός ανάμεσα στο περιορισμένο εύρος ζώνης του καναλιού και στον απαιτούμενο λόγο SNR για τη μετάδοση και ανίχνευση ενός PAM σήματος.

4.2 Πειραματικά αποτελέσματα και αξιολόγηση της ακρίβειας του FFE κυκλώματος

Προκειμένου να εκτιμηθεί ο βαθμός στον οποίο η απόδοση του προτεινόμενου κυκλώματος ισοστάθμισης επηρεάζεται όταν περιορίζεται η ακρίβεια αναπαράστασης των σημάτων εισόδου και εξόδου, αλλά και των συντελεστών του φίλτρου, περιγράφεται στη Matlab, παραμετροποιήσιμο μοντέλο ισοστάθμισης ακρίβειας σε επίπεδο bit. Τόσο το σήμα εισόδου, όσο και οι συντελεστές του φίλτρου (χρησιμοποιείται φίλτρο 32 συντελεστών) στρογγυλοποιούνται ώστε να αναπαριστώνται από n δυαδικά ψηφία. Η έξοδος του φίλτρου και τα σήματα που αφορούν ενδιάμεσα αποτελέσματα (γινόμενα, αθροίσματα) στρογγυλοποιούνται επίσης, ώστε να αναπαρίστανται από m δυαδικά ψηφία, έτσι ώστε να ισχύει η συνθήκη $m \geq n$.

4.2.1 Υπολογισμός συντελεστών του FFE φίλτρου

Για να υπολογίσουμε τους συντελεστές που θα χρησιμοποιηθούν στη συνέχεια, δημιουργούμε ένα αντικείμενο ισοστάθμισης με στάθμες $\{-3, -1, 1, 3\}$ (οι στάθμες είναι 4, όπως προκύπτει από τον ορισμό της διαμόρφωσης PAM-4), το οποίο στη συνέχεια εκπαιδεύεται χρησιμοποιώντας τον αλγόριθμο ελάχιστων μέσων τετραγώνων (LMS). Μόλις το σφάλμα έχει μειωθεί επαρκώς

(απαιτείται να είναι μικρότερο από 10^{-5}), η διαδικασία εκπαίδευσης σταματάει. Οι εξαγόμενοι συντελεστές χρησιμοποιούνται στη διαδικασία ισοστάθμισης που εφαρμόζεται στα ληφθέντα δεδομένα (σήμα εισόδου), όπου το κύκλωμα ισοστάθμισης υλοποιείται από στατικό ψηφιακό φίλτρο FIR.

Η παραπάνω offline διαδικασία εκπαίδευσης του κυκλώματος ισοστάθμισης μπορεί να εφαρμοστεί κάθε φορά που η απόκριση του καναλιού χρειάζεται να επαναπροσδιοριστεί, επιτρέποντας στο κύκλωμα ισοστάθμισης να χρησιμοποιηθεί σε διαφορετικά σενάρια. Η ευελιξία της συγκεκριμένης αρχιτεκτονικής, κυρίως από την οπτική της δυνατότητας επαναδιαμόρφωσης (reconfiguration) καθιστά το προτεινόμενο FFE κύκλωμα ικανό να ανταπεξέρχεται με επιτυχία σε διάφορους ρυθμούς μετάδοσης συμβόλου, ποικίλες τεχνικές διαμόρφωσης (π.χ. PAM8, PAM16) ή και γενικά σε άλλες πιθανά μεταβαλλόμενες απαιτήσεις του καναλιού (μεγαλύτερες αποστάσεις, διαφορετικοί τύποι οπτοηλεκτρονικών στοιχείων, θερμικά φαινόμενα ή φαινόμενα γήρανσης).

4.2.2 Προσδιορισμός αντικειμένου φίλτρου

Στη συνέχεια, προσδιορίζεται το ψηφιακό φίλτρο για την προσομοίωση του ψηφιακού φίλτρου FIR, χρησιμοποιώντας τους συντελεστές που υπολογίστηκαν παραπάνω. Πριν από την διαδικασία ισοστάθμισης, καθορίζονται σαφώς τα μήκη λέξεων (ακέραιο και δεκαδικό μέρος) για την είσοδο, τους συντελεστές, τα ενδιάμεσα γινόμενα, τον συσσωρευτή (άθροισμα) και την έξοδο. Ως σήματα εισόδου στο κύκλωμα ισοστάθμισης έχουν επιλεγεί πραγματικά PAM-4 πειραματικά δεδομένα, τα οποία πριν την εφαρμογή ισοστάθμισης υπόκεινται σε κανονικοποίηση έτσι ώστε να μην χρειάζονται περισσότερα από 3 bits για την αναπαράσταση του ακέραιου μέρους τους: Όλες οι τιμές του ακέραιου μέρους του σήματος κυμαίνονται στο εύρος $[-3,3]$ με το πρώτο ψηφίο της δυαδικής αναπαράστασης να είναι αφιερωμένο στην αναπαράσταση του προσήμου. Για την αναπαράσταση των ενδιάμεσων αποτελεσμάτων και της εξόδου χρησιμοποιούνται λέξεις με ακέραιο μέρος σταθερού μήκους, ίσου με 3 bits, ώστε το εξερχόμενο από το φίλτρο σήμα να ομοιάζει ως προς τα χαρακτηριστικά και την αναπαράσταση στο αρχικό σήμα εισόδου. Το μήκος του ακέραιου μέρους των συντελεστών είναι επίσης σταθερό και ίσο με 2 bits. Σαν αποτέλεσμα, $n-3$ και $n-2$ ψηφία χρησιμοποιούνται για να αναπαραστήσουν το δεκαδικό μέρος του σήματος εισόδου και των συντελεστών αντίστοιχα, ενώ $m-3$ ψηφία χρησιμοποιούνται για να αναπαραστήσουν το δεκαδικό μέρος των ενδιάμεσων αποτελεσμάτων και του σήματος εξόδου. Έχοντας πια απόλυτα ορισμένη τη συνάρτηση μεταφοράς (συντελεστές, σήμα εισόδου και μήκη λέξεων) του φίλτρου, εφαρμόζεται η FFE ισοστάθμιση στο σήμα εισόδου και υπολογίζεται η έξοδος με σταθερό ακέραιο και μεταβλητό δεκαδικό μέρος. Εκτός από το παραμετροποιήσιμο φίλτρο, υλοποιήσαμε στη Matlab FFE φίλτρο διπλής ακρίβειας (64 bits) που θα χρησιμοποιηθεί αργότερα ως σημείο αναφοράς για τις συγκρίσεις με την εκάστοτε υλοποίηση του παραμετροποιήσιμου φίλτρου. Στη μελέτη που πραγματοποιούμε, οι παράμετροι n και m μεταβάλλονται με σκοπό να επιτευχθεί η ελάχιστη επιτρεπτή υποβάθμιση του ρυθμού εμφάνισης λαθών BER χρησιμοποιώντας τον μικρότερο δυνατό αριθμό από ψηφία για την αναπαράσταση των σημάτων (και συνεπώς πετυχαίνοντας μικρότερη κατανάλωση πόρων στο FPGA).

4.2.3 Ανίχνευση συμβόλων

Στη συνέχεια ακολουθεί η διαδικασία ανίχνευσης συμβόλων, ώστε όλες οι τιμές του ισοσταθμισμένου σήματος να αντιστοιχηθούν στις 4 διακριτές στάθμες (σύμβολα) που ορίζονται από την διαμόρφωση PAM-4: -3, -1, 1, 3. Για την αντιστοίχιση των τιμών σε σύμβολα χρησιμοποιείται καταωφλίωση (thresholding), σύμφωνα με την οποία κάθε τιμή ανάλογα σε ποια από τις 4 περιοχές τιμών ανήκει, αντιστοιχίζεται και σε διαφορετικό σύμβολο. Μέσω της ανίχνευσης συμβόλων στο διαμορφωμένο PAM-4 σήμα, αποφασίζεται κάθε σύμβολο σε ποια στάθμη θα αντιστοιχισθεί και στη συνέχεια το σήμα αποδιαμορφώνεται ώστε το αποδιαμορφωμένο σήμα που θα προκύψει (χρησιμοποιήθηκε κωδικοποίηση τύπου Gray κατά την αποδιαμόρφωση) να χρησιμοποιηθεί μετέπειτα στην εκτίμηση του λόγου BER.

4.2.4 Υπολογισμός/εκτίμηση ρυθμού εμφάνισης λαθών (BER)

Ο ρυθμός εμφάνισης λαθών στο αποδιαμορφωμένο σήμα υπολογίζεται μέσω της χρήσης γνωστού μοτίβου αποτελούμενου από τις ληφθείσες αποδιαμορφωμένες τιμές. Αρχικά υπολογίζεται η καθυστέρηση ανάμεσα στο μοτίβο και στο αποδιαμορφωμένο σήμα, και στη συνέχεια, αφού συγχρονιστούν, το μοτίβο επαναλαμβάνεται τόσες φορές, ώστε η ακολουθία που παράγεται από τα επαναλαμβανόμενα μοτίβα να έχει ίδιο μήκος με το αποδιαμορφωμένο σήμα. Στη συνέχεια τόσο η ακολουθία από μοτίβα, όσο και το αποδιαμορφωμένο σήμα μετατρέπονται από δεκαδικά σε δυαδικά, έτσι ώστε ο ρυθμός εμφάνισης λαθών να μετρηθεί σε επίπεδο bit μέσω της διαφοράς των bits του αποδιαμορφωμένου σήματος από τα bits του διανύσματος με την ακολουθία από μοτίβα, που βρίσκονται στις αντίστοιχες θέσεις.

Η ακόλουθη σχέση (στη Matlab):

$$[BER, ci] = berconfint (length(find(errBits)), nBits)$$

αποδίδει την εκτίμηση της πιθανότητα λάθους και το διάστημα εμπιστοσύνης 95% για προσομοίωση με $nErrs = length(find(errBits))$ λάθη σε $nBits$ δοκιμές, όπου:

- $errBits = abs(yBits - xBits)$ είναι διάνυσμα που αναπαριστά τη διαφορά των δύο σημάτων σε επίπεδο bit,
- $nBits = size(yBits, 1) * \log_2(M)$ είναι ο αριθμός των δοκιμών,
- η παράμετρος $xBits$ αποτελεί την δυαδική εκδοχή του διανύσματος με τα επαναλαμβανόμενα μοτίβα,
- η παράμετρος $yBits$ αποτελεί την δυαδική εκδοχή του διανύσματος με τις τιμές του αποδιαμορφωμένου σήματος,
- η παράμετρος M ισούται με τη τάξη του αστερισμού (εδώ ισούται με 4)

Εφ' όσον τα σφάλματα και οι δοκιμές μετρούνται σε bits, η εκτίμηση της πιθανότητας λάθους ταυτίζεται με τον ρυθμό εμφάνισης λαθών BER. Το διάστημα εμπιστοσύνης ci ουσιαστικά αποτελεί το στατιστικό εύρος τιμών μέσα στο οποίο ενδέχεται να βρεθεί ο ρυθμός BER. Πρακτικά αυτό σημαίνει ότι η ελάχιστη τιμή του ρυθμού BER που μπορούμε να μετρήσουμε είναι περιορισμένη και εξαρτάται από το πλήθος των bits που μετρώνται, και συγκεκριμένα στην περίπτωση μας δεν γίνεται να είναι μικρότερη της τάξης του 10^{-8} . Ο συγκεκριμένος τρόπος μέτρησης του ρυθμού BER, για περιπτώσεις όπου ο ρυθμός ισούται με τιμή μικρότερη της τάξης του 10^{-8} , δίνει μηδενικό αποτέλεσμα (δεν ανιχνεύονται λάθη). Στη περίπτωση αυτή για να ξεπεράσουμε αυτό τον περιορισμό, η εκτίμηση του ρυθμού BER μπορεί να πραγματοποιηθεί εφαρμόζοντας θεωρητικό μοντέλο με βάση τον σηματοθορυβικό λόγο SNR (Signal to Noise Ratio), στο σήμα που έχει προκύψει ακριβώς μετά από τη διαδικασία της ισοστάθμισης. Αρχικά, μέσω του SNR, υπολογίζεται ο ρυθμός εμφάνισης λαθών σε επίπεδο συμβόλου (SER-Symbol Error Rate) μέσω της σχέσης:

$$SER = \frac{2 * (M - 1)}{M * \log_2(M)} * Q\left(\sqrt{\left(\frac{6}{M^2 - 1}\right) * SNR}\right)$$

όπου:

όπου,

- η συνάρτηση Q είναι η συνάρτηση αθροιστικής κατανομής και,
- η παράμετρος M ισούται με τη τάξη του αστερισμού (εδώ ισούται με 4),

και στη συνέχεια μπορεί να εκτιμηθεί και ο ρυθμός εμφάνισης λαθών σε επίπεδο bit (BER) μέσω της παρακάτω σχέσης:

$$BER = SER/\log_2(M)$$

Όπως φαίνεται και στον πίνακα 4.2, η ακρίβεια στην αναπαράσταση των σημάτων εισόδου και εξόδου απεικονίζεται από το ζεύγος (n,m) , όπου η παράμετρος n αντιστοιχίζεται στον αριθμό των δυαδικών ψηφίων που χρησιμοποιούνται για το σήμα εισόδου και τους συντελεστές του φίλτρου, και η παράμετρος m αντιστοιχίζεται στον αριθμό των δυαδικών ψηφίων που χρησιμοποιούνται για την αναπαράσταση του σήματος εξόδου. Για κάθε τιμή της παραμέτρου n καταγράφονται δύο ζεύγη τιμών (n,m) : το πρώτο αφορά την περίπτωση όπου $n=m$ και αντιπροσωπεύει την περίπτωση της ελάχιστης δυνατής ακρίβειας αναπαράστασης του σήματος εξόδου για το συγκεκριμένο n και το δεύτερο έχει επιλεγεί με γνώμονα αφ' ενός την καλύτερη δυνατή τιμή του ρυθμού BER που μπορεί να επιτευχθεί, και αφ' ετέρου την ελάχιστη δυνατή ακρίβεια bit του σήματος εξόδου, στην οποία μπορεί να επιτευχθεί η τιμή αυτή. Δηλαδή, ακόμα και εάν αυξήσουμε περαιτέρω την ακρίβεια αναπαράστασης του σήματος εξόδου, ο ρυθμός BER παρουσιάζει μηδαμινή ή και καθόλου βελτίωση για το συγκεκριμένο ζευγάρι ακρίβειας. Επίσης, στον πίνακα καταγράφονται οι μετρηθείσες τιμές του ρυθμού BER, για κάθε ζεύγος τιμών ακρίβειας (n,m) .

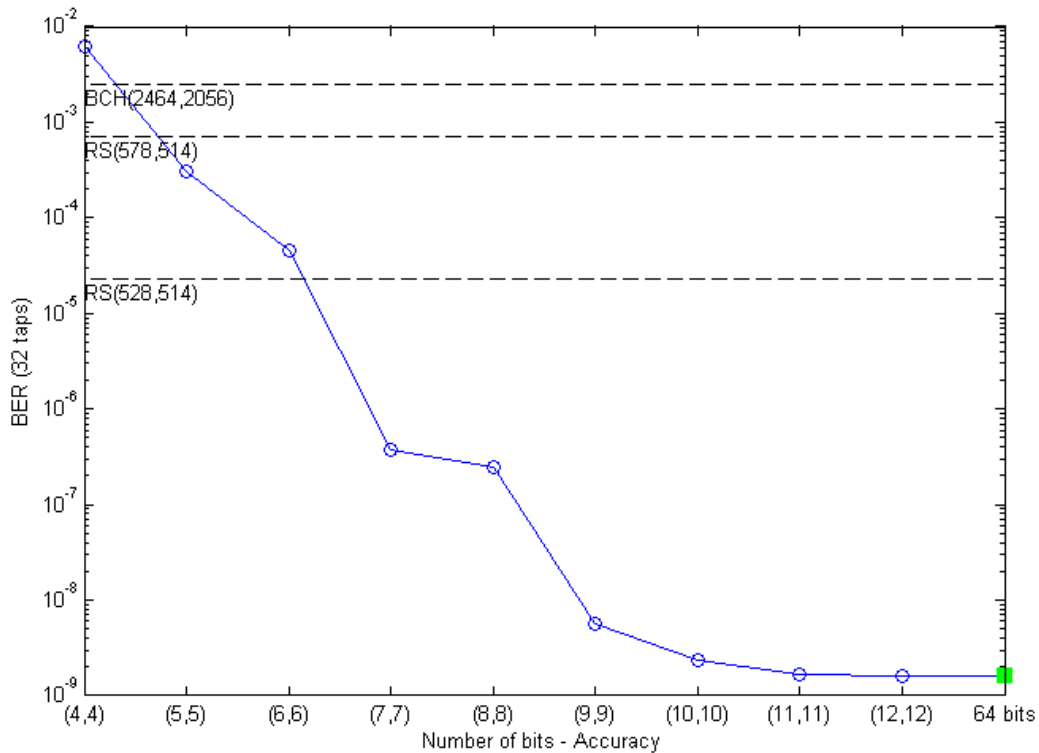
Ακρίβεια σημάτων εισόδου και εξόδου	Μετρήσεις BER για φίλτρο 32 συντελεστών
(4,4)	6.3×10^{-3}
(5,5)	3.09×10^{-4}
(5,7)	1.31×10^{-4}
(6,6)	4.59×10^{-5}
(6,8)	7.5×10^{-6}
(7,7)	3.75×10^{-7}
(7,9)	3.13×10^{-7}
(8,8)	2.5×10^{-7}
(8,9)	1.88×10^{-7}
(9,9)	5.68×10^{-9}
(9,11)	3.08×10^{-9}
(10,10)	2.38×10^{-9}
(10,12)	1.76×10^{-9}
(11,11)	1.69×10^{-9}
(11,12)	1.59×10^{-9}
(12,12)	1.63×10^{-9}
Διπλή ακρίβεια (64 bits Matlab FFE)	1.59×10^{-9}

Πίνακας 4.2. Μετρήσεις ρυθμού εμφάνισης λαθών BER για διάφορα ζεύγη τιμών ακρίβειας εισόδου και εξόδου του παραμετροποιημένου φίλτρου, και του φίλτρου διπλής ακρίβειας

Οι παραμετροποιήσεις του FFE φίλτρου για $n=9,10,11,12$ όπως και το φίλτρο διπλής ακρίβειας της Matlab, έχουν ως αποτέλεσμα τιμές BER εκτός του στατιστικού διαστήματος εμπιστοσύνης 95% που αναφέρθηκε παραπάνω, οπότε εκτιμήθηκαν με τον δεύτερο τρόπο υπολογισμού του ρυθμού BER, μέσω του θεωρητικού τύπου. Για τις υπόλοιπες παραμετροποιήσεις χρησιμοποιήθηκε ο πρώτος τρόπος, μέσω εκτίμησης συμβόλου και αποδιαμόρφωσης του ισοσταθμισμένου σήματος. Ο λόγος BER του σήματος εισόδου πριν την εφαρμογή ισοστάθμισης ισούται με $BER_{pre-FFE}=3.5 \times 10^{-4}$.

Στο σχήμα 4.3 αναπαρίσταται η πορεία του ρυθμού BER συναρτήσει της ακρίβειας σε επίπεδο δυαδικών ψηφίων για όλους τους συνδυασμούς ισοστάθμισης που δοκιμάστηκαν. Ο οριζόντιος άξονας αναπαριστά την ακρίβεια (με τη μορφή ζευγών ακρίβειας εισόδου και εξόδου), ενώ στον κάθετο άξονα έχουν τοποθετηθεί οι μετρηθείσες τιμές του ρυθμού BER σε λογαριθμική κλίμακα, ώστε να είναι εμφανής η διακύμανση του BER ανάμεσα στις διάφορες τάξεις μεγέθους καθώς μεταβάλλεται η ακρίβεια. Με τις τρεις διακεκομμένες οριζόντιες γραμμές αναπαρίστανται τα

κατώφλια των εξής FEC κωδίκων: BCH(2464,2056), RS(528,514) και RS(578,514). Τα κατώφλια αυτά καταδεικνύουν τα μέγιστα όρια ανοχής του ρυθμού BER για τους συγκεκριμένους κώδικες FEC. Στην περίπτωση όπου σήμα με ρυθμό BER πάνω από τα συγκεκριμένα όρια (pre-FEC BER) που επεξεργάζεται από κάποιον από τους παραπάνω κώδικες FEC θα έχει ως αποτέλεσμα σήμα εξόδου με ρυθμό BER (post-FEC BER) της τάξης του 10^{-15} (για παράδειγμα σήμα ρυθμού BER ίσου με 3×10^{-3} στην είσοδο κυκλώματος που εφαρμόζει BCH(2464,2056) κώδικα έχει ως αποτέλεσμα σήμα εξόδου ρυθμού BER ίσου με 1×10^{-15} στην έξοδο του κυκλώματος). Στο συγκεκριμένο διάγραμμα απεικονίζεται επίσης η τιμή του ρυθμού BER που επιτυγχάνεται από το φίλτρο αναφοράς διπλής ακρίβειας (64 bits) της Matlab (με πράσινο χρώμα).



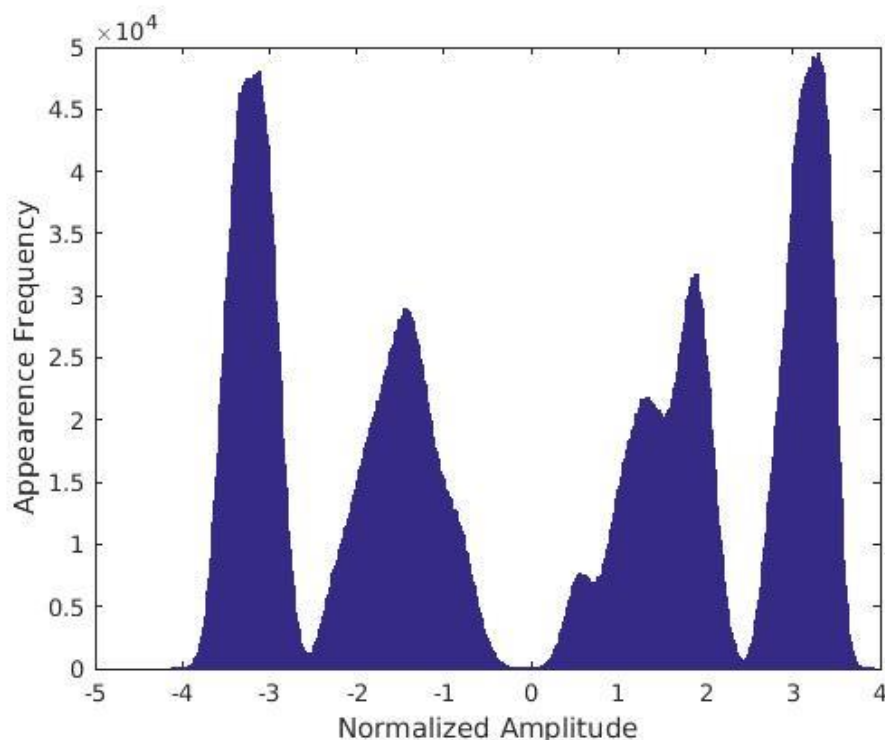
Σχήμα 4.3. Αποτελέσματα ρυθμού BER ισοσταθμισμένων πειραματικών δεδομένων, συναρτήσεως των ζευγών ακρίβειας (είσοδος/συντελεστής, έξοδος/ενδιάμεσα αποτελέσματα) για $n=m$. Οι διακεκομμένες γραμμές αναπαριστούν τα FEC κατώφλια τριών διαφορετικών FEC κωδίκων.

Όπως είναι αναμενόμενο, όσο περισσότερα είναι τα bits που χρησιμοποιούνται για την αναπαράσταση του σήματος εισόδου, των συντελεστών, των ενδιάμεσων αποτελεσμάτων και του σήματος εξόδου, τόσο μικρότερος είναι και ο ρυθμός εμφάνισης λαθών BER. Ωστόσο, όπως μπορούμε να παρατηρήσουμε τόσο από τον πίνακα 4.2, όσο και από το παραπάνω σχήμα για $n,m > 10$ bits, όσο αυξάνουμε την ακρίβεια, ο ρυθμός BER παρουσιάζει μηδαμινή βελτίωση. Επομένως μπορούμε να συμπεράνουμε ότι το συγκεκριμένο ζεύγος ακρίβειας αποτελεί τη βέλτιστη επιλογή, συνδυάζοντας παράλληλα ικανοποιητική ακρίβεια και χαμηλό ρυθμό BER. Τα αποτελέσματα των μετρήσεων καταδεικνύουν την σημαντική βελτίωση της ποιότητας του σήματος μετά την ισοστάθμιση, αν αναλογιστούμε ότι πριν από την ισοστάθμιση ο ρυθμός BER ισούταν με τιμή τάξης μεγέθους του 10^{-4} , ενώ μετά την εφαρμογή ισοστάθμισης, η τάξη μεγέθους του BER μειώθηκε κατά μία έως πέντε φορές (10^{-5} έως 10^{-9}), ανάλογα με την επιλογή ακρίβειας (n,m). Στις παραμετροποιήσεις με επιλογή μικρών παραμέτρων ακρίβειας n,m ($n,m < 9$) παρατηρείται διαφορά αρκετών τάξεων μεγέθους ανάμεσα στις μετρηθείσες τιμές του ρυθμού BER και στο ρυθμό BER που παρουσιάζει το φίλτρο αναφοράς διπλής ακρίβειας του Matlab. Η διαφορά αυτή, μειώνεται

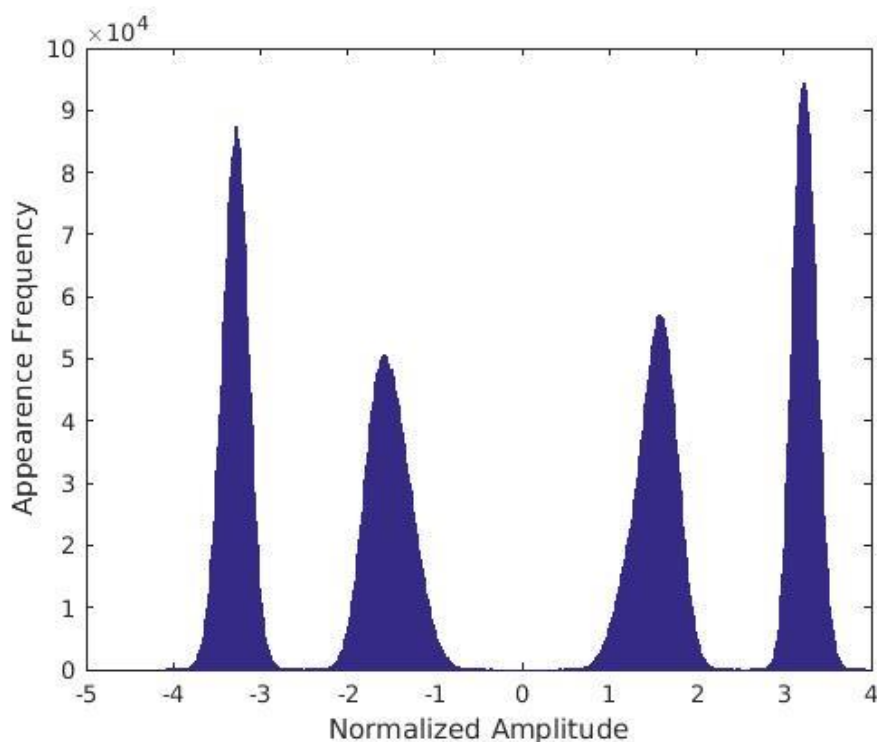
όπως είναι αναμενόμενο όσο οι παράμετροι n και m αυξάνουν, και μάλιστα στις παραμετροποιήσεις όπου $n,m > 10$ η διαφορά ελαχιστοποιείται, οπότε και η υποβάθμιση στην οποία υπόκειται το ισοσταθμισμένο σήμα λόγω της επιλογής μειωμένης ακρίβειας μπορεί να θεωρηθεί αμελητέα.

Τα οφέλη της ισοστάθμισης δεν περιορίζονται όμως μόνο στη βελτίωση της ποιότητας του διερχόμενου σήματος. Από το σχήμα 4.3, συμπεραίνεται ότι με όλες σχεδόν τις παραμετροποιήσεις του ισοσταθμισμένου σήματος δύναται να επιτευχθεί ρυθμός εμφάνισης σφαλμάτων BER αρκετά μικρότερος από την τιμή κατώφλιου ισχυρών FEC κωδίκων όπως ο κώδικας BCH(2464,2056) (κατώφλι FEC ίσο με 2.5×10^{-3}). Πιο αναλυτικά, για τις περισσότερες παραμετροποιήσεις ($n,m \geq 7$ bits) η εισαγωγή «χαλαρής» FEC κωδικοποίησης μπορεί να αποτελέσει βιώσιμη λύση, αφού οι τιμές του BER που επιτυγχάνονται κυμαίνονται σε επίπεδα χαμηλότερα ακόμα και από τα κατώφλια των πιο χαλαρών κωδίκων FEC, όπως οι RS(578,514) (κατώφλι FEC ίσο με 7.08×10^{-4}) και RS(528,514) (κατώφλι FEC ίσο με 2.3×10^{-5}). Σε κάθε περίπτωση, φαίνεται ξεκάθαρα ότι ανάλογα με την επιλογή των παραμέτρων ακρίβειας, καθίστανται βιώσιμες λύσεις με FEC κωδικοποίηση χαμηλής πολυπλοκότητας με συνέπεια την μείωση της πολυπλοκότητας του συνολικού συστήματος και την σημαντική εξοικονόμηση ενέργειας (λόγω της μικρότερης κατανάλωσης πόρων).

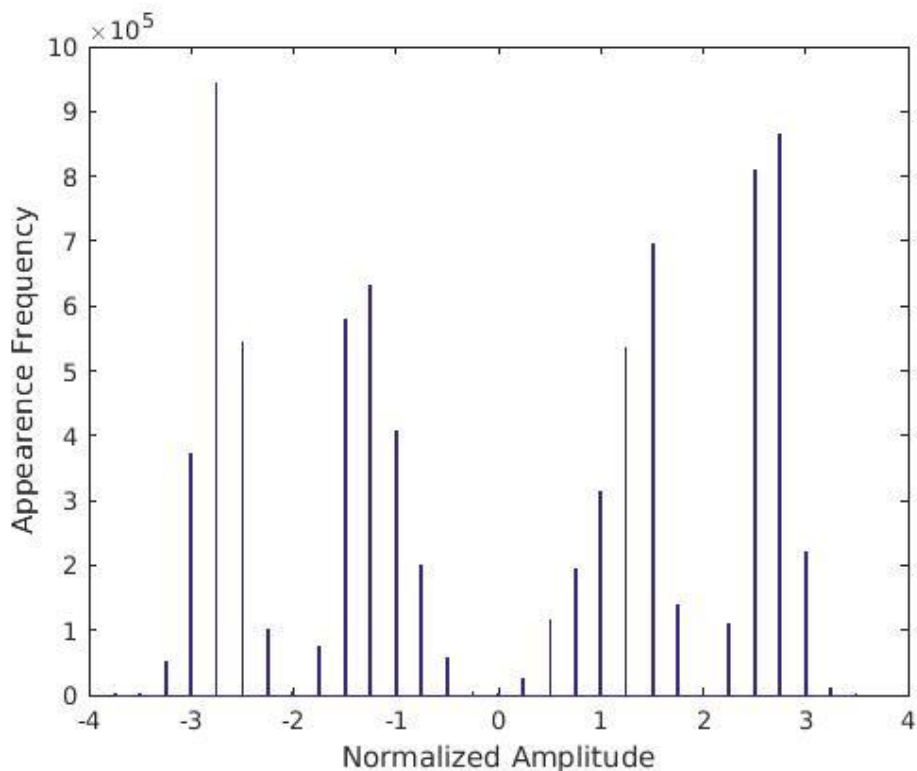
Τέλος, στα επόμενα σχήματα φαίνονται τα ιστογράμματα με συνάρτηση πυκνότητας πιθανότητας των πλατών του σήματος για τις εξής περιπτώσεις σημάτων: σήμα χωρίς ισοστάθμιση, σήμα ισοσταθμισμένο από το φίλτρο αναφοράς διπλής ακρίβειας, ισοσταθμισμένα σήματα από το παραμετροποιήσιμο FFE φίλτρο για $n,m=5$, $n,m=7$, $n,m=10$. Η βελτίωση του σήματος είναι εμφανής μετά από τη διέλευση του από το FFE κύκλωμα ισοστάθμισης, ακόμα και στην παραμετροποίηση με την μικρότερη επιλογή ακρίβειας ($n,m=5$) όπου το ιστογράμμα φαίνεται «κβαντισμένο». Το φαινόμενο της κβάντισης του σήματος παρατηρείται, σε μικρότερο βαθμό μιν, και στη παραμετροποίηση με επιλογή ακρίβειας ($n,m=7$), και οφείλεται και στις δύο περιπτώσεις στην επιλογή μειωμένη ακρίβειας, η οποία οδηγεί στην αναπαράσταση μειωμένου αριθμού τιμών του σήματος, άρα και στη κβάντιση του ιστογράμματος αυτού. Παρά την αρνητική επίδραση της επιλογής της μειωμένης ακρίβειας, στις περιπτώσεις όπου απαιτούνται όσο το δυνατόν υψηλότερες επιδόσεις του συστήματος ισοστάθμισης, ο συμβιβασμός αυτός καθίσταται αναγκαίος.



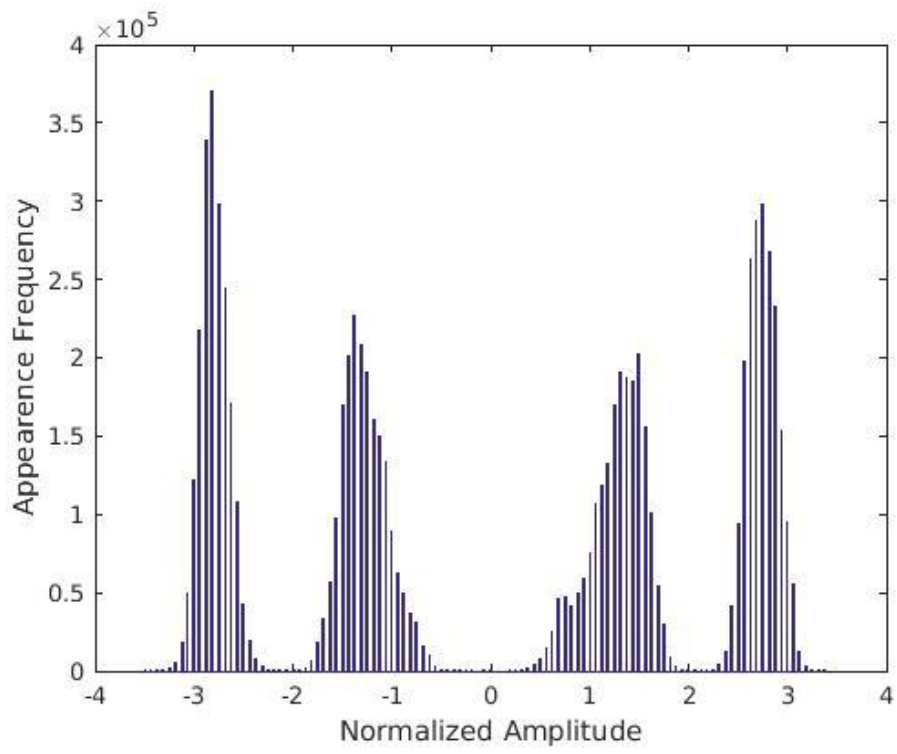
Σχήμα 4.4. Ιστόγραμμα με τις συχνότητες εμφάνισης των κανονικοποιημένων πλατών σήματος χωρίς ισοστάθμιση



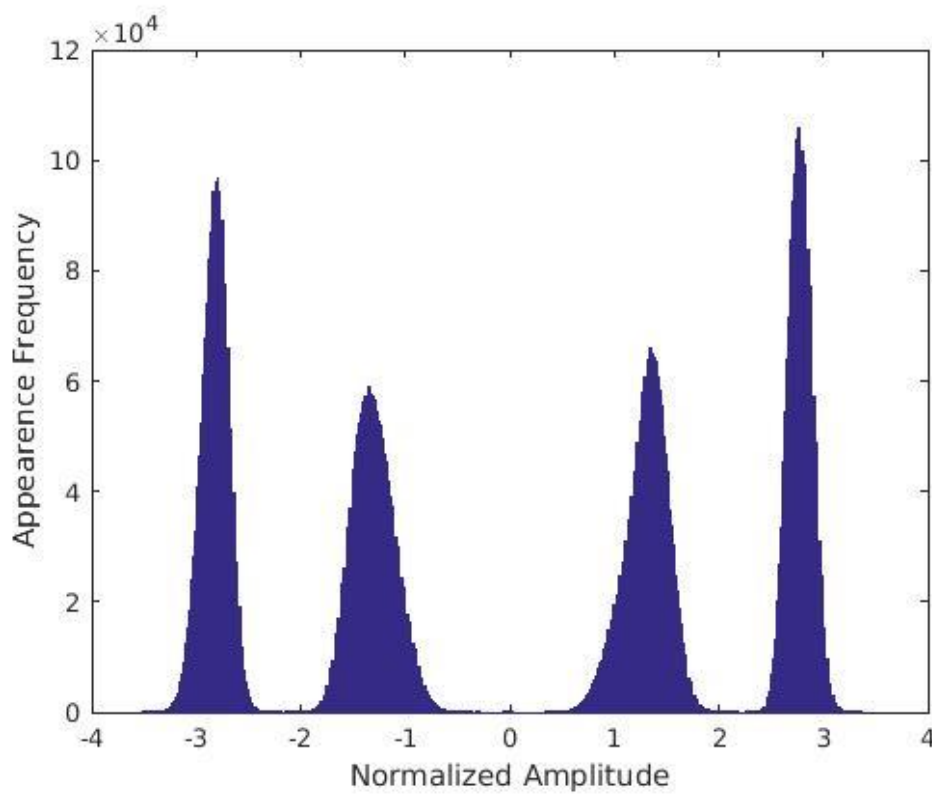
Σχήμα 4.5. Ιστόγραμμα με τις συχνότητες εμφάνισης των κανονικοποιημένων πλατών σήματος που έχει διέλθει από το FFE φίλτρο αναφοράς διπλής ακρίβειας



Σχήμα 4.6. Ιστόγραμμα με τις συχνότητες εμφάνισης των κανονικοποιημένων πλατών σήματος που έχει διέλθει από το παραμετροποιημένο FFE φίλτρο για $n,m=5$



Σχήμα 4.7. Ιστόγραμμα με τις συχνότητες εμφάνισης των κανονικοποιημένων πλατών σήματος που έχει διέλθει από το παραμετροποιήσιμο FFE φίλτρο για $n,m=7$



Σχήμα 4.8. Ιστόγραμμα με τις συχνότητες εμφάνισης των κανονικοποιημένων πλατών σήματος που έχει διέλθει από το παραμετροποιήσιμο FFE φίλτρο για $n,m=10$

4.3 Πειραματικά αποτελέσματα υλοποίησης στην πλατφόρμα FPGA

Για τους σκοπούς της διερεύνησης κατανάλωσης πόρων και της επαλήθευσης της ορθής λειτουργίας του FFE κυκλώματος, χρησιμοποιήσαμε τις σουίτες λογισμικού ISE Design Suite 14.7 και Vivado Design Suite 2015.2 της Xilinx. Ως βασική πλατφόρμα υλοποίησης επιλέξαμε, όπως αναφέρθηκε και σε προηγούμενο κεφάλαιο, το FPGA XC7VH580T της οικογένειας Virtex 7 της Xilinx για τους GTZ πομποδέκτες (28.05 Gb/s) που ενσωματώνει, προσφέροντας τη δυνατότητα υλοποίησης και αξιολόγησης πολύπλοκων δικτυακών συστημάτων. Η επιλογή του συγκεκριμένου FPGA αφορά την υλοποίηση στις παραπάνω πλατφόρμες λογισμικού, όπου και πραγματοποιήθηκε αποκλειστικά το συνολικό πείραμα. Αξίζει να τονιστεί ότι ο VHDL κώδικας για το FFE φίλτρο είναι πλήρως μεταφέρσιμος και συμβατός με κάθε FPGA συσκευή.

Η υλοποίηση του FFE κυκλώματος ισοστάθμισης σε FPGA πλατφόρμα είναι βασισμένη σε μία πλήρως παραμετροποιήσιμη αρχιτεκτονική. Η παραμετροποίηση του κυκλώματος είναι πολύ σημαντική καθώς:

- Καθιστά την αρχιτεκτονική πλήρως προσαρμόσιμη σε διαφορετικές υλοποιήσεις του FFE κυκλώματος (π.χ. διαφορετικός αριθμός συντελεστών του φίλτρου).
- Μας επιτρέπει να διεξάγουμε λεπτομερή εξερεύνηση του χώρου σχεδίασης, ώστε να αξιοποιήσουμε αποτελεσματικά τους πόρους του FPGA και να πετύχουμε το μέγιστο ρυθμό διακίνησης δεδομένων (throughput rate).
- Επιτρέπει την παραμετροποίηση της αρχιτεκτονικής ως προς τις απαιτήσεις ακρίβειας, σε επίπεδο bit, του συστήματος.

Για να είναι ολοκληρωμένη η υλοποίηση της παραμετρικής αρχιτεκτονικής, ορίσαμε ένα σύνολο από παραμέτρους συνυπολογίζοντας μέσα σε αυτές τους συντελεστές του φίλτρου, τους βαθμούς εσωτερικής και εξωτερικής παραλληλίας και την ακρίβεια σε επίπεδο bit για τα διάφορα σήματα του φίλτρου FFE. Οι παράμετροι που ορίσαμε συνοψίζονται παρακάτω:

- Αριθμός συντελεστών του φίλτρου
- Αριθμός bits σήματος εισόδου
- Εσωτερική παραλληλία k (όπως ορίστηκε στο κεφάλαιο 3)
- Εξωτερική παραλληλία d (όπως ορίστηκε στο κεφάλαιο 3)
- Αριθμός bits συντελεστών του φίλτρου
- Αριθμός bits του πολλαπλασιαστή
- Αριθμός bits των σημάτων στο δέντρο αθροιστών
- Αριθμός bits του σήματος εξόδου

Στο επόμενο στάδιο στη μελέτη μας, αξιολογείται η FPGA αρχιτεκτονική ως προς την ακρίβεια σε επίπεδο bit και τον ρυθμό διακίνησης δεδομένων. Αξιολογήθηκαν δύο διαφορετικές υλοποιήσεις του FFE φίλτρου, η πρώτη με επιλογή παραμέτρων ακρίβειας $n,m=6$ (σχετικά χαμηλή ποιότητα ακρίβειας) και η δεύτερη με $n,m=10$ (αρκετά υψηλή ποιότητα ακρίβειας). Σκοπός του συγκεκριμένου σταδίου της μελέτης είναι η εξαγωγή συμπερασμάτων σχετικά με τους συμβιβασμούς ανάμεσα στους πόρους που καταναλώνονται στο FPGA και στην ακρίβεια των σημάτων που επιλέγουμε, ενώ η ορθή λειτουργία του κυκλώματος επιβεβαιώνεται μέσω της σύγκρισης των αποτελεσμάτων και του ρυθμού εμφάνισης λαθών BER με τις αντίστοιχες μετρήσεις στο παραμετροποιήσιμο φίλτρο της προηγούμενης ενότητας (στη Matlab). Όπως και η αντίστοιχη παραμετροποιήσιμη αρχιτεκτονική σε Matlab, έτσι και αυτή η αρχιτεκτονική μας επιτρέπει να ορίσουμε την ακρίβεια σε επίπεδο bit των σημάτων εισόδου, των συντελεστών, των ενδιάμεσων αποτελεσμάτων (πολλαπλασιαστής, συσσωρευτής, δέντρο αθροιστών) και του σήματος εξόδου. Στον πίνακα 4.9 φαίνονται οι τιμές των παραμέτρων ακρίβειας που ορίσαμε για τις περιπτώσεις των (6,6) και (10,10) FPGA FFE φίλτρων.

Ακρίβεια FPGA υλοποίησης	Ακρίβεια σε επίπεδο bit									
	Σήμα εισόδου		Συντελεστές		Συσσωρευτής		Δέντρο Αθροιστών		Σήμα εξόδου	
	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>	<i>int.</i>	<i>frac.</i>
(6,6)	3	3	2	4	3	3	3	3	3	3
(10,10)	3	7	2	8	3	7	3	7	3	7

Πίνακας 4.9. Ρύθμιση των παραμέτρων ακρίβειας για την FPGA αρχιτεκτονική, συνυπολογίζοντας το γεγονός ότι κάθε παράμετρος ακρίβειας αποτελείται από ένα ακέραιο και ένα δεκαδικό μέρος

Στον επόμενο πίνακα, για κάθε μία από τις δύο παραμετροποιήσεις καταγράφονται οι πόροι που χρησιμοποιούνται από το FPGA, ο μέγιστος δυνατός ρυθμός διακίνησης δεδομένων που επιτυγχάνεται, η συχνότητα λειτουργίας καθώς και ο βαθμός της εξωτερικής παραλληλίας (αριθμός παράλληλων δειγμάτων στην είσοδο του FFE φίλτρου). Επίσης καταγράφεται ο ρυθμός BER και για τις δύο περιπτώσεις. Και οι δύο FPGA υλοποιήσεις δεν χρησιμοποιούν καθόλου Block RAM μνήμες (BRAM). Αυτό συμβαίνει επειδή για τη μέγιστη αποδοτικότητα του FFE φίλτρου έχουμε επιλέξει η εσωτερική παραλληλία να ισούται με τον αριθμό των συντελεστών του φίλτρου ($K=N+1$), οπότε όλα τα στοιχεία μνημών υλοποιούνται από καταχωρήσεις (DFFs).

Ακρίβεια FPGA υλοποίησης	Επιδόσεις και κατανάλωση πόρων						
	Συχν. λειτουργίας	Εξ. Παραλληλία	Throughput	LUTs	DFFs	BRAMs	DSPs
(6,6)	227 MHz	128	29.06 GSa/s	85.62%	73%	0%	100%
(10,10)	204 MHz	64	13.06 GSa/s	89.89%	68.63%	0%	100%

Πίνακας 4.10. Ρυθμός διακίνησης δεδομένων, κατανάλωση πόρων για τις FFE υλοποιήσεις, εξωτερική παραλληλία και συχνότητα λειτουργίας με $n,m=6$ και $n,m=10$ αντίστοιχα

Ο ρυθμός διακίνησης δεδομένων που αναφέρεται στον παραπάνω πίνακα υπολογίζεται από τη γενική σχέση

$$Throughput = (\text{μέγιστη συχνότητα}) \times (\text{αριθμός δειγμάτων στην έξοδο/κύκλο})$$

Στη συνέχεια, επιχειρείται η σύγκριση των παραμετροποιήσιμων FPGA υλοποιήσεων (πάλι για $n,m=6$ και $n,m=10$) με τις αντίστοιχες παραμετροποιήσιμες υλοποιήσεις σε Matlab, χρησιμοποιώντας και πάλι ως σημείο αναφοράς το FFE φίλτρο διπλής ακρίβειας (64 bits) της Matlab. Στον επόμενο πίνακα καταγράφονται οι τιμές του ρυθμού BER που επιτυγχάνονται από τις υλοποιήσεις στο FPGA και στο Matlab. Στις δύο τελευταίες στήλες, οι τιμές των σφαλμάτων αντιστοιχίζονται στις αποκλίσεις που εμφανίζουν οι τιμές εξόδου των FPGA και Matlab υλοποιήσεων αντίστοιχα, από τις τιμές εξόδου του φίλτρου αναφοράς διπλής ακρίβειας.

Ακρίβεια FPGA υλοποίησης	Επιδόσεις και κατανάλωση πόρων			
	BER (FPGA)	BER (Matlab)	Απόκλιση FPGA FFE από 64-bit FFE	Απόκλιση Matlab FFE από 64-bit FFE
(6,6)	5.64×10^{-5}	4.59×10^{-5}	0.2747	0.1923
(10,10)	2.66×10^{-9}	2.38×10^{-9}	0.1271	0.0279

Πίνακας 4.11. Σύγκριση των ρυθμών εμφάνισης σφαλμάτων (BER) των FPGA και Matlab υλοποιήσεων και απόκλιση αυτών από το φίλτρο αναφοράς διπλής ακρίβειας

Στο παραπάνω πίνακα τόσο η απόκλιση της εξόδου του FPGA FFE, όσο και η απόκλιση του Matlab FFE από το FFE διπλής ακρίβειας ισοδυναμούν με τη ρίζα μέσης τετραγωνικής απόκλισης (Root Mean Square Error-RMSE). Γενικά, η απόκλιση RMSE n μετρηθέντων τιμών y_{meas} από n

πραγματικές τιμές y_{real} υπολογίζεται ως η τετραγωνική ρίζα της μέσης τιμής των τετραγώνων των αποκλίσεων, δηλαδή:

$$RMSE = \sqrt{\sum_{i=1}^n \frac{(y_{meas}(i) - y_{real}(i))^2}{n}}$$

Η χρήση του RMSE είναι συχνή καθώς αποτελεί μια εξαιρετική γενικού σκοπού μετρική σφάλματος που προσφέρεται για αριθμητικές συγκρίσεις συγκεντρώνοντας πολλαπλά σφάλματα από διαφορετικές συγκρίσεις τιμών σε μία και μοναδική τιμή. Στη παρούσα μελέτη, οι μετρηθείσες τιμές y_{meas} αντιστοιχίζονται στις τιμές εξόδου των FPGA FFE και Matlab FFE και οι πραγματικές τιμές y_{real} αντιστοιχίζονται στις τιμές του διανύσματος εξόδου του FFE αναφοράς διπλής ακρίβειας.

Τόσο οι αμελητέες διαφορές ανάμεσα στους ρυθμούς BER των FPGA FFE και Matlab FFE (και για τις δύο παραμετροποιήσεις ακρίβειας (6,6) και (10,10) που υλοποιήθηκαν) αντίστοιχα, όσο και οι παρόμοιες αποκλίσεις των εξόδων τους από την έξοδο του φίλτρου αναφοράς υποδηλώνουν την ορθότητα στη σχεδίαση του συστήματος ισοστάθμισης και ουσιαστικά πιστοποιούν τη μετέπειτα πετυχημένη υλοποίηση του στο FPGA.

Από τους πίνακες 4.10 και 4.11, είναι προφανές ότι καθώς αυξάνουμε την ακρίβεια στη περιγραφή των διαφόρων σημάτων του φίλτρου, μειώνονται οι επιδόσεις του FPGA FFE (κυρίως μας αφορά ο ρυθμός διακίνησης δεδομένων), και αυξάνουν οι πόροι που καταναλώνονται στο FPGA. Ταυτόχρονα ο ρυθμός BER που επιτυγχάνεται στην υλοποίηση (10,10) είναι σαφώς βελτιωμένος συγκριτικά με τον αντίστοιχο ρυθμό BER που επιτυγχάνεται στην υλοποίηση (6,6). Η παρατήρηση αυτή ουσιαστικά επιβεβαιώνει τον αναγκαστικό (και αναμενόμενο) συμβιβασμό ανάμεσα στη ποιότητα του διερχόμενου σήματος και στην επίδοση του FFE συστήματος: Όσο καλύτερη είναι η ακρίβεια αναπαράστασης των διαφόρων σημάτων, άρα και η ποιότητα του διερχόμενου σήματος, τόσο χαμηλότερη είναι η επίδοση του FPGA FFE, ενώ αντίστοιχα αν επιλέξουμε μικρότερη ακρίβεια αναπαράστασης, τότε η επίδοση του FPGA FFE θα είναι αναλογικά υψηλότερη.

Σε κάθε περίπτωση, η ευελιξία που παρέχει το FPGA, μας επιτρέπει να προσαρμόζουμε τη σχεδίαση μας στις διαφορετικές απαιτήσεις του κάθε συστήματος μέσω επαναδιαμόρφωσης (το μεγάλο πλεονέκτημα των FPGAs) και να παραμετροποιούμε με ποικίλους τρόπους το κύκλωμα μας (είτε με γνώμονα τη βέλτιστη ποιότητα του διερχόμενου σήματος, ή για υψηλότερο ρυθμό επεξεργασίας δεδομένων).

ΚΕΦΑΛΑΙΟ 5

Συμπεράσματα

Στη παρούσα διπλωματική εργασία παρουσιάσαμε και υλοποιήσαμε σε FPGA σύστημα FFE ισοστάθμισης υψηλής απόδοσης, κατάλληλο για τηλεπικοινωνιακά συστήματα υψηλού εύρους ζώνης. Αναμφισβήτητα, βελτιώσαμε την ποιότητα του διερχόμενου, υποβαθμισμένου λόγω περιορισμένου εύρους ζώνης σήματος. Επιπλέον με αυτό τον τρόπο, καθίσταται εφικτό να αποφύγουμε την επιβάρυνση του συνολικού τηλεπικοινωνιακού συστήματος με επιπλέον πολύπλοκα και υψηλού κόστους κυκλώματα για την διόρθωση του σήματος, όπως για παράδειγμα η επιβάρυνση που θα προκαλούσε η ενσωμάτωση κυκλωμάτων FEC κωδικοποίησης.

Εκμεταλλευόμενοι πλήρως την παραλληλία και την προσαρμοστικότητα που προσφέρει η αρχιτεκτονική των ολοκληρωμένων κυκλωμάτων FPGA, σχεδιάσαμε το σύστημα μας με κύριο γνώμονα αυτό να είναι πλήρως παραμετροποιήσιμο και συνεπώς επαναδιαμορφώσιμο, ανάλογα με τις ιδιαιτερότητες και τις απαιτήσεις της εκάστοτε εφαρμογής (ποιότητα σήματος/απόδοση συστήματος/κατανάλωση πόρων). Παράλληλα, με ελάχιστους συμβιβασμούς, η αποδοτικότητα του συστήματος διατηρήθηκε σε πολύ ικανοποιητικά επίπεδα, γεγονός που επιβεβαιώνεται από τους υψηλούς ρυθμούς διακίνησης δεδομένων (throughput rate) που παρουσιάσαμε στο προηγούμενο κεφάλαιο.

Σαν μελλοντικό στόχο μπορούμε να θέσουμε την περαιτέρω βελτιστοποίηση του συστήματος ισοστάθμισης με σκοπό την επίτευξη ακόμα μεγαλύτερων ρυθμών διακίνησης δεδομένων, καθώς επίσης και την υλοποίηση του FPGA φίλτρου σε πραγματικό χρόνο με πραγματικά δεδομένα, με την ενσωμάτωση του σε μια μοντέρνα οπτική διασύνδεση. Τέλος, ιδιαίτερο ενδιαφέρον παρουσιάζει η μεταβολή της αρχιτεκτονικής μας ώστε να υποστηρίζει δυνατότητες επαναδιαμόρφωσης σε πραγματικό χρόνο, και να αποκρίνεται άμεσα στις απαιτήσεις και στις μεταβολές του πραγματικού συστήματος, μέσα στο οποίο ενσωματώνεται.

Κεφάλαιο 6

Βιβλιογραφία

- [1] D. Apostolopoulos, P. Bakopoulos, D. Kalavrouziotis, G. Giannoulis, G. Kanakis, N. Iliadis, C. Spatharakis, J. Bauwelinck, and H. Avramopoulos Photonic integration enabling new multiplexing concepts in optical board-to-board and rack-to-rack interconnects
- [2] Κωνσταντίνος Μ. Τόκας (2015) Πειραματική Αξιολόγηση κυκλωμάτων πομπού και δέκτη για οπτικές διασυνδέσεις κέντρων δεδομένων
- [3] Ελένη Δ. Κοσμά (2014) Πειραματική μελέτη και Αξιολόγηση Ταχύρυθμων Laser Κάθετης Κοιλότητας για Υλοποίηση Οπτικών Διασυνδέσεων σε Υπολογιστικά Συστήματα
- [4] Dr. Mike Peng Li, Principal Architect, Product Engineering, Altera Corporation Overcome Copper Limits with Optical Interfaces
- [5] Surnita Mishra, Naresh L Chaudhary, Kalyan Singh Overview of optical Interconnect Technology
- [6] Konstantinos Maragos, Panagiotis Kontzilias, George Lentaris, Dimitrios Soudris, Christos Spatharakis, Stefanos Dris, Paraskevas Bakopoulos, Hercules Avramopoulos (2015) A Real-Time, High-Performance FPGA Implementation of a Feed-Forward Equalizer for Optical Interconnects
- [7] Kiamal Pekmestzi (2003) Digital VLSI systems. NTUA Lectures Notes
- [8] Paul Denny, Phyworks Why equalization now matters more than ever
- [9] Robert Lashlee & Brig Assay, Agilent Technologies Introduction to Feed-Forward Equalization (FFE) and Decision Feedback Equalization (DFE)
- [10] Edin Kadric (2011) An FPGA Implementation for a High-Speed Optical Link with a PCIe Interface
- [11] Jimmy Xu (2009) A FPGA Hardware Solution for Accelerating Tomographic Reconstruction
- [12] Forward error correction, Wikipedia, The Free Encyclopedia
- [13] Paraskevas Bakopoulos, Stefanos Dris, Nikolaos Argyris, Konstantinos Tokas, Hercules Avramopoulos 120 Gb/s PAM-8 and 80 Gb/s PAM-4 Optical Interconnect with a Sub-Volt Driven EAM
- [14] Kachris C, Tzimpragos G, Soudris D, Tomkos I (2014) Reconfigurable fec codes for software-defined optical transceivers. In: Optical Communications and Networks (ICOON), 2014 13th International Conference on, IEEE
- [15] Emeretlis A, Kefelouras V, Theodoridis G, Nanou M, Politi C, Georgoulakis K, Glentis G (2015) Fpga implementation of a mimo dfe in 40 gb/s dqpsk optical links. In: Signal Processing

Conference (EU-SIPCO), 2015 23rd European, IEEE

[16] Stamoulias I, Georgoulakis K, Blionas S, Glentis G (2015) Fpga implementation of an mlse equalizer in 10gb/s optical links. In: Digital Signal Processing (DSP), 2015 IEEE International Conference on, IEEE