



European Coordination for Accelerator Research and Development

## PUBLICATION

# A project of universal computing platform - cluster of floating point DSP processors (Projekt uniwersalnej platformy obliczeniowej - klastra zmiennoprzecinkowych procesorów DSP)

Dymanowski, L (Warsaw U. of Tech.) *et al*

02 September 2012

Elektronika

The research leading to these results has received funding from the European Commission under the FP7 Research Infrastructures project EuCARD, grant agreement no. 227579.

This work is part of EuCARD Work Package 4: **AccNet: Accelerator Science Networks**.

The electronic version of this EuCARD Publication is available via the EuCARD web site  
<<http://cern.ch/eucard>> or on the CERN Document Server at the following URL :  
<<http://cdsweb.cern.ch/record/1235144>>

## A project of universal computing platform - cluster of floating point DSP processors Projekt uniwersalnej platformy obliczeniowej - klastra zmiennoprzewcinkowych procesorów DSP

PREPRINT Elektronika 50, 8 (2009) pp.206-208

L.Dymanowski, K.Lewandowski, M.Linczuk, ISE PW

W celu zwiększenia wydajności obliczeniowej współczesnych procesorów łączy się je w klastry. Najczęściej spotyka się klastry procesorów ogólnego przeznaczenia pracujące pod kontrolą systemu typu Linux. W klastry można łączyć dowolne typy procesorów, uzyskując platformę sprzętową o wydajności równej sumie wydajności poszczególnych procesorów. W artykule opisano projekt klastra składającego się ze zmiennoprzecinkowych procesorów sygnałowych.

Celem projektu było stworzenie uniwersalnej platformy do uruchamiania algorytmów DSP czasu rzeczywistego. Platforma ta ma służyć do badań algorytmów DSP w warunkach laboratoryjnych. Z tego powodu wykonano ją jako kartę rozszerzeń do komputera PC.

Platforma ta ma być bardzo wydajna, pozwalać na zaimplementowanie algorytmów wymagających mocy obliczeniowej większej niż moc najwydajniejszych, dostępnych na rynku pojedynczych, jednordzeniowych procesorów sygnałowych. Ponadto, platforma powinna posiadać łatwy do oprogramowania interfejs wymiany danych pomiędzy procesorami, ma być skalowalna, czyli umożliwiać podłączanie kolejnych procesorów sygnałowych zwiększających sumaryczną moc obliczeniową. Platforma ma posiadać układy I/O umożliwiające zaimplementowanie różnych protokołów przesyłania danych i służyć do analizy danych w czasie rzeczywistym i bezpośrednio współpracować z urządzeniami do akwizycji danych.

### Przegląd procesorów DSP

Budowanie klastrów obliczeniowych ma sens tylko w przypadku najwydajniejszych procesorów. Klastrer mało wydajnych procesorów można zastąpić pojedynczym procesorem, uni-

kając w ten sposób wielu problemów związanych z programowaniem. Rynek najwydajniejszych procesorów DSP jest podzielony pomiędzy trzy firmy: Analog Devices, Texas Instruments i Freescale. Testami procesorów tych firm zajmuje się organizacja Berkeley Design Technology, Inc. (BDTI) [1]. Na podstawie testu BDTI DSP Kernel Benchmarks™ (BDTI-mark2000™) wybrano trzy najwydajniejsze procesory DSP i zamieszczono w tabeli.

Wyniki testów SPEED BDTI-mark2000™  
Result of SPEED test BDTI-mark2000™

Procesor	Częstotliwość zegara [MHz]	Wyniki testów
ADI ADSP-TS201S (Tiger Sharc)	500 - 600	5330 - 6400
Freescale MSC81xx (SC3400)	800 - 1000	9520 - 11900
Texas Instruments TMS320C64x	300 - 1200	3290 - 13170

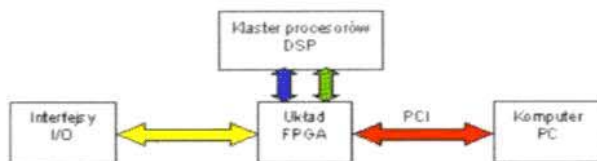
Wynika z niej, że wydajność procesorów pochodzących od różnych producentów jest porównywalna i prawie proporcjonalna do zegara jądra procesora. Procesory różnych firm różnią się architekturą. Procesory firmy Texas Instruments [2] są najczęściej wielordzeniowe, często jeden rdzeń (procesor ARM) jest przeznaczony dla systemu operacyjnego. Procesory te posiadają często wiele skomplikowanych interfejsów do przesyłania danych.

Odmianą koncepcję architektury procesorów DSP zastosowano w produktach Analog Devices [3]. Procesory te są jednorodzeniowe i nie mają rozbudowanych peryferiów. Nie są one projektowane z myślą o pracy pod kontrolą systemu operacyjnego, zawierają tylko dwa typy magistrali wymiany danych: LinkPort oraz 64-bitową magistralę równoległą ClusterBus. LinkPorty służą do połączenia z innym procesorem DSP lub układem FPGA. Standard przesyłania danych jest maksymalnie uproszczony (7 linii różnicowych, w tym 4 linie danych), zaprojektowany z myślą o prostej implementacji w układach FPGA. 64-bitowa magistrala równoległa ClusterBus jest specjalnie zaprojektowana do połączenia do 8 procesorów w klastery. Po połączeniu procesory współdzielą wspólną przestrzeń adresową.

Z tych powodów zdecydowano się zastosować procesory ADSP-TS201S firmy Analog Devices pracujące z częstotliwością 600 MHz.

## Schemat blokowy

Schemat blokowy platformy przedstawiono na rys. 1. Klaster trzech procesorów DSP został bezpośrednio podłączony do układu FPGA. Realizuje on połączenie pomiędzy układami I/O i klastrem DSP. Dzięki takiej architekturze, w układzie FPGA można zrealizować prawie dowolny standard przesyłania danych i dostosować go do możliwości interfejsów klastra DSP. Link ten będzie głównie wykorzystywany do jednokierunkowego przesyłania danych z układów zewnętrznych do klastra.



Rys. 1. Schemat blokowy platformy obliczeniowej  
Fig. 1. Block diagram of computing platform

Do połączenia klastra DSP z komputerem PC zdecydowano się zastosować starszą magistralę PCI zamiast nowszej PCIe. Połączenie to będzie wykorzystywane głównie do wizualizacji otrzymanych wyników na komputerze PC. Zaletą magistrali PCIe x16 jest przepustowość rzędu 4000 MB/s (PCI - 533 MB/s). Zastosowanie magistrali PCIe wymagałoby droższego układu FPGA. Ponadto, standard PCIe używa sygnałów o wyższych częstotliwościach (2,5 GHz) zwiększając wymagania wobec płytki drukowanej i połączeń elektrycznych. Standard PCI wykorzystuje sygnały o częstotliwości 66 MHz. Z tego powodu nie zastosowano wydajniejszej magistrali PCIe.

Połączenie klastra DSP z układem FPGA musi zapewniać odpowiednią przepustowość danych. Za pomocą FPGA należy zrealizować standard przesyłania danych zaimplementowany w układach DSP - LinkPort oraz magistralę ClusterBus. Połączenie płytki z układami zewnętrznymi zrealizowano poprzez układ FPGA. Do tego celu wykorzystano wolne piny układu. Zostały one wyprowadzone na płytce w postaci złącza. Ponadto, przewidziano implementację standardów RS232 i USB do komunikacji płytki z układami zewnętrznymi. Do tego celu przewidziano także trzy LinkPorty procesorów DSP. Za pomocą LinkPortów można połączyć płytke z inną, zawierającą procesory TigerSharc, np. drugim egzemplarzem klastra DSP.

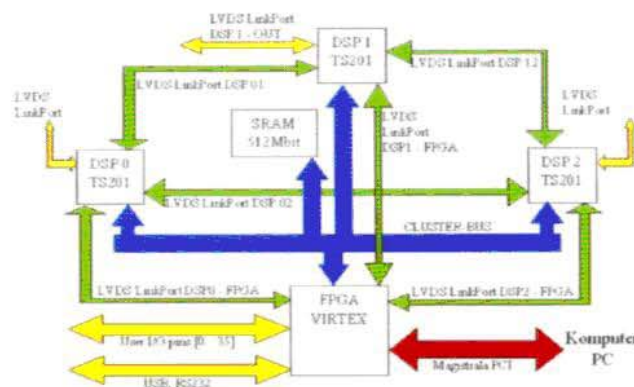
## Architektura klastra DSP

Architektura płytki zawierającej klaster DSP przedstawiono na rysunku 2. Sercem układu jest klaster trzech procesorów DSP. Są one połączone ze sobą za pomocą LinkPortów oraz specjalnej magistrali ClusterBus.

Główną magistralą łączącą układy DSP jest zaznaczona kolorem granatowym magistrala ClusterBus. Posiada 64 bity danych, pracuje z częstotliwością 125 MHz, a jej przepustowość wynosi 1 GB/s. Magistrala oprócz procesorów DSP została także podłączona do pinów FPGA umożliwiając jej późniejsze oprogramowanie i wykorzystanie także do komunikacji z układami I/O. Do magistrali tej jest podłączona także pamięć SRAM o pojemności 512 Mbitów. Każdy procesor DSP posiada cztery LinkPorty. Zostały one wykorzystane do połączenia z pozostałymi procesorami DSP i układem FPGA. Na rys. 2. zostały one oznaczone kolorem zielonym. Po jednym złączu od każdego procesora zostało wyprowadzone na zewnątrz i oznaczone kolorem żółtym. LinkPorty umożliwiają przesyłanie danych z prędkością 1 GB/s. Dzięki układom DMA transmisja ta nie zakłóca normalnej pracy procesorów.

Do układu FPGA doprowadzono także piny konfiguracyjne procesorów DSP. Dzięki temu, układ FPGA może resetować procesory DSP oraz wybierać sposób ich bootowania. Procesory można bootować z pamięci flash umieszczonej na płytce lub z LinkPortów programem dostarczonym przez układ FPGA. Dzięki temu można zmieniać program wykonywany przez poszczególne procesory w czasie normalnej pracy płytki.

Do sterowania płytą wykorzystano układ FPGA. Zastosowano układ Virtex II PRO XC2VP30 firmy Xilinx [4]. Układ ten posiada wystarczającą ilość zasobów do oprogramowania wszystkich interfejsów I/O oraz zarządzania płytą.



Rys. 2. Architektura klastra DSP  
Fig. 2. Architecture of DSP cluster

## Projekt PCB płytki

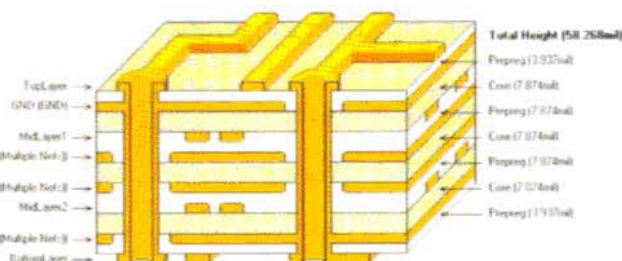
Płytkę PCB zaprojektowano w technologii 8-warstwowej, na standardowym laminacie FR4 o przenikalności elektrycznej  $\epsilon \approx 4,5$ . Aby uzyskać impedancję ścieżek względem masy równą 50  $\Omega$  ustalono ich grubość: na warstwach zewnętrznych wynosi 6 mils, na wewnętrznych wynosi 5 mils. Dodatkowo warstwy sygnałowe są oddzielone warstwami o stałym potencjale. Rozwiązanie takie minimalizuje przesłuchły pomiędzy ścieżkami na różnych warstwach. Dla sygnałów różnicowych LVDS, dodatkowym kryterium było uzyskanie impedancji różnicowej równej 100  $\Omega$ . Ustalono odległości pomiędzy sygnałami różnicowymi na warstwach zewnętrznych - 8 mils, na warstwach wewnętrznych - 6 mils. Porty wyjściowe procesorów DSP (dla sygnałów magistrali) mają programo-

walną impedancję wyjściową, co dodatkowo zwiększa tolerancję na ewentualne niedopasowanie. Na *rysunku 3* przedstawiono przekrój płyty PCB z zaznaczonymi grubościami poszczególnych warstw i ścieżek.

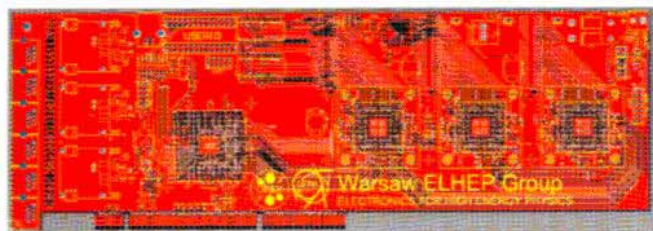
Płyta ma wymiary maksymalne, zgodne ze standardem kart rozszerzeń PCI do komputerów PC. W przypadku zamontowania radiatorów i wentylatorów do procesorów DSP szerokość płyty może być większa niż jeden slot w komputerze PC. Płyta może być także używana w trybie standalone, bez podłączania do komputera PC.

Na *rysunku 4*, przedstawiono widok górnej warstwy płyty. Umieszczono na niej po kolei (od lewej): złącza LinkPort w standardzie RJ45, stabilizatory impulsowe, układy konfiguracji FPGA oraz układ FPGA. Nad układem umieszczono porty USERIO, RS232 oraz USB. Pod układem FPGA umieszczono złącze PCI. Na prawo od złącza USERIO znajdują się pamięci SDRAM 512 Mbit oraz trzy procesory TigerSharc. Nad nimi znajdują się układy dystrybucji zegara, pamięć Flash do bootowania DSP, stabilizator 1,2 V - 10 A do zasilania procesorów, bufory i złącza JTAG. W prawym górnym rogu znajduje się złącze do zasilania płyty do pracy w trybie standalone. Opisany wcześniej rozkład elementów na płycie zapewnia możliwie najkrótsze połączenia.

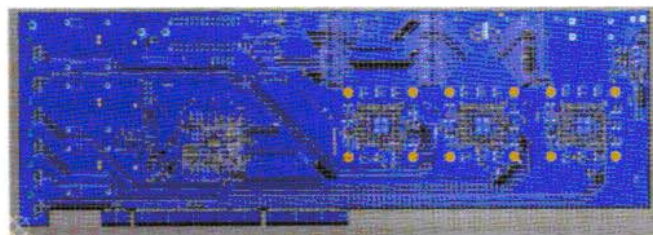
Wyprowadzenie układu FPGA zrealizowano na 4 warstwach sygnałowych. Układy DSP i FPGA mają odpowiednio poprowadzone piny, co znacząco ułatwia proces projektowania ścieżek i zmniejsza ich długość. Łączna długość ścieżek na płycie przekracza 100 m.



Rys. 3. Parametry warstw na płycie PCB  
Fig. 3. PCB layers parameters



Rys. 4. Widok górnej warstwy płyty PCB  
Fig. 4. Look on the top layer of PCB board



Rys. 5. Widok dolnej warstwy płyty PCB  
Fig. 5. Look on the bottom layer of PCB board

Częstotliwości większości sygnałów przesyłanych wewnątrz płyty nie przekraczają 100 MHz. Powyżej tej częstotliwości pracuje magistrala ClusterBus - 125 MHz. Z częstotliwością 600 MHz pracują LinkPorty. Niewielkie częstotliwości sygnałów przesyłanych na płycie ułatwiają proces projektowania ścieżek i umożliwiają większą gęstość upakowania elementów.

Na warstwie dolnej, przedstawionej na *rysunku 5*, zostały umieszczone elementy bierne, kondensatory filtrujące zasilanie oraz układy zabezpieczające interfejsy zewnętrzne przed wyładowaniami elektrostatycznymi. Na tej warstwie znajdują się także rezystory konfigurujące podstawowe parametry pracy procesorów DSP i układu FPGA.

## Zasilanie płyty

Płyta może być zasilana na 2 sposoby: z magistrali PCI lub z zewnętrznego źródła zasilania 5 V. W przypadku zasilania z magistrali PCI płyta może maksymalnie pobierać: dla napięcia 3,3 V - 1,2 A oraz dla napięcia 5 V - 4,6 A. Prąd pobierany przez płytę jest zbliżony do wartości maksymalnych standardu PCI.

W przypadku zasilania z pojedynczego, zewnętrznego źródła 5 V pobierany prąd nie powinien przekroczyć 5,5 A. Ze względu na dużą moc rozpraszaną, w układach DSP przewidziano możliwość montażu radiatorów wraz z wentylatorami. Zasilanie z pojedynczego napięcia 5 V jest konwertowane za pomocą przetwornic DC-DC na 5 różnych napięć:

- 1,2 V (max. 10 A) - zasilanie rdzeni procesorów DSP. Pobór prądu jest zależny od programu wykonywanego przez DSP,
- 1,55 V (max. 2 A) - zasilanie rdzenia FPGA oraz pamięci DRAM znajdującej się wewnątrz procesorów DSP,
- 2,5 V (max. 1,5 A) - zasilanie portów IO w DSP oraz FPGA,
- 3,3 V (max. 1 A) - zasilanie portów IO w FPGA (PCI, USB, RS232) oraz zewnętrznej pamięci SDRAM,
- 1,8 V (max. 10 mA) - zasilanie układów konfiguracyjnych FPGA.

Tak duże wartości prądów, szczególnie dla wartości napięcia 1,2 V, wymagały odpowiedniego poprowadzenia ścieżek na płycie PCB. Powstające spadki napięć mogłyby zakłócać pracę układów DSP, a w skrajnych przypadkach uszkodzić płytę.

## Podsumowanie

Płyty - klastry procesorów DSP nie są układami produkowanymi i sprzedawanymi wielkoseryjnie. Są one projektowane z myślą o wąskiej, wyspecjalizowanej grupie klientów. Opisany projekt cechuje prosta konstrukcja oraz duża moc obliczeniowa.

Projekt klastra procesorów DSP jest bardzo uniwersalny i może znaleźć zastosowanie w wielu dziedzinach nauki. Bardzo duża moc obliczeniowa klastra umożliwia zaimplementowanie skomplikowanych algorytmów. Zastosowanie układu FPGA do zarządzania płytą pozwala na dostosowanie płyty do potrzeb użytkownika oraz oprogramowanie wielu standardów wymiany danych. Prosta architektura płyty oraz nieskomplikowane interfejsy wymiany danych między procesorami DSP umożliwiają szybkie stworzenie oprogramowania i przeprowadzenie obliczeń.

## Literatura

- [1] Strona WWW firmy BDTI [http://www.bdti.com/bdti\\_overview.html](http://www.bdti.com/bdti_overview.html).
- [2] Strona WWW firmy Texas Instruments <http://www.ti.com/>.
- [3] Strona WWW firmy Analog Devices <http://www.analog.com>.
- [4] Strona WWW firmy Xilinx <http://www.xilinx.com>.