

ISSN 1816-0301 (Print)
ISSN 2617-6963 (Online)

УДК 004.052.32+681.518.5
<https://doi.org/10.37661/1816-0301-2020-17-2-71-85>

Поступила в редакцию 30.10.2019
Received 30.10.2019

Принята к публикации 03.02.2020
Accepted 03.02.2020

Схема коррекции сигналов для комбинационных устройств автоматики на основе логического дополнения с контролем вычислений по паритету

В. В. Сапожников¹, Вл. В. Сапожников¹, Д. В. Ефанов²✉

¹Петербургский государственный университет путей сообщения
Императора Александра I, Санкт-Петербург, Россия

²ООО «ЛокоТех-Сигнал», Российский университет транспорта, Москва, Россия

✉E-mail: TrES-4b@yandex.ru

Аннотация. Предложена более простая структура системы с коррекцией ошибок в вычислениях, чем известные структуры, основанные на дублировании и троировании блоков с мажоритарным принципом выбора значений сигналов. Новую отказоустойчивую структуру целесообразно использовать для устройств автоматики с комбинационной логикой. При синтезе отказоустойчивой структуры применяется метод паритета для установления факта возникновения неисправности в контролируемом объекте и метод логического дополнения для определения неправильно вычисленных выходных функций и формирования сигналов для их коррекции. Приведена структурная схема системы с коррекцией ошибок и дано ее описание. Представлен алгоритм синтеза контрольного оборудования с минимизацией сложности его технической реализации. Результаты экспериментов с контрольными комбинационными схемами подтверждают высокую эффективность применения предложенной структуры системы с коррекцией ошибок.

Ключевые слова: комбинационные устройства автоматики, системы с обнаружением неисправностей, системы с коррекцией ошибок в вычислениях, отказоустойчивые системы, дублирование, троирование, мажоритарный принцип контроля, метод логического дополнения, код паритета

Для цитирования. Сапожников, В. В. Схема коррекции сигналов для комбинационных устройств автоматики на основе логического дополнения с контролем вычислений по паритету / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов // Информатика. – 2020. – Т. 17, № 2. – С. 71–85. <https://doi.org/10.37661/1816-0301-2020-17-2-71-85>

Signal correction for combinational automation devices on the basis of Boolean complement with control of calculations by parity

Valery V. Sapozhnikov¹, Vladimir V. Sapozhnikov¹, Dmitry V. Efanov²✉

¹Emperor Alexander I St. Petersburg State Transport University, Saint Petersburg, Russia

²"LocoTech-Signal" LLC, Russian University of Transport, Moscow, Russia

✉E-mail: TrES-4b@yandex.ru

Abstract. Simpler than known structure of the system with error correction in calculations is proposed based on duplication and triplication of blocks with majority principle of choosing the values of signals. It is advisable to use the new fault-tolerant structure for automation devices with combinational logic. In fault-tolerant structure synthesis, the parity method is used to establish the fact of a fault in the main logic unit and the logical complement method is used to determine incorrectly calculated output functions and to generate signals for their correction. The method also allows to adjust the values of incorrectly calculated functions. Structural diagram

and description of error correction system are given. The synthesis algorithm of control equipment is described with minimization of the technical implementation complexity. The experiment results with control combinational circuits are given, confirming the high efficiency of proposed system structure with error correction.

Keywords: combinational automation devices, fault-detection systems, systems with error correction in calculations, fault-tolerant systems, failure redundancy, triplication, majority control principle, Boolean complement method, parity code

For citation. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. Signal correction for combinational automation devices on the basis of Boolean complement with control of calculations by parity. *Informatics*, 2020, vol. 17, no. 2, pp. 71–85 (in Russian). <https://doi.org/10.37661/1816-0301-2020-17-2-71-85>

Введение. При построении систем автоматического управления в виде дискретных устройств для повышения их надежности используются структуры, в которых либо обеспечивается контроль правильности функционирования системы (правильности выполнения заданных алгоритмов и вычислений), либо достигается свойство нечувствительности к отказам внутренних элементов системы, при возникновении которых сохраняется правильность функционирования [1–5]. Системы с контролем в процессе функционирования называют также системами с обнаружением неисправностей, а системы, нечувствительные к отказам, – отказоустойчивыми системами, или системами с коррекцией неверно вычисленных сигналов. Для систем первого и второго вида указывается множество элементов, относительно отказов которых выполняются обозначенные свойства систем.

При построении обоих видов систем широко применяются методы избыточного кодирования информации, передаваемой как между блоками внутри систем управления, так и между системой управления и внешними объектами управления.

Примером системы с обнаружением неисправностей может служить часто применяемая структура дублирования одинаковых комплектов устройства [6, 7]. При дублировании используются свойства кодов с повторением, а именно возможность обнаружения ими любых видов искажений в информационных разрядах кодовых слов [8]. Структурная схема системы дублирования включает в себя блоки основной и контрольной логики, а также самопроверяемый компаратор [9]. Блок контрольной логики – это, как правило, копия блока основной логики либо устройство, синтезированное по иным принципам, но реализующим те же функции. Компаратор же является устройством сравнения значений на одноименных выходах блоков основной и контрольной логики. В практических реализациях структурная избыточность системы дублирования оценивается величиной, более чем втрое превышающей сложность реализации блока основной логики [10].

Отказоустойчивые системы имеют гораздо большую сложность технической реализации, чем системы с обнаружением неисправностей. На практике используются структуры с тройной избыточностью, в которых устанавливаются три копии исходного объекта, а выходные сигналы формируются при помощи мажоритарных схем коррекции [11–17]. Применяются также системы, основанные на принципе четырехкратной избыточности: в таких системах один комплект, реализованный по принципу дублирования, находится под нагрузкой, а второй находится в резерве, на который переключается нагрузка при зафиксированном отказе первого [18]. Известны и другие модификации отказоустойчивых структур дискретных систем.

В настоящей статье предлагается новая отказоустойчивая структура дискретных устройств, позволяющая получать системы с уменьшенной структурной избыточностью по сравнению с традиционными структурами, основанными на многократном резервировании исходных объектов.

Известные отказоустойчивые структуры. Распространенной является отказоустойчивая структура системы с коррекцией ошибок по мажоритарному принципу (*TMR*-системы, или *majority correction system*). Для достижения свойства отказоустойчивости относительно неисправностей в данной структуре используются три идентичных устройства $F(x)$, вычисляющих на своих выходах одинаковые логические сигналы на одинаковых входных воздействиях. Для сравнения вычисленных значений сигналов на одноименных выходах различных устройств используются модули сравнения, функционирующие по принципу голосования «два из трех» (мажоритарные элементы). Часто мажоритарные элементы реализуются в виде устройств, со-

храняющих работоспособность при одиночном отказе любого внутреннего компонента [2, 18]. Тройная избыточность структуры необходима для наделения ее свойством нечувствительности к проявлениям неисправностей в исходном устройстве в виде искажений сигналов на его выходах. Использование такой структуры на практике приводит к существенному увеличению сложности технической реализации конечного устройства. Кроме того, приведенная структура имеет недостаток, связанный с невозможностью идентификации неверно функционирующего устройства без введения дополнительного контроля каждого блока.

При разработке структуры с мажоритарным принципом коррекции могут иметь место несколько вариантов:

- исходное устройство $F(x)$ дается разработчику в неизменяемом виде, а его задача состоит в разработке отказоустойчивой системы, при этом разработчик может пользоваться точными копиями данного устройства;
- имеется возможность оптимизации двух дополнительных копий устройства $F(x)$ в процессе разработки отказоустойчивой системы;
- возможна оптимизация самого устройства $F(x)$ и его копий.

Очевидно, что из трех вариантов наименьшую структурную избыточность будет давать последний. Для типовых отказоустойчивых структур, таким образом, имеет смысл введение понятия *структуры с минимальной избыточностью*, которая будет для выбранного варианта внесения избыточности давать наименьшую сложность технической реализации.

Для создания отказоустойчивой структуры может быть применена структурная схема, включающая в себя вместо трех копий исходного объекта только две (рис. 1). При этом одна копия (или же оба комплекта устройств $F(x)$) снабжается схемой контроля по какому-либо диагностическому признаку. Известны варианты реализации подобных схем при нахождении обоих комплектов под нагрузкой и нахождении одного комплекта под нагрузкой, а второго – в горячем резерве [2]. Для случая отказоустойчивых комбинационных схем целесообразно использовать вариант с постоянно нагруженными комплектами $F(x)$ и контролем вычислений одного из них.

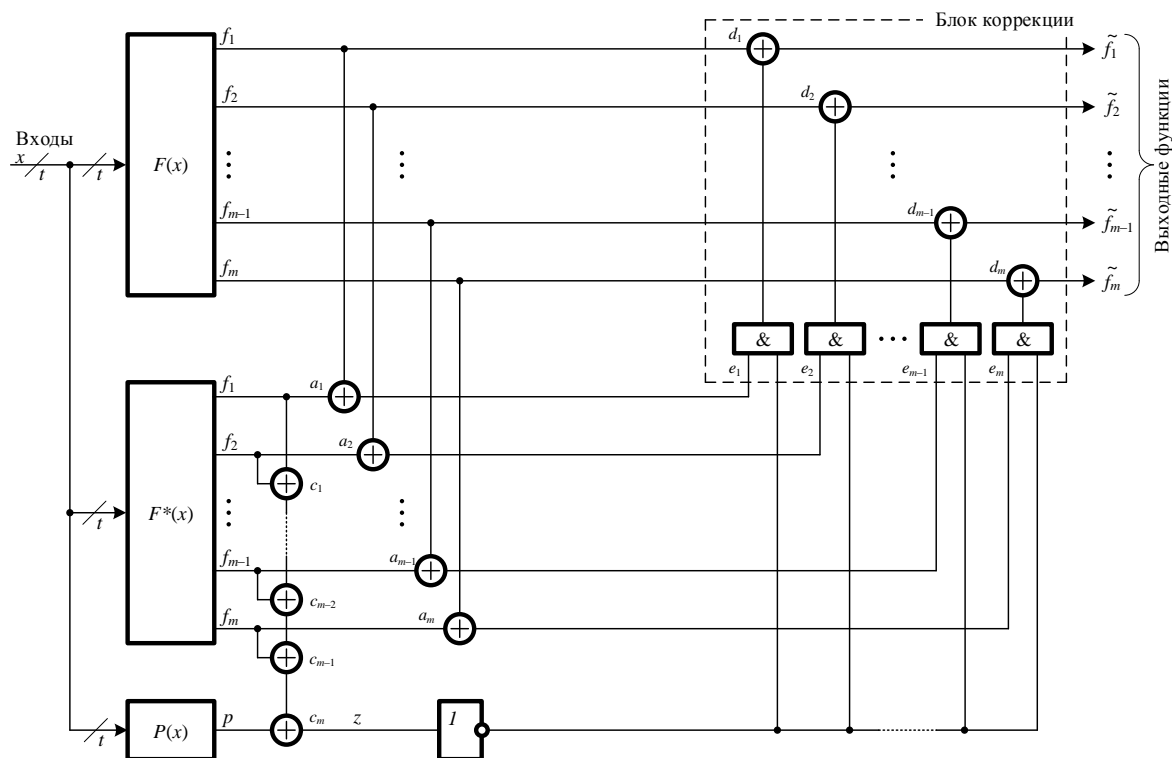


Рис. 1. Отказоустойчивая структура «дублирование с коррекцией»

Например, на рис. 1 показана структура системы дублирования с коррекцией и контролем вычислений по паритету (duplication correction system with parity checking). Более кратко будем называть ее структурой «дублирование с коррекцией».

Отметим, что если отходить от мажоритарного принципа реализации отказоустойчивой структуры, то требуется решить следующие три задачи. Первая и основная задача состоит в необходимости восстановления правильных значений искаженных выходных функций основного устройства $F(x)$. В структуру «дублирование с коррекцией» для решения этой задачи вводится блок коррекции (БК), включающий в себя m элементов сложения по модулю два (XOR) $d_1, d_2, \dots, d_{m-1}, d_m$, выходы которых соединяются с выходами всего устройства, а входы – с выходами основного блока $F(x)$ и выходами элементов логического умножения (AND). Последние непосредственно формируют логические сигналы, восстанавливающие правильные значения искаженных значений сигналов на выходах основного блока. Ошибки в вычислениях, возникающие в результате неисправностей элементов БК, не исправляются, это касается и выходных элементов в мажоритарных структурах.

Вторая задача заключается в необходимости определения тех выходов основного блока $F(x)$, на которых в результате неисправностей элементов в его структуре реализуются ошибочные функции. С этой целью в структуру (см. рис. 1) вводится второй блок $F^*(x)$ как копия основного блока и элементы сложения по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$, на которых сравниваются сигналы с одноименных выходов блоков $F(x)$ и $F^*(x)$. Активные сигналы, возникающие на выходах этих элементов, свидетельствуют о наличии неисправностей в одном из блоков.

Коррекция логических сигналов в БК должна осуществляться только в случае, когда неисправен основной блок $F(x)$. Фиксация факта отказа этого блока является третьей задачей, которая в структуре на рис. 1 решается путем контроля исправности блока $F^*(x)$ при помощи схемы паритета (блок $P(x)$ и элементы сложения по модулю два $c_1, c_2, \dots, c_{m-1}, c_m$).

Выходная функция f_i корректируется только в том случае, когда функция $z = 0$ (блок $F^*(x)$ исправен) и на выходе элемента сложения по модулю два a_i присутствует сигнал 1.

Представленное на рис. 1 обустройство схемы коррекции во многих случаях позволяет синтезировать более простые отказоустойчивые дискретные устройства, чем по структурной схеме с мажоритарной коррекцией. Следует отметить, что при построении структуры, приведенной на рис. 1, как и в схеме с тройной избыточностью, возможны варианты с оптимизацией второго устройства $F(x)$, а также обоих устройств, что еще больше уменьшит сложность технической реализации структуры «дублирование с коррекцией». В последнем случае будет получена структура дублирования с минимальной избыточностью.

Поставим следующую задачу: покажем принципиальную возможность построения такой отказоустойчивой структуры, которая в своем составе имеет только одно исходное устройство $F(x)$, что позволяет для определенных схем уменьшить сложность технической реализации по сравнению со структурами дублирования и с мажоритарной коррекцией сигналов, имеющих минимальную избыточность.

Новая отказоустойчивая структура. Существенным недостатком мажоритарной отказоустойчивой структуры и структуры «дублирование с коррекцией» является то, что при их построении возможно получение только одного варианта структуры (если не учитывать варианты, связанные с оптимизацией всех или только некоторых блоков структур). При этом никак не учитываются конкретные особенности блока $F(x)$, связанные с определенными характеристиками булевых функций $f_1, f_2, \dots, f_{m-1}, f_m$. Как показано в работах [19–21] на примере построения схем с контролем в процессе функционирования, возможность учета указанных особенностей появляется при использовании в процессе построения дискретных устройств принципа логического дополнения. В этом случае при применении одной и той же типовой структуры можно реализовать несколько вариантов с различной сложностью, из которых может быть выбран вариант с минимальной сложностью.

На рис. 2 показана структура системы коррекции на основе логического дополнения с контролем вычислений по паритету (parity correction system based on Boolean complement). Основной блок $F(x)$, вычисляющий систему булевых функций $f_1, f_2, \dots, f_{m-1}, f_m$ от t входных переменных, является исходным комбинационным устройством автоматики. Именно для него

строится отказоустойчивая структура. Восстановление искаженных значений функций $f_1, f_2, \dots, f_{m-1}, f_m$, как и в структуре на рис. 1, осуществляется при помощи аналогичного блока коррекции. Задача установления факта возникновения неисправности в блоке $F(x)$ решается при помощи схемы паритета (блок $P(x)$ и элементы сложения по модулю два $c_1, c_2, \dots, c_{m-1}, c_m$), которая в отличие от схемы на рис. 1 контролирует значения сигналов непосредственно на выходах основного блока.

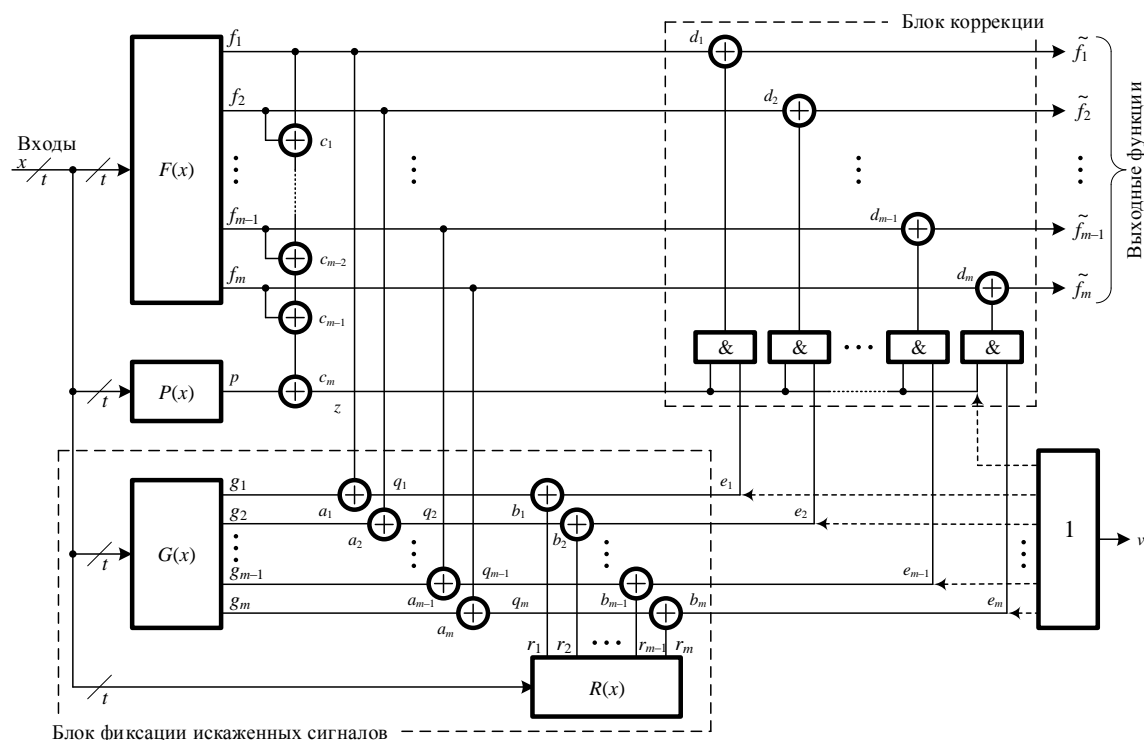


Рис. 2. Отказоустойчивая структура на основе логического дополнения с контролем вычислений по паритету

Принципиально по-новому решается задача выявления тех выходов блока $F(x)$, на которых имеет место искажение правильного сигнала. Для этого в структуре используется блок фиксации искаженных сигналов (ФИС). В него входит блок логического дополнения $G(x)$, на выходах которого вычисляются специальные функции дополнения $g_1, g_2, \dots, g_{m-1}, g_m$. Последние сравниваются с одноименными функциями выходов блока $F(x)$ при помощи элементов сложения по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$, на выходах которых вычисляются функции сравнения $q_1, q_2, \dots, q_{m-1}, q_m$. Блок ФИС включает в себя также блок коррекции функций сравнения $R(x)$, вычисляющий функции $r_1, r_2, \dots, r_{m-1}, r_m$, которые выбираются с таким расчетом, чтобы на выходе блока ФИС в исправной структуре были реализованы функции

$$\begin{aligned} e_1 &= f_1 \oplus g_1 \oplus r_1 = 0, \\ e_2 &= f_2 \oplus g_2 \oplus r_2 = 0, \\ &\dots \\ e_m &= f_m \oplus g_m \oplus r_m = 0. \end{aligned} \quad (1)$$

Если в результате неисправности в блоке $F(x)$ искажается значение функции f_i , то, как следует из (1), $e_i = 1$ и активизируются вход и выход соответствующего элемента логического умножения (при этом на выходе схемы паритета сигнал $z = 1$). Осуществляется исправление неправильного значения функции f_i .

При синтезе блока ФИС необходимо определить функции $g_1, g_2, \dots, g_{m-1}, g_m$ и $r_1, r_2, \dots, r_{m-1}, r_m$. Из выражения (1) следует, что $g_i = f_i \oplus r_i$. Каждая функция r_i может быть выбрана произвольным образом независимо от того, какими являются функции f_i и g_i . От выбранного варианта функции r_i зависит сложность реализации функции g_i , при этом никакой зависимости между функциями g_i и r_i с различными индексами i не существует. В связи с этим задача получения структуры блока ФИС с наименьшей сложностью может быть решена следующим образом. Для каждой пары функций (g_i, r_i) путем подбора функции r_i находится вариант с наименьшей сложностью обеих функций. Затем блоки $G(x)$ и $R(x)$ описываются наборами соответствующих функций и осуществляется оптимизация структуры каждого блока в отдельности (возможна и совместная оптимизация обоих блоков).

Очевидно, что при реализации отказоустойчивой структуры на рис. 2 для любого блока $F(x)$ существует много вариантов набора функций $\{r_1, r_2, \dots, r_{m-1}, r_m\}$, при которых свойство отказоустойчивости достигается. Поэтому возможен выбор варианта, при котором обеспечивается минимальная сложность блока ФИС.

Необходимо отметить особый вариант набора функций $\{r_1, r_2, \dots, r_{m-1}, r_m\}$, в котором каждая функция приравнивается к какой-либо (любой) входной переменной $x_1, x_2, \dots, x_{t-1}, x_t$. В этом случае реализация блока $R(x)$ не требует аппаратных затрат.

Неисправности элементов схемы паритета, при которых устанавливается значение функции $z = 1$, не приводят к искажению правильных значений функций $f_1, f_2, \dots, f_{m-1}, f_m$, так как в это время блок ФИС исправен и все функции $e_i = 0$. И наоборот, неисправности элементов блока ФИС, которые вызывают появление значений функций $e_1 = 1$, также не приводят к изменению указанных функций, так как в этом случае сигнал $z = 0$. Элементы БК следует реализовать в виде высоконадежных устройств с резервированием внутренних компонентов. Отметим, что структура на рис. 2 может быть дополнена элементом, на выходе которого реализуется функция $v = z \vee e_1 \vee e_2 \vee \dots \vee e_m$ и формируется сигнал о наличии неисправности в схеме паритета и блока ФИС при исправном основном блоке $F(x)$.

Корректирующая способность структуры на рис. 1 ограничивается тем, что при помощи паритета обнаруживаются только те неисправности в блоке $F(x)$, которые искажают значения сигналов на нечетном числе выходов блока. Для улучшения корректирующей способности необходимо повышать обнаруживающую способность схемы паритета либо за счет изменения внутренней структуры блока $F(x)$ [22] (если это возможно), либо путем организации контроля для отдельных групп независимых выходов блока [23].

Построение блока фиксации искаженных сигналов. При построении блока ФИС необходимо провести взаимосвязанный синтез блоков $G(x)$ и $R(x)$. Как отмечено выше, возможно большое число вариантов проведения этого синтеза, каждый из которых связан с выбором конкретных функций в наборе $\{r_1, r_2, \dots, r_{m-1}, r_m\}$. Далее рассмотрим случай, в котором этот выбор ограничен возможностью приравнивания каждой функции r_i какой-либо входной переменной. При этом задача построения блока ФИС сводится к задаче синтеза блока логического дополнения $G(x)$.

Алгоритм синтеза блока $G(x)$:

1. Для каждой функции f_i ($i \in \{1, 2, \dots, m\}$) осуществляем поиск переменной x_j , которая позволяет получить наиболее простое с точки зрения технической реализации выражение для функции $g_i = f_i \oplus x_j$.
2. Полагаем $i = 1$.
3. Полагаем $j = 1$.
4. Выбираем функцию f_i и вычисляем для нее вариант функции дополнения g_i с коррекцией по переменной x_j на всех входных наборах $\langle x_1 x_{t-1} \dots x_2 x_1 \rangle$.
5. Минимизируем полученную функцию g_i и записываем ее в память.
6. Полагаем $j := j + 1$.
7. Проверяем условие достижения конечной входной переменной $x_t : j > t$? Если нет, то возвращаемся к п. 4 данного алгоритма, в противном случае переходим к п. 8.
8. Полагаем $i := i + 1$.

9. Проверяем условие достижения конечной функции $f_m : i > m$? Если нет, то возвращаемся к п. 3 данного алгоритма, в противном случае переходим к п. 10.

10. Для каждой функции g_i определяем ту переменную $(x_j)_{\min}^i$, коррекция по которой дает наименьшую сложность реализации в выбранном элементном базисе.

11. Синтезируем блок реализации системы функций $g_i (i \in \{1, 2, \dots, m\})$.

12. Структурную схему, полученную на предыдущем этапе, оптимизируем, что и дает конечную структурную схему блока $G(x)$.

Рассмотрим работу данного алгоритма на примере синтеза отказоустойчивой структуры для произвольного комбинационного устройства автоматики.

Пример синтеза отказоустойчивой структуры. Построим схему контроля и коррекции для комбинационного устройства, реализующего систему, которая состоит из шести булевых функций от четырех переменных. Работа данного устройства описывается таблицей истинности (табл. 1).

Будем рассматривать задачу синтеза устройства $F(x)$ на логических элементах. При этом на структуру устройства никакие ограничения не накладываются.

Неисправности во внутренней структуре устройства $F(x)$ вызывают возникновение ошибок на внутренних линиях схемы, а затем часть из них транслируется на выходы самого устройства $f_1 \div f_6$, вызывая в информационном векторе $\langle f_1 f_2 f_3 f_4 f_5 f_6 \rangle$ ошибку определенной кратности. Синтезируемая схема контроля и коррекции предназначена для маскировки этой ошибки. Отсюда следует, что на множество неисправностей, допустимых в устройстве $F(x)$, никаких ограничений не накладывается. Таким образом, подсхема контроля при неисправности, которая проявилась хотя бы на одном из выходов устройства $F(x)$, должна зафиксировать наличие ошибки, а подсхема коррекции – использовать сигналы от подсхемы контроля и исправить неверные сигналы на выходах $f_1 \div f_6$.

Пользуясь предложенным алгоритмом, вычислим функции дополнения. Эти функции представлены в табл. 1, там же приведена функция паритета.

Таблица 1

Описание функций, реализуемых на выходах схемы коррекции

$x_1 x_2 x_3 x_4$	$f_1 f_2 f_3 f_4 f_5 f_6$	p	$g_1^j = f_1 \oplus x_j$	$g_2^j = f_2 \oplus x_j$	$g_3^j = f_3 \oplus x_j$	$g_4^j = f_4 \oplus x_j$	$g_5^j = f_5 \oplus x_j$	$g_6^j = f_6 \oplus x_j$
			$g_1^1 g_1^2 g_1^3 g_1^4$	$g_2^1 g_2^2 g_2^3 g_2^4$	$g_3^1 g_3^2 g_3^3 g_3^4$	$g_4^1 g_4^2 g_4^3 g_4^4$	$g_5^1 g_5^2 g_5^3 g_5^4$	$g_6^1 g_6^2 g_6^3 g_6^4$
0000	010010	0	0000	1111	0000	0000	1111	0000
0001	101101	0	1110	0001	1110	1110	0001	1110
0010	101001	1	1101	0010	1101	0010	0010	1101
0011	010110	1	0011	1100	0011	1100	1100	0011
0100	101001	1	1011	0100	1011	0100	0100	1011
0101	000010	1	0101	0101	0101	0101	1010	0101
0110	010011	1	0110	1001	0110	0110	1001	1001
0111	001100	0	0111	0111	1000	1000	0111	0111
1000	101000	0	0111	1000	0111	1000	1000	1000
1001	111110	1	0110	0110	0110	0110	0110	1001
1010	110111	1	0101	0101	1010	0101	0101	0101
1011	000010	1	1011	1011	1011	1011	0100	1011
1100	010011	1	1100	0011	1100	1100	0011	0011
1101	100100	0	0010	1101	1101	0010	1101	1101
1110	100100	0	0001	1110	1110	0001	1110	1110
1111	011010	1	1111	0000	0000	1111	0000	1111

Для оценки сложности реализации функций, вычисляемых на выходах блоков схемы коррекции, будем использовать показатель L – число внутренних входов логических элементов схемы без учета инверсий на входах [24].

Определим сложность реализации устройства $F(x)$, функции которого, полученные путем минимизации каждой из функций, имеют вид

$$\begin{aligned} f_1 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4}; \\ f_2 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ f_3 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_2 x_3 x_4}; \\ f_4 &= \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4}; \\ f_5 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_3 x_4}; \\ f_6 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4}. \end{aligned}$$

Сложность реализации устройства $F(x)$ определяется выражением $L_{F(x)} = 152$.

Из табл. 1 следует, что функция, реализуемая на выходе блока $P(x)$, имеет вид

$$p = \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3}.$$

Сложность реализации такой функции $L_{P(x)} = 22$.

Определим функции логического дополнения. Вычислим все варианты функций $g_1^j = f_1 \oplus x_j$, $g_2^j = f_2 \oplus x_j$, $g_3^j = f_3 \oplus x_j$, $g_4^j = f_4 \oplus x_j$, $g_5^j = f_5 \oplus x_j$ и $g_6^j = f_6 \oplus x_j$. Среди каждой группы одноименных функций выберем функцию с наименьшей сложностью реализации (см. табл. 1).

Приведем наиболее простые функции для реализации на выходе блока $G(x)$:

$$\begin{aligned} g_1^4 &= \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3} \vee \overline{x_2 x_3} \vee \overline{x_3 x_4}; \\ g_2^1 &= \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ g_3^3 &= \overline{x_1 x_2 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_2 x_4} \vee \overline{x_1 x_2}; \\ g_4^4 &= \overline{x_1 x_2 x_3 x_4} \vee \overline{x_1 x_3}; \\ g_5^1 &= \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_2 x_3 x_4}; \\ g_6^2 &= \overline{x_1 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_2 x_4}. \end{aligned}$$

Использование полученных выше функций позволяет синтезировать блок дополнения со сложностью реализации $L_{G(x)} = 88$.

Учитывая сложности реализации элементов сложения по модулю два и логического умножения, входящих в схему паритета и блока ФИС ($L_{XOR} = 6$ и $L_{AND} = 2$), получим значение сложности технической реализации отказоустойчивой структуры на основе логического дополнения:

$$L_{PC} = L_{F(x)} + L_{G(x)} + L_{P(x)} + 4 \cdot 6L_{XOR} + 6L_{AND} = 152 + 88 + 22 + 24 \cdot 6 + 6 \cdot 2 = 418.$$

Сложность полученной структуры в 3,01 раза превышает сложность реализации самого блока $F(x)$.

Сравним полученный результат со сложностью традиционной отказоустойчивой структуры «дублирование с коррекцией» и структурой на основе использования мажоритарного принципа «два из трех».

Сложность структуры «дублирование с коррекцией» определяется величиной

$$L_D = 2L_{F(x)} + L_{P(x)} + 3 \cdot 6 \cdot L_{XOR} + 6L_{AND} + L_{INV} = 2 \cdot 152 + 22 + 18 \cdot 6 + 6 \cdot 2 + 1 = 447.$$

Найдем отношение величин L_{PC} и L_D :

$$\delta = \frac{L_{PC}}{L_D} \cdot 100 \% = \frac{418}{447} \cdot 100 \% \approx 93,51 \%.$$

Из данного результата следует, что система, полученная на основе логического дополнения, для рассматриваемого комбинационного устройства является более простой, чем структура «дублирование с коррекцией».

Сравним величину L_{PC} с величиной сложности реализации схемы коррекции по принципу «два из трех» L_{MC} (в ней использованы мажоритарные элементы, сложность которых оценивается величиной $L_{\geq 2} = 9$):

$$L_{MC} = 3L_{F(x)} + 5L_{\geq 2} = 3 \cdot 152 + 6 \cdot 9 = 510.$$

Найдем отношение величин L_{PC} и L_{MC} :

$$\mu = \frac{L_{PC}}{L_{MC}} \cdot 100 \% = \frac{418}{510} \cdot 100 \% \approx 81,96 \%.$$

Полученный результат свидетельствует о том, что выигрыш в сложности технической реализации структуры коррекции на основе логического дополнения перед структурой мажоритарной коррекции составляет практически 20 %.

Следует отметить, что структурные схемы блоков $F(x)$ и $G(x)$ могут быть оптимизированы за счет использования общих подсхем для реализации различных функций. Анализ уравнений, описывающих блоки $F(x)$ и $G(x)$, позволяет получить следующие более сжатые их описания (выделены только совпадающие конъюнкции):

– для функций блока $F(x)$

$$f_1 = (\overline{x_1 x_2 x_3 x_4} = a) \vee x_1 \overline{x_2 x_3} \vee x_1 \overline{x_3 x_4} \vee (x_1 x_3 \overline{x_4} = b) \vee \overline{x_2 x_3 x_4} \vee (\overline{x_2 x_3 x_4} = c);$$

$$f_2 = (\overline{x_1 x_2 x_3 x_4} = d) \vee (\overline{x_1 x_2 x_3 x_4} = e) \vee (\overline{x_1 x_2 x_3 x_4} = g) \vee \\ \vee (x_1 x_2 \overline{x_3 x_4} = h) \vee x_1 \overline{x_2 x_3 x_4} \vee x_1 x_2 \overline{x_3 x_4} \vee x_1 \overline{x_2 x_3 x_4};$$

$$f_3 = a \vee x_1 \overline{x_2 x_3 x_4} \vee x_2 \overline{x_3 x_4} \vee x_1 \overline{x_2 x_3} \vee x_2 \overline{x_3 x_4};$$

$$f_4 = \overline{x_1 x_2 x_4} \vee \overline{x_1 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee b;$$

$$f_5 = d \vee e \vee \overline{x_1 x_2 x_3 x_4} \vee g \vee h \vee x_1 \overline{x_2 x_4} \vee x_1 \overline{x_2 x_3} \vee x_1 x_3 x_4;$$

$$f_6 = \overline{x_1 x_2 x_3 x_4} \vee \overline{x_2 x_3 x_4} \vee \overline{x_1 x_3 x_4} \vee c;$$

– для функций блока $G(x)$

$$g_1^4 = \overline{x_1 x_2 x_3} \vee x_1 \overline{x_2 x_4} \vee (x_1 x_3 = i) \vee \overline{x_2 x_3} \vee x_3 x_4;$$

$$g_2^1 = (\overline{x_2 x_3 x_4} = j) \vee \overline{x_2 x_3 x_4} \vee (x_2 x_3 \overline{x_4} = k) \vee x_1 \overline{x_2 x_3 x_4};$$

$$g_3^3 = x_1 x_2 \bar{x}_4 \vee k \vee \bar{x}_2 x_4 \vee x_1 \bar{x}_2;$$

$$g_4^4 = \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee i;$$

$$g_5^1 = j \vee x_2 \bar{x}_3 x_4 \vee k \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4;$$

$$g_6^2 = \bar{x}_1 \bar{x}_3 \bar{x}_4 \vee \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_3 \bar{x}_4 \vee x_2 x_4.$$

Сложности реализации блоков $F(x)$ и $G(x)$, таким образом, уменьшаются до величин $L_{F(x)} = 133$ и $L_{G(x)} = 83$. Это вызывает и уменьшение сложности полных схем коррекции до величин $L_{PC} = 394$ и $L_D = 409$. По-прежнему наилучший результат дает предложенная авторами схема коррекции. В табл. 2 приведены рассчитанные показатели сложности технической реализации отказоустойчивых структур всех трех видов и реализаций. Видно, что применение предложенной отказоустойчивой структуры позволяет получать более простые устройства, чем при использовании известных структур.

Таблица 2

Показатели сложности технической реализации отказоустойчивых структур при различных способах реализации блоков основной и дополнительной логики

Способ реализации	L_{MC}	L_D	L_{PC}	$\mu, \%$	$\delta, \%$
Без оптимизации структур компонентов	510	447	418	81,96	93,51
С использованием оригинального блока $F(x)$ и оптимизированными остальными блоками	472	428	413	87,5	96,5
С оптимизацией структур всех компонентов	453	409	394	86,98	96,33

Процедура поиска наилучшего решения по оптимизации структур блоков $F(x)$ и $G(x)$ достаточно затруднена при работе вручную. Поэтому целесообразно прибегнуть к использованию известных средств оптимизации, например SIS Berkeley (University of California) [25, 26].

Эксперименты с большим числом комбинационных устройств показывают, что предложенная отказоустойчивая структура обладает преимуществом перед известными. В ходе исследований особенностей предложенной отказоустойчивой структуры были проведены экспериментальные исследования с комбинационными устройствами из специального набора контрольных схем (URL: <http://ddd.fit.cvut.cz/prj/Benchmarks/>). Эксперименты заключались в построении для контрольных схем предложенной отказоустойчивой структуры, а также в анализе корректирующей способности. Для каждой контрольной схемы строилась предложенная структура, а также вычислялась занимаемая площадь (area overhead), оцениваемая по числу букв в формульной записи (literals). В ходе оценки корректирующей способности схем коррекции моделировалась работа контрольных комбинационных схем на 1000 псевдослучайных входных комбинациях при внесении последовательно всех одиночных константных неисправностей на выходах их внутренних логических элементов. Вероятность коррекции ошибки p_c определялась по формуле

$$p_c = \frac{\sum_{i=1}^N \frac{n_i}{1000}}{N}, \quad (2)$$

где N – число всех неисправностей для данной структуры (в эксперименте рассматривалась модель одиночных константных неисправностей);

n_i – число входных векторов, на которых присутствует правильный выходной вектор.

В ходе эксперимента для новой структуры получены следующие показатели: средняя площадь блока вычисления функции паритета составила 28,6 % от средней площади исходной схемы, блока контрольной логики – 38,9 %, дополнительных элементов сложения по модулю два и логического умножения, входящих в схему паритета и блока ФИС, – 81,5 %. В среднем вся схема коррекции занимает площадь, равную 249 % от площади исходной схемы. Полученные результаты соизмеримы с результатами оценки сложности технической реализации систем с обнаружением неисправностей на основе дублирования (в среднем 300–400 % от площади исходного устройства) [18].

Для 15 из 22 схем получены значения величин $\delta < 100$ %, причем для ряда схем этот показатель не превышает 80 %. Гораздо больший эффект получен при сравнении со схемой коррекции на основе мажоритарного принципа: для 17 из 22 схем получены значения $\mu < 100$ %, а для некоторых из них – менее 70 %. Средние значения относительных показателей $\delta = 92,281$ % и $\mu = 86,916$ %, что говорит о преимуществе предложенной структуры перед известными.

Вероятности коррекции ошибок для структур каждого из рассматриваемых комбинационных устройств были получены большими, чем 0,9, а для ряда схем – свыше $p_c = 0,98$. Среднее значение анализируемой величины $p_c = 0,95421$, что свидетельствует о высокой эффективности самих схем коррекции для представленных контрольных комбинационных устройств. Следует также отметить, что при проведении экспериментов специально не выделялись группы независимых выходов и не модифицировались структуры исходных комбинационных устройств. Таким образом, тестирование контрольных схем осуществлялось без привязки к особенностям их структуры и, соответственно, не были исключены ошибки с четными кратностями (напомним, что они не обнаруживаются при контроле по паритету).

Заключение. Способность рассмотренной структуры исправлять последствия отказов внутренних элементов характеризуется следующими положениями:

1. В структуре выделены отдельные блоки: $F(x)$, схема паритета, ФИС и блок коррекции.
2. Элементы блока коррекции должны быть построены в виде резервированных структур, устойчивых к одиночным отказам внутренних деталей.
3. Допускается возникновение неисправностей только в одном из блоков ($F(x)$, схема паритета и ФИС).
4. В основном блоке $F(x)$ допускается любая комбинация одиночных неисправностей, возникновение которых приводит к искажениям нечетного числа функций из множества $\{f_1, f_2, \dots, f_{m-1}, f_m\}$.
5. Внутри схемы коррекции и блока ФИС допускается любая комбинация одиночных неисправностей.
6. Искажения значений выходных сигналов устройства вызывают отказы только элементов блока $F(x)$. Отказы элементов схемы паритета и блока ФИС не приводят к искажению правильных выходных сигналов при исправном блоке $F(x)$.

В сравнении с традиционными структурами «дублирование с коррекцией» и на основе мажоритарного принципа коррекции предложенная структура оказывается более предпочтительной по показателям сложности технической реализации. При этом в общем при использовании новой схемы коррекции сигналов можно добиться эффекта сокращения сложности технической реализации до 25–30 % по сравнению со структурой «дублирование с коррекцией» и до 40–45 % по сравнению со структурой на основе мажоритарного принципа коррекции.

Кроме того, эксперимент показал, что использование предложенной в статье схемы коррекции сигналов позволяет достигать высоких показателей корректирующей способности даже без анализа их структурных схем, модификации схем в схемы с независимыми выходами и без выделения групп независимых выходов. В эксперименте для 22 комбинационных устройств получено среднее значение вероятности коррекции $p_c = 0,95421$.

Следует отметить две особенности предложенной структуры. Первая заключается в том, что по сравнению со структурой «дублирование с коррекцией» в новой структуре за счет двух каскадов сумматоров по модулю два $a_1, a_2, \dots, a_{m-1}, a_m$ и $b_1, b_2, \dots, b_{m-1}, b_m$ увеличено время прохождения сигналов и, таким образом, снижено быстродействие структуры. Тем не менее задержка незначительна и путь прохождения сигнала увеличивается незначительно. Увеличение времени срабатывания можно считать некоторой ценой за снижение аппаратных затрат на реализа-

цию предложенной структуры. Вторая особенность связана с процедурами поиска значений функций логического дополнения $g_1, g_2, \dots, g_{m-1}, g_m$ и выбора функций коррекции $r_1, r_2, \dots, r_{m-1}, r_m$. Требуется анализ $Q = n_x n_f$ (n_x и n_f – число входов и число выходов блока $F(x)$ соответственно) различных способов вычисления функций логического дополнения на 2^{n_x} входных комбинациях. Число Q существенно зависит от числа входов и выходов устройства $F(x)$, что определяет ограничения на применение предложенного авторами алгоритма получения функций дополнения и выбора функций коррекции. Для современной вычислительной техники полный алгоритм вычисления реализуется за разумное время при числе входных переменных, не превышающих значений 30–35 (это связано и с возможностями автоматической минимизации функций алгебры логики). При большем числе входов можно использовать упрощенный алгоритм вычисления функций дополнения, рассмотренный в настоящей статье. Как показали описанные в статье эксперименты с контрольными комбинационными схемами, это позволяет получать достаточно хорошие результаты.

Использование логического дополнения при синтезе отказоустойчивых структур открывает новые пути реализации схем коррекции с уменьшенной избыточностью.

Список использованных источников

1. Согомонян, Е. С. Самопроверяемые устройства и отказоустойчивые системы / Е. С. Согомонян, Е. В. Слабаков. – М. : Радио и связь, 1989. – 208 с.
2. Методы построения безопасных микроэлектронных систем железнодорожной автоматики / В. В. Сапожников [и др.] ; под ред. Вл. В. Сапожникова. – М. : Транспорт, 1995. – 272 с.
3. Харченко, В. С. Модели и свойства многоальтернативных отказоустойчивых систем / В. С. Харченко // Автоматика и телемеханика. – 1992. – № 12. – С. 140–147.
4. Скляр, В. В. Отказоустойчивые компьютерные системы управления с версионно-пороговой адаптацией: способы адаптации, оценка надежности, выбор архитектур / В. В. Скляр, В. С. Харченко // Автоматика и телемеханика. – 2002. – № 6. – С. 131–145.
5. Гаврилов, М. А. Надежность дискретных систем / М. А. Гаврилов, В. М. Остиану, А. И. Потехин // Итоги науки и техники. Сер. «Теория вероятностей. Математическая статистика. Теоретическая кибернетика». – 1969, 1970. – С. 7–104.
6. Goessel, M. Error Detection Circuits / M. Goessel, S. Graf. – London : McGraw-Hill, 1994. – 261 p.
7. Fujiwara, E. Code Design for Dependable Systems: Theory and Practical Applications / E. Fujiwara. – John Wiley & Sons, 2006. – 720 p.
8. Кодирование информации (двоичные коды) / Н. Т. Березюк [и др.] ; под ред. Н. Т. Березюка. – Харьков : Вища школа, 1978. – 252 с.
9. Nikolos, D. Self-testing embedded two-rail checkers / D. Nikolos // J. of Electronic Testing: Theory and Applications. – 1998. – Vol. 12, no. 1–2. – P. 69–79.
10. Новые структуры систем функционального контроля логических схем / В. В. Сапожников [и др.] // Автоматика и телемеханика. – 2017. – № 2. – С. 127–143.
11. Hamamatsu, M. Finding the optimal configuration of a cascading TMR system / M. Hamamatsu, T. Tsuchiya, T. Kikuno // 14th IEEE Pacific Rim Intern. Symp. on Dependable Computing, 15–17 Dec. 2008, Taipei, Taiwan. – Taipei, 2008. – P. 329–350. <https://doi.org/10.1109/PRDC.2008.12>
12. Matsumoto, K. Evaluating the fault tolerance of stateful TMR / K. Matsumoto, M. Uehara, H. Mori // 13th Intern. Conf. on Network-Based Information Systems, 14–16 Sept. 2010, Takayama, Japan. – Takayama, 2010. – P. 332–336. <https://doi.org/10.1109/NBiS.2010.86>
13. Останин, С. А. Синтез отказоустойчивых комбинационных схем / С. А. Останин // Прикладная дискретная математика (приложение № 1). – 2009. – № 1. – С. 71–72.
14. Методы синтеза сбоеустойчивых комбинационных КМОП-схем, обеспечивающих автоматическое исправление ошибок / А. Л. Стемпковский [и др.] // Известия ЮФУ. Технические науки. – 2017. – № 7(192). – С. 197–210. <https://doi.org/10.23683/2311-3103-2017-7-197-210>
15. Enhanced duplication method with TMR-like masking abilities / J. Borecký [et al.] // Euromicro Conf. on Digital System Design (DSD), 31 Aug. – 2 Sept. 2016, Limassol, Cyprus. – Limassol, 2016. – P. 690–693. <https://doi.org/10.1109/DSD.2016.91>
16. Krcma, M. Triple modular redundancy used in field programmable neural networks / M. Krcma, Z. Kotasek, J. Lojda // Proc. of 15th IEEE East-West Design & Test Symposium (EWDTS 2017), 29 Sept. – 2 Oct. 2017, Novi Sad, Serbia. – Novi Sad, 2017. – P. 372–377. <https://doi.org/10.1109/EWDTS.2017.8110128>

17. Sogomonyan, E. S. Self-Correction Fault-Tolerant Systems / E. S. Sogomonyan. – Preprint, Oct. 2018. – 30 p.
18. Сапожников, В. В. Основы теории надежности и технической диагностики / В. В. Сапожников, Вл. В. Сапожников, Д. В. Ефанов. – СПб. : Лань, 2019. – 588 с.
19. Организация функционального контроля комбинационных схем методом логического дополнения / В. В. Сапожников // Электронное моделирование. – 2002. – Т. 24, № 6. – С. 51–66.
20. Логическое дополнение – новый метод контроля комбинационных схем / М. Гессель [и др.] // Автоматика и телемеханика. – 2003. – № 1. – С. 167–176.
21. New Methods of Concurrent Checking / M. Goessel [et al.]. – 1st ed. – Dordrecht : Springer Science + Business Media B.V., 2008. – 184 p.
22. Self-checking combinational circuits with unidirectionally independent outputs / A. Morosow [et al.] // VLSI Design. – 1998. – Vol. 5, iss. 4. – P. 333–345. <https://doi.org/10.1155/1998/20389>
23. Ефанов, Д. В. Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов / Д. В. Ефанов, В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 2018. – № 9. – С. 79–94.
24. Сапожников, В. В. Самопроверяемые дискретные устройства / В. В. Сапожников, Вл. В. Сапожников. – СПб. : Энергоатомиздат, 1992. – 224 с.
25. SIS: a system for sequential circuit synthesis / E. M. Sentovich [et al.]. – University of California, Berkeley, 1992. – 45 p.
26. Sequential circuit design using synthesis and optimization / E. M. Sentovich [et al.] // Proc. IEEE Intern. Conf. on Computer Design: VLSI in Computers & Processors, 11–14 Oct. 1992, Cambridge, MA, USA. – Cambridge, 1992. – P. 328–333. <https://doi.org/10.1109/ICCD.1992.276282>

References

1. Sogomonyan E. S., Slabakov E. V. Samoproveryaemye ustrojstva i otkazoustojchivye sistemy. *Self-checking Devices and Fault-tolerance Systems*. Moscow, Radio i svyaz', 1989, 208 p. (in Russian).
2. Sapozhnikov V. V., Sapozhnikov Vl. V., Hristov H. A., Gavzov D. V., Sapozhnikov Vl. V. (ed.). Metody postroeniya bezopasnyh mikroelektronnyh sistem zheleznodorozhnoj avtomatiki. *Methods of Synthesis Safety Microelectronic Railway Automation Systems*. Moscow, Transport, 1995, 272 p. (in Russian).
3. Kharchenko V. S. Modeli i svoystva mnogoal'ternativnyh otkazoustojchivyh system [Models and properties of multialternative fault-tolerant systems]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 1992, no. 12, pp. 140–147 (in Russian).
4. Sklyar V. V., Kharchenko V. S. Otkazoustojchivye komp'yuternye sistemy upravleniya s versionno-porogovoj adaptaciej: sposoby adaptacii, ocenka nadezhnosti, vybor arhitektur [Fault-tolerant computer-aided control systems with multiversion-threshold adaptation: adaptation methods, reliability estimation, and choice of an architecture]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 2002, no. 6, pp. 131–145 (in Russian).
5. Gavrillov M. A., Ostianu V. M., Potekhin A. I. Nadezhnost' diskretnykh sistem [Reliability of discrete systems]. Itogi nauki i tekhniki. Seriya "Teoriya veroyatnostej. Matematicheskaya statistika. Teoreticheskaya kibernetika" [Results of Science and Technology. Series "Probability Theory. Math statistics. Theoretical Cybernetics"], 1969, 1970, pp. 7–104 (in Russian).
6. Goessel M., Graf S. *Error Detection Circuits*. London, McGraw-Hill, 1994, 261 p.
7. Fujiwara E. *Code Design for Dependable Systems: Theory and Practical Applications*. John Wiley & Sons, 2006, 720 p.
8. Berezyuk N. T., Andrushchenko A. G., Moshchickij S. S., Glushkov V. I., Benesha M. M., Gavrillov V. A., N. T. Berezyuk (ed.). Kodirovanie informacii (dvoichnye kody). *Information Coding (Binary Codes)*. Kharkiv, Vishcha shkola, 1978, 252 p. (in Russian).
9. Nikolos D. Self-testing embedded two-rail checkers. *Journal of Electronic Testing: Theory and Applications*, 1998, vol. 12, no. 1–2, pp. 69–79.
10. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V., Dmitriev V. V. Novye struktury sistem funkcional'nogo kontrolya logicheskikh skhem [New structures of the concurrent error detection systems for logic circuits]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 2017, no. 2, pp. 127–143 (in Russian).
11. Hamamatsu M., Tsuchiya T., Kikuno T. Finding the optimal configuration of a cascading TMR system. *14th IEEE Pacific Rim International Symposium on Dependable Computing, 15–17 December 2008, Taipei, Taiwan*. Taipei, 2008, pp. 329–350. <https://doi.org/10.1109/PRDC.2008.12>

12. Matsumoto K., Uehara M., Mori H. Evaluating the fault tolerance of stateful TMR. *13th International Conference on Network-Based Information Systems, 14–16 September 2010, Takayama, Japan*. Takayama, 2010, pp. 332–336. <https://doi.org/10.1109/NBiS.2010.86>
13. Ostanin S. A. Sintez otkazoustojchivyyh kombinacionnyh skhem [Synthesis of fail-safe combinational circuits]. *Prikladnaya diskretnaya matematika (prilozhenie № 1) [Applied Discrete Mathematics (Appendix No. 1)]*, 2009, no. 1, pp. 71–72 (in Russian).
14. Stempkovskij A. L., Tel'puhov D. V., Zhukova T. D., Gurov S. I., Solov'ev R. A. Metody sinteza sboeustojchivyyh kombinacionnyh KMOP-skhem, obespechivayushchih avtomaticheskoe ispravlenie oshibok [Synthesis methods for fault-tolerant combinational CMOS circuits providing automatic error correction]. *Izvestiya Juzhnogo federal'nogo universiteta. Tekhnicheskie nauki [Proceedings of the Southern Federal University. Technical Science]*, 2017, no. 7(192). pp. 197–210. <https://doi.org/10.23683/2311-3103-2017-7-197-210> (in Russian).
15. Borecký J., Kohlík M., Vít P., Kubátová H. Enhanced duplication method with TMR-like masking abilities. *Euromicro Conference on Digital System Design (DSD), 31 August – 2 September 2016, Limassol, Cyprus*. Limassol, 2016, pp. 690–693. <https://doi.org/10.1109/DSD.2016.91>
16. Krcma M., Kotasek Z., Lojda J. Triple modular redundancy used in field programmable neural networks. *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS 2017), 29 September – 2 October 2017, Novi Sad, Serbia*. Novi Sad, 2017, pp. 372–377. <https://doi.org/10.1109/EWDTS.2017.8110128>
17. Sogomonyan E. S. *Self-Correction Fault-Tolerant Systems*. Preprint, October 2018, 30 p.
18. Sapozhnikov V. V., Sapozhnikov V. I., Efanov D. V. Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki. *Fundamentals of the Theory of Reliability and Technical Diagnostics*. Saint Petersburg, Lan, 2019, 588 p. (in Russian).
19. Sapozhnikov V. V., Sapozhnikov V. I., Dmitriev A. V., Morozov A. V., Gessel' M. Organizaciya funkcional'nogo kontrolya kombinacionnyh skhem metodom logicheskogo dopolneniya [The organization of functional control of combinational circuits by the method of complement]. *Electronnoe modelirovanie [Electronic Modeling]*, 2002, vol. 24, no. 6, pp. 51–66 (in Russian).
20. Gessel' M., Morozov A. V., Sapozhnikov V. V., Sapozhnikov V. I. Logicheskoe dopolnenie – novyj metod kontrolya kombinacionnyh skhem [Logic complement, a new method of checking the combinational circuits]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 2003, no. 1, pp. 167–176 (in Russian).
21. Gessel' M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking*. Dordrecht, Springer Science + Business Media B.V., 2008, 184 p.
22. Morosow A., Saposhnikov V. V., Saposhnikov V. I., Goessel M. Self-checking combinational circuits with unidirectionally independent outputs. *VLSI Design*, 1998, vol. 5, iss. 4, pp. 333–345. <https://doi.org/10.1155/1998/20389>
23. Efanov D. V., Sapozhnikov V. V., Sapozhnikov V. I. Sintez samoproveryaemyh kombinacionnyh ustrojstv na osnove vydeleniya special'nyh grupp vyhodov [Synthesis of self-checking combination devices based on allocating special groups of outputs]. *Avtomatika i telemekhanika [Automation and Remote Control]*, 2018, no. 9, pp. 79–94 (in Russian).
24. Sapozhnikov V. V., Sapozhnikov V. I. Samoproveryaemye diskretnye ustrojstva. *Self-Checking Discrete Devices*. Saint Petersburg, Energoatomizdat, 1992, 224 p. (in Russian).
25. Sentovich E. M., Singh K. J., Lavagno L., Moon C., Murgai R., ..., Sangiovanni-Vincentelli A. *SIS: A System for Sequential Circuit Synthesis*. University of California, Berkeley, 1992, 45 p.
26. Sentovich E. M., Singh K. J., Moon C., Savoj H., Brayton R. K., Sangiovanni-Vincentelli A. Sequential circuit design using synthesis and optimization. *Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11–14 October 1992, Cambridge, MA, USA*. Cambridge, 1992, pp. 328–333. <https://doi.org/10.1109/ICCD.1992.276282>

Информация об авторах

Сапожников Валерий Владимирович, доктор технических наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах», Петербургский государственный университет путей сообщения Императора Александра I, Санкт-Петербург, Россия.
E-mail: port.at.pgups@gmail.com

Information about the authors

Valery V. Sapozhnikov, Dr. Sci. (Eng.), Professor, Professor of "Automation and Remote Control on Railways" Department, Emperor Alexander I St. Petersburg State Transport University, Saint Petersburg, Russia.
E-mail: port.at.pgups@gmail.com

Сапожников Владимир Владимирович, доктор технических наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах», Петербургский государственный университет путей сообщения Императора Александра I, Санкт-Петербург, Россия.
E-mail: at.pgups@gmail.com

Ефанов Дмитрий Викторович, доктор технических наук, доцент, руководитель направления комплексных систем управления, ООО «ЛокоТех-Сигнал»; профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте», Российский университет транспорта, Москва, Россия.
E-mail: TrES-4b@yandex.ru

Vladimir V. Sapozhnikov, Dr. Sci. (Eng.), Professor, Professor of "Automation and Remote Control on Railways" Department, Emperor Alexander I St. Petersburg State Transport University, Saint Petersburg, Russia.
E-mail: at.pgups@gmail.com

Dmitry V. Efanov, Dr. Sci. (Eng.), Associate Professor, Head of Integrated Control Systems Division, "LocoTech-Signal" LLC; Professor of "Automation, Remote Control and Communication on Railway Transport" Department, Russian University of Transport, Moscow, Russia.
E-mail: TrES-4b@yandex.ru