



UNIVERSIDAD  
**NACIONAL**  
DE COLOMBIA

## **TESIS DOCTORAL**

# **ASOCIACIÓN EN SERIE DE TRANSISTORES IGBT PARA CONMUTACIÓN DE ALTA TENSIÓN CON BAJAS PÉRDIDAS**

Autor:

**Andrés Felipe Guerrero Guerrero**

Universidad Nacional de Colombia  
Facultad de Ingeniería y Arquitectura, Departamento de Ingeniería Eléctrica,  
Electrónica y Computación  
Manizales, Colombia

2018



UNIVERSIDAD  
**NACIONAL**  
DE COLOMBIA

# **SERIES STACK OF IGBT TRANSISTORS FOR THE HIGH-VOLTAGE LOW-LOSSES SWITCHING**

**Andrés Felipe Guerrero Guerrero**

Universidad Nacional de Colombia  
Facultad de Ingeniería y Arquitectura, Departamento de Ingeniería Eléctrica,  
Electrónica y Computación  
Manizales, Colombia

2018

# **ASOCIACIÓN EN SERIE DE TRANSISTORES IGBT PARA CONMUTACIÓN DE ALTA TENSIÓN CON BAJAS PÉRDIDAS**

Autor:

**Andrés Felipe Guerrero Guerrero**

Tesis presentada como requisito parcial para optar al título de:

**Doctor en Ingeniería**

Director:

Dr. Ing. Armando Jaime Ustariz Farfán

Codirector:

Dr. Ing. Hernán Emilio Tacca

Línea de Investigación en Electrónica de Potencia

Grupo de Investigación:

Grupo de Investigación en Calidad de la Energía y Electrónica de Potencia -  
GICEP

Universidad Nacional de Colombia

Facultad de Ingeniería y Arquitectura, Departamento de Ingeniería Eléctrica,  
Electrónica y Computación

Manizales, Colombia

2018

*A mi madre Elsa Guerrero.*

*A mi hermano David.*

*A Lucero.*

## Agradecimientos

Al **Dr. Armando Jaime Ustariz Farfán** y al **Dr. Hernán Emilio Tacca** por su paciencia y dedicación en la dirección de esta investigación. Gracias por sus enseñanzas que han contribuido a mi crecimiento académico y profesional. Gracias por confiar en mis capacidades.

Al **Dr. Eduardo Antonio Cano Plata**, por sus recomendaciones y enseñanzas como aportes en mi crecimiento como investigador.

A los jurados: **Juan Carlos Balda, Gustavo Ramos y Andrés Escobar Mejía** por su dedicación en la revisión de esta tesis doctoral. Todas sus sugerencias fueron guiadas al mejoramiento del documento final.

A mis compañeros y amigos de los grupos de investigación GREDyP y GICEP, gracias por generar un ambiente ameno de aprendizaje. Especial mención para **Oscar Andrés Ruíz, Santiago Arias y Carlos David Rojas**, gracias por el apoyo en momentos fundamentales de este proceso, a **Steven Vanegas** por su colaboración en la edición y ajuste de las ilustraciones del documento de tesis. A los compañeros integrantes del Laboratorio de Control de Accionamientos Tracción y Potencia de la Universidad de Buenos Aires, por su hospitalidad durante mi pasantía.

A **Lucero**, por su sacrificio en estos años y su apoyo emocional en los momentos más críticos. A mi familia y amigos en Linares Nariño, por su buena energía desde la distancia. A los profesores de la Institución Educativa Diego Luis Córdoba, por compartirme sus conocimientos y motivarme a seguir. A la profesora **Elena Acosta**, hoy alcanzo una nueva meta gracias a su motivación y confianza al inicio de este camino.

Gracias a todos. El resultado de este gran logro será la base para generar cambios positivos en mi sociedad.

Andrés Felipe Guerrero Guerrero



## Resumen

El surgimiento de aplicaciones de conversión en alta tensión ha creado la tendencia de uso de asociaciones en serie de dispositivos semiconductores. Las asociaciones en serie permiten operar con tensiones de bloqueo superiores a la tensión nominal de cada elemento semiconductor. El principal reto en estas topologías es garantizar el balance de tensión entre cada dispositivo tanto en bloqueo como en conmutación. La mayoría de los métodos propuestos para mitigar los desbalances de tensión estáticos y dinámicos incrementan las pérdidas en el dispositivo. En esta tesis se presenta una nueva topología para asociación en serie de *IGBTs* en la cual se reducen los desbalances de tensión, disminuyendo las pérdidas por conmutación. La topología consta de un circuito que asegura una conmutación suavizada en cada *IGBT* y un circuito auxiliar que permite recuperar energía desde el lado de alta tensión hacia la fuente de suministro de los controladores de compuerta. El principio de funcionamiento de la topología es expuesto y la validación mediante simulación y con prototipo experimental para tres módulos es realizada. La topología muestra un excelente desempeño tanto en la conmutación al encendido como en la conmutación al apagado en cada dispositivo. Los desbalances estáticos y dinámicos de tensión y las pérdidas por conmutación obtenidos son reducidos. Los desbalances estáticos de tensión se limitaron al 1 % y se presentan diferencias muy bajas entre pendientes de tensión colector-emisor en las conmutaciones. Las pérdidas por conmutación se reducen en un 40 % en comparación con una configuración que presenta conmutación forzada.

*Palabras clave: IGBT, desbalances de tensión, conmutación suave, snubber no disipativo, retardo en compuerta.*





## **Abstract**

The emergence of high voltage conversion applications has created a trend of using semiconductor device series associations. Series associations allow for operation at blocking voltages, which are higher than the nominal voltage for each semiconductor device. The main challenge with these topologies is finding a way to guarantee voltage balance between devices in both blocking and switching transients. Most methods that have been proposed to mitigate static and dynamic voltage unbalances result in increased losses within the device. This thesis introduces a new series stack topology, in which voltage unbalances are reduced, thus mitigating switching losses. The topology consists of a circuit that ensures the soft switching of each device, and one auxiliary circuit that allows switching energy recovery. The principle for topology operation is presented and an experimental test is performed for three modules. The topology performs excellently for switching transients on each device. Voltage static unbalances were limited to 1%, and very low differences between collector-emitter voltages are obtained in the switching. Switching losses are thus reduced by 40%, as compared to hard switching configurations.

*Keywords: IGBT, voltage unbalances, soft switching, non-dissipative snubber, gate delay driver.*

# Contenido

	Pág.
<b>CAPÍTULO I</b> .....	<b>1</b>
<b>1. INTRODUCCIÓN</b> .....	<b>1</b>
1.1 Identificación del problema .....	1
1.2 Motivación e interés por el tema .....	6
1.3 Objetivos del presente trabajo .....	7
1.4 Estructura del documento .....	8
<b>CAPÍTULO II</b> .....	<b>11</b>
<b>2. METODOLOGÍA DESARROLLADA</b> .....	<b>11</b>
2.1 Topología inicial .....	11
2.2 Disminución de pérdidas al encendido.....	14
2.3 Unificación de señal de control .....	15
2.4 Topología híbrida <i>LHVS</i> .....	18
2.5 Síntesis .....	20
<b>CAPÍTULO III</b> .....	<b>21</b>
<b>3. TOPOLOGÍA PROPUESTA</b> .....	<b>21</b>
3.1 Circuito <i>ZCS(ON)-ZVS(OFF)</i> con ajuste de desbalances .....	22
3.2 Sistema de alimentación de controladores .....	33
3.3 Ancho de pulso y controlador aislado .....	36
3.4 Circuito compensador de retardos .....	39
3.5 Síntesis .....	41
<b>CAPÍTULO IV</b> .....	<b>43</b>
<b>4. DISEÑO EXPERIMENTAL</b> .....	<b>43</b>
4.1 Parámetros de diseño .....	43
4.2 Circuito <i>ZCS(ON)-ZVS(OFF)</i> con ajuste de desbalances .....	44

4.3	Sistema de alimentación de controladores .....	50
4.4	Circuito compensador de retardos .....	50
4.5	Síntesis .....	51
<b>CAPÍTULO V .....</b>		<b>52</b>
<b>5.</b>	<b>RESULTADOS DE SIMULACIÓN .....</b>	<b>52</b>
5.1	Características del software y modelos de simulación .....	52
5.2	Escenarios de prueba .....	53
5.3	Verificación de condición de conmutación parcialmente suave ....	62
5.4	Energía recuperada desde el <i>snubber</i> no disipativo .....	66
5.5	Síntesis .....	68
<b>CAPÍTULO VI .....</b>		<b>69</b>
<b>6.</b>	<b>RESULTADOS EXPERIMENTALES.....</b>	<b>69</b>
6.1	Equipos de medida utilizados .....	69
6.2	Escenarios de prueba implementados .....	73
6.3	Verificación de condición de conmutación parcialmente suave ....	79
6.4	Energía recuperada desde el <i>snubber</i> no disipativo .....	84
6.5	Síntesis .....	85
<b>CAPÍTULO VII .....</b>		<b>87</b>
<b>7.</b>	<b>CONCLUSIONES Y FUTUROS DESARROLLOS .....</b>	<b>87</b>
7.1	Conclusiones generales.....	87
7.2	Aportes.....	89
7.3	Perspectivas de trabajo futuro.....	90
7.4	Discusión académica .....	90
<b>REFERENCIAS BIBLIOGRÁFICAS.....</b>		<b>94</b>
<b>ANEXO A.....</b>		<b>107</b>
<b>A.</b>	<b>TÉCNICAS DE COMPENSACIÓN DE DESBALANCES DE TENSIÓN</b>	<b>107</b>
A.1	Introducción .....	107
A.2	Compensación desde el lado de alta tensión.....	108
A.3	Compensación desde el lado de compuerta .....	112
<b>ANEXO B.....</b>		<b>121</b>

<b>B.</b>	<b>CIRCUITOS ADICIONALES PARA PRUEBAS DE PROTOTIPO .....</b>	<b>121</b>
B.1	Multiplicador de <i>Greinacher</i> .....	121
B.2	Carga resistiva de alta tensión .....	122
B.3	Carga resistiva unidireccional .....	124

# Lista de figuras

	<b>Pág.</b>
Figura 1-1: Técnicas de compensación de desbalances de tensión .....	3
Figura 2-1: Metodología de investigación desarrollada .....	12
Figura 2-2: Topología inicial con conmutación parcialmente suave al apagado del IGBT y compensación de desbalances de tensión.....	13
Figura 2-3: Topología con conmutación parcialmente suave al encendido y al apagado del IGBT y compensación de desbalances .....	14
Figura 2-4: Asociación de convertidores DC-DC y controladores aislados de compuerta de IGBTs para topología con n módulos .....	16
Figura 2-5: Topología híbrida LHVS propuesta en esta investigación .....	19
Figura 3-1: Circuito de conmutación parcialmente suave con ajuste de desbalances .....	22
Figura 3-2: Lazo de histéresis del material magnético .....	24
Figura 3-3: Modo I: $T_1$ y $D_{S1}$ en bloqueo .....	25
Figura 3-4: Modo II: $T_1$ en conducción y $D_{S1}$ en bloqueo .....	26
Figura 3-5: Modo III: $T_1$ y $D_{S1}$ en conducción .....	27
Figura 3-6: Modo V: $T_1$ bloqueado y $D_{S1}$ en conducción .....	29
Figura 3-7: Formas de onda de variables de estado, corriente en diodo $D_{S1}$ , tensión y corriente en transistor $T_1$ en los diferentes modos de operación.....	30
Figura 3-8: Convertidor Flyback bidireccional .....	34
Figura 3-9: Circuitos para pos-regulación DC-DC.....	36

Figura 3-10: Circuito de ajuste del ancho de pulso .....	37
Figura 3-11: Señales de entrada y salida del Schmitt - trigger en el circuito de ajuste del ancho de pulso.....	38
Figura 3-12: Circuito de aislamiento entre la señal de control y la señal de alta tensión del IGBT .....	39
Figura 3-13: Circuito de compensación de retardos en compuerta.....	40
Figura 4-1: Formas de onda de tensión y corriente en módulo 1.....	46
Figura 5-1: Topología propuesta para asociación serie de 4 módulos implementada en LTspice .....	54
Figura 5-2: Módulo 1 de topología propuesta para asociación serie de IGBTs	55
Figura 5-3: Tensión colector - emisor de cada IGBT en conmutación al encendido para escenario No. 1 .....	56
Figura 5-4: Tensión colector - emisor de cada IGBT en conmutación al bloqueo para escenario No. 1 .....	57
Figura 5-5: Tensión colector - emisor de cada IGBT en conmutación al encendido.....	58
Figura 5-6: Tensión colector-emisor de cada IGBT en conmutación al bloqueo .....	59
Figura 5-7: Tensión colector-emisor de cada IGBT en conmutación al encendido con compensación de retardos en compuerta (topología propuesta) .....	60
Figura 5-8: Tensión colector-emisor de cada IGBT en conmutación al bloqueo con compensación de retardos en compuerta .....	60
Figura 5-9: Tensión colector-emisor de cada IGBT en conmutación al encendido topología de 10 módulos con compensación de retardos en compuerta .....	61
Figura 5-10: Tensión colector-emisor de cada IGBT en conmutación al bloqueo topología de 10 módulos con compensación de retardos en compuerta .....	62
Figura 5-11: Señales de tensión y corriente del IGBT en conmutación al	

encendido. Caso referencia ( $V_{ce2}$ , $I_x(T2:C)$ ) y topología propuesta ( $V_{ce1}$ , $I_x(T1:C)$ ) .....	63
Figura 5-12: Potencia disipada en el IGBT en conmutación al encendido .....	64
Figura 5-13: Señales de tensión y corriente en el IGBT en conmutación al bloqueo. Caso referencia ( $V_{ce2}$ , $I_x(T2:C)$ ) y topología propuesta ( $V_{ce1}$ , $I_x(T1:C)$ ) .....	65
Figura 5-14: Potencia instantánea disipada en el IGBT en conmutación al bloqueo. Caso referencia y topología propuesta.....	65
Figura 5-15: Potencia recuperada durante la conmutación al encendido.....	67
Figura 5-16: Potencia recuperada durante la conmutación al bloqueo .....	67
Figura 6-1: Esquema implementado para pruebas experimentales .....	70
Figura 6-2: Multiplicador de Greinacher contruido .....	71
Figura 6-3: Carga resistiva de alta tensión construida .....	72
Figura 6-4: Topología construida con asociación serie de tres módulos.....	73
Figura 6-5: Tensión colector-emisor $v_{CE}$ en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)..	74
Figura 6-6: Tensión colector-emisor $v_{CE}$ en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B) .....	75
Figura 6-7: Tensión colector-emisor $v_{CE}$ en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)..	76
Figura 6-8: Tensión colector-emisor $v_{CE}$ en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B) .....	77
Figura 6-9: Tensión colector-emisor $v_{CE}$ en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)..	77
Figura 6-10: Tensión colector-emisor $v_{CE}$ en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)..	78
Figura 6-11: Variación de tensión de alimentación vs variación de tiempo entre	

curvas de tensión colector-emisor.....	79
Figura 6-12: Tensión colector-emisor (canal B) y corriente de colector (canal A) de IGBT en el módulo 1 a) conmutación al encendido y b) conmutación al bloqueo .....	80
Figura 6-13: Tensión colector emisor vs corriente de colector del IGBT 1 en conmutación al encendido.....	81
Figura 6-14: Tensión colector emisor vs corriente de colector del IGBT 1 en conmutación al bloqueo .....	81
Figura 6-15: Variación de resistencia de carga vs disminución de pérdidas en conmutación al encendido del IGBT 1.....	83
Figura 6-16: Variación de resistencia de carga vs disminución de pérdidas en conmutación al bloqueo del IGBT 1 .....	83
Figura 6-17: Corriente en diodo $D_{s1}$ (canal A) y tensión colector-emisor en IGBT 1 (canal B).....	84
Figura 6-18: Variación de Resistencia de carga vs energía retornada a la fuente del controlador de compuerta.....	85
Figura A-1: Circuito RCD para compensación de desbalances de tensión ...	108
Figura A-2: Snubber activo para balance de tensión. ....	109
Figura A-3: Fijación de tensión por medio de diodos y condensadores. ....	110
Figura A-4: Circuito de compensación por medio de diodo de realimentación. ....	111
Figura A-5: Circuito de compensación por medio de realimentación RCD....	112
Figura A-6: Circuito de compensación por inyección de corriente en compuerta mediante condensador precargado.....	113
Figura A-7: Circuitos de control para compensación por medio de retardos en compuerta .....	114
Figura A-8: Circuito configuración esclavo-maestro.....	114



Figura A-9: Compensación mediante rampa de referencia .....	115
Figura A-10: Control activo de compuerta con RCD. ....	116
Figura A-11: Acoplamiento magnético de compuerta.....	117
Figura A-12: Esquema de técnica de control adaptativo de compuerta .....	118
Figura A-13: Circuito para control cuasi-activo de compuerta.....	119
Figura B-1: Esquema del multiplicador de Greinacher de n etapas .....	121
Figura B-2: Esquema de la carga resistiva de alta tensión construida .....	123
Figura B-3: Gráficas de tensión RMS contra resistencia de lámpara incandescente .....	124
Figura B-4: Esquema de carga resistiva unidireccional.....	125

# Lista de tablas

	<b>Pág.</b>
Tabla 1. Comparación de técnicas de compensación de desbalances de tensión .....	5
Tabla 2: Valores nominales de operación .....	43
Tabla 3: Características de IGBT a considerar en el diseño .....	44
Tabla 4: Valores de parámetros en Modo II de funcionamiento. ....	45
Tabla 5: Valor de parámetros en Modo III de funcionamiento.....	45
Tabla 6: Datos de diseño para inductor del snubber no disipativo .....	47
Tabla 7: Datos de diseño para inductor saturable .....	49
Tabla 8: Valores para diseño de controlador.....	50
Tabla 9: Valores medidos de los tiempos de propagación del controlador FOD3184.....	50
Tabla 10: Retardos aplicados en cada módulo .....	51
Tabla 11: Valores de pérdidas de energía en conmutación del IGBT .....	66

# CAPÍTULO I

## 1. INTRODUCCIÓN

Aplicaciones como la transmisión de corriente continua en alta tensión (*HVDC*) [1], [2], transporte ferroviario [3] y tratamientos mediante electroporación [4]–[9], en las cuales se opera con elevados valores de tensión toman relevancia en la actualidad [10], [11]. En estas aplicaciones, debido a restricciones físicas de los dispositivos semiconductores, se deben realizar asociaciones en serie de *IGBTs* o *MOSFETs*, prefiriendo los primeros debido que admiten corrientes superiores de operación [12]–[15]. El uso de estas topologías permite un control total del interruptor electrónico equivalente y son una opción de bajo costo comparado con dispositivos de Carburo de Silicio [16]. Adicionalmente, se ha alcanzado mayor eficiencia, mejor desempeño térmico y mayor velocidad de conmutación con asociaciones en serie de dispositivos de baja tensión, al compararlas con un único dispositivo de alta tensión de Silicio [17].

### 1.1 Identificación del problema

En las asociaciones en serie de transistores *IGBT* se deben garantizar señales de control sincronizadas con características similares en la compuerta de cada dispositivo. Los cambios abruptos de tensión en instantes muy cortos generan interferencias electromagnéticas. Adicionalmente, con la disminución del tamaño de los circuitos y con frecuencias de conmutación elevadas existe alta influencia de campos electromagnéticos en las señales de control [18]–[20]. Estas interferencias junto con ruido externo causan deformaciones y oscilaciones indeseadas en las señales de compuerta [21]–[23]. A esto se suman los componentes parásitos presentes en el circuito [24]–[27], los de mayor efecto, las inductancias en las vías

de conexión entre la unidad de control y la compuerta del dispositivo las cuales generan retardos en dichas señales. Lo anterior es de vital importancia, ya que pequeños retardos o diferencias entre estas señales pueden generar grandes diferencias en la tensión de los dispositivos en el lado de alta tensión [28], [29]. Se debe considerar también que debido a complejos procesos de fabricación, dispositivos semiconductores de la misma referencia y lote pueden presentar pequeñas diferencias en sus parámetros [30], [31]. Estas diferencias también dependen de la temperatura, corriente y tensión de operación de cada transistor *IGBT*.

Los inconvenientes experimentales, arriba enunciados, producen diferencias de tensión colector-emisor entre los dispositivos conectados en serie [21]. Estas diferencias de tensión se conocen en la literatura como desbalances de tensión. Los desbalances se definen como estáticos cuando se trata de diferencias de tensión con los dispositivos en bloqueo y dinámicos cuando las diferencias se presentan durante las conmutaciones a la conducción o al bloqueo [32]. Estos últimos son los más perjudiciales y en los cuales su solución se torna más compleja [33]. Debido a los desbalances de tensión se incrementan las pérdidas por conmutación y se pueden experimentar sobretensiones que reducen la vida útil del dispositivo por desgaste y esfuerzos excesivos. En consecuencia, cuanto mayor es el esfuerzo individual al que están sometidos estos componentes, mayor será su probabilidad de falla [34]. Cuando las sobretensiones son muy pronunciadas, el dispositivo semiconductor se puede destruir inmediatamente [35]. La ruptura de uno de los transistores ocasionará la falla inmediata del interruptor electrónico equivalente [10], [21]. Lo anterior toma mucha más relevancia cuando se trata de sistemas instalados en zonas de difícil acceso donde se requiere funcionamiento sin interrupción durante mucho tiempo.

Buscando disminuir los desbalances de tensión, se han desarrollado varias propuestas de circuitos que actúan como compensadores. Estas propuestas topológicas, se pueden clasificar en dos grandes grupos: (a) compensación desde el lado de alta tensión y (b) compensación desde la compuerta. En la Figura 1-1 se muestra esta clasificación con las técnicas de compensación de desbalances de

tensión más relevantes.

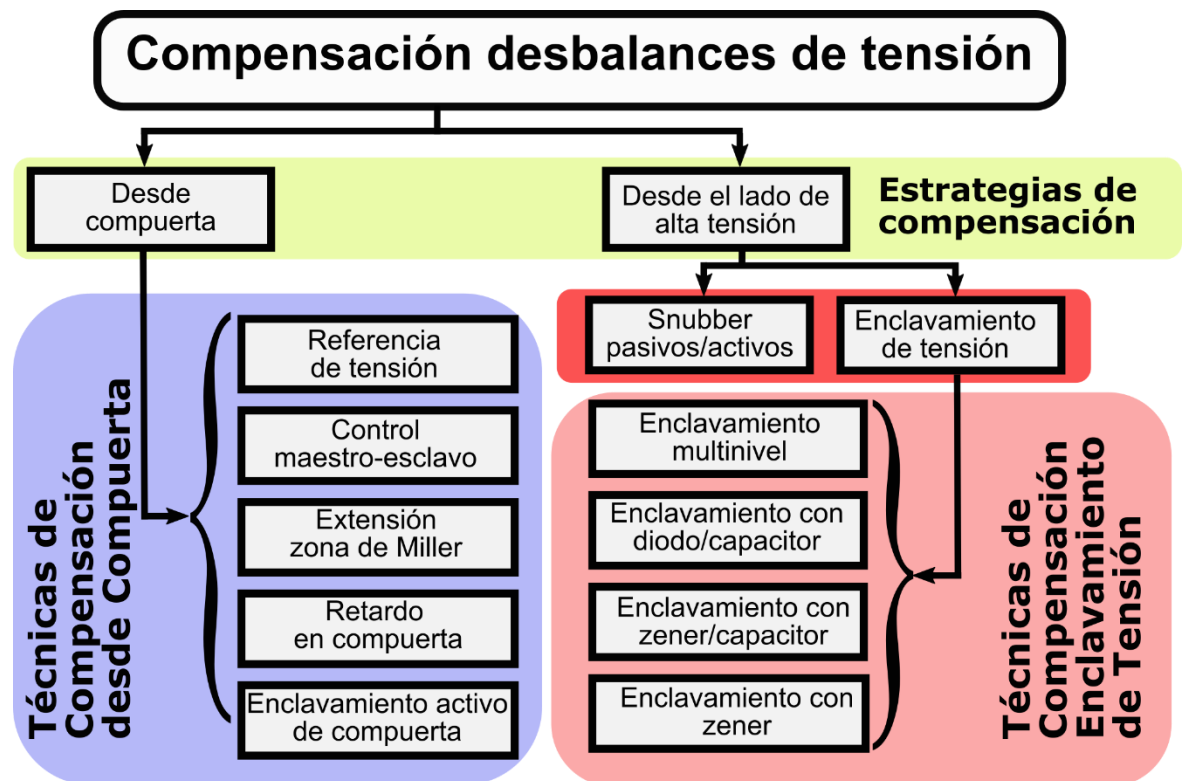


Figura 1-1: Técnicas de compensación de desbalances de tensión

En el lado de alta tensión se han implementado redes *snubber* activas y pasivas [14], [36]–[39]. Al implementar esta solución se incrementan los tiempos de conmutación de los *IGBTs* y, en consecuencia, sus pérdidas. Adicionalmente, se presentan pérdidas considerables en los componentes pasivos agregados y se contribuye al incremento del tamaño del interruptor electrónico equivalente. Otra alternativa son los circuitos de enclavamiento de tensión con diodos *Zener* conectados entre colector y emisor o entre colector y compuerta del *IGBT* (ZC) [40], [41]. Esta alternativa resulta limitada a un único nivel de tensión dado por la tensión de ruptura del *Zener* utilizado. La potencia disipada en el *Zener*, al igual que su tensión de ruptura es elevada, esto hace necesario la utilización de asociaciones en serie/paralelo, consecuentemente el circuito será de mayor tamaño. Se han establecido configuraciones *Zener*/capacitor (ZCC) [42], diodo/capacitor (DCC) [43], y enclavamiento de tensión multinivel (MLVC) [44]. Si bien estas últimas

muestran mejor desempeño en la compensación de desbalances que el enclavamiento mediante *Zener*, también dan lugar a pérdidas e incremento del tamaño del circuito.

Por otra parte, desde el lado de la compuerta se han desarrollado varias técnicas de compensación. Se destacan las técnicas de retardo en compuerta (DGC) [32], control cuasi-activo de compuerta (QAGC) [45], control mediante referencia de tensión (VRC) [46], [47], control maestro–esclavo (MSC) [48], compensación en zona de Miller (MZC) [49], control activo de compuerta (AGC) [50]. En estas propuestas, mediante circuitos de adquisición, se miden las tensiones colector-emisor y al realizar la comparación entre sí o con una referencia, se generan señales de control que dan paso a la inyección de corriente en la compuerta del transistor con mayor nivel de tensión. El principal inconveniente radica en que los *IGBTs* operan en su zona lineal incrementando sus pérdidas y desgaste. Por otro lado, en los circuitos de control se pueden generar oscilaciones que dan lugar a encendidos no deseados de algunos transistores.

En la Tabla 1 se muestra una comparación de las técnicas más relevantes basada en los reportes del estado del arte [51]. Esta comparación se realiza considerando los siguientes aspectos: efectividad en la mitigación de desbalances de tensión, pérdidas en el transistor *IGBT*, pérdidas en el circuito agregado y complejidad del diseño. En cuanto a complejidad se categorizan en un nivel superior las técnicas que requieren sistemas digitales de procesamiento y sistemas realimentados.

Las técnicas híbridas en la actualidad expuestas buscan integrar los dos grandes grupos de técnicas anteriores [16], [52]–[54], sin embargo, su implementación se torna más compleja. Actualmente no se evidencian mejoras notables respecto a las deficiencias de sus predecesoras.

Muchas de las técnicas previamente mencionadas incrementan las pérdidas por conmutación. Estas pérdidas crecen de forma proporcional a la frecuencia de conmutación del interruptor electrónico equivalente. Las pérdidas por conmutación son predominantes en operaciones con frecuencias elevadas [55] y se convierten

en la limitante práctica de operación del dispositivo semiconductor [56]. Además de disminuir el rendimiento del transistor, las pérdidas por conmutación se convierten en un problema mayor, relacionado con la elevación de temperatura del equipo [57]. Debido a lo anterior se debe incrementar el tamaño de los disipadores térmicos o implementar sistemas de refrigeración de alto costo [58].

*Tabla 1. Comparación de técnicas de compensación de desbalances de tensión*

<b>Técnica</b>	<b>Mitigación desbalances</b>	<b>Perdidas IGBT</b>	<b>Pérdidas Circuito</b>	<b>Complejidad del diseño</b>
RC/RCD [14]	BUENA	ALTAS	MUY ALTAS	BAJA
ZC [41]	BUENA	MUY ALTAS	BAJAS	BAJA
ZCC [42]	BUENA	ALTAS	MEDIAS	BAJA
DCC [43]	MEDIA	ALTAS	MEDIAS	ALTA
MLVC[44]	BUENA	ALTAS	MEDIAS	MUY ALTA
AGC [50]	BUENA	ALTA	MEDIAS	MUY ALTA
QAGC [45]	MALA	MEDIAS	BAJAS	BAJA
DGC [32]	BUENA	MEDIAS	MUY BAJAS	ALTA
MZC [49]	MEDIA	MEDIAS	BAJAS	ALTA
MSC [48]	BUENA	MEDIAS	BAJAS	ALTA
VRC [46]	BUENA	MEDIAS	BAJAS	MEDIA

## 1.2 Motivación e interés por el tema

Con el desarrollo de nuevas topologías de asociación en serie eficientes se ha reducido el nivel de desgaste de los dispositivos semiconductores. Al compensar los desbalances de tensión, en los dispositivos semiconductores, se incrementa el grado de confiabilidad en sistemas de conversión de energía eléctrica en alta tensión en los cuales se integre el interruptor electrónico equivalente [34]. Lo anterior contribuye al auge de aplicaciones como *HVDC* [2], [11], tracción ferroviaria con alta tensión [3] y otras aplicaciones como tratamiento de alimentos y aguas residuales [59]–[61]. Se considera también la posibilidad de transferir energía o solucionar inconvenientes en el sistema eléctrico mediante conexión directa del convertidor a la red en nivel de tensión de distribución [62]–[66]. Con estas aplicaciones se amplía un campo de trabajo que aporta significativamente en el área [11] y en el desarrollo energético del país y la región.

La reducción de las pérdidas por conmutación permite elevar la velocidad de conmutación de los dispositivos operando en su área segura [67]. Al incrementar la frecuencia de conmutación se disminuye el tamaño de los condensadores e inductores en el diseño de un equipo de electrónica de potencia [55]. El uso de dispositivos de almacenamiento de energía de menor tamaño trae consigo una disminución de costos de implementación. Lo expuesto también contribuye al incremento de la densidad másica y volumétrica de potencia del equipo al reducir su tamaño y peso conservando la potencia de operación [68], [69]. Adicionalmente, al disminuir las pérdidas por conmutación se busca un máximo aprovechamiento del recurso energético en los sistemas de conversión.

La solución que se propone en esta tesis incentiva a explotar al máximo el potencial de los dispositivos de Silicio, de fácil adquisición en nuestra región por su costo y nivel de comercialización. El futuro cercano supone la aplicación de esta solución en dispositivos basados en materiales como el Carburo de Silicio [16], [70], [71].



## 1.3 Objetivos del presente trabajo

El presente trabajo aporta conceptos, métodos y herramientas necesarios para el diseño e implementación de interruptores electrónicos con bajas pérdidas por conmutación y vida útil prolongada, a partir de asociaciones serie de transistores *IGBT*.

### Objetivo general

Mitigar los desbalances estáticos y dinámicos de tensión en asociaciones en serie de transistores *IGBT* a partir de criterios de diseño que permitan disminuir pérdidas por conmutación.

### Objetivos específicos

1. Desarrollar una topología para asociación en serie de transistores *IGBT*, que permita reducir los desbalances de tensión y genere bajas pérdidas por conmutación.
2. Analizar mediante simulación el funcionamiento general de la topología propuesta, cuantificando los desbalances estáticos/dinámicos de tensión y las pérdidas por conmutación.
3. Definir rangos de operación de la topología propuesta en aplicaciones de conversión, verificando experimentalmente los efectos de la frecuencia de conmutación y variación de carga.

Con el fin de cumplir con los objetivos planteados se desarrollan una serie de etapas, estas se listan a continuación:

**Etapas 1:** Revisión bibliográfica de las topologías de asociación en serie de dispositivos semiconductores de potencia propuestas por diferentes autores.

**Etapas 2:** Clasificación de técnicas de compensación de desbalances estáticos y dinámicos de tensión en asociaciones en serie de dispositivos semiconductores de potencia. Análisis de cada una de las topologías en cuanto a aspectos relacionados con la efectividad en la mitigación de desbalances de tensión, complejidad del diseño, pérdidas en elementos agregados y pérdidas por

conmutación en los dispositivos semiconductores.

**Etapa 3:** Aplicación de estrategias y metodologías encontradas en el desarrollo de las técnicas de asociación en serie clasificadas a partir del estado del arte. Desarrollo de propuesta inicial de técnica de asociación en serie de transistores *IGBT*.

**Etapa 4:** Análisis de aspectos funcionales de los dispositivos semiconductores, pruebas mediante simulación y experimentales de un único módulo (un *IGBT* con elementos adicionales que permiten reducir pérdidas por conmutación). Ajuste de valores de elementos con el fin de generar mínimas pérdidas por conmutación y mínimas pérdidas en elementos agregados en primer módulo.

**Etapa 5:** Réplica del primer módulo y acople de módulos garantizando mitigación de desbalances de tensión en la asociación en serie, conservando la condición de minimización de pérdidas.

**Etapa 6:** Acondicionamiento de los niveles de aislamiento entre las señales de control y el lado de alta tensión en cada módulo. Generalización de la técnica para asociación en serie de  $n$  módulos.

**Etapa 7:** Desarrollo experimental de prototipo con asociación en serie de 3 módulos.

**Etapa 8:** Validación de prototipo experimental mediante ensayos de laboratorio sometiéndolo a cambios en valores de resistencia de carga. Comparación de topología propuesta vs asociación en serie convencional.

## 1.4 Estructura del documento

En el **Capítulo 1** se presenta la introducción general, la identificación del problema, la motivación, los objetivos perseguidos y la estructura del documento.

El **Capítulo 2** expone la metodología planteada en el desarrollo de esta investigación. A partir de una revisión del estado del arte se desarrolla una metodología basada en la solución progresiva de los inconvenientes encontrados en los circuitos de compensación de desbalances de tensión desarrollados por

otros autores.

En el **Capítulo 3** se describe el principio de operación de la topología propuesta considerando cada modo de operación. Se realiza el desarrollo matemático del comportamiento de un único módulo, considerando que cada uno de estos está sometido a condiciones idénticas de operación. A partir del modelado matemático es posible deducir las ecuaciones de cálculo de los componentes de cada módulo.

Los valores y características de los componentes electrónicos de la topología propuesta son determinados en el **Capítulo 4**. Estos valores son utilizados tanto en las pruebas de simulación mostradas en el **Capítulo 5** como en las pruebas experimentales de laboratorio realizadas en el **Capítulo 6**.

En el **Capítulo 5** se realizan pruebas de la topología propuesta en esta tesis mediante simulación, utilizando el software *LTspice XVII*. Para las pruebas se establecen tres escenarios de prueba: Topología referencia sin compensación de desbalances, topología con compensación con circuito *LC* y topología híbrida *LHVS*. Se realiza una prueba de simulación de la topología propuesta con diez módulos en serie, se verifica la condición de conmutación parcialmente suave (con reducción de pérdidas) de cada transistor y se mide la energía recuperada desde las fuentes de alimentación de los controladores de compuerta.

En el **Capítulo 6** se presentan los resultados obtenidos a partir de las pruebas experimentales del prototipo de topología en laboratorio. Para este caso se sigue el procedimiento de prueba llevado a cabo en el **Capítulo 5**.

El **Capítulo 7** presenta las principales conclusiones de esta tesis, se resaltan las contribuciones más importantes, la divulgación científica y se proponen desarrollos a futuro. Al final del capítulo se relacionan los proyectos realizados en el torno a la investigación de esta tesis.

En el **Anexo A** se realiza una revisión crítica de las diferentes técnicas de compensación de desbalances de tensión en asociaciones en serie de transistores *IGBT* encontradas en el estado del arte. Se evidencian las restricciones comunes de estas alternativas de solución y se realiza una comparación considerando

eficiencia en la compensación, pérdidas en el transistor, pérdidas y complejidad en implementación del sistema de compensación.

El **Anexo B** muestra los esquemas de circuitos adicionales que se implementaron para las pruebas experimentales del prototipo de la topología propuesta en esta tesis. En este caso se muestra la formulación básica que describe su funcionamiento y se detallan las características más relevantes para su uso en el desarrollo experimental.

# CAPÍTULO II

## 2. METODOLOGÍA DESARROLLADA

La metodología desarrollada para articular la topología propuesta en esta tesis es presentada en este capítulo. Todo el proceso parte de una revisión del estado del arte, clasificación y análisis de las técnicas de compensación de desbalances de tensión propuestas por otros autores. Una solución inicial considerando las falencias encontradas en investigaciones previas ha sido implementada. Sobre esta solución inicial se agregaron mejoras a partir de tres fases de prueba y diseño: (a) modelado matemático, (b) simulación y (c) desarrollo experimental. Las tres fases son complementarias y han sido realizadas en el orden descrito, dando un avance progresivo hacia el comportamiento real de la topología propuesta.

En la Figura 2-1 se muestra la metodología implementada en esta investigación. A partir de este proceso riguroso, una nueva topología de asociación en serie de *IGBTs* ha sido desarrollada. Esta topología desde el punto de vista del usuario es un interruptor electrónico de tres terminales (compuerta, emisor y colector).

### 2.1 Topología inicial

La primera etapa del proyecto ha consistido en clasificar las diferentes topologías y técnicas de compensación de desbalances de tensión existentes. Para esto se han conformado dos grandes grupos: (a) compensación desde el lado de compuerta y (b) compensación desde el lado de alta tensión. Por medio de esta clasificación, se evidencian las fortalezas y debilidades de cada topología. Como características de mayor relevancia se han tenido en cuenta: la efectividad en compensación de desbalances, las pérdidas en el transistor, complejidad en la implementación y las pérdidas en el circuito agregado. Estas fortalezas y debilidades se convierten en el punto de partida de la nueva topología, de

asociación en serie de transistores IGBT, propuesta en esta tesis.

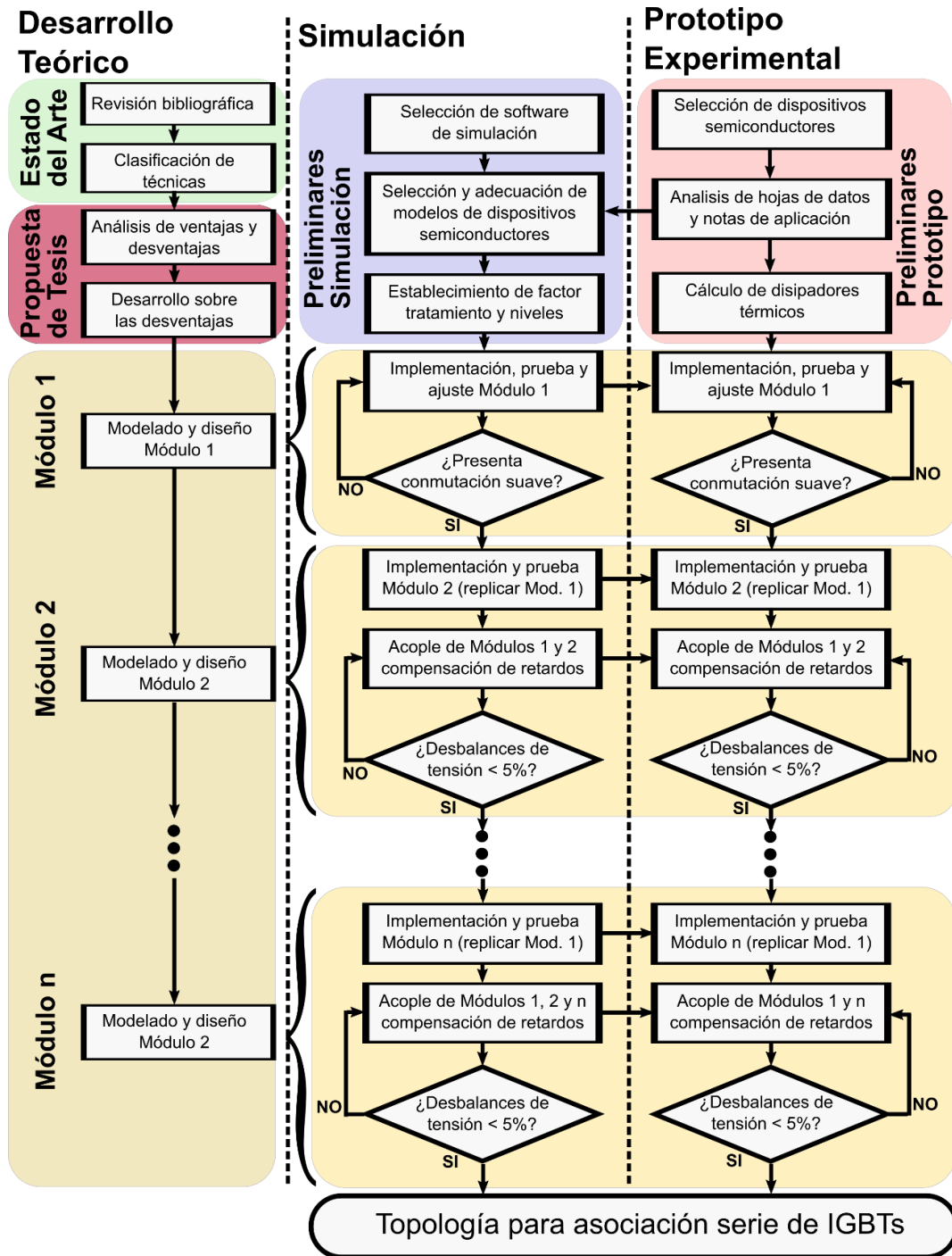


Figura 2-1: Metodología de investigación desarrollada

Dicho punto de partida consiste en una topología con técnica de compensación

de desbalances desde el lado de alta tensión. El principal inconveniente de esta tendencia en técnicas de compensación es el incremento en las pérdidas en el *IGBT* y en el circuito de compensación agregado. Considerando lo anterior, nuestra propuesta parte de un sistema que mitiga desbalances y a la vez genera conmutación parcialmente suave al apagado del *IGBT* (disminución de pérdidas en el transistor). El circuito de compensación agregado en el lado de alta tensión no genera pérdidas. La energía que interviene en la conmutación, acumulada en el circuito agregado, es direccionada hacia la fuente de suministro del controlador de compuerta del *IGBT*. Los componentes reactivos agregados son de volumen reducido. En la Figura 2-2 se muestra la topología inicial propuesta con dos *IGBTs* conectados en serie, en esta,  $V_{Eout1}$  y  $V_{Eout2}$  son las fuentes de suministro del controlador de compuerta de los transistores  $T_1$  y  $T_2$  respectivamente.

En la topología observada en la Figura 2-2 se garantiza compensación de desbalances de tensión solo si las señales de control de compuerta en  $T_1$  y  $T_2$  presentan las mismas características y están sincronizadas.

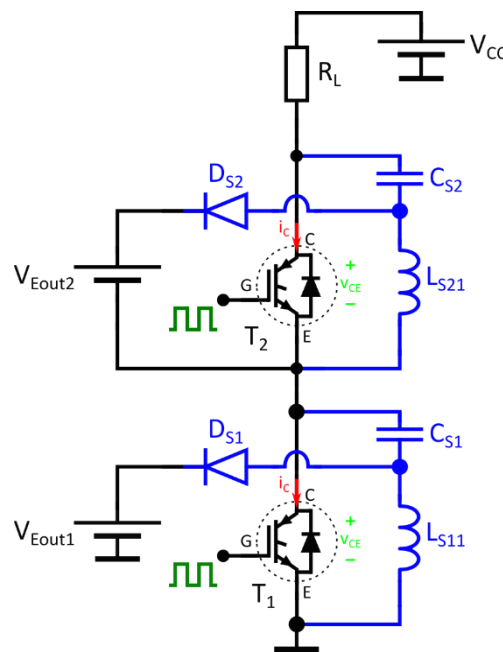


Figura 2-2: Topología inicial con conmutación parcialmente suave al apagado del *IGBT* y compensación de desbalances de tensión

## 2.2 Disminución de pérdidas al encendido

Buscando disminuir las pérdidas por conmutación al encendido, se agrega un inductor saturable en serie con cada *IGBT*. Con este inductor, la corriente crece más lentamente al inicio de la puesta en conducción de modo tal de reducir las pérdidas asociadas a esta conmutación. Con valores de corriente mayores y próximos a la nominal, el inductor se satura y no acumula más energía. En la Figura 2-3 se muestra la topología con su modificación. El volumen del núcleo es bajo, por consiguiente, se obtiene un tamaño reducido de la topología y se alcanza fácilmente la saturación luego de la conmutación a conducción. A partir de esta modificación, los elementos que conforman un módulo son: (a) red *snubber* no disipativa, (b) inductor saturable y (c) *IGBT* con su circuito de control.

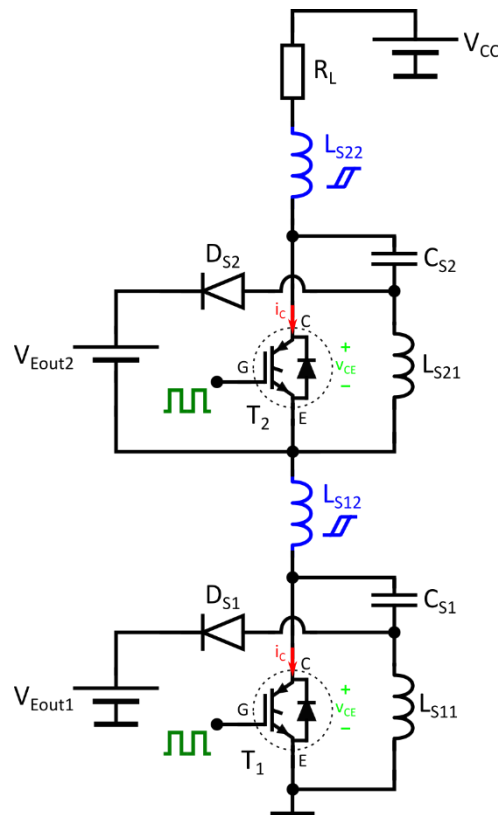


Figura 2-3: Topología con conmutación parcialmente suave al encendido y al apagado del IGBT y compensación de desbalances



## 2.3 Unificación de señal de control

El siguiente paso consiste en asegurar que todos los *IGBTs* reciben la misma señal de activación/bloqueo, de tal manera, que actúen como un transistor equivalente (interruptor electrónico). A partir del segundo módulo, la señal de control debe aislarse del lado de alta tensión debido a que el emisor de los *IGBTs* de los módulos superiores está conectado a un punto flotante. La tensión en el emisor de un *IGBT* ubicado en un módulo superior es igual a la suma de tensiones de los *IGBTs* inferiores más la tensión en los inductores saturables. Con base en lo anterior, en cuanto más módulos se asocien en serie, mayor debe ser el nivel de aislamiento requerido entre el circuito de control y el lado de alta tensión de los módulos superiores. Bajo estas condiciones, el nivel de aislamiento requerido en cada módulo es proporcional a su posición dentro de la topología, esto supone un límite al número de módulos que pueden ser conectados. Este límite está definido por el valor máximo de tensión de aislamiento del dispositivo de aislación empleado, según lo determinado en las normas IEC 60747-5-5, VDE 0884-10 y UL1577 [72], [73]. Adicionalmente, en cuanto mayor sea el nivel de tensión, mayores distancias se deben establecer entre componentes en un circuito [74]. Por estas razones, con el fin de ajustar y balancear los niveles de tensión de aislamiento, se ha elegido la alternativa de conexión mostrada en la Figura 2-4.

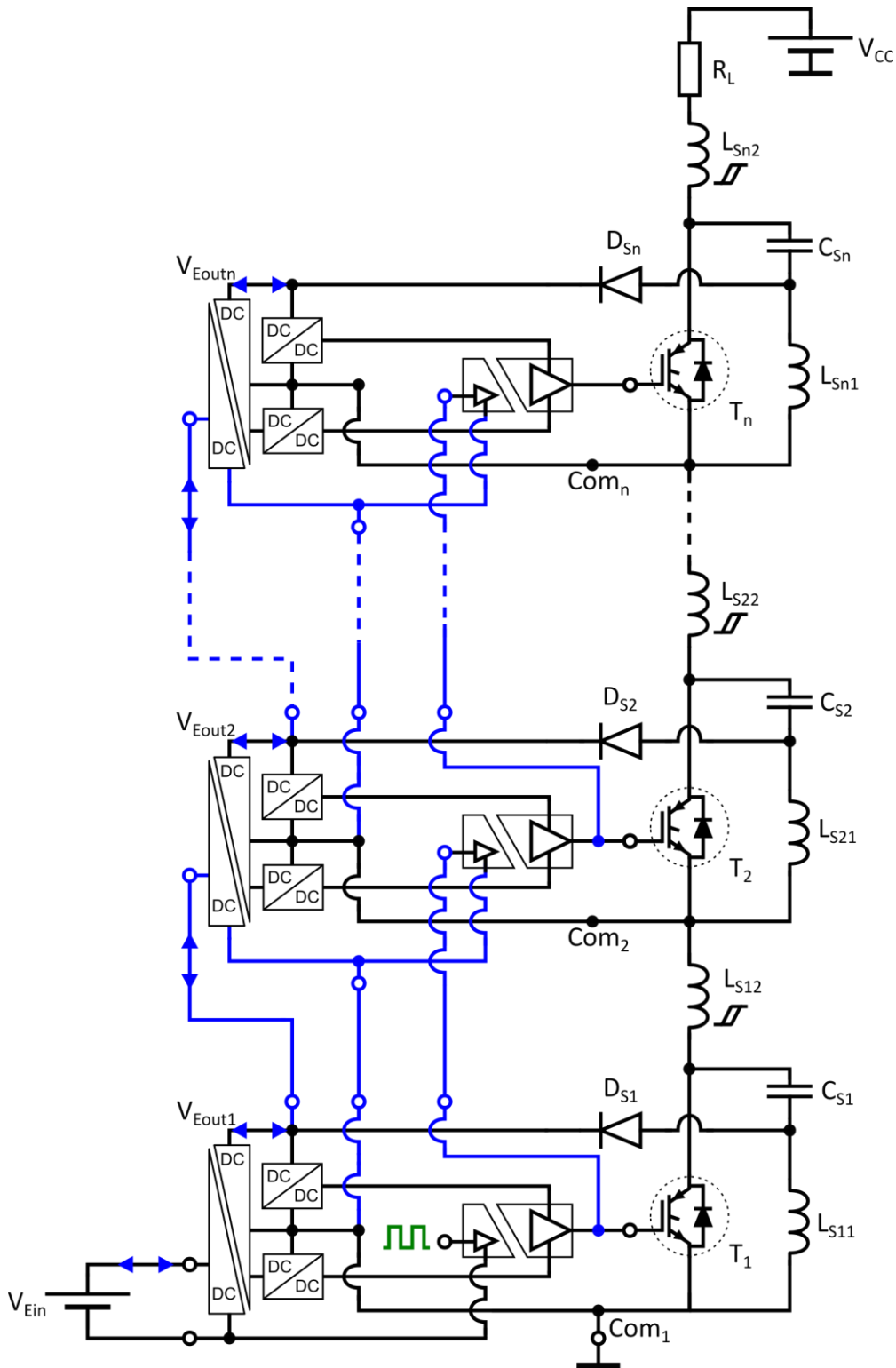


Figura 2-4: Asociación de convertidores DC-DC y controladores aislados de compuerta de IGBTs para topología con  $n$  módulos

En la Figura 2-4, la salida aislada de cada controlador IGBT (controlador de

compuerta optoacoplado) se convierte en la entrada del controlador *IGBT* del módulo adyacente superior. Los controladores se alimentan mediante convertidores aislados bidireccionales que permiten el retorno de energía desde el *snubber* no disipativo. Siguiendo el principio de conexión de los controladores *IGBT*, la salida de los convertidores aislados es tomada como fuente primaria del convertidor del módulo adyacente superior, de esta manera se garantiza un nivel de tensión de aislamiento igual entre el lado de control y el lado de alta tensión en cada módulo. El nivel de tensión de aislamiento para cada módulo está dado por el valor máximo de tensión colector-emisor soportado por cada *IGBT* dentro de la topología. Esta alternativa permite asociar un número ilimitado de módulos en serie sin restricción debida al nivel de aislamiento.

Los tiempos de propagación de los controladores optoacoplados [75], [76] causan retardos entre las señales de compuerta de los *IGBTs* en cada módulo. Los *IGBTs* de los módulos inferiores reciben señal de activación o bloqueo más rápido que los *IGBTs* de los módulos superiores. Lo anterior produce una activación/bloqueo secuencial e incremento en los tiempos de conmutación del interruptor electrónico equivalente, adicionalmente produce desbalances estáticos/dinámicos de tensión en los *IGBTs*. Considerando dicha restricción, se han planteado tres alternativas de solución:

**Alternativa #1:** Asignar valores de capacitancia diferentes en la red *LC* de cada módulo. Se agrega una capacitancia mayor en los módulos superiores respecto a los módulos inferiores. Esto debido a que en la conmutación al encendido se requiere mantener una tensión aproximadamente constante durante un tiempo más prolongado. De esta manera, aunque se conserva la condición activación/bloqueo secuencial, los *IGBTs* superiores no experimentan sobretensiones mientras los dispositivos inferiores entran en conducción.

**Alternativa #2:** Agregar red *snubber RC* en paralelo con la red *LC*. El capacitor agregado mantiene una tensión aproximadamente constante en los módulos superiores mientras los *IGBTs* en los módulos inferiores entran en conducción.

**Alternativa #3:** Compensar los retardos de las señales de control de compuerta

en cada módulo. Con esta acción se genera un retardo en la activación /bloqueo del interruptor equivalente, sin embargo, no afecta el tiempo de conmutación de cada *IGBT* y estos conmutan de forma sincronizada.

## 2.4 Topología híbrida *LHVS*

En la primera alternativa de solución, el valor de capacitancia se convierte en una restricción física que determina el número máximo de módulos para asociar en serie. Adicionalmente, con el incremento del valor de capacitancia se aumenta la energía acumulada durante la conmutación, con lo cual se debe elevar la capacidad nominal de potencia del convertidor bidireccional. Esta solución incrementa el tamaño del interruptor equivalente. Por otra parte, si se examina la necesidad en conmutación al bloqueo, la capacitancia en los módulos inferiores debe ser mayor para que el proceso de carga tarde mucho más tiempo que en los módulos superiores. De esa manera, aunque los capacitores en los módulos inferiores son los primeros en iniciar el proceso de carga, su constante de tiempo es mayor. Ajustar las constantes de tiempo de carga permite alcanzar un valor máximo de tensión aproximadamente igual en todos los módulos. La asignación de valores en las capacitancias de la red *snubber* en conmutación al bloqueo no es consistente con la necesidad encontrada en conmutación al encendido, por esta razón, la alternativa de ajustar valores de capacitancia no es viable.

En la segunda alternativa de solución, aunque el capacitor evita sobretensiones en los módulos superiores durante la conmutación al encendido, la inclusión de la resistencia implica pérdidas que repercuten sobre la eficiencia del interruptor electrónico equivalente. En la conmutación al apagado no es posible ajustar las constantes de tiempo como en la alternativa anterior, por lo tanto, no se mitigan los desbalances estáticos.

La tercera alternativa de solución, aunque incrementa el retardo de activación/bloqueo, no incrementa las pérdidas del *IGBT* y del circuito agregado, por esta razón es la solución seleccionada. Esta alternativa se clasifica dentro de las técnicas de compensación desde el lado de compuerta, en este caso se ha

realizado con circuitos analógicos para disminuir costos y grado de complejidad en la implementación. La topología completa con  $n$  módulos luego de agregar compensación de retardos en compuerta se muestra en la Figura 2-5. Esta es la topología definitiva propuesta en esta tesis para compensar los desbalances de tensión, con bajas pérdidas por conmutación en los IGBTs. La topología desarrollada se ha denominado topología híbrida LHVS (*Loss-less High Voltage Switch*)

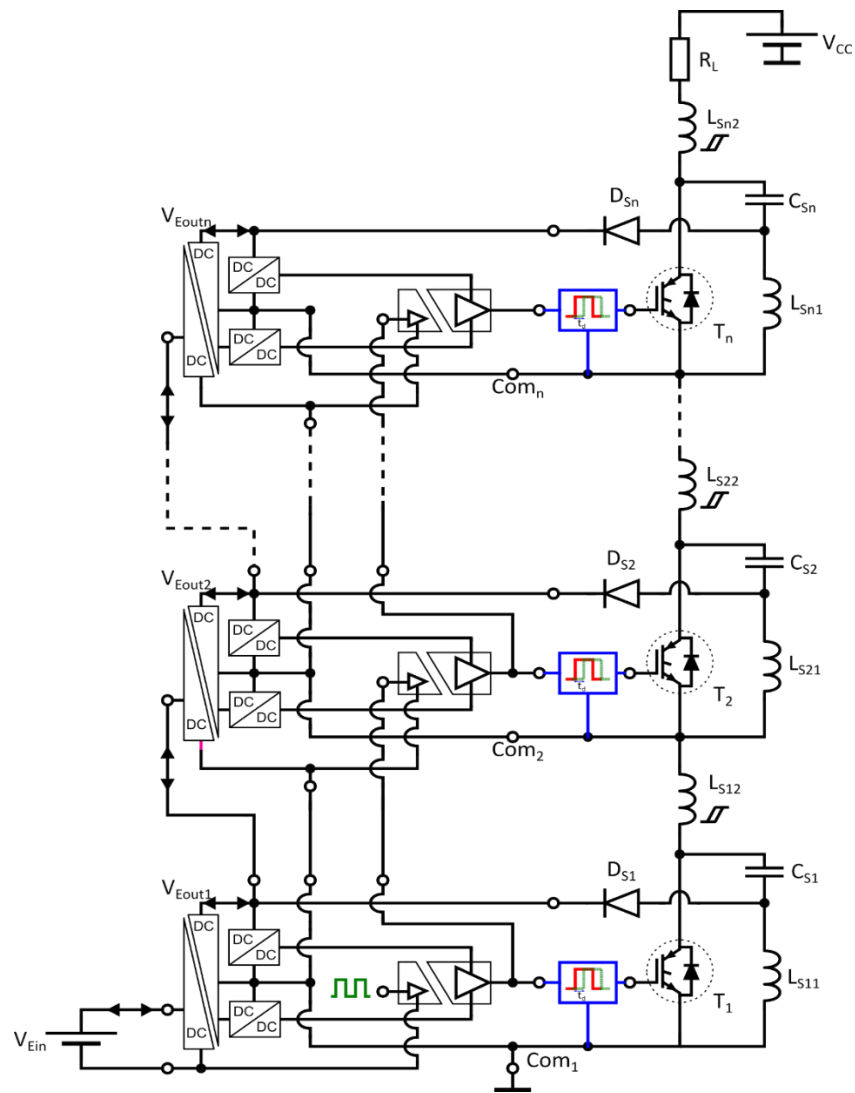


Figura 2-5: Topología híbrida LHVS propuesta en esta investigación

## 2.5 Síntesis

En este capítulo se presentó el desarrollo de una metodología de diseño basada en la solución progresiva de los diferentes inconvenientes encontrados en la asociación en serie de transistores *IGBT*. En esta metodología se han aplicado de forma simultánea las tres fases de diseño complementarias: modelado matemático, simulación y desarrollo experimental. A partir de esta metodología una nueva topología de asociación en serie de transistores *IGBT* con compensación de desbalances de tensión y bajas pérdidas por conmutación ha sido desarrollada.

## CAPÍTULO III

### 3. TOPOLOGÍA PROPUESTA

Una nueva topología para asociación en serie de *IGBTs* con ajuste de desbalances de tensión y bajas pérdidas por conmutación es presentada en este capítulo. A partir de suavizar la conmutación, recuperando energía y compensando retardos en compuerta se presenta una solución integral a los inconvenientes de las asociaciones en serie de transistores *IGBT*. La topología propuesta se presenta como una alternativa para aprovechar el potencial de uso de los dispositivos de silicio en aplicaciones de alta tensión.

La topología propuesta puede estar conformada por  $n$  módulos conectados en serie que se activan/bloquean de manera sincronizada con una única señal de control. Los módulos son idénticos y están conformados de los siguientes circuitos:

- a) Circuito de conmutación parcialmente suave *ZCS(ON)-ZVS(OFF)* y ajuste de desbalances de tensión
- b) Sistema de alimentación de controladores de compuerta con recuperación de energía
- c) Circuito de ajuste de ancho de pulso y controlador aislado de compuerta *IGBT*
- d) Circuito de compensación de retardos en compuerta

Como el objetivo de este capítulo es presentar los principios de operación de la topología propuesta, primero se describen cada uno de los circuitos que componen un módulo y, por último, se muestra el funcionamiento general de la topología completa.

### 3.1 Circuito ZCS(ON)-ZVS(OFF) con ajuste de desbalances

Este circuito consiste en una red  $LC$  conectada entre colector y emisor y un inductor conectado en serie con el colector del  $IGBT$ . La función de carga del capacitor  $C_{S1}$  condiciona la tensión  $v_{CE}(t)$  en conmutación al bloqueo del  $IGBT$  y la función de carga del inductor  $L_{S12}$  condiciona la corriente  $i_C(t)$  en la entrada en conducción. En la Figura 3-1 se muestra el circuito de conmutación parcialmente suave ZCS(ON)-ZVS(OFF) con ajuste de desbalances de tensión propuesto en esta investigación. En esta Figura,  $V_{Eout}$  es el punto de conexión con la fuente de alimentación del controlador  $IGBT$  y  $Sig_{gate}$  es el punto de conexión de la señal proveniente del circuito de compensación de retardos en compuerta.

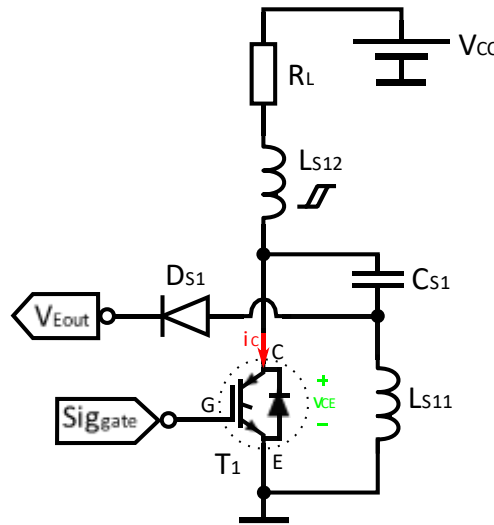


Figura 3-1: Circuito de conmutación parcialmente suave con ajuste de desbalances

El inductor  $L_{S12}$  está diseñado para que alcance la saturación ante una corriente cercana a  $V_{CC}/R_L$ , de esta manera contribuirá a suavizar la conmutación al encendido (ZCS(ON)) sin generar caída de tensión (y elevadas pérdidas) mientras el  $IGBT$  conduce. Tomando como referencia lo propuesto en [77], la ecuación que define el valor del inductor saturable  $L_{S12}$  en función de la corriente de circulación es:

$$L_{S12} = \frac{\mu_o \mu_r H n_L^2 S_{FE}}{l_a} \quad (1)$$



Donde  $\mu_o$  es la permeabilidad en vacío igual a  $4\pi*10^{-7}$ ,  $\mu_r$  es la permeabilidad del material ferromagnético,  $H$  es el campo magnético,  $n_L$  es el número de vueltas del bobinado,  $S_{FE}$  es el área eficaz de la sección transversal del núcleo y  $l_a$  es la longitud del entrehierro en metros. La no linealidad del inductor se incluye con el modelo de núcleo con histéresis propuesto por Chan en 1991 [77] y extendido finalmente por Engelhard en 2009 [78]. En este modelo se consideran trayectorias diferentes tanto para magnetización como para desmagnetización del material magnético de acuerdo con las ecuaciones (2) y (3).

$$B_{up}(H) = B_S \frac{H + H_C}{|H + H_C| + H_C(B_S / B_r - 1)} + \mu_o H \quad (2)$$

$$B_{dn}(H) = B_S \frac{H - H_C}{|H - H_C| + H_C(B_S / B_r - 1)} + \mu_o H \quad (3)$$

Donde  $B_{up}(H)$  describe la trayectoria superior descendente y  $B_{dn}(H)$  describe la trayectoria inferior ascendente en el lazo de histéresis de un material magnético. La permeabilidad del núcleo estará dada en función del valor actual y estados anteriores de  $H$ . En (2) y (3),  $B_r$  es la densidad de flujo de saturación magnético remanente,  $H_C$  es la fuerza coercitiva y  $B_S$  es la densidad de flujo de saturación magnética en saturación [79]. Las trayectorias que representan las ecuaciones (2) y (3) se observan en la Figura 3-2.

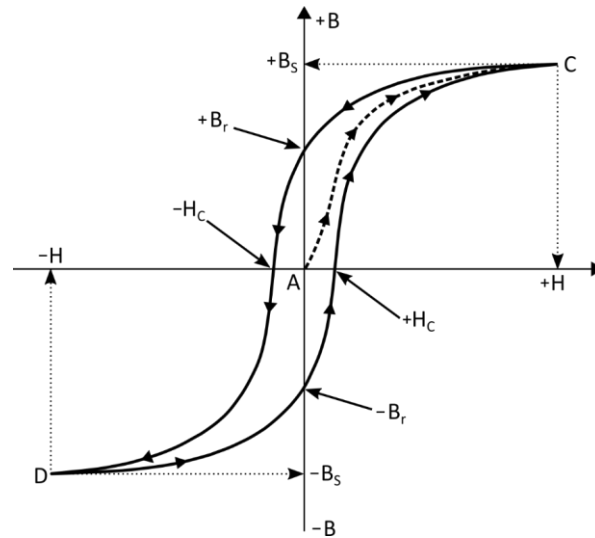


Figura 3-2: Lazo de histéresis del material magnético

Este modelo de inductor no lineal se encuentra disponible en el software *LTspice* XVII [79]–[81], software utilizado en esta investigación para el diseño y prueba de la topología mediante simulación.

Al analizar la interacción de los diferentes elementos que componen el circuito que se muestra en la Figura 3-1, se encuentran cinco modos de operación. Estos modos de operación están definidos por el estado (encendido/apagado) del *IGBT*  $T_1$  y el diodo  $D_{S1}$ . A continuación se desarrolla el modelado matemático de un módulo de la topología en sus diferentes modos de operación. Para este procedimiento, el sistema de alimentación de controladores de compuerta con recuperación de energía se representa con una fuente de tensión constante  $V_{Eout}$ .

### 3.1.1 Modo I ( $t < t_0$ ): transistor y diodo bloqueados

Si el *IGBT* se encuentra bloqueado (señal  $Sig_{gate}$  en su valor mínimo), la tensión del capacitor es igual a la tensión de la fuente de suministro  $V_{CC}$ . Bajo esta condición, la tensión y corriente en los inductores  $L_{S11}$  y  $L_{S12}$  son nulas y el diodo  $D_{S1}$  está bloqueado. La Figura 3-3 muestra el modo I del circuito.

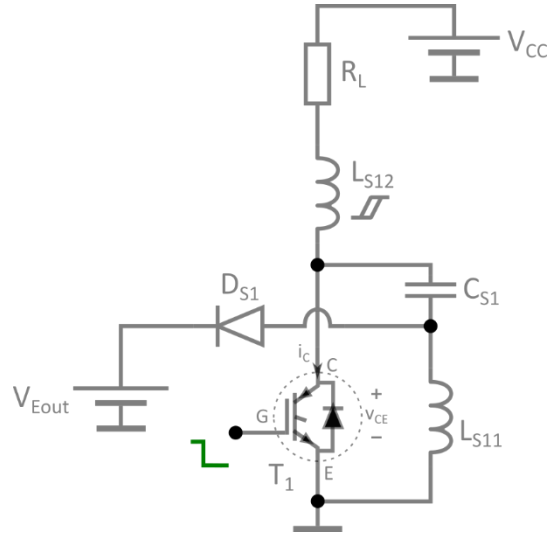


Figura 3-3: Modo I:  $T_1$  y  $D_{S1}$  en bloqueo

### 3.1.2 Modo II ( $t_0 < t < t_1$ ): transistor en conducción y diodo bloqueado

Una vez el *IGBT* recibe el comando de activación, la tensión en el capacitor  $C_{S1}$  comienza a disminuir y la corriente en los inductores se incrementa. Las ecuaciones (4), (5) y (6) describen el comportamiento de estas variables.

$$i_{L_{S11}}(t) = \frac{V_{CC}}{\sqrt{L_{S11} / C_{S1}}} \text{sen}\left(\left[\sqrt{1 / L_{S11} C_{S1}}\right]t\right) \quad (4)$$

$$i_{L_{S12}}(t) = \frac{V_{CC}}{R_L} \left(1 - e^{-\frac{R_L t}{L_{S12}}}\right) \quad (5)$$

$$v_{C_{S1}}(t) = V_{CC} \cos\left(\left[\sqrt{1 / L_{S11} C_{S1}}\right]t\right) \quad (6)$$

Con lo anterior, la corriente de colector del transistor *IGBT* evoluciona de acuerdo con la ecuación (7):

$$i_C(t) = i_{L_{S11}}(t) + i_{L_{S12}}(t) \quad (7)$$

La Figura 3-4 muestra la posición de  $T_1$  y  $D_{S1}$  en el modo II del circuito, en este intervalo,  $D_{S1}$  está bloqueado mientras  $T_1$  conduce.

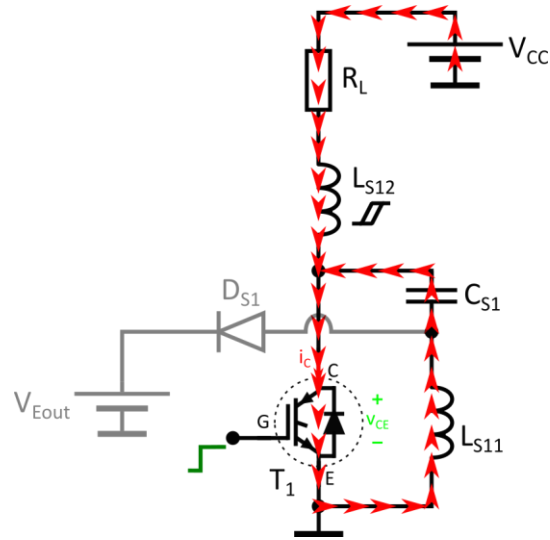


Figura 3-4: Modo II:  $T_1$  en conducción y  $D_{S1}$  en bloqueo

### 3.1.3 Modo III ( $t_1 < t < t_2$ ): transistor y diodo en conducción

La tensión  $v_{CS1}$  decrece hasta el valor de  $-V_{Eout}$ , a partir del instante en que se cumple esta igualdad,  $D_{S1}$  entra en conducción dando lugar a nuevas ecuaciones que definen el comportamiento del circuito.

$$i_{L_{S11}}(t) = \frac{-V_{Eout}}{L_{S11}}(t - t_1) + i_{L_{S11}}(t_1) \quad (8)$$

$$i_{L_{S12}}(t) = \frac{V_{CC}}{R_L} \quad (9)$$

$$v_{C_{S1}}(t) = -V_{Eout} \quad (10)$$

Donde  $t_1$  es el instante de tiempo en el cual el diodo  $D_{S1}$  entra en conducción. La corriente  $i_{L_{S11}}(t)$  circula a través del diodo  $D_{S1}$  hacia la fuente  $V_{Eout}$ , por lo tanto, la corriente de colector del IGBT está dada por:

$$i_C(t) = i_{L_{S12}}(t) \quad (11)$$

La energía acumulada en  $L_{S11}$  es entregada a la fuente  $V_{Eout}$ , el valor de energía recuperada en esta fuente se puede aproximar mediante la siguiente ecuación:

$$W_1 = \frac{1}{2} i_{L_{S11}}(t_1) \cdot [t_2 - t_1] \cdot V_{Eout} \quad (12)$$

Donde  $t_2$  es el instante de tiempo en el cual el valor de la corriente  $i_{L_{S11}}$  se hace nulo ( $L_{S11}$  se descarga totalmente sobre  $V_{Eout}$ ). El modo III de funcionamiento se muestra en la Figura 3-5.

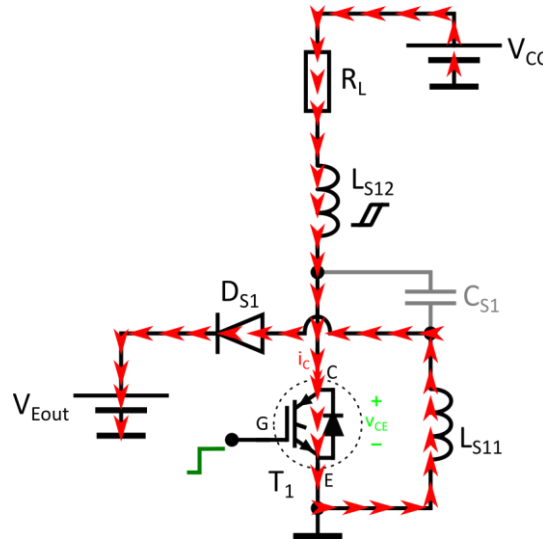


Figura 3-5: Modo III: T<sub>1</sub> y D<sub>S1</sub> en conducción

### 3.1.4 Modo IV ( $t_2 < t < t_3$ ): transistor en conducción y diodo bloqueado

A partir del instante  $t_2$ , el diodo  $D_{S1}$  deja de conducir dando paso a nuevas ecuaciones que describen el comportamiento del circuito. Si el IGBT continúa en conducción, en la red LC se da un intercambio energético entre los dos elementos,  $i_{L_{S11}}$  y  $v_{C_{S1}}$  están dados por las ecuaciones (13) y (14):

$$i_{L_{S11}}(t) = \frac{V_{Eout}}{\sqrt{L_{S11} / C_{S1}}} \text{sen}\left(\left[\sqrt{1 / L_{S11} C_{S1}}\right] t\right) \quad (13)$$

$$v_{C_{S1}}(t) = V_{Eout} \text{cos}\left(\left[\sqrt{1 / L_{S11} C_{S1}}\right] t\right) \quad (14)$$

La corriente en  $L_{S12}$  conserva el siguiente valor:

$$i_{L_{S12}}(t) = \frac{V_{CC}}{R_L} \quad (15)$$

Al existir intercambio energético en la red  $LC$ , la corriente que circula por el  $IGBT$  está definida por (16):

$$i_C(t) = i_{L_{S11}}(t) + i_{L_{S12}}(t) \quad (16)$$

Las posiciones del diodo  $D_{S1}$  y el  $IGBT T_1$  en el modo IV son iguales a las definidas en el modo II (Figura 3-4).

### 3.1.5 Modo V ( $t_3 < t < t_4$ ): transistor bloqueado y diodo en conducción

Cuando el  $IGBT$  recibe comando de bloqueo, la tensión en el inductor  $L_{S11}$  es  $v_{L_{S11}}(t) = V_{Eout}$ , por lo tanto, el diodo  $D_{S1}$  entra en conducción. La tensión en el capacitor  $C_{S1}$  se incrementa de acuerdo con la ecuación (17):

$$v_{C_{S1}}(t) = V_{CC} - B_3 e^{S_1 t} - B_4 e^{S_2 t} \quad (17)$$

y las nuevas ecuaciones que describen la evolución de la corriente en los inductores son:

$$i_{L_{S11}}(t) = 0 \quad (18)$$

$$i_{L_{S12}}(t) = B_1 e^{S_1 t} + B_2 e^{S_2 t} \quad (19)$$

Donde:

$$S_{1,2} = -\frac{R_L}{2L_{S12}} \pm \sqrt{\left(\frac{R_L}{2L_{S12}}\right)^2 - \frac{1}{L_{S12}C_{S1}}}$$

$$B_1 = \frac{V_{CC}}{R_L} \frac{S_2}{S_2 - S_1}; \quad B_2 = \frac{V_{CC}}{R_L} \frac{S_1}{S_1 - S_2};$$

$$B_3 = \frac{V_{CC}}{R_L C_{S1}} \frac{1 + R_L C_{S1} S_2}{S_2 - S_1}; \quad B_4 = \frac{V_{CC}}{R_L C_{S1}} \frac{1 + R_L C_{S1} S_1}{S_1 - S_2}$$

La apertura del transistor está ajustada con la función de tensión del capacitor  $C_{S1}$ . En este nuevo intervalo de conducción del diodo  $D_{S1}$ , la energía transferida a

la fuente  $V_{Eout}$  es aproximadamente igual a:

$$W_2 = V_{Eout} \int_{t_3}^{t_4} [i_{L_{S12}}(t) - i_C(t)] dt \quad (20)$$

La Figura 3-6 muestra el modo V de funcionamiento del circuito.

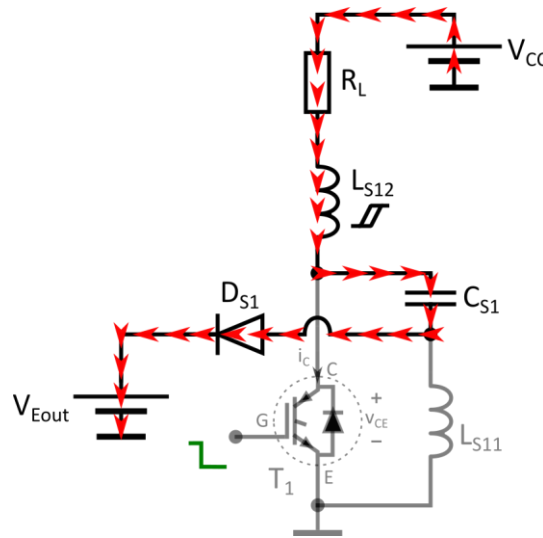


Figura 3-6: Modo V:  $T_1$  bloqueado y  $D_{S1}$  en conducción

En este modo de operación, la transferencia de energía a  $V_{Eout}$  se realiza hasta que  $C_{S1}$  se carga completamente. Con esta condición cumplida, el diodo  $D_{S1}$  se bloquea y se da paso a un nuevo ciclo de funcionamiento del interruptor.

En la Figura 3-7 se muestran las formas de onda de tensión y corriente en el transistor  $T_1$ , corriente en el diodo  $D_{S1}$  junto con las variables de estado para la etapa inferior de la topología.

En la Figura 3-7 se han delimitado las zonas de cada uno de los modos de operación explicados anteriormente. Desde el instante  $t_0$ , la corriente  $i_C(t)$  muestra una curva creciente en función del valor del inductor saturable  $L_{S12}$  mientras que la tensión  $v_{CE}(t)$  cambia rápidamente, garantizando conmutación parcialmente suave al encendido. En el intervalo comprendido entre  $t_0$  y  $t_1$  (antes de que  $D_{S1}$  entre en conducción) la corriente del snubber LCE no disipativo circula por el transistor. Esta corriente incrementa las pérdidas por conducción en el IGBT y es un parámetro por considerar en la selección de los valores  $C_{S1}$  y  $L_{S11}$ . Entre  $t_2$  y  $t_3$  existe un intercambio energético en el snubber LCE, una pequeña corriente circula por el IGBT. A partir de

$t_3$ , (señal de bloqueo) la tensión  $v_{CE}(t)$  evoluciona lentamente en función de la carga en  $C_{S1}$ , mientras que la corriente  $i_C(t)$  decrece rápidamente hasta que  $L_{S12}$  sale de saturación y se presenta la corriente de cola del IGBT. El capacitor  $C_{S1}$ , al disminuir la pendiente de subida de la tensión del IGBT contribuye a suavizar la conmutación al bloqueo.

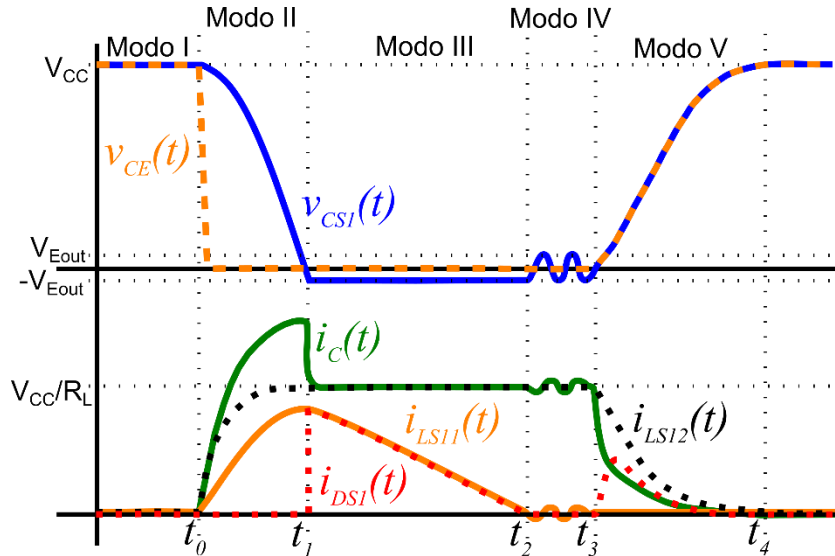


Figura 3-7: Formas de onda de variables de estado, corriente en diodo  $D_{S1}$ , tensión y corriente en transistor  $T_1$  en los diferentes modos de operación

### 3.1.6 Deducción de valores de componentes del snubber no disipativo

El snubber LCE cumple dos funciones dentro del circuito: (a). asegurar nivel equilibrado de tensión en los IGBTs de la asociación en serie y (b). generar conmutación parcialmente suave al apagado del IGBT. Para calcular los valores de  $L_{S11}$  y  $C_{S1}$  se deben considerar algunas características del IGBT a utilizar. De acuerdo con la ecuación (4), la frecuencia de oscilación de las señales de tensión  $v_{CS1}$  y corriente  $i_{LS11}$  está dada por:

$$f_r = \frac{1}{2\pi} \sqrt{\frac{1}{L_{S11}C_{S1}}} \quad (21)$$

Si el tiempo que tarda un IGBT en entrar en conducción es un cuarto del valor del período de la señal oscilante del snubber LCE, el valor de  $L_{S11}$  según [37] se puede calcular a partir de la siguiente ecuación:



$$L_{S11} = \frac{4T_{on}^2}{\pi^2 C_{S1}} \quad (22)$$

Donde  $T_{on}$  es el tiempo que tarda el *IGBT* en entrar en conducción,  $L_{S11}$  y  $C_{S1}$  el inductor y capacitor del *snubber*, respectivamente. Por otra parte, en el Modo II cuando el *IGBT* entra en conducción, el valor máximo de corriente generada desde el *snubber* y que circula a través del *IGBT* está dado por:

$$I_{max} = \frac{v_{C_{S1}}(0)}{Z_r} \quad (23)$$

Donde:

$$Z_r = \sqrt{\frac{L_{S11}}{C_{S1}}} \quad (24)$$

$v_{C_{S1}}(0)$  es el valor de tensión del capacitor instantes antes de que el *IGBT* entre en conducción, este es el valor máximo de tensión que toma el capacitor. Para una asociación en serie de  $n$  dispositivos:

$$v_{C_{S1}}(0) = \frac{V_{CC}}{n} \quad (25)$$

Donde  $V_{CC}$  es el valor de la fuente de alta tensión que alimenta la carga y  $n$  es el número de *IGBTs* asociados en serie. Con lo anterior, a partir de las ecuaciones (23) y (24), se tiene que:

$$C_{S1} = \frac{L_{S11} I_{max}^2}{v_{C_{S1}}^2(0)} \quad (26)$$

Dado que la corriente generada por el *snubber LCE* ocasiona pérdidas por conducción en el transistor *IGBT*, es necesario incrementar (tanto como sea posible) el valor de la impedancia  $Z_r$ . Lo anterior implica incrementar el valor de inductancia en  $L_{S11}$  o reducir el valor de capacitancia en  $C_{S1}$ . En el primer caso, de acuerdo con (12) (Modo III de funcionamiento), se incrementa la energía retornada a través del diodo  $D_{S1}$ , por lo cual se debe utilizar un diodo de mayor corriente nominal. Adicionalmente, en cuanto mayor sea el valor de inductancia de  $L_{S11}$

mayor será el intervalo de funcionamiento de la topología en el Modo III, esto restringe el ancho de pulso mínimo del interruptor electrónico equivalente. En el segundo caso, el valor de capacitancia debe ser por lo menos 10 veces mayor que la capacitancia de salida del *IGBT* con el fin de garantizar una conmutación suave independiente de las variaciones de temperatura y envejecimiento del semiconductor. Lo anterior evidencia una relación de compromiso entre las ecuaciones (22) y (26) que restringe el cálculo de los valores de  $L_{S11}$  y  $C_{S1}$ .

### 3.1.7 Deducción de la tensión y corriente del *IGBT* $T_1$ y el diodo $D_{S1}$

En una asociación en serie de  $n$  *IGBTs*, la tensión máxima colector-emisor  $V_{CES}$  del dispositivo está definida por:

$$V_{CES} = \frac{V_{CC}}{n} \quad (27)$$

Al tratarse de una conexión en serie, cada *IGBT* debe soportar la corriente máxima del circuito dada por la carga más el valor medio de la corriente debida al intercambio de energía en el *snubber* *LCE* en el Modo II.

$$I_{C_{max}} = \frac{V_{CC}}{R_L} \quad (28)$$

La tensión inversa de operación del diodo se obtiene considerando el peor de los casos en los modos de operación de la topología para los cuales el diodo está en bloqueo (Modo I, Modo II y Modo IV en la Figura 3-7). El peor de los casos se da en el Modo II, en este, el valor máximo de tensión inversa  $V_{RRM}$  del diodo  $D_{S1}$  es:

$$V_{RRM} = \frac{V_{CC}}{n} \quad (29)$$

A través de este diodo se transfiere la energía desde la red *snubber* hacia la fuente bidireccional en corriente. La corriente nominal de este diodo puede ser calculada a partir de la forma de onda de corriente  $i_{DS1}(t)$  en un ciclo de operación del interruptor electrónico. A partir de las ecuaciones (12) y (20), se tiene que:

$$I_{D_{S1}} = \frac{1}{2T_S} i_{L_{S11}}(t_1) \cdot [t_2 - t_1] + \frac{1}{T} \int_{t_3}^{t_4} [i_{L_{S12}}(t) - i_{T_1}(t)] dt \quad (30)$$

Donde  $T_S$  es el período de conmutación del interruptor electrónico equivalente. El diodo que se emplee en esta aplicación debe ser rápido, de tal manera que entre en conducción tan pronto como la tensión en el lado del *snubber* alcance el valor de la tensión de salida del convertidor bidireccional.

### 3.2 Sistema de alimentación de controladores

En la sección 3.1, el sistema de alimentación de controladores de compuerta con recuperación de energía es simplificado y representado mediante la fuente de tensión  $V_{Eout}$ . Este sistema se encuentra relacionado con el comportamiento del circuito de conmutación parcialmente suave *ZCS(ON)-ZVS(OFF)*. El proceso de recuperación está comandado por el diodo  $D_{S1}$  que entra en conducción dependiendo del valor de tensión que toma el capacitor  $C_{S1}$ . El circuito está constituido por un convertidor *Flyback* bidireccional en corriente con dos devanados secundarios. La Figura 3-8 muestra el circuito convertidor *Flyback* implementado, aquí, el inductor acoplado tiene un nivel de tensión de aislamiento de  $2 \text{ kV RMS}$ , mientras que los optoacopladores poseen un nivel de tensión de aislamiento de  $5 \text{ kV RMS}$ . Adicionalmente, se utiliza el controlador *PWM* en modo corriente UC3843. Este convertidor suministra la tensión de operación de los controladores del *IGBT* y a la vez admite la transferencia de energía desde su secundario positivo ( $V_{Eout}$ ) hacia la fuente primaria  $V_{Ein}$ , lugar donde puede reutilizarse o almacenar.

La realimentación del convertidor se realiza por medio de lazo de control optoacoplado (ver circuito demarcado en color azul en la Figura 3-8). Este lazo de control está constituido por un optotransistor y una referencia de tensión secundaria TL431 de  $2.5 \text{ V}$ . Este lazo de control puede ser analizado como un compensador tipo II el cual se describe mediante la siguiente función de transferencia:

$$C(s) = k_p \left( \frac{1 + s\tau}{s\tau} \right) \left( \frac{1}{1 + sT} \right) = k_p \frac{1 + s\tau}{s^2\tau T + s\tau} \quad (31)$$

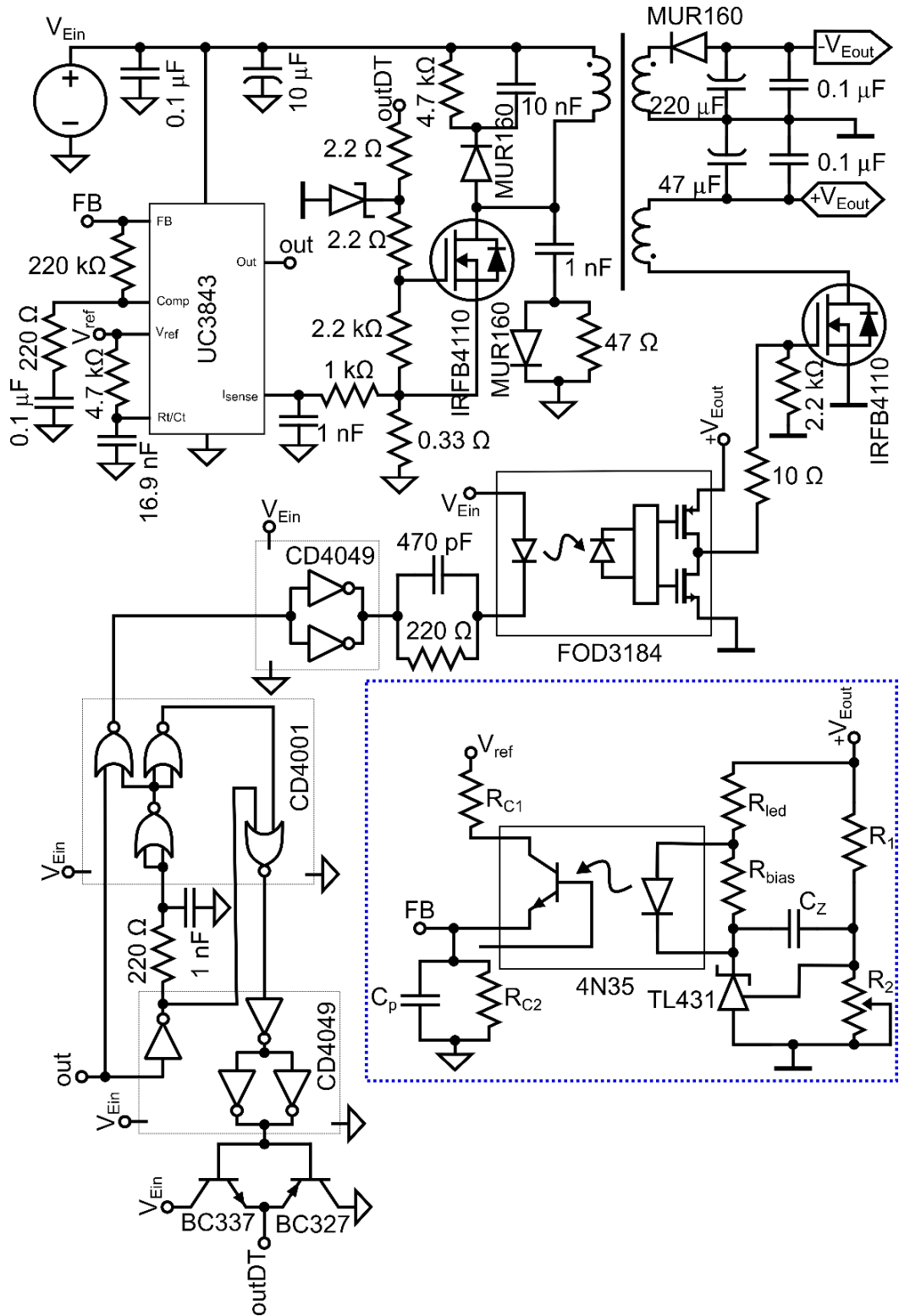


Figura 3-8: Convertidor Flyback bidireccional

El controlador tipo II se encuentra definido por tres parámetros [82], [83]: (a) la ganancia  $A_v$ , (b) el cero de frecuencia  $w_z$  y (c) el polo de frecuencia  $w_p$ . A partir de estos parámetros se obtienen los términos de la función de transferencia descrita en (31):

$$k_p = 10^{\frac{A_v}{20}} \quad (32)$$

$$\tau = \frac{1}{w_z} \quad (33)$$

$$T = \frac{1}{w_p} \quad (34)$$

En la Figura 3-8,  $R_{C1}$  y  $R_{C2}$  se usan para ajustar la tensión de control  $V_c$ , la resistencia equivalente de colector en pequeña señal es  $R_{C1}||R_{C2}$ . La ganancia proporcional  $k_p$  está dada por:

$$k_p = CTR \frac{R_C}{R_{led}} \quad (35)$$

Donde  $CTR$  es la razón de transferencia de corriente o proporción entre la corriente de salida y la corriente de entrada del optoacoplador.  $R_C$  es la resistencia equivalente de colector en pequeña señal y  $R_{led}$  es la resistencia que limita la corriente que atraviesa el diodo del optoacoplador.  $w_z$  y  $w_p$  se definen por parámetros del circuito de la siguiente manera:

$$w_z = \frac{1}{R_1 C_z} \quad (36)$$

$$w_p = \frac{1}{R_C C_p} \quad (37)$$

Donde  $R_1$  es la resistencia que hace parte del divisor resistivo con el cual se mide la tensión de salida,  $C_z$  es el capacitor conectado entre cátodo y referencia del integrado TL431 y  $C_p$  es el capacitor que se conecta entre el emisor de la salida del optoacoplador y tierra.  $C_p$  debe tener un valor de capacitancia mucho mayor

que la capacitancia de salida del optoacoplador. El siguiente paso consiste en definir los parámetros del circuito de tal manera que haya un margen de ganancia y de fase adecuados para que el convertidor opere en una zona estable

En los instantes en que se retorna energía desde el *snubber* no disipativo, la tensión de salida del convertidor *Flyback* bidireccional se eleva momentáneamente. Esa elevación de tensión puede causar daños en el circuito controlador e incluso en la compuerta del *IGBT* si se excede el valor máximo de tensión compuerta-emisor ( $V_{GE}$ ). Debido a esto es necesario agregar circuitos de conversión DC – DC en las salidas del convertidor *Flyback*, estos garantizan una tensión de entrada constante en el circuito controlador *IGBT*. En la Figura 3-9 se observan los circuitos implementados, en la salida de tensión negativa que requiere menor potencia de salida se agrega un regulador LM7915, mientras que la salida positiva se regula mediante un convertidor *Buck* basado en el integrado LM2596.

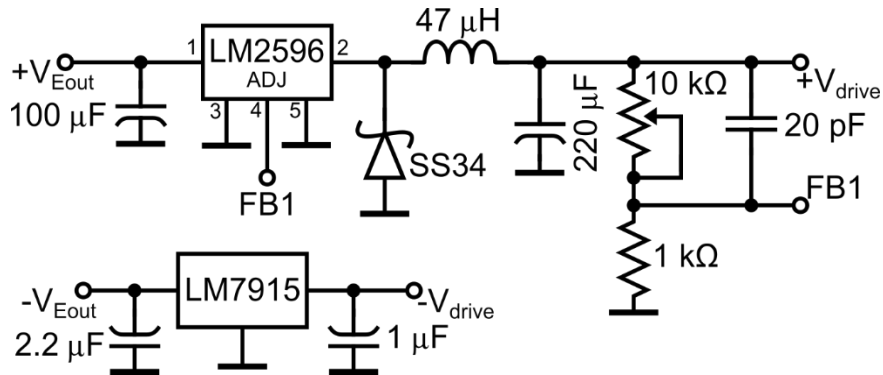


Figura 3-9: Circuitos para pos-regulación DC-DC

En la Figura 3-9, las tensiones de entrada (salidas del convertidor *Flyback*) son  $\pm 24$  V, la salida negativa  $-V_{drive}$  tiene un valor de -15 V mientras que la salida positiva  $+V_{drive}$  es ajustada a 18 V.

### 3.3 Ancho de pulso y controlador aislado

Esta etapa se divide en dos partes: (a) circuito de ajuste del ancho de pulso y (b) circuito de aislamiento entre la señal de control y la señal de alta tensión del *IGBT*. El circuito de ajuste del ancho de pulso de la señal de control se muestra en

la Figura 3-10. Este circuito se implementa únicamente en el módulo inferior, los ajustes que desde este se apliquen a la señal se verán reflejados en todos los módulos.

En el circuito de la Figura 3-10, la señal de control  $Sig_{in}$  carga el capacitor  $C_{pw}$  a través de la resistencia variable  $R_{pw}$ . De esta manera se obtiene una señal de tensión exponencial en el capacitor  $C_{pw}$  en los flancos de subida de la señal  $Sig_{in}$ . El diodo conectado en antiparalelo con la resistencia  $R_{pw}$  asegura una ruta de baja impedancia para descarga del capacitor durante el flanco de bajada de la señal  $Sig_{in}$ . Lo anterior garantiza un comportamiento exponencial únicamente en el flanco de subida (carga del capacitor  $C_{pw}$ ).

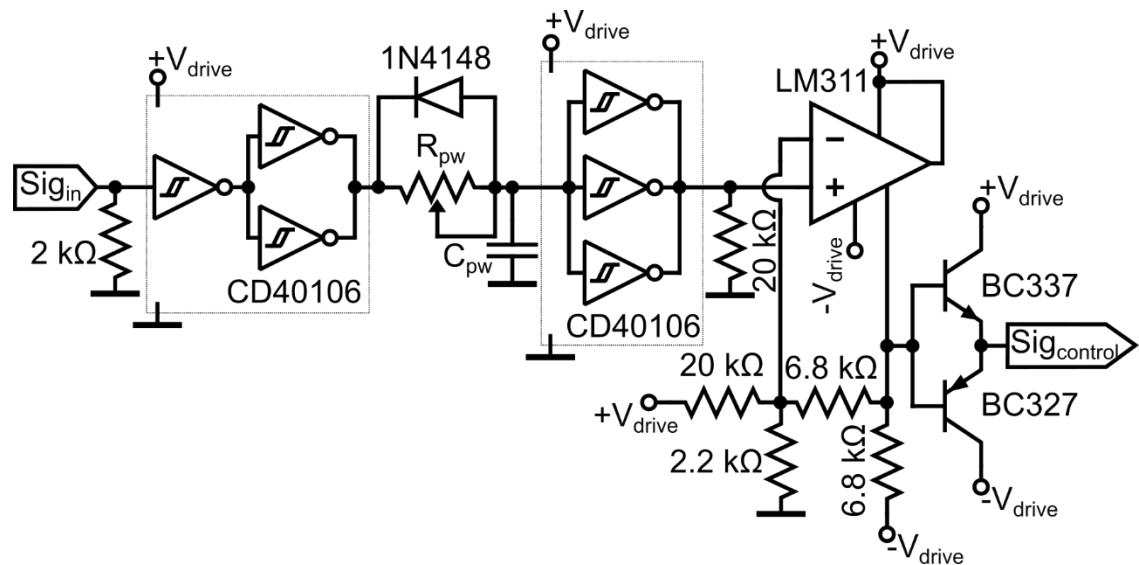


Figura 3-10: Circuito de ajuste del ancho de pulso

La señal de tensión del capacitor  $C_{pw}$  es ingresada en un *Schmitt - trigger*, en este se compara con un valor de umbral inferior de tensión  $V_{T+}$ . Mientras el capacitor se carga hasta alcanzar el valor  $V_{T+}$ , la salida del *Schmitt - trigger* permanece en su estado inicial.

Con base en lo anterior, el tiempo que tarda el capacitor en alcanzar dicho valor de umbral equivale a un tiempo de retardo  $t_d$  en el cambio de estado en la señal de salida del *Schmitt - trigger* respecto al cambio en la señal de entrada  $Sig_{in}$ . Si se tiene en cuenta que el retardo solo se aplica en los flancos de subida de la señal

de entrada (debido al efecto del diodo 1N4148), el tiempo  $t_d$  resulta en una reducción del ancho de pulso de la señal de salida. En la Figura 3-11 se observan las señales de entrada (línea roja) y salida (línea naranja) del *Schmitt trigger* en el circuito de ajuste del ancho de pulso.

La señal de salida del comparador es llevada a una nueva configuración *Schmitt trigger* con salida en emisor común implementada con el amplificador LM311. En esta configuración se invierte la señal y además se asigna un valor negativo de tensión al valor mínimo de salida. Con la salida del segundo *Schmitt trigger* se conmuta una configuración tipo seguidor, conformada por transistores complementarios BC327 – BC337 que incrementa la capacidad de corriente en la salida Sig<sub>control</sub>. A partir de la variación en el valor de resistencia de  $R_{pw}$  se cambia el valor de  $t_d$  y con esto el ancho de pulso de la señal de salida.

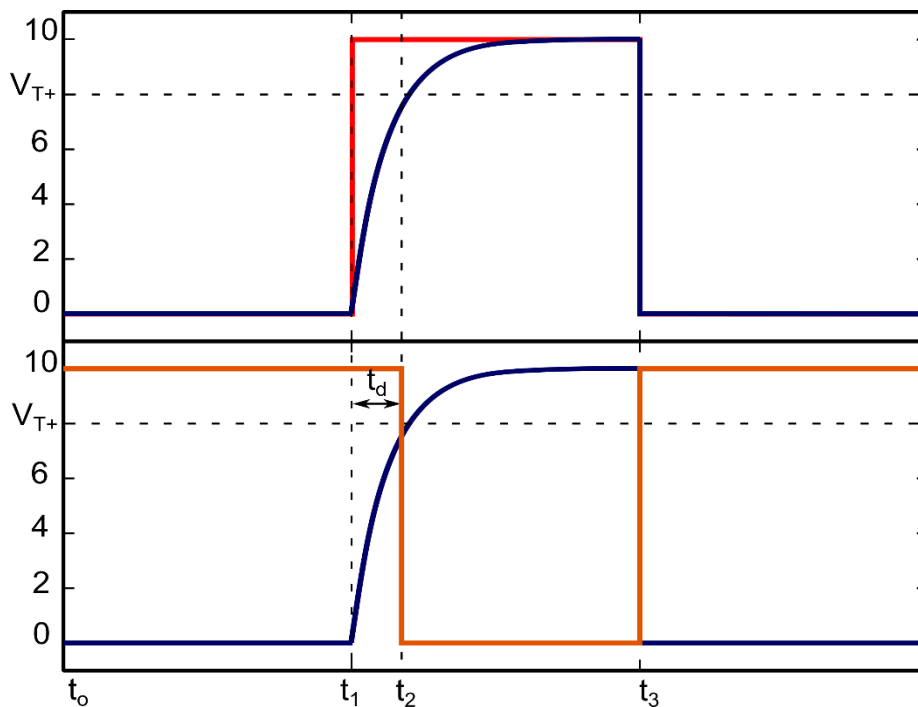


Figura 3-11: Señales de entrada y salida del *Schmitt trigger* en el circuito de ajuste del ancho de pulso

El circuito de aislamiento entre la señal de control y la señal de alta tensión se muestra en la Figura 3-12. Este circuito consta de un integrado FOD3184



controlador de compuerta *IGBT* con salida optoacoplada, su nivel de aislamiento es de  $5\text{ kV RMS}$  [75], [76]. En la entrada del controlador se ha agregado un circuito *RC* que acelera la conmutación del diodo emisor, la configuración *Zener*-diodo se adiciona con el fin de proteger el diodo emisor ante valores negativos de tensión.

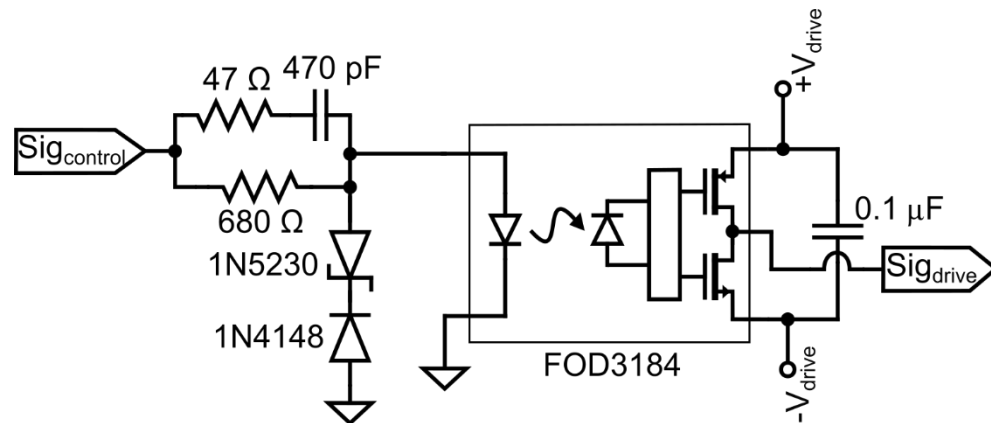


Figura 3-12: Circuito de aislamiento entre la señal de control y la señal de alta tensión del *IGBT*

Al asociar  $n$  módulos en serie, estos deben operar de forma sincronizada como si se tratara de un único interruptor controlado a partir de  $\text{Sig}_{\text{control}}$ . En la Figura 3-12,  $\text{Sig}_{\text{drive}}$  es la señal de activación/desactivación del transistor *IGBT*  $T_1$  y a su vez es la señal de entrada del circuito de aislamiento del módulo 2 de la topología ( $\text{Sig}_{\text{control}}$  para módulo 2). De forma general, la señal de control del *IGBT* del módulo  $n$  será la señal de entrada del circuito de aislamiento del módulo  $n+1$ . De esta manera se garantiza igual diferencia de potencial entre señales de control y el lado de alta tensión en el circuito de aislamiento de cada módulo.

### 3.4 Circuito compensador de retardos

Debido a la condición del circuito anterior, la señal de entrada de cada controlador optoacoplado presenta un retardo respecto a la señal de entrada del controlador del módulo adyacente inferior. Esto se debe a los tiempos de propagación del controlador optoacoplado (tiempo de propagación de bajo a alto  $t_{PLH}$  y tiempo de propagación de alto a bajo  $t_{PHL}$ ) [75], [76]. Aunque estos retardos de propagación son bajos, generan una conmutación secuencial de los módulos que constituyen el interruptor. En conmutación al encendido, este inconveniente

genera desbalance dinámico de tensión ya que mientras los *IGBTs* en los módulos inferiores empiezan a conducir, los *IGBTs* de los módulos superiores experimentan sobretensiones. La duración de dichas sobretensiones está definida por los retardos de propagación y el orden en el cual se encuentre conectado el *IGBT* dentro de la asociación serie. Al implementar una topología con  $n$  módulos en serie, el *IGBT* del módulo  $n$  tendrá un retardo de activación de  $n \cdot t_{PLH}$  con respecto al *IGBT* del módulo 1, por lo tanto, el *IGBT* del módulo  $n$  experimentará una sobretensión mayor y más prolongada que los demás módulos.

En conmutación al bloqueo, el retardo en desactivación trae como consecuencia desbalance estático y dinámico de tensión debido a que el proceso de carga del capacitor de cada *snubber LCE* se inicia en tiempos diferentes, empezando por el módulo 1. En los módulos inferiores se alcanzarán valores de tensión mayores que en los módulos superiores, obteniendo tensiones de bloqueo diferentes en cada *IGBT*. Se tendrá un retardo de  $n \cdot t_{PHL}$  entre los módulos del límite inferior y superior.

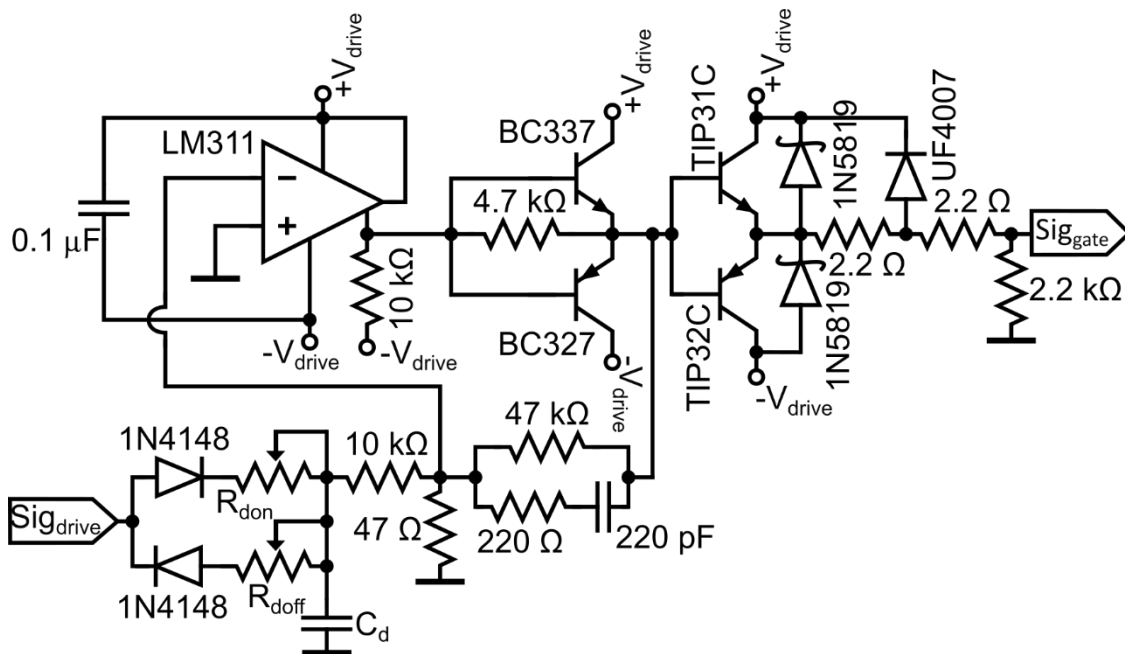


Figura 3-13: Circuito de compensación de retardos en compuerta

Considerando lo anterior, se ha implementado un circuito de compensación de retardos en la compuerta de cada *IGBT*. El circuito implementado permite ajustar el retardo a la puesta en conducción y el retardo al bloqueo de forma independiente.

En la Figura 3-13 se muestra el circuito desarrollado.

El retardo de activación/bloqueo del *IGBT* es establecido mediante circuitos *RC*. En este circuito se cumple que:

$$t_{don} = R_{don} C_d \quad (38)$$

$$t_{doff} = R_{doff} C_d \quad (39)$$

Donde  $t_{don}$  es el retardo agregado al encendido y  $t_{doff}$  es el retardo agregado al apagado del *IGBT*.  $R_{don}$  y  $R_{doff}$  están compuestas por una resistencia de  $10 \Omega$  y un potenciómetro de  $100 \Omega$  conectados en serie, el capacitor  $C_d$  tiene un valor de capacitancia de  $10 \text{ nF}$ . Para sincronizar el disparo de todos los *IGBTs*, los retardos agregados en los módulos inferiores deben ser mayores que los agregados en los módulos superiores. Con el fin de asegurar una corriente suficiente para controlar la compuerta de los *IGBTs*, posterior al circuito *RC* se agrega un *Schmitt - trigger* con salida a transistor. Para proteger los transistores se agregan diodos rápidos en antiparalelo con cada uno de ellos.

### 3.5 Síntesis

En este capítulo se ha desarrollado el modelado matemático de la topología propuesta considerando cada uno de sus modos de operación. A partir de las ecuaciones que representan los diferentes modos de operación se han deducido las ecuaciones mediante las cuales se calculan los valores de los componentes del *snubber* no disipativo.

También se han determinado las ecuaciones para el cálculo de los valores de tensión y corriente nominal del transistor *IGBT* y el diodo del circuito *ZCS(ON)-ZVS(OFF)* con ajuste de desbalances de tensión. Finalmente, se ha descrito el principio de funcionamiento de los circuitos que conforman un módulo.



# CAPÍTULO IV

## 4. DISEÑO EXPERIMENTAL

La selección de componentes para usar en el diseño y sus características son presentadas en este capítulo. Se parte de parámetros previamente establecidos y luego se determinan los valores de los elementos considerando las restricciones en cada etapa. Se hace especial enfoque en el circuito de conmutación parcialmente suave como uno de los aportes de esta tesis y en el cual, cada modo de operación da paso a restricciones de diseño. Los datos de elementos obtenidos en este capítulo son usados posteriormente en las pruebas de simulación y experimentales en los Capítulos 5 y 6, respectivamente.

### 4.1 Parámetros de diseño

Se realizará el diseño de un interruptor electrónico compuesto por tres módulos en asociación serie, su implementación parte de parámetros que definen su rango de operación. La Tabla 2 muestra los valores nominales de operación del prototipo a construir.

*Tabla 2: Valores nominales de operación*

<b>Tensión máxima</b>	3 kV
<b>Corriente máxima</b>	40 A
<b>Frecuencia de conmutación</b>	10 kHz
<b>Mínimo ancho de pulso</b>	15 $\mu$ s

Para un usuario en general, el interruptor electrónico desarrollado en esta tesis puede ser abordado como un dispositivo de tres terminales: G, C y E, con los valores nominales de operación dados en la Tabla 2. Para un diseñador, el primer

paso consistirá en establecer los valores requeridos de acuerdo con la Tabla 2. A partir de las especificaciones nominales de operación consideradas, se procede a seleccionar los valores y referencias para cada elemento.

## 4.2 Circuito ZCS(ON)-ZVS(OFF) con ajuste de desbalances

En esta sección se calculan los valores de los elementos del *snubber* no disipativo de tensión y del inductor saturable. También se calculan los valores nominales de tensión y corriente del diodo.

### 4.2.1 Cálculo de valores de componentes del *snubber* no disipativo

El primer paso consiste en seleccionar el *IGBT* que se ajuste a los valores nominales de tensión y corriente establecidos en la Tabla 2. Si la tensión máxima de operación del interruptor electrónico es de 3 kV, el valor mínimo de  $V_{CES}$  debe ser de 1 kV. La corriente máxima de operación es de 40 A, por lo tanto, el *IGBT* seleccionado debe soportar al menos ese valor. Bajo estas condiciones, el dispositivo seleccionado fue un *IRGPS60B120KD*, en la Tabla 3 se muestran sus principales características:

Tabla 3: Características de *IGBT* a considerar en el diseño

Tensión máxima $V_{CES}$	Corriente máxima $I_C$	Capacitancia de salida $C_{OES}$
1.2 kV	60 A	395 pF

A partir de las ecuaciones (22) y (26), y condicionando la corriente máxima del *snubber* a un 20% del valor de la corriente de carga, los valores obtenidos son  $L_{S11}=13 \mu H$  y  $C_{S1}=4.7 nF$ . En este caso  $C_{S1}$  es mayor a 10 veces el valor de  $C_{OES}$ .

El valor de la resistencia de carga  $R_L$  para obtener la corriente máxima circulando por los *IGBTs* es de 75  $\Omega$ , estos datos permiten determinar el rango de operación del prototipo y seleccionar los elementos restantes. Para determinar los valores de tensión y corriente de cada componente dentro del circuito, se realiza un recorrido por los diferentes modos de operación reemplazando los datos ya

obtenidos en sus ecuaciones respectivas.

El Modo I proporciona una condición inicial de carga del capacitor  $C_{S1}$  mediante la cual se determinan algunos valores en el Modo II. Para el Modo II, a partir de las ecuaciones (21), (23) y (7) se obtienen los valores de  $f_r$ ,  $I_{max}$  e  $I_{Cmax}$  respectivamente. Los valores obtenidos se muestran en la Tabla 4.

Tabla 4: Valores de parámetros en Modo II de funcionamiento.

$v_{CS1}(0)$	$f_r$	$I_{max}$	$I_{Cmax}$
1 kV	599.4 kHz	17.7 A	57.7 A

Igualando la ecuación (6) con el valor negativo de la tensión generada en el secundario del *flyback* se determina que el tiempo en el cual el diodo  $D_{S1}$  entra en conducción es  $t_1=0.421 \mu s$ . En este instante de tiempo se evalúa la función de la corriente  $i_{LS11}(t)$  (ecuación (4)) de donde se determina el valor pico de la corriente que circulará por el diodo en el Modo III de funcionamiento. Con el valor pico de la corriente del diodo y aplicando el primer término de la ecuación (30) se deduce el valor medio de corriente del diodo  $D_{S1}$  en el Modo III. El valor de la energía transferida desde el *snubber* hacia la fuente bidireccional se calcula con la ecuación (12). Los valores calculados en este modo de funcionamiento se observan en la Tabla 5

Tabla 5: Valor de parámetros en Modo III de funcionamiento.

$i_{LS11}(0.421 \mu s)$	$I_{DS1}$	$W_1$
17 A	0.94 A	2.25 mJ

A partir de la ecuación (8) se determina que  $t_2=11.48 \mu s$ , este es el instante en el cual el diodo  $D_{S1}$  deja de conducir. El intervalo de conducción del diodo dado por  $t_2 - t_1$ , determina el valor mínimo de ancho de pulso del interruptor electrónico equivalente. Con los datos anteriores, el mínimo ancho de pulso es de  $11.06 \mu s$ .

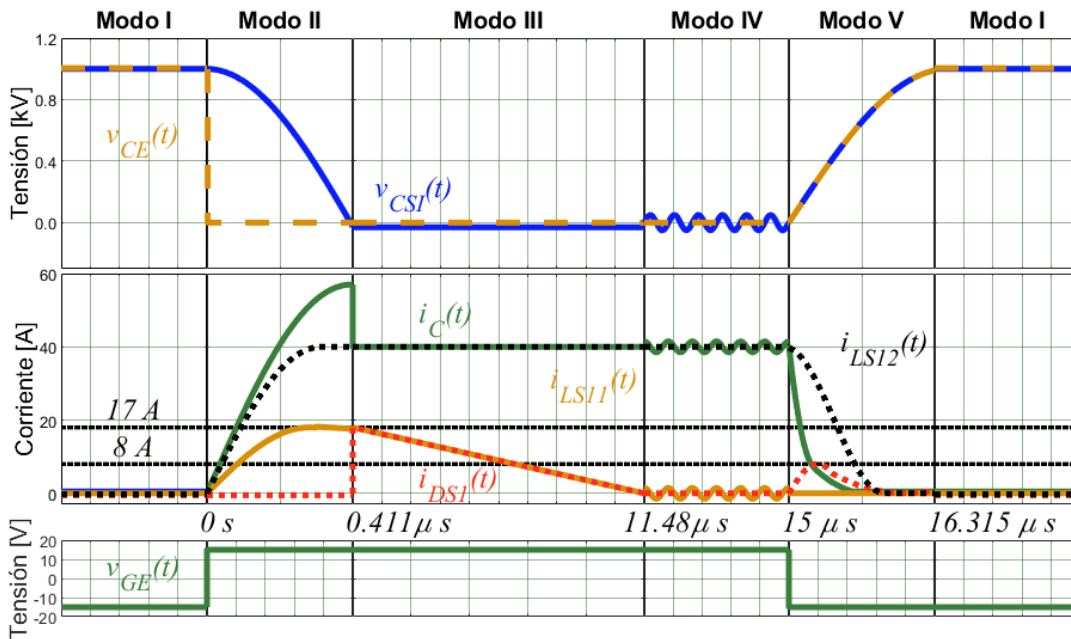


Figura 4-1: Formas de onda de tensión y corriente en módulo 1

Finalmente, en el Modo V, la ecuación (17) permite establecer el tiempo que tarda el IGBT en pasar al estado de bloqueo. Comparando las dos raíces  $S_{1,2}$  de la ecuación se considera la constante de tiempo dada por la raíz dominante. Esta constante de tiempo es de  $0.235 \mu s$ , lo que permite aproximar el tiempo de conmutación al bloqueo a  $1.315 \mu s$ . La Figura 4-1 resume los modos de operación con los valores encontrados en este aparte. Esta gráfica fue realizada reproduciendo las ecuaciones de la sección 3.1 mediante el software Matlab con los valores de los componentes calculados.

#### 4.2.2 Cálculo del inductor del *snubber* no disipativo

El diseño del inductor se realiza siguiendo la metodología no iterativa desarrollada por Tacca [84]. En esta metodología se definen el área de sección transversal mínima del núcleo  $S_{Fe}$ , el grosor del entrehierro  $l_a$  y el número de vueltas del conductor  $n_L$  mediante las ecuaciones (40), (41) y (42).



$$S_{Fe} [cm^2] = 10 \sqrt{\frac{L[H] * I_{Lef} [A] * I_{Lmax} [A]}{F_B * F_V * B_m [T] * \sigma_{L} [A / mm^2]}} \quad (40)$$

$$l_a [mm] = 12 * \frac{L[H]}{S_{Fe} [cm^2]} \left( \frac{I_{Lmax} [A]}{B_m [T]} \right)^2 \quad (41)$$

$$n_L = 850 * \left( \frac{B_m [T]}{I_{Lmax} [A]} \right) * l_a [mm] \quad (42)$$

Donde:

$L$ : valor de inductancia de diseño

$I_{Lef}$ : valor eficaz de la corriente circulante en el inductor

$I_{Lmax}$ : corriente máxima circulante en el inductor

$B_m$ : densidad de flujo de saturación magnética máxima en el circuito

$F_b$ : factor de llenado de la ventana

$\sigma_{L}$ : conductividad del cobre

$F_v$ : factor de ventana dado por la relación entre el área de ventana del carrete utilizado y el área de sección transversal mínima del núcleo.

En la Tabla 6 se muestran los datos de diseño.

Tabla 6: Datos de diseño para inductor del snubber no disipativo

$I_{Lef}$	$I_{Lmax}$	$B_m$	$L$	$F_b$	$\sigma_{L}$	$F_v$
10 A	50 A	0.3 T	$13 * 10^{-6} H$	0.33	4 A/mm <sup>2</sup>	1.143

Con los datos anteriores se tiene un valor  $S_{Fe} = 0.743 cm^2$  razón por la cual se debe adoptar el núcleo E3014 ajustando  $S_{Fe} = 0,98 cm^2$ . A partir de este valor se obtiene un espesor de entrehierro  $l_a = 1.7 mm$

Si se adopta un separador de 0,8 mm y se considera un entrehierro accidental de

0,5 mm se obtiene  $l_a = 1,65$  mm y resulta  $n_L = 8,4$  espiras. En cambio, si se adopta un separador de 0,9 mm y se considera un entrehierro accidental de 0,5 mm se obtiene:  $l_a = 1,85$  mm y se obtiene:  $n_L = 9,4$  espiras. En consecuencia, se adoptó un separador  $l_a$  de 0,9 mm y  $n_L = 9$  espiras. Para seleccionar el calibre del conductor utilizado se tiene la siguiente ecuación de restricción:

$$F_b S_V \geq n_L S_{cu} \quad (43)$$

Donde  $S_V$  es área de ventana del carrete utilizado y  $S_{cu}$  es el área de sección transversal del conductor. El área de ventana del carrete es  $S_V = 0.476$  cm<sup>2</sup>, con este valor y los valores conocidos  $n_L$  y  $F_b$  se deduce el área de sección transversal del conductor. El área de sección transversal debe ser lo más alta posible para reducir las pérdidas en el cobre, bajo esta premisa se utilizó un conductor con calibre 15 AWG, con  $S_{cu} = 16.51 \cdot 10^{-3}$  cm<sup>2</sup>. La resistencia del bobinado está dada por la ecuación (44).

$$R_{cu} = \frac{\rho_{cu} n_L (MLT)}{S_{cu}} \quad (44)$$

Donde  $\rho_{cu}$  es la resistividad del cobre  $MLT$  es la longitud media por vuelta del bobinado que depende de las dimensiones del núcleo [85]. La resistividad del cobre es  $1.724 \cdot 10^{-6}$  Ω/cm y la longitud media por vuelta del núcleo EE3014 es 6.6 cm, con estos valores  $R_{cu} = 6.2$  mΩ.

### 4.2.3 Cálculo del inductor saturable

El inductor saturable debe cumplir dos condiciones dentro de la asociación en serie de IGBTs: (a) garantizar conmutación parcialmente suave al encendido del IGBT en cada módulo y (b) no generar pérdidas en conducción (caída de tensión cero en conducción). Para que las condiciones se cumplan se parte de las siguientes ecuaciones de restricción:

$$I_{sat} \leq \frac{V_{CC}}{R_L} \quad (45)$$

$$B_m > B_s \quad (46)$$

Donde  $B_s$  es la densidad de flujo de saturación del material del núcleo en saturación y  $B_m$  es la inducción máxima posible en el circuito. La metodología de cálculo es similar a la utilizada para proyectar el inductor del *snubber* no disipativo. La Tabla 7 resume los datos de proyecto del inductor saturable.

Tabla 7: Datos de diseño para inductor saturable

$I_{Lef}$	$I_{sat}$	$B_m$	$L$	$F_b$	$\sigma_L$	$F_v$
20 A	3 A	0.4 T	$4 \cdot 10^{-6} H$	0.33	4 A/mm <sup>2</sup>	1.0658

Con los datos anteriores se tiene  $S_{Fe} = 0,2384 \text{ cm}^2$ . Se adopta el núcleo E2005 ajustando  $S_{Fe} = 0,316 \text{ cm}^2$ . A partir de este valor se obtiene  $l_a = 0,0085 \text{ mm}$ . Por razones constructivas y para independizar el valor de la inductancia de la permeabilidad del material del núcleo, se adopta un separador de  $0,1 \text{ mm}$ . Para el cálculo del número de espiras se parte de la ecuación aproximada (47):

$$L_{S12} = \frac{\mu_o}{l_a} * S_{Fe} * n_L^2 \quad (47)$$

De esta ecuación se despeja:

$$n_L = \sqrt{\frac{L_{S12} * l_a}{\mu_o * S_{Fe}}} \quad (48)$$

Obteniéndose una cantidad de espiras  $n_L = 4,47$  y se adopta  $n_L = 4$ . Experimentalmente se midió la inductancia  $L_{S12}$  obteniéndose un valor de  $5 \mu H$ .

A partir de la ecuación (43), con  $S_v = 0.284 \text{ cm}^2$  se selecciona un conductor de calibre 13 AWG, con  $S_{cu} = 26.26 \cdot 10^{-3} \text{ cm}^2$ . La longitud media por vuelta  $MLT$  del núcleo EE2005 es 3.69 cm, aplicando la ecuación (44), se obtiene  $R_{cu} = 0.97 \text{ m}\Omega$ .

#### 4.2.4 Cálculo de la tensión y corriente nominal del diodo $D_{S1}$

La tensión máxima de bloqueo del diodo  $D_{S1}$  se obtiene a partir de la ecuación

(27), con tres módulos en asociación serie y una tensión de alimentación de 3 kV, la tensión máxima de bloqueo del diodo es 1 kV. El valor medio de corriente que debe soportar el diodo se calcula a partir de la ecuación (30), al realizar la suma de las áreas bajo la curva de la corriente del diodo en todo el ciclo se tiene un valor medio de 300 mA. A partir de esta información se selecciona el diodo UF4007 cuya tensión inversa de bloqueo es 1 kV y su corriente media nominal es 1 A.

### 4.3 Sistema de alimentación de controladores

A partir de las ecuaciones (32), (33), (34) y (35) se determinan los parámetros de la función de transferencia del controlador de tensión implementado en el convertidor *Flyback* bidireccional. En la Tabla 8 se muestran los valores para diseño.

Tabla 8: Valores para diseño de controlador

$f_z$	$f_p$	$R_{C1}$	$R_{C2}$	$R_1$	$R_{Led}$	$C_P$	$C_Z$
100 Hz	10 kHz	15 k $\Omega$	15 k $\Omega$	25 k $\Omega$	5.1 k $\Omega$	2.2 nF	68 nF

### 4.4 Circuito compensador de retardos

El valor de los tiempos de propagación del controlador optoacoplado FOD3184 medidos experimentalmente se muestran en la Tabla 9:

Tabla 9: Valores medidos de los tiempos de propagación del controlador FOD3184

$t_{PLH}$	$t_{PHL}$
100 ns	120 ns

Estos tiempos de propagación generan un retardo entre las señales de compuerta de los IGBTs de la asociación serie. Debido a lo anterior, son estos valores la base para generar compensación de los retardos de la señal de control de compuerta en cada IGBT. Al considerar que los tiempos de propagación al encendido y al apagado poseen magnitudes diferentes, los retardos generados se deben compensar por separado. De esta manera, los retardos al encendido y al

apagado estarán dados por las ecuaciones (49) y (50).

$$t_{don_m} = (n - m) * t_{PLH} \quad (49)$$

$$t_{doff_m} = (n - m) * t_{PHL} \quad (50)$$

Donde  $n$  es el número de módulos en asociación serie y  $m$  es la posición (contada desde el módulo inferior) del módulo al cual se aplica el retardo. Aplicando las ecuaciones (49) y (50), y usando los valores de la Tabla 9 se obtienen los tiempos de retardo que se muestran en la Tabla 10.

Tabla 10: Retardos aplicados en cada módulo

$m$	$t_{don}$	$t_{doff}$	$R_{don}$	$R_{doff}$	$C_d$
1	200 ns	240 ns	20 $\Omega$	24 $\Omega$	10 nF
2	100 ns	120 ns	10 $\Omega$	12 $\Omega$	
3	0	0	0	0	

## 4.5 Síntesis

En este capítulo se han determinado los valores y características de los componentes que constituyen la topología de asociación en serie desarrollada. Esto se ha realizado partiendo de parámetros de diseño establecidos por las necesidades de aplicación del usuario. A partir de los valores obtenidos se han graficado las señales de tensión y corriente del transistor *IGBT* y las señales de tensión y corriente más relevantes en la topología. Los valores y referencias de los componentes seleccionados serán utilizados en las pruebas experimentales y de simulación en capítulos posteriores.

## CAPÍTULO V

### 5. RESULTADOS DE SIMULACIÓN

En este capítulo se realizan simulaciones con el propósito de verificar el funcionamiento de la topología propuesta en esta tesis. Las simulaciones se llevan a cabo usando el software *LTspice XVII* [79], [80], [86]. En la primera parte se muestran las características relevantes del software y los modelos de simulación utilizados. Posteriormente se establecen escenarios de prueba con topología de cuatro módulos en asociación serie, se miden los desbalances de tensión y se comparan los resultados. En la tercera parte se realiza verificación de condición de conmutación parcialmente suave (con reducción de pérdidas) de un único módulo y se compara con topología convencional con conmutación forzada. Finalmente se mide el valor de energía recuperado desde el *snubber* no disipativo. El objetivo de este capítulo es observar el desempeño de la topología propuesta respecto a: pérdidas por conmutación, compensación de desbalances de tensión. A partir de la simulación de la topología se pretende principalmente: (a) analizar de forma cuantitativa la compensación de los desbalances de tensión entre *IGBTs* en la topología propuesta, (b) verificar la condición de conmutación parcialmente suave de los *IGBTs* en cada módulo de la topología. Comparar las pérdidas en el *IGBT* de la topología propuesta con las pérdidas en el *IGBT* de la configuración con conmutación forzada y (c) medir la energía recuperada desde el lado de alta tensión

#### 5.1 Características del software y modelos de simulación

*LTspice®* es un software de simulación SPICE de alto desempeño desarrollado por la empresa *Linear Technology* (ahora parte de *Analog Devices*). *LTspice* está basado en Berkeley SPICE 3F4/5 [87] y ofrece métodos numéricos de integración

implícita propios que han demostrado un alto valor de confiabilidad en los resultados [88].

El modelo *SPICE* del *IGBT* fue tomado de la librería proporcionada por el fabricante *International Rectifier*. Los demás modelos de componentes utilizados se encuentran disponibles en el software de simulación. La ayuda de *LTspice* ofrece una buena documentación acerca de los modelos de elementos con los que cuenta. Específicamente y de interés de esta investigación, el modelo del inductor está basado en la propuesta de Chan y otros [77] generalizada por Engelhardt en su patente [78] mientras que el modelo del diodo se basa en la propuesta de Tseng y otros [89].

## 5.2 Escenarios de prueba

Diversas pruebas mediante simulación se han realizado con el fin de evaluar las ventajas y desventajas de la topología. En esta sección se mostrarán los resultados obtenidos a partir de la topología propuesta y se realizarán comparaciones con una topología convencional usada como referencia. En la primera parte de las pruebas se realiza la verificación de compensación de desbalances de tensión con cuatro módulos asociados en serie. Para realizar la comparación se implementan tres escenarios de prueba:

- Escenario No. 1: Topología base con conmutación forzada sin compensación (referencia)
- Escenario No. 2: Topología con *snubber* no disipativo (primera propuesta)
- Escenario No. 3: Topología con *snubber* no disipativo y compensación de retardos de compuerta (topología final)

En la Figura 5-1 se observa la topología final de asociación en serie propuesta en esta tesis (tercer escenario de prueba). Para la prueba se utilizó una resistencia de carga  $R_L=150 \Omega$  con una fuente de alimentación de  $4 \text{ kV}$ , la frecuencia de conmutación fue de  $25 \text{ kHz}$ . Para disminuir los tiempos de simulación, los

convertidores *Flyback* bidireccionales fueron reemplazados por fuentes de corriente continua (+VEOUT<sub>i</sub>, -VEOUT<sub>i</sub>). Considerando las exigencias en el nivel de aislamiento de tensión de los controladores de los *IGBTs* en los módulos 2, 3 y 4, las topologías de los tres escenarios utilizan el mismo sistema de conexión de controladores de compuerta propuesto en esta investigación.

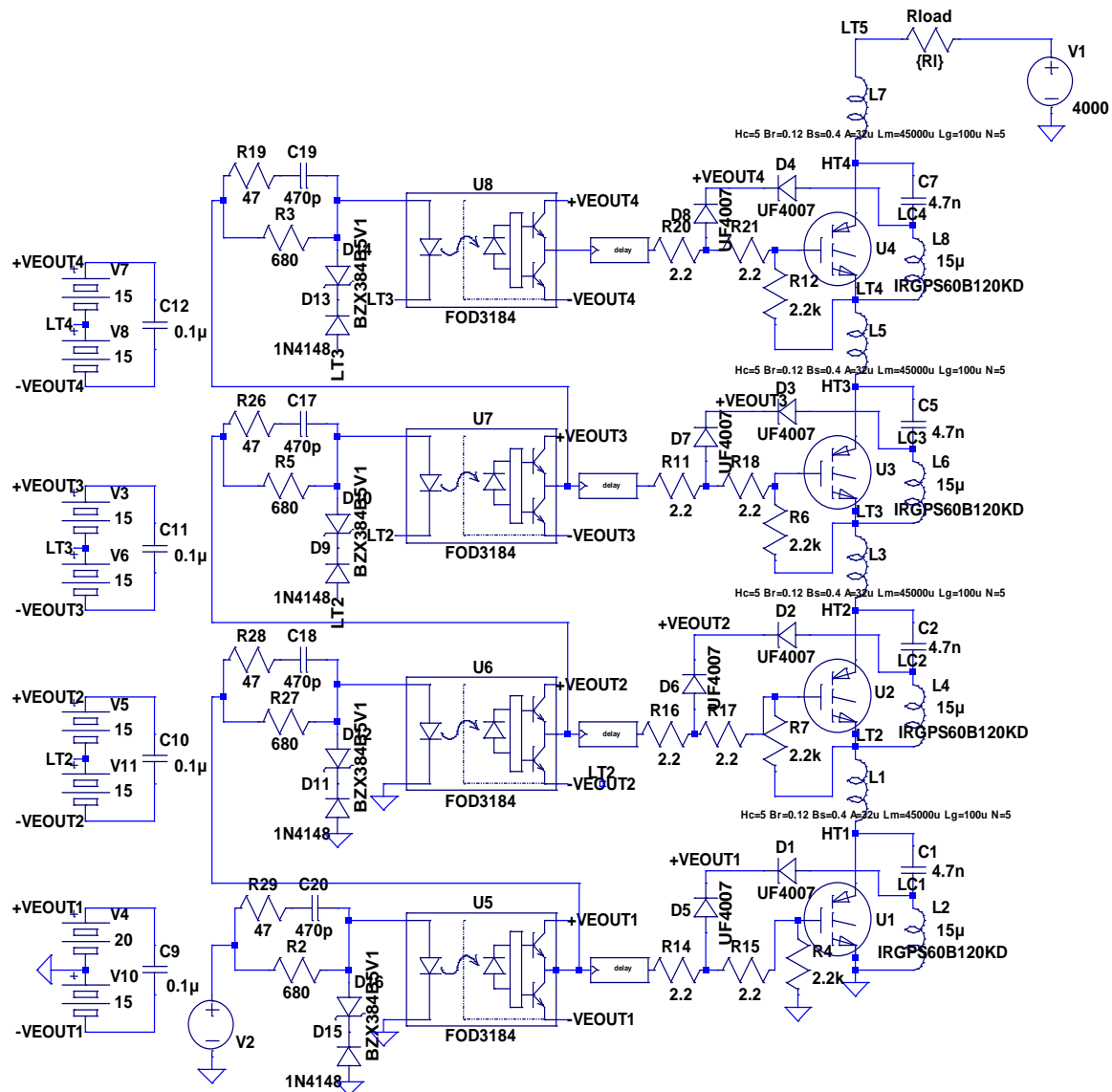


Figura 5-1: Topología propuesta para asociación serie de 4 módulos implementada en LTspice

En la Figura 5-1, el bloque *delay* contiene el circuito de compensación de retardos de compuerta expuesto en la sección 3.4. Los diodos D5, D6, D7 y D8 protegen la compuerta de los *IGBTs* U1, U2, U3 y U4, respectivamente ante



sobretensiones transitorias que pueden surgir en conmutación al encendido. Un diodo entra en conducción cuando la tensión compuerta-emisor del *IGBT* respectivo supera el valor de la tensión de alimentación de su controlador de compuerta.

Si en cada módulo de la topología mostrada en la Figura 5-1 se ubican tres interruptores como se observa en la Figura 5-2, es posible obtener los tres escenarios de prueba de la siguiente manera:

1. S1 cerrado, S2 abierto y S3 cerrado: Escenario No. 1
2. S1 abierto, S2 cerrado y S3 cerrado: Escenario No. 2
3. S1 abierto, S2 cerrado y S3 abierto: Escenario No. 3

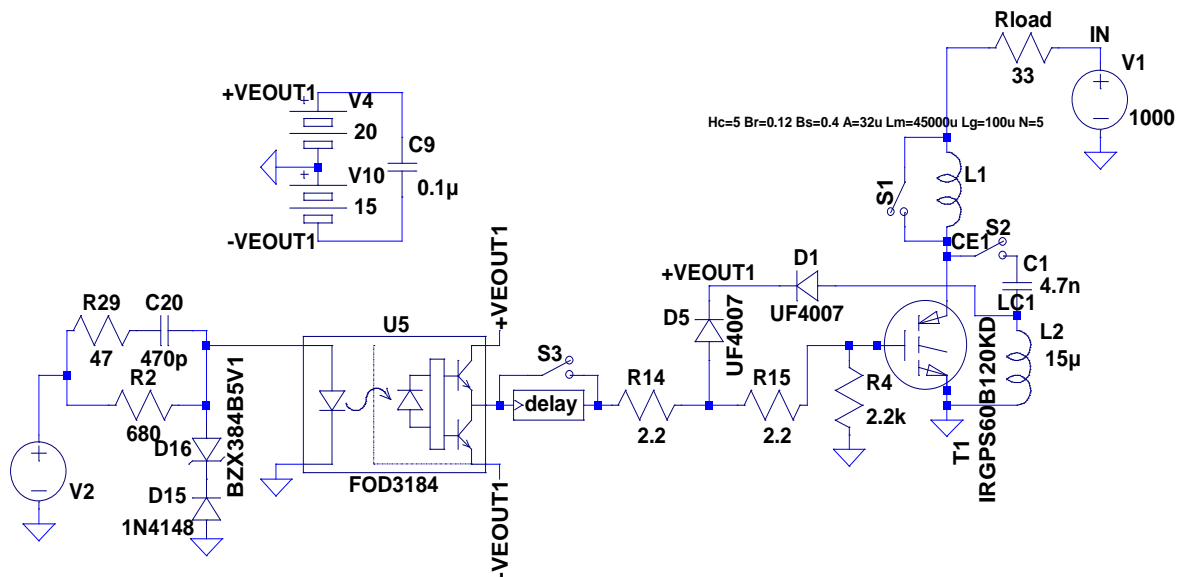


Figura 5-2: Módulo 1 de topología propuesta para asociación serie de *IGBTs*

En las siguientes subsecciones se muestran los resultados obtenidos en cada escenario de prueba

### 5.2.1 Escenario No. 1: Topología referencia con conmutación forzada

Se miden las tensiones colector-emisor en cada *IGBT* con el fin de verificar los desbalances de tensión tanto estáticos como dinámicos. En todos los escenarios se verifican los desbalances en conmutación al encendido, conmutación al bloqueo

y con los dispositivos en bloqueo. Las medidas fueron realizadas en régimen periódico de funcionamiento, cada dispositivo tiene una condición de tensión de bloqueo dada por condiciones previas. La Figura 5-3 muestra las formas de onda de tensión colector-emisor en cada uno de los IGBTs de la topología en su conmutación al encendido.

Existe una diferencia entre los tiempos de activación de cada dispositivo, esto se debe al tiempo de propagación de cada controlador optoacoplado. Los niveles de tensión alcanzados por los cuatro transistores IGBT en la conmutación al encendido son superiores a su valor de tensión de bloqueo nominal. En la práctica, estos dispositivos experimentarán elevación de temperatura y desgaste acelerado si se someten a estas condiciones de operación. Las diferencias entre tensiones colector-emisor previas a la conmutación se han definido en la conmutación al bloqueo previa.

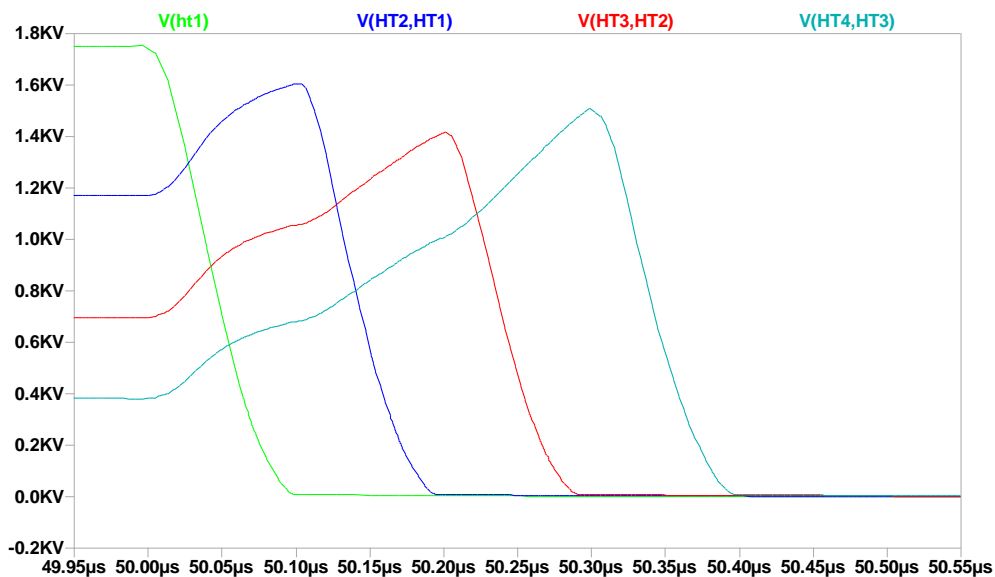


Figura 5-3: Tensión colector - emisor de cada IGBT en conmutación al encendido para escenario No. 1

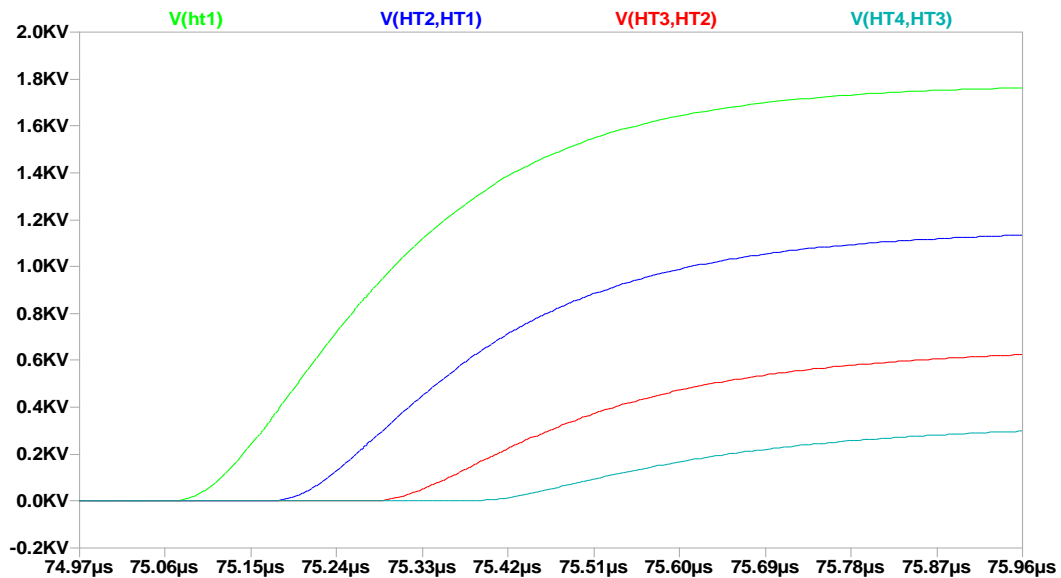


Figura 5-4: Tensión colector - emisor de cada IGBT en conmutación al bloqueo para escenario No. 1

En la Figura 5-4 se observan las formas de onda de tensión colector-emisor de cada IGBT en su conmutación al bloqueo. En esta transición, los IGBTs inferiores soportan mayor tensión, esto debido a que son los primeros en recibir la señal de desactivación. El desbalance de tensión se presenta en la conmutación y permanece cuando los dispositivos están bloqueados. En condiciones reales de funcionamiento, el IGBT 1 fallaría inmediatamente debido a que la tensión alcanzada en bloqueo excede su valor nominal.

### 5.2.2 Escenario No. 2: Topología con *snubber* no disipativo

Se mide la tensión en cada IGBT con el fin de verificar si existe compensación de desbalances estáticos y dinámicos de tensión. La Figura 5-5 muestra las formas de onda de tensión colector – emisor en cada uno de los IGBTs de la topología, en su conmutación al encendido.

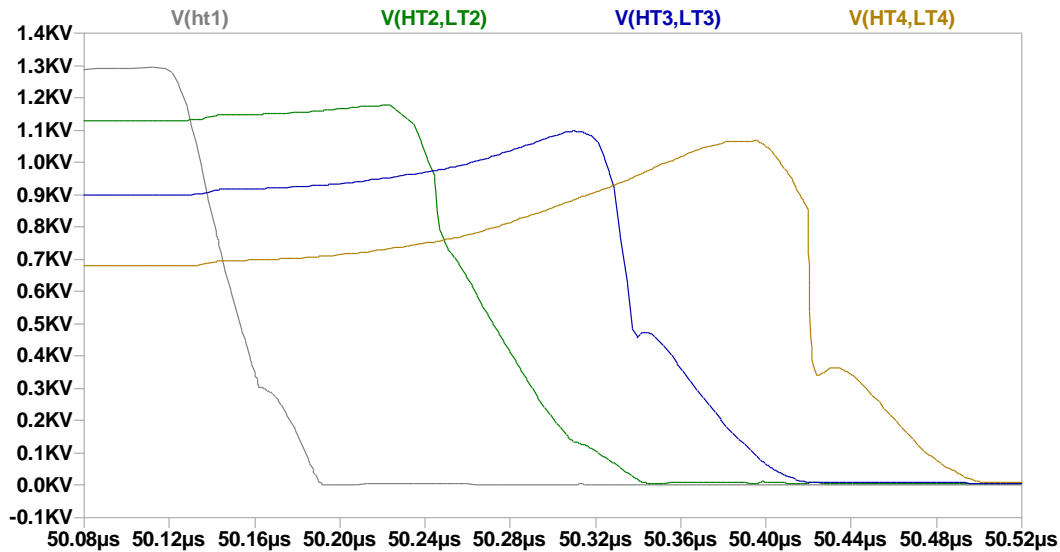


Figura 5-5: Tensión colector - emisor de cada IGBT en conmutación al encendido

Las sobretensiones provocadas por los tiempos de propagación de los controladores *IGBT* son contenidas por el capacitor del *snubber* no disipativo de cada dispositivo. En la Figura 5-5 se evidencia la acción de los capacitores sobre la tensión colector - emisor de los *IGBTs*. Mientras el *IGBT* 1 entra en conducción, el capacitor del *snubber* no disipativo del módulo 2 evita un cambio abrupto de la tensión del *IGBT* 2, en este caso, la elevación de tensión alcanzada en este último es mínima. Debido a que los *IGBTs* superiores presentan mayor retardo de activación respecto a los inferiores, estos experimentan un incremento de tensión mayor. Sería necesario incrementar los valores de capacitancia en los *snubber* para lograr tensiones aproximadamente constantes en todos los transistores *IGBT*.

En la Figura 5-6 se muestran las formas de onda de tensión colector-emisor de cada *IGBT* en conmutación al bloqueo. El retardo en la desactivación provoca una carga inequitativa de los capacitores del *snubber*. Lo anterior genera tensiones de bloqueo diferentes en cada *IGBT*, con lo cual además de los desbalances dinámicos ya observados se tienen desbalances estáticos. En el paso al bloqueo del transistor existe una pequeña corriente circulando por el inductor  $L_{Si1}$  de cada módulo. Esta corriente ha sido despreciada en el desarrollo matemático del Capítulo 3, sin embargo, genera las oscilaciones observadas al finalizar el paso al bloqueo del transistor en la Figura 5-6. Las oscilaciones se producen entre el

inductor  $L_{Si1}$  y las capacitancias parásitas del diodo y el transistor una vez que el diodo  $D_{Si1}$  deja de conducir.

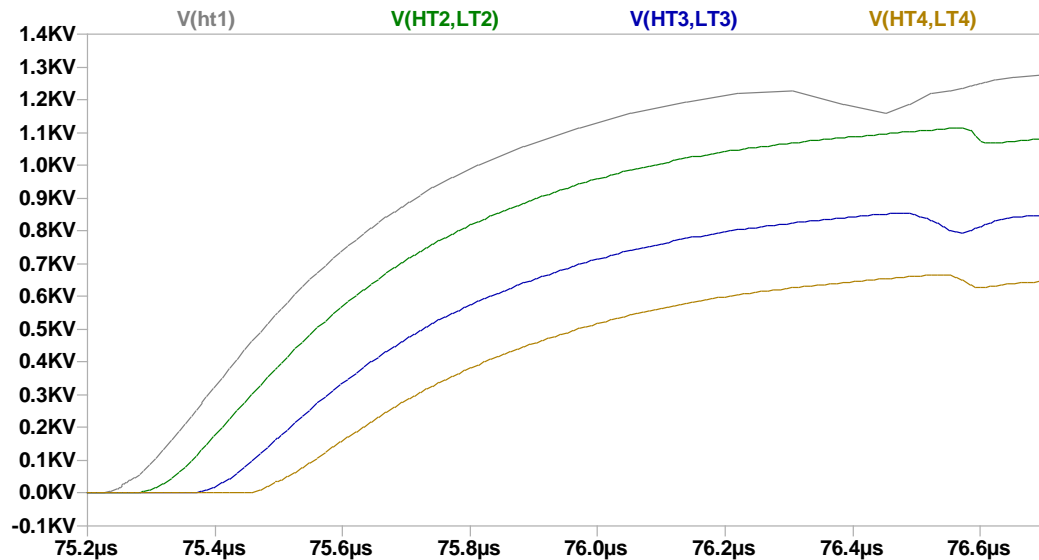


Figura 5-6: Tensión colector-emisor de cada IGBT en conmutación al bloqueo

### 5.2.3 Escenario No. 3: Topología propuesta en esta tesis

Las formas de onda de tensión colector-emisor de los IGBTs en su conmutación al encendido de la topología final propuesta en esta tesis se muestran en la Figura 5-7. Mediante la compensación de retardos en compuerta se logran ajustar los tiempos de activación hasta obtener tensiones colector-emisor sincronizadas.

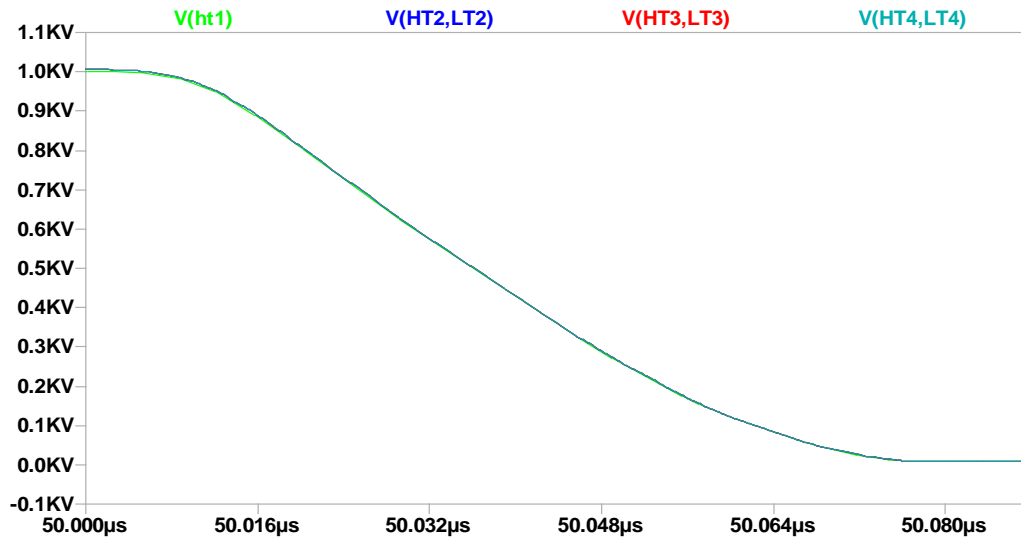


Figura 5-7: Tensión colector-emisor de cada IGBT en conmutación al encendido con compensación de retardos en compuerta (topología propuesta)

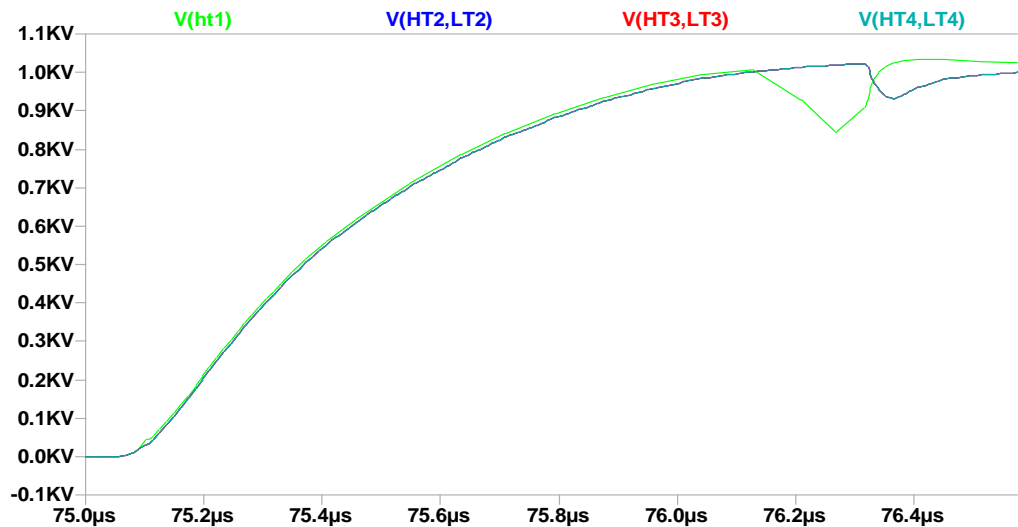


Figura 5-8: Tensión colector-emisor de cada IGBT en conmutación al bloqueo con compensación de retardos en compuerta

La Figura 5-8 muestra las tensiones colector-emisor en el paso al bloqueo de cada IGBT. Al igual que en la conmutación al encendido, se logra un ajuste mediante retardo de señal de compuerta tal que las formas de onda en el lado de alta tensión están sincronizadas. Los capacitores del *snubber* aseguran que las tensiones colector-emisor en cada IGBT se conserven iguales y pueden permitir pequeños retardos entre señales de bloqueo.

Como se evidencia en la Figura 5-7 y la Figura 5-8, en la topología propuesta se logran sincronizar los tiempos de activación/bloqueo en los cuatro módulos. Esto se alcanza a partir del ajuste de las señales de activación de forma independiente al ajuste de las señales de desactivación. La tensión colector-emisor de los *IGBTs* en el escenario No. 3 toma mayor tiempo en alcanzar su valor máximo en comparación con las tensiones de los *IGBTs* en el escenario No. 1. Esto se debe a que, en la topología propuesta en esta tesis, cada *IGBT* toma su tensión de bloqueo en función de la carga del capacitor del *snubber* no disipativo, esto suaviza la conmutación al bloqueo.

Con el fin de demostrar la viabilidad de funcionamiento de la topología para asociación en serie de  $n$  módulos se ha implementado mediante simulación una topología con 10 módulos. La Figura 5-9 y la Figura 5-10 muestran las tensiones colector-emisor de los transistores *IGBT* en conmutación al encendido y al bloqueo respectivamente. Como se puede observar en estas figuras, las tensiones colector-emisor en los *IGBTs* presentan un comportamiento ideal, no se observan diferencias.

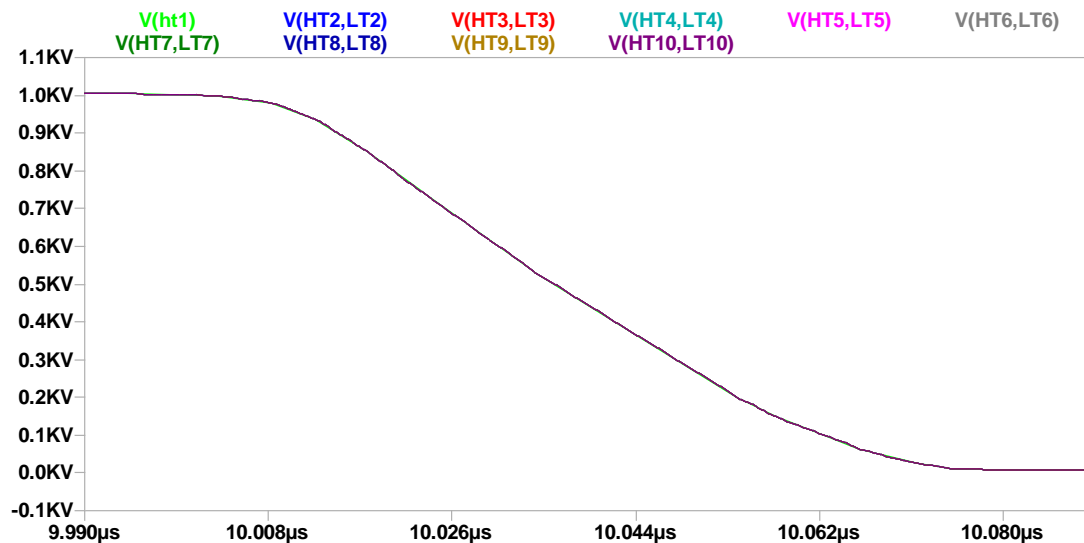


Figura 5-9: Tensión colector-emisor de cada *IGBT* en conmutación al encendido

topología de 10 módulos con compensación de retardos en compuerta

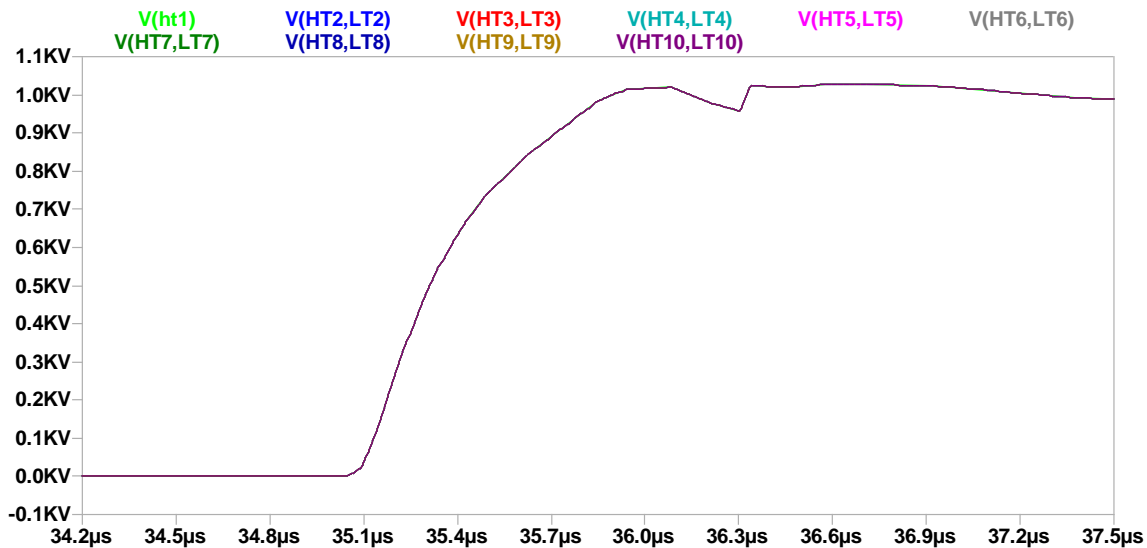


Figura 5-10: Tensión colector-emisor de cada IGBT en conmutación al bloqueo topología de 10 módulos con compensación de retardos en compuerta

### 5.3 Verificación de condición de conmutación parcialmente suave

Esta prueba se realizó con un único módulo (ver Figura 5-2), evaluando las condiciones dadas en los escenarios 1 y 2 de la sección 5.2. Para este caso se consideran únicamente las posiciones de los interruptores S1 y S2 ya que el circuito de compensación de retardo en compuerta deja de surtir efecto. De acuerdo con la posición de los interruptores se evalúan dos casos, como se observa a continuación:

1. S1 cerrado y S2 abierto: Caso referencia
2. S1 abierto y S2 cerrado: Topología propuesta con *snubber* no disipativo

Las pruebas se realizaron con resistencia de carga  $R_L = 33 \Omega$ , fuente de tensión 1 kV y una frecuencia de conmutación de 25 kHz.

En la Figura 5-11 se muestran las formas de onda de tensión y corriente del IGBT en conmutación al encendido para el caso referencia y la topología propuesta.

Las formas de onda  $V(ce1)$  e  $I_x(T1:C)$  corresponden a la tensión y corriente del IGBT de la topología propuesta, mientras que las formas de onda  $V(ce2)$  e  $I_x(T2:C)$



son la tensión y corriente del *IGBT* en caso referencia. En la Figura 5-11, la corriente del *IGBT* en la topología propuesta muestra un crecimiento lento al inicio de la conducción, esto debido al valor de inductancia del inductor saturable. Por su parte, la tensión decrece rápidamente en este intervalo hasta llegar a cero, al tener un incremento muy bajo de corriente, las pérdidas alcanzadas en el *IGBT* son bajas.

Aproximadamente en un 20% del valor máximo de la corriente, el inductor entra en saturación, a partir de ese momento la corriente se incrementa con mayor velocidad hasta alcanzar su límite.

A partir del producto de las señales de tensión y corriente en el *IGBT* es posible observar su potencia instantánea disipada. En la Figura 5-12 se observan la potencia instantánea disipada en el caso referencia y en la topología propuesta. *LTspice* permite calcular la energía y el valor medio de la potencia en cada señal, considerando la necesidad de comparar las pérdidas de forma independiente para cada conmutación, nuestro valor de medida será la energía.

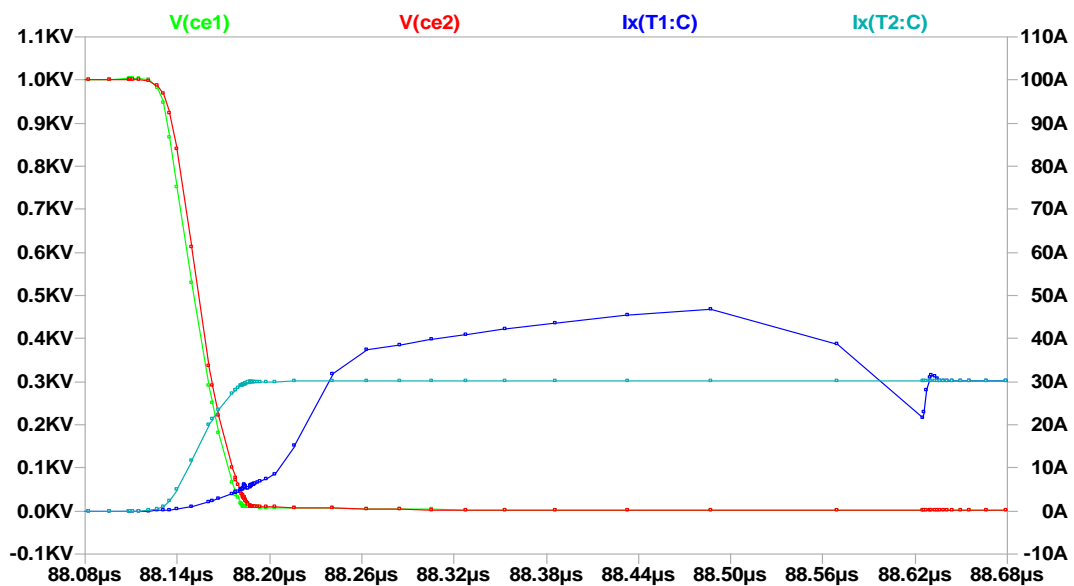


Figura 5-11: Señales de tensión y corriente del *IGBT* en conmutación al encendido.

Caso referencia ( $V_{ce2}$ ,  $I_x(T2:C)$ ) y topología propuesta ( $V_{ce1}$ ,  $I_x(T1:C)$ )

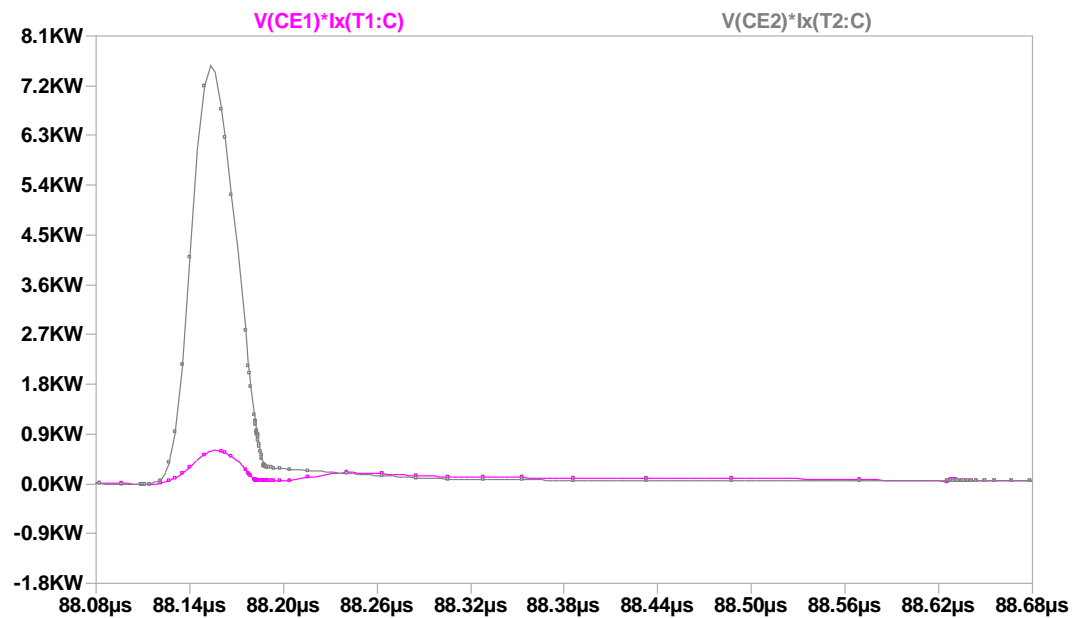


Figura 5-12: Potencia disipada en el IGBT en conmutación al encendido

La Figura 5-12 muestra valores de energía menores en la conmutación del *IGBT* con la topología propuesta. Comparadas con el caso referencia, las pérdidas en la topología propuesta muestran una reducción del 75 %.

Una vez verificada la conmutación a conducción se procede a verificar la conmutación al bloqueo. En la Figura 5-13 se muestran las formas de onda de tensión y corriente en conmutación al apagado del *IGBT* para el caso referencia y la topología propuesta.

De acuerdo con la Figura 5-13, la tensión del *IGBT* en la topología propuesta evoluciona más lentamente que la tensión del *IGBT* en el caso referencia. En cuanto a la corriente, en la topología propuesta esta decrece rápidamente hasta salir de saturación, luego su evolución es lenta. Lo ocurrido en el último intervalo se debe al efecto de la corriente de cola del *IGBT* y el inductor conectado en serie. Para cuantificar las pérdidas en la conmutación, se realiza la multiplicación punto a punto entre señales de tensión y de corriente del *IGBT* en cada caso. Nuevamente, por medio del software *LTspice* se obtienen las curvas de potencia disipada (Figura 5-14).

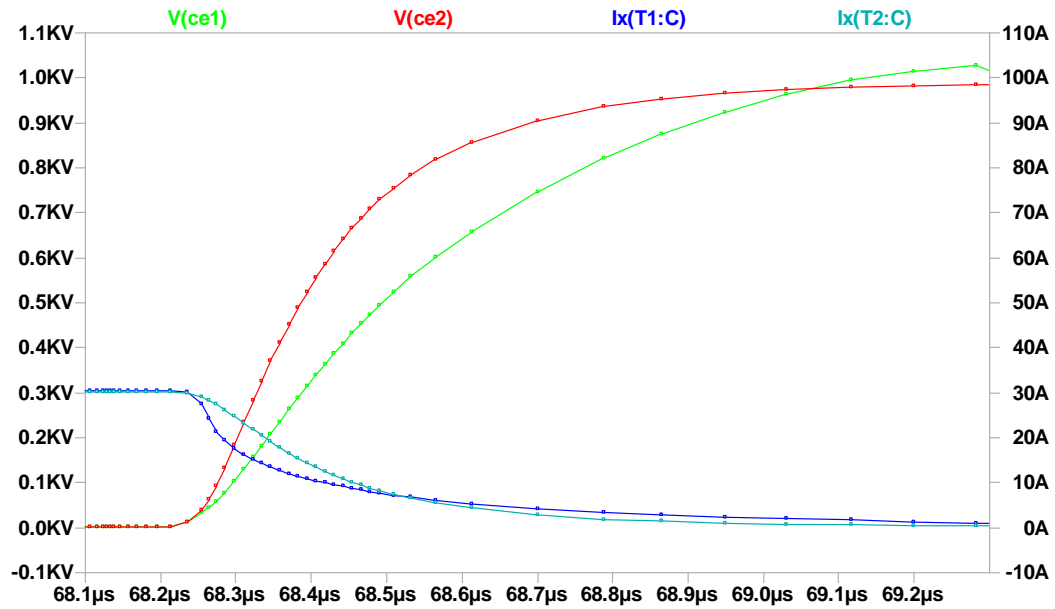


Figura 5-13: Señales de tensión y corriente en el IGBT en conmutación al bloqueo. Caso referencia ( $V_{ce2}$ ,  $I_x(T2:C)$ ) y topología propuesta ( $V_{ce1}$ ,  $I_x(T1:C)$ )

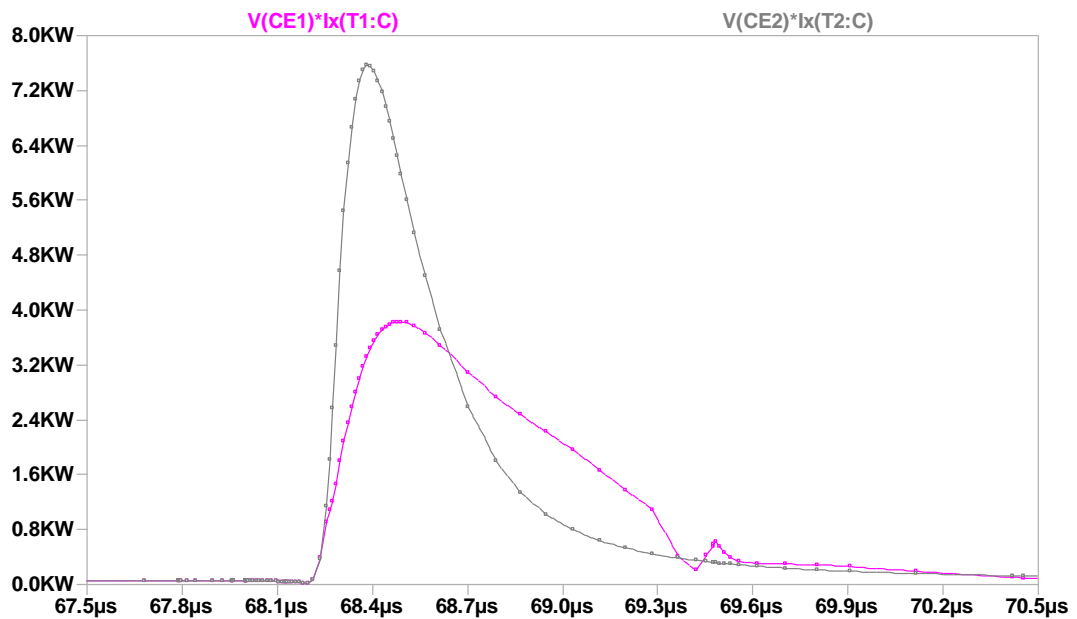


Figura 5-14: Potencia instantánea disipada en el IGBT en conmutación al bloqueo. Caso referencia y topología propuesta.

Con el software *LTspice XVII* se calcula el valor de la energía que interviene en el intervalo de tiempo de la conmutación al bloqueo. En esta transición, aunque el pico de potencia es menor en la topología propuesta, su curva es más prolongada

al final. La reducción de pérdidas en este caso es menor. En conmutación al encendido se observa un comportamiento más cercano al ideal de conmutación suave, se obtiene una reducción considerable. En la Tabla 11 se muestra un resumen de los datos de pérdidas de energía obtenidos en cada topología.

Tabla 11: Valores de pérdidas de energía en conmutación del IGBT

<b>Conmutación al encendido</b>	
Caso referencia	304.33 $\mu J$
Topología propuesta	77.53 $\mu J$
<b>Conmutación al apagado</b>	
Caso referencia	3165 $\mu J$
Topología propuesta	2915 $\mu J$

Se aprecia una reducción del 75 % en las pérdidas por conmutación al encendido, mientras que en conmutación al apagado la reducción es del 8 %.

## 5.4 Energía recuperada desde el *snubber* no disipativo

En esta sección se mide el valor de energía recuperada desde el *snubber* no disipativo en el módulo de la Figura 5-2. Para esto se realizan pruebas con los valores  $R_L$ , fuente de tensión y frecuencia de conmutación establecidos en la sección 5.3.

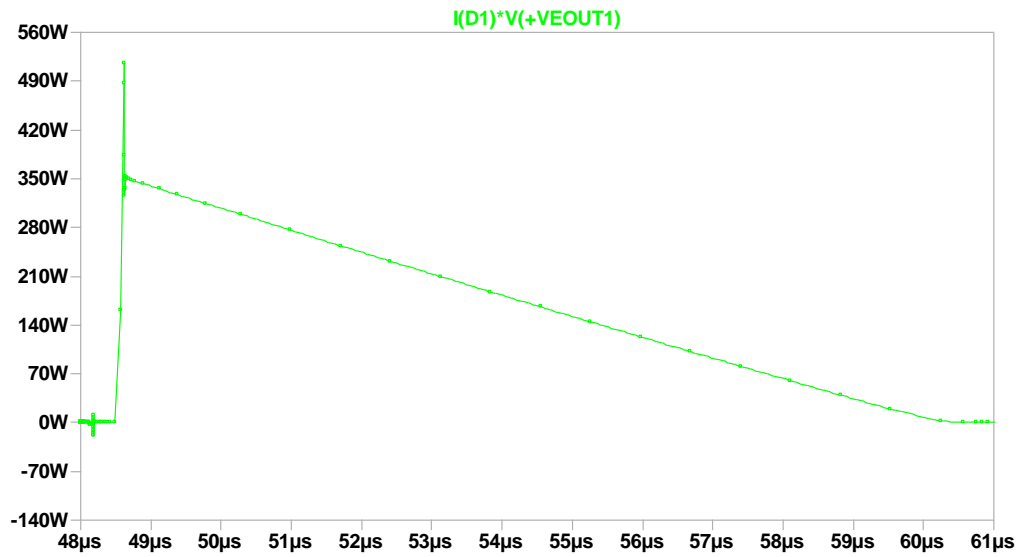


Figura 5-15: Potencia recuperada durante la conmutación al encendido

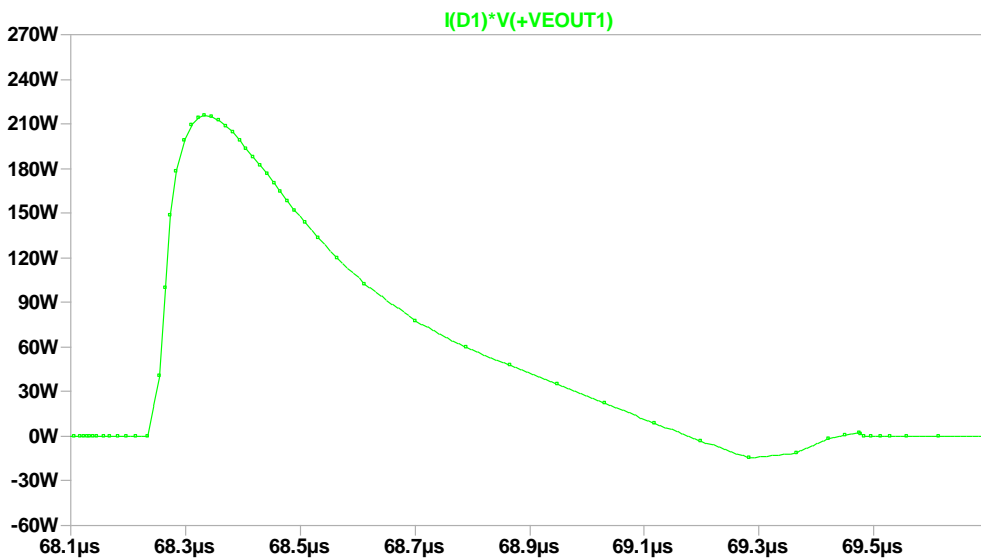


Figura 5-16: Potencia recuperada durante la conmutación al bloqueo

En la Figura 5-15 y la Figura 5-16 se muestran las curvas de potencia recuperada del *snubber* no disipativo y llevada hacia la fuente del controlador *IGBT* en conmutación al encendido y al bloqueo respectivamente.

La energía recuperada en cada ciclo es de  $2105 \mu J$ . A partir de este valor se ha determinado que, para una frecuencia de conmutación superior a  $1 \text{ kHz}$ , la potencia recuperada es suficiente para alimentar el controlador *IGBT*.

## 5.5 Síntesis

En este capítulo se han realizado pruebas de simulación mediante el software *LTspice*. Se han implementado tres escenarios de prueba: topología con conmutación forzada, topología con *snubber* no disipativo y la topología propuesta en esta tesis. Las pruebas de simulación se realizan con cuatro módulos asociados en serie demostrando la minimización de desbalances de tensión hasta en 1 % en la topología propuesta. A partir de la conexión en serie de 10 módulos se demuestra de forma generalizada la efectividad de la topología propuesta en la compensación de desbalances de tensión. Finalmente, al comparar las pérdidas por conmutación de la topología propuesta vs topología con conmutación forzada se evidencia una reducción del 40 %.

# CAPÍTULO VI

## 6. RESULTADOS EXPERIMENTALES

En este capítulo son presentados los resultados obtenidos a partir de la variación de la resistencia de carga y tensión de alimentación del prototipo y se validan los resultados obtenidos mediante simulación en el Capítulo 5. En la primera parte de capítulo se describen los equipos de medida y equipos de laboratorio utilizados y se muestra el prototipo construido. Posteriormente se realizan pruebas con tres módulos en asociación serie, midiendo tensiones colector – emisor en cada *IGBT* con el fin de verificar compensación de desbalances. Luego se realizan mediciones de tensión y corriente en el *IGBT* del módulo 1 verificando condición de conmutación parcialmente suave (con reducción de pérdidas), esta se compara con topología convencional con conmutación forzada. Finalmente se mide la energía recuperada desde el *snubber* no disipativo. El objetivo de este capítulo es observar el desempeño del prototipo de topología propuesta respecto a: pérdidas por conmutación y compensación de desbalances de tensión. A partir del desarrollo experimental de la topología se pretende principalmente: (a) analizar de forma cuantitativa la compensación de los desbalances de tensión entre *IGBTs* en la topología propuesta con tres módulos, (b) verificar la condición de conmutación parcialmente suave (con reducción de pérdidas) de los *IGBTs* en cada módulo de la topología y (c) medir la energía recuperada desde el lado de alta tensión hacia la fuente de alimentación del controlador *IGBT*.

### 6.1 Equipos de medida utilizados

Las medidas fueron realizadas con el escopómetro *Fluke 192*, se utilizaron las sondas de tensión pasivas *Fluke VP200*. Para la medida de tensiones superiores a 1 kV se utilizaron las sondas de tensión P6015A y P5100A de Tektronix. Las medidas de corriente se realizaron con la sonda CP6990 de Elditest. Por limitación

del número de canales de medida, los desbalances de tensión se verifican tomando las tensiones colector-emisor de dos *IGBTs* a la vez.

### 6.1.1 Equipos de laboratorio utilizados

Para la realización de las pruebas experimentales se implementó el circuito que se observa en la Figura 6-1.

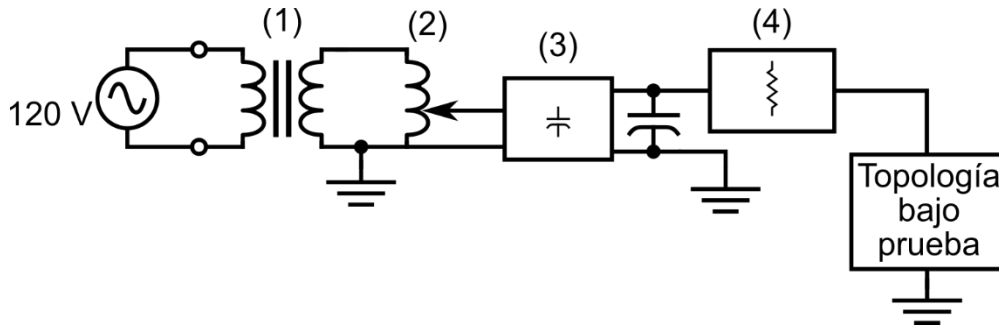


Figura 6-1: Esquema implementado para pruebas experimentales

El circuito de la Figura 6-1 se compone de los siguientes elementos:

- 1) Transformador de aislamiento
- 2) Autotransformador
- 3) Multiplicador capacitivo
- 4) Carga resistiva

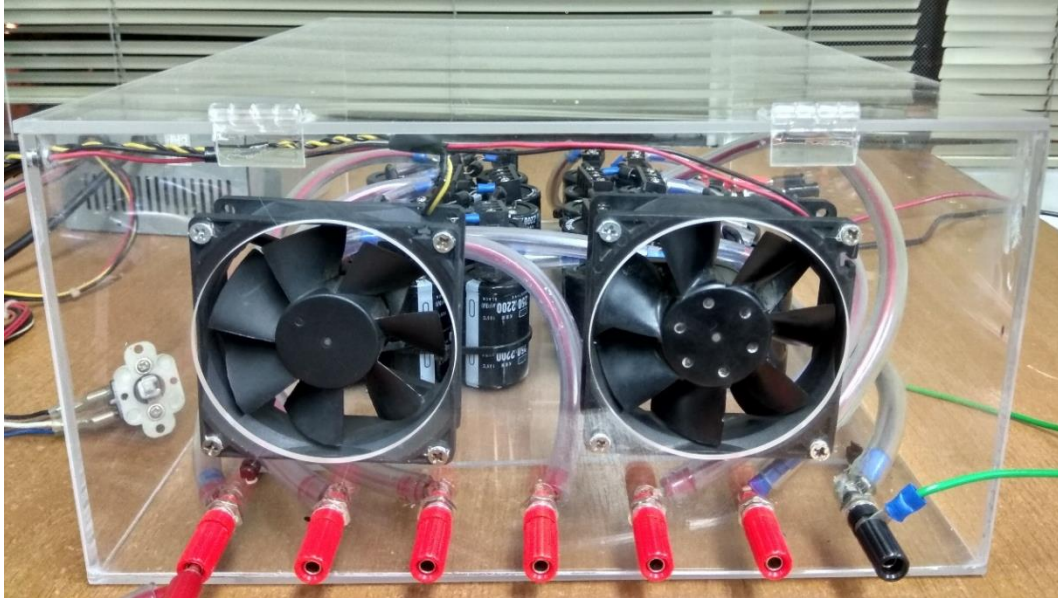
El transformador de aislamiento utilizado tiene una capacidad de 1 kVA. Es un transformador de múltiples devanados que permite la opción de ajustar la relación de transformación e incrementar la tensión de salida.

El autotransformador tiene una relación máxima de transformación 240 V/280 V y una potencia nominal de 2 kVA. Este dispositivo se utiliza con el fin de incrementar gradualmente la tensión de entrada del multiplicador capacitivo hasta obtener el nivel de tensión deseado en la prueba.

El multiplicador capacitivo implementado es un multiplicador de *Greinacher* de 6 etapas. Cada etapa se compone de capacitores de 1100  $\mu\text{F}$ , la tensión máxima de salida del multiplicador es 3 kV. El Anexo B muestra los detalles del multiplicador



construido. El prototipo de multiplicador construido se muestra en la Figura 6-2.



*Figura 6-2: Multiplicador de Greinacher construido*

La carga resistiva se implementó a partir de bombillas de 120 V/100 W, 120 V/200 W y 220 V/200 W. Esta consiste en un módulo que permite conectar hasta 10 bombillas en serie y se tienen las siguientes opciones de carga:

- a) Conexión serie de 10 bombillas
- b) Conexión serie de 5 bombillas (rama base)
- c) Paralelo de dos ramas base
- d) Paralelo de tres ramas base
- e) Paralelo de cuatro ramas base
- f) Paralelo de cinco ramas base

En la Figura 6-3 se observa la carga resistiva construida:



Figura 6-3: Carga resistiva de alta tensión construida

La resistencia del filamento de las lámparas depende de la temperatura de operación y por consiguiente de la tensión eficaz de suministro de la lámpara. Considerando lo anterior, en el Anexo B se muestra el procedimiento realizado para caracterizar el valor de la resistencia en función de la tensión eficaz para cada tipo de lámpara.

El prototipo de la topología construido consiste de tres módulos idénticos asociados en serie. El prototipo cuenta con puntos accesibles para medidas de tensión y corriente de los diferentes elementos que lo componen. Este y todos los equipos construidos cuentan con sistema de refrigeración y se encuentran aislados en carcasas de PMMA. El prototipo de la topología construido se muestra en la Figura 6-4. En esta Figura se demarcan 4 zonas mediante elipses de color negro:

- (1) Circuito del lado de alta tensión, circuito ZCS(ON)-ZVS(OFF) con compensación de desbalances.
- (2) Controlador de compuerta con circuito de compensación de retardos
- (3) Etapa de pos-regulación DC-DC
- (4) Convertidores *Flyback*

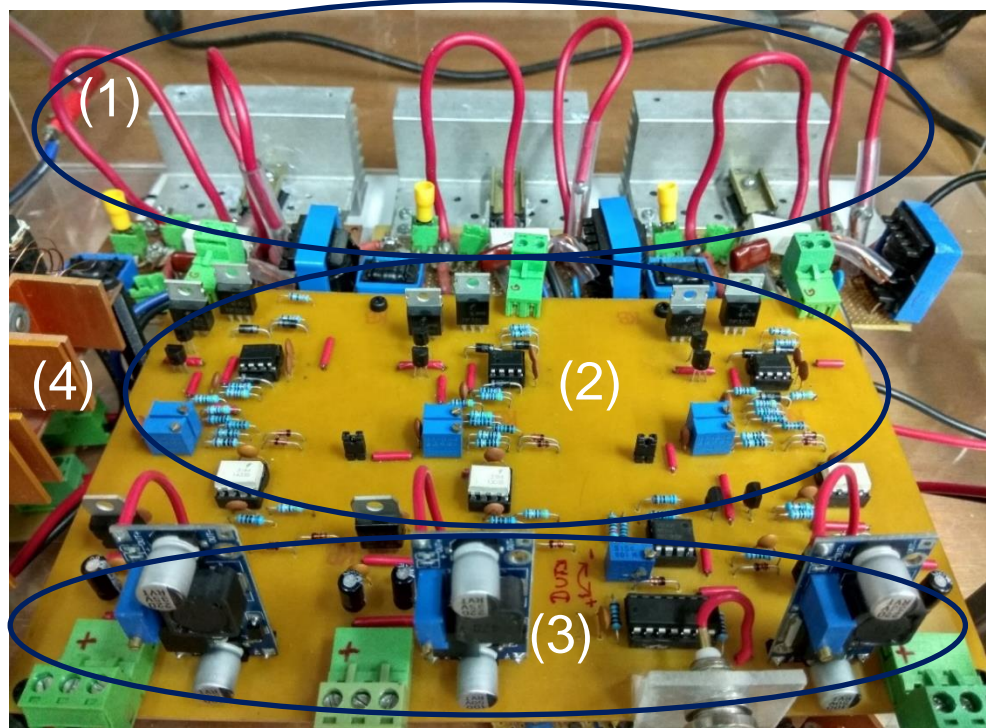


Figura 6-4: Topología construida con asociación serie de tres módulos

## 6.2 Escenarios de prueba implementados

Para cumplir con los propósitos establecidos, se implementan los tres escenarios de prueba verificados en simulación, en estos se verifica el porcentaje de desbalance de tensión con un valor fijo de carga. Las medidas de tensión para verificar desbalances se realizaron de la siguiente manera: *IGBT 1* e *IGBT 2*, *IGBT 1* e *IGBT 3*. Debido a la limitación en la potencia del multiplicador *Greinacher*, la máxima frecuencia de conmutación alcanzada en el desarrollo experimental es de 2 kHz. Por esta razón la cuantificación de las pérdidas se realiza en términos de energía.

### 6.2.1 Escenario No. 1: Topología referencia con conmutación forzada

Buscando que los *IGBTs* se encuentren en un rango de operación segura, la tensión máxima de operación fue de 300 V en este escenario. Se miden las tensiones colector-emisor en cada *IGBT* en conmutación al encendido y al bloqueo. La Figura 6-5 muestra las señales de tensión colector-emisor de *IGBT 1*, *IGBT 2* e *IGBT 3* en conmutación al encendido.

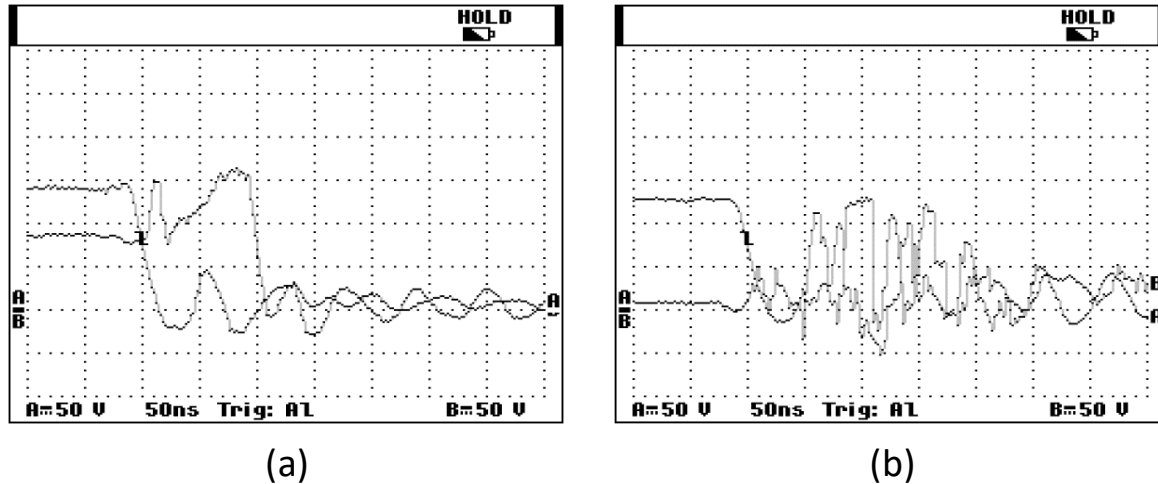


Figura 6-5: Tensión colector-emisor  $V_{CE}$  en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

En la Figura 6-5 a) previo a la conmutación, con los dispositivos en bloqueo, se observa que la tensión colector-emisor del IGBT 2 es menor que la tensión del IGBT 1. La diferencia entre estas tensiones en bloqueo es del 40 %. Durante la conmutación, el IGBT 2 experimenta una sobretensión momentánea debido al efecto del retardo en su señal de puesta en conducción. La tensión en el IGBT 2 alcanza un valor de tensión que es dos veces su valor inicial, cuando el IGBT 1 aún no recibía comando de puesta en conducción. En la Figura 6-5 b) se observa un valor muy bajo de tensión colector-emisor en el IGBT 3 (aprox. 10 V) mientras los dispositivos se encuentran en bloqueo. Luego de 50 ns a partir de la entrada en conducción del IGBT 1, la tensión en el IGBT 3 se eleva momentáneamente antes de entrar en conducción. La elevación de tensión en los IGBTs 1 y 3, hace que la conexión en serie con niveles de tensión de operación superior sea inviable. Por otro lado, el funcionamiento del IGBT 3 no es aceptable debido a que la diferencia de tensión en bloqueo respecto al IGBT 1 es de 93 %.

La Figura 6-6 muestra las señales de tensión colector-emisor del IGBT 1, IGBT 2 e IGBT 3 en su conmutación al bloqueo.

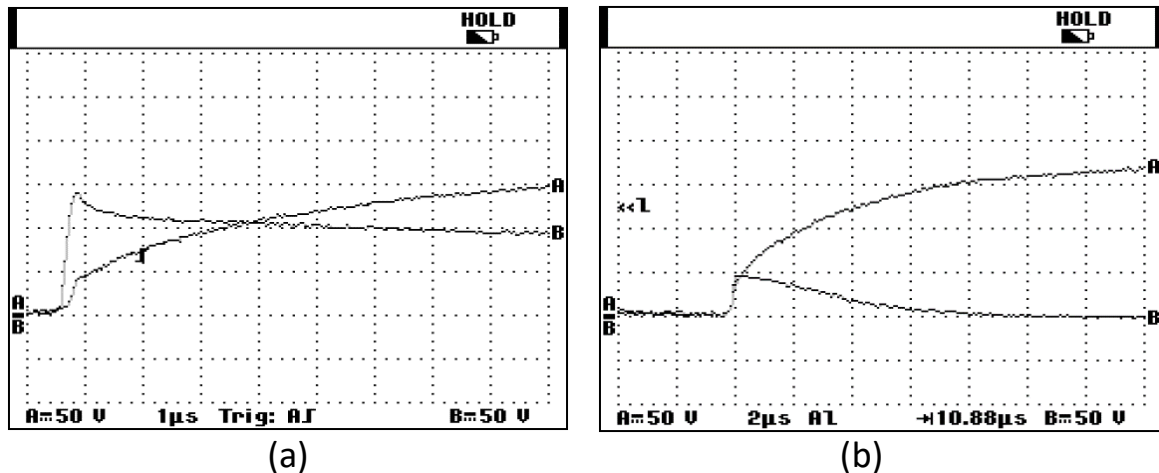


Figura 6-6: Tensión colector-emisor  $V_{CE}$  en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

En la Figura 6-6, la tensión colector-emisor en el IGBT 1 crece de forma exponencial tomándose varios microsegundos hasta alcanzar su valor máximo de tensión. Un comportamiento diferente se observa en la tensión colector-emisor del IGBT 2 e IGBT 3. En este caso las tensiones colector-emisor se incrementan de forma rápida, luego disminuyen y se estabilizan a medida que la tensión colector-emisor en el IGBT 1 crece. El desbalance estático presente es elevado, entre el IGBT 1 y el IGBT 2 es del 40 %, mientras entre el IGBT 1 y el IGBT 3 es del 88 %. Esta topología no tiene viabilidad de aplicación debido a sus elevados desbalances de tensión entre dispositivos.

### 6.2.2 Escenario No. 2: Topología con *snubber* no disipativo

En este escenario se realizaron pruebas con una tensión máxima de 500 V. Las tensiones colector-emisor de los tres IGBTs en conmutación al encendido se muestran en la Figura 6-7.

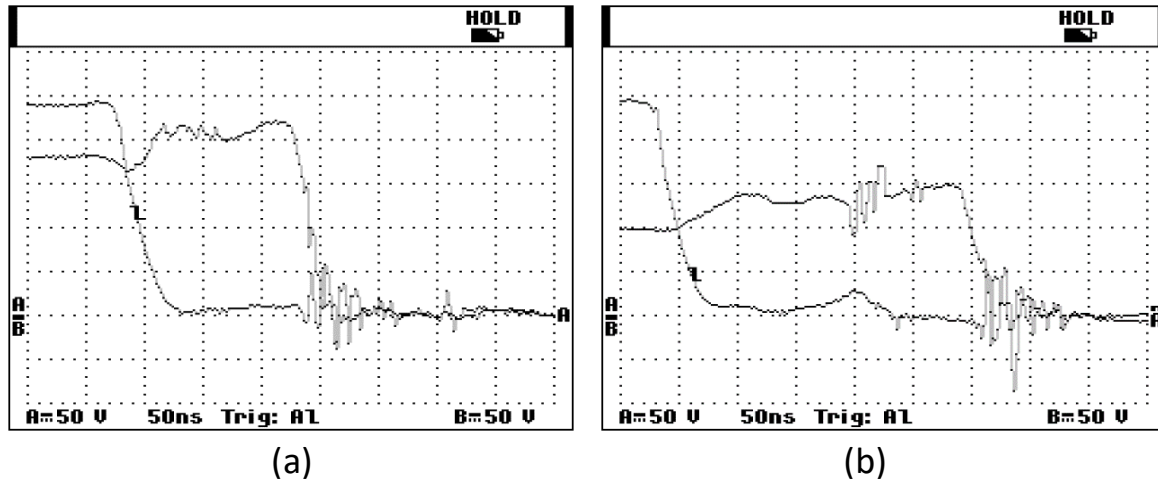


Figura 6-7: Tensión colector-emisor  $v_{CE}$  en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

Ya que cada IGBT entra y sale de conducción con un retardo respecto a su IGBT adyacente inferior, los IGBTs 2 y 3 experimentan una elevación momentánea de tensión en la conmutación. Dicha elevación es amortiguada por el capacitor de la red *snubber* no disipativa de cada módulo. Como se observa en la Figura 6-7 b), el IGBT 3 es el dispositivo que permanece un tiempo más prolongado en bloqueo en la secuencia de puesta en conducción. Este dispositivo experimenta una elevación de tensión del 50 % sobre su valor inicial. El retardo entre la puesta en conducción del IGBT 1 y el IGBT 3 es de 250 ns aproximadamente.

En la Figura 6-8 se muestran las tensiones colector-emisor de los tres IGBTs en conmutación al apagado. Aquí se observa un desbalance de tensión entre cada IGBT que depende de la posición de dicho elemento en la topología, el IGBT 3 presenta una diferencia de tensión mayor respecto al IGBT 1. El desbalance de tensión estático entre dispositivos se da debido al retardo entre señales de bloqueo. El capacitor de la red *snubber* no disipativa de cada módulo condiciona la evolución de la tensión del IGBT correspondiente en su conmutación al bloqueo. Ya que los elementos del *snubber* son de igual valor en todos los módulos, la constante de tiempo en cada señal de tensión colector-emisor en la conmutación al bloqueo es igual. El desbalance de tensión entre IGBT 1 e IGBT 2 es del 25 %, entre IGBT 1 e IGBT 3 es del 54 %.

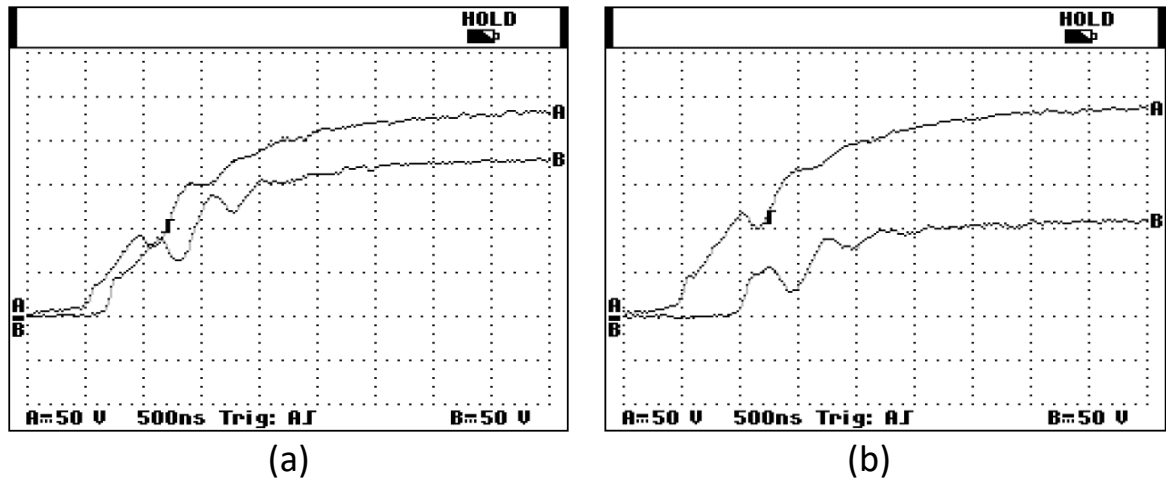


Figura 6-8: Tensión colector-emisor  $v_{CE}$  en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

La condición de funcionamiento de esta topología hace que sea viable con un desempeño aceptable con máximo dos módulos en asociación serie.

### 6.2.3 Escenario No. 3: Topología propuesta

En este escenario se verificará el funcionamiento de la topología propuesta en esta tesis. Para las pruebas se incrementa la tensión de salida del multiplicador hasta un valor de 3 kV. En la Figura 6-9 se observan las señales de tensión colector-emisor en los IGBTs 1, 2 y 3 en conmutación al encendido.

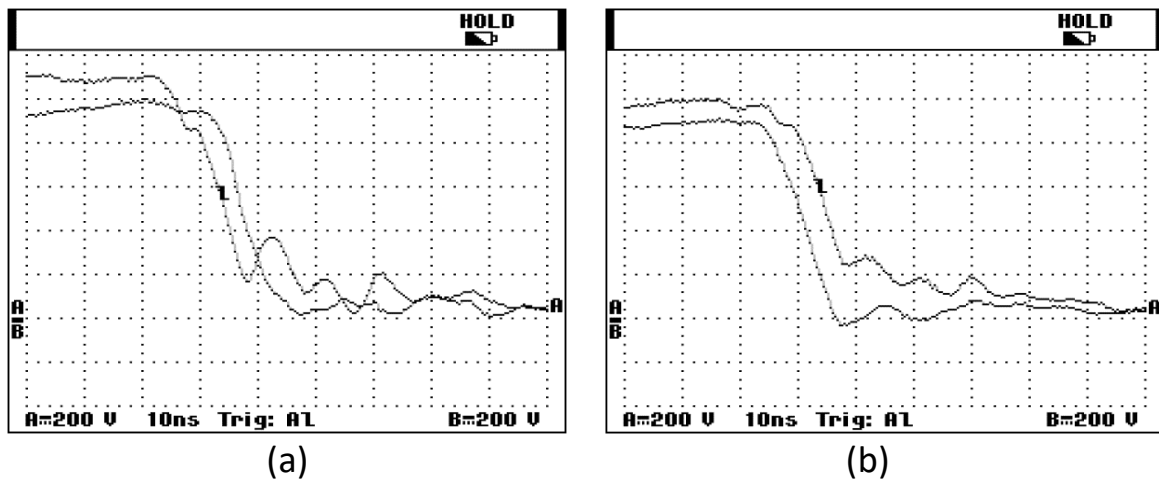


Figura 6-9: Tensión colector-emisor  $v_{CE}$  en conmutación al encendido de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

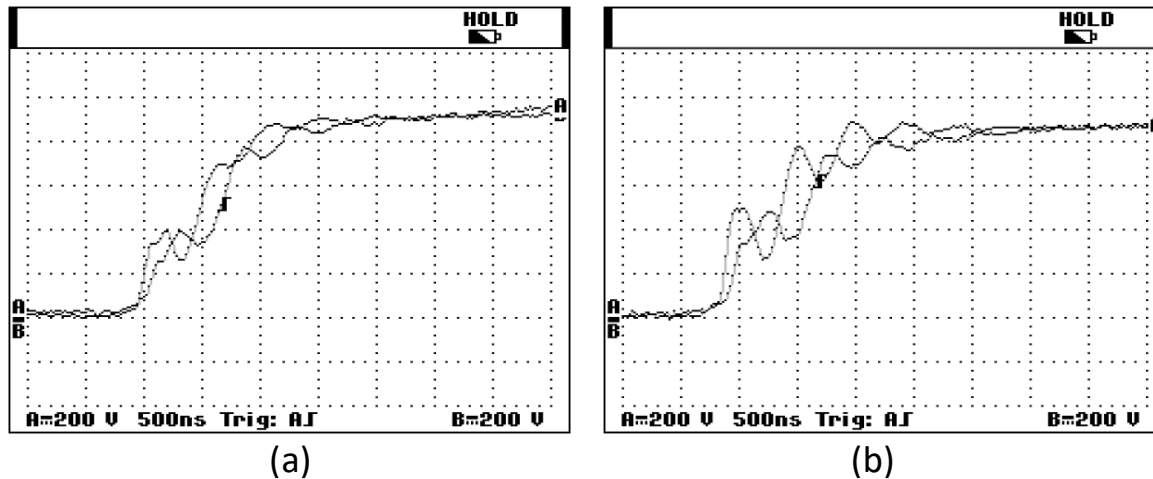


Figura 6-10: Tensión colector-emisor  $V_{CE}$  en conmutación al bloqueo de: a). IGBT 1 (canal A) e IGBT 2 (canal B) y b). IGBT 1 (canal A) e IGBT 3 (canal B)

En la Figura 6-9, las tensiones colector-emisor en los IGBTs son aproximadamente iguales en los instantes previos a la conmutación. Se puede evidenciar una diferencia de 5 ns entre los transitorios de conmutación al encendido, esta condición no causa sobretensión en ninguno de los IGBTs. Se observa una pequeña diferencia de tiempo debido a una oscilación en la tensión del IGBT 1 al inicio y finalización de la conmutación.

En la Figura 6-10 se observan las ondas de tensión colector-emisor en IGBT 1, IGBT 2 e IGBT 3 en su paso al bloqueo. Aquí, las ondas de tensión presentan oscilaciones durante la conmutación, sin embargo, las tres toman valores de tensión aproximadamente iguales en bloqueo. A pesar de la diferencia en pendiente de conmutación, ninguno de los dispositivos experimenta sobretensión.

En los resultados experimentales se puede observar una disminución aceptable de los desbalances estáticos y dinámicos de tensión. La mayor diferencia que se obtuvo entre tensiones colector-emisor en bloqueo fue del 1 %. Los transitorios de conmutación presentan diferencias momentáneas que no afectan el funcionamiento general del interruptor electrónico equivalente. Al realizar pruebas con diferentes valores de tensión de alimentación se encuentra un incremento en las oscilaciones en la conmutación al encendido a medida que se incrementa la tensión. Las oscilaciones no generan diferencias mayores a 8.5 ns entre IGBTs. Mayores oscilaciones se observan entre las tensiones colector-emisor en



conmutación al bloqueo. Con el fin de tener una apreciación del control sobre las diferencias en las tensiones colector-emisor durante las conmutaciones, se realizó una medida de las diferencias máximas de tiempo entre curvas de tensión colector-emisor de los *IGBTs* al realizar cambios en la tensión de alimentación. En la Figura 6-11 se muestra la tendencia de variación del desbalance de tensión dado como un retardo entre señales de tensión colector-emisor de los transistores *IGBT*.

En la Figura 6-11 se observa una tendencia al crecimiento de esta diferencia a medida que se incrementa la tensión. Como se puede evidenciar, en el desarrollo experimental fue posible ajustar ese valor a un máximo de 8.5 ns.

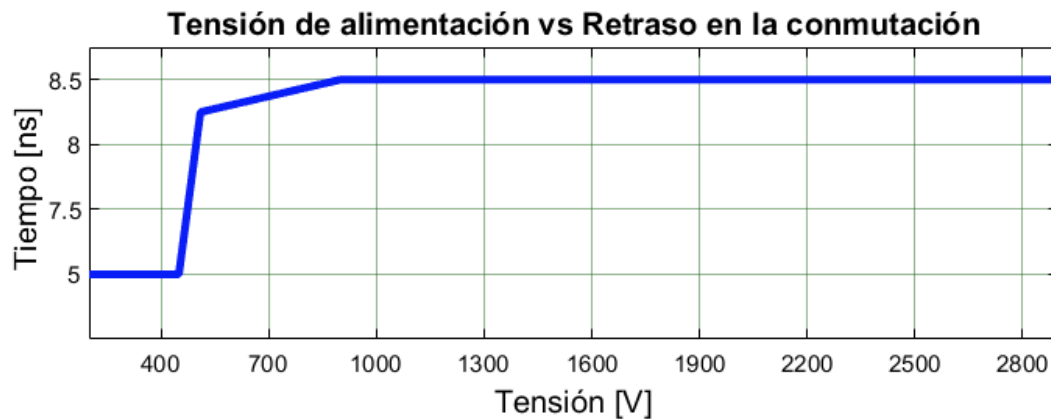


Figura 6-11: Variación de tensión de alimentación vs variación de tiempo entre curvas de tensión colector-emisor

### 6.3 Verificación de condición de conmutación parcialmente suave

En esta sección se muestran los resultados obtenidos al medir la tensión y corriente en cada *IGBT*. Se muestran los resultados para un valor de resistencia de carga  $R_L=100 \Omega$ . Finalmente se muestran resultados obtenidos con variaciones en la resistencia de carga y se miden los porcentajes de reducción de pérdidas tomando como referencia la topología con conmutación forzada. Las curvas de tensión colector-emisor y corriente de colector del *IGBT* 1 durante la conmutación al encendido y conmutación al bloqueo se muestran en la Figura 6-12.

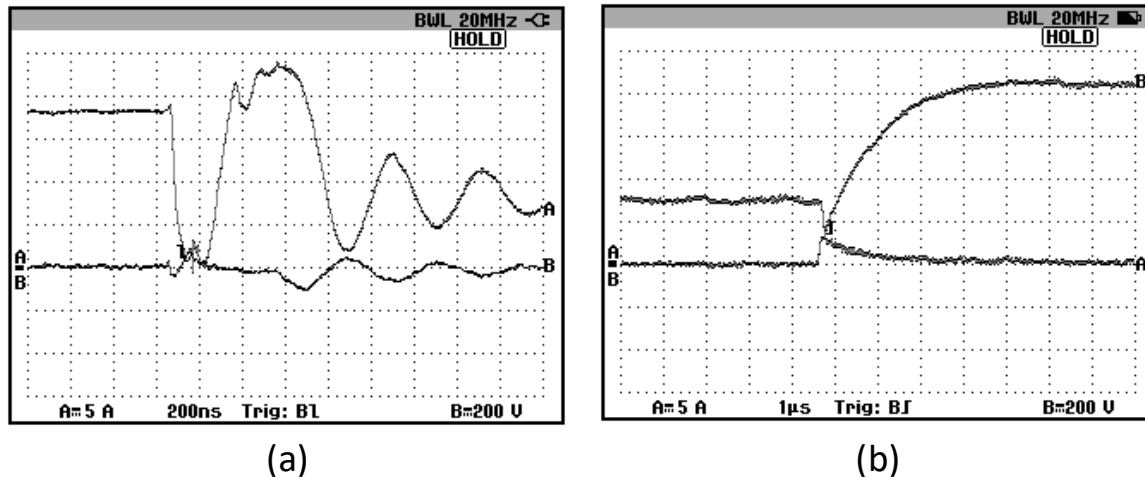


Figura 6-12: Tensión colector-emisor (canal B) y corriente de colector (canal A) de IGBT en el módulo 1 a) conmutación al encendido y b) conmutación al bloqueo

El inductor saturable regula la pendiente de corriente del IGBT en el paso a conducción mientras la tensión decrece hasta cero. Este efecto produce una conmutación con pérdidas muy bajas en los IGBTs durante el encendido. En la Figura 6-12(a), las oscilaciones de la corriente luego de pasar por su pico máximo son consecuencia de la interacción de la capacitancia parásita de salida del transistor IGBT con el inductor saturable justo cuando el diodo  $D_{S1}$  entra en conducción. En conmutación al bloqueo la tensión colector-emisor crece en función de la tensión del capacitor de la red *snubber* no disipativa, mientras la corriente de colector decrece en función de la corriente del inductor saturable. La corriente decrece rápidamente debido a la condición inicial de saturación del inductor. Cuando la corriente disminuye aproximadamente en un 70 % de su valor máximo, el inductor sale de saturación. Esto sumado a la corriente de cola del IGBT retardan la evolución de la corriente. Igual comportamiento se observa en la tensión y corriente en los IGBTs 2 y 3.

Para determinar con claridad la suavidad o dureza de las conmutaciones se realizan curvas de *Lissajous* de tensión y corriente en los IGBTs durante la conmutación. En la Figura 6-13 se observa la curva de tensión contra corriente del IGBT 1 en conmutación al encendido mientras en la Figura 6-14 se observa la curva de tensión contra corriente en conmutación al apagado. La línea negra punteada indica la curva para una conmutación puramente suave, esta línea se ha marcado

con el fin de establecer una referencia.

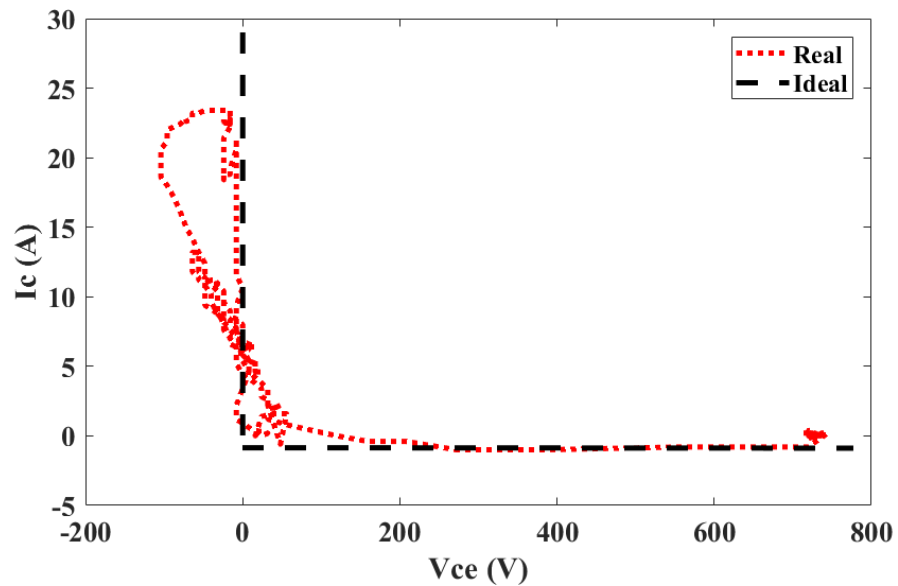


Figura 6-13: Tensión colector emisor vs corriente de colector del IGBT 1 en conmutación al encendido

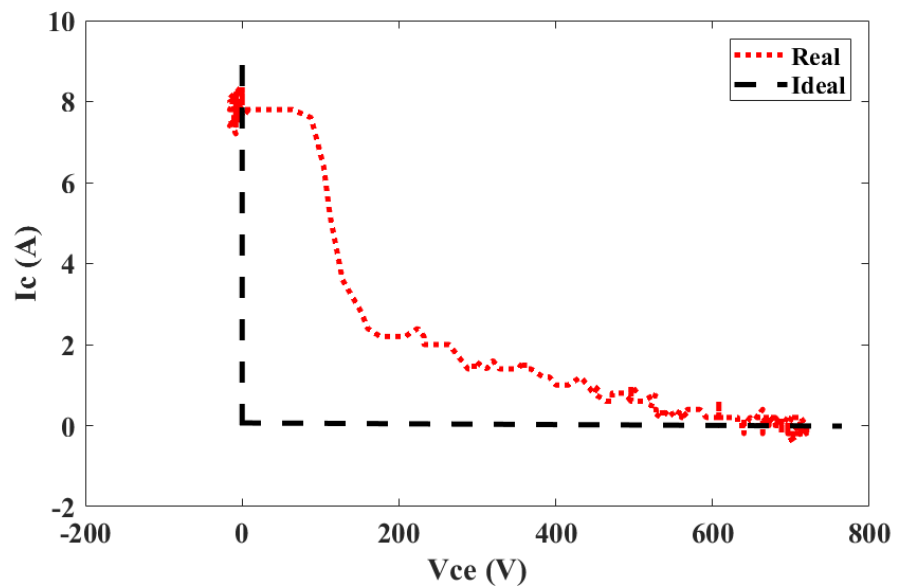


Figura 6-14: Tensión colector emisor vs corriente de colector del IGBT 1 en conmutación al bloqueo

En una conmutación idealmente suave la curva se sitúa sobre los ejes correspondientes a tensión y corriente cero. Para calcular el porcentaje de reducción de pérdidas se toma como referencia el área del triángulo que forma una

curva en conmutación forzada con carga resistiva. Estos cálculos fueron realizados mediante el software MatLab. La Figura 6-13 muestra una curva con tendencia similar a su referencia lo que permite demostrar la disminución de pérdidas en la conmutación, porcentualmente es del 75 %. En la conmutación al bloqueo (Figura 6-14) el diagrama representa una conmutación que no es totalmente suave, sin embargo, se alcanza una reducción considerable de pérdidas en esta conmutación (aproximadamente 10 %).

Esta topología presenta pérdidas por conmutación reducidas debido a la condición de conmutación parcialmente suave en todos los dispositivos. La disminución en las pérdidas por conmutación permite que el interruptor equivalente opere a frecuencias elevadas.

Para verificar la condición de conmutación respecto al valor de la resistencia de carga, se ha realizado variación de este parámetro, y se han comparado los valores de energía disipada con la topología con conmutación forzada. Los valores de energía son calculados por medio de Matlab a partir de las señales de tensión y corriente del *IGBT* en conmutación. La Figura 6-15 muestra la tendencia de variación de resistencia de carga respecto al porcentaje de disminución de pérdidas en la conmutación al encendido.

Se observa una tendencia al incremento en las pérdidas por conmutación respecto al incremento en el valor de la resistencia de carga. Con el valor máximo de resistencia de carga la reducción de pérdidas es aceptable (alrededor del 50 %). En la Figura 6-16 se observa la tendencia en disminución de pérdidas por conmutación al bloqueo en los *IGBTs* de la topología propuesta al realizar variación en la resistencia de carga.

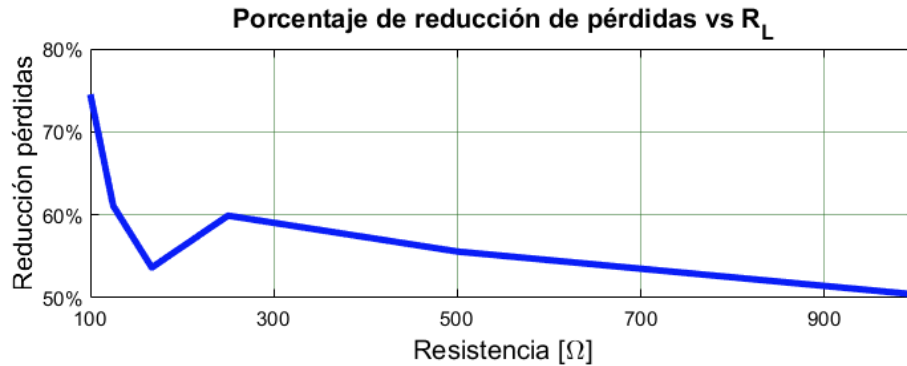


Figura 6-15: Variación de resistencia de carga vs disminución de pérdidas en conmutación al encendido del IGBT 1

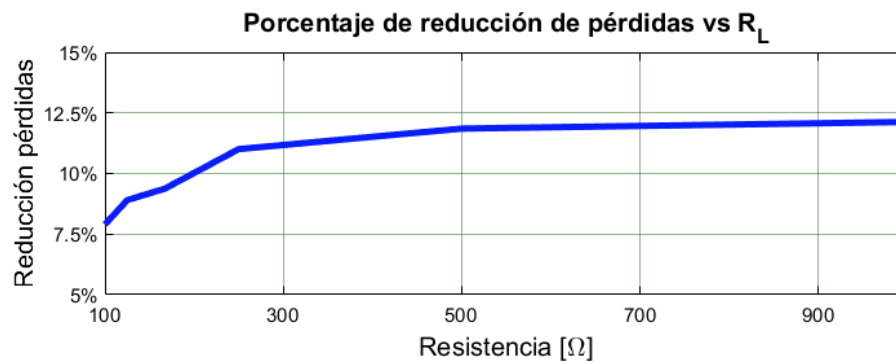


Figura 6-16: Variación de resistencia de carga vs disminución de pérdidas en conmutación al bloqueo del IGBT 1

De acuerdo con la Figura 6-16, a medida que el valor de resistencia en la carga se incrementa, las pérdidas en el *IGBT* disminuyen. En el rango de variación de carga se alcanza a disminuir un 4 %. Esta disminución se debe a la dependencia de la pendiente de tensión colector-emisor del *IGBT* sobre la resistencia de carga. En cuanto mayor sea la resistencia de carga, mayor será la constante de tiempo de carga del capacitor de la red *snubber* no disipativa. Por tanto, más tiempo tardará el *IGBT* en su conmutación al bloqueo. Al realizar la variación de la resistencia de carga, y cuantificar las pérdidas totales se encuentra que a medida que la resistencia incrementa, las pérdidas en la topología propuesta incrementan. El porcentaje de reducción de pérdidas pasa de un valor de 41 % con  $R_L=100 \Omega$ , a un valor del 31 % con  $R_L=1 \text{ k}\Omega$ .

## 6.4 Energía recuperada desde el *snubber* no disipativo

Para verificar la recuperación de energía desde el *snubber* no disipativo hacia el convertidor que alimenta el controlador *IGBT* se midió la corriente en los diodos  $D_{S1}$ ,  $D_{S2}$  y  $D_{S3}$ . En la Figura 6-17 se muestra la tensión colector-emisor del *IGBT* 1 y la corriente en el diodo  $D_{S1}$  (módulo 1)

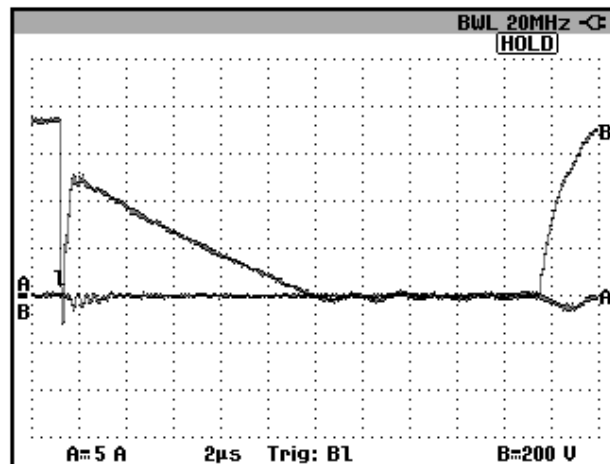


Figura 6-17: Corriente en diodo  $D_{S1}$  (canal A) y tensión colector-emisor en *IGBT* 1 (canal B)

En la Figura 6-17 se verifica que el tiempo de conducción del *IGBT* está limitado por el tiempo de descarga del inductor sobre el convertidor *Flyback* ( $V_{EOUT}$ ). Esta limitación restringe el valor del ciclo de trabajo y/o frecuencia de conmutación del interruptor equivalente. Esta condición fue demostrada en la Sección 4.2. La energía recuperada en conmutación al bloqueo depende del valor de la resistencia de carga, por esta razón se han realizado pruebas con variación de este parámetro. Los resultados obtenidos se muestran en la Figura 6-18 con variación de resistencia de carga entre 100  $\Omega$  y 1 k $\Omega$ .

De acuerdo con la Figura 6-18, a medida que se incrementa el valor de la resistencia de carga, la energía retornada disminuye en una proporción menor. Lo anterior se debe a que el valor de carga solo influye en la transferencia de energía en el paso al bloqueo. La energía que se transfiere en conmutación al bloqueo es muy baja comparada con la entregada mientras el *IGBT* conduce.

Considerando que la potencia requerida por un controlador de compuerta *IGBT*

es de 2 W, con una frecuencia de conmutación de 1 kHz la energía retornada será suficiente para alimentar las fuentes de suministro de los controladores. La energía recuperada desde el circuito de conmutación parcialmente suave puede ser aprovechada en la recarga de una batería que alimente el circuito controlador de compuerta *IGBT*.

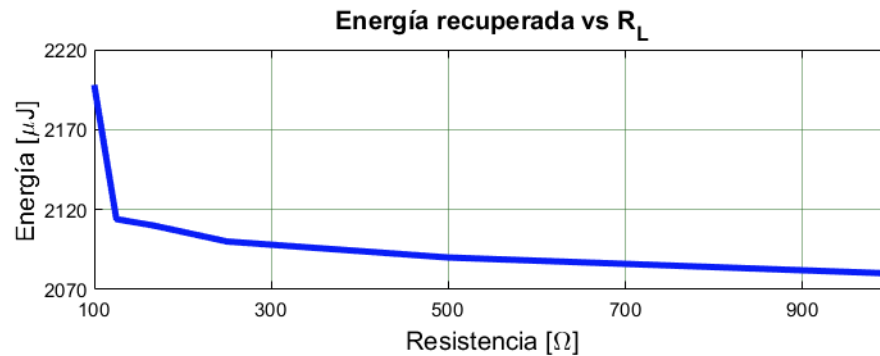


Figura 6-18: Variación de Resistencia de carga vs energía retornada a la fuente del controlador de compuerta

## 6.5 Síntesis

En este capítulo, las pruebas experimentales de un prototipo de topología con tres módulos asociados en serie han sido realizadas. Mediante el prototipo es posible implementar tres escenarios de prueba en concordancia con las pruebas realizadas mediante simulación. Con la topología propuesta se ha encontrado una reducción de hasta el 1 % en los desbalances estáticos. En los desbalances dinámicos se encuentran diferencias máximas de 10 ns entre las señales de tensión colector-emisor de los tres transistores *IGBT*. A partir de la comparación de las pérdidas por conmutación de la topología propuesta vs topología con conmutación forzada se evidencia una reducción de hasta el 42 %.





## CAPÍTULO VII

# 7. CONCLUSIONES Y FUTUROS DESARROLLOS

### 7.1 Conclusiones generales

#### **Topología de asociación en serie de transistores *IGBT***

A partir de criterios y técnicas de minimización de pérdidas por conmutación [56], [85], una nueva topología para asociación en serie de transistores *IGBT* ha sido desarrollada. La principal ventaja de esta topología, comparado con los sistemas con redes de compensación disipativas, son las reducidas pérdidas en el circuito de corrección de desbalances estáticos y dinámicos de tensión. Esta topología se ha generalizado para asociación de  $n$  transistores a partir de compensación de retardos desde compuerta y ajuste de las tensiones de aislamiento entre las señales de control y el lado de alta tensión.

Una nueva arquitectura de conexión que integra los módulos de control de todos los transistores en asociación en serie ha sido propuesta y verificada. La alternativa de conexión de controladores de compuerta garantiza igual exigencia en nivel de tensión de aislamiento entre el lado de control y el lado de alta tensión de cada *IGBT*. Esto se logra uniformando el diseño de las fuentes de alimentación y el circuito de excitación de compuerta independientemente de la posición del transistor comandado en la asociación en serie que forma el interruptor equivalente. Esta alternativa permite conectar un gran número de *IGBTs* en serie con niveles de tensión de aislamiento equilibrados en cada controlador.

### **Análisis de funcionamiento mediante software de simulación**

Mediante simulación, el funcionamiento general de la topología propuesta ha sido analizado. La generalización de la topología propuesta ha sido demostrada mediante la prueba de una asociación en serie de 10 módulos, en esta se han obtenido desbalances de tensión menores al 1 %.

Se ha determinado el porcentaje de reducción de pérdidas de la topología propuesta tomando como referencia una topología que presenta conmutación forzada. Se ha obtenido una reducción total de pérdidas del 40 %.

### **Rango de operación de la topología propuesta**

Partiendo de parámetros de diseño, los rangos de operación de la topología propuesta han sido definidos. En este sentido, se han determinado las condiciones y características de los componentes que forman parte de la topología de asociación en serie desarrollada.

Mediante el prototipo experimental de prueba, el desempeño de la topología propuesta ha sido verificado. Se ha demostrado disminución de los desbalances estáticos de tensión hasta en 1 %, en cuanto a desbalances dinámicos, la diferencia entre señales de tensión colector-emisor en la conmutación al encendido no supera los 10 ns.

La condición de conmutación parcialmente suave de los *IGBTs* en la topología ha sido validada de forma experimental a partir de variación del valor de la resistencia de carga. Para un valor de  $R_L=100\ \Omega$  la reducción de pérdidas es de un 42 %, mientras que para un valor de  $R_L=1\ \text{k}\Omega$  las pérdidas se reducen en un 31 %.

Se ha cuantificado la energía direccionada al circuito de alimentación de su controlador. Con un valor de resistencia en la carga de  $100\ \Omega$  y con tensión máxima de operación, a partir de una frecuencia de conmutación de 1 kHz la energía recuperada es suficiente para alimentar el circuito controlador de compuerta.

El tiempo en conducción de cada *IGBT* está limitado por el tiempo de descarga del inductor del *snubber* no disipativo sobre la salida del secundario positivo del

convertidor *Flyback* en cada módulo. Este comportamiento se presenta en todos los módulos. El tiempo mínimo de conducción, como se evidencia en el Capítulo 4, determina la frecuencia y ciclo de trabajo máximo en el interruptor electrónico equivalente.

## 7.2 Aportes

Los principales aportes de esta investigación giran en torno al desarrollo de una nueva topología para asociación en serie de transistores *IGBT* con mitigación de desbalances de tensión y disminución de pérdidas por conmutación. Sobre este aporte se han obtenido los siguientes resultados:

- Mejoramiento de las técnicas de compensación de desbalances de tensión reduciendo pérdidas tanto en el *IGBT* como en el circuito agregado en el lado de alta tensión. Los elementos pasivos agregados en el lado de alta tensión son capacitores de baja capacidad y núcleos de ferrita de bajo tamaño, lo cual garantiza que se mantendrá un volumen bajo del interruptor electrónico.
- Integración de dos técnicas de compensación de desbalances de tensión de forma complementaria. Los desbalances dinámicos se controlan mediante compensación de retardos desde compuerta, las diferencias restantes se ajustan mediante la compensación desde el lado de alta tensión a partir de una red *snubber LCE*.
- Desarrollo de sistema de recuperación de la energía que interviene en la conmutación de los *IGBTs* mediante red *snubber LCE*. Esto contribuye al incremento de la eficiencia del interruptor electrónico equivalente.
- Se ha establecido una alternativa de conexión de controladores de compuerta en asociación en serie de *IGBTs* que permite conectar un número ilimitado de dispositivos con niveles de tensión de aislamiento reducidos y equilibrados en cada controlador.
- Se ha desarrollado una metodología de diseño basada en la solución

progresiva de los diferentes inconvenientes encontrados en asociaciones en serie de dispositivos semiconductores. En esta metodología se aplican de forma simultánea las tres fases de diseño complementarias: modelado matemático, simulación y desarrollo experimental.

- Se da una alternativa para el aprovechamiento del potencial de los dispositivos de silicio, de fácil adquisición en el mercado

### 7.3 Perspectivas de trabajo futuro

Con relación a desarrollos futuros, se pueden destacar los siguientes:

- Analizar el estado transitorio de asociación en serie de transistores *IGBTs*, con el fin de caracterizar, modelar y estudiar la incidencia de los campos electromagnéticos en los desbalances dinámicos de tensión.
- Implementación de una topología para asociación en serie de otros dispositivos semiconductores de potencia incluyendo dispositivos de carburo de silicio.
- Análisis de la asociación en serie de transistores *IGBT* para conmutación de alta tensión con cargas *RL* y *RLE*.
- Desarrollar un método de prueba del comportamiento de las asociaciones en serie de dispositivos semiconductores de potencia, con el fin de extraer los parámetros más influyentes en la conmutación. Esto permitirá el desarrollo de nuevas técnicas de compensación de desbalances de tensión.

### 7.4 Discusión académica

Durante la elaboración de esta tesis se obtuvo la siguiente producción científica:

#### Publicaciones en revistas:

A. F. Guerrero-Guerrero; A. J. Ustariz-Farfan; H. E. Tacca and E. A. Cano-Plata "Self-feeder Driver for Voltage Balance in Series-connected IGBT Associations" *Journal of Power Electronics*. Enero 2019

**Trabajos sometidos a revisión:**

A. F. Guerrero-Guerrero; A. J. Ustariz-Farfan; H. E. Tacca and E. A. Cano-Plata “IGBT series connection with soft switching and power recovery in driver’s power supply” *IEEE Transactions on Power Electronics* (segunda revisión)

**Publicaciones en congresos:**

A. F. Guerrero-Guerrero; A. J. Ustariz-Farfan and E. A. Cano-Plata “Snubberless balancement in MOSFET stacks by signals gate synchronization with passive components” *2015 IEEE Workshop on Power Electronics and Power Quality Applications (PEPQA)*. Mayo 2015

A. F. Guerrero-Guerrero; A. J. Ustariz-Farfan; H. E. Tacca and E. A. Cano-Plata “High Voltage Switch with MOSFET Series/Parallel Connection.” *2018 IEEE Andean Council Conference (ANDESCON 2018)*. Agosto 2018

**Publicaciones como resultado de dirección de proyectos de desarrollo de hardware:**

S. Arias-Guzman, A. Ustariz-Farfan, E. Cano-Plata, G.-R. A., C. Rojas-Montano, J. Orozco-Clavijo, A. Guerrero-Guerrero, and O. Ruiz-Guzman, “Voltage sags: energy and severity index assessment,” *Revista UIS Ingenierías*, vol. 18, no. 1, pp.141–148, 2019.

A. Guerrero-Guerrero, A. Ustariz-Farfan, E. Cano-Plata, S. Arias-Guzman, C. Rojas-Montano, J. Orozco-Clavijo, and O. Ruiz-Guzman, “Voltage sags: design and construction of a virtual prototype for his measurement.” *Simposio Internacional sobre Calidad de la Energía Eléctrica - SICEL*, nov. 2017.

S. Arias-Guzman, A. Ustariz-Farfan, E. Cano-Plata, G.-R. A., C. Rojas-Montano, J. Orozco-Clavijo, A. Guerrero-Guerrero, and O. Ruiz-Guzman, “Voltage sags: energy and severity index assessment.” *Simposio Internacional sobre Calidad de la Energía Eléctrica - SICEL*, nov. 2017.

**Pasantías en centros de investigación extranjeros:**

Esta investigación fue financiada por el Departamento Administrativo de Ciencia, Tecnología e Innovación – COLCIENCIAS a través del Programa Doctoral Becas Colciencias Convocatoria No. 617 de 2013 Doctorados Nacionales. Dentro de las actividades financiadas se encuentra la pasantía realizada en el **Laboratorio de Control de Accionamientos, Tracción y Potencia – LABCATyP** dependiente del Departamento de Electrónica de la Facultad de Ingeniería de la Universidad de Buenos Aires en Argentina. La pasantía fue dirigida por el Doctor Hernán Emilio Tacca, codirector de esta tesis. La pasantía tuvo una duración de 9 meses (marzo a diciembre de 2016).

**Proyectos de investigación:**

1. **“Aportaciones a las Asociaciones Serie de Dispositivos Semiconductores para la Construcción de Interruptores de Potencia”.**

Investigador principal: Dr. Ing. Armando Jaime Ustariz Farfán.

Universidad Nacional de Colombia

2018

2. **“Nueva Topología para Conmutación de Asociaciones Serie de Dispositivos Semiconductores en Aplicaciones de Alta Tensión”.**

Investigador principal: Dr. Ing. Luis Fernando Díaz Cadavid.

Universidad Nacional de Colombia

2017 – 2018

3. **“Efecto del Bucle Inductivo de Transformadores de Distribución en la Operación del DPS”**

Investigador principal: Dr. Ing. Eduardo Antonio Cano Plata

Universidad Nacional de Colombia

2018

El desarrollo experimental de esta tesis fue parcialmente financiado con fondos provenientes del subsidio correspondiente al Proyecto UBACYT 2014-17 20020130100840BA financiado por la Universidad de Buenos Aires en Argentina y por los proyectos HERMES 39038, 39023 y 40804 financiados por la Universidad Nacional de Colombia.

# REFERENCIAS BIBLIOGRÁFICAS

- [1] F. Zhang, X. Yang, Y. Ren, C. Li, and R. Gou, "Voltage balancing optimization of series-connected IGBTs in solid-state breaker by using driving signal adjustment technique," *2015 IEEE 2nd Int. Futur. Energy Electron. Conf. IFEEEC 2015*, 2015.
- [2] S. Li, S. Member, T. a Haskew, and L. Xu, "Control of HVDC Light System Using Conventional and Direct Current Vector Control Approaches," *Power*, vol. 25, no. 12, pp. 3106–3118, 2010.
- [3] S. Bernet, "Recent developments of high power converters for industry and traction applications," *IEEE Trans. Power Electron.*, 2000.
- [4] J. R. Grenier, S. H. Jayaram, M. Kazerani, H. Wang, and M. W. Griffiths, "MOSFET-based pulse power supply for bacterial transformation," *IEEE Trans. Ind. Appl.*, vol. 44, no. 1, pp. 25–31, 2008.
- [5] R. Sundararajan, J. Shao, E. Soundarajan, J. Gonzales, and A. Chaney, "Performance of solid-state high-voltage pulsers for biological applications-a preliminary study," *IEEE Trans. Plasma Sci.*, vol. 32, no. 5 I, pp. 2017–2025, 2004.
- [6] S. J. MacGregor, O. Farish, R. Fouracre, N. J. Rowan, and J. G. Anderson, "Inactivation of pathogenic and spoilage microorganisms in a test liquid using pulsed electric fields," *IEEE Trans. Plasma Sci.*, vol. 28, no. 1, pp. 144–149, 2000.
- [7] S. Schroeder, R. Buckow, and K. Knoerzer, "Numerical Simulation Of Pulsed Electric Fields (PEF) Processing For Chamber Design And Optimisation," *Seventh Int. Conf. CFD Miner. Process Ind.*, no. December, 2009.
- [8] Kempkes M., Gaudreau M., Hawkey T., and J. Petry, "Scaleup of PEF systems for food and waste streams," *PPPS-2007 - Pulsed Power Plasma Sci. 2007*, vol. 2, pp. 1064–1067, 2007.
- [9] M. Gaudreau, T. Hawkey, J. Petry, and M. Kempkes, "Solid-state power



- systems for pulsed Electric Field (PEF) processing,” *Dig. Tech. Pap. Int. Pulsed Power Conf.*, pp. 1278–1281, 2007.
- [10] J. Shiqi *et al.*, “Physical model analysis during transient for series-connected HVIGBTs,” *IEEE Trans. Power Electron.*, vol. 29, no. 11, pp. 5727–5737, 2014.
- [11] Jianping Ying and Hongjian Gan, “High power conversion technologies & trend,” in *Proceedings of The 7th International Power Electronics and Motion Control Conference*, 2012, vol. 3, pp. 1766–1770.
- [12] S. R. Jang, H. J. Ryoo, G. Goussev, and G. H. Rim, “Comparative study of MOSFET and IGBT for high repetitive pulsed power modulators,” *IEEE Trans. Plasma Sci.*, vol. 40, no. 10 PART 1, pp. 2561–2568, 2012.
- [13] P. R. Palmer, “A comparison of IGBT technologies for use in the series connection,” *6th Int. Conf. Power Electron. Var. Speed Drives*, vol. 1996, no. 429, pp. 236–241, 1996.
- [14] Jiann-Fuh Chen, Jiunn-Nan Lin, and Tsu-Hua Ai, “The techniques of the serial and paralleled IGBTs,” in *Proceedings of the 1996 IEEE IECON. 22nd International Conference on Industrial Electronics, Control, and Instrumentation*, 1996, vol. 2, pp. 999–1004.
- [15] N. Syarafina, B. Othman, T. Jindo, M. Yamada, M. Tsuyama, and H. Nakano, “Fast High Voltage Solid State Switch Using Insulated Gate Bipolar Transistor for Discharge-Pumped Lasers,” vol. 8, no. 12, pp. 1869–1872, 2014.
- [16] H. Wang, A. Q. Huang, and F. Wang, “Development of a Scalable Power Semiconductor Switch (SPSS),” *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 364–373, Mar. 2007.
- [17] S. Castagno, R. D. Curry, and E. Loree, “Analysis and comparison of a fast turn-on series IGBT stack and high-voltage-rated commercial IGBTs,” *IEEE Trans. Plasma Sci.*, vol. 34, no. 5 I, pp. 1692–1696, 2006.
- [18] J. Wang, *Modeling of parasitic elements in high voltage multiplier modules*. TU Delft, Delft University of Technology, 2014.

- [19] C. Ionescu, "Analysis of PCB parasitic influences in uninterruptible power supplies," *Proc. Int. Spring Semin. Electron. Technol.*, vol. 2001–Janua, pp. 83–87, 2001.
- [20] D. Jones, "Printed Circuit Board ( Pcb ) Design Issues," *Des. Issues*, p. 943, 2008.
- [21] C. Gerster, "Fast high-power/high-voltage switch using series-connected IGBTs with active gate-controlled voltage-balancing," in *Proceedings of 1994 IEEE Applied Power Electronics Conference and Exposition - ASPEC'94*, 1994, pp. 469–472.
- [22] H. L. Hess and R. J. Baker, "Transformerless capacitive coupling of gate signals for series operation of power MOS devices," *IEEE Int. Electr. Mach. Drives Conf. IEMDC 1999 - Proc.*, vol. 15, no. 5, pp. 673–675, 1999.
- [23] N. Dai and F. C. Lee, "Characterization and analysis of parasitic parameters and their effects in power electronics circuit," *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, vol. 2, pp. 1370–1375, 1996.
- [24] S. Bhat and H. N. Nagaraja, "Effect of Parasitic Elements on the Performance of Buck-Boost Converter for PV Systems," vol. 4, no. 6, pp. 831–836, 2014.
- [25] Z. Yu-lin and Z. Zheng-ming, "Comparison of Parasitic Parameters Extraction methods and Equivalent Circuits for a Grounding Model," 2008.
- [26] R. Schmid, "Measuring Board Parasitics in High-Speed Analog Design," no. August, pp. 1–9, 2003.
- [27] D. Cottet and A. Hamidi, "Parasitics in Power Electronics Packaging," 2005.
- [28] R. Withanage and N. Shamma, "Series Connection of Insulated Gate Bipolar Transistors (IGBTs)," *IEEE Trans. Power Electron.*, vol. 27, no. 4, pp. 2204–2212, Apr. 2012.
- [29] A. F. Guerrero-Guerrero, A. J. Ustariz-Farfan, and E. A. Cano-Plata, "Snubberless balancement in MOSFET stacks by signals gate synchronization with passive components," in *2015 IEEE Workshop on Power*

*Electronics and Power Quality Applications, PEPQA 2015 - Proceedings, 2015.*

- [30] G. Belverde, A. Galluzzo, M. Melito, S. Musumeci, and A. Raciti, "On the series connection of insulated gate power devices," *Devices, Circuits Syst. 2000. Proc. 2000 Third IEEE Int. Caracas Conf.*, p. P85/1-P85/6, 2000.
- [31] M. Chhabada and S. T. Shah, "Series Connected Power Semiconductor Devices ( IGBTs ) Requirement over Crowbar Device," *J. Emerg. Technol. Innov. Res.*, vol. 2, no. 3, pp. 494–498, 2015.
- [32] C. Gerster, P. Hofer, and N. Karrer, "Gate-control strategies for snubberless operation of series connected IGBTs," *PESC Rec. 27th Annu. IEEE Power Electron. Spec. Conf.*, vol. 2, pp. 1739–1742, 1996.
- [33] F. V. Robinson and V. Hamidi, "Series connecting devices for high-voltage power conversion," *Proc. Univ. Power Eng. Conf.*, pp. 1134–1139, 2007.
- [34] D. Cottet, B. Agostini, S. Skibin, and G. Riedel, "Ingenio integrado: Nuevos algoritmos de simulación para el diseño rentable de convertidores de frecuencia para electrónica de potencia altamente integrados y fiables," *ABB Rev.*, vol. 3, pp. 65–71, 2013.
- [35] M. Bruckmann, R. Sommer, M. Fasching, and J. Sigg, "Series connection of high voltage IGBT modules," *Conf. Rec. 1998 IEEE Ind. Appl. Conf. Thirty-Third IAS Annu. Meet. (Cat. No.98CH36242)*, vol. 2, pp. 1067–1072, 1998.
- [36] D. Ning, X. Tong, M. Shen, and W. Xia, "The experiments of voltage balancing methods in IGBTs series connection," *Asia-Pacific Power Energy Eng. Conf. APPEEC*, pp. 0–3, 2010.
- [37] P. C. Todd, "Snubber Circuits : Theory, Design and Application," pp. 1–18, 2001.
- [38] W. McMurray, "Optimum Snubbers for Power Semiconductors.," *IEEE Trans. Ind. Appl.*, vol. IA-8, no. 5, pp. 593–600, 1972.
- [39] S. J. Finney, B. W. Williams, and T. C. Green, "RCD snubber revisited," *IEEE*

- Trans. Ind. Appl.*, vol. 32, no. 1, pp. 155–160, 1996.
- [40] X. Yang, J. Zhang, W. He, Z. Long, and P. R. Palmer, “Physical Investigation into Effective Voltage Balancing by Temporary Clamp Technique for the Series Connection of IGBTs,” *IEEE Trans. Power Electron.*, vol. 8993, no. c, pp. 1–1, 2017.
- [41] J. Sigg, M. Bruckmann, and P. Tuerkers, “Series connection of IGBTs investigated by experiments and simulation,” *PESC Rec. - IEEE Annu. Power Electron. Spec. Conf.*, vol. 2, pp. 1760–1765, 1996.
- [42] J. Saiz, M. Mermet, D. Frey, P. O. Jeannin, J. L. Schanen, and P. Muszicki, “Optimisation and integration of an active clamping circuit for IGBT series association,” in *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No.01CH37248)*, 2001, vol. 2, no. C, pp. 1046–1051.
- [43] G. Busatto, B. Cascone, L. Fratelli, and a. Luciano, “Series connection of IGBTs in hard-switching applications,” *Conf. Rec. 1998 IEEE Ind. Appl. Conf. Thirty-Third IAS Annu. Meet. (Cat. No.98CH36242)*, vol. 2, pp. 825–830, 1998.
- [44] H. Nakatake and A. Iwata, “Series connection of IGBTs used multilevel clamp circuit and turn off timing adjustment circuit,” *Power Electron. Spec. Conf. 2003. PESC '03. 2003 IEEE 34th Annu.*, vol. 4, pp. 1910–1915 vol.4, 2003.
- [45] N. Teerakawanich and C. M. Johnson, “Design optimization of quasi-active gate control for series-connected power devices,” *IEEE Trans. Power Electron.*, vol. 29, no. 6, pp. 2705–2714, 2014.
- [46] A. N. Githiari and P. R. Palmer, “Analysis of IGBT modules connected in series,” *IEE Proc. - Circuits, Devices Syst.*, vol. 145, no. 5, p. 354, 1998.
- [47] P. R. Palmer and A. N. Githiari, “The series connection of IGBT’s with active voltage sharing,” *IEEE Trans. Power Electron.*, vol. 12, no. 4, pp. 637–644, 1997.
- [48] A. Raciti, G. Belverde, A. Galluzzo, G. Greco, M. Melito, and S. Musumeci,

- “Control of the switching transients of IGBT series strings by high-performance drive units,” *IEEE Trans. Ind. Electron.*, vol. 48, no. 3, pp. 482–490, Jun. 2001.
- [49] A. Consoli, S. Musumeci, G. Oriti, and A. Testa, “Active voltage balancement of series connected IGBTs,” *IAS '95. Conf. Rec. 1995 IEEE Ind. Appl. Conf. Thirtieth IAS Annu. Meet.*, vol. 3, pp. 2752–2758, 1995.
- [50] Soonwook Hong and Yong-Geun Lee, “Active gate control strategy of series connected IGBTs for high power PWM inverter,” in *Proceedings of the IEEE 1999 International Conference on Power Electronics and Drive Systems. PEDS'99 (Cat. No.99TH8475)*, 1999, vol. 2, no. July, pp. 646–652 vol.2.
- [51] N. Y. A. Shammass, R. Withanage, and D. Chamund, “Review of series and parallel connection of IGBTs,” *IEE Proc. - Circuits, Devices Syst.*, vol. 153, no. 1, p. 34, 2006.
- [52] F. Zhang, X. Yang, Y. Ren, L. Feng, W. Chen, and Y. Pei, “A Hybrid Active Gate Drive for Switching Loss Reduction and Voltage Balancing of Series-Connected IGBTs,” *IEEE Trans. Power Electron.*, vol. 32, no. 10, pp. 7469–7481, 2017.
- [53] R. Withanage, N. Shammass, and S. Tennakoo, “Hybrid low loss voltage balancing method for series connection of IGBTs,” *39th Int. Univ. Power Eng. Conf. UPEC 2004, Sept. 6, 2004 - Sept. 7, 2004*, vol. 1, pp. 294–298, 2004.
- [54] R. Withanage, W. Crookes, and N. Shammass, “Novel voltage balancing technique for series connection of IGBTs,” *2007 Eur. Conf. Power Electron. Appl. EPE*, 2007.
- [55] S. Abbas, S. Hasari, A. Salemnia, and M. Hamzeh, “Applicable Method for Average Switching Loss Calculation in Power Electronic Converters,” *J. Power Electron.*, vol. 17, no. 4, pp. 1097–1108, 2017.
- [56] H. E. Tacca, *Introducción al Estudio de los Convertidores Cuasiresonantes*, 1st ed. Buenos Aires: Nueva Librería, 2003.
- [57] S. Narumanchi, M. Mihalic, K. Kelly, and G. Eesley, “Thermal interface

- materials for power electronics applications,” *2008 11th Intersoc. Conf. Therm. Thermomechanical Phenom. Electron. Syst.*, pp. 395–404, 2008.
- [58] T. Shimizu and K. Wada, “A gate drive circuit for low switching losses and snubber energy recovery,” *J. Power Electron.*, vol. 9, no. 2, pp. 259–266, 2009.
- [59] M. P. J. Gaudreau, T. Hawkey, J. Petry, and M. Kempkes, “Pulsed power systems for food and wastewater processing,” 2018.
- [60] M. Kempkes, I. Roth, and N. Reinhardt, “Enhancing Industrial Processes by Pulsed Electric Fields,” *4th Euro-Asian Pulsed Power Conf.*, 2012.
- [61] M. Kempkes, R. Simpson, and I. Roth, “Removing Barriers to Commercialization of PEF Systems and Processes,” *Divers. Technol.*, 2015.
- [62] V. F. Corasaniti, M. B. Barbieri, P. L. Arnera, and M. I. Valla, “Hybrid active filter for reactive and harmonics compensation in a distribution network,” *IEEE Trans. Ind. Electron.*, vol. 56, no. 3, pp. 670–677, 2009.
- [63] V. F. Corasaniti, M. B. Barbieri, P. L. Arnera, and M. I. Valla, “Hybrid power filter to enhance power quality in a medium-voltage distribution network,” *IEEE Trans. Ind. Electron.*, vol. 56, no. 8, pp. 2885–2893, 2009.
- [64] Y. Abe, K. Matsubara, K. Sasagawa, and K. Matsuse, “A Low-Loss Medium-Voltage Inverter Applying Series Connected General Purpose 1.2 kV Insulated Gate Bipolar Transistors with Accurate Voltage Balancing Techniques,” *IEEJ Trans. Electr. Electron. Eng.*, vol. 3, no. 1, pp. 113–119, 2008.
- [65] H. Kon *et al.*, “Development of a multiple series-connected IGBT converter for large-capacity STATCOM,” *2010 Int. Power Electron. Conf. - ECCE Asia -, IPEC 2010*, pp. 2024–2028, 2010.
- [66] M. Mazuela, I. Baraia, and A. Sanchez-ruiz, “Simple Voltage Balancing Method to Protect Series-Connected Devices Experimentally Verified in a 5L-MPC Converter,” vol. 65, no. 5, pp. 3699–3707, 2018.

- [67] H.-S. Kim, J.-W. Baek, M.-H. Ryu, J.-H. Kim, and J.-H. Jung, "Passive Lossless Snubbers Using the Coupled Inductor Method for the Soft Switching Capability of Boost PFC Rectifiers," *J. Power Electron.*, vol. 15, no. 2, pp. 366–377, Mar. 2015.
- [68] H. Wang, "Investigation of Power Semiconductor Devices for High Frequency High Density Power Converters," Virginia Polytechnic Institute and State University, 2007.
- [69] R. Chen, F. Canales, B. Yang, and J. D. VanWyk, "Volumetric Optimal Design of Passive Integrated Power Electronics Module ( IPEM ) for," *IEEE Trans. Ind. Appl.*, vol. 41, no. 1, pp. 9–17, 2005.
- [70] P. Matthew Alexander, "An Investigation of DC-DC Converter Power Density Using Si and SiC MOSFETs," United States Naval Academy, 2010.
- [71] A. Nakagawa, "Evolution of silicon power devices and challenges to material limit," *2006 25th Int. Conf. Microelectron. MIEL 2006 - Proc.*, no. Miel, pp. 167–174, 2006.
- [72] D. Lohbeck, "Understanding isolator standards and certification to meet safety requirements," 2016.
- [73] A. S. Kamath and K. Soundarapandian, "High-voltage reinforced isolation: Definitions and test methodologies," 2014.
- [74] Institute of Printed Circuits (IPC), "IPC-2221A: Generic Standard on Printed Board Design," 2003.
- [75] Fairchild Semiconductor, "FOD3120 and FOD3150 HIGH SPEED MOSFET/IGBT GATE DRIVE OPTOCOUPPLERS," 2008.
- [76] Fairchild Semiconductor, "AN-3009: Standard Gate-Driver Optocouplers," 2013.
- [77] J. H. Chan, A. Vladimirescu, X.-C. Gao, P. Liebmann, and J. Valainis, "Nonlinear transformer model for circuit simulation," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 10, no. 4, pp. 476–482, Apr. 1991.

- [78] M. T. Engelhardt, "Asymmetric Minor Hysteresis Loop Model and Circuit Simulator Including the Same," US7502723B1, 2009.
- [79] G. Brocard, *The LTspice IV Simulator: Manual, methods and applications*, 1st ed. Paris: Wurth Elektronik, 2013.
- [80] G. Kraus, *SPICE-Simulation using LTspice IV*, 1.3. Friedrichshafen, Germany, 2010.
- [81] C. M. O. Grady, "Magnetic Amplifiers for Voltage Regulation Applications," University of Arkansas, 2015.
- [82] J. Schönberger, "Modeling a Current-Controlled Flyback Converter using PLECS ®," 2013.
- [83] J. Schönberger, "Design of a TL431-Based Controller for a Flyback Converter," 2013.
- [84] H. E. Tacca, "Ferrite toroidal inductor design," *IEEE Lat. Am. Trans.*, vol. 7, no. 6, pp. 630–635, 2009.
- [85] R. W. Erickson and D. Maksimovic, *Fundamentals of Power Electronics*, 2nd ed. New York: Kluwer Academic Publishers, 2004.
- [86] M. T. Engelhardt, "LTspice XVII." 1998.
- [87] W. N. Laurance, "SPICE2: A Computer Program To Simulate Semiconductor Circuits," 1975.
- [88] M. Engelhardt, "SPICE Differentiation," *LT J. Analog Innov.*, no. January, pp. 10–16, 2015.
- [89] K. J. Tseng and S. Pan, "Modified charge-control equation for simulation of diode reverse recovery," *Electron. Lett.*, vol. 32, no. 4, p. 404, 1996.
- [90] S. H. Jayaram, "Pulsed Power Applied to Process Industry," *IEEE Ind. Appl. Mag.*, vol. 16, no. 4, pp. 34–40, Jul. 2010.
- [91] L. M. Redondo, H. Canacsinh, and J. F. Silva, "New technique for uniform voltage sharing in series stacked semiconductors," *IEEE Trans. Dielectr.*



*Electr. Insul.*, vol. 18, no. 4, pp. 1130–1136, 2011.

- [92] J. Yamashita, T. Yamada, S. Uchida, H. Yamaguchi, and S. Ishizawa, "A relation between dynamic saturation characteristics and tail current of nonpunchthrough IGBT," in *IAS '96. Conference Record of the 1996 IEEE Industry Applications Conference Thirty-First IAS Annual Meeting*, 1996, vol. 3, pp. 1425–1432.
- [93] F. Bauer, L. Meysenc, and A. Piazzesi, "Suitability and optimization of high-voltage IGBTs for series connection with active voltage clamping," *IEEE Trans. Power Electron.*, vol. 20, no. 6, pp. 1244–1253, 2005.
- [94] A. Piazzesi and L. Meysenc, "Series connection of 3.3 kV IGBTs with active voltage balancing," in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, 2004, pp. 893–898.
- [95] Y. Jiang, T. Lu, L. Yuan, Z. Zhao, and F. He, "Simulation analysis of active clamping circuit with status feedback for HV-IGBTs," *Proc. - 2014 Int. Power Electron. Appl. Conf. Expo. IEEE PEAC 2014*, pp. 1172–1176, 2014.
- [96] A. Galluzzo, G. Belverde, M. Melito, S. Musumeci, and A. Raciti, "Snubberless balancement of series connected insulated gate devices by a novel gate control strategy," *IAS '97. Conf. Rec. 1997 IEEE Ind. Appl. Conf. Thirty-Second IAS Annu. Meet.*, vol. 2, pp. 968–974, 1997.
- [97] C. Gerster and R. Schob, "Electronic Power Converter Circuit Arrangement an Method for Driving Same," US005566063A, 1996.
- [98] C. Gerster, P. Hofer, R. Rohner, and R. Schob, "Verfahren und Vorrichtung zur Symmetrierung der Belastung parallelgeschalteter Leistungshalbleitermodule.," 1994.
- [99] G. Greco, A. Raciti, G. Belverde, A. Galluzzo, M. Melito, and S. Musumeci, "Control of the switching transients of IGBTs series strings by high-performance drive units," in *IECON'99. Conference Proceedings. 25th Annual Conference of the IEEE Industrial Electronics Society (Cat. No.99CH37029)*, 2001, vol. 1, no. 3, pp. 197–203.

- [100] W. He, P. R. Palmer, Z. Wang, and M. Snook, "Active Voltage Control on series connection of IGBTs and diode recovery optimization," *IECON Proc. (Industrial Electron. Conf.)*, pp. 345–350, 2010.
- [101] J. W. Baek, D.-W. Yoo, and H.-G. Kim, "High-voltage switch using series-connected IGBTs with simple auxiliary circuit," *Ind. Appl. IEEE Trans.*, vol. 37, no. 6, pp. 1832–1839, 2001.
- [102] C. Abbate, G. Busatto, and F. Iannuzzo, "High-voltage, high-performance switch using series-connected IGBTs," *IEEE Trans. Power Electron.*, vol. 25, no. 9, pp. 2450–2459, 2010.
- [103] K. Sasagawa and Y. Abe, "Voltage Balancing Method for IGBTs Connected in Series," pp. 2597–2602, 2002.
- [104] Y. Abe and K. Maruyama, "Multi-series Connection of High voltage IGBTs," *Fuji Electr. J.*, vol. 75, no. 8, pp. 1–4, 2002.
- [105] E. Dimopoulos and S. Munk-Nielsen, "Scaling the serialization of MOSFETs by magnetically coupling their gate electrodes," *2013 IEEE Energy Convers. Congr. Expo. ECCE 2013*, pp. 3664–3670, 2013.
- [106] G. Chen, J. Zhang, and X. Cai, "Adaptive digital gate control for series connected IGBTs," in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, 2013, pp. 394–399.
- [107] A. Bagheri, H. Iman-Eini, and S. Farhangi, "A Gate Driver Circuit for Series-Connected IGBTs Based on Quasi-Active Gate Control," *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 6, no. 2, pp. 791–799, 2018.
- [108] N. Real, A. Kreiner, and H. E. Tacca, "Fuente de Alimentación de Alta Tensión para Aceleradores Electrostáticos," 2016.
- [109] F. Hwang, Y. Shen, S. H. Jayaram, and S. Member, "Low-Ripple Compact High-Voltage DC Power Supply," vol. 42, no. 5, pp. 1139–1145, 2006.
- [110] D. Macisaac, G. Kanner, and G. Anderson, "Basic Physics of the Incandescent Lamp ( Lightbulb )," vol. 37, pp. 520–525, 1999.

- [111] J. C. Zini, L. Provenzano, and E. F. Restelli, "Análisis de un circuito RC con resistencia no lineal," vol. 1, no. 1, 2009.
- [112] I. Ahmad, S. Khalid, and E. E. Khawaja, "Filament temperature of low power incandescent lamps: Stefan-Boltzmann law," *Latin-American J. Phys. Educ.*, vol. 4, no. 1, pp. 4–8, 2010.
- [113] C. de Izarra and J.-M. Gitton, "Calibration and temperature profile of a tungsten filament lamp," *Eur. J. Phys.*, vol. 31, no. 4, pp. 933–942, 2010.



# ANEXO A

## A. TÉCNICAS DE COMPENSACIÓN DE DESBALANCES DE TENSIÓN

En este capítulo se realiza una revisión de las diferentes técnicas que se han desarrollado para compensar desbalances de tensión en asociaciones en serie de dispositivos semiconductores de Silicio. Se realiza una clasificación y se analizan las principales ventajas y desventajas.

### A.1 Introducción

La conexión de dispositivos en serie se inicia con diodos y tiristores para aplicaciones industriales en alta tensión y baja frecuencia. Actualmente son de gran interés las conexiones de *MOSFETs* e *IGBTs* debido a su alta velocidad de conmutación [90]. Incrementar la velocidad de conmutación permite optimizar las formas de onda de salida y reducir el tamaño en los equipos de electrónica de potencia [68], [69]. Usar dispositivos semiconductores conectados en serie ofrece ventajas en cuanto a incremento de la potencia máxima de operación de un interruptor con las velocidades de conmutación alcanzadas por los *MOSFETs* o *IGBTs*, sin embargo, se presentan inconvenientes en su operación. El mayor inconveniente es el desbalance de tensión estático y dinámico en los dispositivos. Respecto a este problema, investigadores han propuesto diversas técnicas para su solución. Estas técnicas se pueden clasificar en dos categorías: compensación en el lado de alta tensión del dispositivo (colector - emisor en *IGBTs*) y compensación en el lado de compuerta (compuerta - emisor en *IGBTs*) [16], [30].

## A.2 Compensación desde el lado de alta tensión

### A.2.1 Redes *snubber* pasivas

En el lado de potencia es típico compensar desbalances de tensión mediante redes *snubber* pasivas [14], [37], [91]. Estas se han usado desde el principio de conexión en serie con diodos y tiristores. En estas, por medio de redes *RC* o *RCD* conectadas en paralelo a cada dispositivo como se observa en la Figura A-1, se controla su pendiente de conmutación. El tiempo de conmutación está definido por la constante de tiempo *RC*.

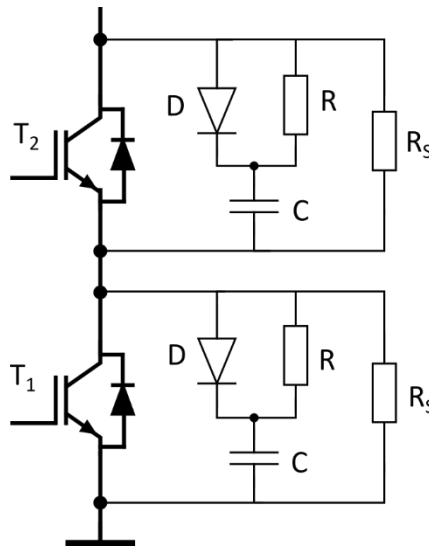


Figura A-1: Circuito RCD para compensación de desbalances de tensión

A pesar de que es una solución de fácil implementación, los elementos agregados al circuito están expuestos a tensiones y corrientes elevadas, por lo que deben ser de gran tamaño. Los elementos pasivos con valores nominales de tensión y corriente elevados son voluminosos y costosos. Adicionalmente, se incrementan los tiempos de conmutación y sus consecuentes pérdidas en el elemento semiconductor y en la resistencia de la red *snubber* [14].

### A.2.2 Redes *snubber* activas

Como una alternativa para mejorar el rendimiento de las redes *snubber*,

Yamashita desarrolló un circuito activo de fijación por medio de dos transistores *IGBT* de baja potencia en serie y diodos *Zener* [92]. Estos dispositivos conectados en paralelo a una red *RCD* permiten fijar un nivel de tensión en el condensador. El circuito desarrollado se muestra en la Figura A-2

Con este método se generan menos pérdidas que con una red *snubber* tradicional, sin embargo, al adicionar más elementos al circuito se incrementa su volumen y complejidad.

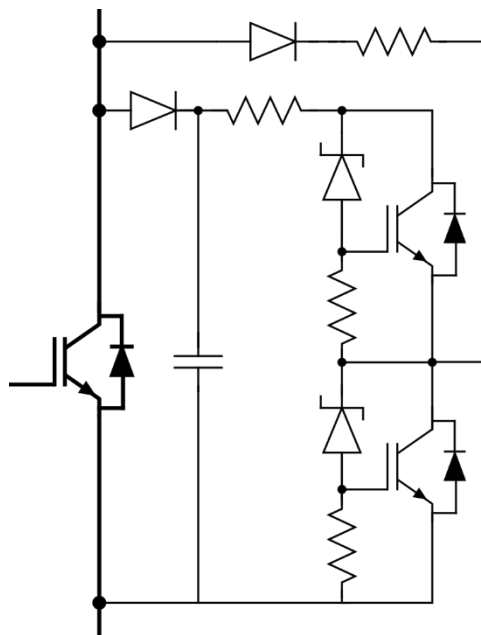


Figura A-2: *Snubber* activo para balance de tensión.

### A.2.3 Fijación de tensión por medio de diodos y condensadores

Bussato y colaboradores [43] propusieron el circuito de fijación de tensión por medio de diodos y condensadores que se observa en la Figura A-3

| En esta propuesta, el desbalance de tensión estático de los transistores *IGBT* se regula mediante las resistencias  $R_1$  y  $R_2$ . El desbalance dinámico se regula a partir de los elementos  $D_1$ ,  $C_1$  y  $D_2$ ,  $C_2$  en  $S_1$  y  $S_2$  respectivamente. El exceso de energía almacenada en  $C_1$  y  $C_2$  es liberado por medio de los bobinados  $L_1$  y  $L_2$  hacia un circuito en su devanado secundario.

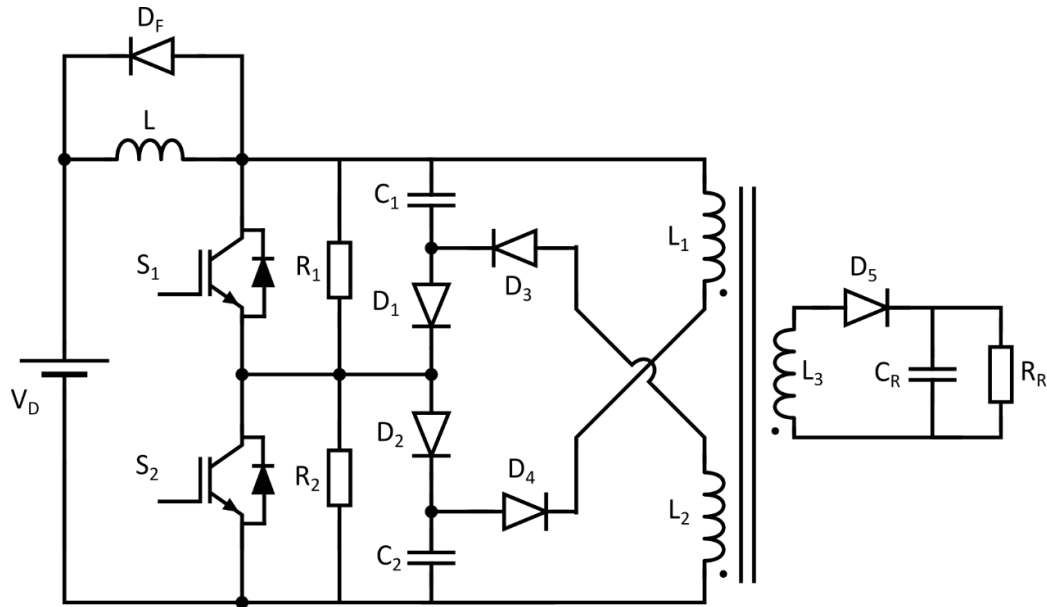


Figura A-3: Fijación de tensión por medio de diodos y condensadores.

#### A.2.4 Compensación por medio de diodo de realimentación

Una alternativa muy común consiste en la conexión de un diodo *Zener* entre el colector o drenador y la compuerta del dispositivo. El *Zener* garantiza una caída de tensión fija entre compuerta y colector (o drenador) cuando el dispositivo se encuentra bloqueado [41], [42]. Ante la aparición de una sobretensión en el lado de potencia, se excede la tensión en el diodo *Zener* y se genera una pequeña corriente que ingresa en compuerta. Debido a esta pequeña corriente, el dispositivo empieza a conducir hasta eliminar la sobretensión. El circuito propuesto en [41] implementado para dos elementos en serie se muestra en la Figura A-4



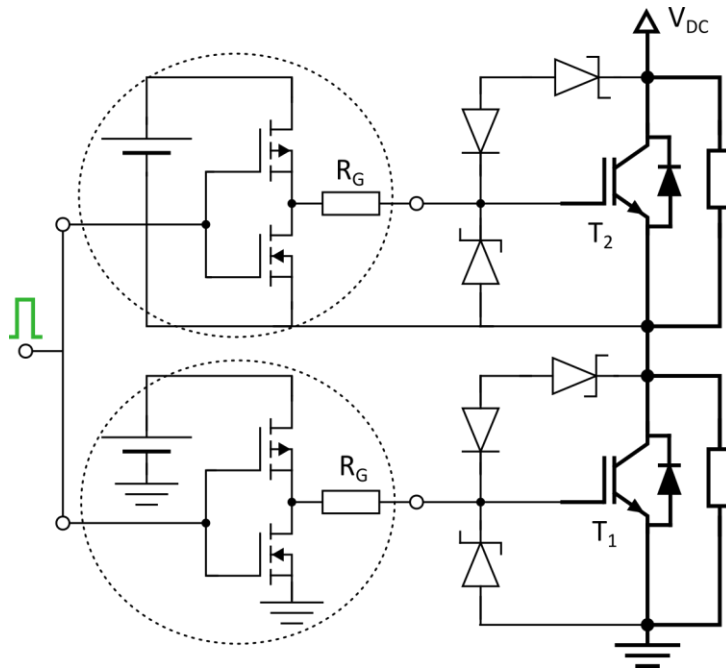


Figura A-4: Circuito de compensación por medio de diodo de realimentación.

Esta técnica no requiere circuitos complejos, sin embargo, su gran desventaja consiste en que solo se pueden detectar ciertos niveles de sobretensión. Cuando la sobretensión está por debajo del valor de caída de tensión del *Zener*, no existe corriente de realimentación en compuerta. Otro inconveniente es que el dispositivo semiconductor entrará a operar en la región lineal (en el caso de los *IGBTs*), esta condición incrementa las pérdidas. Ante una sobretensión abrupta, el valor de corriente de realimentación crece bruscamente y produce un encendido no deseado en el dispositivo.

### A.2.5 Compensación mediante realimentación con circuito *RCD*

La técnica desarrollada en [41], fue mejorada más adelante por varios autores [42], [93]–[95] introduciendo capacitores y resistores en el circuito de fijación. Una de las propuestas se observa en la Figura A-5

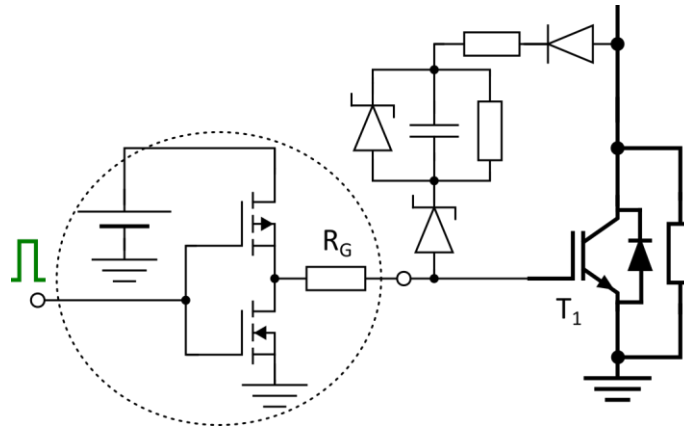


Figura A-5: Circuito de compensación por medio de realimentación RCD.

Con este método se disminuyen las pérdidas por conmutación, pero al igual que en el anterior se requieren diodos *Zener* de alta tensión o asociaciones en serie de diodos de baja tensión.

Del lado de potencia también se han implementado circuitos resonantes, algunos de estos son de compleja construcción y control. La mayoría incluyen una cantidad elevada de elementos reactivos que en este caso deben ser voluminosos [67].

### A.3 Compensación desde el lado de compuerta

Las técnicas de compensación de desbalances de tensión desde el lado de compuerta aplican el criterio de que los tiempos de conmutación se controlan mediante la inyección regulada de corriente en la compuerta [96]. Esto se basa en la existencia de una capacitancia de Miller en la compuerta de los transistores *MOSFET* e *IGBT* [30]. A continuación, se exponen en detalle las técnicas de compensación más relevantes.

#### A.3.1 Compensación mediante control en la zona de Miller

Esta técnica que tiene el mismo principio del sistema de realimentación con diodo *Zener* fue desarrollada por Consoli y colaboradores [49]. En este caso se aplica un pulso positivo de corriente en la compuerta del dispositivo que se bloquea más rápido. El pulso se inyecta mediante la conexión de un condensador

precargado. La principal desventaja consiste en que el valor del condensador depende de las condiciones de carga del circuito. El circuito propuesto se observa en la Figura A-6

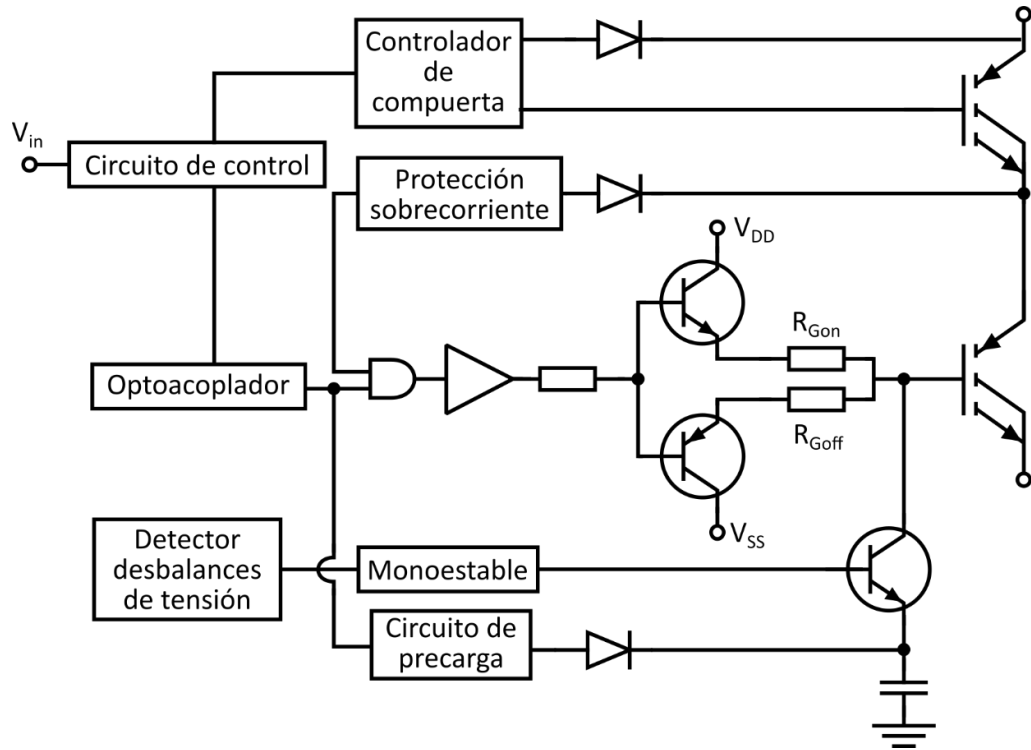


Figura A-6: Circuito de compensación por inyección de corriente en compuerta mediante condensador precargado.

### A.3.4 Compensación por retardos en señal de compuerta

La técnica de compensación por medio de aplicación de retardos en las señales de compuerta fue desarrollada por Gerster y colaboradores [21], [32], [97], [98]. En esta técnica se aplican retardos en las señales de activación/bloqueo de compuerta considerando el valor de la tensión en el lado de alta tensión en cada uno de los dispositivos. Para implementar esta técnica se requieren dispositivos de adquisición con sistemas de conversión de señales análogas a digitales para sensar la tensión colector-emisor de cada *IGBT*.

La Figura A-7 muestra el circuito de control para compensación de desbalances de tensión por medio de aplicación de retardos en compuerta.

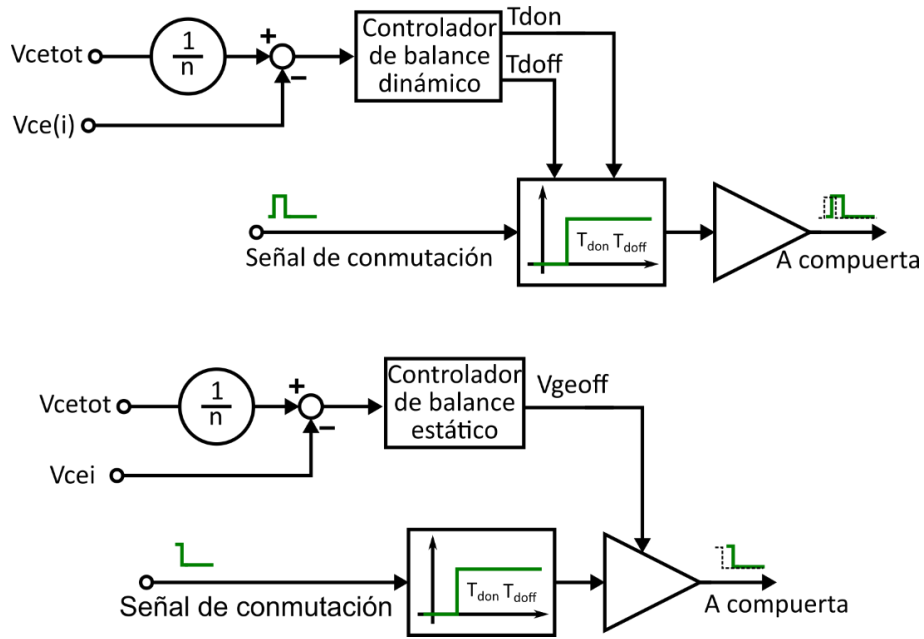


Figura A-7: Circuitos de control para compensación por medio de retardos en compuerta

### A.3.5 Configuración maestro-esclavo

La configuración maestro-esclavo mostrada en la Figura A-8 fue desarrollada por Raciti y colaboradores [48], [99].

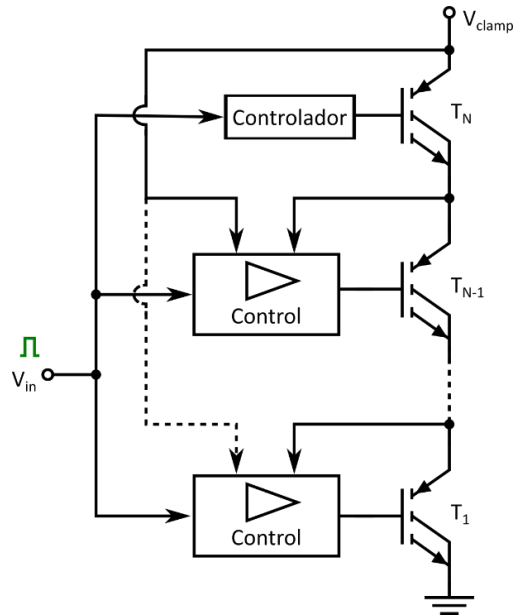


Figura A-8: Circuito configuración esclavo-maestro

En esta, la tensión colector - emisor de un transistor IGBT (maestro) es usada

como referencia para ajustar las tensiones en los demás dispositivos (esclavos) a partir de la aplicación o extracción de corriente en sus compuertas. La complejidad para realizar el control y los tiempos de conmutación se incrementan cuando se conectan más de dos dispositivos en serie.

### A.3.6 Control mediante rampa de referencia

Este método desarrollado por Githiari y Palmer [46], [47] es similar al método anterior, la única diferencia radica en que la referencia de tensión de todos los transistores es una rampa de tensión definida por el diseñador. Este sistema requiere circuitos de adquisición, procesamiento y control de alta velocidad. En la Figura A-9 se muestra el circuito para compensación mediante rampa de referencia, mejoras al sistema de realimentación han sido agregadas en [100].

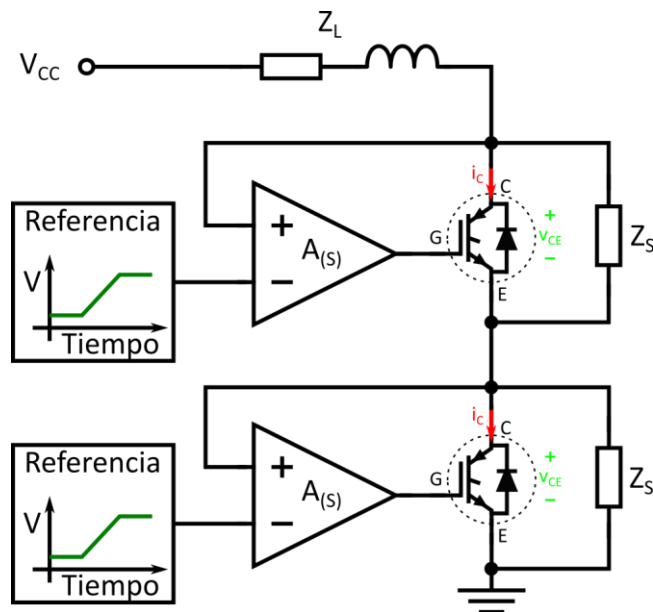


Figura A-9: Compensación mediante rampa de referencia

### A.3.7 Control activo de compuerta con circuito RCD

Buscando disminuir la complejidad en los circuitos de control, Baek [101] propuso el circuito de compensación que se observa en la Figura A-10

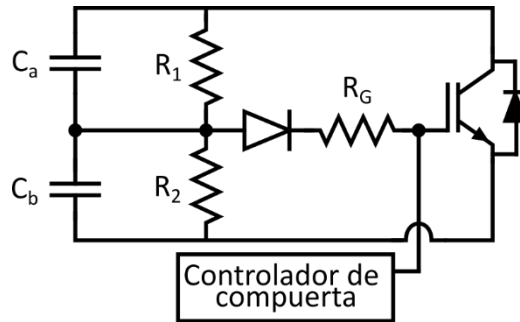


Figura A-10: Control activo de compuerta con RCD.

En el circuito, los elementos  $R_1$  y  $R_2$  regulan el desbalance de tensión estático, mientras que el desbalance dinámico se regula mediante las variaciones de tensión en los condensadores  $C_a$  y  $C_b$  [102]. Este es un circuito sencillo, sin embargo, se generan pérdidas notables en el transistor *IGBT* debido al efecto de la carga de los condensadores  $C_a$  y  $C_b$ . Esta técnica se verificó experimentalmente en una conexión de 16 transistores *IGBT*, observando oscilaciones en las tensiones colector emisor. Estas oscilaciones se debían a efectos resonantes generados por los condensadores agregados y las inductancias parásitas del circuito. Se han implementado variaciones de esta alternativa [100], sin embargo, no resuelven los problemas encontrados anteriormente.

### A.3.8 Compensación mediante acoplamiento magnético de compuerta

En el método que desarrolla Sasagawa [103]–[105] todas las compuertas son magnéticamente acopladas por medio de núcleos como se observa en la Figura A-11. En cada compuerta se induce una corriente cada vez que existe un retardo en la señal de activación logrando un balance en los estados transitorios. Para los desbalances en estado estable se deben utilizar resistencias conectadas en paralelo con cada *IGBT*.

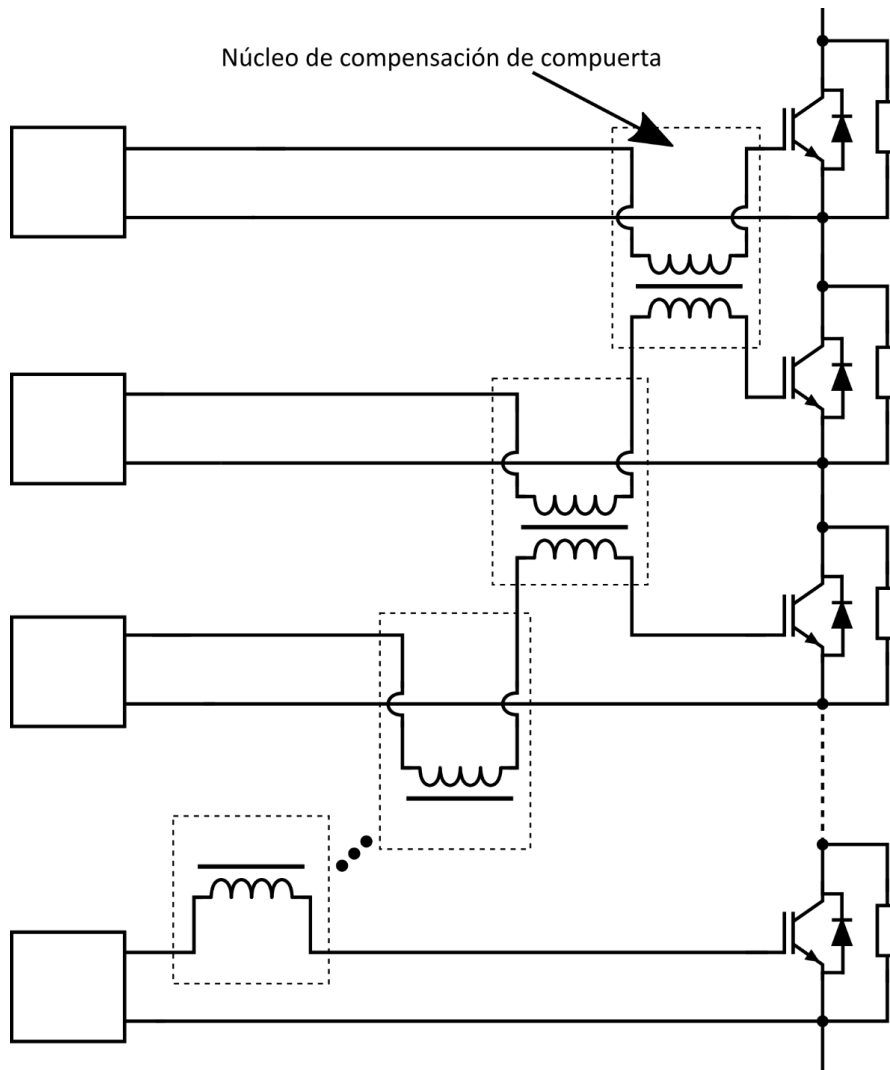


Figura A-11: Acoplamiento magnético de compuerta.

### A.3.9 Técnica de control adaptativo de compuerta

Últimamente se destacan las técnicas digitales de control adaptativo de compuerta [106]. En esta se utilizan dispositivos como la *FPGA* en la cual se desarrolla un algoritmo para definir una señal de salida que se ingresa en la compuerta de cada dispositivo semiconductor. En la Figura A-12 se observa el esquema del circuito implementado en esta técnica.

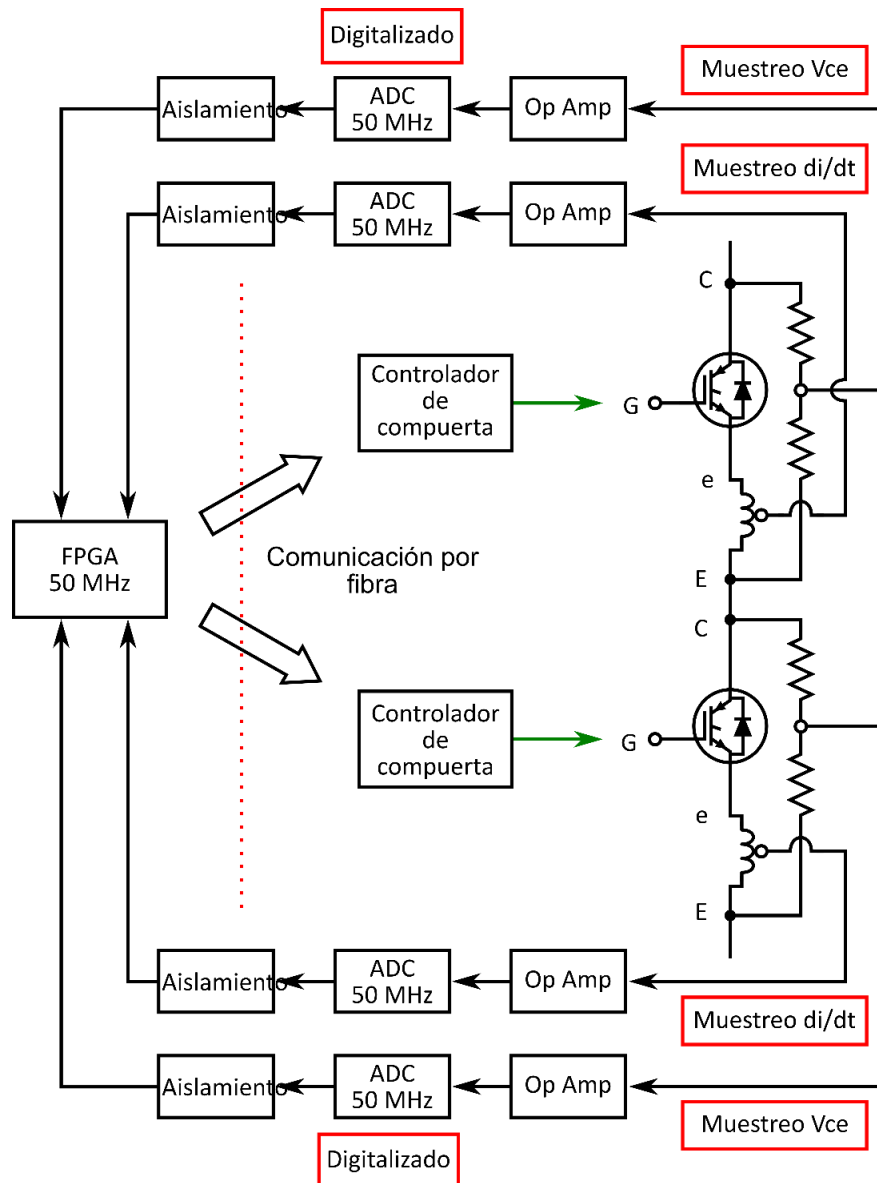


Figura A-12: Esquema de técnica de control adaptativo de compuerta

En este caso se realiza la medición de la tensión en el lado de alta tensión por medio de un divisor resistivo, y la corriente por medio de un bobinado en el colector del *IGBT*. Como inconvenientes se destacan las pérdidas en el circuito resistivo de medición y los retardos que se generan debido al proceso de digitalización de las variables de entrada y el tiempo de ejecución del algoritmo.

### A.3.10 Técnica de control cuasi-activo de compuerta

La técnica de control cuasi-activo de compuerta realiza combinaciones del



circuito controlador con elementos pasivos. El circuito de la propuesta desarrollada por Teerakawanich y colaboradores [45] se muestra en la Figura A-13

Esta técnica, a pesar de ser muy práctica, es dependiente de la frecuencia de conmutación. Con frecuencias bajas se presentan pérdidas y desbalances de tensión elevados [107].

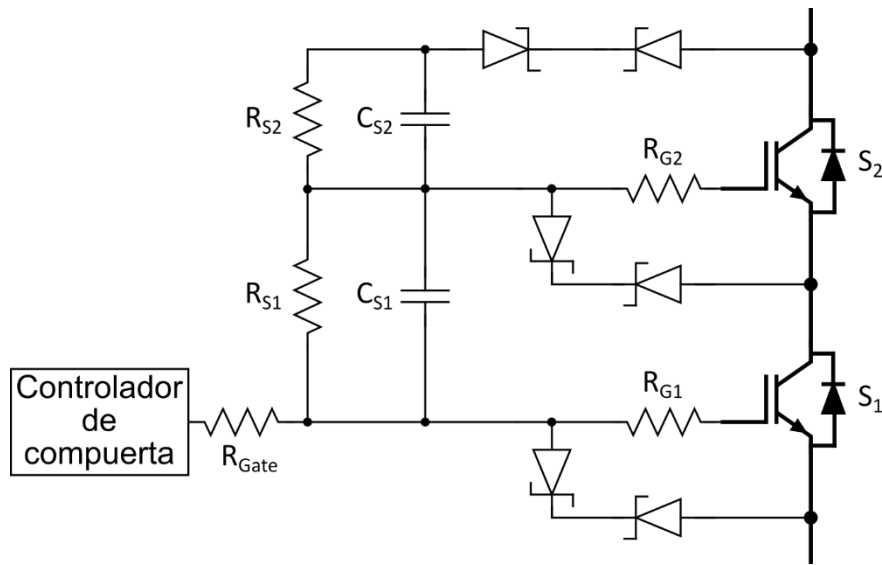


Figura A-13: Circuito para control cuasi-activo de compuerta.



## ANEXO B

### B. CIRCUITOS ADICIONALES PARA PRUEBAS DE PROTOTIPO

En este capítulo se muestran los esquemas de circuitos adicionales construidos para prueba del prototipo de interruptor electrónico.

#### B.1 Multiplicador de *Greinacher*

Para generar una tensión en corriente continua de hasta 3 kV, se implementó un multiplicador de *Greinacher* [108], [109]. El esquema del multiplicador de *Greinacher* se muestra en la Figura B-1

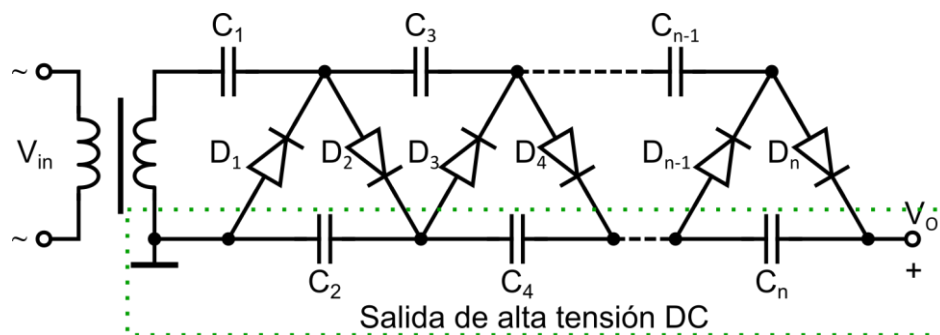


Figura B-1: Esquema del multiplicador de *Greinacher* de  $n$  etapas

Idealmente, la tensión máxima de salida del multiplicador de *Greinacher* está dada por:

$$V_o = 2n * V_m \quad (51)$$

Donde:

$n$ : número de etapas

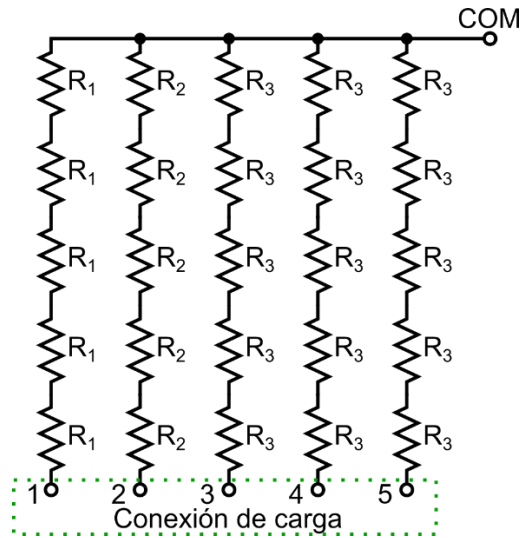
$V_m$ : valor pico de tensión de entrada

Si la tensión máxima de entrada del multiplicador es 177 V *RMS*, la tensión de salida es de 3 kV

## **B.2 Carga resistiva de alta tensión**

Esta carga se desarrolló utilizando lámparas incandescentes de tungsteno de diferente tensión y potencia nominal. En la Figura B-2 se muestra el esquema de la carga resistiva construida. Esta consta de cinco ramas en serie con un punto común de conexión entre ellas, lo cual permite las siguientes opciones de carga:

- a) Entre dos puntos de conexión de carga: serie de 10 lámparas
- b) Entre un punto de conexión de carga y COM: serie de 5 lámparas
- c) Cortocircuitando dos puntos de conexión de carga y midiendo entre estos y COM: paralelo de dos ramas de 5 lámparas
- d) Cortocircuitando tres puntos de conexión de carga y midiendo entre estos y COM: paralelo de tres ramas de 5 lámparas
- e) Cortocircuitando cuatro puntos de conexión de carga y midiendo entre estos y COM: paralelo de cuatro ramas de 5 lámparas
- f) Cortocircuitando los cinco puntos de conexión de carga y midiendo entre estos y COM: paralelo de cinco ramas de 5 lámparas



*Figura B-2: Esquema de la carga resistiva de alta tensión construida*

Como se observa en la Figura B-2, en la carga construida se tienen tres tipos de lámparas: (a)  $R_1$  de 120 V, 200 W, (b)  $R_2$  de 120 V, 100 W y (c)  $R_3$  de 220 V, 200W. Considerando las variaciones de la resistencia de las lámparas respecto a la temperatura [110]–[113], se han caracterizado las tres utilizadas como carga. Este proceso se realizó a partir de variación de tensión RMS de alimentación hasta el valor nominal de la lámpara. En la Figura B-3 se muestra la variación de la resistencia de las lámparas respecto la tensión RMS de alimentación y su respectiva función.

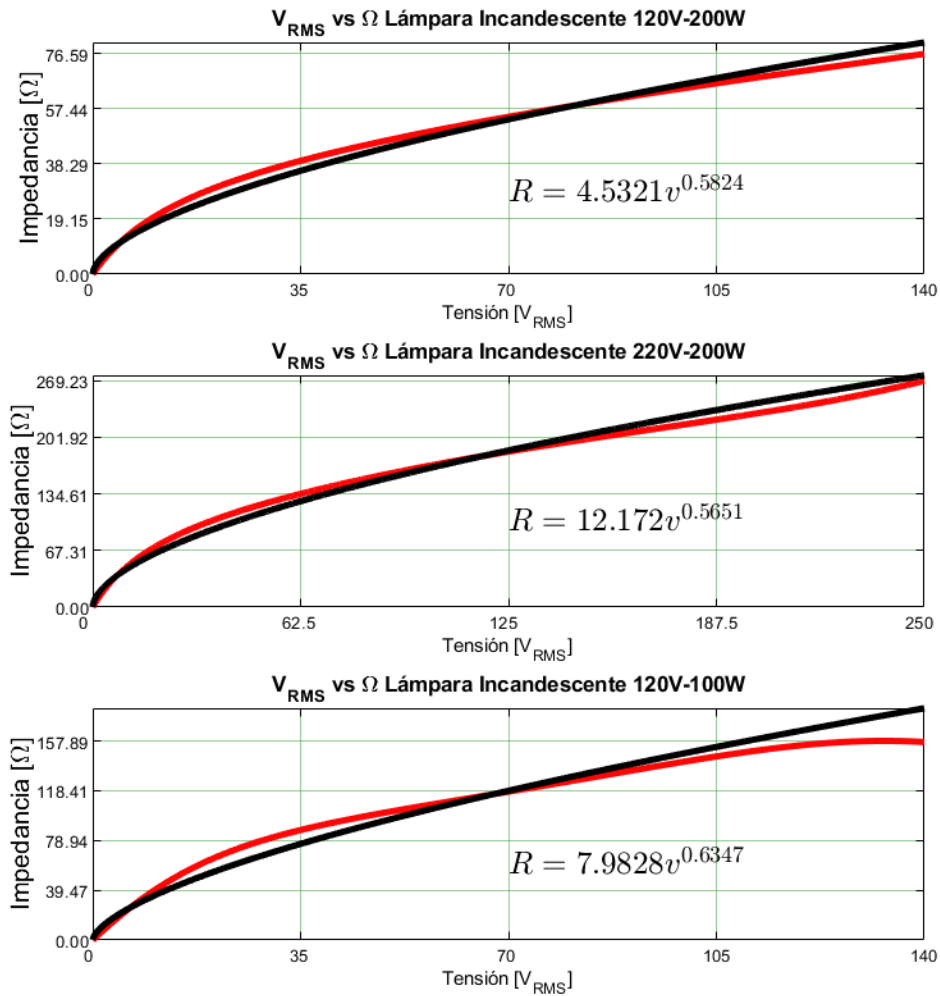
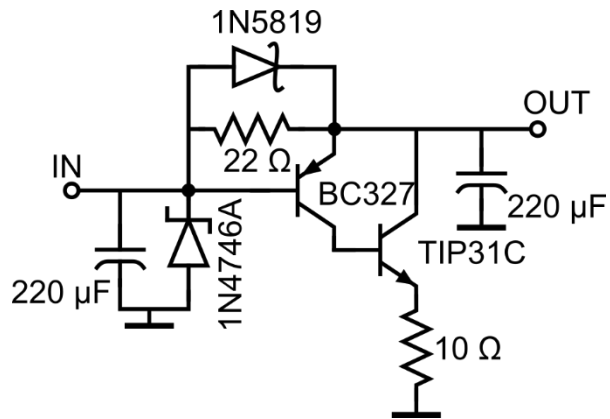


Figura B-3: Gráficas de tensión RMS contra resistencia de lámpara incandescente

Esta caracterización permite definir el valor de resistencia de carga en función de la tensión eficaz aplicada en la prueba.

### B.3 Carga resistiva unidireccional

En el desarrollo experimental no se cuenta con un sistema de almacenamiento de la energía retornada desde el lado de alta tensión. Por esta razón, se ha implementado el circuito que se muestra en la Figura B-4



*Figura B-4: Esquema de carga resistiva unidireccional*

Este sistema permite que la fuente de entrada (fuente primaria conectada a IN) suministre energía al circuito conectado en la salida OUT, a través del diodo 1N5819. Cuando hay retorno de energía desde el circuito conectado a la salida, la etapa de transistores entra en conducción y dicha energía se disipa en la resistencia de 10 Ω.