

**João Henrique Coelho Veloso**

Licenciado em Ciências da Engenharia Eletrotécnica e de Computadores



## **Projeto de um ADC baseado numa rede neuronal de Hopfield**

Dissertação para obtenção do Grau de Mestre em  
Engenharia Eletrotécnica e de Computadores

Orientador: João Goes, professor catedrático, FCT-UNL

Júri:

Presidente: Doutor Luís Filipe dos Santos Gomes

Arguentes: Doutor Raúl Eduardo Capelo Tello Rato

Vogais: Doutor João Carlos da Palma Goes

**Novembro, 2020**



FACULDADE DE  
CIÊNCIAS E TECNOLOGIA  
UNIVERSIDADE NOVA DE LISBOA



## **Projeto de um ADC baseado numa rede neuronal de Hopfield**

Copyright © João Henrique Coelho Veloso, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade Nova de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objetivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.



*“Cada homem deve inventar o seu caminho.”*

Jean Paul Sartre



## Agradecimentos

Uma dissertação de mestrado é o culminar de uma maratona pessoal de várias etapas, que exige mais do que determinadas competências intelectuais. Coloca à prova o espírito de sacrifício, a força de vontade e a autoconfiança. Em alguns momentos pode parecer uma maratona infinita. No entanto, nesta maratona tive o privilégio de estar rodeado por várias pessoas, que de alguma forma contribuíram ao longo do percurso e que gostaria de manifestar a minha sincera e profunda gratidão.

Ao Professor João Goes, o meu orientador. As suas metodologias como professor desempenharam um papel determinante na minha opção em realizar a tese de mestrado na área de Eletrónica. Muitos dos obstáculos encontrados nesta maratona foram ultrapassados com a sua orientação. Estou muito agradecido pela sua disponibilidade e pelo seu apoio.

Ao Departamento de Engenharia Eletrotécnica e de Computadores (DEEC) da FCT-UNL, por me providenciar as condições de trabalho necessárias. Foi a minha segunda casa na última meia dúzia de anos.

À Imprensa Nacional Casa da Moeda (INCM), pela bolsa atribuída no âmbito do projeto Papel Secreto.

Aos meus colegas de curso e amigos pessoais, João Gouveia, Pedro Rechená e Tiago Ferreira. As incontáveis horas de estudo em conjunto e os bons momentos de descontração, foram uma ajuda determinante no desenrolar desta jornada.

À minha namorada, Ana Rita, por todo o carinho, apoio e amor.

À minha família, em particular os meus pais, Maria Coelho e Manuel Veloso, e o meu irmão, João Veloso, pelo apoio incondicional. Sempre deram o seu melhor para me ajudar a alcançar os meus objetivos.

## Resumo

---

Todos os dias se assiste à superação de novas barreiras em campos como os sistemas computacionais e as suas capacidades de processamento. Tais avanços levam a que a procura por conversores analógico-digitais mais eficientes, com maior resolução, de elevado desempenho e versáteis seja, atualmente, maior do que nunca. Os conversores analógico-digitais baseados na arquitetura apresentada por Hopfield, são uma tecnologia que surge como uma forte candidata na resposta a essa procura. Os SAR ADCs têm-se revelado os conversores eleitos em aplicações que exigem reduzida área física e reduzido consumo energético. Como tal, desta dissertação resulta um SAR ADC de arquitetura “desenrolada” com múltiplos DACs, com 4 bits de resolução, robusto a erros causados pela tensão de desvio dos comparadores e erros de emparelhamento dos condensadores.

**Palavras-chave:** Conversor analógico-digital (ADC), registo de aproximações sucessivas (SAR), arquitetura desenrolada (*Loop-Unrolled*), Hopfield

---



## Abstract

---

Every day, barriers are overcome in fields such as computational systems. Such advances imply more efficient analog-to-digital converters (ADCs), with superior resolution. The demand for high performance and versatile devices is, today, greater than ever. ADCs based on an architecture based on a Hopfield recurrent neural network (NN), are a technology that emerges as a strong candidate in responding to this demand. Also, SAR ADCs have proven to be a solid architecture for applications that require low power and low area. As such, this dissertation results in a SAR ADC of a loop-unrolled architecture with multiple DACs, 4 bits, robust to comparators offset errors and capacitors mismatch errors.

**Keywords:** Analog to digital converters (ADC), successive approximations register (SAR), Loop-Unrolled, Hopfield

---



## Acrónimos

<b>ADC</b>	Conversor analógico-digital
<b>A/D</b>	Analógico-digital
<b>CMOS</b>	Complementary Metal-Oxide Semiconductor
<b>DAC</b>	Conversor digital- analógico
<b>DNL</b>	Diferential Non-Linearity
<b>INL</b>	Integral Non-Linearity
<b>LSB</b>	Bit menos significativo
<b>MSB</b>	Bit mais significativo
<b>N-bit</b>	Nº de bits de resolução
<b>NMOS</b>	Negative-Channel Metal-Oxide Semiconductor
<b>PMOS</b>	Positive-Channel Metal-Oxide Semiconductor
<b>SAR</b>	Registo de aproximações sucessivas
<b>S/H</b>	Circuito de amostragem e retenção



# Índice

<b>AGRADECIMENTOS.....</b>	<b>I</b>
<b>RESUMO .....</b>	<b>III</b>
<b>ABSTRACT .....</b>	<b>V</b>
<b>ACRÓNIMOS .....</b>	<b>VII</b>
<b>ÍNDICE.....</b>	<b>IX</b>
<b>LISTA DE FIGURAS.....</b>	<b>XI</b>
<b>LISTA DE TABELAS .....</b>	<b>XII</b>
<b>1. INTRODUÇÃO.....</b>	<b>1</b>
1.1. MOTIVAÇÕES.....	1
1.2. OBJETIVOS E CONTRIBUIÇÕES.....	2
1.3. ESTRUTURA DA TESE.....	3
<b>2. SAR ADC.....</b>	<b>5</b>
2.1. SAR ADC SÍNCRONO .....	6
2.1.1. <i>Arquitetura e Princípio de funcionamento</i> .....	7
2.1.2. <i>Limitações e aspetos críticos</i> .....	9
2.2. SAR ADC DE ARQUITETURA DESENROLADA .....	12
2.2.1. <i>Princípios de funcionamento</i> .....	13
2.2.2. <i>Limitações e aspetos críticos</i> .....	14
2.2.3. <i>Exemplo</i> .....	14
2.3. SUMÁRIO.....	16
<b>3. REDE NEURONAL E ADC DE HOPFIELD .....</b>	<b>17</b>
3.1. CONCEITOS BASE DE REDES NEURONAIS.....	17
3.2. <i>REDE NEURONAL DE HOPFIELD</i> .....	18
3.3. ADC DE HOPFIELD.....	19
3.3.1. <i>Princípios de funcionamento</i> .....	20
3.3.2. <i>Limitações</i> .....	22
3.4. EXEMPLOS .....	23
3.4.1. <i>Correntes de correção</i> .....	23
3.4.2. <i>Arquitetura de Hopfield assimétrica</i> .....	25
3.4.3. <i>Level-shifted ADC baseado na rede neuronal de Hopfield</i> .....	25
3.5. SUMÁRIO.....	26
<b>4. ALGORITMOS DE OTIMIZAÇÃO.....</b>	<b>27</b>

4.1.	OTIMIZAÇÃO POR ENXAME DE PARTÍCULAS.....	28
4.1.1.	<i>Funcionamento</i> .....	29
4.2.	SUMÁRIO.....	32
<b>5.</b>	<b>SAR ADC DE ARQUITETURA DESENVOLVIDA COM MÚLTIPLOS DACS .....</b>	<b>33</b>
5.1.	ARQUITETURA .....	34
5.2.	PRINCÍPIO DE FUNCIONAMENTO .....	36
5.3.	CONDENSADORES AJUSTÁVEIS.....	42
5.4.	SINAL DE ENTRADA .....	44
5.5.	DACs.....	45
5.6.	COMPARADORES .....	45
5.7.	TREINO DA REDE NEURONAL.....	46
5.8.	SUMÁRIO.....	47
<b>6.</b>	<b>APRESENTAÇÃO E ANÁLISE DE RESULTADOS .....</b>	<b>49</b>
6.1.	LINEARIDADE E CORREÇÃO DE ERROS .....	49
6.1.1.	<i>Pré-treino</i> .....	50
6.1.2.	<i>Pós-treino</i> .....	52
6.1.3.	<i>Comparação de resultados</i> .....	54
6.2.	CUSTOS DE HARDWARE .....	54
6.3.	COMPARADOR.....	55
6.4.	SUMÁRIO.....	56
<b>7.</b>	<b>CONCLUSÕES E TRABALHO FUTURO.....</b>	<b>57</b>
7.1.	CONCLUSÃO.....	57
7.2.	TRABALHO FUTURO.....	58
	<b>REFERÊNCIAS .....</b>	<b>59</b>

## Lista de Figuras

FIGURA 2.1 – DIAGRAMA DE BLOCOS DO SAR ADC SÍNCRONO. ....	6
FIGURA 2.2 - DIAGRAMA DO ESQUEMÁTICO DE UM TRADICIONAL SAR ADC DE N-BIT. ....	7
FIGURA 2.3 - FLUXOGRAMA DO ALGORITMO DE APROXIMAÇÕES SUCESSIVAS. ....	8
FIGURA 2.4 - EXEMPLO DE UM DAC CAPACITIVO DE N BITS.....	11
FIGURA 2.5 - SAR ADC DE ARQUITETURA DESENVOLVIDA PARA 6 BITS (A) E RESPECTIVO DIAGRAMA TEMPORAL (B) (FIGURA DE [5]).....	15
FIGURA 3.1 - REPRESENTAÇÃO DE UMA REDE NEURONAL DE HOPFIELD COM UMA CAMADA E CINCO NEURÓNIOS.....	18
FIGURA 3.2 - ESTRUTURA DO ADC DE HOPFIELD (FIGURA DE [7]). ....	20
FIGURA 3.3 - ADC DA REDE NEURONAL DE HOPFIELD MODIFICADO E COM CORRENTES DE CORREÇÃO (FIGURA DE [17]).....	24
FIGURA 4.1 - ILUSTRAÇÃO DO BANDO A SEGUIR O PÁSSARO COM AS MELHORES INFORMAÇÕES. ....	28
FIGURA 4.2 - DIAGRAMA VETORIAL DA ATUALIZAÇÃO DA POSIÇÃO DE UMA PARTÍCULA NO PSO.....	29
FIGURA 4.3 - FLUXOGRAMA DE FUNCIONAMENTO DO PSO. ....	30
FIGURA 4.4 – EXCERTO DO CICLO PRINCIPAL DA IMPLEMENTAÇÃO EM MATLAB DO PSO.....	31
FIGURA 5.1 - ESQUEMÁTICO DO 4-BIT SAR ADC PROPOSTO, DE ARQUITETURA DESENVOLVIDA (4 COMPARADORES) COM MÚLTIPLOS DACs. ....	35
FIGURA 5.2 - GRÁFICO DO SINAL DE RAMPA MODELADO.....	44
FIGURA 5.3 - CIRCUITO DIGITAL UTILIZADO PARA IMPLEMENTAÇÃO DOS COMPARADORES. ....	46
FIGURA 6.1 – FUNÇÃO TRANSFERÊNCIA DO ADC DE HOPFIELD PROPOSTO ANTES DO AJUSTE DOS CONDENSADORES VARIÁVEIS.....	50
FIGURA 6.2 – DNL (CIMA) E INL (BAIXO) DO ADC ANTES DO AJUSTE DOS CONDENSADORES VARIÁVEIS.....	51
FIGURA 6.3 - FUNÇÃO TRANSFERÊNCIA DO ADC DE HOPFIELD PROPOSTO COM OS CONDENSADORES VARIÁVEIS AJUSTADOS. ....	52
FIGURA 6.4 - DNL (ACIMA) E INL (ABAIXO) DO ADC COM OS CONDENSADORES VARIÁVEIS AJUSTADOS.....	53
FIGURA 6.5 - GRÁFICO DA SIMULAÇÃO TRANSIENTE DO COMPARADOR.....	56

# Lista de Tabelas

TABELA 5.1 – EQUAÇÕES DA CONSERVAÇÃO DE CARGA NAS DUAS FASES PARA O COMPARADOR DO MSB (BIT 0). ....	37
TABELA 5.2 – EQUAÇÕES DA CONSERVAÇÃO DE CARGA NAS DUAS FASES PARA O COMPARADOR DO MSB-1 (BIT 1). ....	38
TABELA 5.3 – EQUAÇÕES DA CONSERVAÇÃO DE CARGA NAS DUAS FASES PARA O COMPARADOR DO MSB-2 (BIT 2). ....	39
TABELA 5.4 – EQUAÇÕES DA CONSERVAÇÃO DE CARGA NAS DUAS FASES PARA O COMPARADOR DO LSB (BIT 3). ....	41
TABELA 5.5 – PARÂMETROS DE INICIALIZAÇÃO E RESPECTIVOS VALORES DO PSO. ....	47
TABELA 6.1 – NÚMERO DE ELEMENTOS PASSIVOS E REATIVOS. ....	54



# 1. Introdução

## 1.1. Motivações

Nos últimos anos tem-se assistido a um aumento da necessidade de dispositivos de baixo consumo energético, e de cada vez maior resolução. Esta tendência mantém-se nos dias de hoje e com o aumento da portabilidade e da largura de banda, é expectável que se mantenha durante os próximos anos. Como tal, os requerimentos dos sistemas eletrónicos de hoje passam pela durabilidade da bateria, de reduzida dimensão física e velocidade de utilização. Os conversores analógico-digitais (ADCs) são blocos fundamentais destes sistemas, uma vez que transformam uma amostra física, em impulsos elétricos, para que posteriormente essa informação seja processada digitalmente.

Atualmente, os conversores analógico-digitais (A/D) estão amplamente presentes no nosso quotidiano, pois são vastas as suas aplicações. Os ADCs encontram-se instalados em aparelhos das mais diversas áreas, tais como: aparelhos de saúde (p.e.: biossensores), áudio (p.e.: aparelhagem), vídeo (p.e.: câmaras de filmar), comunicações (p.e.: *serial link transceivers* de alta velocidade), *Internet of Things* (p.e.: leitor de *tags* NFC) e consumíveis de eletrónica (p.e.: *smartphones*). Devido ao vasto leque de aplicações, os ADCs são alvos de particular interesse tanto para a comunidade científica, como para a indústria.

O tema da presente dissertação, encontra-se enquadrado no âmbito do Projeto de Investigação Científica “Papel Secreto – desenvolvimento de sistemas

eletrônicos de informação com recurso a tecnologia integrada e implementada em papel, visando o aumento da segurança e da rastreabilidade de pessoas, atos, bens e documentos” da Faculdade de Ciências e Tecnologias da Universidade Nova de Lisboa.

## 1.2. Objetivos e Contribuições

Presentemente existem vários tipos de arquiteturas de ADCs, algumas das mais evoluídas são: *Pipeline* (concorrencial), *Sigma-Delta*, *Flash* (paralela) e SAR (de aproximações sucessivas). Cada uma destas arquiteturas apresenta vantagens e as suas desvantagens face às restantes. O desempenho de um ADC comporta variáveis quer em função da arquitetura subjacente, quer da finalidade a que se destina. Isto é, para um determinado equipamento pode ser necessário um ADC que converta a uma alta velocidade, sacrificando o consumo energético, enquanto que para outro equipamento pode ser necessário um ADC com reduzido consumo energético, sacrificando a velocidade de conversão e/ou a resolução. Por este motivo, os ADCs são comparáveis em função dos seus requisitos de projeto. Assim, constata-se que não existe uma arquitetura que apresente incontestavelmente um desempenho globalmente melhor que as outras.

Esta dissertação tem como objetivo a implementação e modelação em software *Matlab* um conversor A/D de 4 bits de resolução, com recurso a condensadores comutados, baseado na rede neuronal de Hopfield, com capacidade de correção de erros de conversão provocados pelos condensadores e pelos comparadores, através do treino da referida rede. A arquitetura aqui proposta é facilmente generalizável para  $N$  bits de resolução. Apenas para prova de conceito decidiu-se usar  $N = 4$  bits.

### 1.3. Estrutura da Tese

Para além do capítulo da Introdução, esta dissertação contém mais seis capítulos. No capítulo 2 apresento uma revisão bibliográfica aos conversores A/D com registo de aproximações sucessivas. No capítulo 3 apresento, igualmente, uma revisão bibliográfica, mas neste capítulo, ao conversor A/D de Hopfield. O último capítulo de revisão bibliográfica é o 4, sobre algoritmos de otimização, no qual se destaca o algoritmo de otimização por “enxame de partículas” (do inglês, “*Particle Swarm Optimization*”). No capítulo 5 é exposta a implementação e a modelação em *Matlab* do ADC de Hopfield, é referenciado o *software* utilizado, bem como os cálculos essenciais e são também ilustrados todos os blocos idealizados para a concretização deste trabalho. No capítulo 6 apresento a análise de vários aspetos do desempenho do conversor desenvolvido. Para finalizar, no capítulo 7 apresento as conclusões da presente dissertação, bem como as propostas de trabalhos futuros.



# 2

## 2. SAR ADC

Os conversores analógico-digitais de aproximações sucessivas (SAR ADCs) possuem uma panóplia de características suscetíveis para as mais diversas aplicações, sendo por isso amplamente produzidos. Técnicas para a construção de conversores A/D com registo de aproximações sucessivas, assentes no princípio da redistribuição de carga com condensadores pesados binariamente [21] destacam-se das restantes arquiteturas de ADC pela velocidade de conversão, escalabilidade (arquitetura maioritariamente digital) e eficiência energética. Apesar das suas vantagens, a tradicional arquitetura SAR ADC quando na presença de ruído térmico, erros de emparelhamento, reduzida gama de tensão de entrada, tornam necessário o desenvolvimento de arquiteturas mais eficientes e mais rápidas exigem novas técnicas e novos métodos para calibração, otimização e até de projeto. Neste capítulo é abordado em detalhe a arquitetura SAR ADC, desde o seu funcionamento, elementos críticos, limitações e desafios, não deixando de parte algumas soluções propostas recentemente que visam solucionar essas limitações e desafios. Também a arquitetura SAR ADC assíncrona, muito utilizada para aumentar a velocidade de conversão, é revista neste capítulo.

## 2.1. SAR ADC síncrono

A tradicional arquitetura SAR ADC (conversor analógico-digital de sucessivas aproximações) é cada vez mais a opção de eleição em aplicações de média-alta resolução em tecnologia CMOS (CMOS, do inglês, “*Complementary Metal-Oxide Semiconductor*”) da escala nanométrica. Esta arquitetura é composta por um bloco de amostragem-e-retenção (S/H) do sinal de entrada, um comparador (sendo por isso, o seu funcionamento síncrono), um bloco de conversão de digital para analógico (DAC de reconstrução), registos e circuitos lógicos de controlo, como tal, não necessita de amplificação da tensão de entrada, tal como mostra a Figura 2.1. É frequente encontrar implementações desta arquitetura com 8 a 14 bits de resolução, com baixo fator de forma e com reduzido consumo de potência. Assim, esta combinação destas características leva a que esta arquitetura seja apontada como ideal para um vasto número de aplicações, algumas já mencionadas no Capítulo 1 e, outras como canetas digitais, controlos/instrumentos industriais, recolha de dados/sinais, entre outras. Contudo, a busca por aplicações com maior resolução, mais largura de banda e melhor eficiência energética impõe uma série de desafios relevantes a esta arquitetura. Neste capítulo abordarei esses desafios impostos pelos erros de emparelhamento (*mismatch*) dos condensadores, pelo ruído térmico, pela velocidade e pela tensão de desvio (erro de *offset*) do comparador, assim como, algumas soluções propostas em bibliografia, [14].

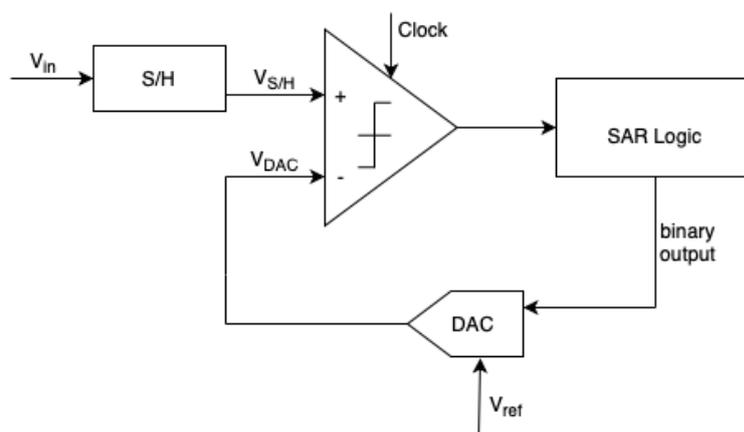


Figura 2.1 – diagrama de blocos do SAR ADC síncrono.

### 2.1.1. Arquitetura e Princípio de funcionamento

A Figura 2.2 a), mostra o diagrama do esquemático de um SAR ADC tradicional de N-bit com redistribuição de carga, composto por interruptores, responsáveis pela amostragem do sinal de entrada - circuito de amostragem e retenção, um DAC capacitivo de N-bit, uma unidade de controlo lógico e um registo de N-bit.

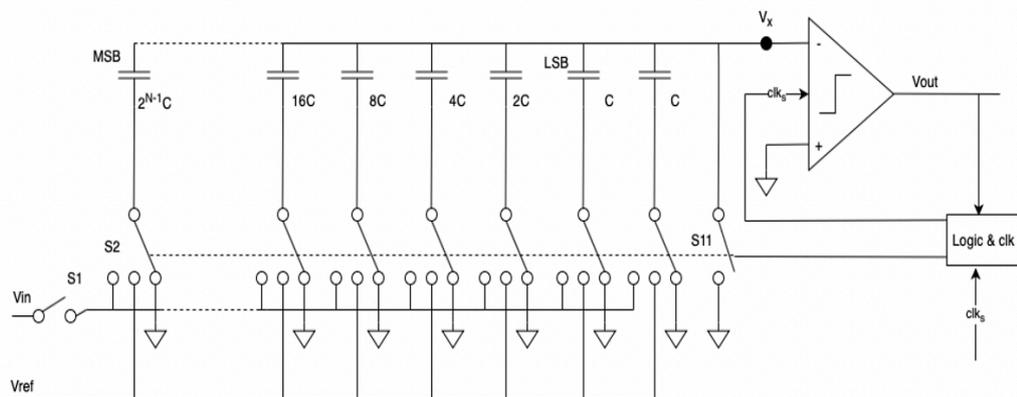


Figura 2.2 - diagrama do esquemático de um tradicional SAR ADC de N-bit.

O processo de conversão do SAR ADC, ilustrado pela Figura 2.3, consiste em manter a tensão de entrada ( $V_{in}$ ) em espera no bloco S/H (*Sample and Hold*) até que o conversor esteja apto a converter. Enquanto  $V_{in}$  está em espera, é então configurado, inicialmente, o registo de N-bit como meio de escala (define o bit mais significativo como 1 e os restantes  $N-1$  bits como "0"), para que seja possível implementar o algoritmo de pesquisa binária), forçando assim  $V_{DAC}$  a ser  $V_{Ref}/2$ . Neste ADC,  $V_{DAC}$  é a tensão que sai do conversor digital-analógico e,  $V_{REF}$ , a tensão de referência fornecida ao SAR ADC. Estando o ADC apto a converter, é então efetuada a primeira comparação. A primeira comparação verifica se o  $V_{in}$  é maior ou menor que o  $V_{DAC}$ . Caso  $V_{in}$  seja maior que  $V_{DAC}$ , então, à saída do comparador ficará o valor lógico 1, permanecendo o bit-mais-significativo (MSB, do inglês, "*most-significant-bit*") do registo de N-bit também a 1. No caso de  $V_{in}$  ser inferior a  $V_{DAC}$ , então, à saída do comparador ficará o valor lógico 0, passando o MSB do registo de N-bit também a 0 (" $V_{SS}$ "). De seguida, o controlo lógico deste

ADC passa para o segundo bit mais significativo, ao qual impõe o valor “1” ( $V_{DD}$ ), para depois executar a segunda comparação. Esta sequência de processamento e de comparações vai-se repetindo sucessivamente até finalmente chegar ao bit-menos-significativo (LSB, do inglês, “*least-significant-bit*”). São efetuadas  $N$  comparações, tantas quanto o número de bits do código de saída e cada comparação requer um ciclo de relógio (*clock*). Efetuada a conversão, está concluído o código digital de  $N$ -bit, disponível no registo.

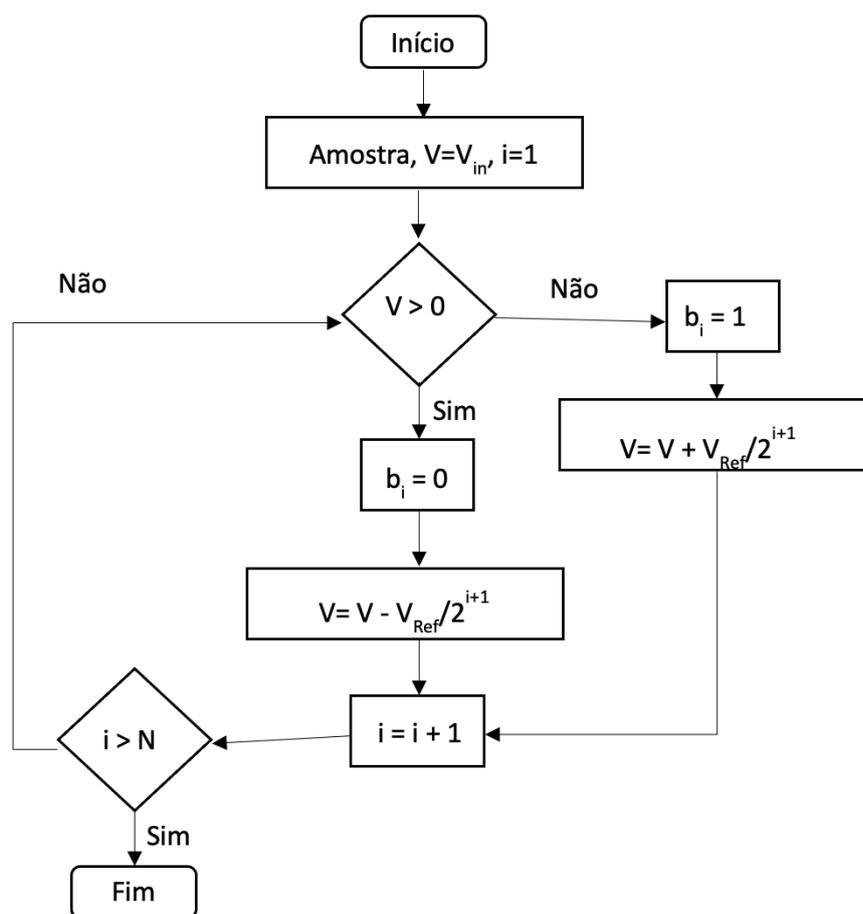


Figura 2.3 - fluxograma do algoritmo de aproximações sucessivas.

A conversão no SAR ADC segue um processo de procura binária e sequencial. Enquanto estiver em curso a operação do SAR, o mecanismo de realimentação procura minimizar a tensão à entrada do comparador no nó de soma,  $V_X$ ,

através da aproximação da saída do DAC à tensão de entrada  $V_{in}$ , ilustrado pela Eq.2.1.

$$V_{x,i} = V_{in} - V_{Ref} \sum_{j=N-1}^i \frac{d_j C_j}{C_{total}} \quad \text{Eq.2.1}$$

em que  $i=N-1, N-2, \dots, 0$ . Concluída a resolução de todos os bits, o valor final da tensão do nó de soma,  $V_{x,0}$ , deverá ser inferior a  $\frac{1}{2}$  LSB do DAC de N-bit, assumindo que todos os blocos são ideais. De seguida, a tensão de entrada do conversor,  $V_{in}$ , pode ser obtida pelos valores de entrada no DAC por Eq.2.2 e Eq.2.3.

$$V_{in} = V_{Ref} \sum_{j=N-1}^0 \frac{d_j C_j}{C_{total}} + QE \approx V_{Ref} \sum_{j=N-1}^0 \frac{d_j C_j}{C_{total}} \quad \text{Eq.2.2}$$

$$QE = V_{x,0} \quad \text{Eq.2.3}$$

em que  $QE$  representa o erro de quantização da conversão.

Desta forma, é perceptível que a dinâmica de funcionamento do SAR ADC convencional consubstancia um processo de conversão sequencial.

### 2.1.2. Limitações e aspetos críticos

A velocidade de conversão do SAR ADC está limitada pelo seu funcionamento sequencial. O tempo total de conversão,  $T_{crit}$ , depende de três fatores determinantes e pode ser representado como em [10], pela Eq.2.4.

$$T_{crit} = t_{comp} + t_{digital} + t_{DAC} \quad \text{Eq.2.4}$$

Em que:

- $t_{DAC}$  representa o tempo de resolução do DAC, que deve estar dentro do intervalo de tempo de resolução do conversor geral;

- $t_{comp}$  representa o tempo de resolução das comparações entre  $V_{in}$  e  $V_{DAC}$  dentro do tempo especificado;
- $t_{digital}$  representa o atraso temporal provocado pela realimentação do SAR ADC e por toda a lógica presente no conversor, depende da tecnologia.

#### 2.1.2.1. Comparador

O único bloco ativo no SAR ADC é o comparador, este compara o sinal amostrado,  $V_{S/H}$ , com a tensão do DAC,  $V_{DAC}$ , sendo o resultado desta comparação utilizado pelo controlo lógico do SAR ADC ("*SAR Logic*") para executar o algoritmo de aproximações sucessivas.

Por norma, os requisitos impostos ao comparador são a precisão e a velocidade. Estes requisitos levam a que haja deslocação do "0", ou seja, tensão de desvio do comparador. Esta deslocação acaba por não afetar a linearidade do conversor, provocando apenas um deslocamento na função transferência característica, sem causar qualquer distorção. Muitas vezes são também aplicadas técnicas de cancelamento de deslocamento, como a proposta em [11], para reduzir o deslocamento do comparador. Para além do ruído amostrado,  $KT/C$ , associado aos condensadores, o comparador é uma das principais fontes geradoras de ruído térmico desta arquitetura. O ruído térmico do comparador pode provocar um resultado de comparação errado, basta para isso que a tensão no nó somador seja comparável ao nível de ruído na entrada do comparador. Assim, o ruído é algo a ter em conta no conversor. Por estes motivos, o comparador é geralmente projetado para que tenha um ruído de entrada menor que  $1/4$  LSB. O comparador tem que ser capaz de resolver comparações dentro da precisão de tensão do conversor, qual tem que ser tão preciso quanto o conversor, em que está inserido. Assim, a precisão de qualquer SAR ADC está altamente dependente da precisão do comparador.

#### 2.1.2.2. Controlo Lógico do SAR

O bloco de controlo lógico do SAR ADC é responsável pela implementação do algoritmo de procura binária, descrito em 2.1.1. Uma vez que este bloco é constituído sobretudo por circuitos digitais, beneficia de escalamento da

tecnologia, no entanto, a energia que este bloco requer para operar a velocidades aceitáveis tem que ser tida em consideração.

### 2.1.2.3. DAC – Conversor Digital-Analógico

O conversor digital-analógico (D/A) presente no SAR ADC, é um bloco crítico desta arquitetura, pois a linearidade geral do conversor está limitada pela linearidade do DAC, recorrendo-se frequentemente a técnicas de calibração, aquando da projeção de um SAR ADC. O tempo máximo de conversão do DAC é determinado pelo tempo de conversão do MSB.

Por ser um circuito simples, mas também pela área dos condensadores em silício ser menor que a das resistências sendo por isso mais baratos, é muito frequente encontrar na literatura (p.e. em [12] e em [13]) e também em aplicações, SAR ADCs com DACs capacitivos. Os DAC capacitivos funcionam com base no princípio da redistribuição de carga para executarem o algoritmo de procura binária, variando a tensão de entrada do comparador do DAC, gerando assim um sinal (tensão) de saída analógica. Pela natureza do seu design o DAC capacitivo fornece por si só a função de amostragem-e-retenção (S/H) embebida na sua própria estrutura.

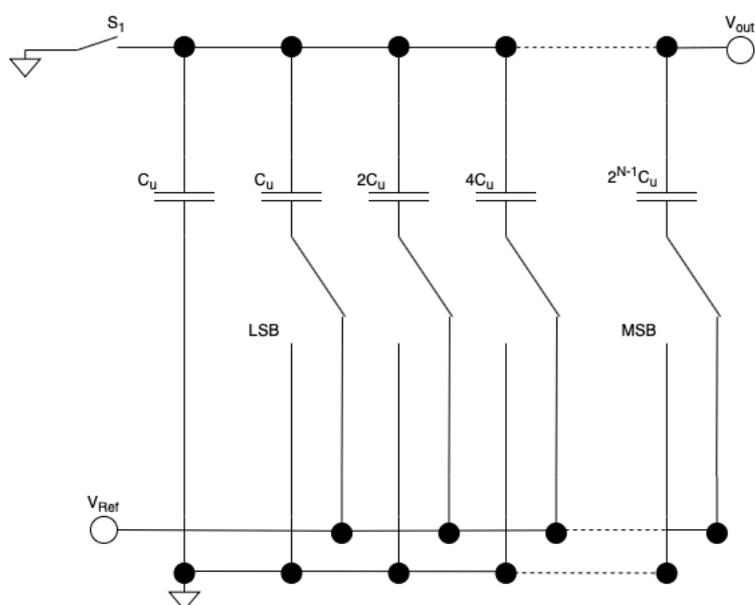


Figura 2.4 - Exemplo de um DAC capacitivo de N bits.

Pela Figura 2.4, pode-se concluir que um DAC capacitivo é composto por  $N$ -bit condensadores, consoante a resolução do conversor, com valores pesados binariamente mais um condensador redundante. O valor de capacidade do condensador associado ao MSB é o de maior valor e a capacidade associada a cada condensador é metade da do condensador anterior sendo a do LSB a menor, estabelecendo-se assim uma ponderação binária. Esta sequência binária é fundamental para a linearidade do DAC e acontece em circuitos ideais. No entanto, transposto para aplicações reais verifica-se que os condensadores introduzem/apresentam erros de desvio dos valores de capacidade, uma vez que esta é afetada pelas variações de temperatura e variações de outros parâmetros. Sendo fundamental estabelecer um valor da capacidade unitária,  $C_u$ , cuja variação não afete a linearidade do conversor. A forma mais rudimentar de resolver esta situação consiste no aumento das dimensões de  $C_u$ , ou seja, aumentando o valor da capacidade unitária. Contudo, quanto maior for a resolução do DAC ( $N > 10$  bits), o mais provável é que esta solução não seja exequível ( $C_u > 1$  pF) ou até mesmo que seja demasiado dispendiosa. De forma a ultrapassar esta limitação, vários métodos de calibração analógica e digital têm sido propostos.

Técnicas de calibração digital, como em [12] e [13], são bastante atrativas para aplicações tecnológicas de escala nano, pois são técnicas quase inteiramente digitais, que implicam muito poucas alterações aos circuitos analógicos. Técnicas de calibração analógica eficazes, como em [14] tendem a aumentar a complexidade do design do conversor. Em [14], sendo implementado um DAC capacitivo com lógica de calibração, detetor de atrasos, registos e condensadores de compensação.

## 2.2. SAR ADC de arquitetura desenrolada

Com o propósito de ultrapassar a limitação temporal imposta pelo processo de conversão sequencial da arquitetura SAR ADC síncrona, revela-se impreterível aumentar as frequências de amostragem a que estes operam. Para tal,

explorou-se em detalhe a arquitetura em si, surgindo uma outra abordagem. A arquitetura “desenrolada” (*Loop-Unrolled*) SAR ADC, consiste no desdobramento dos comparadores em vários, um por bit, como é o caso em [5] e [6]. Recentemente, conversores de arquitetura “desenrolada” SAR ADC, têm sido apontados como uma solução promissora para aplicações de alta velocidade. Ainda assim, a tensão de desvio nos comparadores leva a erros, dependentes do nível da tensão de entrada, no resultado da conversão, limitando assim a resolução e degradando ainda a linearidade estática (erros de INL e DNL). Para além de tudo isto, a velocidade e a eficiência energética dos SAR ADC de alta resolução encontram-se sempre limitadas pelas especificações bastantes rigorosas quanto ao ruído dos comparadores. Outra limitação desta arquitetura prende-se na incompatibilidade dos condensadores que pode afetar negativamente a sua linearidade.

### 2.2.1. Princípios de funcionamento

O funcionamento dos SAR ADCs de arquitetura desenrolada, consiste sobretudo na execução das comparações de forma assíncrona, ou seja, para a resolução de cada bit existe um comparador e cada comparador tem um relógio interno, existindo ainda um relógio dominante (*master*) para sincronização com a amostragem. Um conversor A/D que siga a arquitetura desenrolada, para  $N$ -bit, terá  $N$  comparadores. A tensão que entra em cada comparador é a tensão residual (tensão resultante) da comparação do comparador anterior. Cada comparador é controlado por um relógio associado. Esta nova abordagem permite que uma comparação se inicie assim que a anterior termine, tirando proveito do atraso inerente a qualquer comparador. Assim, é otimizado o tempo de comparação entre bits, permitindo que os SAR ADCs de arquitetura desenrolada, operem em frequências de amostragem e ritmos de conversão mais elevados.

### 2.2.2. Limitações e aspetos críticos

A precisão de um conversor desenvolvido de acordo com esta arquitetura é fortemente dependente da precisão de cada um dos comparadores, bem como a linearidade do conversor. Para além disto, os comparadores permanecem como uma das principais fontes geradoras de ruído térmico neste tipo de conversores.

A velocidade de conversão dos SAR ADC de arquitetura desenrolada é limitada pelos atrasos dos comparadores e pelos atrasos dos DACs.

Tal como no SAR ADC síncrono, também nesta arquitetura o DAC capacitivo é um bloco crítico. Igualmente nos SAR ADCs de arquitetura desenrolada, a linearidade do conversor depende diretamente da linearidade do DAC capacitivo.

### 2.2.3. Exemplo

Em [5] é apresentado um SAR ADC de arquitetura desenrolada com 6 bits de resolução, de reduzido consumo energético e alta velocidade.

Pela Figura 2.5, é possível notar que a arquitetura proposta em [5] é composta por um gerador de ciclos de relógio, uma rede de amostragem (composta pelos interruptores “S0”, “S1” e “S2”), dois DACs capacitivos pesados binariamente, 6 comparadores (1 comparador para cada bit a ser convertido) com calibração da tensão de desvio e uma unidade de calibração. Como se pode verificar pela Figura 2.5, a arquitetura proposta em [5] é ainda composta por três interruptores (“S0”, “S1” e “S2”), os três formam a rede de amostragem e são *bootsrapped*, segundo os autores, desta forma garante-se alta linearidade de amostragem para frequências de entrada elevadas. Na arquitetura proposta em [5] são ainda usadas portas lógicas do tipo OR (ou) com redefinição (*reset*) e atraso (*delay*)

controlados, de forma a gerar os sinais de relógio assíncronos. A arquitetura é também constituída por um gerador de ciclos de relógio, uma porta lógica do tipo *NOR* (ou negado), na qual são combinadas as saídas dos comparadores dos LSBs, gerando um sinal que indica o término da conversão do ADC e uma unidade de calibração.

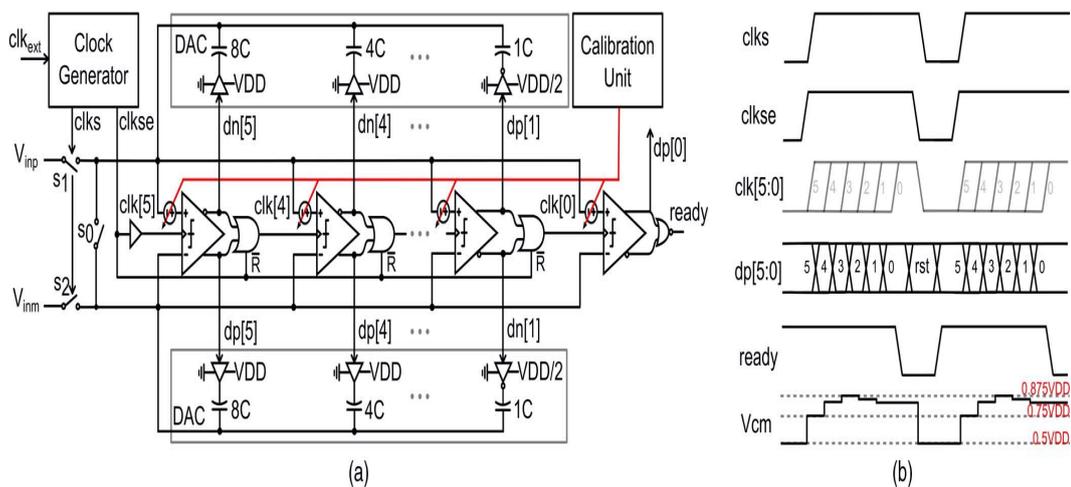


Figura 2.5 - SAR ADC de arquitetura desenrolada para 6 bits (a) e respetivo diagrama temporal (b) (figura de [5]).

A técnica de calibração, implementada no conversor proposto em [5], dos comparadores implementada em [5] consiste na variação da tensão de modo comum ( $V_{cm}$ ) de cada comparador - recorrendo apenas aos interruptores e relógios do conversor. A calibração termina quando a saída do comparador está igualmente distribuída entre "0" e "1" e a tensão de desvio do comparador é removida quando a probabilidade do seu código de saída ser "1", for aproximadamente 50%.

Por fim, em [5], a redefinição (*Reset*) aos comparadores é executada simultaneamente para todos os comparadores após o término da conversão, aumentando assim a velocidade de conversão, pois eliminam-se atrasos de memória entre os comparadores e entre os DACs capacitivos.

## 2.3. Sumário

Em suma, o SAR ADC é uma arquitetura que apresenta baixas frequências de amostragem quando se pretende alta resolução. Contudo, a sua resolução é limitada pelo DAC e pelo comparador, recorrendo-se frequentemente a técnicas complexas de calibração de comparadores e de DACs capacitivos. As dimensões físicas aumentam com o aumento do número de bits. O reduzido consumo de energia, bem como reduzidas dimensões físicas tornam esta arquitetura ideal para diversas aplicações, sendo amplamente utilizada em sistemas de aquisição de dados multicanal com frequências de amostragem compreendidas entre 10 kHz e 10 MHz e com resolução compreendida entre os 8 e os 14 bits.

Tanto na arquitetura SAR ADC síncrono, como nos SAR ADCs de arquitetura “desenrolada” e assíncrona, todos os blocos que as compõem estão interligados e existem relações de dependência entre si.

Os SAR ADCs de arquitetura desenrolada conseguem otimizar a velocidade de conversão, face aos SAR ADC convencionais. Esta otimização implica um aumento do espaço físico ocupado pelo conversor, devido ao aumento do número de comparadores.

OS SAR ADCs de arquitetura desenrolada, por terem um comparador para cada bit, conseguem um aumento de desempenho, através da otimização da velocidade de conversão, face ao SAR ADC síncrono. Por terem substancialmente mais comparadores do que os SAR ADCs convencionais, a linearidade dos SAR ADCs de arquitetura desenrolada, é fortemente afetada pela tensão de desvio dos comparadores.

Neste capítulo foi passado em revista a operação de funcionamento dos SAR ADC síncronos e dos SAR ADC de arquitetura desenrolada. Foram cobertos os elementos críticos e os desafios que o design, destes sistemas enfrentam. Com este capítulo é conseguido um estado da arte dos conversores A/D SAR síncronos e dos conversores A/D SAR de arquitetura desenrolada.

## 3. Rede neuronal e ADC de Hopfield

Recentemente tem vindo a aumentar o interesse nos ADCs baseados em redes neuronais, estes propõem-se a ultrapassar as limitações convencionais dos ADCs e são concebidos para uso geral, ou seja, uma determinada arquitetura é passível de ser usada em diferentes aplicações. Este tipo de ADCs baseiam-se em algoritmos de aprendizagem de inteligência artificial e em modelos de redes neuronais artificiais. Este capítulo apresenta uma revisão à arquitetura do ADC apresentado por John Joseph Hopfield e, de tecnologias propostas recentemente que derivam do ADC de Hopfield.

### 3.1. Conceitos base de Redes Neuronais

As redes neuronais artificiais são sistemas de processamento paralelo e distribuído, são compostas por unidades de cálculo simples (p.e.: pesos, somadores e funções de ativação) e possuem a capacidade de transformar dados em conhecimento experimental, ou seja, em informação. Estas redes funcionam de forma semelhante ao cérebro humano. Com recurso a algoritmos, estas redes são capazes de reconhecer padrões, agrupá-los e classificá-los, isto é, as redes adquirem conhecimento consoante o ambiente envolvente através de um processo de aprendizagem (treino das redes). As redes neuronais artificiais armazenam o

conhecimento nos pesos sinápticos, que são as interligações entre os neurónios. Dois tipos diferentes de redes neuronais artificiais são:

- as redes neuronais recorrentes (*backpropagation*), nestas os sinais podem circular pelos nós da rede nas duas direções (entrada-saída e saída-entrada), funcionando em ciclo;

- as redes neuronais probabilísticas (*feedforward*), nestas os sinais são transportados apenas num sentido, da entrada para a saída, não havendo operações em ciclo.

### 3.2. Rede neuronal de Hopfield

Joseph J. Hopfield, nos seus primeiros trabalhos em [1] e [2], na década de 80 introduziu algumas das ideias que estão na base das propriedades computacionais coletivas de redes associativas altamente interconectadas. A arquitetura apresentada por Hopfield, [1] e [2], como mostra a Figura 3.1, é composta por neurónios totalmente interconectados, em que cada neurónio tem a sua saída ligada às entradas dos restantes neurónios, ou seja, todos os neurónios estão ligados entre si por conexões de realimentação e não possuem autoalimentação. Cada conexão de realimentação é representada pela sua sinapse (ou peso).

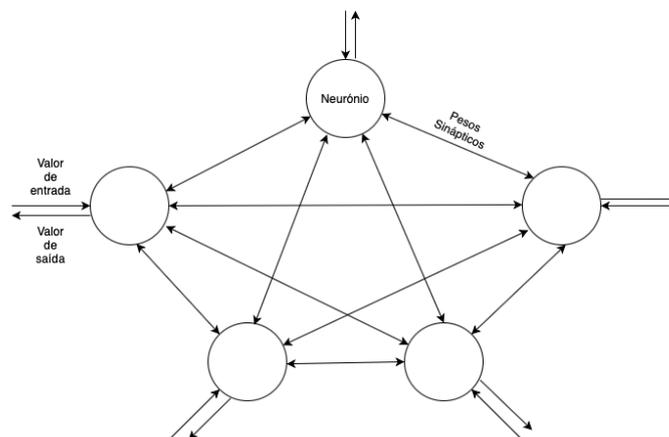


Figura 3.1 - representação de uma rede neuronal de Hopfield com uma camada e cinco neurónios.

O modelo da rede neuronal artificial (ANN, do inglês, “*artificial neural-network*”) proposto por Hopfield, em [2] e [3], apresenta resposta neuronal contínua e possui propriedades computacionais que o tornam passível de ser implementado em hardware. Hopfield considera apenas dois estados possíveis para os neurónios do modelo por si apresentado: “0” (estado em que o neurónio não dispara) ou “1” (estado em que o neurónio dispara a uma taxa máxima). A saída dos neurónios depende do valor que recebem à entrada, caso o valor de entrada seja superior ao valor limite, a saída será o valor lógico “1”, caso o valor de entrada seja inferior ao valor limite, a saída será o valor lógico “0”. A rede neuronal proposta por Hopfield é assim classificada como uma rede neuronal recorrente.

### 3.3. ADC de Hopfield

John J. Hopfield, concluiu de que forma as propriedades computacionais dos organismos biológicos podem servir para o desenvolvimento computacional, adaptando-as para os circuitos integrados [1]. Simultaneamente John J. Hopfield conclui que os neurónios com relação de entrada-saída sigmoide, possuem propriedades computacionais, tendo desenvolvido uma arquitetura de um ADC de 4 bits - composta por amplificadores operacionais, resistências e condensadores – com capacidade de operar como uma CAM (*Content Adressable Memory*) [2]. Mais tarde, mas ainda na mesma década, John J. Hopfield apresenta um conversor A/D cuja arquitetura assenta nos princípios da sua rede neuronal. Este conversor surge como uma solução – rede altamente interconectada de processos simples e analógicos, a um problema de otimização, [3].

### 3.3.1. Princípios de funcionamento

A Figura 3.3 ilustra a implementação em hardware da função transferência do tipo “sigmóide” dos neurónios proposta, em [3], por Hopfield para um conversor analógico-digital de 4 bits. A rede para cada nível de tensão de entrada, gera uma função energética que consiste em estados de mínimo local, com um mínimo global para uma tensão de entrada específica. A representação digital correta para o sinal de entrada é representada pelo mínimo global para cada nível de tensão de entrada. A implementação da rede funciona como um sistema dinâmico, que tende a minimizar a energia, de modo a que ao atingir o mínimo, a rede pare o processo de conversão, de acordo com [2] e [15]. Ao atingir o estado de energia mínima, a rede gera um código digital de saída, que representa a tensão de entrada, descrita pela equação Eq.3.1.

$$V_{In} = \sum_{i=0}^{N-1} 2^i V_i \quad \text{Eq.3.1}$$

Ou seja, o código digital de saída é o resultado da conversão executada pela rede. O circuito da Figura 3.2 está organizado de forma a que a Eq.3.1, se mantenha durante todo o processo de conversão da rede [3].

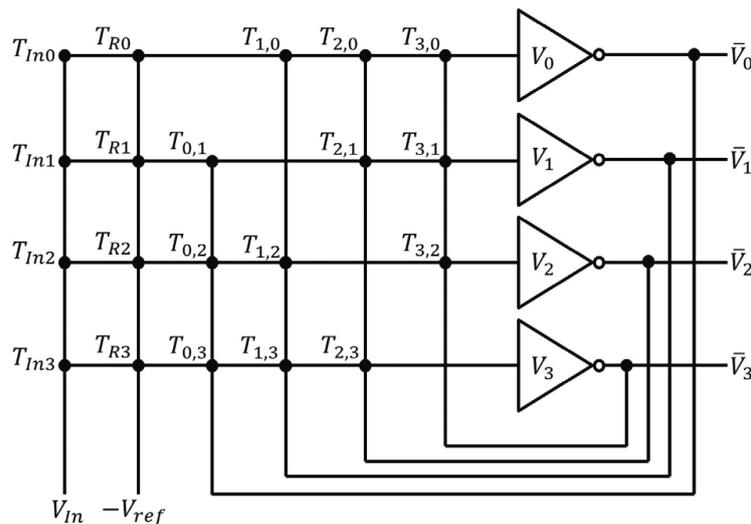


Figura 3.2 - estrutura do ADC de Hopfield (figura de [7]).

A rede neuronal implementada por Hopfield assenta na sua proposta de ADC com 4 bits de resolução é formada por quatro neurónios, interconectados por pesos sinápticos. Na rede, os elementos de processamento estão modelados como amplificadores CMOS com uma relação de entrada-saída sigmoide. A relação de entrada-saída é caracterizada pela função  $V_j = g_j(u_j)$ , em que,  $V_j$ , é a tensão de saída do amplificador  $j$  provocada por uma tensão de entrada,  $u_j$ , [3]. Cada amplificador CMOS possui uma resistência de entrada, um condensador de entrada e um sinal de terra (*ground*) de referência, com tal, os amplificadores da rede são responsáveis por realizar a integração da soma analógica das correntes de entrada dos restantes amplificadores da rede [3]. As resistências, de condutância  $T_{ij}$  ( $R_{ij} = \frac{1}{T_{ij}}$ ), ligadas entre a saída do amplificador,  $j$ , e a entrada do amplificador,  $i$ , são os elementos da rede responsáveis pelas correntes de entrada dos amplificadores [3], ou seja, os pesos sinápticos da rede estão modelados por estas resistências. Os pesos sinápticos encontram-se organizados de forma matricial e toda a dinâmica da rede depende dos valores dos elementos da matriz. Em [1] e [2], o autor estuda de que forma é que os valores dos elementos da matriz dos pesos sinápticos influenciam a dinâmica da rede e determina que existem duas condições que têm de ser mantidas na matriz para que o sistema alcance um estado de estabilidade:

- Os elementos da diagonal da matriz, que correspondem às sinapses de realimentação dos neurónios para as suas próprias entradas, devem ser iguais a zero ( $T_{jj} = 0$ );
- A matriz dos pesos sinápticos tem que ser simétrica ( $T_{ji} = T_{ij}$ ).

Assim, a expressão da função de energia da rede que cumpre as duas condições acima mencionadas pode ser descrita pela equação Eq.3.2.

$$E = -\frac{1}{2} \sum_{i,j} T_{ij} V_i V_j + \sum_i \frac{1}{R_i} \int_0^{V_i} g_i^{-1}(V) dV - \sum_i I_i V_i \quad \text{Eq.3.2}$$

em que, de acordo com [2] e [15],  $R_i$  é a resistência de entrada do neurónio e  $g_i^{-1}(V)$  é o potencial de entrada do neurónio.

A corrente que efetivamente flui para os neurónios é composta pela corrente pós-sináptica,  $T_{ij}V_j$ , proveniente do neurónio  $j$ , pela corrente de entrada,  $T_{Ini}V_{In}$ , e pela corrente de referência,  $T_{Ri}V_{Ref}$ , [2, 15].

Por fim, em [16] deduz-se que o ADC da rede neuronal de Hopfield com 4 bits de resolução pode ser projetado com base nas equações Eq.3.1 e Eq.3.3 à Eq.3.5.

$$T_{ij} = -2^{(i+j)} \quad \text{Eq.3.3}$$

$$T_{Ri} = -2^{(2i-1)} \quad \text{Eq.3.4}$$

$$T_{Ini} = 2^i \quad \text{Eq.3.5}$$

### 3.3.2. Limitações

Nos resultados apresentados em [3], o conversor proposto por Hopfield e Tank revela um comportamento não ideal e códigos de saída incorretos. É verificado que no fim de cada ciclo de conversão a tensão de limite dos neurónios não corresponde aos 0V predefinidos, ocorre deslocamento do zero (tensão de desvio) dos comparadores. Em [3], os autores defendem que os erros de conversão da rede se devem não só aos vários mínimos locais para um determinado estado de energia, mas também à histerese dos neurónios (amplificadores CMOS). Tanto a histerese dos neurónios, bem como a alteração da tensão de limite para valores diferentes dos predefinidos levam a que a rede estabilize no mínimo local mais próximo do estado de energia em que a rede se encontra no momento da conversão [16]. Em [3] a solução proposta para resolver esta limitação do sistema consiste em redefinir o estado de cada neurónio, de modo a fiquem com valor da tensão de limite definida inicialmente, no fim de cada conversão. No entanto, esta solução implica que o conversor consuma mais energia, [16].

### 3.4. Exemplos

O sistema de conversão proposto por Hopfield e Tank foi a primeira aplicação de redes neuronais em conversores analógico-digitais. Esta implementação veio mais tarde a ganhar bastante notoriedade, não só pela aparente simplicidade de implementação face a outras arquiteturas de conversores A/D, mas também por abrir a porta à exploração das capacidades computacionais e de processamento das redes neurológicas em conversores A/D.

Como mencionado anteriormente, no conversor A/D proposto por Hopfield e Tank a existência de um mínimo local na dinâmica do sistema corrompe os códigos digitais de saída. Como tal, vários trabalhos em que a estrutura da rede do ADC foi alterada [17-20] foram desenvolvidos com o objetivo de eliminar os códigos digitais de saída errados provocados pelo problema do mínimo local.

#### 3.4.1. Correntes de correção

Uma forma de ultrapassar o problema do mínimo local do ADC da rede neuronal de Hopfield é apresentado em [17], onde é proposta uma arquitetura de Hopfield modificada e com correntes de correção. Em [17] os autores analisam de que forma a sobreposição das correntes de entrada entre dois códigos de saída adjacentes (definida como  $GAP$ ), afeta a estabilidade dos códigos digitais de saída do conversor A/D da rede neuronal de Hopfield. Para evitar o estado do mínimo local, segundo [17] as correntes de correção podem ser aplicadas de volta às entradas da rede de Hopfield, por meio de um conjunto adicional de resistências (pesos de condutância), eliminando assim a condição de sobreposição das correntes, ou seja,  $GAP \geq 0$ . A inversão dos amplificadores gera as correntes de correção, compensando assim a sobreposição das correntes de entrada e garantindo que a dinâmica do sistema converge para um estado estável. O ADC da rede de Hopfield modificado e com correntes de correção é apresentado na Figura 3.3.

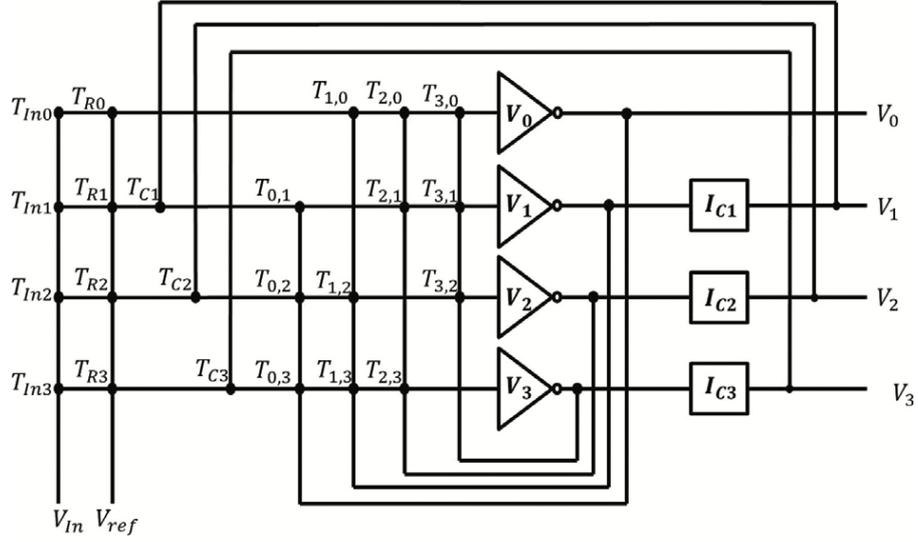


Figura 3.3 - ADC da rede neuronal de Hopfield modificado e com correntes de correção (figura de [17]).

A dinâmica da rede num estado de estabilidade com a corrente de correção,  $I_{ic}$ , aplicada em [16] pode ser descrita pela equação Eq.3.6. Segundo [16], a representação da função de energia do ADC de Hopfield modificado e com correntes de correção pode ser descrita pela Eq.3.7. Com esta arquitetura passa a existir um mínimo global de estado de energia, uma vez que a energia de correção elimina os estados de energia com mínimos locais.

$$T_i u_i = \sum_{\substack{j=0 \\ i \neq j}}^{N-1} T_{ij} V_j + I_i + I_{ic} \quad \text{Eq.3.6}$$

$$E_c = -\frac{1}{2} \sum_{\substack{j=0 \\ i \neq j}}^{N-1} T_{ij} V_i V_j - \sum_{i=0} I_i V_i - \sum_{i=1} I_{ic} V_i \quad \text{Eq.3.7}$$

As correntes de correção têm um método para a sua determinação, não podendo ser escolhidas ao acaso. O método detalhado para escolha das correntes de correção é apresentado em [17].

### 3.4.2. Arquitetura de Hopfield assimétrica

Outra solução para o problema dos estados do mínimo local é a arquitetura baseada na rede de Hopfield, mas com a matriz não-simétrica dos pesos sinápticos. Nos trabalhos [18-20] são estudadas em detalhe as propriedades das conexões triangulares dos pesos sinápticos, tendo sido concluído em [20] que através da matriz de interconexão triangular a rede funciona sem estados de energia que corrompem os códigos de saída. De igual forma, em [19] uma arquitetura semelhante à de [20] é estudada, ficando provado que é possível atenuar a limitação do mínimo local recorrendo a esta arquitetura.

### 3.4.3. *Level-shifted* ADC baseado na rede neuronal de Hopfield

O *level-shifted* ADC baseado na rede neuronal de Hopfield [7] é diferente de todos os abordados anteriormente. Este ADC é implementado com múltiplos ADCs de Hopfield de 2 bits e variadores do nível de tensão. Atualmente muitas, aplicações requerem conversores A/D com resoluções superiores a 4 bits, pelo que, o ADC apresentado por Hopfield e Tank não se adequa a essas tecnologias. Pode parecer óbvio que aumentando o número de neurónios do ADC da rede neuronal de Hopfield [3], aumenta também a resolução. No entanto se for aumentando o número de neurónios, deve ser também feito o escalamento das tensões de entrada e de saída de acordo com a equação Eq.3.1, resultando em valores binários, reduzidos, de tensão à saída dos neurónios. Para além disto, o aumento da resolução implica também um escalamento da matriz dos pesos sinápticos [16]. O *level-shifted* ADC baseado na rede neuronal de Hopfield surge como uma

solução ao problema do aumento da resolução do ADC da rede neuronal de Hopfield.

Na arquitetura do *level-shifted* ADC baseado na rede neuronal de Hopfield [7], cada bloco (composto por um ADC de 2 bits) recebe um sinal de entrada que é deslocado em DC para um pequeno nível de tensão positiva. Todos os parâmetros da implementação podem ser adaptados consoante a aplicação para a qual o conversor está a ser projetado.

Em [7] são apresentados os resultados da implementação de um *level-shifted* ADC baseado na rede neuronal de Hopfield com 16 níveis de quantização, o que só é possível, uma vez que nesta implementação são empregues múltiplos ADCs de Hopfield de 2 bits. Os autores em [7] propõem a utilização de uma rede neuronal sem realimentação para codificar a saída digital de maneira a que fique no formato de 4 bits, por dois motivos: o primeiro deve-se ao facto do número de bits do código digital ser superior ao do ADC de Hopfield, enquanto que o segundo se deve à redução de erros de processamento causados pelo mínimo local e por não idealidades do circuito [16].

### 3.5. Sumário

Com a implementação do ADC de Hopfield, ficou estabelecida a ponte entre as redes neuronais, bem como um conjunto de métodos matemáticos e computacionais associados a estas, e os conversores analógico-digitais.

Apesar do ADC proposto por Hopfield constituir uma verdadeira inovação, a limitação do mínimo global é um problema sério quando se procura precisão e exatidão. Contudo, existem já algumas otimizações quanto à implementação da arquitetura, havendo ainda muito por explorar.

# 4

## 4. Algoritmos de Otimização

Qualquer problema que tenha solução apresenta pelo menos uma solução ótima. Entende-se que um problema de otimização trata da procura de uma solução que minimize, ou maximize uma métrica relacionada com o problema. Por sua vez, algoritmos de otimização, consistem em ferramentas matemáticas que são efetuadas de forma iterativa, conferindo várias soluções possíveis, até que uma solução ótima, ou pelo menos satisfatória, seja alcançada. Nos últimos anos é notório o aumento do poder computacional. Com esse aumento do poder computacional, estes algoritmos tornaram-se partes cruciais nas mais diversas áreas. A implementação de um algoritmo de otimização assenta em quatro elementos relacionados com o problema que se pretende solucionar:

- as **variáveis do problema**, são as variáveis para as quais se procura uma solução;
- os **limites**, são valores numéricos intrínsecos ao problema e que relacionam as variáveis do problema com limitações de recursos e determinadas características físicas;
- a **função objetivo**, é a função matemática que se pretende minimizar, ou maximizar;
- os **limites das variáveis do problema**, são valores numéricos intrínsecos às variáveis de design e limitam o espetro de soluções possíveis.

## 4.1. Otimização por Enxame de Partículas

A Otimização por Enxame de Partículas (PSO, do inglês, “*Particle Swarm Optimization*”) é um método computacional de otimização heurístico, proposto em 1995 por Eberhart e Kennedy [22]. Trata-se de um algoritmo multiobjetivo, pois tem a capacidade de otimizar várias funções objetivo em simultâneo. O PSO foi inspirado pelo comportamento social dos bandos de pássaros na procura de comida. Na procura por alimento, antes de localizarem o lugar onde podem encontrar alimento, os pássaros deslocam-se juntos, ou espalhados. Enquanto procuram o alimento, há sempre um pássaro que consegue cheirar melhor a comida, sendo esse o pássaro mais perceptível ao local onde pode ser encontrado o alimento, estando por isso nas poses das melhores informações dos recursos alimentares. Enquanto procuram alimento os pássaros comunicam entre si, especialmente as boas informações e como tal, os pássaros acabarão por seguir o pássaro na posse das melhores informações, como mostra a Figura 4.1, acabando por se concentrarem no local onde a comida pode ser descoberta. Analogamente, no PSO o enxame de partículas (possíveis soluções) equivale ao bando de pássaros, o desenvolvimento do enxame de soluções equivale aos pássaros a deslocarem-se de um lugar para outro, uma boa informação equivale a uma solução otimista e por fim, a fonte de alimento equivale à solução mais otimista de todas as soluções otimistas.

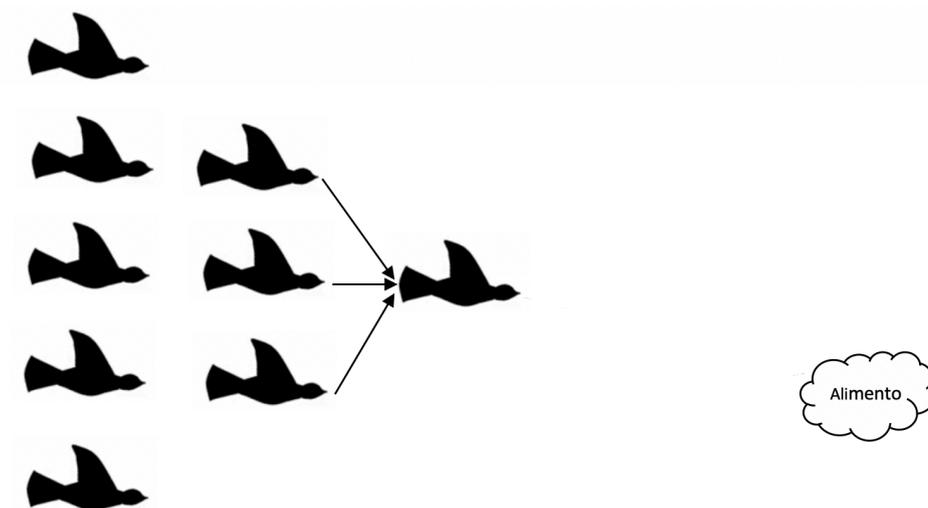


Figura 4.1 - ilustração do bando a seguir o pássaro com as melhores informações.

#### 4.1.1. Funcionamento

O PSO, é inicializado aleatoriamente com uma população previamente definida - um grupo de partículas, em que cada partícula é inicializada com uma posição,  $\vec{x}_i(t)$ , e velocidade,  $\vec{v}_i(t)$ , aleatórias, e em que cada partícula,  $i$ , representa uma possível solução. Cada partícula, procura num espaço multidimensional, em cada iteração,  $t$ , o valor ótimo que minimiza a função objetivo. Em cada iteração, cada partícula é atualizada com base nos dois melhores valores: o melhor valor global,  $g(t)$ , e o valor da partícula na melhor posição,  $P_i(t)$ . Para determinar os dois melhores valores, é utilizada uma função de custo. Após encontrar estes dois melhores valores, as partículas atualizam a sua velocidade, de acordo com a Eq.4.1, e de seguida a sua posição de acordo com a Eq.4.2, tal como mostra a Figura 4.2. O algoritmo prossegue até concluir todas as iterações. Todo este processo descrito anteriormente é ilustrado pela Figura 4.3.

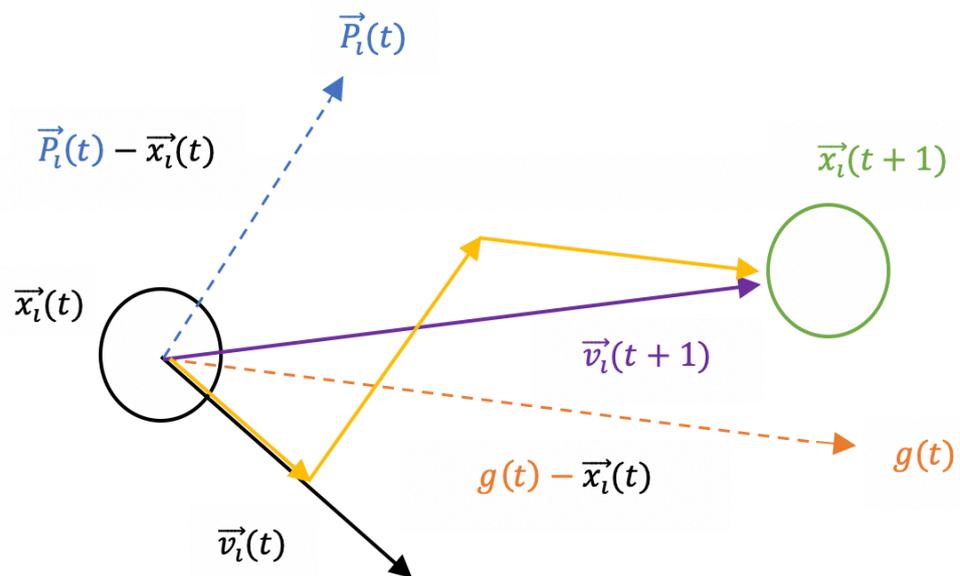


Figura 4.2 - diagrama vetorial da atualização da posição de uma partícula no PSO.

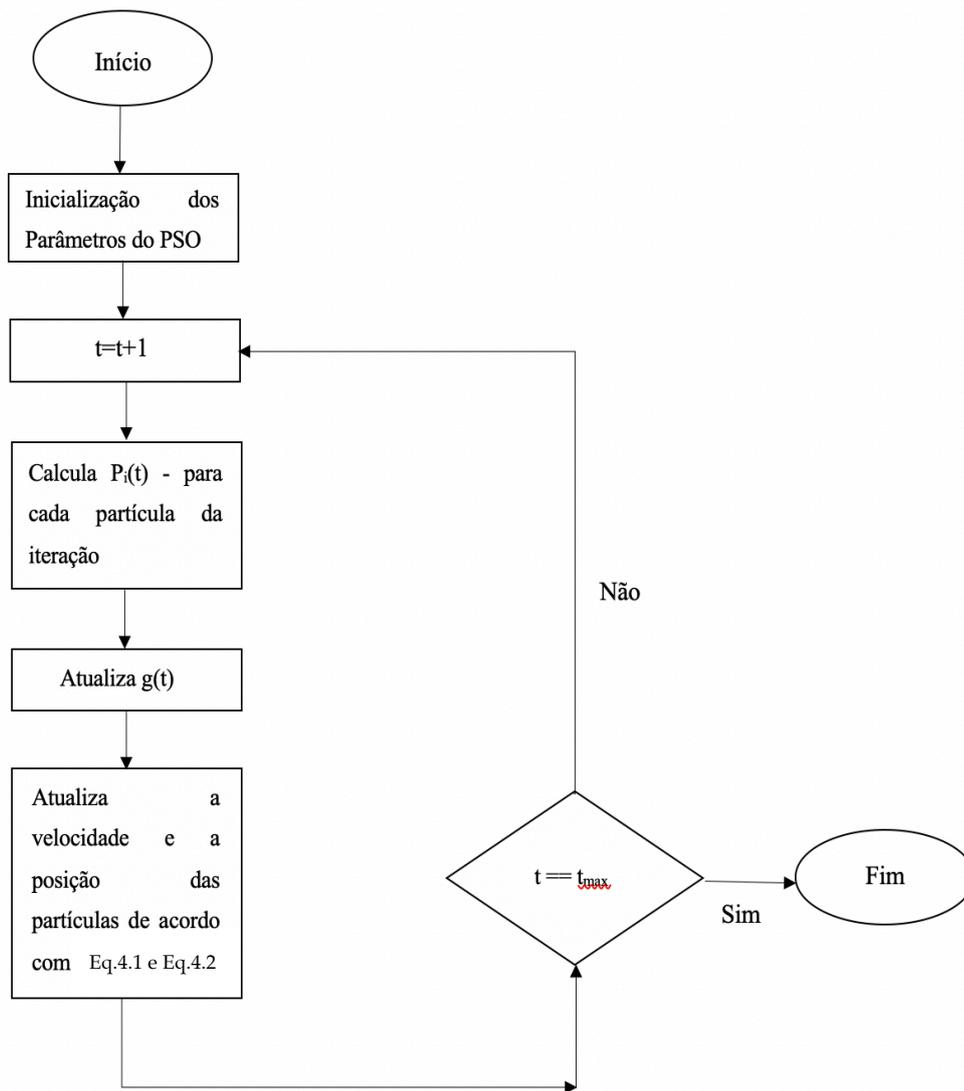


Figura 4.3 - fluxograma de funcionamento do PSO.

$$v_i(t + 1) = w \times \vec{v}_i(t) + C_1 r_1 \times [P_i(t) - x_i(t)] + C_2 r_2 \times [P_i(t) - g(t)] \quad \text{Eq.4.1}$$

$$x_i(t + 1) = x_i(t) + v_i(t + 1) \quad \text{Eq.4.2}$$

```

%% Ciclo principal do PSO
for it = 1:maxit

    %atualiza velocidades
    for i = 1:npop
        particle(i).velocity = w*particle(i).velocity...
            + c1*rand(usize).* (particle(i).best.position...
            - particle(i).position) + c2*rand(usize)...
            .* (globalbest.position - particle(i).position);

        %aplica os limites de velocidade
        particle(i).velocity = max(particle(i).velocity, minvelocity);
        particle(i).velocity = min(particle(i).velocity, maxvelocity);

        %atualiza posições
        particle(i).position = particle(i).position + particle(i).velocity;

        %aplica os limites
        particle(i).position = max(particle(i).position, varmin);
        particle(i).position = min(particle(i).position, varmax);

        %avalia
        particle(i).cost = costFunction(particle(i).position);

        %atualiza o melhor valor da partícula na melhor posição
        if particle(i).cost < particle(i).best.cost

            particle(i).best.position = particle(i).position;
            particle(i).best.cost = particle(i).cost;

            %atualiza o melhor valor global
            if particle(i).best.cost < globalbest.cost
                globalbest = particle(i).best;
            end
        end
    end
end

```

Figura 4.4 – Excerto do ciclo principal da implementação em Matlab do PSO.

A Figura 4.4 mostra uma possível implementação em código do ciclo da Figura 4.3, mais concretamente, do ciclo do PSO em que as velocidades e a posições das partículas, o melhor valor global e o valor da partícula na melhor posição são processados e atualizados.

O coeficiente de inércia,  $w$ , responsável pelo controlo da velocidade deve ser escolhido de forma a garantir um comportamento convergente. Os coeficientes de aceleração,  $C_1$  e  $C_2$ , têm que ser dois valores positivos. Estes coeficientes ao serem multiplicados pelos vetores aleatórios,  $r_1$  e  $r_2$ , tornam-se influências estocásticas controláveis na velocidade do enxame, ou seja, controlam quanto uma

partícula se deve mover em direção ao seu atrator cognitivo ( $P_i(t)$ ) e ao seu atrator social ( $g(t)$ ).

De notar que para a inicialização do PSO, há variáveis que têm que ser estabelecidas e cujo processo de determinação do valor mais adequado ao problema é empírico, tais como a dimensão da população de partículas, o número de iterações e os coeficientes de aceleração (cuja única condição *a priori* é serem positivos).

## 4.2. Sumário

Ficou evidente que o PSO apesar da sua simplicidade de implementação e de ser um algoritmo multiobjectivo, é um método de otimização que nem sempre atinge o mínimo global, caso seja um problema de minimização. Ou seja, este algoritmo nem sempre alcança a solução ótima para o problema e uma das causas pode ser a escolha empírica de alguns dos parâmetros de inicialização. No entanto, garante que uma solução muito próxima da ótima é sempre alcançada, algo que frequentemente é suficiente para quem recorre ao algoritmo.

Este capítulo reviu o conceito de algoritmos de otimização sendo destacado o PSO, por ter sido implementado no âmbito desta dissertação.

# 5

## 5. SAR ADC de arquitetura desenrolada com múltiplos DACs

Seguindo as arquiteturas apresentadas nos capítulos 2 e 3 da presente dissertação, neste capítulo é apresentado um SAR ADC de arquitetura desenrolada com múltiplos DACs, de 4 bits de resolução, com uma frequência de amostragem,  $F_s$ , de 50 MHz, totalmente diferencial, que opera com uma tensão de alimentação de 1 V, com calibração digital para correção de erros de conversão causados pelos erros de emparelhamento dos condensadores, pela tensão de desvio dos comparadores e pelo ruído térmico. O SAR ADC de arquitetura desenrolada com múltiplos DACs proposto, matematicamente, corresponde a uma rede neuronal de Hopfield ou, por outras palavras, a um ADC de Hopfield.

Neste capítulo são apresentados em detalhe o princípio de funcionamento do ADC implementado, uma revisão de todos os blocos da arquitetura implementada e modelada com recurso ao software *Matlab* e todas as nuances de modelação da mesma.

## 5.1. Arquitetura

A Figura 5.1 mostra que o ADC implementado é composto por quatro blocos de SAR ADCs, cada um responsável pela resolução de um bit. Estes quatro blocos formam um SAR ADC de arquitetura desenrolada com múltiplos DACs – um DAC para cada bit de resolução, com 4 bits de resolução. Tal como visto no capítulo 2 da presente dissertação, também nesta arquitetura cada um dos SAR é composto por um DAC capacitivo, um comparador e interruptores. Este conversor corresponde matematicamente a uma rede neuronal de Hopfield, em que os condensadores ajustáveis são os pesos da rede. No conversor proposto, cada DAC possui dois condensadores variáveis ajustáveis digitalmente. A resolução dos DACs aumenta à medida que a significância do bit, que o respetivo comparador resolve, diminui. A amostragem do sinal é feita por uma rede de interruptores, sendo esta rede de amostragem comum a todos os SAR ADCs. Existe ainda na arquitetura um bloco, a que se encontram ligadas todas as saídas de 1 bit. Neste bloco está implementado o algoritmo de otimização PSO (otimização por enxame de partículas), sendo este o bloco responsável pelo ajuste dos condensadores variáveis, ou seja, pelo treino da rede neuronal de Hopfield.

Tratando-se de resoluções baixas, até  $N = 8$  bits, podem-se utilizar condensadores unitários com valores de capacidade mínimos permitidos pela tecnologia (e.g.  $\approx 17$  fF no caso dos condensadores MiM da tecnologia de 130 nm da UMC).

Esta arquitetura para o conversor proposto apresenta uma resolução de apenas 4 bits, devido ao seu fim académico. A resolução apresentada apesar de não ter aplicação na indústria, facilita o processo de estudo e compreensão da arquitetura em si. O conversor proposto é facilmente adaptado para um conversor com maior resolução, bastando apenas adicionar blocos de conversão de um bit, com mais condensadores, ou condensadores com mais capacidade. Os blocos de conversão de 1 bit, são desacopláveis uns dos outros, conferindo agilidade de projeto à arquitetura.

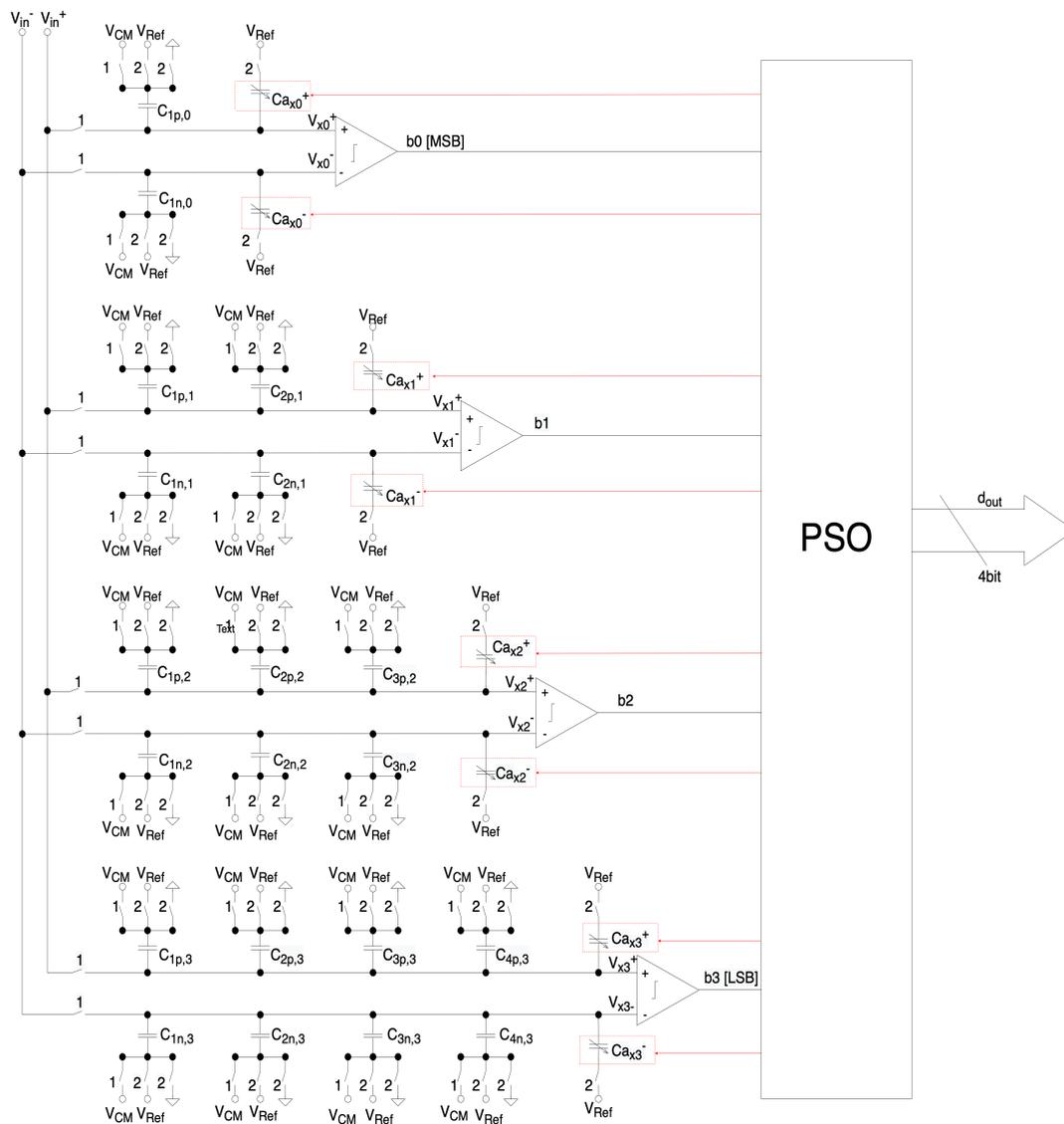


Figura 5.1 - Esquemático do 4-bit SAR ADC proposto, de arquitetura desenrolada (4 comparadores) com múltiplos DACs.

## 5.2. Princípio de funcionamento

Tendo o conversor apresentado neste capítulo a capacidade de corrigir quer os erros de emparelhamento dos condensadores, quer os erros causados pelo desvio de tensão dos comparadores, a sua operação divide-se em duas:

1<sup>a</sup> – treino do conversor, ajuste dos condensadores variáveis;

2<sup>a</sup> – conversão do sinal pretendido, com os erros minimizados pelo treino.

Importa notar que em ambas as fases ocorre a conversão do sinal analógico de entrada em bits, no entanto, na 1<sup>a</sup> fase ocorre a conversão até que a minimização pretendida dos erros seja alcançada, parando assim o treino interno do conversor. Este processo de ajuste dos condensadores variáveis, é conseguido com recurso ao algoritmo de otimização por enxame de partículas. O processo de conversão é apresentado detalhadamente em seguida, desprezando os condensadores ajustáveis. Noutra subsecção deste capítulo serão abordados em detalhe os condensadores ajustáveis.

Cada conversor de 1 bit, à exceção do responsável pela resolução do MSB, é realimentado pelo bit resultante do conversor responsável pela resolução do bit mais significativo a seguir ao seu. Ou seja, a saída do conversor responsável por resolver o MSB tem influência no conversor responsável pela resolução do MSB-1, a saída do conversor responsável por MSB-1 entra no conversor responsável por resolver MSB-2 e assim sucessivamente até chegar ao LSB. Desta forma, o conversor funciona como um SAR.

Para a conversão, o sinal começa por ser amostrado ligado às placas superiores dos condensadores, enquanto  $V_{CM}$  é injetado nas placas inferiores. Seguidamente, o sinal é desconetado, permanecendo constante a tensão nos condensadores devido ao princípio da conservação de carga. Efetua-se, assim, a comparação entre o ramo superior e o ramo inferior  $V_{x,i}^+$  e  $V_{x,i}^-$ , em que  $i=0, \dots, N-1$ . Como tal, revela-se impreterível determinar as expressões das tensões de entrada

que cada comparador recebe, de forma a determinar se o bit que coloca à sua saída é o bit “0”, ou o bit “1”.

- **Bit 0** - começando pelo MSB, que é o primeiro bit a ser resolvido para cada amostra do sinal de entrada. A Tabela 4.1 apresenta as equações da variação de carga de cada condensador, para cada uma das duas fases a que os interruptores operam.

Tabela 5.1 – Equações da conservação de carga nas duas fases para o comparador do MSB (Bit 0).

	$\theta_1$	$\theta_2$
$Q_{C1,0}^+$	$(V_{in}^+ - V_{CM}) * C_{1p,0}$	$(V_{X0}^+ - V_{Ref}) * C_{1p,0}$
$Q_{C1,0}^-$	$(V_{in}^- - V_{CM}) * C_{1n,0}$	$(V_{X0}^- - V_{Ref}) * C_{1n,0}$

Pelo princípio do equilíbrio de carga, vem então para o ramo superior do comparador que decide o bit 0, que

$$Q_{C1,0}^{\theta_2^+} = Q_{C1,0}^{\theta_1^+} \quad \text{Eq.5.1}$$

$$(V_{in}^+ - V_{CM}) * C_{1p,0} = (V_{X0}^+ - V_{Ref}) * C_{1p,0} \quad \text{Eq.5.2}$$

$$V_{X0}^+ = V_{in}^+ - V_{CM} + V_{Ref} \quad \text{Eq.5.3}$$

e para o ramo inferior deste comparador, vem que

$$Q_{C1,0}^{\theta_2^-} = Q_{C1,0}^{\theta_1^-} \quad \text{Eq.5.4}$$

$$(V_{in}^- - V_{CM}) * C_{1n,0} = (V_{X0}^- - V_{Ref}) * C_{1n,0} \quad \text{Eq.5.5}$$

$$V_{X0}^- = V_{in}^- - V_{CM} + V_{Ref} \quad \text{Eq.5.6}$$

de seguida, caso  $V_{X0}^+ > V_{X0}^-$ , então o comparador coloca à sua saída o bit “1”, caso contrário ( $V_{X0}^+ \leq V_{X0}^-$ ), resulta da comparação o bit “0”. Pelas Eq.5.3 e Eq5.6 fica evidente que não é necessário um DAC para a extração do MSB, uma vez que a sua extração resulta do circuito de amostragem-e-retenção (S/H).

- **Bit 1** - Estando o MSB resolvido, o conversor passa para a resolução do MSB-1 (bit 1). A Tabela 4.2 apresenta a variação de carga dos condensadores ( $C_{1p,1}$ ,  $C_{2p,1}$ ,  $C_{1n,1}$  e  $C_{2n,1}$ ), para cada uma das duas fases ( $\theta_1$  e  $\theta_2$ ), a que os interruptores operam.

Tabela 5.2 – Equações da conservação de carga nas duas fases para o comparador do MSB-1 (bit 1).

	$\theta_1$	$\theta_2$
$Q_{C1}^+$	$(V_{in}^+ - V_{CM}) * C_{1p,1}$	$(V_{X1}^+ - V_{CM}) * C_{1p,1}$
$Q_{C2}^+$	$(V_{in}^+ - V_{CM}) * C_{2p,1}$	$(V_{X1}^+ - \bar{b}_0 V_{Ref}) * C_{2p,1}$
$Q_{C1}^-$	$(V_{in}^- - V_{CM}) * C_{1n,1}$	$(V_{X1}^- - V_{Ref}) * C_{1n,1}$
$Q_{C2}^-$	$(V_{in}^- - V_{CM}) * C_{2n,1}$	$(V_{X1}^- - b_0 V_{Ref}) * C_{2n,1}$

Pelo princípio do equilíbrio de carga, vem então que para o ramo superior do comparador que decide o bit 1,

$$Q_{C1,1}^{\theta_2^+} + Q_{C2,1}^{\theta_2^+} = Q_{C1,1}^{\theta_1^+} + Q_{C2,1}^{\theta_1^+} \quad \text{Eq.5.7}$$

$$(V_{in}^+ - V_{CM}) * C_{1p,1} + (V_{in}^+ - V_{CM}) * C_{2p,1} = (V_{X1}^+ - V_{CM}) * C_{1p,1} + (V_{X1}^+ - \bar{b}_0 V_{Ref}) * C_{2p,1} \quad \text{Eq.5.8}$$

$$V_{X1}^+ = V_{in}^+ - V_{CM} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} + \bar{b}_0 V_{Ref} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} \quad \text{Eq.5.9}$$

para o ramo inferior deste comparador, vem que

$$Q_{C1,1}^{\theta_2^-} + Q_{C2,1}^{\theta_2^-} = Q_{C1,1}^{\theta_1^-} + Q_{C2,1}^{\theta_1^-} \quad \text{Eq.5.10}$$

$$(V_{in}^- - V_{CM}) * C_{1n,1} + (V_{in}^- - V_{CM}) * C_{2n,1} = (V_{X1}^- - V_{CM}) * C_{1n,1} + (V_{X1}^- - b_0 V_{Ref}) * C_{2n,1} \quad \text{Eq.5.11}$$

$$V_{X1}^- = V_{in}^- - V_{CM} \frac{C_{2n,1}}{C_{1n,1} + C_{2n,1}} + b_0 V_{Ref} \frac{C_{2n,1}}{C_{1n,1} + C_{2n,1}} \quad \text{Eq.5.12}$$

imediatamente de seguida, caso  $V_{X1}^+ > V_{X1}^-$ , então o comparador coloca à sua saída o bit “1”, caso contrário ( $V_{X1}^+ \leq V_{X1}^-$ ), resulta da comparação o bit “0”.

- **Bit 2** – resolvido o MSB-1, o conversor passa para a resolução do MSB-2 (bit 2). A Tabela 4.3 apresenta a variação de carga dos seis condensadores  $C_{1p,2}$ ,  $C_{2p,2}$ ,  $C_{3p,2}$ ,  $C_{1n,2}$ ,  $C_{2n,2}$  e  $C_{3n,2}$  para a fase 1,  $\theta_1$ , e para a fase 2,  $\theta_2$ , a que os interruptores operam.

Tabela 5.3 – Equações da conservação de carga nas duas fases para o comparador do MSB-2 (bit 2).

	$\theta_1$	$\theta_2$
$Q_{C1}^+$	$(V_{in}^+ - V_{CM}) * C_{1p,2}$	$(V_{X2}^+ - V_{CM}) * C_{1p,2}$
$Q_{C2}^+$	$(V_{in}^+ - V_{CM}) * C_{2p,2}$	$(V_{X2}^+ - \bar{b}_1 V_{Ref}) * C_{2p,2}$
$Q_{C3}^+$	$(V_{in}^+ - V_{CM}) * C_{3p,2}$	$(V_{X2}^+ - \bar{b}_0 V_{Ref}) * C_{3p,2}$
$Q_{C1}^-$	$(V_{in}^- - V_{CM}) * C_{1n,2}$	$(V_{X2}^- - V_{Ref}) * C_{1n,2}$
$Q_{C2}^-$	$(V_{in}^- - V_{CM}) * C_{2n,2}$	$(V_{X2}^- - b_1 V_{Ref}) * C_{2n,2}$
$Q_{C3}^-$	$(V_{in}^- - V_{CM}) * C_{3n,2}$	$(V_{X2}^- - b_0 V_{Ref}) * C_{3n,2}$

Novamente pelo princípio do equilíbrio de carga, vem então que para o ramo superior do comparador que decide o bit 2,

$$Q_{C1,2}^{\theta_2^+} + Q_{C2,2}^{\theta_2^+} + Q_{C3,2}^{\theta_2^+} = Q_{C1,2}^{\theta_1^+} + Q_{C2,2}^{\theta_1^+} + Q_{C3,2}^{\theta_1^+} \quad \text{Eq.5.13}$$

$$\begin{aligned} & (V_{X2}^+ - V_{CM}) * C_{1p,2} + (V_{X2}^+ - \bar{b}_1 V_{Ref}) * C_{2p,2} + (V_{X2}^+ - \bar{b}_0 V_{Ref}) * C_{3p,2} = \\ & = (V_{in}^+ - V_{CM}) * C_{1p,2} + (V_{in}^+ - V_{CM}) * C_{2p,2} + (V_{in}^+ - V_{CM}) * C_{3p,2} \end{aligned} \quad \text{Eq.5.14}$$

$$V_{X2}^+ = V_{in}^+ - V_{CM} \frac{C_{2p,2} + C_{3p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} + \bar{b}_1 V_{Ref} \frac{C_{2p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} + \bar{b}_0 V_{Ref} \frac{C_{3p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} \quad \text{Eq.5.15}$$

para o ramo inferior deste comparador, vem que

$$Q_{C1,2}^{\theta_2^-} + Q_{C2,2}^{\theta_2^-} + Q_{C3,2}^{\theta_2^-} = Q_{C1,2}^{\theta_1^-} + Q_{C2,2}^{\theta_1^-} + Q_{C3,2}^{\theta_1^-} \quad \text{Eq.5.16}$$

$$\begin{aligned} & (V_{X2}^- - V_{CM}) * C_{1n,2} + (V_{X2}^- - \bar{b}_1 V_{Ref}) * C_{2n,2} + (V_{X2}^- - \bar{b}_0 V_{Ref}) * C_{3n,2} = \\ & = (V_{in}^- - V_{CM}) * C_{1n,2} + (V_{in}^- - V_{CM}) * C_{2n,2} + (V_{in}^- - V_{CM}) * C_{3n,2} \end{aligned} \quad \text{Eq.5.17}$$

$$V_{X2}^- = V_{in}^- - V_{CM} \frac{C_{2n,2} + C_{3n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} + \bar{b}_1 V_{Ref} \frac{C_{2n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} + \bar{b}_0 V_{Ref} \frac{C_{3n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} \quad \text{Eq.5.18}$$

conhecendo  $V_{X2}^+$  e  $V_{X2}^-$ , este comparador verifica se  $V_{X2}^+ > V_{X2}^-$ , caso a condição seja verificada, então coloca à sua saída o bit "1", caso contrário ( $V_{X2}^+ \leq V_{X2}^-$ ), resulta da comparação o bit "0".

- **Bit 3** - por fim, estando os restantes bits resolvidos, o conversor passa para a resolução do LSB (bit 3). A Tabela 4.4 apresenta a variação de carga dos condensadores  $C_{1p,3}$ ,  $C_{2p,3}$ ,  $C_{3p,3}$ ,  $C_{4p,3}$ ,  $C_{1n,3}$ ,  $C_{2n,3}$ ,  $C_{3n,3}$  e  $C_{4n,3}$  para a fase 1,  $\theta_1$ , e para a fase 2,  $\theta_2$ , a que os interruptores operam.

Tabela 5.4 - Equações da conservação de carga nas duas fases para o comparador do LSB (bit 3).

	$\theta_1$	$\theta_2$
$Q_{C1}^+$	$(V_{in}^+ - V_{CM}) * C_{1p,3}$	$(V_{X3}^+ - V_{CM}) * C_{1p,3}$
$Q_{C2}^+$	$(V_{in}^+ - V_{CM}) * C_{2p,3}$	$(V_{X3}^+ - \bar{b}_2 V_{Ref}) * C_{2p,3}$
$Q_{C3}^+$	$(V_{in}^+ - V_{CM}) * C_{3p,3}$	$(V_{X3}^+ - \bar{b}_1 V_{Ref}) * C_{3p,3}$
$Q_{C4}^+$	$(V_{in}^+ - V_{CM}) * C_{4p,3}$	$(V_{X3}^+ - \bar{b}_0 V_{Ref}) * C_{4p,3}$
$Q_{C1}^-$	$(V_{in}^- - V_{CM}) * C_{1n,3}$	$(V_{X3}^- - V_{Ref}) * C_{1n,3}$
$Q_{C2}^-$	$(V_{in}^- - V_{CM}) * C_{2n,3}$	$(V_{X3}^- - b_2 V_{Ref}) * C_{2n,3}$
$Q_{C3}^-$	$(V_{in}^- - V_{CM}) * C_{3n,3}$	$(V_{X3}^- - b_1 V_{Ref}) * C_{3n,3}$
$Q_{C4}^-$	$(V_{in}^- - V_{CM}) * C_{4n,3}$	$(V_{X3}^- - \bar{b}_0 V_{Ref}) * C_{4n,3}$

Mais uma vez, pelo princípio do equilíbrio de carga, vem então que a tensão para o ramo superior do comparador que decide o bit 3 (LSB),

$$Q_{C1,3}^{\theta_2^+} + Q_{C2,3}^{\theta_2^+} + Q_{C3,3}^{\theta_2^+} + Q_{C4,3}^{\theta_2^+} = Q_{C1,3}^{\theta_1^+} + Q_{C2,3}^{\theta_1^+} + Q_{C3,3}^{\theta_1^+} + Q_{C4,3}^{\theta_1^+} \quad \text{Eq.5.19}$$

$$(V_{X3}^+ - V_{CM}) * C_{1p,3} + (V_{X3}^+ - \bar{b}_2 V_{Ref}) * C_{2p,3} + (V_{X3}^+ - \bar{b}_1 V_{Ref}) * C_{3p,3} + (V_{X3}^+ - \bar{b}_0 V_{Ref}) * C_{4p,3} = (V_{in}^+ - V_{CM}) * C_{1p,3} + (V_{in}^+ - V_{CM}) * C_{2p,3} + (V_{in}^+ - V_{CM}) * C_{3p,3} + (V_{in}^+ - V_{CM}) * C_{4p,3} \quad \text{Eq.5.20}$$

$$V_{X3}^+ = V_{in}^+ - V_{CM} \frac{C_{2p,3} + C_{3p,3} + C_{4p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \bar{b}_2 V_{Ref} \frac{C_{2p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \bar{b}_1 V_{Ref} \frac{C_{3p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \bar{b}_0 V_{Ref} \frac{C_{4p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} \quad \text{Eq.5.21}$$

para o ramo inferior deste comparador, vem que

$$Q_{C1,3}^{\theta_2^-} + Q_{C2,3}^{\theta_2^-} + Q_{C3,3}^{\theta_2^-} + Q_{C4,3}^{\theta_2^-} = Q_{C1,3}^{\theta_1^-} + Q_{C2,3}^{\theta_1^-} + Q_{C3,3}^{\theta_1^-} + Q_{C4,3}^{\theta_1^-} \quad \text{Eq.5.22}$$

$$(V_{X3}^- - V_{CM}) * C_{1n,3} + (V_{X3}^- - \bar{b}_2 V_{Ref}) * C_{2n,3} + (V_{X3}^- - \bar{b}_1 V_{Ref}) * C_{3n,3} + (V_{X3}^- - \bar{b}_0 V_{Ref}) * C_{4n,3} = (V_{in}^- - V_{CM}) * C_{1n,3} + (V_{in}^- - V_{CM}) * C_{2n,3} + (V_{in}^- - V_{CM}) * C_{3n,3} + (V_{in}^- - V_{CM}) * C_{4n,3} \quad \text{Eq.5.23}$$

$$V_{X3}^- = V_{in}^- - V_{CM} \frac{C_{2n,3} + C_{3n,3} + C_{4n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + \bar{b}_2 V_{Ref} \frac{C_{2n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + \bar{b}_1 V_{Ref} \frac{C_{3n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + \bar{b}_0 V_{Ref} \frac{C_{4n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} \quad \text{Eq.5.24}$$

Por fim, estando o LSB resolvido, o conversor conclui a conversão de uma amostra e todo este processo é repetido para as seguintes amostras do sinal de entrada.

### 5.3. Condensadores ajustáveis

Para modelar o conversor A/D pretendido em software *Matlab*, é necessário ter em conta os condensadores ajustáveis,  $Ca_{xi}^{\pm}$ , no cálculo das tensões de entrada dos comparadores. Estes condensadores são codificados por um DAC de 7 bits, isto é, condensadores variáveis cujo valor da capacidade é programável digitalmente através de uma palavra digital de 7 bits, e como o conversor implementado tem uma resolução de 4 bits, resulta o coeficiente apresentado pela Eq.5.25

$$\frac{1}{2^7} \times \frac{1}{2^4} = \frac{1}{128} \times \frac{1}{16} = \frac{1}{2048} \quad \text{Eq.5.25}$$

como tal, com base na Eq.5.1 à Eq.5.24 e 5.25, acrescentou-se uma parcela:

- no ramo superior, ( $V_{Xi}^+$ ):  $+ V_{Ref} \times \frac{1}{2048} \times Ca_{xi}^+$ ;

- no ramo inferior, ( $V_{Xi}^-$ ):  $- V_{Ref} \times \frac{1}{2048} \times Ca_{xi}^-$ ;

Assim, as equações das tensões de entrada nos comparadores implementadas no software *Matlab* foram:

- para o **bit 0** (MSB):

$$\bullet V_{X0}^+ = V_{in}^+ - V_{CM} + V_{Ref} + V_{Ref} \frac{1}{2048} Ca_{x0}^+ \quad \text{Eq.5.26}$$

$$\bullet V_{X0}^- = V_{in}^- - V_{CM} + V_{Ref} - V_{Ref} \times \frac{1}{2048} \times Ca_{x0}^- \quad \text{Eq.5.27}$$

- para o **bit 1**:

$$\bullet V_{X1}^+ = V_{in}^+ - V_{CM} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} + \bar{b}_0 V_{Ref} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} + V_{Ref} \frac{1}{2048} Ca_{x1}^+ \quad \text{Eq.5.28}$$

$$\bullet V_{X1}^- = V_{in}^- - V_{CM} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} + b_0 V_{Ref} \frac{C_{2p,1}}{C_{1p,1} + C_{2p,1}} - V_{Ref} \frac{1}{2048} Ca_{x1}^- \quad \text{Eq.5.29}$$

- para o **bit 2**:

$$\bullet V_{X2}^+ = V_{in}^+ - V_{CM} \frac{C_{2p,2} + C_{3p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} + \bar{b}_1 V_{Ref} \frac{C_{2p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} + \bar{b}_0 V_{Ref} \frac{C_{3p,2}}{C_{1p,2} + C_{2p,2} + C_{3p,2}} + V_{Ref} \frac{1}{2048} Ca_{x2}^+ \quad \text{Eq.5.30}$$

$$\bullet V_{X2}^- = V_{in}^- - V_{CM} \frac{C_{2n,2} + C_{3n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} + b_1 V_{Ref} \frac{C_{2n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} + b_0 V_{Ref} \frac{C_{3n,2}}{C_{1n,2} + C_{2n,2} + C_{3n,2}} - V_{Ref} \frac{1}{2048} Ca_{x2}^- \quad \text{Eq.5.31}$$

- para o **bit 3** (LSB):

$$\begin{aligned}
 \bullet \quad V_{X3}^+ &= V_{in}^+ - V_{CM} \frac{C_{2p,3} + C_{3p,3} + C_{4p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \\
 &\bar{b}_2 V_{Ref} \frac{C_{2p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \bar{b}_1 V_{Ref} \frac{C_{3p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + \\
 &\bar{b}_0 V_{Ref} \frac{C_{4p,3}}{C_{1p,3} + C_{2p,3} + C_{3p,3} + C_{4p,3}} + V_{Ref} \frac{1}{2048} C a_{x3}^+ \quad \text{Eq.5.32}
 \end{aligned}$$

$$\begin{aligned}
 \bullet \quad V_{X3}^- &= V_{in}^- - V_{CM} \frac{C_{2n,3} + C_{3n,3} + C_{4n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + \\
 &b_2 V_{Ref} \frac{C_{2n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + b_1 V_{Ref} \frac{C_{3n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} + \\
 &b_0 V_{Ref} \frac{C_{4n,3}}{C_{1n,3} + C_{2n,3} + C_{3n,3} + C_{4n,3}} - V_{Ref} \frac{1}{2048} C a_{x3}^- \quad \text{Eq.5.33}
 \end{aligned}$$

De notar, que pelas equações Eq.5.26 e Eq.5.27, o bit mais significativo (MSB) é, de facto, extraído pelo circuito de amostragem (S/H). Servindo os condensadores variáveis para a correção de erros.

#### 5.4. Sinal de entrada

Para a modelação do conversor analógico-digital considerou-se à entrada um sinal de rampa com tensão de 1 V<sub>p-p</sub>, como mostra a Figura 5.2. A este sinal foi acrescentado ruído térmico. Para a modelação do ruído térmico recorreu-se a uma distribuição normal com desvio padrão de 1 mV em torno de 0 V.

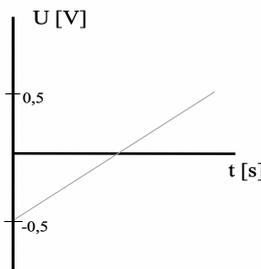


Figura 5.2 - gráfico do sinal de rampa modelado.

## 5.5. DACs

Na arquitetura implementada, como mostra a Figura 5.1, recorreu-se à técnica de condensadores comutados para a resolução e implementação dos DACs. Neste conversor, os condensadores comutados são controlados por três interruptores, que se conectam a  $V_{CM}$ ,  $V_{Ref}$  e a  $V_{SS} = \text{Gnd} = 0 \text{ V}$ . Estes três interruptores são controlados por,  $\theta_1$ ,  $b_{i-1}\theta_2$  e  $\bar{b}_{i-1}\theta_2$ , respetivamente. Todos os condensadores ligados ao nó  $V_{xp,i}$  de um comparador são independentes de todos os condensadores ligados ao nó  $V_{xn,i}$  do comparador que resolve o bit  $i$ . Desta forma, também todos os condensadores que contribuem para a tensão de entrada num dos comparadores, são independentes dos restantes condensadores da arquitetura. A resolução dos DACs deste SAR ADC de arquitetura desenrolada com múltiplos DACs de 4 bits, varia consoante a significância do bit resolvido pelo respetivo comparador. Ou seja, para o MSB-1 é necessário um DAC com resolução de 1 bit, enquanto para o LSB é necessário um DAC com resolução de 3 bits. Pelo que, esta arquitetura permite um aumento de 30% da velocidade de conversão, [23], face à arquitetura convencional SAR ADC.

Nesta arquitetura optou-se por uma capacidade unitária,  $C_u$ , de 100 fF. Para se modelar os condensadores de forma a que se aproximem ao máximo do seu comportamento real, ou seja, para que estes produzam erros de emparelhamento introduzido, os condensadores dos DACs foram modelados como uma distribuição normal, com desvio padrão de 5% em torno de  $C_u$ .

## 5.6. Comparadores

Na arquitetura apresentada, como mostra a Figura 5.1, cada comparador resolve um bit. Para um comparador resolver um bit, então todos os bits de significância maior já foram resolvidos pelos respetivos comparadores. Desta forma, tal como nos SAR ADCs de arquitetura desenrolada, os comparadores não esperam pelo *settling* do comparador que resolveu o bit anterior. Para se modelarem

corretamente os comparadores de forma a que se aproximem ao máximo do seu comportamento real, ou seja, para que possuam erros de desvio de tensão do "0", a tensão que entra nos comparadores é comparada com um valor que resulta de uma distribuição normal, com desvio padrão de 2 % em torno de 0 V. Para a implementação dos comparadores e por uma questão de simplicidade de projeto optou-se por um circuito inteiramente digital, tal como mostra a Figura 5.3.

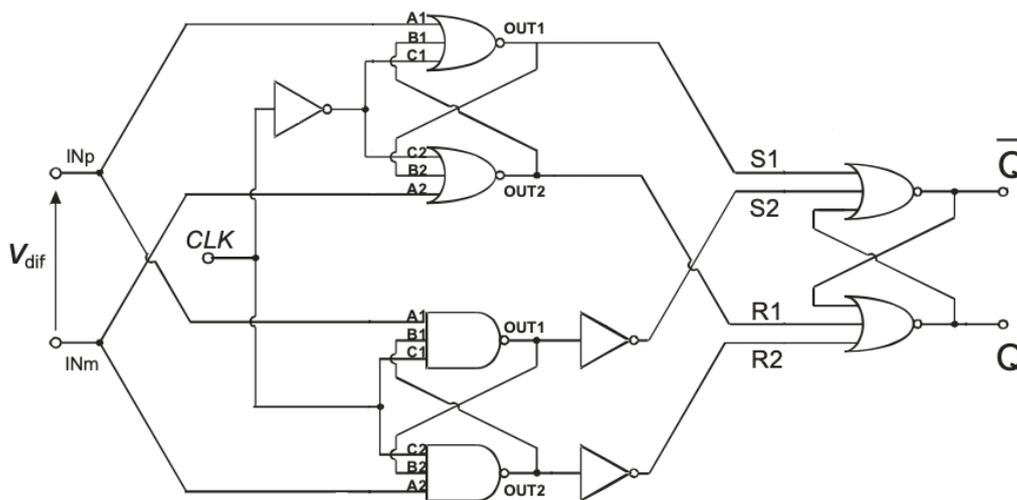


Figura 5.3 - Circuito digital utilizado para implementação dos comparadores.

## 5.7. Treino da rede neuronal

O ajuste dos condensadores variáveis, consiste no treino da rede neuronal de Hopfield. O algoritmo de treino (PSO), foi o método implementado no bloco responsável pelo ajuste dos condensadores variáveis. Optou-se por este algoritmo pela sua simplicidade de implementação, por ser multiobjectivo e pelo contexto, que se enquadra num problema de otimização. Existe um conjunto de variáveis que são controladas pelo algoritmo – os oito condensadores ajustáveis, que são manipuladas com o intuito de minimizar os erros de conversão. Estas oito variáveis são os oito pesos da rede neuronal de Hopfield.

Na implementação do algoritmo considerou-se como funções objetivo as Eq.5.26 à Eq.5.33. Para função de custo, considerou-se o erro quadrático mínimo, apresentado na Eq.5.34.

$$MSE = \frac{1}{n} \sum_{i=1}^n (Y_i - \hat{Y}_i)^2 \quad \text{Eq.5.34}$$

Em que  $n$ , representa o número total de amostras,  $i$ , representa o índice da amostra,  $Y$ , representa o código digital de saída observado,  $\hat{Y}$ , representa o código digital de saída pretendido - do conjunto de treino. A Tabela 4.5 mostra os valores das variáveis de inicialização do PSO, definidos de forma empírica.

Tabela 5.5 – Parâmetros de inicialização e respetivos valores do PSO.

Parâmetro/Variável	Valor
<b>Nº de iterações</b>	150
<b>População</b>	90
<b>Coefficiente de inércia, <math>w</math></b>	1
$C_1$	0,1
$C_2$	0,1

## 5.8. Sumário

Baseado no SAR ADC e no ADC de Hopfield, neste capítulo foi apresentado um conversor A/D de 4 bits composto por elementos passivos e reativos, inovador, com correção digital de erros e com um incremento na velocidade de conversão, face ao SAR ADC convencional.

O conversor proposto, apesar de apresentar uma resolução que não tem aplicação em dispositivos reais, cumpre o seu propósito académico e pode facilmente ser aumentada a sua resolução.

Todo o processo de funcionamento do conversor foi apresentado detalhadamente, bem como todas as opções de modelação do projeto.



# 6

## 6. Apresentação e análise de resultados

Neste capítulo refiro-me ao desempenho do conversor de arquitetura desenrolada SAR ADC com múltiplos DACs apresentado no capítulo 6. Para estudar o desempenho do conversor serão analisados os resultados de linearidade, tendo em consideração o ruído térmico, os erros da tensão de desvio dos comparadores e os erros de emparelhamento dos condensadores. É ainda apresentada uma análise aos custos de hardware do conversor.

### 6.1. Linearidade e correção de erros

Para o estudo da linearidade do conversor de arquitetura desenrolada SAR ADC com múltiplos DACs, de 4 bits, foram obtidas as funções de transferência, bem como os erros de INL e de DNL do conversor antes e depois do ajuste dos condensadores variáveis. Para a obtenção destas características, o conversor foi simulado no software *Matlab*, tendo em conta erros estáticos de emparelhamento de 5 % nos condensadores dos DACs, erros da tensão de desvio dos comparadores de 2 % e um erro aleatório de 0,1 % no sinal de entrada, que modela o efeito do ruído térmico. Para um melhor estudo da capacidade de o conversor corrigir erros que influenciam a sua linearidade, são analisados primeiramente os resultados antes do ajuste dos condensadores variáveis e depois, submetendo o

conversor exatamente às mesmas condições, são analisados os resultados com os condensadores variáveis já ajustados. Distribuições normais com média nula foram utilizadas na geração, quer dos erros estáticos, quer do ruído.

### 6.1.1. Pré-treino

Numa fase antes do ajuste dos condensadores variáveis o circuito foi simulado sem ter em conta os condensadores variáveis. A Figura 6.1 mostra a função transferência obtida nestas condições.

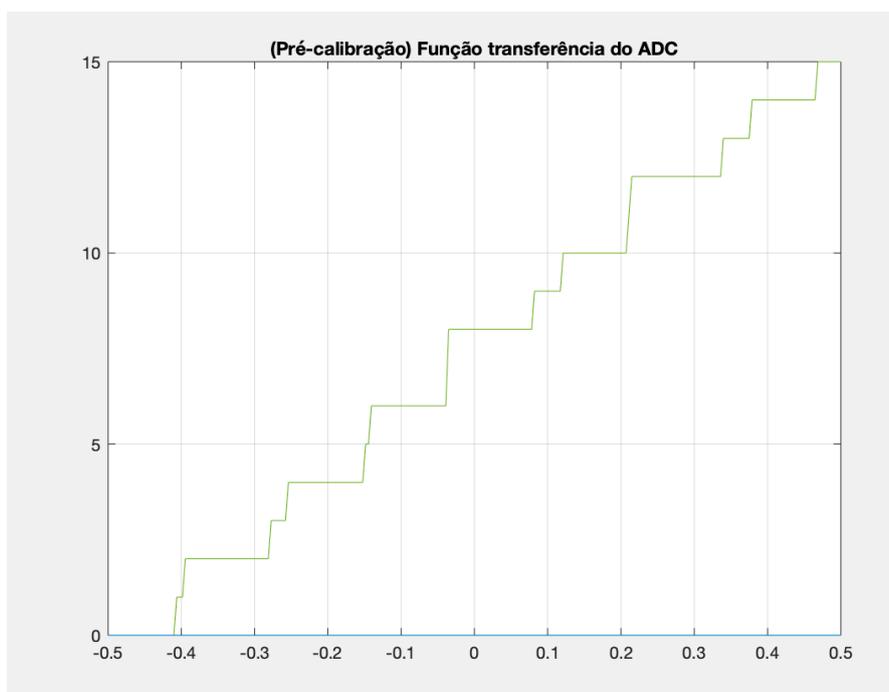


Figura 6.1 – Função transferência do ADC de Hopfield proposto antes do ajuste dos condensadores variáveis.

Como se pode verificar pela Figura 6.1, existe discrepância entre a função transferência do ADC e uma função de transferência ideal de um ADC com 4 bits de resolução. Desta forma, é evidente que há erros de conversão. A Figura 6.2 permite aferir qual a influência dos erros de conversão detetados na Figura 6.1, na linearidade estática do conversor.

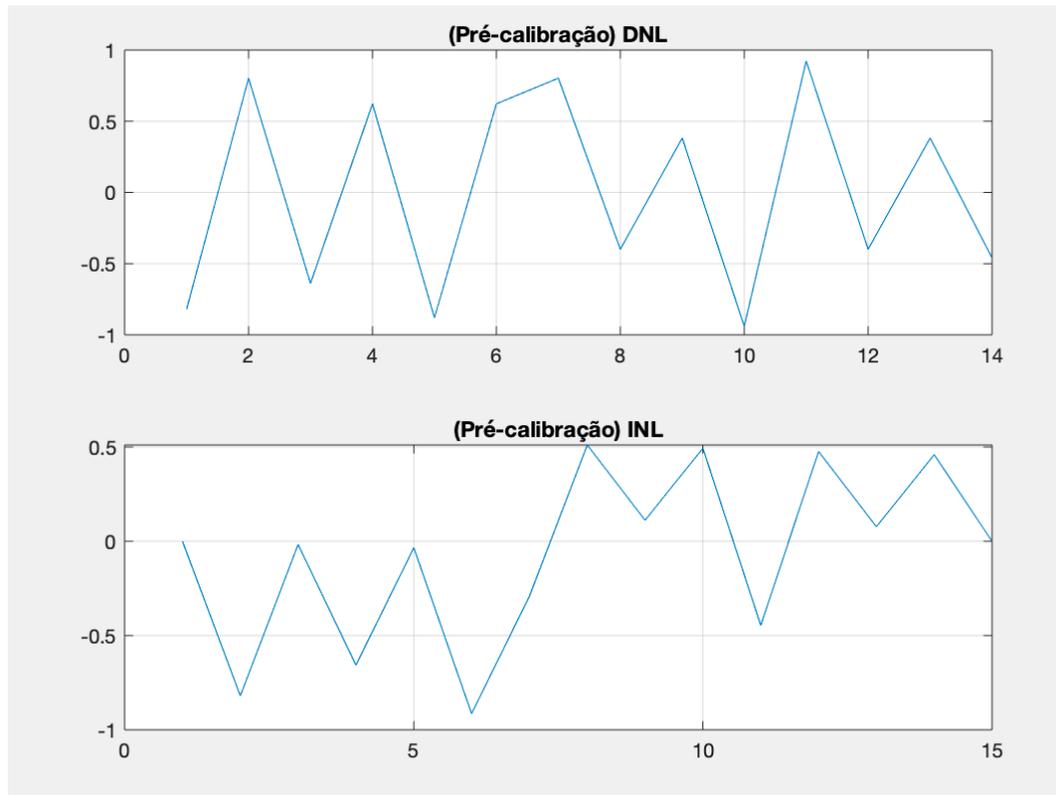


Figura 6.2 – DNL (cima) e INL (baixo) do ADC antes do ajuste dos condensadores variáveis.

A Figura 6.2 mostra que as variações dos erros de DNL (do inglês, “*Differential Non-Linearity*”) em função do código de saída – gráfico acima, como as variações dos erros de INL (do inglês, “*Integral Non-Linearity*”) em função do código de saída – gráfico abaixo, não estão balizadas entre  $\pm 0,5$  LSB. Assim, a linearidade estática do conversor não é compatível com a sua resolução. Ou seja, os erros de conversão detetados na Figura 6.1 afetam severamente a linearidade do conversor.

### 6.1.2. Pós-treino

Na fase após o ajuste dos condensadores variáveis o circuito foi simulado tendo em conta exatamente o mesmo ruído térmico, mesmos erros da tensão de desvio dos comparadores e os mesmos erros de emparelhamento dos condensadores dos DACs que em 6.1.2. A Figura 6.3 mostra a função transferência do conversor nas condições descritas.

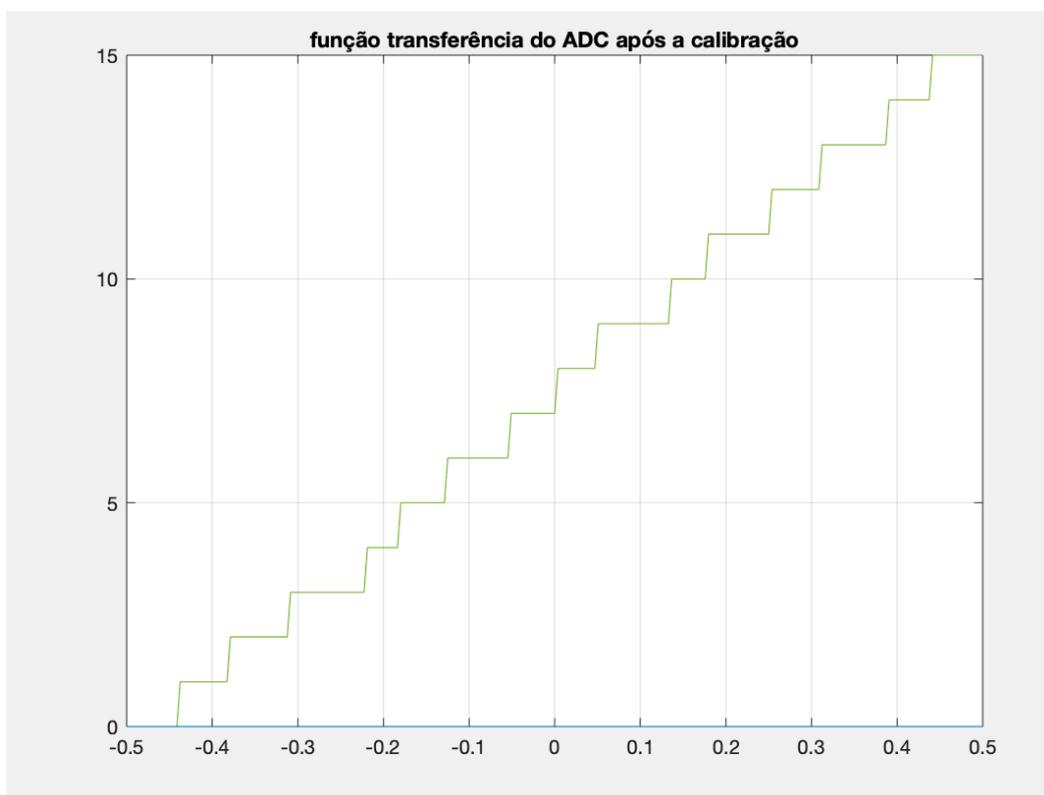


Figura 6.3 - Função transferência do ADC de Hopfield proposto com os condensadores variáveis ajustados.

Pela Figura 6.2 compreende-se que a função transferência obtida não é ideal e verificam-se alguns erros de conversão, no entanto esses erros não são significativos e não ocorre a perda de códigos (*missing codes*). A Figura 6.4 permite aferir qual a influência dos erros de conversão detetados na Figura 6.3, na linearidade estática do conversor.

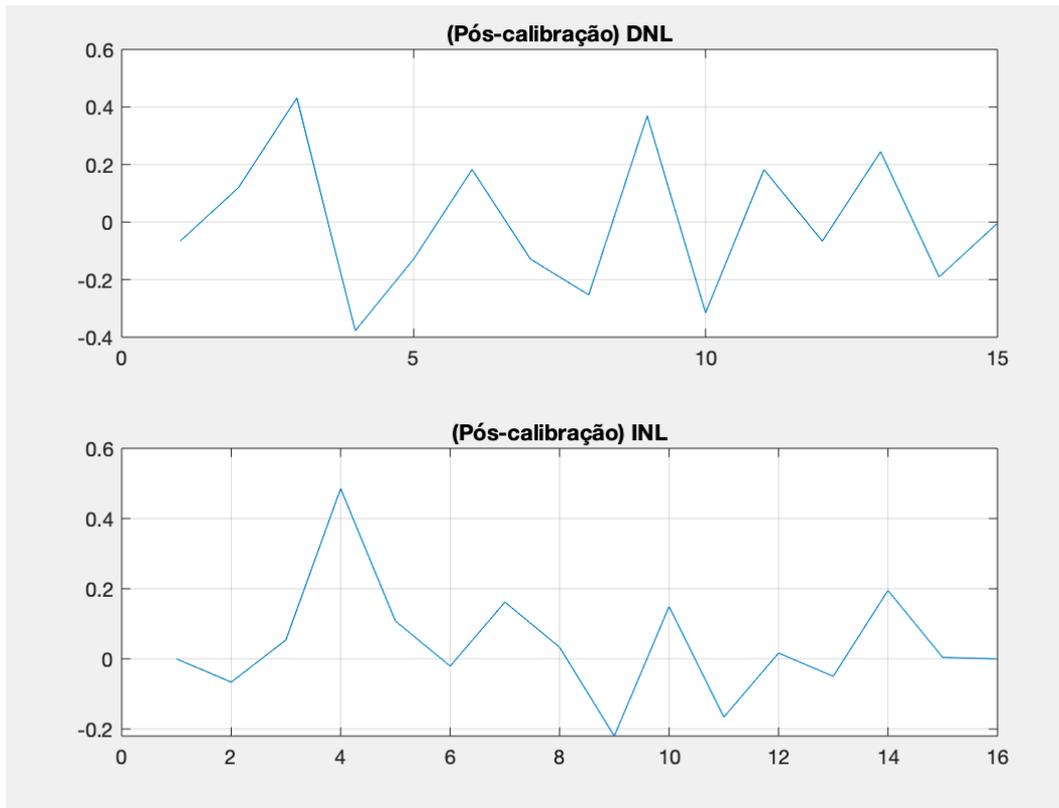


Figura 6.4 - DNL (acima) e INL (abaixo) do ADC com os condensadores variáveis ajustados.

A Figura 6.4 mostra que tanto a variação da DNL em função do código de saída – gráfico acima, como a variação da INL em função do código de saída – gráfico de abaixo, encontram-se balizadas entre  $\pm 0,5$  LSB. Como tal, verifica-se que a linearidade estática do conversor após o ajuste dos condensadores variáveis já é compatível com os seus 4 bits resolução. Assim, apesar dos erros de conversão detetados na Figura 6.3 o conversor fica linear após o treino da rede.

### 6.1.3. Comparação de resultados

Em 6.1.1., verifica-se que os desacertos de conversão causados pelo ruído térmico, pela tensão de desvio dos comparadores e pelos erros de emparelhamento dos condensadores, são suficientes para que a linearidade estática do conversor não seja compatível com a sua resolução. Em 6.1.2, verifica-se que o conversor proposto no capítulo 5 é robusto ao ruído térmico, à tensão de desvio dos comparadores e aos erros de emparelhamento dos condensadores, tendo a capacidade de corrigir erros de conversão, até que a sua linearidade de conversão seja compatível com os seus 4 bits de resolução.

## 6.2. Custos de hardware

A Tabela 6.1, em que,  $N$ , representa o número de bits, apresenta o número de elementos passivos e reativos num SAR ADC síncrono, num SAR ADC de arquitetura desenrolada e num circuito que segue a arquitetura proposta no capítulo 5 da presente dissertação, num SAR ADC de arquitetura desenrolada com múltiplos DACs. Constata-se então, que a arquitetura SAR ADC desenrolada com múltiplos DACs resulta numa implementação com maior área física, do que a arquitetura SAR ADC síncrona e menor do que a SAR ADC desenrolada com múltiplos DACs.

Tabela 6.1 – número de elementos passivos e reativos.

$N = 4$ bits	SAR ADC síncrono (diferencial)	<i>Loop-Unrolled</i> SAR ADC (diferencial)	SAR ADC de arquitetura desenrolada com múltiplos DACs
Nº de condensadores unitários	16	32	40
Nº de comparadores	1	4	4

### 6.3. Comparador

O circuito elétrico dos comparadores do conversor proposto em 5, foi ainda simulado eletricamente no software *Cadence*. Simulou-se o comparador apresentado pelo circuito digital da Figura 5.3, com uma frequência de relógio,  $f_{CLK}$ , de 1 MHz. Para este circuito digital do comparador utilizou-se tecnologia CMOS de 130 nm. As dimensões dos transístores utilizados são apresentadas na Tabela 6.2, correspondendo  $L$  e  $W$  a comprimento e largura do canal, respetivamente. Para que os transístores NMOS (NMOS, do inglês, “*Negative-Channel Metal-Oxide Semiconductor*”) e PMOS (PMOS, do inglês, “*Positive-Channel Metal-Oxide Semiconductor*”) operem à mesma velocidade, então, revelou-se necessário o uso de transístores PMOS com o triplo da dimensão dos transístores NMOS, dado que os PMOS são cerca de 2 vezes mais lentos que os NMOS.

Tabela 6.2 - dimensões dos transístores dos circuitos digitais dos comparadores.

Transístor	L [nm]	W [nm]	Nº de <i>fingers</i>
NMOS	120	320	2
PMOS	120	960	2

A Figura 6.5 apresenta o resultado da simulação do comparador, em que:

- a roxo está representado o sinal constante de entrada (“INn”);
- a verde está representado o sinal de rampa de entrada (“INp”);
- a amarelo está representado o sinal de saída (“ $\bar{Q}$ ”);
- a azul está representado o sinal de relógio (“CLK”);

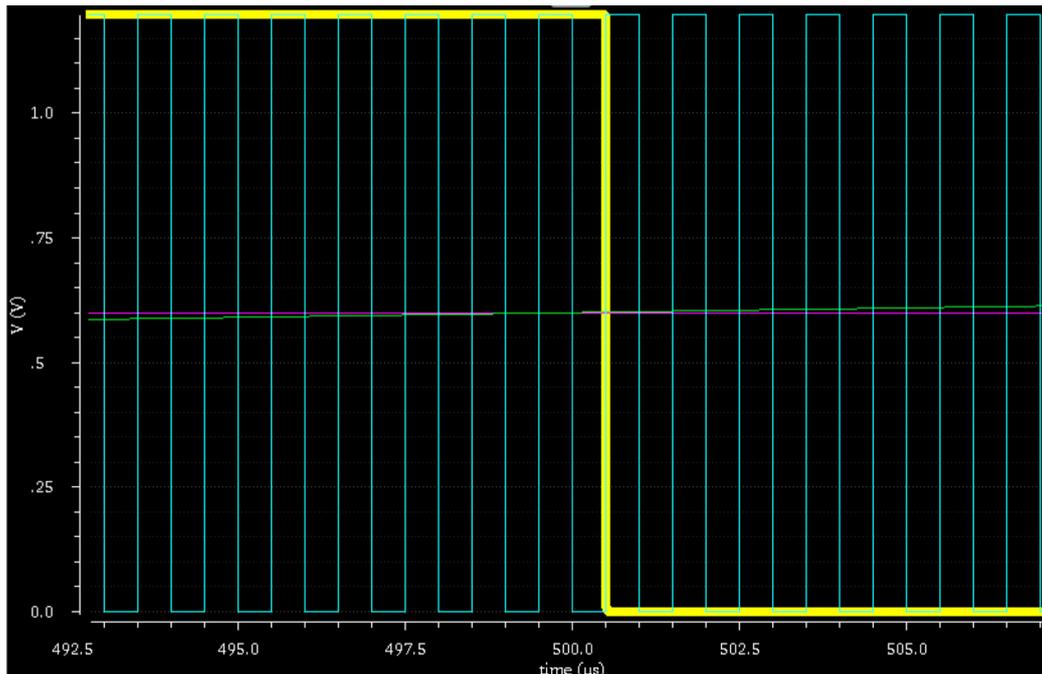


Figura 6.5 - gráfico da simulação transiente do comparador.

Como se pode ver Figura 6.5, o comparador comuta em aproximadamente 100 ps e apresenta um *offset* sistemático inferior a 5 mV. Em termos de consumo energético, verificou-se que este conversor consome uma corrente,  $i_{rms}$ , de 48,26  $\mu\text{A}$ , o que corresponde a uma potência dissipada,  $Pd_{rms}$ , de 57,91  $\mu\text{W}$ , quando comutado a uma frequência de 1 MHz.

De salientar que o conversor proposto poderia facilmente ser operado a uma frequência de 1 GHz, embora dissipando, neste caso, uma potência da ordem dos 58 mW, i.e. 100 vezes superior.

#### 6.4. Sumário

Neste capítulo foram apresentados os resultados da simulação de conversão do ADC proposto no capítulo 5. Tendo-se verificado a robustez do conversor aos erros que podem afetar a sua linearidade.

Foram também apresentados os resultados da simulação do circuito do comparador, ficando evidente as vantagens do circuito digital em termos de consumo energético e de precisão de conversão.



## 7. Conclusões e trabalho futuro

### 7.1. Conclusão

A presente dissertação de mestrado tem como objetivo a implementação e modelação de um conversor analógico-digital, com 4 bits de resolução, com calibração digital para correção de erros de conversão. O conversor proposto baseou-se noutras topologias de conversores analógico-digitais, tais como os SAR ADCs assíncronos e o ADC de Hopfield.

Em primeiro lugar procurei realizar uma revisão de literatura. A operação dos SAR ADCs convencionais e os SAR ADCs de arquitetura desenrolada, foi revista, bem como exemplos de implementação das mesmas. Os SAR ADCs de arquitetura desenrolada apresentam uma otimização do tempo de conversão, em relação aos SAR ADCs convencionais. No entanto, essa otimização implica o sacrifício de hardware.

Também a rede neuronal e o ADC de Hopfield foram revistos. Este conversor trouxe para o campo da eletrónica de conversores analógico-digitais, métodos de processamento matemático, utilizados para aquisição de conhecimento, tais como as redes neuronais. Apesar de ser uma arquitetura promissora, este conversor sofre do problema dos mínimos locais e como tal, foram apresentados vários exemplos da implementação desta arquitetura que visam ultrapassar o problema dos mínimos locais.

A revisão de literatura termina com algoritmos de otimização, tendo sido revisto em específico a otimização por enxame de partículas. Este algoritmo de

otimização multiobjectivo, apesar da sua simplicidade de compreensão e implementação, nem sempre alcança a solução ótima.

O trabalho empírico consistiu na modelação em *Matlab* de um conversor analógico digital SAR de arquitetura desenrolada com múltiplos DACs, com 4 bits de resolução.

A arquitetura proposta em 5, por ser desenrolada (1 comparador para cada bit) [21], e por ter desdobramento dos DACs, poderá ser até 60 % mais rápida a converter um sinal, do que os SAR ADCs convencionais. Ficou demonstrado que a linearidade do conversor é compatível com a sua resolução, mesmo com ruído térmico, erros de desvio de tensão dos comparadores e erros de emparelhamento dos condensadores dos DACs.

## 7.2. Trabalho futuro

O trabalho futuro consistirá em implementar eletricamente o circuito proposto em 5, mas com 8, 10 ou mesmo 12 bits de resolução.

Tendo este ADC sido estudado e treinado apenas para um sinal de rampa, seria importante submetê-lo a outro tipo de sinais, como por exemplo sinais sinusoidais, registando o desenvolvimento e limitações que venham a revelar-se.

## Referências

- [1] J. J. Hopfield, "Neural Networks and Physical Systems with Emergent Collective Computational Abilities," *Proceedings of the National Academy of Sciences of USA*, Vol. 79, No. 8, pp. 2554–2558, April 1982.
- [2] J. J. Hopfield, "Neurons with Graded Response Have Collective Computational Properties Like Those of Two-State Neurons," *Proceedings of the National Academy of Sciences of USA*, Vol. 81, No. 10, pp. 3088–3092, May 1984.
- [3] D. Tank and J. J. Hopfield, "Simple 'Neural' Optimization Networks: An A/D Converter, Signal Decision Circuit, and a Linear Programming Circuit," *IEEE Transactions on Circuits and Systems*, Vol. 33, No. 5, pp. 533–541, May 1986.
- [4] Shaolong Liu, "SAR ADCs Design and Calibration in Nano-scaled Technologies", August 2017.
- [5] Long Chen, Kareem Ragab, Xiyuan Tang, Jeonggoo Song and Arndam Sanyal, "A 0.95-mW 6-b 700-MS/s Single-Channel Loop-

Unrolled SAR ADC in 40-nm CMOS”, IEEE Transactions on Circuits and Systems, Vol. 64, No. 3, pp. 244-248, March 2017.

- [6] Kareem Ragab and Nan Sun, “A 1.4mW 8b 350MS/s Loop-Unrolled SAR ADC with Background Offset Calibration in 40nm CMOS”, IEEE Solid-State Circuits, pp. 417-420, October 2016.
- [7] Aigerim Tankimanova, Akshay Kumar Maan, and Alex Pappachen James, “Level-Shifted Neural Encoded Analog-to-Digital Converter”, January 2018.
- [9] X. Guo, F. Merrikh-Bayat, L. Gao, B. D. Hoskins, F. Alibart, B. Linares-Barranco, L. Theogarajan, C. Teuscher, and D. B. Strukov, “Modeling and experimental demonstration of a hopfield network analog-to-digital converter with hybrid cmos/memristor circuits,” *Frontiers in neuro-science*, vol. 9: 488, November 2015.
- [10] T. Jiang, W. Liu, F. Y. Zhong, C. Zhong, and P. Y. Chiang, “Single-channel, 1.25-GS/s, 6-bit, loop-unrolled asynchronous SAR-ADC in 40nm-CMOS,” in Proc. Cust. Integr. Circuits Conf. (CICC), 2010, pp. 1-4.
- [11] Samaneh Babayan Mashhadi, Seyed Hadi Nasrollahosseini, Hassan Sepehrian and Reza Lotfi Integrated Systems Lab., Department of Electrical Engineering, Ferdowsi University of Mashhad, Mashhad and I. R. Iran, “An Offset Cancellation Technique for Comparators Using Body-Voltage Trimming”, IEEE Analog Integrated Circuits and Signal Processing, Vol. 73, No. 3, pp. 273-276, June 2011.
- [12] W. Liu, P. Huang, and Y. Chiu, “A 12-bit, 45-MS/s, 3-mW redundant successive-approximation-register analog-to-digital converter with digital calibration,” IEEE J. Solid-State Circuits, vol. 46, no. 11, pp. 2661–2672, Nov. 2011.

- [13] W. Liu, P. Huang, and Y. Chiu, "A 12-bit 50-MS/s 3.3-mW SAR ADC with background digital calibration", in Proc. IEEE Cust. Integr. Circuits Conf. (CICC), Sep. 2012, pp. 1-4.
- [14] Jae-Hun Lee, Dasom Park, Woojin Cho, Huu Nhan Phan, Cong Luong Nguyen and Jong-Wook Lee, "A 1.15  $\mu$ W 200 kS/s 10-b Monotonic SAR ADC Using Dual On-Chip Calibrations and Accuracy Enhancement Techniques", 2018.
- [15] Hopfield J, Tank D., "Computing with neural circuits: A model. Science, New Series." 1986; 233(4764):625-633.
- [16] Aigerim Tankimanova and Alex Pappachen James "Neural Network-Based Analog-to-Digital Converters", April 2018, in "Memristor and Memristive Neural Networks", pp. 297-314.
- [17] Lee B, Sheu B. Modified Hopfield neural networks for retrieving the optimal solution. IEEE Transactions on Neural Networks. 1991;2(1):137-142.
- [18] Chande V, Poonacha P. On neural networks for analog to digital conversion. IEEE Transactions on Neural Networks. 1995;6(5):1269-1274.
- [19] Sun CL, Tang Z, Ishizuka O, Matsumoto H. Synthesis and implementation of T-model neural-based A/D converter. In: IEEE International Symposium on Circuits and Systems; 10-13 May; IEEE; 1992. pp. 1573-1576.
- [20] Avitabile G, Forti M, Manetti S, Marini M. On a class of nonsymmetrical neural networks with application to ADC. IEEE Transactions on Circuits and Systems. 1991; 38 (2): 202-209.
- [21] J. L. McCreary and P. R. Gray. "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques—Part I". In: *IEEE Journal of Solid-State Circuits* 10 (1975), pp. 371–379. issn: 0018-9200. doi: 10.1109/JSSC.1975.1050629.

- [22] James Kennedy and Russel Eberhart" Particle Swarm Intelligence", IEEE 1995.