



Title	Architectural exploration of embedded systems
Author(s)	Watanabe, Yosinori
Citation	2010年度科学技術振興機構ERATO湊離散構造処理系プロジェクト講究録. p.345-347.
Issue Date	2011-06
Doc URL	http://hdl.handle.net/2115/48378
Type	conference presentation
Note	ERATO 湊離散構造処理系プロジェクト春のワークショップ (キックオフシンポジウム). 2010年5月28日 (金) ~ 29日 (土). ERATO湊プロジェクト研究室.
File Information	25.watanabe.yosinori_06.pdf



[Instructions for use](#)

INVENTIVE

cadence
CONFIDENTIAL

Architectural exploration of embedded systems

Yosinori Watanabe
Research Scientist
Cadence Research Laboratories
Berkeley, CA, USA



はじめまして

自己紹介

- 1988年 早稲田大学理工学部 B.Eng
- 1994年 カリフォルニア大学バークレー校 Ph.D
 - デジタル回路論理設計自動化、最適化処理
- 1994-1998年 Digital Equipment Corporation (ボストン)
 - Alphaマイクロプロセッサ設計チーム
- 1998-2001年 ヨーロッパ共同体ESPRIT (イタリア)
 - 組み込み機器ソフトウェア・ハードウェア協調設計プラットフォーム
- 2001-2003年 Cadence Research Labs (バークレー)
 - 組み込み機器ソフトウェア・ハードウェア協調設計プラットフォーム
- 2003-2008年 Cadence Research Labs 休職
 - スタートアップ立ち上げ: 組み込み機器自動設計ツール及び方式の設計と開発、事業構築
- 2008年- Cadence Research Labs 復帰
 - 組み込み機器ソフトウェア・ハードウェア検証・設計方式

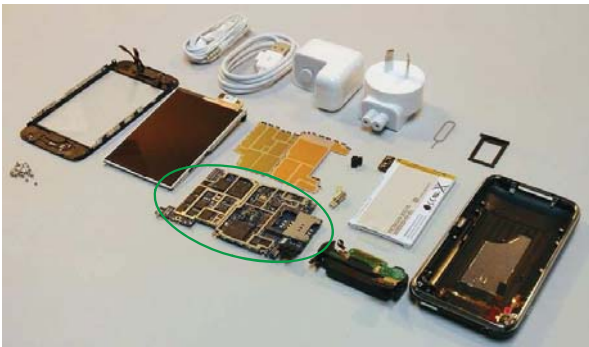


プライベート

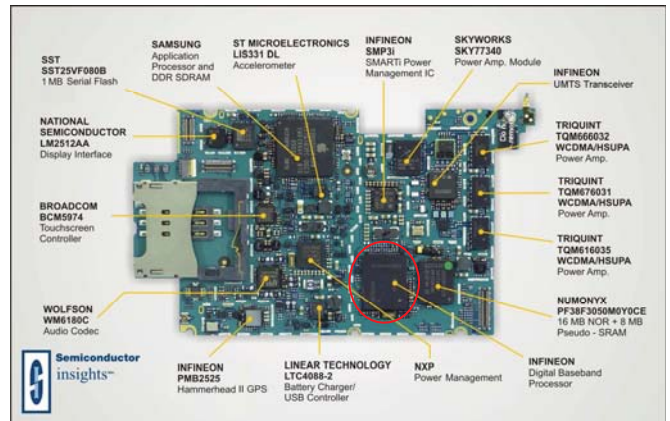
- 家族: 妻、子供5人 (三つ子含む)
- 田舎が好きです。

cadence

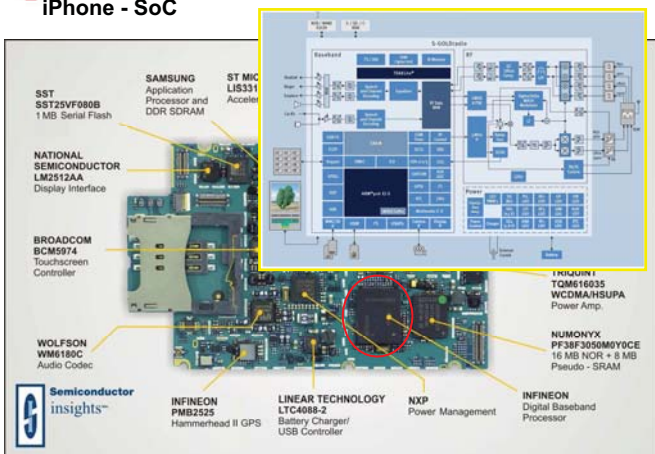
iPhone



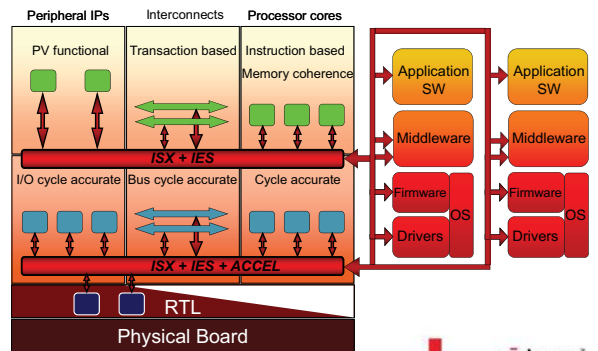
iPhone - PCB



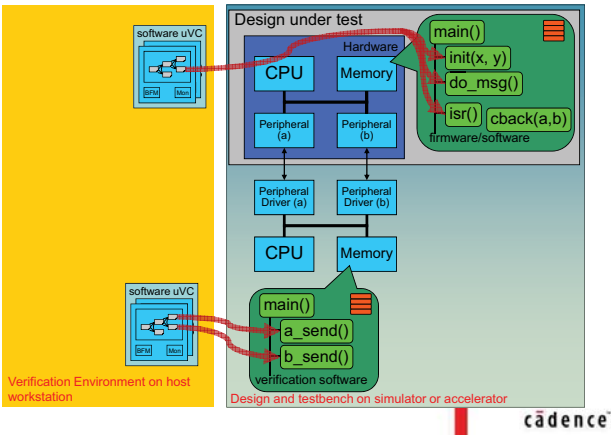
iPhone - SoC



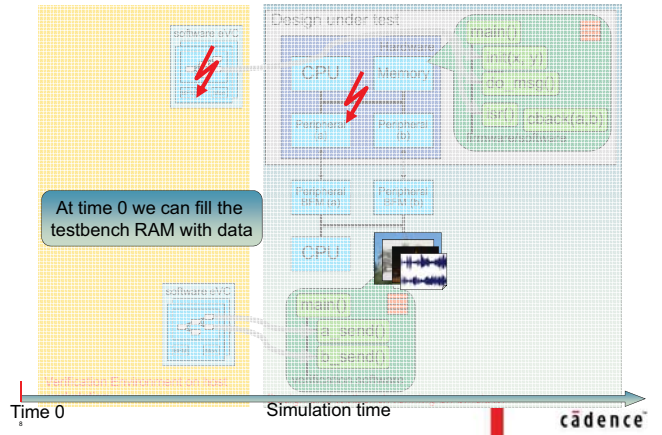
System verification and analysis



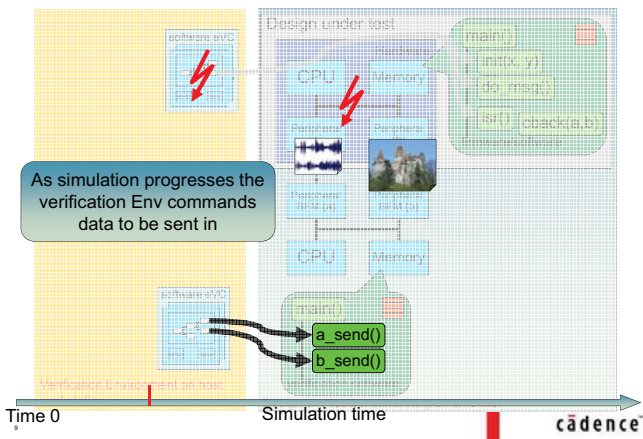
Organization of the verification environment and DUT



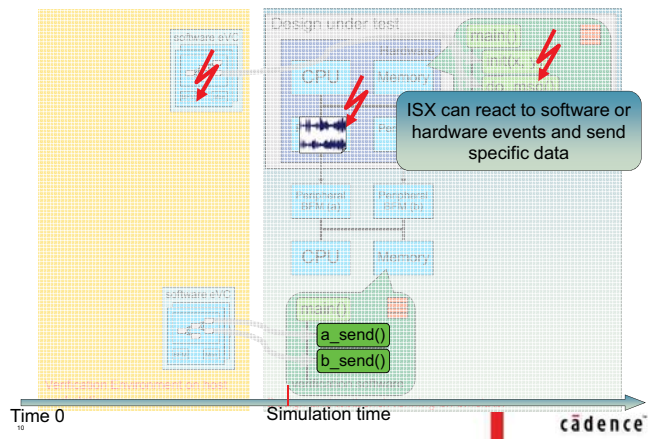
Interactions between ISX and the DUT



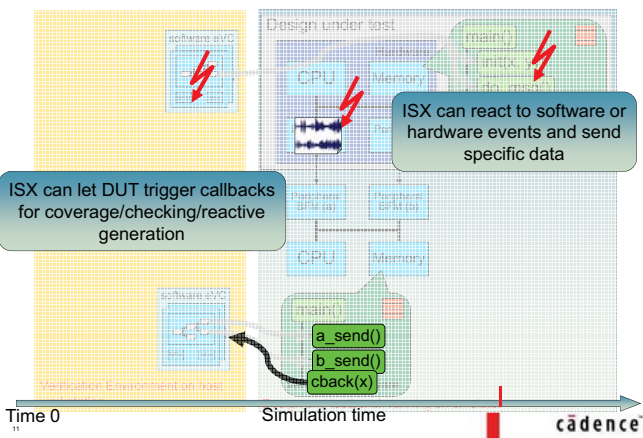
Interactions between ISX and the DUT



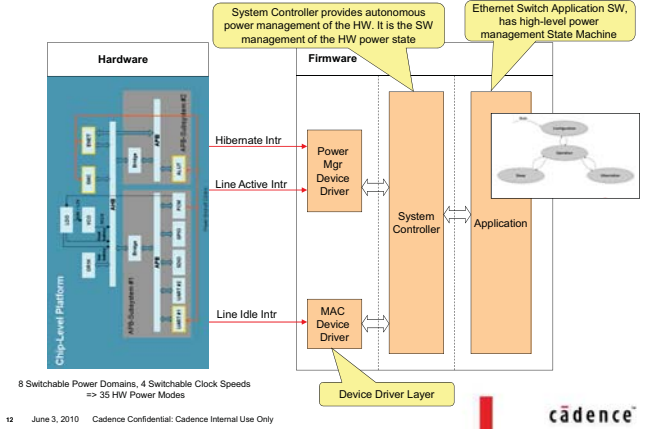
Interactions between ISX and the DUT



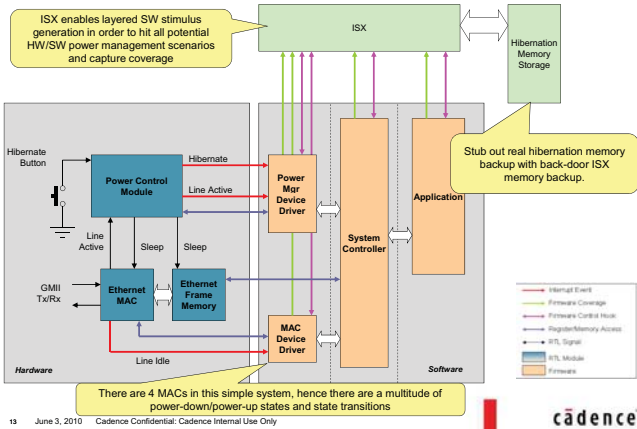
Interactions between ISX and the DUT



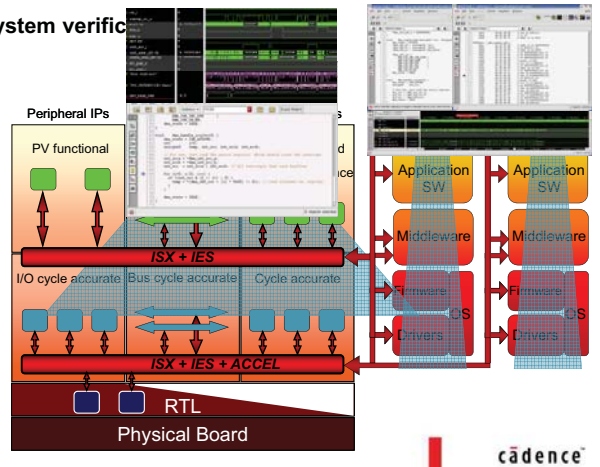
Example Low Power System Overview



Example Software Platform - Details



System verification



Collecting simulation data, for different architectures

Currently, we fix the architecture, and then simulate the design with many stimuli representing various scenarios. Repeat this for different architectures.

- Can we efficiently collect simulation data over multiple architectures, and then issue various queries to the database?
 Examples of the queries:
 - Which architectures have the number of thread activations less than X?
 - For given transactions, which architectures have cache misses less than X on those transactions?
- If we create such a database for some set of architectures, then can we ask such questions for other architectures, without doing the simulations for those architectures?

Cadence Research Labs



Cadence Research Labs

