



Escola Universitària d'Enginyeria
Tècnica Industrial de Barcelona
Consorci Escola Industrial de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

Memòria



TFG presentat per optar al títol de GRAU en ENGINYERIA
Electrònica Industrial i Automàtica
per **Aleix Puig Sebastià**

Barcelona, 26 d'abril de 2016

Director: Jordi Cosp Vilella
Departament Enginyeria Electrònica
Universitat Politècnica de Catalunya (UPC)

ÍNDIX MEMÒRIA

| | |
|--|---------------------------|
| Índex memòria..... | 1 |
| Resum..... | 3 |
| Resumen..... | 3 |
| Abstract..... | 3 |
| Agraïments..... | 5 |
| Capítol 1: Introducció..... | 7 |
| 1.1. Objectiu de l'estudi..... | 8 |
| 1.1.1.Objectius de cada part..... | 8 |
| 1.2. Estat de l'art..... | 9 |
| 1.3. Temporització de les tasques..... | 10 |
| 1.4.Convertidor híbrid integrat..... | 11 |
| 1.5.Enfocament del disseny..... | 12 |
| 1.6.Tecnologia AMS C035..... | 13 |
| 1.7.Transistors MOSFET..... | 14 |
| Capítol 2: Disseny..... | 17 |
| 2.1.Reductor de tensió, <i>Buck</i>..... | 18 |
| 2.1.1.Funcionament..... | 18 |
| 2.1.2.Disseny..... | 18 |
| 2.1.3.Simulació <i>Buck</i> asíncron..... | 26 |
| 2.1.4.Simulació <i>Buck</i> síncron..... | 34 |
| 2.1.5.Resultats..... | 39 |
| 2.2.Driver del <i>Buck</i>..... | 41 |
| 2.2.1.Funcionament..... | 41 |
| 2.2.2.Disseny..... | 41 |
| 2.2.3.Simulació..... | 44 |
| 2.2.4.Resultats..... | 57 |
| 2.3.Regulador lineal, OTA Miller..... | 59 |
| 2.3.1.Funcionament..... | 59 |
| 2.3.2.Disseny..... | 59 |
| 2.3.3.Simulació..... | 64 |
| 2.3.4.Resultats..... | 70 |
| 2.4.Regulador lineal, B <i>output</i>..... | 72 |
| 2.4.1.Funcionament..... | 72 |

| | |
|--|----------------------------|
| 2.4.2.Disseny..... | 72 |
| 2.4.3.Simulació..... | 73 |
| 2.4.4.Resultats..... | 79 |
| 2.5.Sensor de corrent..... | 83 |
| 2.5.1.Funcionament..... | 83 |
| 2.5.2.Disseny..... | 83 |
| 2.5.3.Simulació..... | 84 |
| 2.5.4.Resultats..... | 89 |
| 2.6.Comparador..... | 91 |
| 2.6.1.Funcionament..... | 91 |
| 2.6.2.Disseny..... | 91 |
| 2.6.3.Simulació..... | 95 |
| 2.6.4.Resultats..... | 106 |
| 2.7.Unió de tots els components..... | 108 |
| 2.7.1.Simulació..... | 108 |
| Capítol 3: Pressupost..... | 115 |
| 3.1.Mà d'obra..... | 116 |
| 3.2.Cost eines de treball..... | 117 |
| 3.3.Cost de fabricació..... | 118 |
| 3.4.Cost total..... | 121 |
| Capítol 4: Conclusions..... | 123 |
| Capítol 5: Bibliografia..... | 127 |
| 5.1.Referències bibliogràfiques..... | 128 |
| 5.2.Bibliografia de consulta..... | 129 |

Annexes a la memòria

RESUM

L'objectiu d'aquest Treball de Fi de Grau, és fer el disseny i simulació d'un convertidor híbrid DC/DC integrat. Híbrid perquè constarà d'un reductor de tensió estàtic, o *buck*, i un regulador lineal de tensió, i integrat, perquè s'utilitzarà la tecnologia AMS035 de transistors per poder fer-ne d'aquí un xip integrat.

El corrent desitjat és de 100 mA, i la tensió de sortida d'1,8 V, pensat per a alimentar un conjunt de sensors capacitius.

RESUMEN

El objetivo de este Proyecto de Fin de Grado, es hacer el diseño y simulación de un convertidor híbrido DC/DC integrado. Híbrido porque constará de un reductor de tensión estático, o *buck*, y un regulador lineal de tensión, e integrado, porque se utilizará la tecnología AMS035 de transistores para poder construir un microchip.

La corriente deseada es de 100 mA, y la tensión a la salida 1,8 V, pensado para alimentar un conjunto de sensores capacitivos.

ABSTRACT

The target of this Bachelor Thesis is to design an hybrid integrated DC/DC converter. It is named as hybrid because it consists of a typical static step down, or *buck* converter, and a linear voltage regulator, and integrated because it will be built using the AMS035 transistor technology to conclude with a microchip.

The desired output current is 100 mA, and the output voltage is 1,8 V, intended to supply a set of sensors.

AGRAÏMENTS

Voldria agrair el resultat d'aquest treball:

En primera instància al meu tutor del projecte, Jordi Cosp. Ell em va proposar aquest projecte, degut als meus coneixements amb el programa utilitzat, malgrat que aquest en fos un estudi molt poc freqüent en aquest país. Tot i que no haguéssim estat gaire en contacte, cada cop que li demanava ajuda me la proporcionava, i anar a parlar amb ell era una alenda d'aire fresc i renovat que m'ajudava a continuar amb l'estudi. No ha defallit mai de creure en mi, i sempre ha sabut entendre el meu tarannà diari. També que passes d'ésser el meu professor a ser-ne el meu tutor, m'ha fet veure la seva cara més humana.

A la meva xicota, que era com una tutora a casa, recordant-me d'acomplir els terminis religiosament, i fent-me algun cop també de mare, en aquells moments difícils en que sembla que hom no se'n pot sortir, ella encenia el far que guiava el vaixell perdut en mig de la nit.

Al meu amic Josep Oriol, que em va ajudar amb l'ordinador quan semblava tot perdut, i el temps corria a contracorrent, ell es va oferir voluntàriament per solucionar-me els problemes tècnics.

A l'equip del taller de projectes d'Enginyeria Electrònica, Francesc, Fernando i Jonatan, que tot i no demanar-los moltes coses, sempre han sigut amables i atents amb mi, fins i tot quan sortia a hores tempestives de la universitat.

A la meva família, mare, pare i germana, que degut a l'esforç que aquest projecte m'ha comportat, he pogut dedicar-los molt pocs dies, i que m'han estat donant suport des de molt lluny.

CAPÍTOL 1: INTRODUCCIÓ

1.1. Objectiu de l'estudi

L'objectiu d'aquest projecte, n'és el disseny i simulació d'un convertidor híbrid integrat. Es buscarà en tot moment, la optimització, tant de potència, com de velocitat i l'àrea de silici utilitzada. Un dels objectius, és poder extreure el màxim corrent a l'estructura, que es fixa en 100 mA a la sortida, així com que aquest corrent sigui molt estable. L'estudi es realitzarà a nivell VLSI (Very Large Scale Integration), nivell d'integració en el que a cada xip se l'hi poden incorporar centenars de milers de transistors, i està relacionat, directament amb la tecnologia que s'utilitza, ja que aquesta està marcada per una longitud de canal mínima de cada transistor.

1.1.1. Objectius de cada part

Convertidor Buck

- Assolir el corrent de sortida requerit Sortida regulador
de 100 mA.

- Minimitzar les pèrdues en el transistor de commutació.

- Minimitzar l'àrea de silici.

- Minimitzar la distorsió d'encreuament.

- Assolir la tensió de sortida desitjada.

Sensor de corrent

- Detectar el corrent del regulador lineal i enviar-ne la informació al comparador.

- Optimitzar potència.

Driver del convertidor

- Optimitzar la velocitat.

- Minimitzar la quantitat de transistors.

- Minimitzar l'àrea.

Comparador

- Optimitzar la velocitat.

- Maximitzar el guany.

- Regular els punts de commutació amb histèresis.

OTA

- Assegurar la polarització en DC.

- Optimitzar la velocitat.

- Maximitzar el guany.

Unió de tots els components

- Comprovar que el disseny realitza la funció a la que està destinat.

1.2. Estat de l'art

En aquest apartat, s'estudiarà quina és l'actual posició actual en el mercat de l'objecte d'estudi d'aquest treball.

S'ha trobat alguns xips que incorporen diversos convertidors al seu interior, emperò la idea del fabricant, no està encarada a poder-los unir, si no en tenir 3 convertidors en un sol microxip. Les sortides de cada convertidor que el xip incorpora, estan separades, així com també les sortides. A més aquests tenen un rang de sortides més ampli, les quals es determinen mitjançant un circuit extern a aquest, els valors del qual varien depenent la sortida desitjada.

En conclusió, l'estudi del què en aquest escrit es vol fer, no n'és tant un treball de desenvolupament d'un producte final, degut a que en el mercat actual, no existeixen idees similars sobre aquesta estructura. Ja que ara per ara no n'està molt explotat i per tant esdevé aquest un projecte d'investigació on es tractarà d'indagar el rendiment que aquesta en pot assolir, per a posteriori, estudiar-ne la una viabilitat econòmica per poder-lo llançar al mercat.

1.3. Temporització de les tasques.

En un principi, la temporització estava planificada per a invertir-ne 600 hores, però, es va haver de modificar cap al mes de desembre, degut a l'insuficient temps del que se'n tenia per poder acabar aquest estudi dins del termini establert en unes condicions adients. A continuació se n'especifica aquesta última.

La temporització de les tasques, es realitzarà, mitjançant un diagrama de Gantt, amb el període que comprèn entre el 7 de setembre de 2015, dia en el que s'inicia el quadrimestre de tardor, i el 8 de maig de 2016, que és l'últim dia de la setmana anterior a les presentacions dels treballs.

A continuació, es pot veure el diagrama de Gantt amb les tasques principals, en format setmanal, i als annexos, s'adjunta el mateix diagrama ampliat amb les subrutines desglossades en la línia temporal.

El total de dies en que es treballarà sobre el projecte, és de 165 laborables, distribuïts en un total de 35 setmanes. La dedicació per jornada serà de 5,5 hores, que sumen al final del projecte 900 hores.

DIAGRAMA DE GANTT SETMANAL

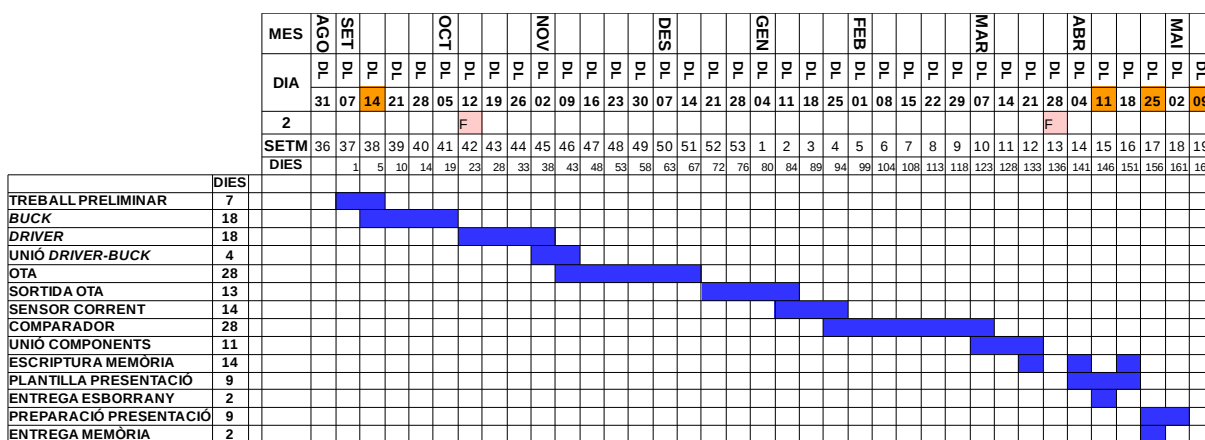


Figura 1. Diagrama de Gantt per setmanes.

1.4. Convertidor híbrid integrat

Aquest treball, està basat en l'estudi "VLSI hybrid DC-DC regulator", que els professors de la escola (EUETIB), Jordi Cosp Vilella, i Herminio Martínez García en van fer. L'estructura n'és molt similar, emperò es treballa en tecnologies diferents i la finalitat de l'estudi n'és diferent.

El convertidor de corrent contínua que s'estudiarà en el present escrit, serà híbrid integrat. Aquest serà híbrid, perquè constarà de dos tipus de convertidors en un de sol. Aquests seran, un convertidor commutat reductor de tensió o *buck*, estructura amb un alt grau de rendiment, i el qual en serà la part que més corrent subministrarà a la sortida. Per altra banda, se'n tindrà un regulador lineal, que té un rendiment més baix que el *buck*, però és molt més ràpid, que servirà per pal·liar els règims transitoris del *buck*, i per suplir-li també l'arriestat de corrent que aquest genera degut a la inductància.

I amb aquesta condició d'hibridisme, es pretén assolir-ne els objectius d'estabilitat en la sortida, i de velocitat de l'estructura.

També s'ha dit que serà integrat, amb la qual cosa, tots els components, a excepció de la inductància, seran *on-chip*, o interns al xip, tenint-ne així com a resultat final, una xip, amb una inductància.

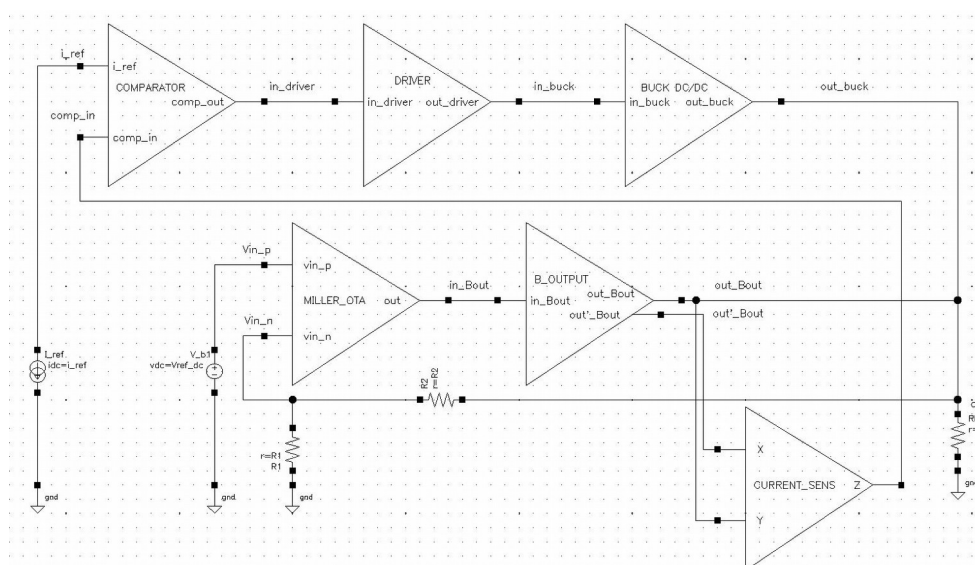


Figura 2. Diagrama del convertidor híbrid integrat.

1.5. Enfocament del disseny

Per enfocar el disseny, es realitzarà des de darrera cap endavant, sabent quina sortida, i quines en són les característiques d'aquesta per a així, anar construint tot allò que li precedeix. Es desitjarà una sortida que pugui extreure 100 mA, i que la tensió a la mateixa sigui de 1,8 V amb un arriusat màxim de 140 mV. La càrrega serà resistiva, per tant, es dedueix d'això, que serà de 18 Ω .

Tenint-ne clara la sortida, es realitzarà en primera instància el convertidor reductor de tensió o *buck*, el qual es conforma d'una inductància, i d'una etapa inicial de commutació conformada per un o més transistors.

El resultat de l'estudi del *buck*, conclourà amb uns transistors bastant grans, els quals són complicats de poder governar. Per fer-ho és treballarà amb un *driver* a la porta d'aquests, buscant així una resposta ràpida i efectiva.

En aquest punt, es començarà a fer l'estudi del regulador lineal. Sabent que la sortida n'és la mateixa que la del *buck*, el disseny serà similar al d'aquest. El regulador consta de dos etapes, la primera, que és una OTA de Miller, i la segona, una etapa de sortida tipus B. Per trobar-ne un valor, es proposa tenir un guany ample de banda de 25 MHz, amb un marge de fase de 70°.

Un cop en aquest punt, s'haurà de detectar el corrent que entrega el regulador lineal. Aquesta part, es realitzarà mitjançant un convector de corrent, el qual realitzarà còpies dels corrents de sortida del regulador lineal, adaptant-ne les impedàncies entre aquest i el comparador.

Finalment, es realitzarà el comparador de corrent, el qual estarà dotat d'histèresis. Aquest es compondrà també de tres etapes, la primera, en la que hi ha un circuit de decisió per tal de realitzar la histèresis, la segona que es tracta d'una OTA i una sortida tipus inversor, per treballar així amb nivells lògics.

Tot això es realitzarà amb l'eina de disseny de circuits electrònics Cadence Virtuoso®, amb la tecnologia microelectrònica d'AMS035, basada en transistors d'una longitud de canal mínima de 0,35 μm . Aquests esquemàtics, és posaran a prova mitjançant simulacions del punt de treball, en corrent contínua, d'escombrat de freqüències, i simulacions transitòries.

1.6. Tecnologia AMS C035

La tecnologia C035, és la tecnologia desenvolupada per Austria Micro Systems on es descriuen tot un seguit d'especificacions, tant de procés de fabricació, com paràmetres geomètrics i fins i tot regles de disseny, per a la tecnologia de transistors CMOS amb una longitud de canal mínima igual a 0,35 μm .

Aquesta tecnologia descriu amb tot tipus de detall, des de la secció de l'oblea de silici amb diferents components integrats sobre ella, densitats de corrents màximes depenent del material utilitzat, resistències per quadrat que els metalls o polisilicis comporten, i càlculs de les capacitats paràsites.

Tota aquesta informació seria molt difícil de manipular amb càlculs a mà, o fins i tot amb taules de dades, per això, es farà servir l'eina de disseny assistit a ordinador Cadence Virtuoso[®].

El propi programa es divideix en tres parts ben diferenciades. La primera, la part de disseny de circuit, on es dibuixa l'esquema electrònic, i es defineixen als diferents components els diferents paràmetres que els conformen, o instanciant-los com a variables. La segona, la part de simulació, on hi haurà possibilitats de fer simulacions en corrent continua (DC), per poder trobar el punt de treball del bloc, simulacions en corrent alterna (AC), on es realitza un escanament de freqüències, podent-ne veure el guany, freqüències de tall, la fase del conjunt, i simulacions transitòries (TRAN), on és simularà el circuit, tal i com actua a la realitat, podent veure amb detall els règims transitoris d'arrancada o de parada, temps d'estabilització o arribats de les magnituds.

A continuació, és detalla una taula amb alguns dels paràmetres de la tecnologia AMS035, que es faran servir en aquest disseny.

Taula 1. Alguns paràmetres d'AMS035 utilitzats en aquest disseny.

| V_{thN} | V_{thP} | K_N | K_P | C_{ox} | C_{GSDON} | C_{GSDOP} |
|-----------|-----------|------------------------------|-----------------------------|--------------------------|-------------------------|-------------------------|
| 0,50 V | - 0,65 V | 170 $\mu\text{A}/\text{V}^2$ | 58 $\mu\text{A}/\text{V}^2$ | 4,54 fF/ μm^2 | 0,120 fF/ μm | 0,086 fF/ μm |

1.7. Transistors MOSFET

Els transistors MOSFET, són transistors d'efecte de camp, és a dir, són transistors controlats per una diferència de tensió entre dues parts d'aquest, porta i substrat, que provoca l'aparició d'un canal entre dues altres parts d'aquest, drenador i sortidor.

Degut al seu control per efecte de camp, aquests transistors tenen un consum més baix que els bipolars, però, degut a haver de carregar i descarregar la porta d'aquest, que ve a ésser una capacitat, aquest transistor no és adequat per a treballar en altes freqüències.

El transistor MOSFET, es denominat d'aquesta manera degut a la seva construcció *Metal Oxide Semiconductor* que en son les seves capes de sobre a sota, seguit de la nomenclatura *Field Effect Transistor*. La fabricació d'aquest, consisteix en fer dues difusions de dopatge contrari al que se li hagi fet a l'oblea de silici inicialment, incorporant un "pont" d'òxid de silici entre aquestes dues.

Si les difusions són dopades amb impureses pentavalents, o donadores, llavors se n'obté un transistor de canal N que quan se li aplica una tensió suficient entre la porta i el substrat d'aquest, llavors els electrons lliures del propi substrat, acudeixen a sota de la porta, però no en poden escapar degut a que aquesta està dotada d'una capa d'òxid de silici aïllant. Quan la tensió és suficient, els electrons acaben per emplenar la zona del canal, i formen un pont conductor entre ambdues difusions. Si ara se l'inclou en una branca d'un circuit elèctric el drenador i el sortidor, la tensió de porta controlarà el pas de corrent per aquesta.

En el cas de que les difusions estiguin dopades amb impureses trivalents, o acceptadores, el transistor que se n'obté és de canal P, i el funcionament és molt similar, però la tensió entre porta i substrat és negativa, així com el corrent que en controla. A més el canal estarà constituït per buits, ja que la tensió negativa en la porta els atraurà, i llavors, serà possible la conducció entre les dues difusions.

Aquest transistor s'ha anat imposant durant els últims anys degut a millores que sobre ell se li han fet a més de la creació de la tecnologia CMOS *Complementary MOS*, on s'utilitzen transistors de canal P per a una xarxa superior de transistors, i de canal N per a una xarxa inferior. Això possibilita el fet de poder treballar amb un tensió unipolar, ja que no serà necessari donar tensions negatives per controlar els transistors P. Aquesta tecnologia és molt utilitzada, sobretot en components purament digitals, on només 2 nivells lògics són necessaris, però també en dissenys analògics.

Tot i això, aquest transistor té un desavantatge principal, i n'és la seva velocitat. Donat que l'aplicació de tensions sobre les portes d'aquests, que per la seva fabricació, no conformen més que una capacitat, fan que depenguin del temps de càrrega i descàrrega d'aquestes, augmentant-ne així el temps de retard.

El transistor MOSFET, és de 4 terminals, però el terminal del substrat, es connectarà a la tensió més positiva del circuit, en el cas d'ésser un PMOS, o a la més negativa si n'és un NMOS, evitant així que les unions P-N es posin a conduir espontàniament. En la tecnologia AMS035, la oblea de silici, és inicialment de dopat P, amb la qual cosa, els substrats de tots els transistors tipus N en aquella oblea quedaran al mateix potencial, amb el desavantatge de que en alguns transistors hi aparegui una tensió entre el sortidor i el substrat, variant-ne d'aquesta manera la tensió llindar de canvi a estat de conducció. En canvi, els transistors de tipus P, podran implementar un curtcircuit entre sortidor i substrat per tal de no augmentar-ne el valor d'aquest llindar, ja que cada transistor disposarà del seu propi substrat..

A continuació, se'n detallen algunes de les equacions del transistor MOSFET, per tal de poder-ne realitzar els càlculs.

Quan la tensió entre porta i sortidor és inferior a la tensió llindar, el transistor roman en estat apagat, i no hi ha possibilitat de circulació de corrent entre el drenador i el sortidor.

Si la tensió porta-sortidor, supera el llindar, dependrà de la tensió drenador-sortidor l'estat en que es trobi aquest.

A efectes de càlculs, per tal de facilitar-los, en el cas del PMOS, les equacions següents seran vàlides per ambdós tipus de transistors, tot i que s'haurà de treballar en valors absoluts de les tensions V_{DS} , V_{GS} i V_{th} i considerar el corrent en els PMOS, de signe oposat, ja que el corrent de drenador s'estipula que n'és aquell que en circula entre drenador i font o sortidor.

Estat de saturació o activa $V_{DS} \geq V_{GS} - V_{th}$

$$I_D = \frac{K}{2} \cdot \frac{W}{L_{LENGHT}} \cdot (V_{GS} - V_{th})^2 \quad (1)$$

Estat de tríode o regió linear $V_{DS} < V_{GS} - V_{th}$

$$I_D = K \cdot \frac{W}{L_{LENGHT}} \cdot \left[(V_{GS} - V_{th}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2)$$

CAPÍTOL 2: DISSENY

2.1.Reductor de tensió, *Buck*

El reductor de tensió o *buck*, és la primera part d'aquest disseny. Com ja és sap, aquest es compon de dues parts bàsiques, els interruptors, i l'emmagatzematge d'energia. La primera part serà, en primera instància, un parell de transistors MOSFET, un de canal P, i l'altre de canal N, ambdós amb un díode en antiparal·lel. L'emmagatzematge serà una simple inductància a la sortida d'aquest interruptor.

2.1.1.Funcionament

El que realitza aquesta part, és un trossejat del corrent d'entrada. L'interruptor deixa lliure circulació de corrent des de la font d'alimentació per la inductància, i la càrrega, donant així una tensió a aquesta última i fent que l'inductor emmagatzemi energia durant aquest estat anomenat ton. Quan l'interruptor deixi de conduir aquest corrent, l'inductor realitzarà la funció de font d'alimentació, fent que hi circuli corrent entre aquest i la càrrega.

Per un funcionament correcte, l'energia a la inductància, no s'haurà de descarregar mai del tot, ja que podria entrar en un estat de conducció inversa, que en aquest estudi, no n'és d'interès. Per tant és podrà afirmar que aquest *buck*, ha de treballar en MCC (Mode de Conducció Contínua).

2.1.2.Disseny

Per dissenyar el *buck*, es disposen de les equacions de la pròpia estructura, així com també de les equacions del transistor MOSFET i les especificacions de procés de la tecnologia AMS035.

Sent:

- t_{on} : temps d'estat de conducció.
- T_S : període de commutació.
- I_L o I_{OUT} : corrent que circula per la inductància i la càrrega.
- *Duty cycle* (δ): cicle de treball.
- V_{OUT} : tensió de sortida.
- V_{IN} : tensió d'entrada.

$$Duty\ cycle = \delta = \frac{t_{ON}}{T_S} = \frac{V_{OUT}}{V_{IN}} \quad (3)$$

$$\Delta I_L = \frac{V_{OUT}}{L} (1 - \delta) \cdot T_S \quad (4)$$

$$MCC \Rightarrow I_L \geq \frac{\Delta I_L}{2} \quad (5)$$

Un control dóna o treu tensió a la porta del PMOS MP1, cosa que fa que aquest, condueixi o no, el corrent des de la font d'alimentació fins a la càrrega. Quan l'inductor actua com a font d'alimentació, el corrent circula pel díode 1. El díode 2 és un díode de protecció per que no hi hagin corrents inverses que puguin destruir el MP1, i el NMOS MN0, que va regit per un control diferent al del PMOS, serveix per millorar el rendiment de l'estructura.

Els paràmetres que es tenen per poder modelar aquest circuit, són bàsicament tres, les amplades dels transistors, la quantitat de portes que aquests tindran, i el valor de la inductància.

Les especificacions són les següents:

- $f_s = 10$ MHz.
- $V_{IN} = 3,3$ V (± 300 mV).
- $V_{OUT} = 1,8$ V (± 100 mV).
- $I_{OUT} = 100$ mA (± 5 mA).
- $L_{LENGTH} = 0,7$ μ m.

Tal i com s'observa en l'equació 3 el cicle de treball, defineix el factor de reducció de la tensió. Aplicant-ho a aquest disseny, se n'obté el següent:

$$\delta = \frac{1,8}{3,3} = \frac{18}{33} = 0,545 \quad (6)$$

$$t_{ON} = \delta \cdot \frac{1}{f_s} = 0,545 \cdot \frac{1}{10 \cdot 10^6} = 54,5 \text{ ns} \quad (7)$$

Combinant les equacions 4 i 5 es pot obtenir un valor mínim de inductància per a acomplir l'especificació de conducció contínua:

$$L \geq \frac{1,8}{2 \cdot 100 \cdot 10^{-3}} \cdot \frac{1 - (18/33)}{10 \cdot 10^6} \Rightarrow L \geq 0,41 \mu H \quad (8)$$

En els convertidors *buck*, els transistors treballen en nivells lògics, estan en conducció, o estan en tall, per tant la regió en la que treballen és la linear o tríode, ja que la tensió porta-sortidor serà la màxima, o sigui la tensió d'alimentació ($3,3 - 0,65 = 2,65 \text{ V}$), per tant aquesta serà la tensió drenador-sortidor de saturació, i assegura així que el transistor treballa en aquesta zona en la majoria dels casos.

De fet, el corrent que hi circula, serà imposat pel circuit R-L de càrrega, i per tant aquest corrent imposarà una V_{DS} en el transistor en dependència de l'amplada. Si en condicions ideals, es sap que aplicant un cert cicle de treball, en aquest cas $0,545 \cdot T_s$, a la sortida se n'obtidran 1,8 V, i amb una resistència de 18 Ω , el corrent imposat a la branca serà de 100 mA.

Si s'agafa l'equació 2 del transistor en tríode, i es deixa com a tensió drenador-sortidor en funció de l'amplada, se n'obté el següent:

$$\frac{V_{DS}^2}{2} - (V_{GS} - V_{th}) \cdot V_{DS} + \frac{I_D}{\frac{K_p \cdot W}{L_{LENGHT}}} = 0 \quad (9)$$

$$V_{DS} = \frac{(V_{GS} - V_{th}) \pm \sqrt{(-(V_{GS} - V_{th}))^2 - 4 \cdot 1/2 \cdot \frac{I_D}{K_P \cdot \frac{W_P}{L_{LENGHT}}}}}{2 \cdot 1/2} \quad (10)$$

Com s'observa en l'equació 11, que n'és la resolució de l'equació 10 de segon grau, apareix un mínim ample per tal d'acomplir-ne l'arrel.

$$(V_{GS} - V_{th})^2 > 4 \cdot \frac{I_D}{2 \cdot K_P \cdot \frac{W_P}{L_{LENGHT}}} \Rightarrow (3,3 - 0,65)^2 > \frac{2 \cdot 0,1}{58 \cdot 10^{-6} \cdot \frac{W_P}{0,35 \cdot 10^{-6}}} \quad (11)$$

Finalitzant amb:

$$W_P > 172 \mu\text{m} \quad (12)$$

A la Figura 1. queda reflectida l'expressió de V_{DS} en funció de W_P per valorar l'amplada de canal en funció de la tensió que cau al transistor.

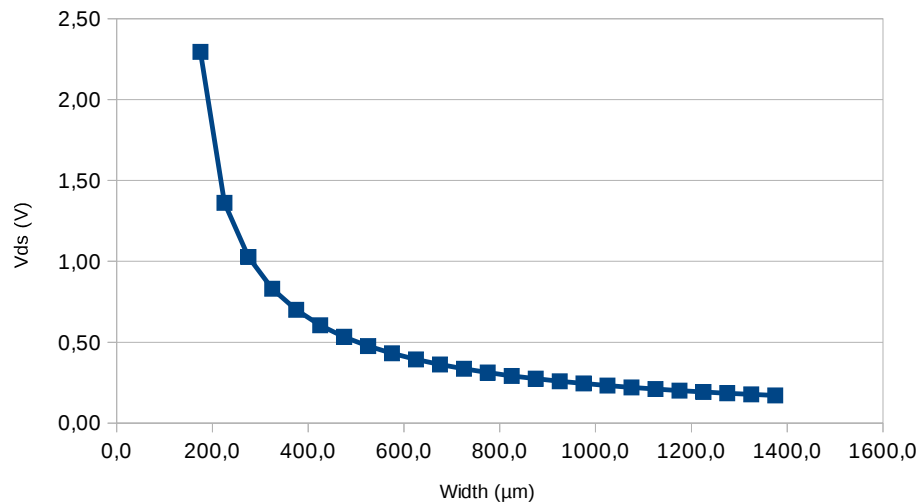


Figura 1. Tensió V_{ds} en funció de l'amplada de canal P per a $I_d = 100 \text{ mA}$.

El que se n'extreu de la Figura 1. és que, per poder obtenir una tensió porta-sortidor acceptable, d'uns 0,2 V, l'amplada de canal ha d'ésser aquest d'1,1 mm, valor gran, tot i que raonable per la tecnologia utilitzada.

Per poder triar el millor disseny, es precisa saber quins valors d'aquests, fan que les pèrdues siguin menys desfavorables, mentre es segueixi acomplint les especificacions d'inici. Per fer-ho s'introdueix una altra equació del transistor que relaciona la resistència en estat de conducció, en la regió tríode, amb l'amplada d'aquest.

$$R_{DSon} \simeq \frac{L_{LENGHT}}{K \cdot W \cdot (V_{GS} - V_{th})} \quad (13)$$

Com es pot deduir de l'equació 13, a mesura que se n'augmenta l'amplada del transistor, la seva resistència, també, per tant es podria concloure que d'aquesta manera també se'n redueixen les seves pèrdues. Però hi ha altres factors que no s'han tingut en compte, com la càrrega i descàrrega dels condensadors intrínsecs del propi transistor. A continuació s'expliquen aquestes pèrdues amb detall.

Les pèrdues en conducció, són degudes a la resistència del transistor en estat de conducció, i aquesta és igual a l'equació 14, que planteja la potència dissipada en relació a les R_{DSon} , tenint en compte els temps d'encesa de cada transistor i el corrent nominal que per ells hi circularà.

$$P_{CON} = I_D^2 \cdot (\delta \cdot R_{DSon,P} + (1 - \delta) \cdot R_{DSon,N}) \quad (14)$$

Es pot obviar la part del transistor N, ja que com que l'estructura treballarà sempre en MCC, no hi ha possibilitat de que per ell hi circuli corrent, si així fos, aquest corrent seria invers a l'esmentat per les especificacions. Adherint-hi a aquesta equació 14, l'esmentat en la 13, es pot deixar aquesta potència en funció de l'amplada de canal.

$$P_{CON} = 0,1^2 \cdot \frac{18}{33} \cdot \frac{0,35 \cdot 10^{-6}}{58 \cdot 10^{-6} \cdot W \cdot (3,3 - 0,65)} = \frac{12,42 \cdot 10^{-6}}{W_P} \quad (15)$$

Les pèrdues per capacitat de porta es deuen a la càrrega i descàrrega de la porta dels transistors per controlar-los. Aquests transistors seran d'una mesura bastant elevada, amb la qual cosa aquestes pèrdues adquireixen importància en el disseny.

$$P_{GATE} = (C_{GP} + C_{GN}) \cdot V_{GS}^2 \cdot f_s \quad (16)$$

$$C_{GS(triode)} = C_{GD(triode)} = \frac{C_{OX} \cdot W \cdot L}{2} \quad (17)$$

Sabent que té tanta importància la capacitat de porta-sortidor com la de porta-drenador, es sumaran les dues, per tant, la capacitat de porta serà el doble de l'equació 17, que substituïnt a l'equació 16, se n'obté:

$$P_{GATE} = [C_{OX} \cdot L \cdot (W_N + W_P) + 2 \cdot (C_{OVP} \cdot W_P + C_{OVN} \cdot W_N)] \cdot V_{GS}^2 \cdot f_s \quad (18)$$

I deixant-ho ja amb els paràmetres i en funció dels amplex de canal:

$$\begin{aligned} P_{GATE} &= \left(\frac{4,54 \cdot 10^{-15}}{(10^{-6})^2} \cdot 0,35 \cdot 10^{-6} \cdot (W_N + W_P) \right) \cdot 2,65^2 \cdot 10 \cdot 10^6 \\ &+ 2 \cdot \left(0,086 \cdot \frac{10^{-15}}{10^{-6}} \cdot W_P + 0,120 \cdot \frac{10^{-15}}{10^{-6}} \cdot W_N \right) \cdot 2,65^2 \cdot 10 \cdot 10^6 \\ &= 123,66 \cdot 10^{-3} \cdot W_P + 128,44 \cdot 10^{-3} \cdot W_N \end{aligned} \quad (19)$$

El fet de treballar en tecnologia CMOS, també comporta una capacitat de sortida deguda al transistors. Aquesta capacitat paràsita de sortida que els transistors porten intrínsecament és petita, però pot afectar a partir d'algunes amplades si la freqüència augmenta. Aquestes pèrdues se n'anomenen pèrdues dinàmiques, i la capacitat que les comporta, n'és la suma de la de drenador d'ambdós transistors.

$$P_{DYN} = C_F \cdot (W_P + W_N) \cdot V_{DD}^2 \cdot f_S \quad (20)$$

On C_F és la capacitat *fringing capacitance*, deguda a la interposició entre el drenador i el *field oxide* la qual s'extreu de la Taula 1. dels paràmetres AMS035. Se n'obté així:

$$P_{DYN} = 0,044 \cdot \frac{10^{-15}}{10^{-6}} \cdot (W_P + W_N) \cdot 3,3^2 \cdot 10 \cdot 10^6 = 479,16 \cdot 10^{-6} \cdot (W_P + W_N) \quad (21)$$

A continuació, es realitza un escombrat de les amplades, on es visualitza la potència dissipada pels transistors degut al diversos fenòmens anteriorment esmentats, en relació a aquestes.. S'ha donat el valor de l'amplada del transistor N en relació al quocient que aquest té amb el transistor P sobre els seus factors de guany. També s'ha afegit al gràfic, la suma total de les pèrdues per tal de trobar-ne l'amplada òptima, que en serà el mínim d'aquesta traça.

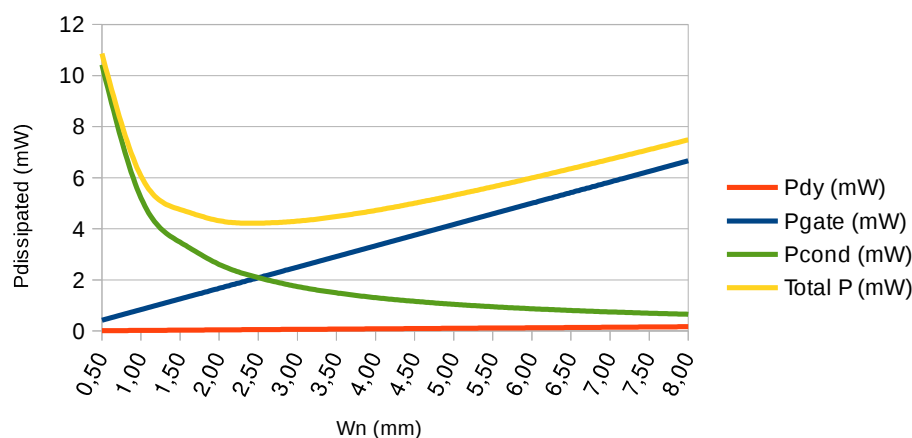


Figura 2. Potència dissipada en funció de l'amplada de canal N.

La Figura 2. mostra la potència dissipada en el transistor. S'observa com degut a

una amplada de canal petit, la resistència d'aquest, és molt gran, i per tant, també ho és la potència dissipada en conducció. De manera exponencial, aquesta es veu reduïda a mesura que l'amplada augmenta, però per altra banda les pèrdues en la càrrega i descàrrega de la porta i de la capacitat de càrrega paràsita, augmenten. Això és deu a que un augment de l'ample, provoca un augment de la capacitat, consumint-ne així potència per a que els transistors puguin ser degudament governats.

Com a conseqüència d'aquestes pèrdues, se'n denota un punt d'amplada, que minimitza les pèrdues. Aquest òptim correspon en aquest cas a 2,50 mm d'amplada del NMOS, i a 7,32 mm del PMOS, i comporten una pèrdua de potència de 4,3 mW, el que significa que si la potència efectiva és de 250 mW, el rendiment n'és del 98,28 %.

Després d'aquest resultat, és realitza una taula d'optimització de la relació entre les amplades. Això s'aconsegueix afegint el sumatori de pèrdues dintre d'aquesta, on a la part externa horitzontal és un eix de l'amplada del PMOS, i la part externa vertical n'és l'eix de l'amplada del NMOS. El mínim absolut d'aquesta taula resulta el mínim en pèrdues, i per tant, els valors dels dos eixos que aquest resulten, són els amplex òptims. Aquest són 800 μm per a W_N , i 8,8 mm per a W_P , dissipant 3,85 mW als transistors, i obtenint així un rendiment del 98,86 %.

2.1.3. Simulació Buck asíncron

En aquest apartat es tindrà l'oportunitat de simular els resultats obtinguts sobre l'estructura del reductor de tensió, així com poder-los ajustar al model AMS035, fent l'ús del simulador.

Les dades per a afegir a la simulació són les següents:

- $T_S = 100 \text{ ns}$ (10 MHz).
- $V_{IN} = 3,3 \text{ V}$ ($\pm 300 \text{ mV}$).
- $V_{OUT} = 1,8 \text{ V}$ ($\pm 90 \text{ mV}$).
- $L_{LENGHT} = 0,7 \text{ }\mu\text{m}$.
- $L_{IND} \geq 0,41 \text{ }\mu\text{H}$.
- $R_L = 18 \text{ }\Omega$.
- $W_N = 800 \text{ }\mu\text{m}$.
- $W_P = 8,8 \text{ mm}$.
- δ (*duty cycle*) = 54,5 %

Per simular-lo tal i com es pretenia, es canvia les excitacions d'entrada, ja que la del PMOS i el NMOS, no podran estar curtcircuitades, per evitar el pas de corrent directe a massa per activació d'ambdós transistors alhora, quedant-ne un circuit com el següent:

Per configurar les fonts d'excitació, que regeixen cadascun dels transistors, estaran a 0 V (PMOS ON, NMOS OFF), durant el cicle de treball calculat, llavors en aquell instant V_{pulseP} passarà a 3,3 V (PMOS OFF, NMOS OFF), i un petit instant més tard, V_{pulseN} , pujarà també a 3,3 V (PMOS OFF, NMOS ON). Es determina, com a valor inicial, que la transició entre l'apagat d'un transistor, i l'encesa de l'altre, serà d'un 5 % del període, essent així l'estat d'encesa del NMOS, un 90 % del temps d'apagat del PMOS.

Es realitza en primera instància una simulació dels resultats obtinguts mitjançant els càlculs a mà. Per a realitzar això, s'ha fet un trosseg dels transistors amb un ample de 10 μm , i amb el seu nombre de portes corresponent per a arribar als valors calculats.

L'eina informàtica, permet poder fer càlculs i simular-los. Així per poder calcular-ne el rendiment, es realitza el càlcul de potència de cada font i de la sortida, mitjançant l'equació 22, i sumant-les totes entre sí. També es realitza la tensió mitjana a la sortida amb l'equació 24, ja que la funció *average* de la calculadora del simulador tindrà en compte també el transitori d'arrancada.

$$P = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} v(t) \cdot i(t) dt \quad (22)$$

$$\eta = \frac{P_{OUT}}{P_{IN}} \quad (23)$$

$$V_{OUT\ average} = \frac{1}{t_2 - t_1} \cdot \int_{t_1}^{t_2} v(t) dt \quad (24)$$

Els resultats que se n'obtenen amb aquestes equacions són els següents

- $V_{OUT} = 1,62\text{ V}$.
- Rendiment $\eta = 90,85\%$.
- $\Delta V_{OUT} = 749,6\text{ mV}$.

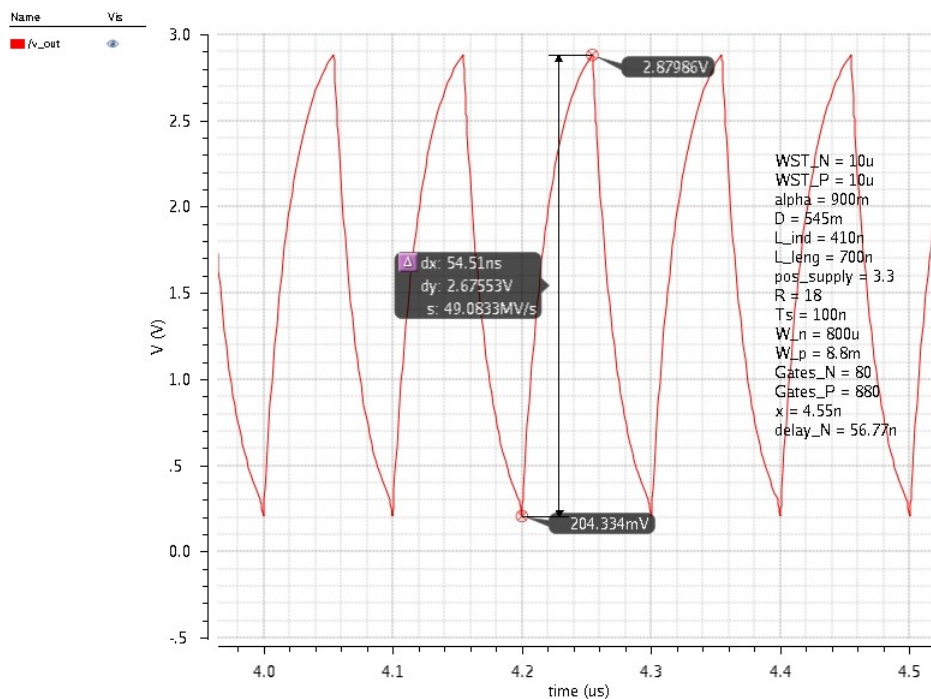





Figura 3. Simulació amb els paràmetres calculats a mà.
Horitzontal: 20 ns/div; Vertical: 100 mV/div.

A la Figura 3. es pot observar la evolució de la tensió de sortida. L'arriusat de sortida és com ja se n'havia extret del resultat numèric de les equacions, inclús superior a la tensió mitjana desitjada, atès a que s'ha agafat el valor mínim d'inductància.

Per poder corregir aquest valor no acceptable, es realitzarà una iteració de simulacions paramètriques. Aquestes consistiran en veure com les sortides varien en una simulació transitòria, respecte a la modificació d'un paràmetre d'entrada.

Les sortides que es desitjarà veure, seran:

- Tensió mitjana a la sortida $V_{OUT, average}$ i indicat de color cian .
- Rendiment de l'estructura η indicat de color blau marí .
- Arriusat de sortida del convertidor ΔV_{OUT} indicat de color rosat .

Els paràmetres d'entrada

- alpha: percentatge d'encesa del transistor N en relació a l'estat d'apagat del transistor P.

$$\delta_N = \alpha \cdot (1 - \delta_P) \cdot T_S \quad (25)$$

- L_ind: valor de la inductància.
- Gates_P: nombre de portes del PMOS.
- Gates_N: nombre de portes del NMOS.
- D: cicle de treball del PMOS.

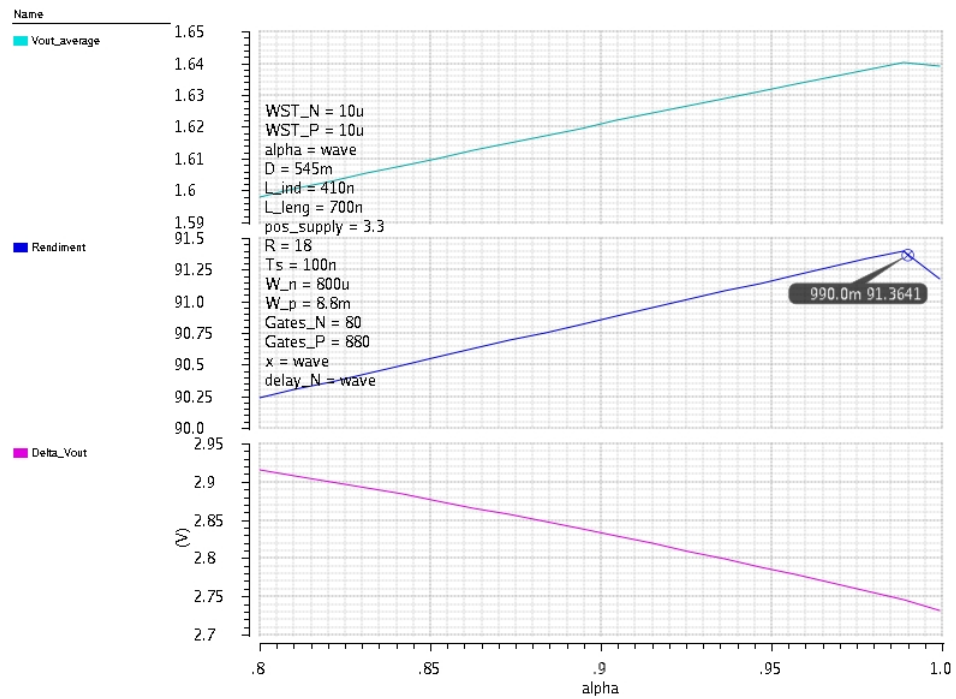


Figura 4. Parametrització de simulació transitòria en funció d'*alpha*.

Horitzontal 0,05 %/div. Vertical:

- → $V_{OUT}=2 \text{ mV/div.}$
- → $\eta=0,05 \text{ \%/div.}$
- → $\Delta V=100 \text{ mV/div.}$

A la Figura 4. es veu com modificant el paràmetre *alpha*, els paràmetres de sortida, canvien. S'agafa en aquest cas, el valor d'*alpha*, 0,99 que més rendiment dóna a l'estructura, 91,36 %.

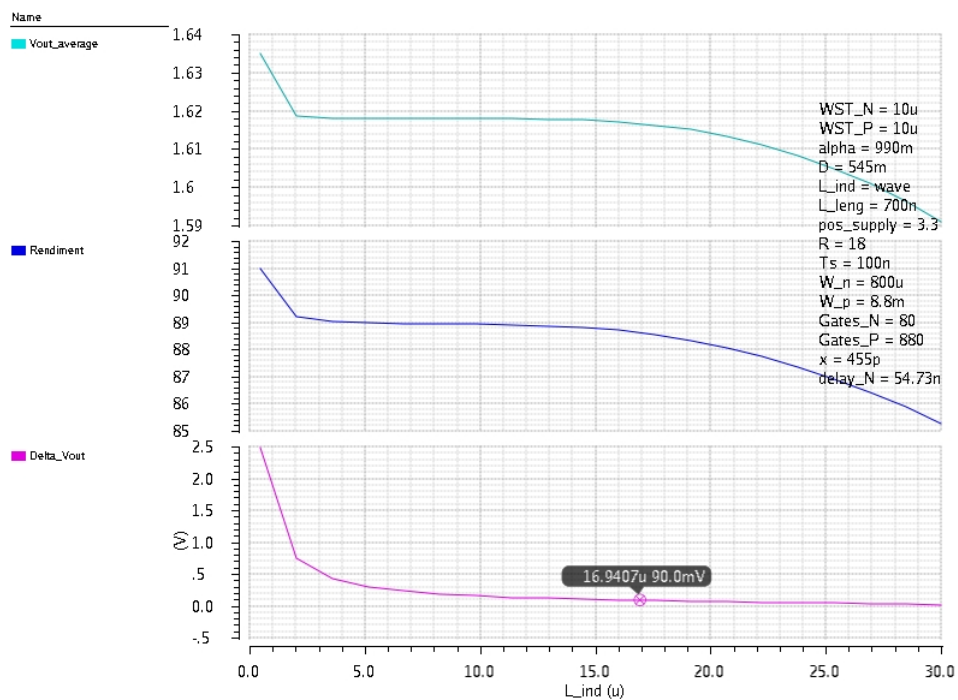


Figura 5. Parametrització de simulació transitòria en funció de la inductància.

Horitzontal $1 \mu\text{H}/\text{div}$. Vertical:
■ → $V_{OUT} = 20 \text{ mV}/\text{div}$.
■ → $\eta = 0,2 \text{ \%}/\text{div}$.
■ → $\Delta V = 100 \text{ mV}/\text{div}$.

La Figura 5. mostra com al augmentar-ne la inductància, el valor d'arissat de sortida, cau molt notablement, a diferència de les altres sortides, que varien poc, i no és tampoc d'interès que ho facin. En aquest cas s'ha agafat el valor de l'inductor que acomplia amb la especificació d'arissat, $16,94 \mu\text{H}$, ja que el fet d'augmentar-ne aquest valor, també fa disminuir el rendiment de l'estructura més abruptament.

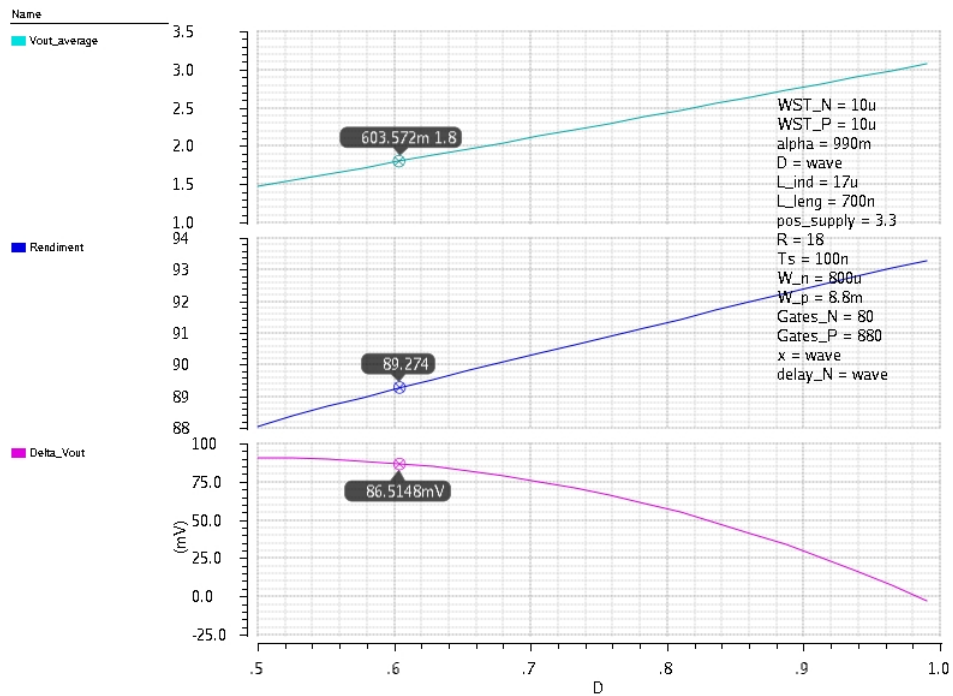


Figura 6. Parametrització de simulació transitòria del cicle de treball.

Horizontal 2 %/div. Vertical:

- → $V_{OUT}=0,1 \text{ V/div.}$
- → $\eta=0,2 \text{ \%/div.}$
- → $\Delta V=5 \text{ mV/div.}$

A la Figura 6. s'ha realitzat, un escombrat del cicle de treball de l'estructura, i es reflexa en la mateixa, com s'aconsegueix arribar als 1,8 V a la sortida, sense deixar que la estructura tingui un arrissat excessiu, a més d'aconseguir un rendiment d'aquesta, del 89,27 %. El valor del *duty cycle* que dóna aquests valors, és el de 60,36 %.

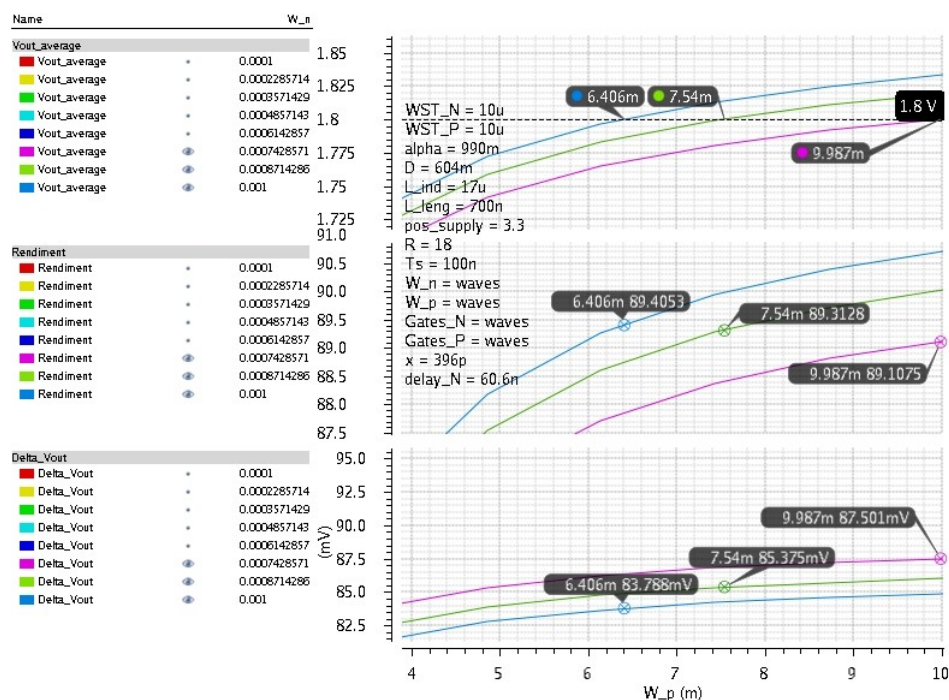


Figura 7. Parametrizació de simulació transitòria en funció de les amplades dels transistors.
 Horitzontal 200 $\mu\text{m}/\text{div}$. Vertical:
 $V_{OUT}=25 \text{ mV}/\text{div}$.
 $\eta=0,1 \text{ \%}/\text{div}$.
 $\Delta V=0,5 \text{ mV}/\text{div}$.

En aquesta última parametrizació, en escombrat d'amplades, tant de PMOS i de NMOS, s'observa que per a acomplir l'especificació de tensió de sortida, els valors de rendiment, no varien gaire, així com tampoc ho fan els d'arriestat de tensió. Per concloure, s'agafarà un valor de 6,4 mm d'ample pel PMOS, i un de 1 mm pel NMOS.

Fent una simulació per veure com varia el comportament de l'estructura mantenint les amplades de transistor, i variant el seu *width stripe* i la quantitat de portes per transistor, el resultat ve a ésser similar. Amb la qual cosa, es conclou agafant una amplada de *width stripe* per al PMOS de 160 μm i 40 portes, i de 100 μm i 10 portes per al NMOS.

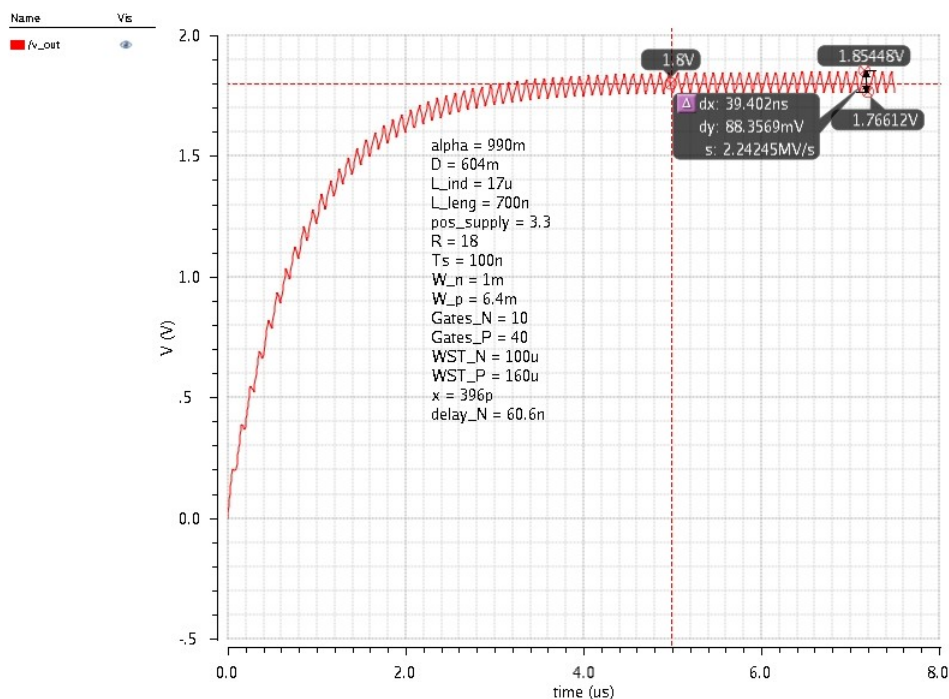


Figura 8. Simulació amb els paràmetres extrets per la simulació.
Horitzontal: 200 ns/div; Vertical: 0,1 V/div.

La Figura 8. reflecteix el resultat de l'estudi del *buck* asíncron, amb els millors paràmetres per a aconseguir-ne les especificacions d'entrada, i extreure'n el màxim rendiment. Per fer-ne un resum, es detallen a sota, els diferents valors de les entrades, i els resultats de les sortides.

Entrades:

- $\alpha = 99\%$.
- $L_{ind} = 17 \mu\text{H}$.
- $W_p = 6,4 \text{ mm}$ (40 portes).
- $W_n = 1 \text{ mm}$ (10 portes).
- D (cicle de treball) = 60,4 %.

Sortides:

- $V_{OUT} = 1,8 \text{ V}$.
- Rendiment $\eta = 89,5 \%$.
- $\Delta V_{OUT} = 88,7 \text{ mV}$.

2.1.4. Simulació Buck síncron

Degut a la dificultat de control de l'estructura, que ha de governar dos transistors amb diferent cicle de treball, i amb un cert angle de retard en l'encesa i d'avançament de l'apagat, es mirarà de fer l'estructura síncrona. Aquesta tindrà algunes diferències, i molt segurament, el rendiment se'n vegi afectat. El fi d'aquesta part, és poder sospesar si la pèrdua en rendiment és considerable per tal de incrementar-ne la dificultat en el control, cosa que a la vegada incrementarà també el consum.

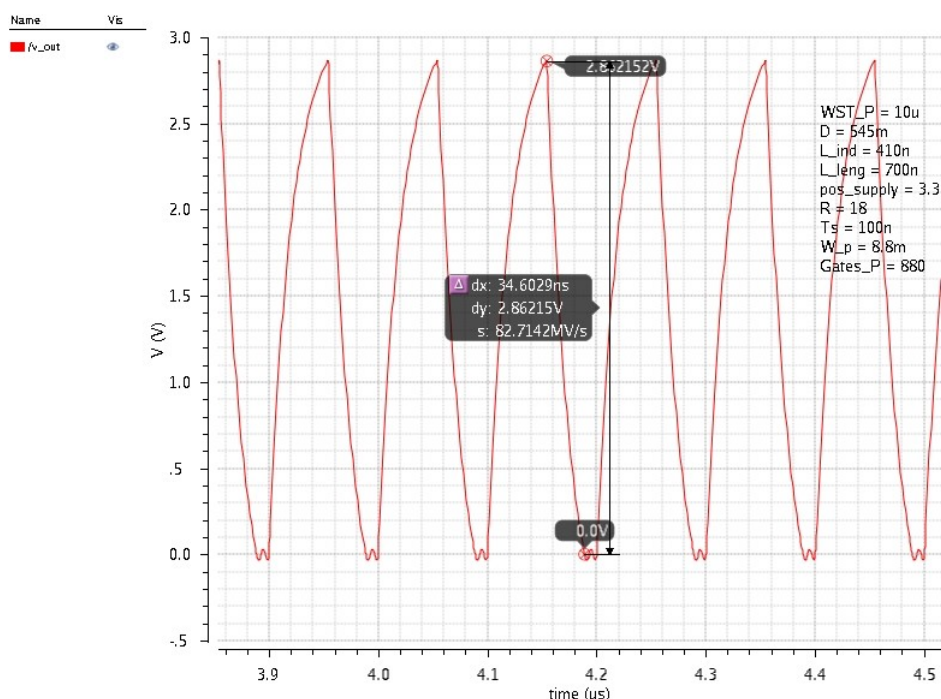


Figura 9. Simulació amb els paràmetres calculats a mà.
 Horitzontal: 20 ns/div; Vertical: 0,1 V/div.

A la Figura 9. es pot observar la evolució de la tensió de sortida. L'arissat de sortida és similar al que s'havia simulat amb el *buck* asíncron, amb un gran arissat degut al baix valor de la inductància.

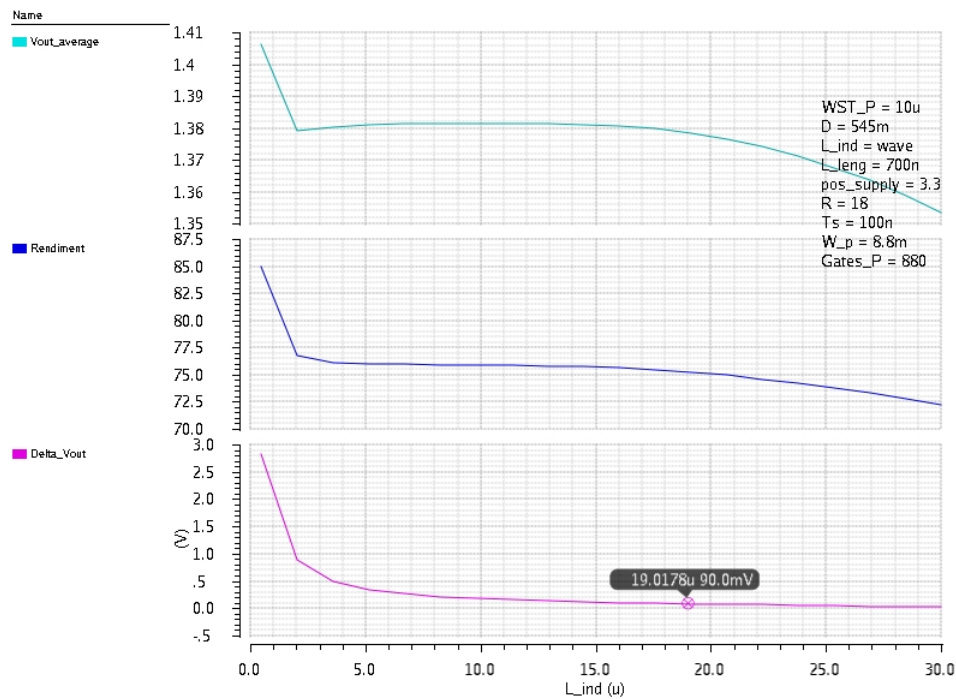


Figura 10. Parametrització de simulació transitòria en funció de la inductància.

Horizontal $1 \mu\text{H}/\text{div}$. Vertical:
■ → $V_{OUT} = 20 \text{ mV}/\text{div}$.
■ → $\eta = 0,1 \text{ \%}/\text{div}$.
■ → $\Delta V = 50 \text{ mV}/\text{div}$.

Per als paràmetres inicialment calculats per al *buck* síncron, s'inicia també el procés similar, tot i que en aquest cas se n'han vist reduïdes les variables a tenir en compte, ja que hi ha un transistor menys. Al gràfic de la Figura 10. es realitza un escombrat de la inductància en una simulació transitòria, del qual es denota ràpidament que la inductància, ha d'ésser superior a uns $5 \mu\text{H}$.

S'agafarà per a acomplir l'arriestat de sortida especificat, $19 \mu\text{H}$ per al valor de la inductància, i es realitza un escombrat de l'amplada de porta del transistor. Aquesta simulació, no aporta gaire informació, ja que de reduir-ne la mida, la tensió mitjana a la sortida, també ho fa, així com el rendiment de l'estructura. Emperò, l'arriestat de sortida, cau també. Per continuar acomplint amb les especificacions, no es varia aquest paràmetre W_p .

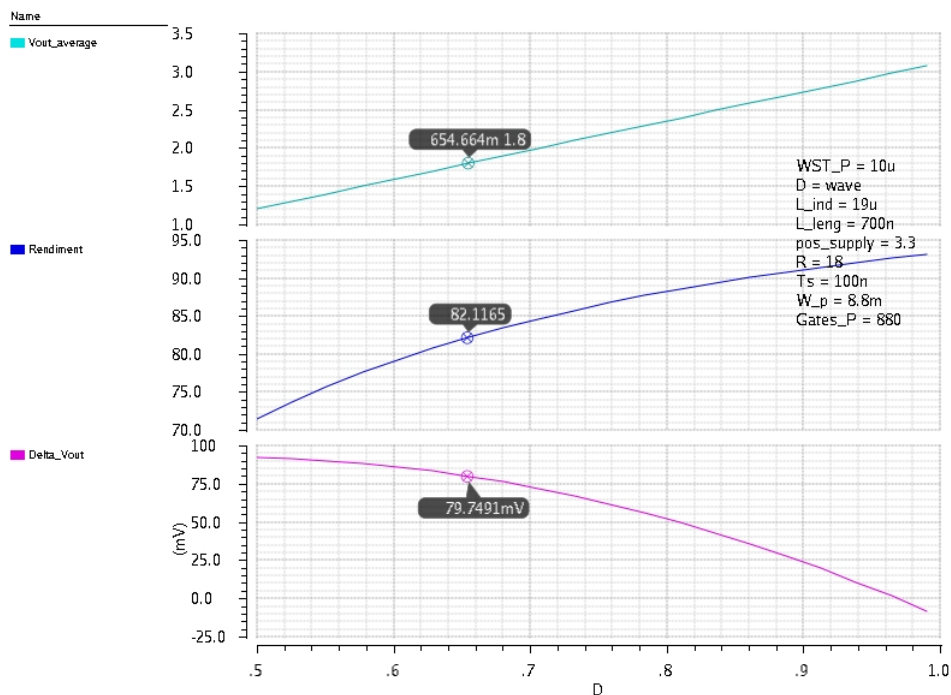


Figura 11. Parametrització de simulació transitòria en funció del cicle de treball. Horitzontal 2 %/div. Vertical:

- → $V_{OUT}=0,1 \text{ mV/div.}$
- → $\eta=0,2 \text{ \%/div.}$
- → $\Delta V=5 \text{ mV/div.}$

L'escombrat de la Figura 11., es referit al cicle de treball del transistor. Es pot veure com s'arriba als 1,8 V a la sortida quan aquest és del 65,46 %. Amb aquest valor, l'arrissat cau per sota dels 80 mV, i la eficiència de l'estructura puja al 82,1 %.

Seguidament es tornarà a comprovar el valor de la inductància per si el canvi dels cicle de treball, hagués pogut variar-ne el valor òptim.

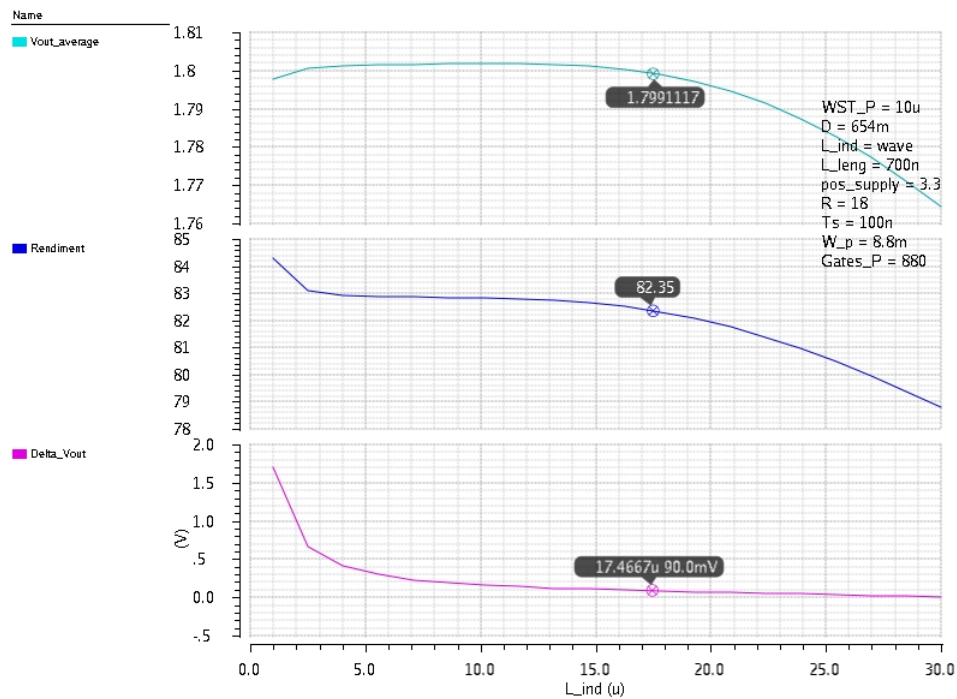


Figura 12. Parametrització de simulació transitòria en funció de la inductància.

Horizontal 1 $\mu\text{H}/\text{div}$. Vertical:

- → $V_{OUT}=0,5 \text{ mV}/\text{div}$.
- → $\eta=0,1 \text{ \%}/\text{div}$.
- → $\Delta V=100 \text{ mV}/\text{div}$.

Es comprova en aquest cas com el valor de la inductància s'ha de veure reduït, degut a la caiguda de rendiment que comporta mantenir-lo més elevat, a més de mantenir el marge de l'arissat de sortida i acomplint també amb la tensió de sortida.

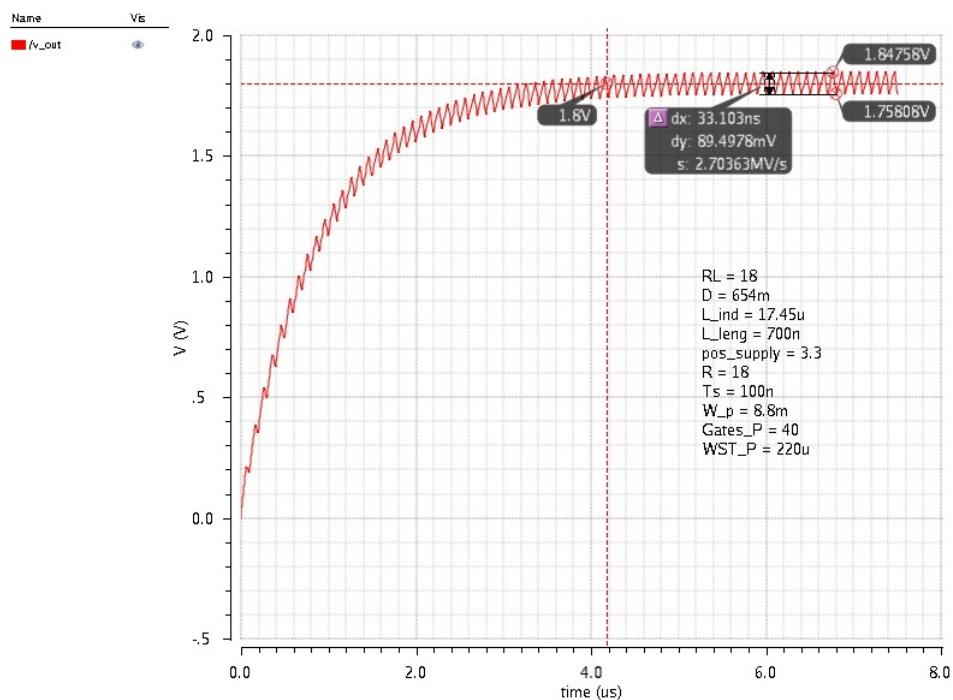


Figura 13. Simulació amb els paràmetres extrets per la simulació.
 Horitzontal: 200 ns/div; Vertical: 0,1 V/div.

La Figura 13. reflecteix el resultat de l'estudi del *buck* síncron, amb els millors paràmetres per a aconseguir-ne les especificacions d'entrada, i extreure'n el màxim rendiment. Finalment es detallen els paràmetres seleccionats, i el que en comporten a la sortida de l'estructura.

Entrades:

- $L_{ind} = 17,45 \mu\text{H}$.
- $W_p = 8,8 \text{ mm}$ (40 portes).
- D (cicle de treball) = 65,4 %.

Sortides:

- $V_{OUT} = 1,8 \text{ V}$.
- Rendiment $\eta = 82,4 \%$.
- $\Delta V_{OUT} = 89,5 \text{ mV}$.

2.1.5. Resultats

Fent una comparativa final, en el cas de la primera estructura, asíncrona, existeix un molt bon resultat de rendiment, del 89,5 %, però el fet de l'existència d'un transistor més, en complica en gran mesura el control, ja que aquest transistor N, ha d'ésser encès un cop el PMOS hagi sigut apagat per a evitar corrents derivades a massa, que provoquen grans pèrdues, a la vegada que redueixen la vida útil del transistor. Aquest control que es realitza en un retard a l'encesa i un avançament en l'apagat, hauria de portar una estructura darrera bastant complexa, a la vegada que aquesta també consumiria part d'energia i fent així que aquest 89,5 % caigui indirectament a l'estructura proposada.

Per altra banda se'n té el *buck* síncron, el qual només necessita govern d'un sol transistor, al que se li donarà una tensió d'alimentació a la porta, o se li donarà una massa. Un control molt senzill, però el fet de no tenir un transistor en antiparal·lel, provoca que l'estructura se'n vegi afectada, en una caiguda del rendiment fins al 82,4 %, és a dir, un 7 % menys eficient que la primera estructura.

Finalment, com el transistor queda d'una mida molt elevada, es realitzarà una dissociació, que consistirà en subdividir-lo en transistors més petits, i unir-los en paral·lel, per tal de que l'amplada en siga la suma de cadascun dels transistors.

Tot i la deficiència en el rendiment, l'estructura seleccionada és la del *buck* síncron, degut a la seva facilitat de control, i als no tant dolents resultats obtinguts en les simulacions, per tant els resultats en són:

Entrades:

- $L_{ind} = 17,45 \mu\text{H}$.
- $W_p = 8,8 \text{ mm}$ (40 portes).
- D (cicle de treball) = 65,4 %.

Sortides:

- $V_{OUT} = 1,8 \text{ V}$.
- Rendiment $\eta = 82,4 \%$.
- $\Delta V_{OUT} = 89,5 \text{ mV}$.

En quant als objectius proposats, es verifica:

- I. S'ha assolit el corrent de sortida requerit de 100 mA.
- II. S'han minimitzat les pèrdues en el transistor, però la elecció final de l'estructura provoca més pèrdues que algunes de les estudiades. Tal i com s'ha explicat, es realitza d'aquesta manera, per simplificar-ne el control, i per tal de minimitzar-ne l'àrea de silici, ja que més transistors, augmentarien aquesta àrea.
- III. S'ha minimitzat l'àrea de silici, degut a que s'ha seleccionat l'estructura més senzilla. Tot i això, aquesta part consumeix una gran quantitat de silici, ja que incorpora un transistor de 8,8 mm, segurament el més gran de tot el conjunt. Donada la tecnologia utilitzada i el corrent que se'n vol conduir, ja era d'esperar un transistor tan gran.

2.2. Driver del Buck

2.2.1. Funcionament

Per tal de poder governar el transistor PMOS, s'ha d'utilitzar un *driver*. Degut a que l'amplada de canal és molt gran, aquest transistor, acumula una capacitat de porta enorme. Aquesta capacitat necessita carregar-se i descarregar-se per a funcionar, però a l'hora, si la velocitat en que ho fa és més ràpida, l'estructura treballa millor. Degut a la velocitat de commutació a la porta, si no es realitza una estructura governadora del transistor, aquest no haurà arribat a passar a l'estat de conducció, quan a la porta, ja se li forçarà un apagat, i viceversa.

L'estructura del *driver*, és un seguit d'inversors en cascada, amb variacions en els seus aspectes geomètrics, és a dir, en les seves amplades. El nombre de transistors, també en serà una dada important, ja que hi haurà un òptim que en en minimitzarà aquest temps de retard.

2.2.2. Disseny

Per realitzar el disseny del *driver*, es seguirà un estudi típic d'encadenat d'inversors per minimitzar el *propagation delay*. Això consisteix en col·locar un inversor darrera l'altre, el segon, n'és A vegades més ample que el primer. És interessant trobar quants inversors encadenats i a quin factor A, el valor t_p és mínim.

$$N_{opt} = \ln \left(\frac{C_L}{C_{in}} \right) \quad (26)$$

Segons l'equació 26, l'òptim d'inversors encadenats n'és el logaritme neperià de la relació entre C_L , capacitat de càrrega, i C_{in} , capacitat d'entrada. La primera està composta per la capacitat de porta del transistor P del propi *buck*, i la segona, està referenciada per la capacitat de porta del primer inversor del *driver*.

Seguint l'equació 17, referent a la capacitat de porta d'un MOSFET, se n'extreu la relativa a la de l'interruptor del *buck* i del *driver*.

$$C_{G,Buck} = \frac{1}{2} \cdot 4,54 \cdot 10^{-3} \cdot 8,8 \cdot 10^{-3} \cdot 0,7 \cdot 10^{-6} = 13,98 \text{ pF} \quad (27)$$

$$C_{G,driver,in} = \frac{1}{2} \cdot 4,54 \cdot 10^{-3} \cdot 0,7 \cdot 10^{-6} \cdot W_{inicial} = 1,589 \cdot 10^{-9} \cdot (W_{N_{inicial}} + W_{P_{inicial}}) \quad (28)$$

Per poder calcular, s'ha d'imposar un valor d'ample del primer transistor. Aquest ha d'ésser molt petit, així hi haurà molt de marge per poder jugar tant amb el número de portes, com amb el factor d'augment. Aquest últim és un paràmetre que indica quan més ample gran ha d'ésser el següent transistor. Tot i això, estarà referenciat al primer inversor, i els següents seran A elevat al número d'inversor.

$$A_{opt} = \sqrt[N]{\frac{C_{load}}{C_{in}}} \quad (29)$$

L'amplada de transistor inicial, es fixarà en 1 μm , per tant la capacitat d'entrada del *driver* serà de 6,34 fF. Les amplades es refereixen a les del transistor N, i la relació entre els PMOS i NMOS serà el quocient de les seves constants.

$$W_N = \gamma W_P \Rightarrow \gamma = \frac{170}{58} \quad (30)$$

$$C_{G,in} = 1,589 \cdot 10^{-9} \cdot \left(1 + \frac{170}{58}\right) \cdot 10^{-6} = 6,24 \text{ fF} \quad (31)$$

Així doncs amb la solució de l'equació 28 i obtenir-ne el resultat de la 26 i la 29:

$$N_{opt} = \ln \left(\frac{13,98 \cdot 10^{-12}}{6,24 \cdot 10^{-15}} \right) = 7,71 \text{ inversors} \quad (32)$$

$$A_{opt} = \sqrt[7,71]{\frac{13,98 \cdot 10^{-12}}{6,24 \cdot 10^{-15}}} = 2,72 \quad (33)$$

Aquest resultat, era evident, atès que N surt d'una fórmula en que s'utilitza el logaritme neperià, per tant al fer l'arrel N-èsima, el nombre que surt és el número d'Euler "e".

D'aquí, se n'extreuen dos resultats vàlids, atès a que el número d'inversors ha d'ésser enter, s'haurà de decidir entre 7 o 8 inversors. Per tant, cadascuna de les eleccions, aporta un paràmetre d'A diferent.

$$A_{opt,7} = \sqrt[7]{\frac{13,98 \cdot 10^{-12}}{6,24 \cdot 10^{-15}}} = 3,01 \quad (34)$$

$$A_{opt,8} = \sqrt[8]{\frac{13,98 \cdot 10^{-12}}{6,24 \cdot 10^{-15}}} = 2,62 \quad (35)$$

2.2.3. Simulació

Per poder valorar aquestes variables, es comença per ficar els 8 inversors en cascada. Sobre aquest disseny de 8 etapes, es realitza l'estudi, escombrant, la relació de multiplicació de les amplades entre etapes A , la relació entre l'amplada de PMOS i NMOS γ , i l'ample unitari del primer transistor de canal N, W_{ini} .

Per començar, se'n tenen aquests valors:

- $N = 8$ etapes.
- $W_{ini} = 1 \mu\text{m}$.
- $A = 2,62$.
- $\text{gamma} = 170/58$.

El resultat amb aquest paràmetres, és mostra a continuació:

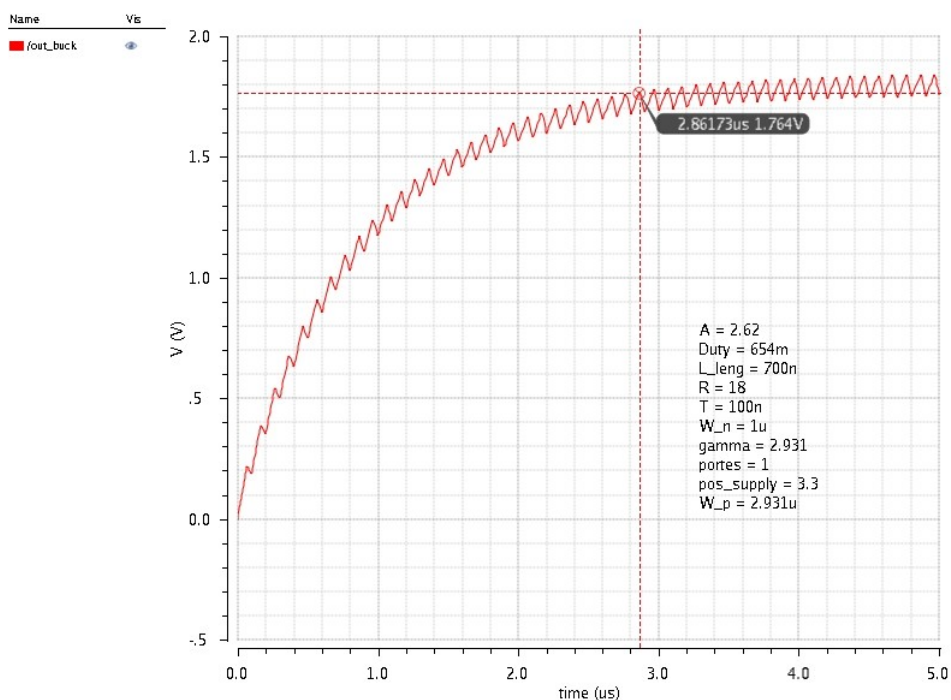


Figura 14. Simulació transitòria del buck amb driver incorporat.
Horizontal: 200 ns/div; Vertical: 0,1 V/div.

La Figura 14. mostra la evolució de la sortida del convertidor, i el temps en que aquest tarda en arribar al 98 % del seu valor mitjà a la sortida (equiparable a 4τ). Si es compara amb Figura 13. amb el *buck*, 2,8606 μs , que estava excitat per elements ideals, la diferència és gairebé bastant petita.

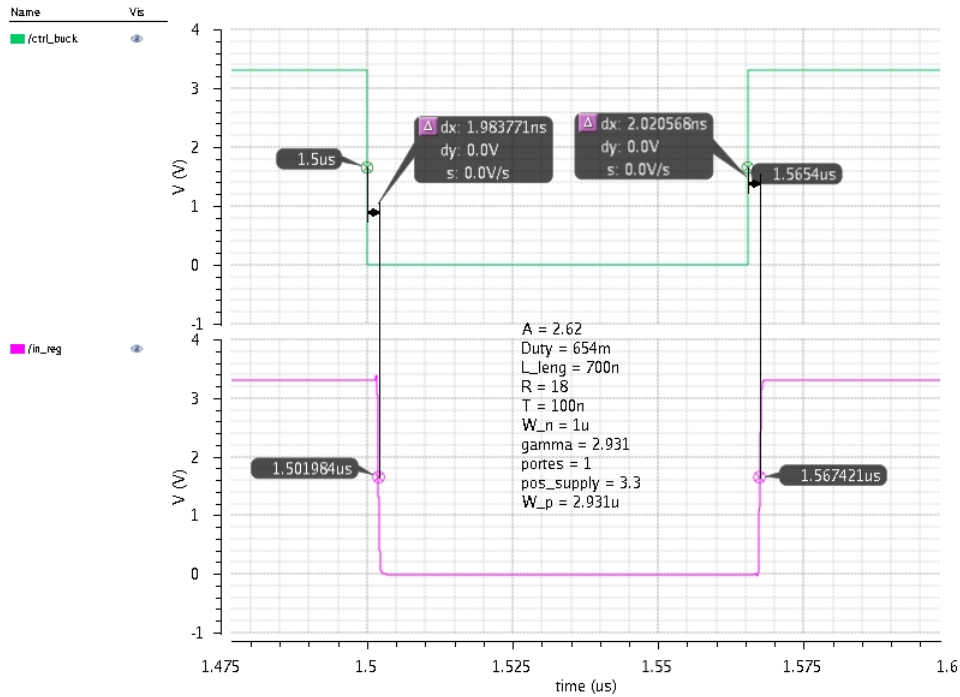


Figura 15. Simulació transitòria de la entrada i la sortida del driver.
 Horitzontal 5 ns/div. Vertical 200 mV/div

- → Entrada del driver
- → Sortida del driver

Amb els paràmetres anteriorment mencionats, el retard és equivalent a la meitat de la suma entre 2,020 ns que és el retard de pujada (*low to high*), i 1,984 ns, que n'és el retard de baixada (*high to low*). Aquesta diferència és de 2,003 ns i això resulta ser el temps de propagació del *driver*.

Seguidament es realitza una parametrització del paràmetre d'augment A entre inversors del *driver*.

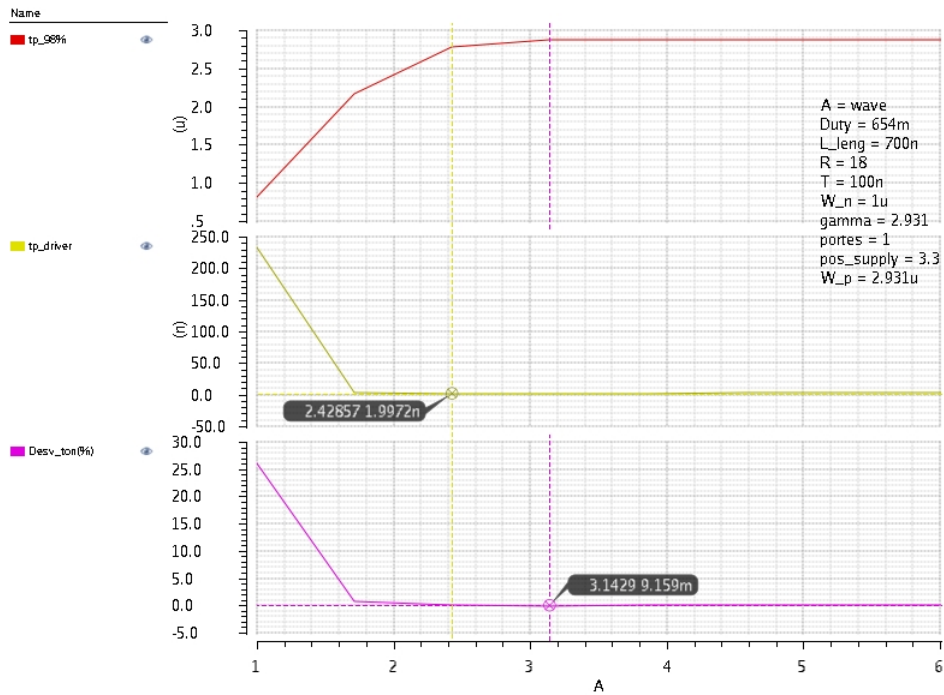


Figura 16. Parametrització de simulació transitòria en funció del paràmetre A.
 Horitzontal 0,2/div. Vertical:

- → $t_{(estab_{98\%})} = 0,1 \mu s/div$
- → $tp_{(driver)} = 10 ns/div$
- → $ton_{(desviació)} = 1 \% /div$

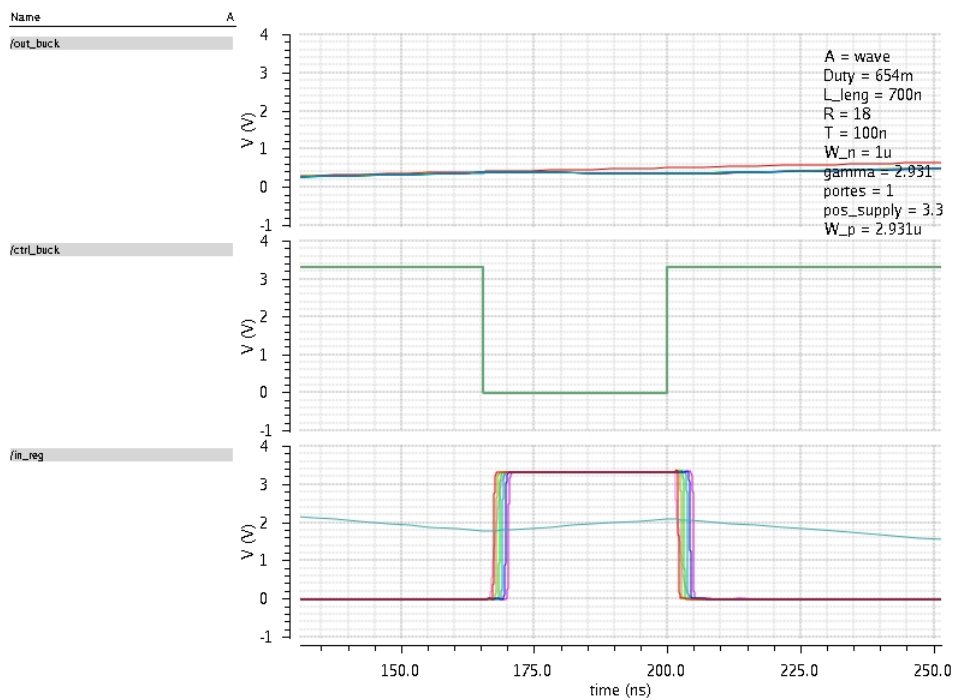


Figura 17. Efectes de la parametrització d'A.
 Horitzontal 5 ns/div; Vertical: 0,2 V/div.

Tal i com s'observa en Figura 16., es veu que amb una A baixa, el nivell d'estabilització al 98 %, és ràpid. Això és degut a que com el *driver* té un gran temps de retard, el *duty cycle* no és fidel al que se li proporciona a l'entrada, i per tant, queda l'interruptor del *buck*, en tot moment en nivell baix, donant un pas directe entre V_{DD} i la resistència. Amb això és normal que arribi amb un temps més baix a la tensió desitjada, emperò el *buck*, no està actuant com a regulador, si no que és només un circuit tancat i arriba per tant també a nivells de tensió més elevats al que es desitja. Aquests efectes es poden veure reflectits en la simulació transitòria de la Figura 17..

Per evitar això, s'utilitza un paràmetre de fidelitat entre el cicle de treball a l'entrada, i a la sortida del *driver*, del qual se n'extreuen aquells valor d'A que tenen uns inversors amb certes capacitats, tals que fan una propagació inexacta del què se'n pretén.

Com a mínim de propagació del *driver*, se n'obté un mínim de 1,99 ns amb valor d'A igual a 2,43, i una mínima desviació de 0,009 % amb A igual a 3,14. Com que ambdós valors, no difereixen a grans trets, s'agafarà un valor entremig d'A igual a 2,73.

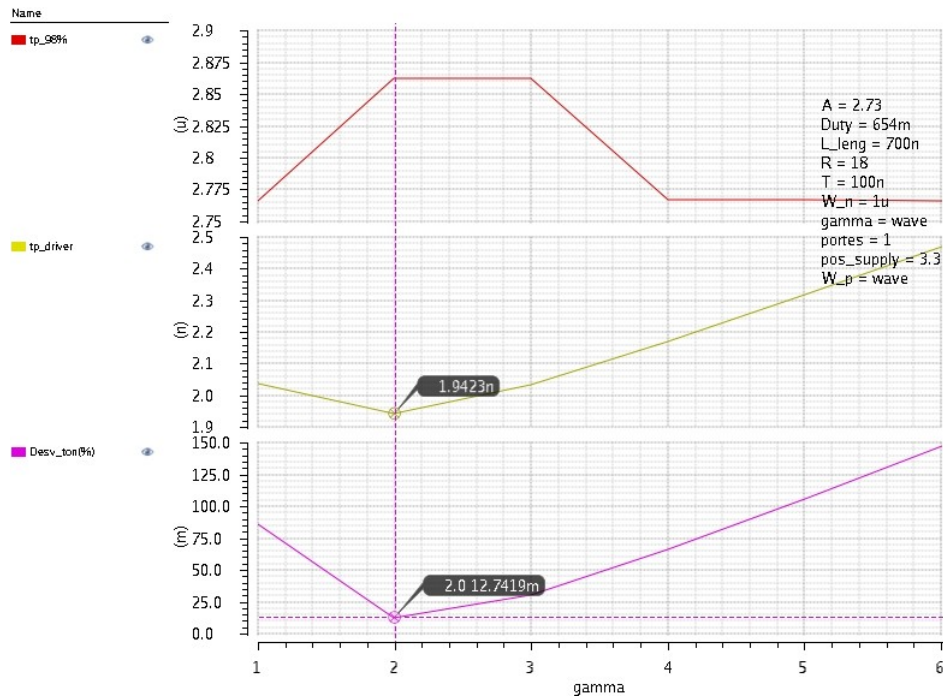


Figura 18. Parametrització de simulació transitòria en funció del paràmetre γ .
 Horitzontal 0,2/div. Vertical:

- → $t_{(estab_{98\%})} = 5 \text{ ns/div}$
- → $tp_{(driver)} = 20 \text{ ps/div}$
- → $ton_{(desviació)} = 0,005 \text{ \%/div}$

En la parametrització de γ , es veu com varia el temps de retard tenint aquest un mínim per a γ igual a 2 amb un temps de 1,94 ns. En aquest punt, també hi ha un mínim de desviació tot i que una mica més elevat que l'anterior, i que és igual al 0,012 %.

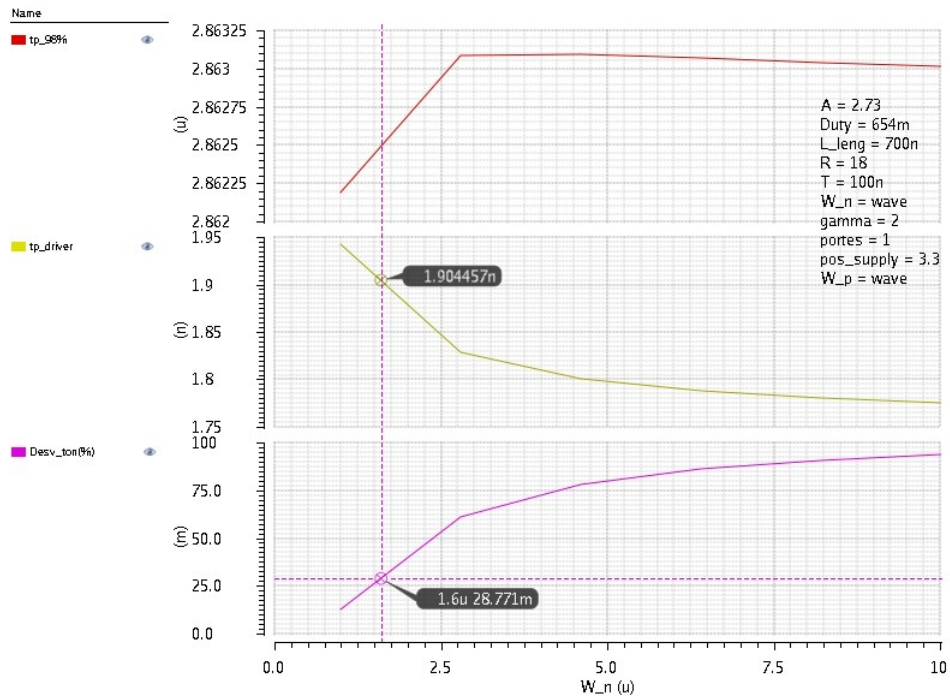


Figura 19. Parametrizació de simulació transitòria en funció de l'amplada del primer transistor N.

Horitzontal 0,25 $\mu\text{m}/\text{div}$. Vertical:

- $\rightarrow t_{(estab_{98\%})} = 50 \text{ ps}/\text{div}$
- $\rightarrow t_{p(\text{driver})} = 5 \text{ ps}/\text{div}$
- $\rightarrow t_{on(\text{desviació})} = 0,0025 \text{ \%}/\text{div}$

A la Figura 19., s'observa l'escombrat de l'amplada del primer transistor N, i mostra com a l'augmentar-ne aquest valor, el temps de propagació del *driver* disminueix, però la desviació del cicle de treball augmenta. S'agafa en aquest cas un valor baix, 1,6 μm , degut a que l'augment del primer transistor, comportaria també un augment successiu de la resta, i per tant, un augment en l'àrea de silici.

Amb els valors seleccionats de l'estudi, se n'obté un resultat així:

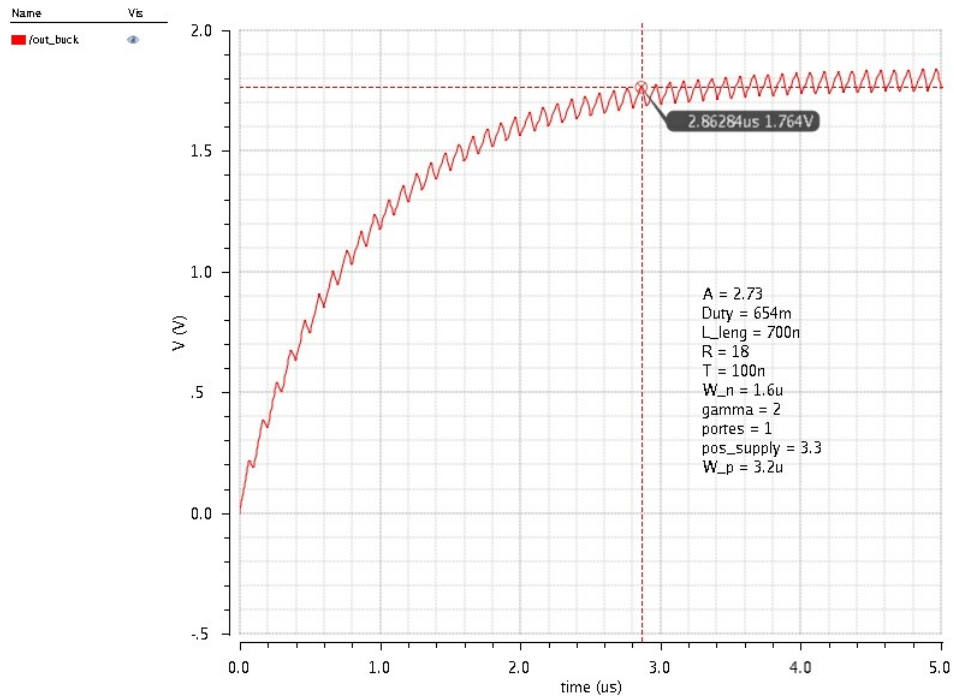


Figura 20. Simulació transitòria del buck amb driver incorporat.
 Horitzontal: 200 ns/div; Vertical: 0,1 V/div.

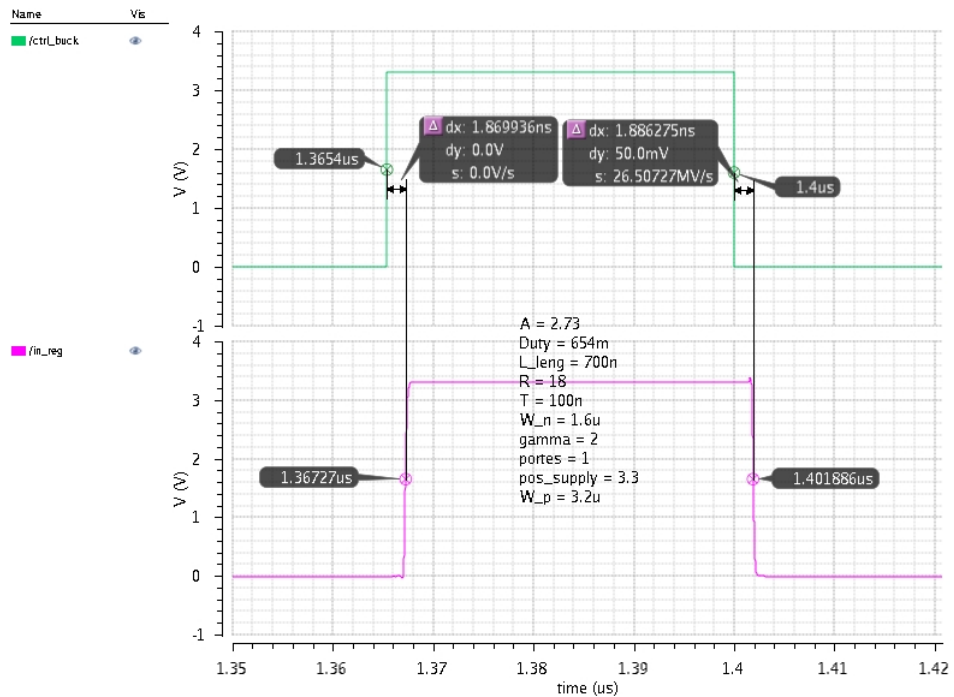


Figura 21. Simulació transitòria de la entrada i la sortida del driver.
 Horitzontal 2 ns/div; Vertical 200 mV/div.

- → Entrada del driver
- → Sortida del driver

Seguidament s'estudiarà el disseny de 7 etapes, realitzant el mateix mètode que amb 8 etapes

Els valors inicials en són:

- $N = 7$ etapes.
- $W_{ini} = 1 \mu\text{m}$.
- $A = 3,01$.
- $\text{gamma} = 170/58$.

El resultat amb aquest paràmetres, és mostra a continuació:

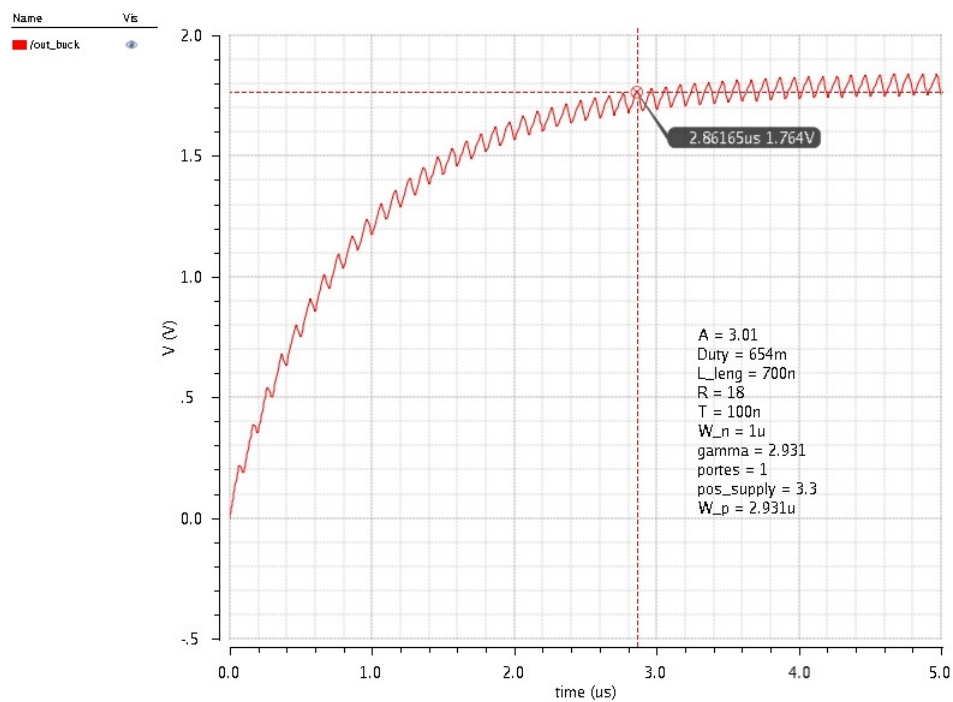


Figura 22. Simulació transitoria del buck amb driver incorporat.
Horitzontal: 200 ns/div; Vertical: 0,1 V/div

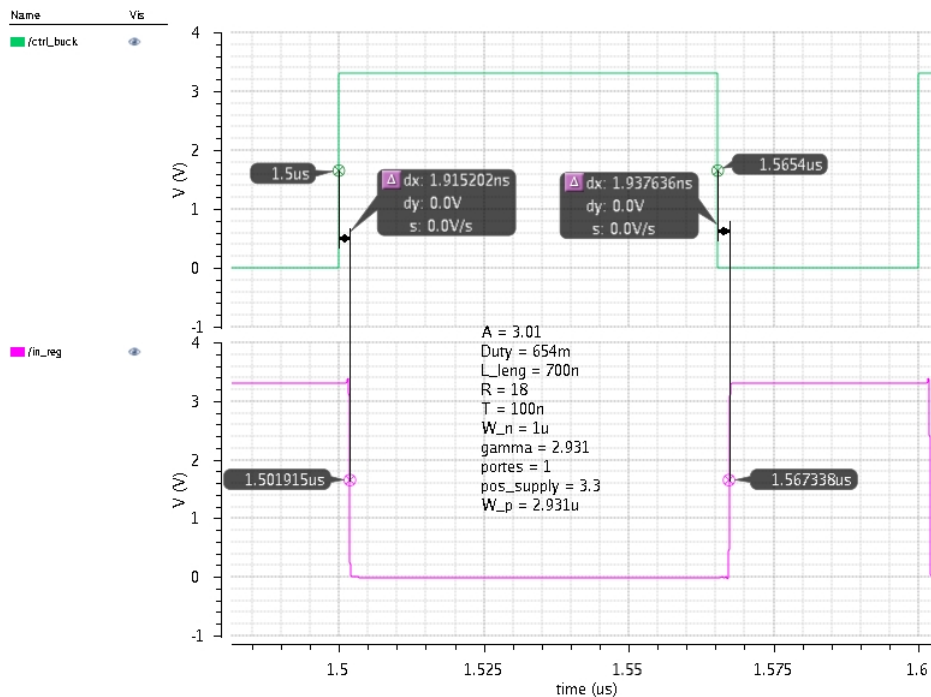


Figura 23. Simulació transitòria de la entrada i la sortida del driver.
 Horitzontal 200 mV/div. Vertical:
■ → Entrada del driver
■ → Sortida del driver

Tal i com mostra la Figura 22., el temps d'estabilització al 98 % del conjunt, és similar al que tenia el *buck* sol. Per tant es podria donar per vàlida aquesta configuració del *driver*. De totes formes, es realitza un estudi sobre els paràmetres d'aquest.

També es pot observar en la Figura 23., quins són els temps de retard al propi *driver*, tan de pujada com de baixada.

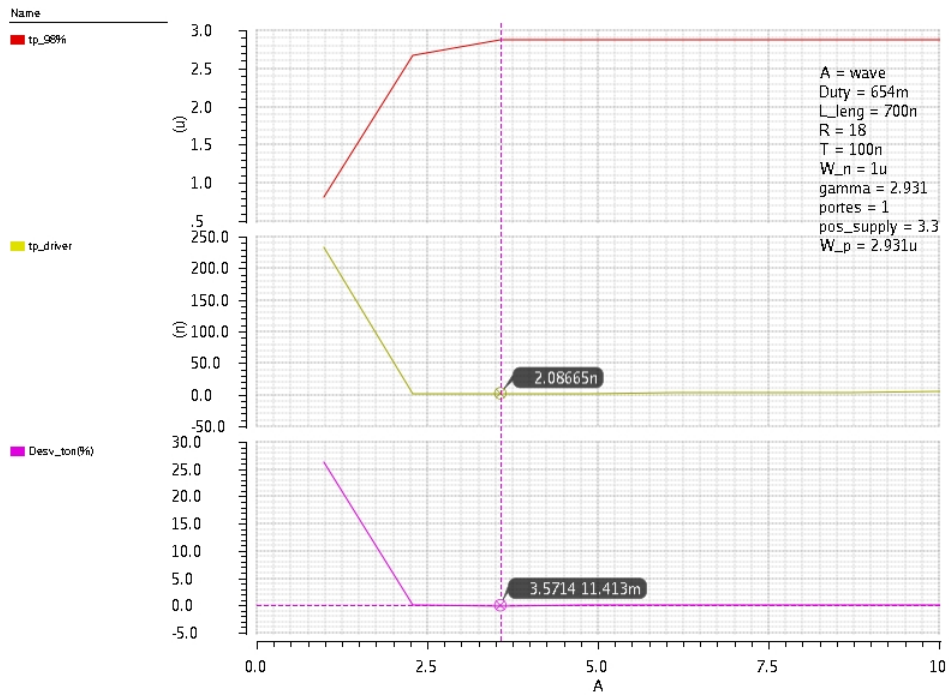


Figura 24. Parametrizació de simulació transitoria en funció del paràmetre A.

Horizontal 0,25/div. Vertical:

- → $t_{(estab_{98\%})} = 0,5 \mu\text{s/div}$
- → $tp_{(driver)} = 10 \text{ ns/div}$
- → $ton_{(desviació)} = 1 \text{ %/div}$

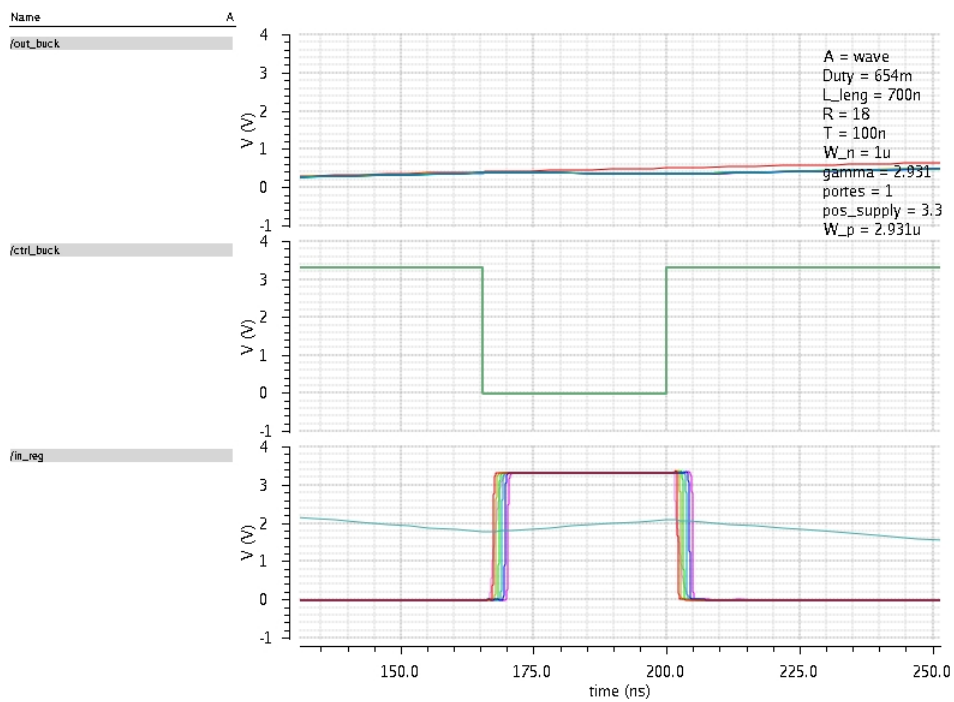


Figura 25. Efectes de la parametrizació d'A.
Horizontal 5 ns/div; Vertical: 0,2 V/div.

A la Figura 25., es veu els efectes de variar aquest paràmetre. Com s'observa per valors baixos d'A, el temps d'estabilització al 98 %, és molt baix. Això és degut a que com el *driver* no pot seguir els canvis a la seva entrada, tal i com succeïa amb 8 inversors, i per tant, també es pren en consideració el paràmetre de desviació del cicle de treball.

Finalment s'agafarà el valor d'A igual a 3,57, que implica un mínim en la desviació i en el temps de propagació del *driver*.

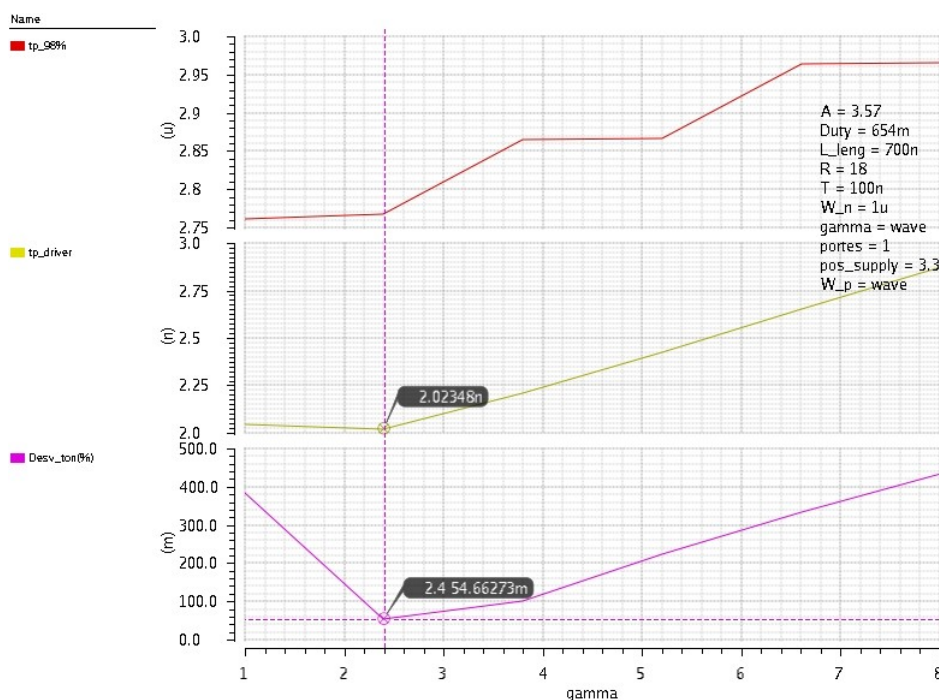


Figura 26. Parametrització de simulació transitòria en funció del paràmetre γ .

Horitzontal 0,2/div. Vertical:

- → $t_{(estab_{98\%})} = 10 \text{ ns/div}$
- → $tp_{(driver)} = 25 \text{ ps/div}$
- → $ton_{(desviació)} = 0,02 \text{ \%/div}$

En la parametrització de γ , es troba que el mínim trobat ha augmentat la seva desviació, i el temps de propagació. Tal i com queda reflectit en la Figura 26., aquest mínim, queda prop d'on s'havia començat a realitzar l'estudi. Això és degut a la falta de precisió de la simulació, per tant, es mantindrà el valor anterior de γ igual a 2,93.

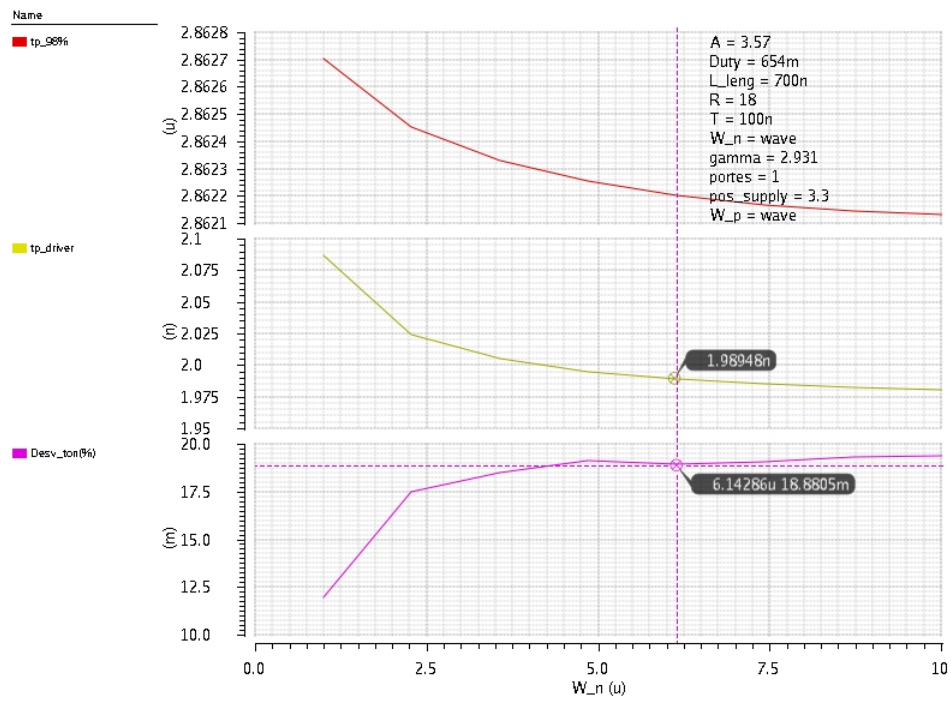


Figura 27. Parametrització de simulació transitòria en funció de l'amplada del primer transistor N .

Horitzontal 0,2/div. Vertical:

- → $t_{(estab_{98\%})} = 20 \text{ ps/div}$
- → $t_{p_{(driver)}} = 5 \text{ ps/div}$
- → $ton_{(desviació)} = 0,00025 \text{ \% /div}$

S'ha reduït una mica el temps de propagació respecte a l'escombrat d'A, però tot i això, la desviació a augmentat. Per tant es torna a agafar el valor de W_N igual a $1 \mu\text{m}$.

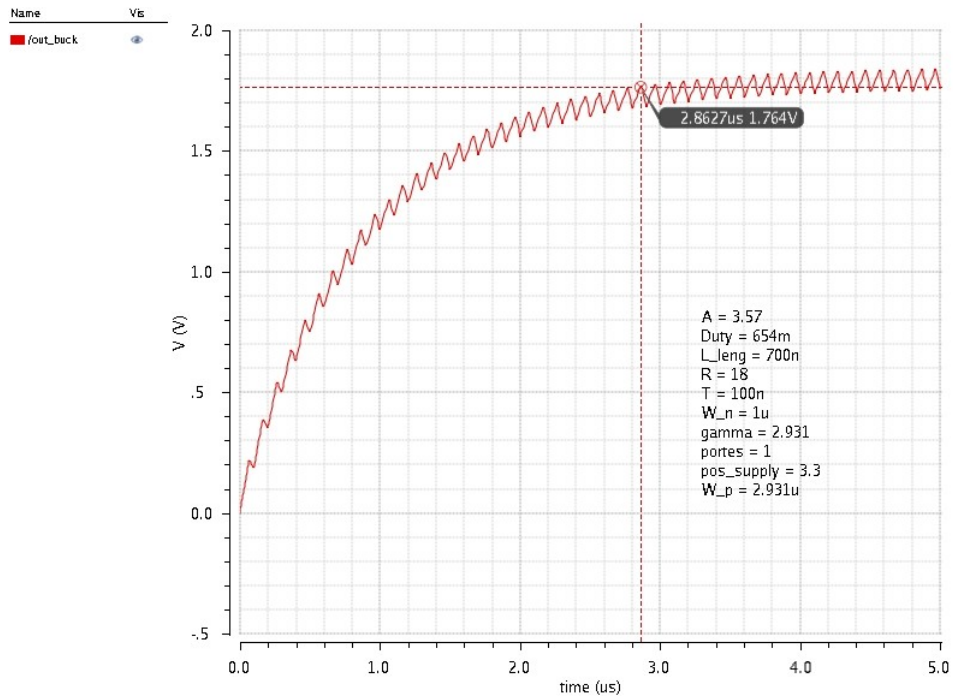


Figura 28. Simulació transitòria del buck amb driver incorporat.
 Horitzontal: 200 ns/div; Vertical: 0,1 V/div.

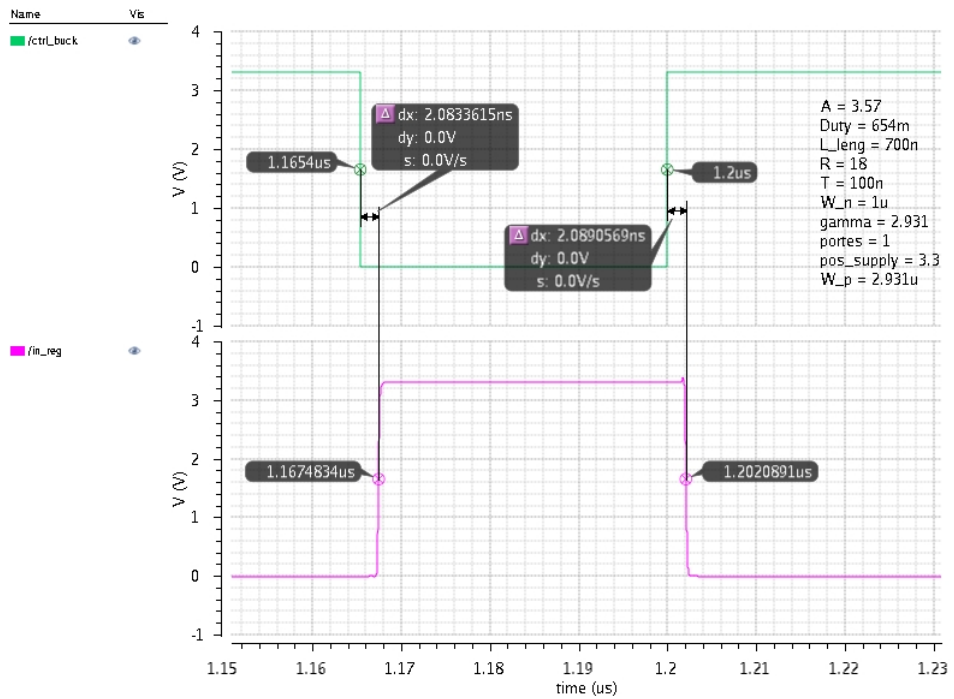


Figura 29. Simulació transitòria de la entrada i la sortida del driver.

Horitzontal 200 mV/div. Vertical:

- → Entrada del driver
- → Sortida del driver

Tal com s'observa el canvi no és massa rellevant vers a la simulació inicial. Per aquest motiu, s'agafen els valors inicials que s'havien calculat. Aquest estudi, demostra que els valors calculats eren els idonis per a obtenir el millor resultat d'aquest component del sistema

2.2.4. Resultats

Els valors que finalment s'agafen són:

- $N = 8$ etapes.
- $W_{ini} = 1,6 \mu\text{m}$.
- $A = 2,73$.
- $\text{gamma} = 2$.

El temps de propagació del *driver* és de:

- $t_p = 1,878 \text{ ns}$.

Això provoca que el temps d'estabilització del *buck* al 98 % sigui:

- $t_{\text{buck_ideal_98\%}} = 2,8606 \mu\text{s}$
- $t_{\text{buck_driver_98\%}} = 2,8627 \mu\text{s}$

També en aquesta part, succeeix que els transistors de les últimes etapes, són molt grans, i per tant també s'hauran de dissociar. El criteri que se n'agafa és que aquells transistors amb amplades superiors a $500 \mu\text{m}$, seran dissociats en transistors de valors compresos entre $200 \mu\text{m}$ i $300 \mu\text{m}$. Així doncs, en queden afectats les 2 últimes etapes.

Els objectius a assolits en aquesta part es descriuen a continuació:

- I. S'ha optimitzat la velocitat, buscant en cada cas l'opció que provocava un retard inferior en la propagació del senyal pel *driver*.
- II. No s'ha minimitzat la quantitat de transistors, degut a que s'ha fet prevaldre la velocitat vers a aquesta. El *driver* de 8 etapes, ha donat uns resultats lleugerament per sobre del de 7 etapes, tot i així, només té 2 transistors més.
- III. Minimitzar l'àrea ha sigut poc fàcil, degut a que el transistor a controlar, és d'una mida bastant gran, per tant era obligatori, les últimes etapes d'aquesta part, també en fossin grans.

2.3.Regulador lineal, OTA Miller

2.3.1.Funcionament

La primera part del regulador lineal, estarà conformat per una OTA, nom que prové de les seves inicials en anglès *Operational Transconductance Amplifier*, amplificador operacional de transconductància i una sortida d'amplificador en font comú i font de corrent com a càrrega activa.

El primer, és un amplificador operacional, que té dues entrades, i a la sortida n'extreu o absorbeix corrent en funció de la diferència de tensió entre les entrades i el guany de l'estructura. La segona, l'amplificador en font comú, és una estructura d'amplificador, la qual està polaritzada mitjançant una càrrega activa.

La OTA de Miller, n'és un exemple molt utilitzat d'amplificador de dues etapes. El fet de tenir dos etapes, el guany és millorat, però això passa factura en temes d'estabilitat. Per això, s'afegeix un condensador entre la sortida de la primera etapa, i la segona, el que ve a ser la compensació de Miller. Aquesta compensació provoca que amb una petita capacitat integrada, es pugui allunyar el pol no dominant, fent així incrementar el marge de fase a altes freqüències.

2.3.2.Disseny

El disseny de la OTA de Miller, consistirà en trobar les amplades de tots els seus transistors, i del valor de la capacitat de compensació. Segons les equacions de càlcul d'una OTA, tots els valors, podran quedar-ne referits a la capacitat de compensació. A continuació se'n detallen algunes fórmules.

$$G_{BW} = \frac{g_{m1}}{2 \cdot \pi \cdot C_C} \quad (36)$$

Segons l'equació 36, el guany ample de banda, o el que és el mateix, la freqüència a guany unitari, està relacionat amb el guany dels transistors d'entrada, així com en la capacitat de compensació.

$$f_{nd} = \frac{g_{m6}}{2 \cdot \pi \cdot C_L} \cdot \frac{1}{1 + \frac{C_{n1}}{C_C}} \quad (37)$$

La freqüència no dominant, és produïda pel segon pol, cosa que fa augmentar en -20 dB per dècada la pendent, reduint-ne així el guany ample de banda, per això s'ha d'allunyar aquest fins que la seva freqüència sigui tres cops la del guany ample de banda. Això correspon a un marge de fase de 70°.

Com a dades de partida, se'n vol obtenir:

- $G_{BW} = 25 \text{ MHz}$.
- $L = 0,7 \text{ }\mu\text{m}$.
- $V_{eff} = V_{gs} - V_{th} = 200 \text{ mV}$.
- $f_{nd} = 3 \cdot G_{bw}$.
- $C_L = 500 \text{ fF}$ (estimació d'un transistor ams035 de $10 \text{ }\mu\text{m} \times 10 \text{ }\mu\text{m}$).

Primerament, per desenvolupar l'equació 37, es necessita saber quin és el valor de la capacitat en el node 1, C_{n1} la capacitat en la sortida del parell diferencial. Aquesta capacitat correspon a la capacitat de porta de transistor MN6 amb el transistor en saturació.

$$C_{GS} = \frac{2}{3} \cdot W \cdot L \cdot C_{OX} \quad (38)$$

També l'equació del guany n'és necessària.

$$g_m = K \cdot \frac{W}{L} \cdot V_{eff} \quad (39)$$

I unint les equacions 38 i 39 a l'equació 37, en resulta el següent:

$$f_{nd} = \frac{K \cdot \frac{W_6}{L} \cdot V_{eff}}{2 \cdot \pi \cdot C_L} \cdot \frac{1}{1 + \frac{\frac{2}{3} \cdot W_6 \cdot L \cdot C_{OX}}{C_C}} \quad (40)$$

L'equació 40 reflexa com la freqüència no dominant està relacionada, amb l'amplada de canal del transistor MN6, i la capacitat de compensació. Com que es desitja tenir un marge de fase de 70°, aquesta freqüència serà tres cops més gran que el guany ample de banda, que és de 25 MHz.

$$3 \cdot G_{BW} = \frac{K_N \cdot \frac{W_6}{L} \cdot V_{eff}}{2 \cdot \pi \cdot C_L} \cdot \frac{1}{1 + \frac{\frac{2}{3} \cdot W_6 \cdot L \cdot C_{OX}}{C_C}} \quad (41)$$

Substituint els valors a la fórmula 41:

$$3 \cdot 25 \cdot 10^6 = \frac{170 \cdot 10^{-6} \cdot \frac{W_6}{0,7 \cdot 10^{-6}} \cdot 0,2}{2 \cdot \pi \cdot 500 \cdot 10^{-15}} \cdot \frac{1}{1 + \frac{\frac{2}{3} \cdot W_6 \cdot 0,7 \cdot 10^{-6} \cdot 4,54 \cdot 10^{-15}}{C_C}} \quad (42)$$

Que desenvolupant acaba quedant així l'amplada del transistor 6 en funció de la capacitat de compensació.

$$W_6 = \frac{1}{\frac{68}{105 \cdot \pi} \cdot 10^6 - \frac{2303,6}{C_C} \cdot 10^{-12}} \quad (43)$$

Seguidament, a partir de l'amplada del transistor MN6, se'n pot extreure la del transistor MP5, que és el que està en la mateixa rama, i per tant en l'anàlisi en DC, hi circulara el mateix corrent. Segons l'equació 1:

$$\frac{K_P}{2} \cdot \frac{W_5}{L} \cdot V_{eff}^2 = \frac{K_N}{2} \cdot \frac{W_6}{L} \cdot V_{eff}^2 \quad (44)$$
$$K_P \cdot W_5 = K_N \cdot W_6$$

I substituint numèricament, en queda:

$$W_5 = \frac{K_N}{K_P} \cdot W_6 = \frac{85}{29} \cdot W_6 \quad (45)$$

Seguidament, s'enfoca la cerca de l'amplada de transistor MP1 seguint l'equació 36, del guany ample de banda. El g_{m1} en serà substituït per l'equació 39 en aquesta:

$$G_{BW} = 3 \cdot \frac{K_P \cdot \frac{W_1}{L} \cdot V_{eff}}{2 \cdot \pi \cdot C_C} \quad (46)$$

I al substituir-ho per valors numèrics, i deixant-ho en funció de C_C :

$$10^6 = 3 \cdot \frac{58 \cdot 10^{-6} \cdot \frac{W_1}{0,7 \cdot 10^{-6}} \cdot 0,2}{2 \cdot \pi \cdot C_C} \quad (47)$$

$$W_1 = \frac{175 \cdot \pi}{29} \cdot 10^6 \cdot C_C \quad (48)$$

Amb l'amplada de canal del transistor MP1, que és igual a la del transistor MP2, es determina la dels transistors MN3 i MN4 que conformen el mirall de corrent. Utilitzant el símil en l'equació 44:

$$W_3 = \frac{K_P}{K_N} \cdot W_1 = \frac{29}{85} \cdot W_1 \quad (49)$$

La geometria dels transistors MP7 i MP8, que conformen el circuit de polarització de corrent del parell diferencial, que condueixen el doble de corrent que el transistor MP1, per tant utilitzant també segons l'equació 1, n'és el doble, i com tots, són transistors tipus P:

$$\begin{aligned} I_{D7} &= 2 \cdot I_{D1} \\ W_7 &= 2 \cdot W_1 \end{aligned} \quad (50)$$

Com es pot observar en el seguit d'equacions mencionades anteriorment, tots els paràmetres de la OTA de Miller, queden en funció de la capacitat de compensació. Per seguir fent els càlculs manuals, només falta determinar el valor de polarització d'entrada, anomenat entrada en mode comú, que assegura que els transistors estan en estat de saturació. Això provoca un màxim i un mínim de tensió a l'entrada:

$$\begin{aligned} V_{icm(max)} &= V_{dd} - V_{DS7(sat)} - V_{TP} = V_{dd} - V_{TP} \\ V_{icm(max)} &= 3,3 - 0,65 = 2,65 \text{ V} \end{aligned} \quad (51)$$

Essent la diferència entre V_{GS7} i V_{TP} mínima, per tal de que el transistor MP7 estigui conduint, aquesta podria ser una mica per sobre dels 0 V, amb la qual cosa, el màxim voltatge d'entrada en mode comú es podria apropar a la tensió d'alimentació.

$$V_{icm(min)} = V_{GS3} + V_{DS1(sat)} - V_{GS1} = V_{GS3} + (V_{GS1} - V_{TP}) + V_{GS1} \quad (52)$$

$$V_{icm(min)} = 0,5 + 0,65 = 1,15 \text{ V}$$

Ara que s'en té un mínim i un màxim d'entrada en mode comú, es pot trobar el valor d'aquest. Per tal de que hi hagi el màxim rang de tensions a l'entrada, s'agafa la mitjana entre aquests valors. El resultat és d'1,9 V.

2.3.3. Simulació

Com que ja es té tot relacionat amb C_c , només és qüestió de fer escombrats sobre la capacitat de compensació. El valor inicial que aquest té, és d'1 pF, per tant l'escombrat es realitzarà en primera instància entre 100 fF, i 1,5 pF. Es troba un valor que fa que el guany sigui màxim a uns 760 fF.

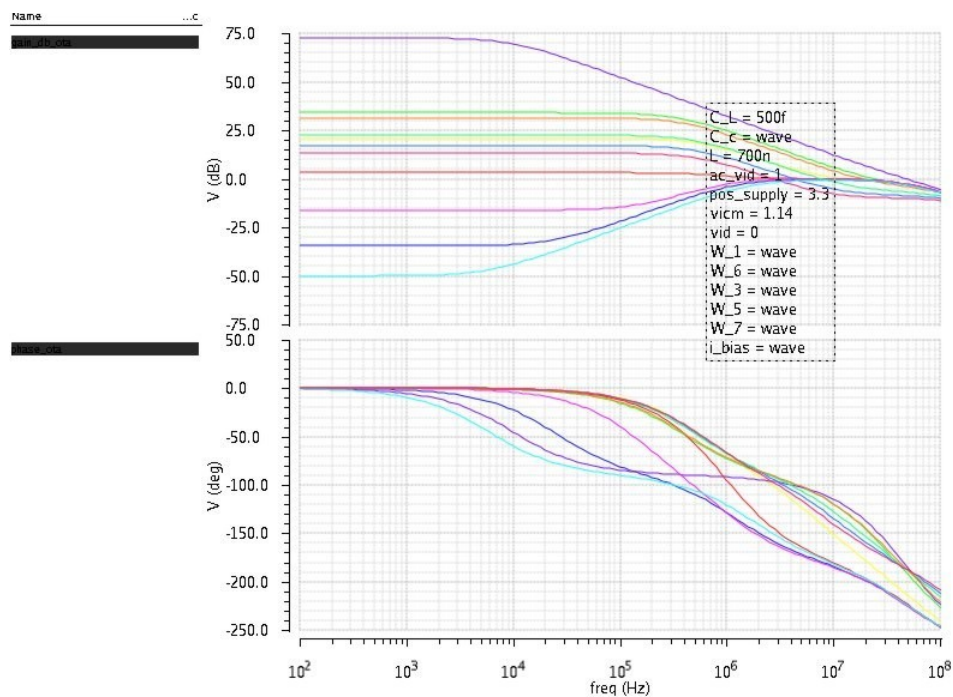


Figura 30. Diagrama de Bode amb parametrització de la capacitat de compensació.
 Horizontal: logarítmica per dècades;
 Vertical guany: 5 dB/div.
 Vertical fase: 10 °/div.

Es substitueix el valor de màxim guany de la capacitat de compensació, 760 fF, i es verifica com afecta la entrada en mode comú al guany o la fase.

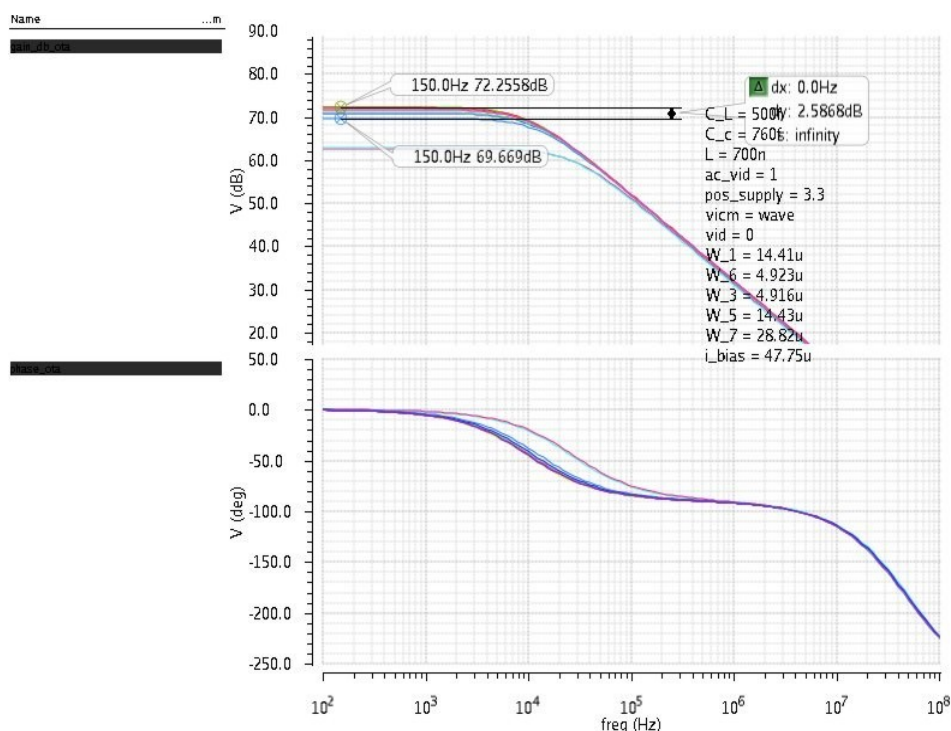


Figura 31. Diagrama de Bode amb parametrització de la entrada en mode comú.
 Horizontal: logarítmica per dècades;
 Vertical guany: 2 dB/div.
 Vertical fase: 10 °/div.

La Figura 31. mostra com entre 0,2 V i 2,0 V, el guany es manté més o menys estable, sense que sofreixi variacions de més de 2,6 dB. Per tant el valor idoni per a aquesta entrada, n'és el valor mig, 1,1 V.

Segons l'obtingut en la parametrització de la capacitat de compensació, de 760 fF, es resolen les fórmules, per obtenir-ne els valors d'amplades:

- $W_{1,2}$: 14,41 μm (segons equació 48).
- $W_{3,4}$: 4,91 μm (segons equació 49).
- W_6 : 4,92 μm (segons equació 43).
- W_5 : 14,43 μm (segons equació 45).
- $W_{7,8}$: 28,82 μm (segons equació 50).
- I_{BIAS} : 47,75 μA (segons equació 1).

Seguidament es realitzen aquest canvis, i se'n fa una simulació en AC per tal de veure com n'ha quedat el resultat.

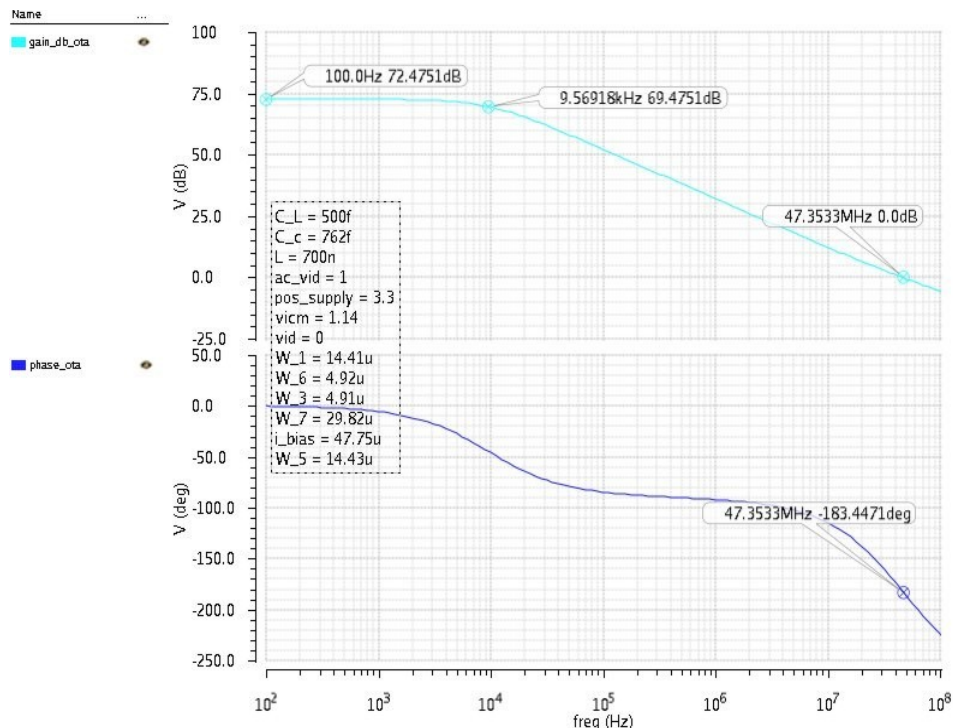


Figura 32. Diagrama de Bode amb els resultats obtinguts.
 Horitzontal: logarítmica per dècades;
 Vertical guany: 2 dB/div.
 Vertical fase: 10 °/div.

Entre els paràmetres més curiosos, se'n destaquen, el guany en corrent continua, que és de 72 dB, un valor molt bo, la freqüència de tall a -3 dB, de 430 KHz, el guany ample de banda, que resulta molt elevat, de 47,35 MHz, i la fase en el punt de guany unitari, de -183°, valor que denota inversió de fase, i amb la qual, el sistema es podria ficar a oscil·lar, a més de no acomplir ni de prop l'especificació dels 70° de marge de fase, que resultarien en -110° a la fase en el punt de guany unitari.

Per tant, es realitzarà un parametritzat individual de cada ample de canal, per observar com aquests fan canviar els paràmetres del sistema.

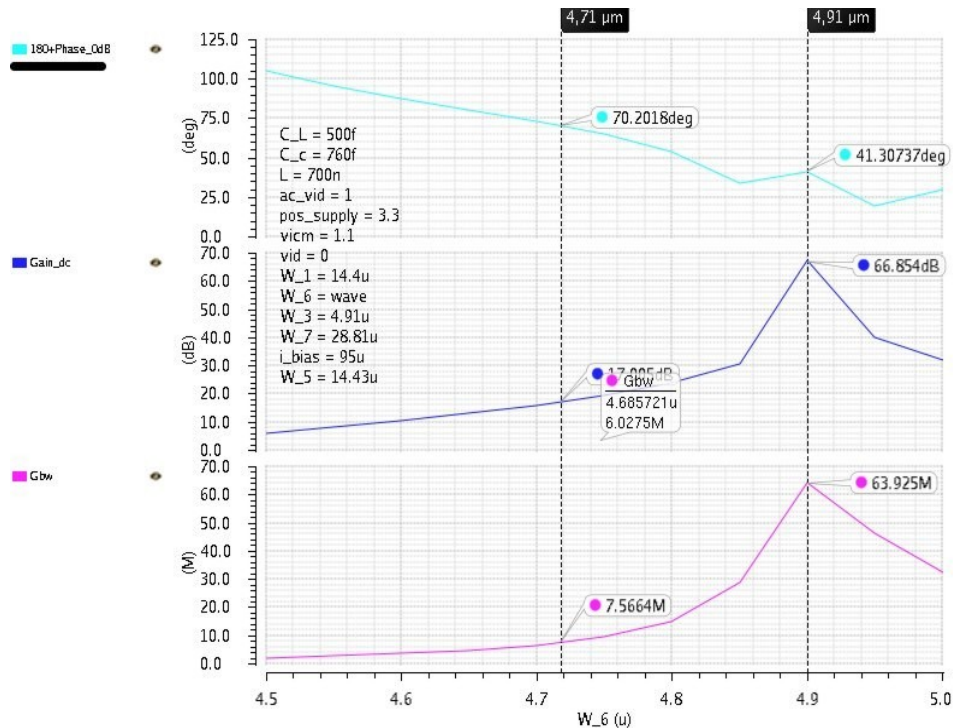


Figura 33. Parametrització de l'amplada del transistor MN06.

Horizontal: 0,02 μm; Vertical:

- → Marge de fase
- → Guany en DC
- → Banda de guany

Es pot veure com evolucionen tres camps importants en la Figura 33. El guany i la banda de guany, van aparellats, al contrari que el marge de fase, que sembla descendir en funció de l'augment de l'amplada, tot i que té un punt més alt en el màxim guany. S'agafa aquest valor de màxim guany com a òptim, que pertany a 4,91 μm.

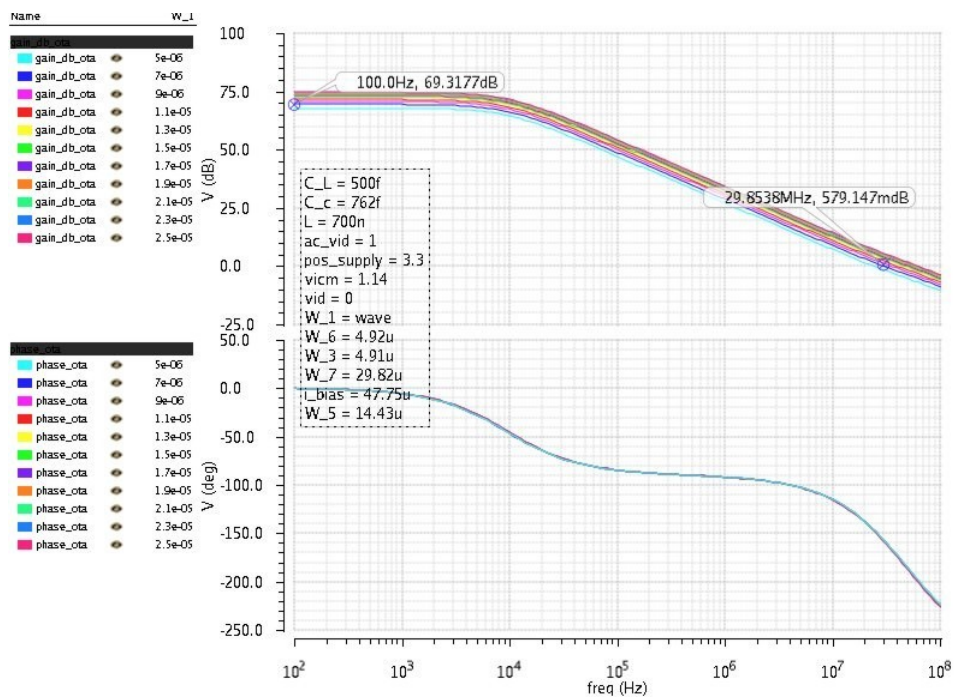


Figura 34. Diagrama de Bode amb parametrització de l'amplada dels transistors MP01 i MP02
 Horitzontal: logarítmica per dècades;
 Vertical guany: 5 dB/div.
 Vertical fase: 10 °/div.

La Figura 34. mostra com l'amplada dels transistors P d'entrada, no influeix gaire sobre el marge de fase, però sí que s'observa com aquest és influent, tot i que molt lleugerament sobre el guany, i la banda de guany. S'agafa una amplada de 4 μm , que dóna un guany de 66 dB.

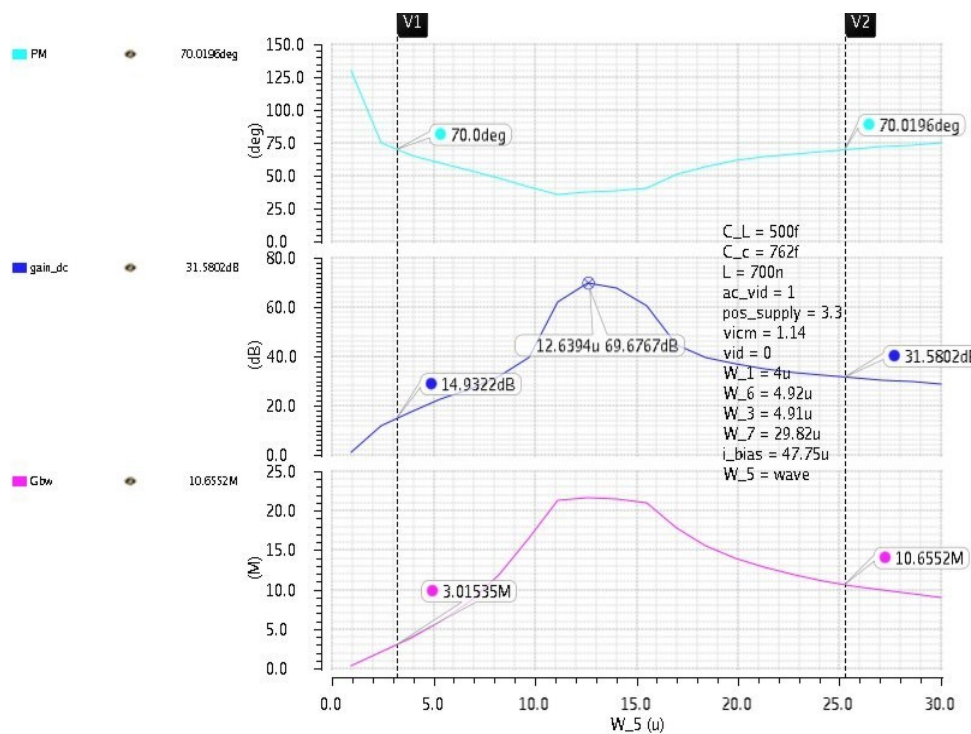


Figura 35. Parametrizació de l'amplada del transistor MP05.

Horitzontal: 1 $\mu\text{m}/\text{div.}$; Vertical:

- → Marge de fase
- → Guany en DC
- → Banda de guany

El dimensionat de l'amplada del transistor que polaritza el corrent del transistor de sortida, no en dóna gaire marge per poder-hi jugar, degut a que el guany i el G_{BW} , perden molt ràpidament el seu punt òptim quan en surten d'aquest. Tot i això, es conserven en més bones condicions, a grans amplades d'MP05. S'agafa el punt de màxim guany que correspon a 12,64 μm , amb un guany de 69,67 dB.

Seguint iterant sobre els valors d'amplades, corrent de polarització i tornant a reeditar el valor de la capacitat de compensació, es veu com els guanys, els marges de fase, i les bandes de guany, es van modificant. Finalment, s'arriba a un estat en que el guany és molt acceptable, tot acomplint les especificacions de banda de guany i de marge de fase. Aquestes últimes simulacions, no venen detallades, ja que les variacions en són molt mínimes, per tant es deixa detallat al resultat final.

2.3.4. Resultats

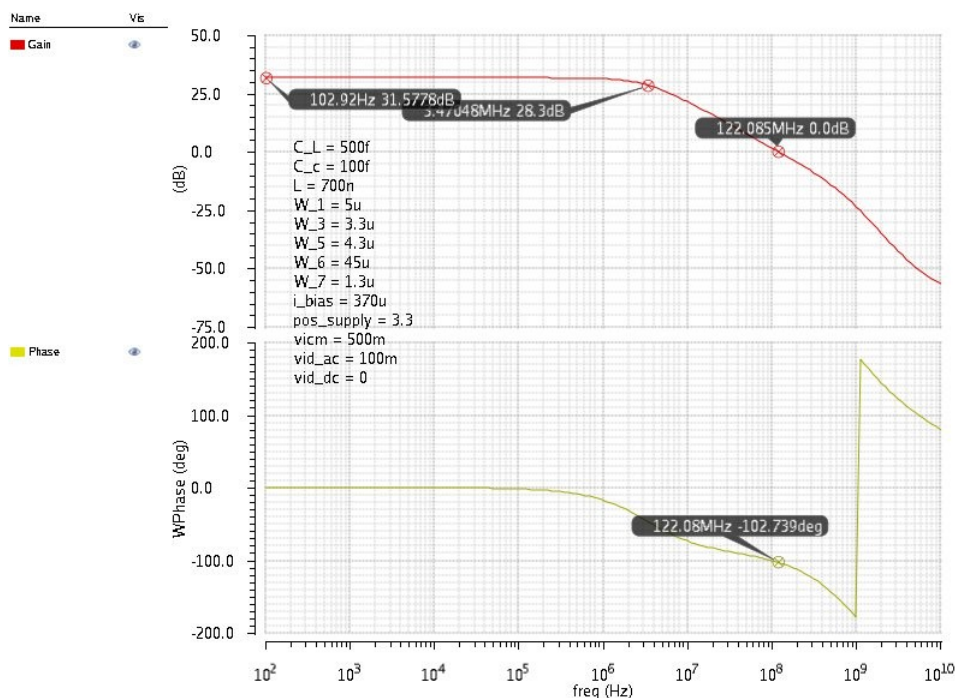


Figura 36. Diagrama de Bode amb els resultats finals de la OTA.
 Horizontal: logarítmica per dècades;
 Vertical guany: 2 dB/div.
 Vertical fase: 10 °/div.

Tal i com ensenya la Figura 36., els resultats són els següents:

Entrades:

- $W_{1,2} = 5 \mu\text{m}$.
- $W_{3,4} = 3,3 \mu\text{m}$.
- $W_5 = 4,3 \mu\text{m}$.
- $W_6 = 45 \mu\text{m}$.
- $W_{7,8} = 1,3 \mu\text{m}$.
- $I_{\text{BIAS}} = 370 \mu\text{A}$.

Sortides:

- $\text{Gain}_{\text{DC}} = 31,57 \text{ dB}$.
- $G_{\text{BW}} = 122,08 \text{ MHz}$
- $f_t = 3,47 \text{ MHz}$
- Marge de fase = 77,26 °.

Es revisen a continuació els objectius proposats:

- I. No es veu reflectida la polarització dels transistors en DC, tot i que sí que n'és un tema estudiat. Donat a que els càlculs inicials, ja tenien en compte aquesta possibilitat, i que el fet de que algun dels transistors, no estigués treballant correctament, hagués afectat directament a l'estudi en AC, ja que donaria valors de fase o guany anormals.
- II. S'ha optimitzat la velocitat, buscant en tot moment, un guany ample de banda gran, i una fase que es mantingués el més estable possible en un ample espectre de freqüències.
- III. El guany s'ha maximitzat en funció de les necessitats. No ha quedat exageradament elevat, però suficient per a continuar amb la realització de la estructura complerta.

2.4.Regulador lineal, B *output*.

2.4.1.Funcionament

L'altra part del regulador lineal, n'és una sortida tipus B, per tal d'adaptar la sortida de l'OTA de Miller. I que pugui extreure'n un corrent més alt

En un principi s'havia pensat en una sortida AB, que té una distorsió d'encreuament més baixa. Tot i ser aquesta més adequada per al disseny, no es va poder aconseguir, degut a que el fet de tenir 2 transistors per imposar la tensió llindar als de sortida, provocaven una caiguda de tensió que sumat a que aquests de sortida, tenen una tensió de substrat que els hi provoca un augment de la seva tensió llindar fent que la tensió del transistors de polarització hagi de ser més gran també. Amb això es comprova que és impossible arribar a la tensió de sortida desitjada d'1,8 V amb aquesta construcció, i per tant es va canviar d'idea per realitzar-la com a *B output*.

2.4.2.Disseny

El disseny de la sortida B de la OTA, es realitzarà primerament aïllat, i seguidament s'ajuntarà a aquesta, atès que formen part del mateix conjunt, el regulador lineal. Aquest es compondrà d'un PMOS a la xarxa de sota, i un NMOS a la xarxa de dalt. El que fa n'és un seguiment de tensió de la entrada, amb transferència de corrent més elevada. Com que es treballa en tensió unipolar, quan la tensió d'entrada arribi als 1,65 V, la meitat de la alimentació, es crearà una distorsió, deguda a que ambdós transistors estaran en tall.

Per dissenyar-los, primer s'haurà d'assegurar que aquest conjunt, admet arribar als 1,8 V estipulats pel disseny, i que pugui també absorbir i cedir 100 mA. Això n'està relacionat directament amb la mida dels mateixos.

L'NMOS de la xarxa de dalt, tindrà molta més influència en el disseny, degut a que amb la tecnologia que es treballa, no és possible unir el seu substrat amb la font, aleshores, aquest ha d'estar connectat a la tensió més negativa, massa. El fet de que substrat i font no estiguin connectats, provoca un augment de la tensió llindar del transistor, que en fa decaure les seves prestacions.

2.4.3. Simulació

Es començarà per fer un escombrat de la sortida B en buit, sense cap càrrega, comprovant així el seu funcionament. Com a valor inicial, se'n ficarà un valor d'amplada del NMOS bastant elevat, 500 μm .

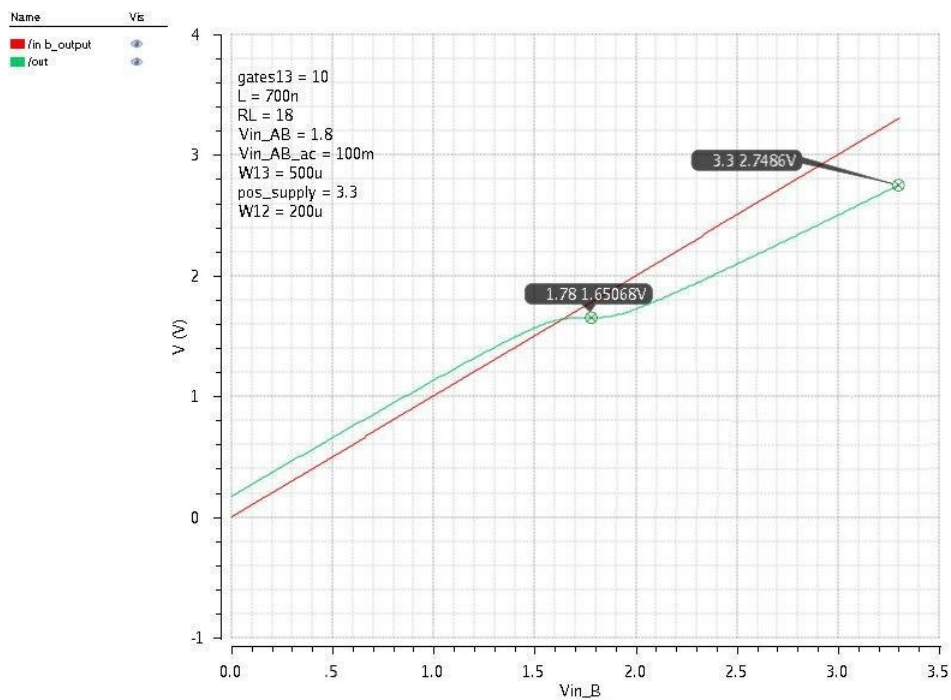


Figura 37. Simulació DC de la entrada i la sortida del B output. Horitzontal 200 mV/div; Vertical: 100 mV/div.

- → Entrada de l'output
- → Sortida de l'output

A la Figura 37. es pot veure com la sortida segueix el que se n'havia especificat a priori. S'ha de tenir en compte, que no hi ha càrrega, i que pot així variar-ne el comportament significativament en quan aquesta se li adhereix-hi. Per tant seguidament, s'afegirà aquesta càrrega, que serà de 18Ω , tal i com marca el disseny.

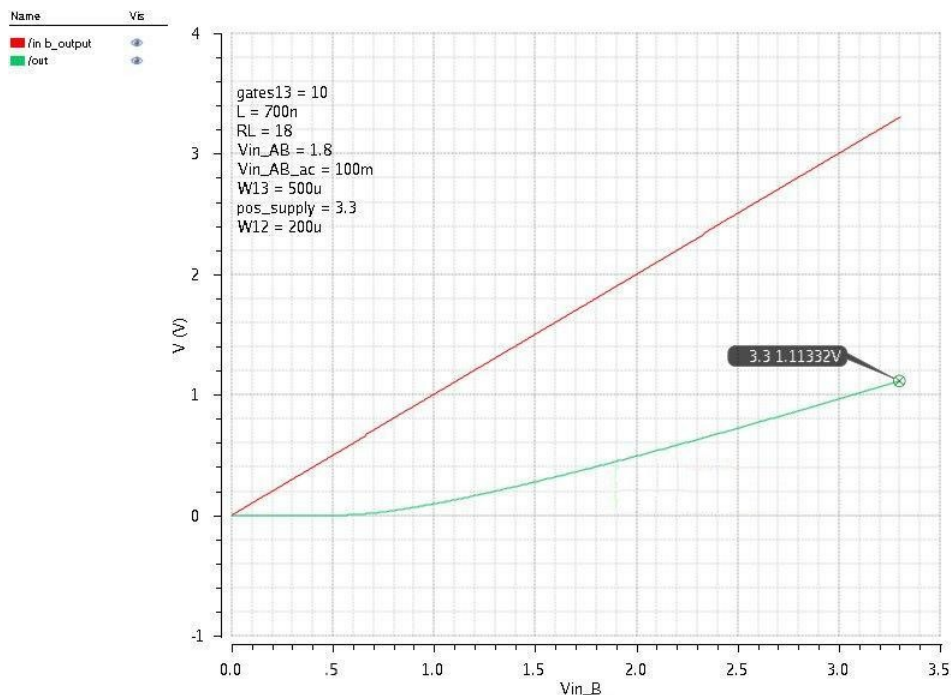


Figura 38. Simulació DC de la entrada i la sortida del B output amb càrrega de 18Ω i W_N de $500 \mu\text{m}$.
 Horitzontal 200 mV/div; Vertical: 100 mV/div.
 ■ → Entrada de l'output
 ■ → Sortida de l'output

Tal i com s'havia previst, el transistor NMOS, no és suficientment gran, per tant no pot aportar el corrent requerit a la càrrega a la tensió desitjada. A continuació es realitzarà un escombrat entre d'aquesta amplada per tal de trobar-ne el valor més adequat que pugui arribar a proporcionar aquests 1,8 V a la sortida.

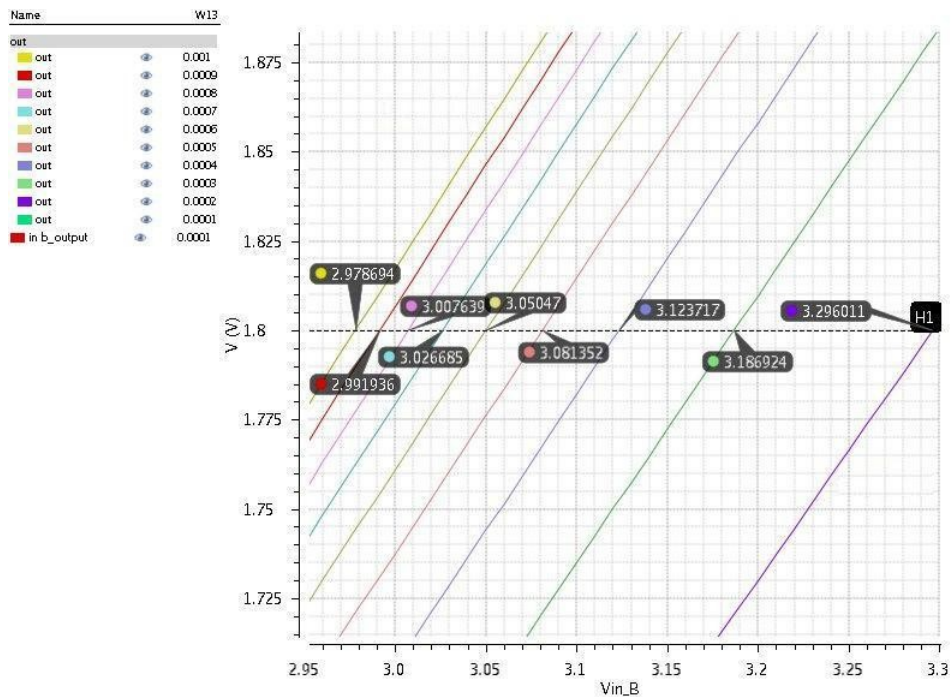


Figura 39. Parametrització d'amplada d'NMOS de la simulació DC de la sortida del B output amb càrrega de 18 Ω .
 Horitzontal 50 mV/div; Vertical: 10 mV/div.

Com es veu a la Figura 39., diferents valors de tensió d'entrada, deriven en 1,8 V a la sortida per a cadascuna de les amplades de transistor N. L'escombrat va des de 2 mm fins a 20 mm. Com a criteri per a la selecció d'un d'aquest, es determina que amb un valor no pròxim a la tensió d'alimentació com a entrada del B output, esdevingui una tensió de sortida d'1,8 V. S'agafa en aquest cas, el valor de 10 mm, atès que ja és un valor bastant elevat, i que amb una entrada de 3,08 V, ja assolix la sortida desitjada.

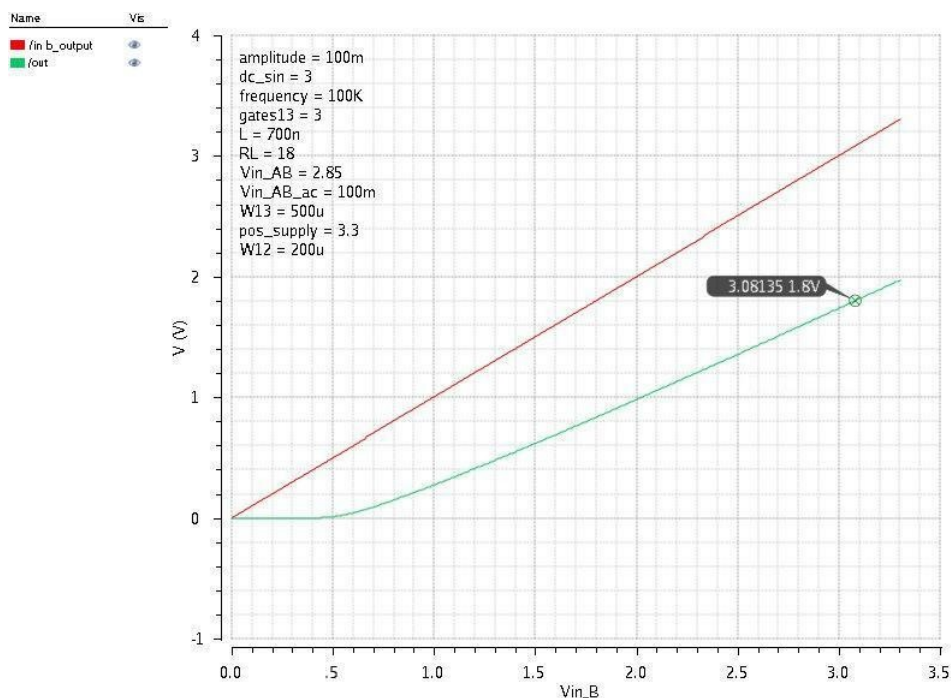


Figura 40. Simulació DC de la entrada i la sortida del B output amb càrrega de 18Ω i W_N de 10 mm .

Horitzontal 200 mV/div ; Vertical: 100 mV/div .

■ → Entrada de l'output

■ → Sortida de l'output

Es veu com la tensió de sortida, segueix a la d'entrada amb un decalatge de la tensió llindar del transistor. Aquesta va augmentant a mesura que la tensió d'entrada també ho fa, degut a que, al ser la tensió a la sortida de la estructura més elevada, imposa directament una tensió porta-substrat igual a aquesta (el substrat del NMOS està connectat a massa, i la càrrega a la sortida també), i que per tant n'augmenta la tensió llindar. És per això, que es necessiten transistors bastant grans per poder assolir-ne tensions pròximes a la d'alimentació.

Seguidament, es realitzarà l'estudi en AC. Per veure quins resultats se n'obtenen de guany i fase, i intentar que aquest provoquin la mínima distorsió a la OTA. Aquesta es realitzarà ja amb la càrrega nominal de 18Ω .

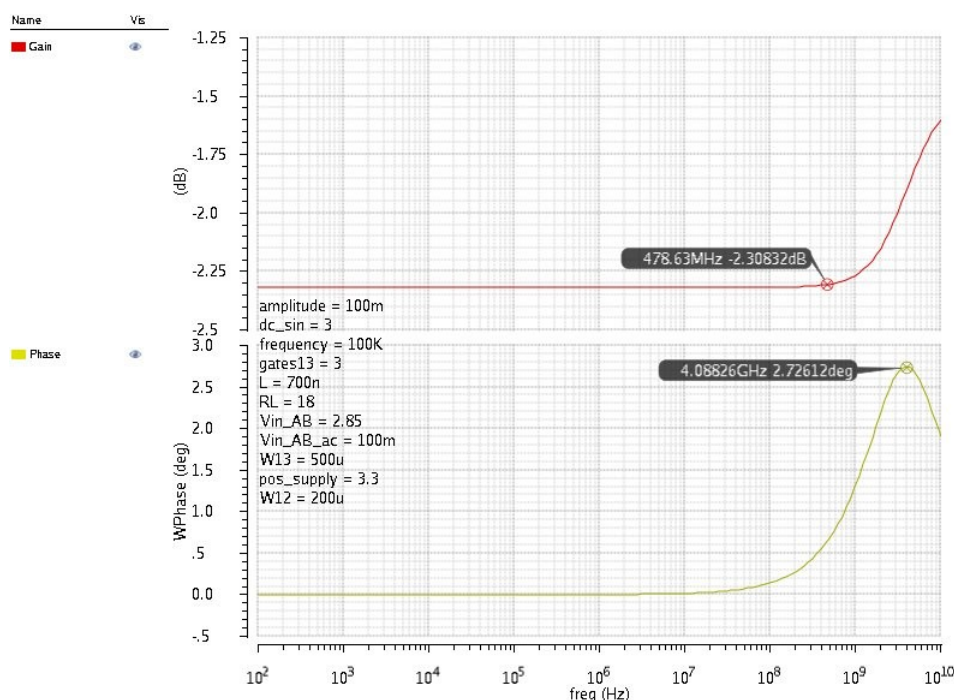


Figura 41. Simulació AC de la sortida del B output.
 Horitzontal: logarítmica per dècades;
 Vertical guany: 5 mdB/div.
 Vertical fase: 0,1 °/div.

El diagrama de Bode de la sortida B, és una mica curiós, donat a que té un guany i una fase estables fins a freqüències de 100 MHz i després augmenten. Tot i això, l'augment és irrellevant, inferior a 1 dB en guany, i de 2,7 ° en la fase. La conclusió que se n'extreu, és que al acoblar-li aquesta part a la OTA, aquesta en disminuirà uns 2,3 dB en guany i la fase quedarà aproximadament igual, cosa que és acceptable, degut a que no fan perdre moltes prestacions a l'estructura anterior, tot i que s'haurà de comprovar unint-les. Per tant, el valor de 10 mm es prendrà com a vàlid per continuar amb l'estudi.

Per finalitzar amb la part del B output, es realitzarà una simulació transitòria, podent així, veure com actua davant d'una entrada d'ona sinusoidal amb certa freqüència.

2.4.4. Resultats

Finalment es donen per bons els resultats adquirits amb un transistor NMOS de 10 mm, i un PMOS de 200 μm . L'anàlisi DC mostra com hi ha una caiguda de tensió a la sortida igual a la tensió llindar, i que aquesta es veu afectada per l'efecte substrat. En l'anàlisi AC, la disminució del guany, i la variació de la fase, es preveu insignificant vers els resultats de la estructura que li precedeix. Per acabar aquesta part, s'afegeixen 2 transistors més a la sortida, que són necessaris per poder-ne mesurar el corrent amb el convector de corrent que s'estudiarà al següent apartat.

Aquesta part, ha esdevingut també una de les que més consum d'àrea té, derivant en un transistor de 10 mm d'amplada. Així com en el *driver*, i el *buck*, també se'n farà una dissociació en transistors més estrets.

Es revisen a continuació els objectius proposats:

- I. La distorsió d'encreuament no s'ha pogut minimitzar, donat a que el muntatge finalment seleccionat ha estat d'una sortida tipus B. Tot i això, aquesta es veurà atenuada amb la realimentació del conjunt total del regulador lineal OTA - *B output*.
- II. La tensió de sortida desitjada s'ha assolit tal i com es pretenia, tot i que ha fet falta que el transistor NMOS sigui molt gran amb el que s'empitjora la quantitat d'àrea de silici utilitzada.

Per concloure amb tota la part del regulador lineal, s'adjuntarà la OTA amb la sortida B, per tal de comprovar que tot n'és correcte

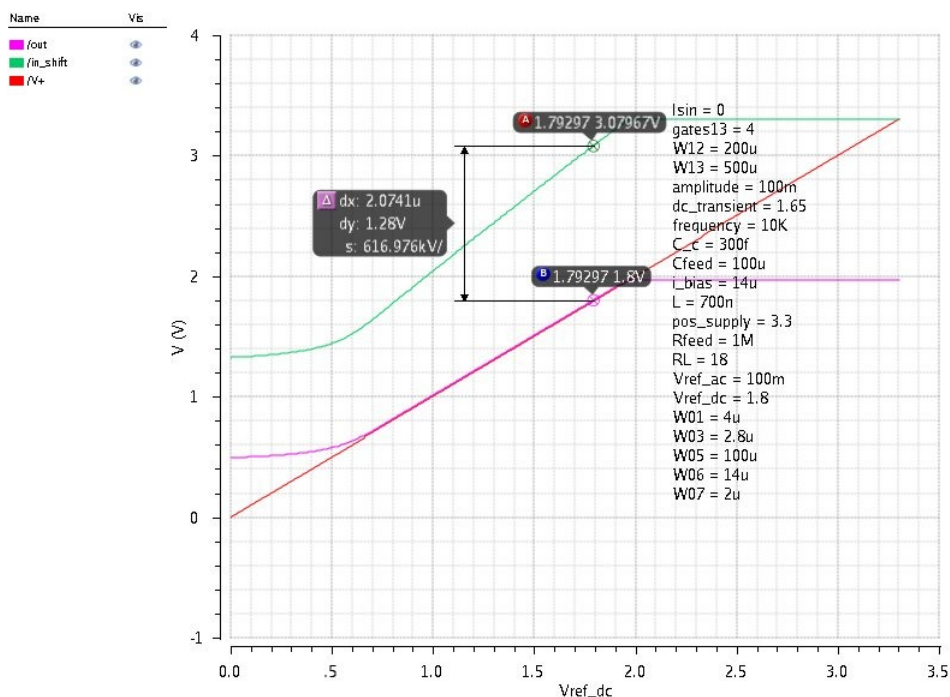


Figura 43. Escobrat DC a l'entrada de la OTA amb unió del B output. Horitzontal 100 mV/div; Vertical: 200 mV/div.

- → Entrada OTA
- → Entrada del B output
- → Sortida del regulador

Tal i com s'observa en l'escombrat DC que mostra la Figura 43., que va a l'entrada de 0 V a 3,3 V, porta a la sortida una tensió entre 500 mV a uns 2 V, on segueix fidelment l'entrada del regulador entre 700 mV, degut a l'*output common mode* de la OTA, i aquests 2 V on es satura i queda en aquesta tensió a pesar d'augmentar-ne l'entrada.

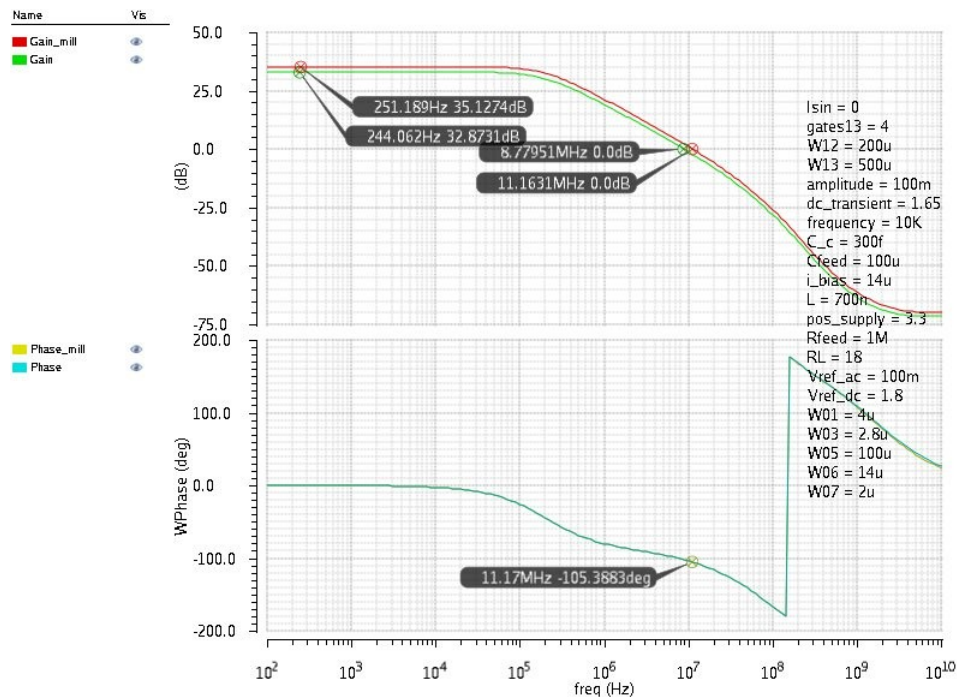


Figura 44. Diagrama de Bode de la OTA amb unió del B output.
 Horizontal: logarítmica per dècades;
 Vertical guany: 5 dB/div.
 Vertical fase: 10 °/div.

- → Guany de la OTA
- → Guany del regulador
- → Fase de la OTA
- → Fase del regulador

S'ha hagut de sacrificar l'amplada de guany per obtenir un bon guany i un bon marge fase, cosa que el fa caure fins a 8,78 MHz. Tot i això, s'estudiarà si aquest pot suposar un problema molt gran o no.

- | | |
|--|--|
| <ul style="list-style-type: none"> • Entrades • $W_{1,2} = 4 \mu\text{m}$. • $W_{3,4} = 2,8 \mu\text{m}$. • $W_5 = 100 \mu\text{m}$. • $W_6 = 14 \mu\text{m}$. • $W_{7,8} = 2 \mu\text{m}$. • $I_{\text{BIAS}} = 14 \mu\text{A}$. • $C_C = 300 \text{ fF}$. | <p>Sortides:</p> <ul style="list-style-type: none"> • $\text{Gain}_{\text{DC}} = 32,87 \text{ dB}$. • $G_{\text{BW}} = 8,78 \text{ MHz}$ • Marge de fase = 74,61 °. |
|--|--|

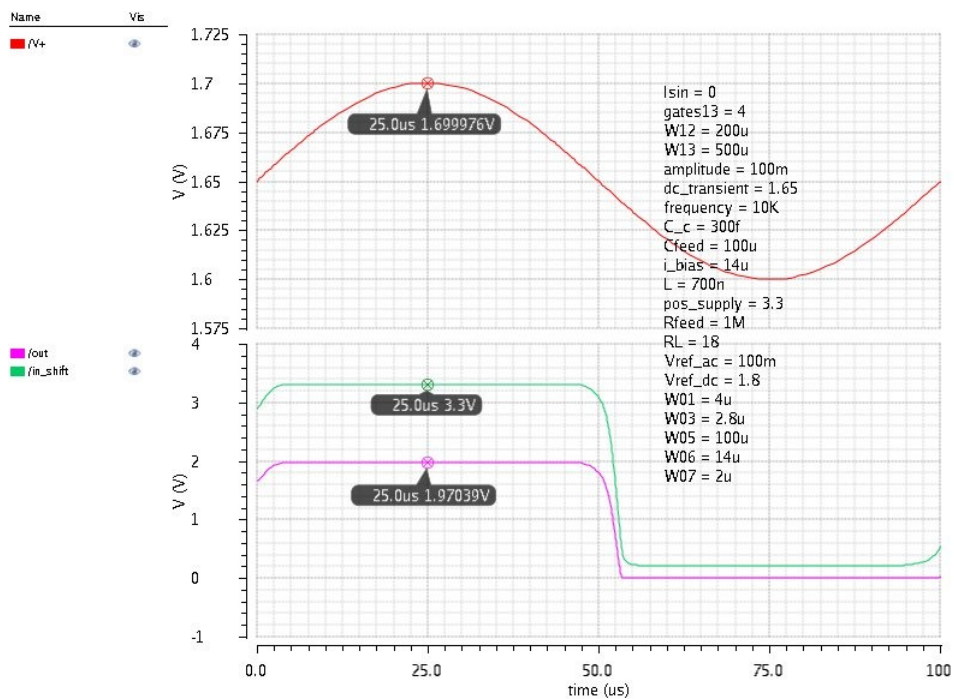


Figura 45. Simulació transitòria del regulador lineal a freqüència 10 Khz.
 Horitzontal: 2,5 μ s/div;
 Vertical $V+$: 5 mV/div.
 Vertical sortides: 200 mV/div.

Finalment la Figura 45., mostra el comportament del regulador complet. S'observa com degut al gran guany, la sortida de la OTA es satura a V_{DD} molt ràpidament, i en canvi la sortida B, en queda saturada a 1,97 V, tensió un tant superior a 1,8 V, que n'és la que s'espera obtenir a la sortida de la estructura completa.

2.5.Sensor de corrent.

2.5.1.Funcionament

El sensor de corrent, és un conjunt de transistors MOSFET, tals que detecten el corrent subministrat pel regulador lineal, i l'envien al comparador per a que aquest actuï sobre mitjançant el *driver*, el *buck* i el faci funcionar o no, si així es precisa.

Aquesta part, es realitza amb aquesta construcció, ja que el fet d'incorporar-li, per exemple un sensat mitjançant una resistència *Shunt*, incorporaria al regulador un canvi en el seu guany, a part d'una caiguda de tensió que disminuiria la eficàcia del conjunt del sistema.

2.5.2.Disseny

Com a informació per al disseny del convector de corrent, no se n'han pogut extreure idees rellevants. En la diferent bibliografia consultada, es diu que aquesta estructura, n'és un amplificador de corrent, el qual consisteix en dos pins d'entrada els quals un, l'*Y*, que n'és la entrada que prové de la sortida principal del *B output*, i l'*X*, que n'és la sortida secundària, amb uns transistors 200 cops més petits que la principal.

Doncs bé, aquesta estructura, és un parell de miralls de corrent interconnectats, un amb PMOS i l'altre amb NMOS. La distribució de la estructura, fa l'aparició d'una tensió al pin *Y*, quedi copiat al pin *X*, i que el corrent injectat al pin *X*, sigui el mateix que n'absorbeix el pin *Y*. Finalment, com la porta del mirall de corrent dels NMOS, està connectada al transistor de sortida, el corrent que circula per *X*, també n'és el que n'absorbeix la sortida.

Aquest entramat de transistors, provoca que hi hagi una entrada amb una impedància molt baixa, i per tant circula per la ram un corrent molt fidel al que està detectant, i una impedància a la sortida molt gran cosa que provoca que el corrent que sigui absorbit de la següent etapa.

Matemàticament es descriu en la equació 53.

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (53)$$

2.5.3. Simulació

Per simular el convector de corrent, s'acoblarà al *B output*, i se li proporcionarà una tensió d'entrada a aquest últim. El que es busca per tal de trobar bons valors per a un convector, és que en DC els transistors estiguin en saturació, per tant, s'aniran variant els diferents valors d'amplades de transistors, per deixar-les en un valor acceptable.

Per començar es realitzarà una parametrització en DC sobre l'amplada del transistor MN27. El que es desitja, és que els transistors tinguin una tensió efectiva, $V_{GS} - V_{th}$ superior als 100 mV, per tal d'evitar el fenomen de *subthreshold*, i que la tensió V_{DS} sigui superior a aquesta diferència.

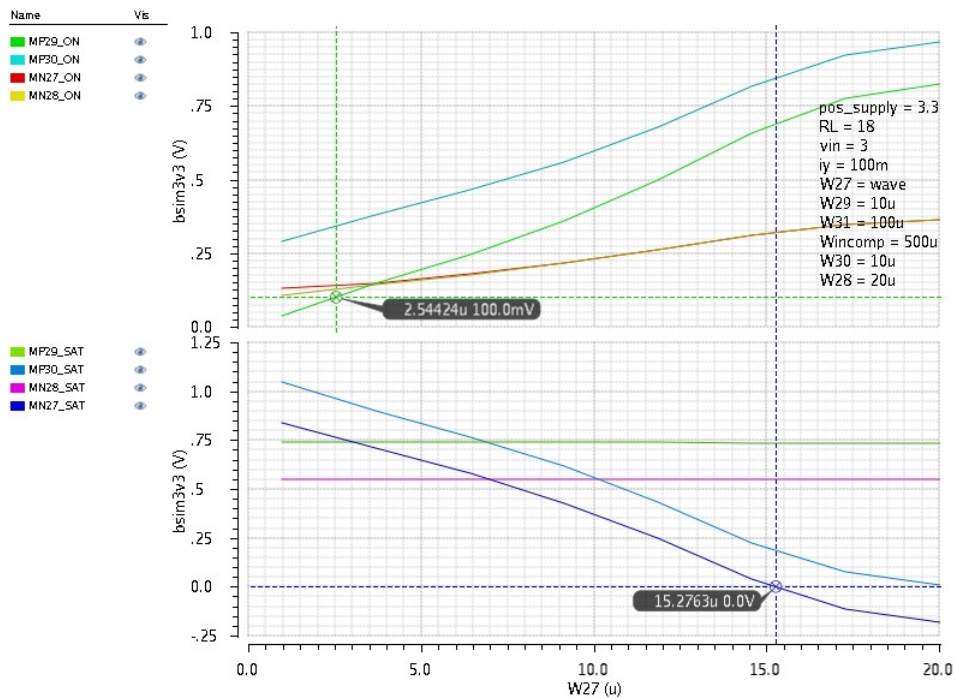


Figura 46. Parametrizació en DC de l'amplada W_{27} .
 Horitzontal: $0,5 \mu\text{m}/\text{div}$; Vertical:
 Transistors ON: $25 \text{ mV}/\text{div}$.
 Transistors SAT: $50 \text{ mV}/\text{div}$.

Tal i com s'observa a sota, a la Figura 47., augmentant el valor de l'amplada W_{27} , la tensió efectiva augmenta en tots els transistors, afiançant l'estat de conducció del mateixos a partir de $2,55 \mu\text{m}$. Per altra banda, com més gran n'és la tensió efectiva, més gran ha d'ésser V_{DS} , per a assolir el mateix valor com a mínim, fent així, que el transistor MN27 entri en regió òhmica per a valors superiors a $15 \mu\text{m}$ d'amplada de porta del mateix.

Es selecciona com a valor d'amplada d'aquest transistor MN27, $8 \mu\text{m}$.

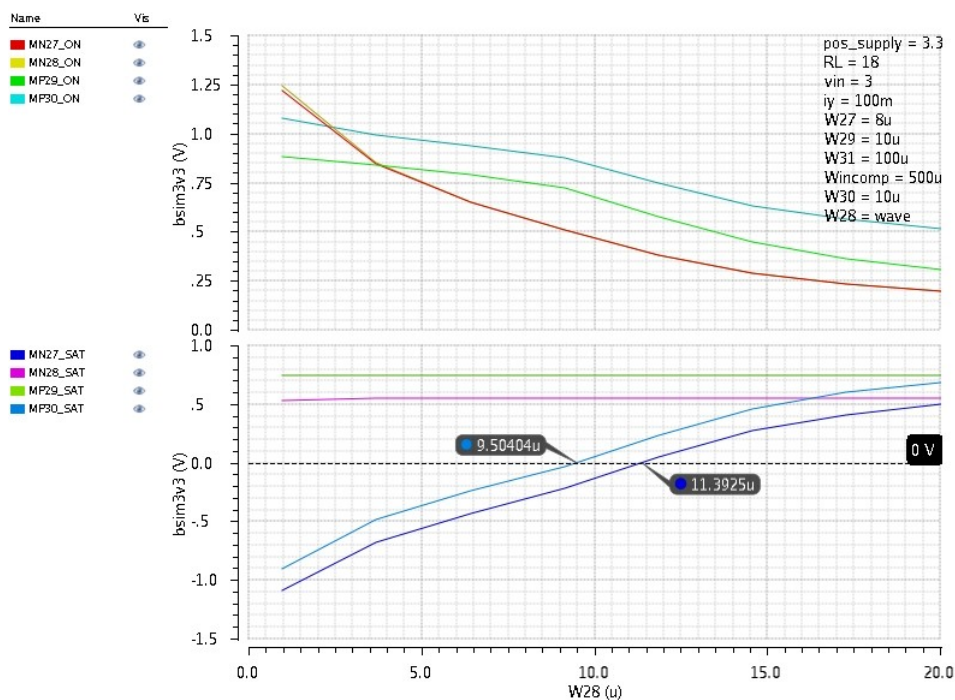


Figura 47. Parametrizació en DC de l'amplada W_{28} .
 Horizontal: 100 mV/div; Vertical:
 Transistors ON: 50 mV/div
 Transistors SAT: 100 mV/div

En aquest cas, Figura 47., sembla ésser que l'amplada de W_{28} , només afecta al fet d'estar de la saturació en el rang seleccionat. Tot i això, no afecta al propi transistor, donat a que a aquest actua com a MOSDIODE amb la porta unida al drenador, fent així que V_{DS} sigui sempre igual a V_{GS} , i per tant si aquest està en conducció, sempre ho fa en la regió de saturació. És per això que la tensió que apareix MN28_SAT, és igual a la tensió llindar del transistor. Els que si que se'n veuen afectats, són l'MP27 i l'MP30, que queden fora de la saturació per a amplades no superiors a 11,40 μm i 9,50 μm .

Es determina un valor de 15 μm per a aquesta amplada W_{28} .

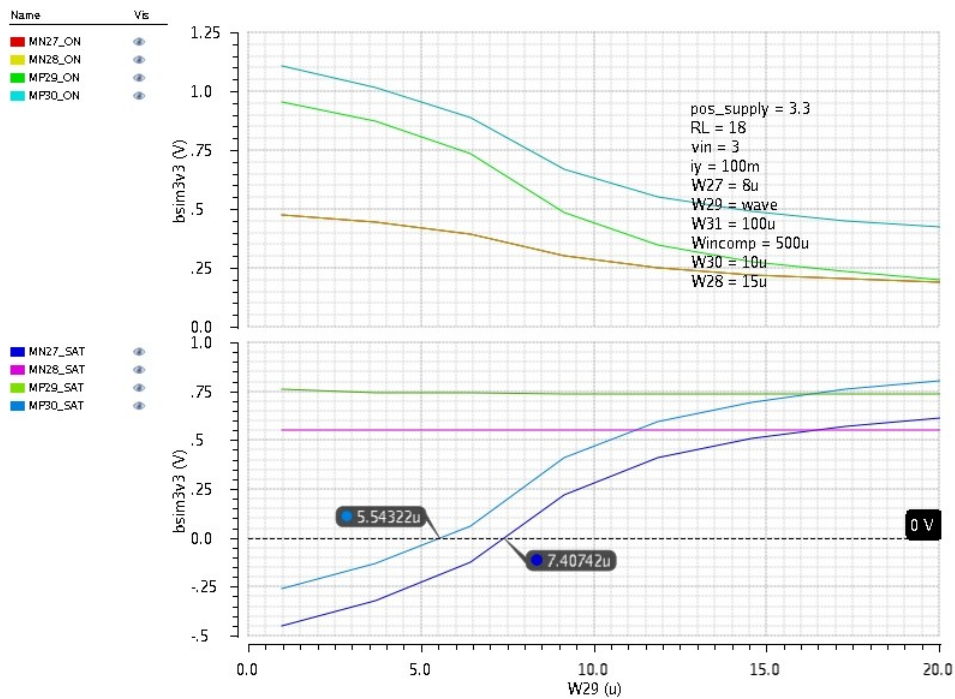


Figura 48. Parametrizació en DC de l'amplada W_{29} .
 Horitzontal: 100 mV/div; Vertical:
 Transistors ON: 50 mV/div
 Transistors SAT: 50 mV/div

Com en el cas anterior, el transistor MP29 també està connectat en forma de MOSDIODE, tal i com es pot veure en la seva línia de saturació. En quant a l'estat de conducció, aconsegueixen tots els transistors en aquest estat per al rang determinat. Pel que fa l'estat de saturació, es tornen a veure afectats els mateixos transistors MP30 i MN27, que estan en zona òhmica per a valors inferiors a $5,54 \mu\text{m}$, i $7,40 \mu\text{m}$ respectivament de l'amplada W_{29} .

Es determina per a W_{29} un valor d'amplada igual a $15 \mu\text{m}$.

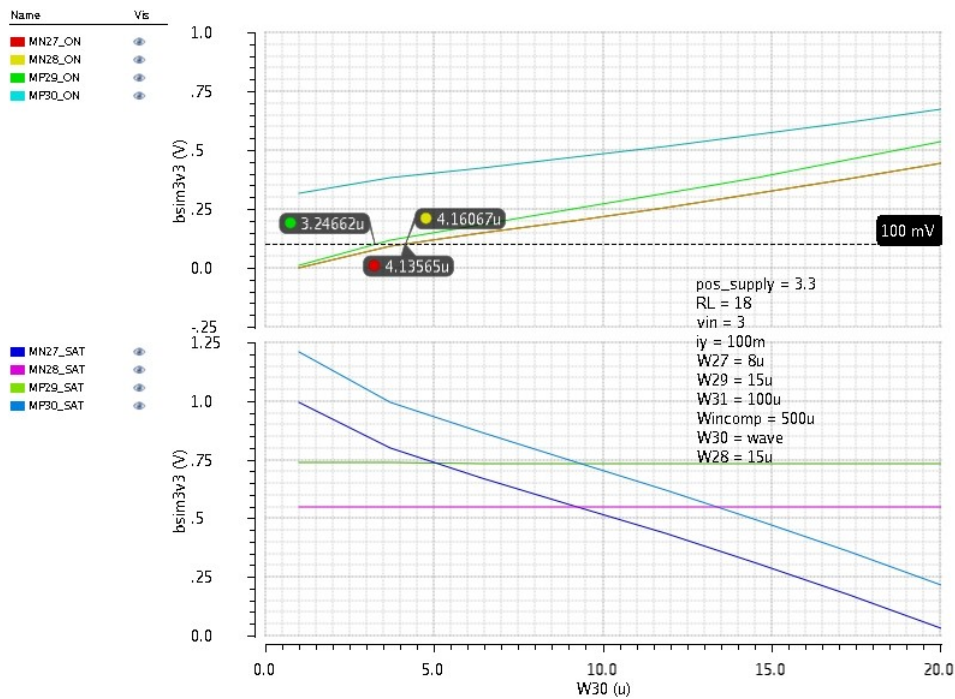


Figura 49. Parametrizació en DC de l'amplada W_{30} .
 Horizontal: 100 mV/div; Vertical:
 Transistors ON: 50 mV/div
 Transistors SAT: 50 mV/div

Finalment es parametriza l'amplada del transistor MP30, mostrant com per a valors superior a $4,20\ \mu\text{m}$ de W_{30} , tots els transistors queden en estat de saturació per al rang seleccionat, ja que per a valors superiors a $20\ \mu\text{m}$ s'intueix que el transistor MN27, entraria en la regió òhmica.

Es determina com a valor de W_{30} $10\ \mu\text{m}$.

2.5.4. Resultats

Finalment s'observa com el convector, té un transistor a la sortida, el W_{31} , que copiarà el corrent que hi circula per X, amb un augment relacionat amb la geometria dels transistor W_{28} , ja que aquest actua com a mirall de corrent.

$$I_Z = \frac{W_{31}}{W_{28}} \cdot I_X \quad (54)$$

S'observa que el corrent entre el qual treballa el W_{28} n'és entre $0 \mu\text{A}$ i $70 \mu\text{A}$. Per tant, si es desitja que el corrent que s'entregui al comparador, oscil·li entre $0 \mu\text{A}$ i $100 \mu\text{A}$, llavors l'amplada W_{31} serà de $21 \mu\text{m}$.

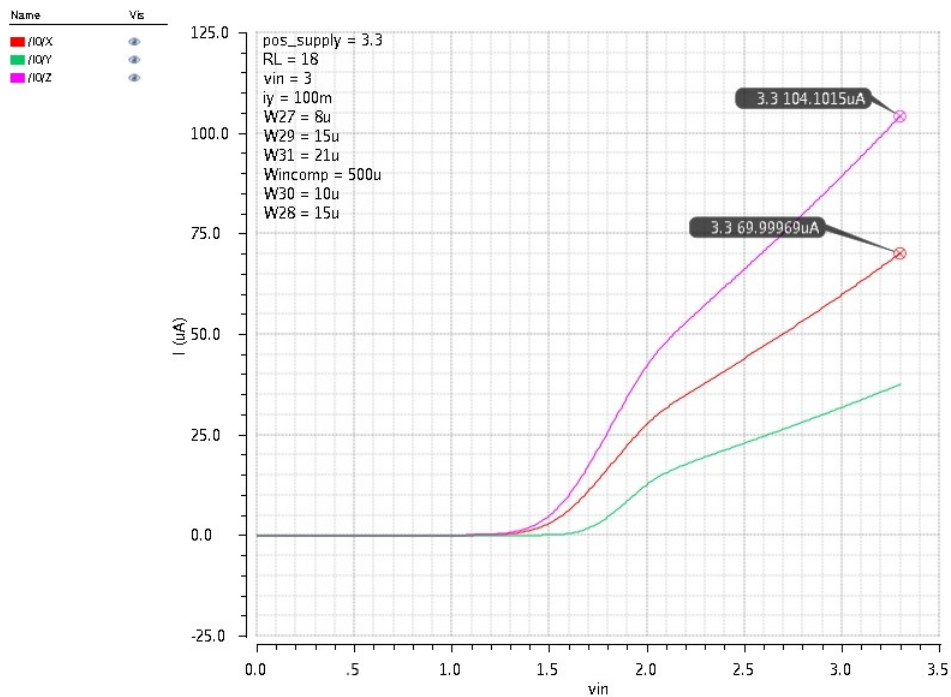


Figura 50. Escorbat en DC a l'entrada del B output.
 Horitzontal: 100 mV/div; Vertical: 5 $\mu\text{A}/\text{div}$.

Els valors finalment seleccionats, són els següents.

- $W_{27} = 8 \mu\text{m}$.
- $W_{28} = 15 \mu\text{m}$.
- $W_{29} = 15\mu\text{m}$.
- $W_{30} = 10 \mu\text{m}$.
- $W_{31} = 21 \mu\text{m}$.

Es revisen a continuació els objectius proposats:

- I. El sensor de de corrent, s'ha estudiat correctament per que enviï el corrent al comparador, de forma que aquest últim tingui la informació de el que en subministra el regulador lineal.
- II. No sa realitzat estudi de potència, degut a que s'ha fet prevaldre que els transistors estessin treballant en la regió de saturació, podent fer-ne l'estudi de potència més acurat amb tots els components units, i veure com aquest convector s'adapta al sistema complet.

2.6.Comparador

2.6.1.Funcionament

El comparador serveix per decidir en quin punt el regulador lineal deixa d'actuar, i passa fer-ho el *buck* i a l'inrevés. Aquest es compon de 3 parts, la primera una etapa de decisió, que adaptarà els nivells en els quals es produeix aquest canvi, i que constarà d'una certa histèresis definida per la geometria dels transistors que en formen part. La segona, serà un parell diferencial, que amplificarà la sortida del circuit de decisió. Finalment tindrà acoblat un inversor per tal d'adaptar-ne els nivells lògics, i que treballi en commutació.

2.6.2.Disseny

El disseny d'aquesta part, es realitzarà de l'última etapa a la primera, la qual cosa vol dir que primer s'estudiarà el comportament de l'inversor. Aquest es seleccionarà en relació al seu rendiment, i es realitzarà, per tant, un estudi similar al de l'interruptor del *buck* en estat de commutació.

De l'equació 18, que n'especifica la potència necessària per carregar i descarregar les capacitats de porta dels transistors. Es determinarà en aquest cas també per a una freqüència de commutació de 10 MHz.

$$P_{GATE} = [C_{OX} \cdot L \cdot (W_N + W_P) + 2 \cdot (C_{OVP} \cdot W_P + C_{OVN} \cdot W_N)] \cdot V_{GS}^2 \cdot f_S \quad (55)$$

$$\begin{aligned}
P_{GATE} &= \left(\frac{4,54 \cdot 10^{-15}}{(10^{-6})^2} \cdot 0,7 \cdot 10^{-6} \cdot (W_N + W_P) \right) \cdot 3,3^2 \cdot 10 \cdot 10^6 \\
&+ 2 \cdot \left(0,086 \cdot \frac{10^{-15}}{10^{-6}} \cdot W_P + 0,120 \cdot \frac{10^{-15}}{10^{-6}} \cdot W_N \right) \cdot 3,3^2 \cdot 10 \cdot 10^6 \\
&= 364,48 \cdot 10^{-3} \cdot W_P + 372,22 \cdot 10^{-3} \cdot W_N
\end{aligned} \tag{56}$$

Una altra pèrdua significativa en aquesta estructura, és la potència dinàmica, la qual és deguda a la càrrega i descàrrega de les capacitats de càrrega, que són conformades per la capacitat de frontera, *fringing capacitance*, i la capacitat de sortida. La capacitat de frontera, és deguda al flux lateral que entre els plats (la porta i el substrat) es genera. La capacitat de càrrega, no es veurà implicada en aquest estudi, ja que no depèn dels valors de les amplades dels transistors, i per tant la pèrdua de potència en aquesta romandrà invariable respecte a aquests amplex.

$$P_{DYN} = C_F \cdot (W_P + W_N) \cdot V_{DD}^2 \cdot f_S \tag{57}$$

$$\begin{aligned}
P_{DYN} &= 0,044 \cdot \frac{10^{-15}}{10^{-6}} \cdot (W_P + W_N) \cdot 3,3^2 \cdot 10 \cdot 10^6 \\
&= 479,16 \cdot 10^{-6} \cdot (W_P + W_N)
\end{aligned} \tag{58}$$

En aquest cas, a diferència del *buck*, no es tindrà en consideració la potència de conducció, ja que l'entrada de la següent etapa (*driver* del *buck*) és una porta d'un MOSFET, i per tant no hi haurà un corrent entregat, ni tampoc absorbit.

Com es pot observar en les equacions 56 i 58, la potència és directament proporcional a l'amplada dels transistors. Al no existir pèrdues per conducció, que en són inversament proporcional a l'amplada del transistor, i que en el cas de l'equació 58, quasi no té efecte sobre el comput total, ja que al resoldre-la, queda 3 ordres de magnitud per sota de la potència P_{GATE} es desitjaran uns transistors d'amplada petita per a obtenir-ne un bon rendiment.

Per altra banda, també es desitja una estructura ràpida, i per tal de trobar-la, es buscarà minimitzar el temps de propagació d'aquest inversor.

$$t_p = \frac{C_L \cdot V_{dd} \cdot L}{2} \cdot \left(\frac{1}{K_N \cdot W_N \cdot (V_{dd} - V_{thN})^2} + \frac{1}{K_P \cdot W_P \cdot (V_{dd} - V_{thP})^2} \right) \quad (59)$$

L'equació 59 indica com es relacionen els components de l'estructura, la geometria dels diferents, i les tensions que hi interaccionen. Així doncs per tal d'obtenir un inversor ràpid, serien desitjables uns transistors més aviat d'amplada gran, ja que al augmentar aquesta, la resistència del transistor en conducció cau, i per tant també ho fa la constant de temps amb la que es carrega i descarrega el condensador de sortida.

Seguint la direcció del disseny, s'ha de dimensionar el parell diferencial, que convertirà a la seva sortida la diferència de la estructura de decisió en un potencial. Per tal de dissenyar-lo es tenen les següents fórmules:

$$G_{BW} = \frac{g_{m1}}{2\pi \cdot C_L} \quad (60)$$

$$f_{nd} = \frac{g_{m3}}{2\pi \cdot C_{N2}} \quad (61)$$

$$C_{N2} = 2 \cdot C_{GS3} + C_{DB3} + C_{DB1} \simeq 4 \cdot C_{GS3} \quad (62)$$

Juntament amb les les equacions 38 i 39 que defineixen la capacitat de porta i el g_m , i sabent que per un marge de fase de 70° , la freqüència no dominant ha d'ésser 3 cops més gran que el guany ample de banda, s'obté:

$$G_{BW} = \frac{K_N \cdot \frac{W_N}{L} \cdot V_{eff}}{2\pi \cdot C_L} = \frac{170\mu \cdot \frac{W_N}{0,7\mu} \cdot 0,2}{2\pi \cdot \left(\frac{2}{3} \cdot (25+55)\mu \cdot 0,7\mu \cdot 4,54 f/\mu^2\right)} = 4,56 \cdot 10^{13} \cdot W_N \quad (63)$$

En quan a la capacitat en el node 2, deixa d'ésser rellevant degut a que es genera un parell zero-pol, i per tant, qualsevol capacitat d'un amplificador de sortida única, que hi hagi a l'altra rama de la de sortida pot ésser negligible.

Es determinen com a valors inicials del parell diferencial:

- $W_{21,22} = 10 \mu\text{m}$.
- $W_{20,20\text{mirror}} = 10 \mu\text{m}$.
- $W_{23,24} = 10 \mu\text{m}$.
- $I_{\text{BIAS_Vb1}} = 10 \mu\text{A}$.

Seguidament es determinarà la etapa de decisió, que compararà el corrent subministrat pel regulador amb una referència, per tal de activar o desactivar l'alimentació a la càrrega mitjançant el *buck* o el propi regulador.

L'etapa de decisió, consta de quatre transistors PMOS, els quals estan distribuïts per tal de produir un efecte histèresi. La histèresi, ve donada, per la relació que existeix entre la geometria dels transistors en mode MOSDIODE, i els altres. La mesura dels MOSDIODE, en serà W_{16} , i la de la resta, W_{17} .

$$I_{hl} = I_{ref} \cdot \frac{W_{17}}{W_{16}} \quad (64)$$

$$I_{lh} = \frac{I_{ref}}{W_{17}/W_{16}} \quad (65)$$

A la relació W_{17}/W_{16} s'anomenarà β , i en serà la determinant de l'amplada de la histèresi. S'haurà de tenir en compte també, que el punt de pujada, creix molt més ràpid a mesura que la β augmenta, i per tant podria ésser que aquest en quedés fora del rang de corrents en les que s'està fent la mesura, resultant així una estructura que no canviaria mai a l'estat alt.

2.6.3. Simulació

Per iniciar l'estudi, s'escollirà una relació entre PMOS/NMOS en relació a les seves constants K_N/K_P , donant resultat a $W_P \approx 3 \cdot W_N$, i una amplada de NMOS de $1 \mu\text{m}$. La capacitat de sortida serà la equivalent a una entrada de la següent etapa de dimensions $W/L = 10 \mu\text{m} / 10 \mu\text{m}$, i que per tant resulten amb una $C = 500 \text{ fF}$.

Primerament es buscarà que la tensió en la que canvia l'inversor d'estat, sigui a la meitat de la tensió d'alimentació, per tant $1,65 \text{ V}$.

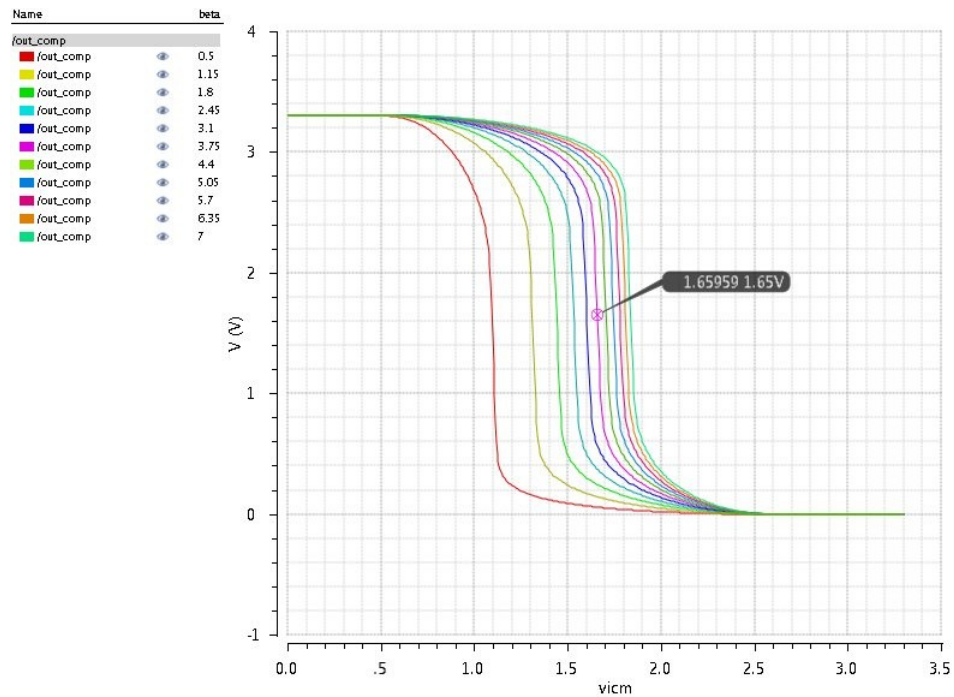


Figura 51. Simulació DC de l'inversor del comparador.
 Horitzontal: 100 mV/div ; Vertical: 200 mV/div .

Per tal de trobar una geometria de transistors que faci l'inversor ràpid, s'analitzarà en AC, buscant en aquest cas, un diagrama de fase, que sigui estable a 180° (inversió), el màxim rang de freqüències, ja que això significa que hi ha un mínim desfasament entre la entrada i la sortida.

Agafant com a criteri, que la fase es mantingui estable en un rang de freqüències de 30 MHz, es seleccionarà el cas en que els transistors siguin més petits, degut a l'esmentat anteriorment sobre la potència. No és en aquest cas el guany, un paràmetre tant rellevant, degut a que aquesta estructura, només servirà per adaptar la fase comparativa a valors lògics V_{DD} o 0 V.

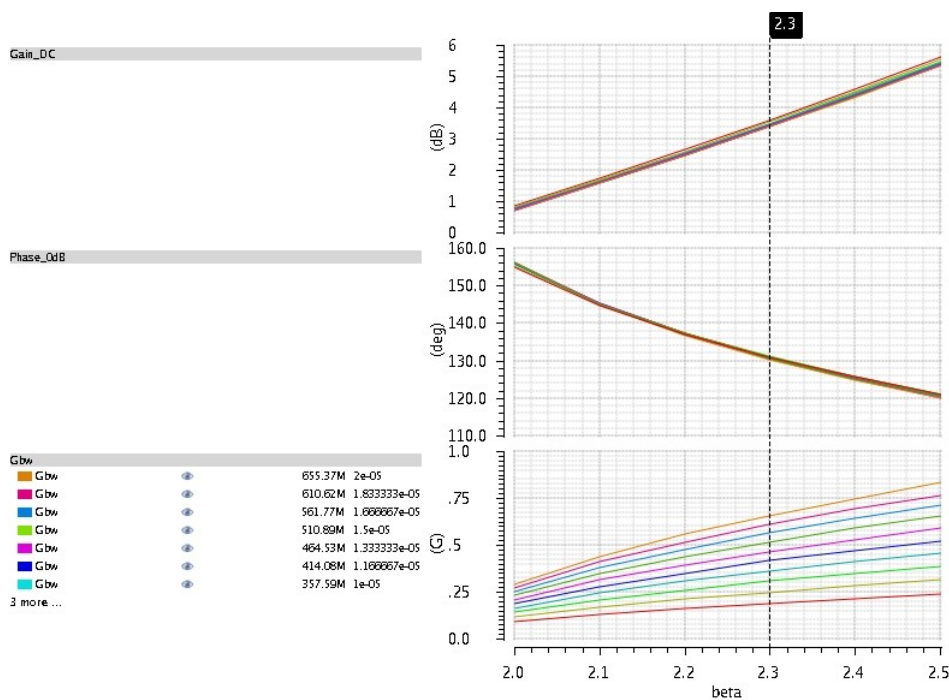


Figura 52. Parametrizació de la simulació AC per a diferents amplades i ràtios W_P/W_N de l'inversor.
 Horitzontal: 0,02/div;
 Vertical guany: 5 dB/div.
 Vertical fase: 10 °/div.
 Vertical G_{BW} : 25 Mhz/div.

Com es pot observar en la figura la Figura 52., a sobre el guany, al mig el marge de fase, i a sota la banda de guany, en funció de beta, ràtio W_P/W_N . Sobre el guany i la fase, que estan únicament relacionats amb aquest ràtio, s'observa que el primer augmenta amb aquest, i el segon disminueix. En quant a la banda de guany, també es veu afectada, per l'amplada dels transistors, que com més grans són, més llarga n'és aquesta també.

Per tal de no tenir una capacitat de porta que en comprometés la propagació del senyal, i que se'n tingui un valor estable de fase, que no disminueix més de 5 ° en un rang de 30 MHz, i amb un guany acceptable, superior a 0 dB, s'agafarà un valor de 15 μm per a l'NMOS, i la beta serà igual a 2, per tant el PMOS serà de 30 μm. El resultat es mostra a la Figura 53. que hi ha a continuació.

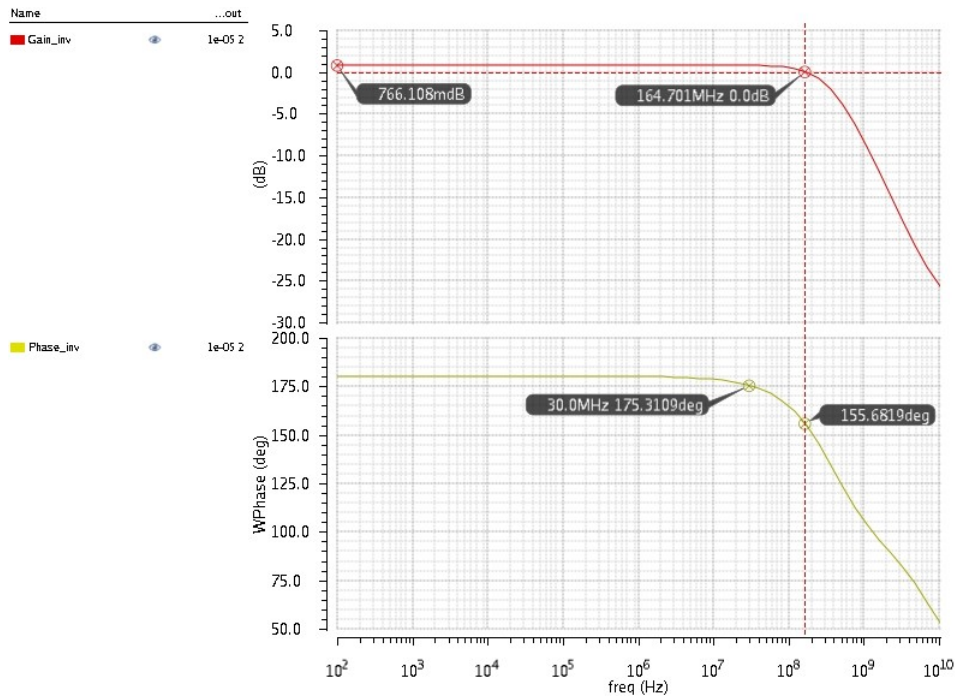


Figura 53. Simulació AC de l'inversor del comparador.

Horitzontal: logarítmica per dècades;

Vertical guany: 1 dB/div.

Vertical fase: 5 °/div.

Seguidament s'estudiarà el disseny del parell diferencial que el comparador incorpora. Aquest estudi, serà similar al que se'n va fer de la OTA de Miller.

Tot i això, primerament es realitzarà un anàlisi en DC, per tal d'aconseguir que el punt on es desitja tenir aquest component, tindrà tots els seus transistors en saturació, i per tant treballarà en amplificació.

Es defineixen 2 variables per a cada transistor, la d'estat ON, que n'és la diferència entre la tensió porta-sortidor i la tensió llindar del transistor, la qual es desitjarà que tingui un valor superior a 100 mV, evitant així problemes per efectes de *subthreshold*. La variable d'estat SAT, en serà la tensió drenador-sortidor menys el resultat de la variable ON, definint que els transistors estan en saturació per a valors d'aquesta superiors a 0 V.

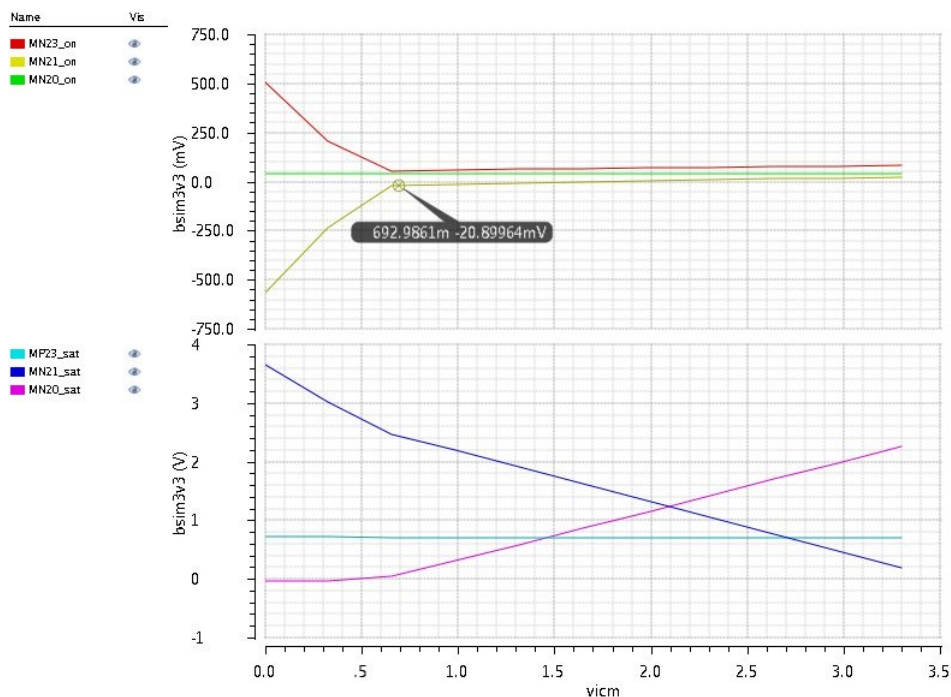


Figura 54. Escombrat en DC del parell diferencial comprovant l'estat dels transistors.
 Horizontal: 100 mV/div; Vertical:
 Transistors ON: 50 mV/div
 Transistors SAT: 200 mV/div

Com s'observa en la Figura 54., fent un escombrat de la tensió de mode comú a l'entrada, cap dels transistors, arriba a la tensió de 100 mV requerida per un bon funcionament en saturació. En quant a les variables SAT, en tot el rang de tensions d'entrada en mode comú, es veuen afavorides, tot i que aquest resultat no és bo si no es defineix correctament que la tensió porta-sortidor n'és 100 mV superior a la del llindar de conducció.

Seguidament, es realitzarà els escombrats per a diferents valors d'amplada de transistors, comprovant així si es pot millorar l'entrada en saturació d'aquests.

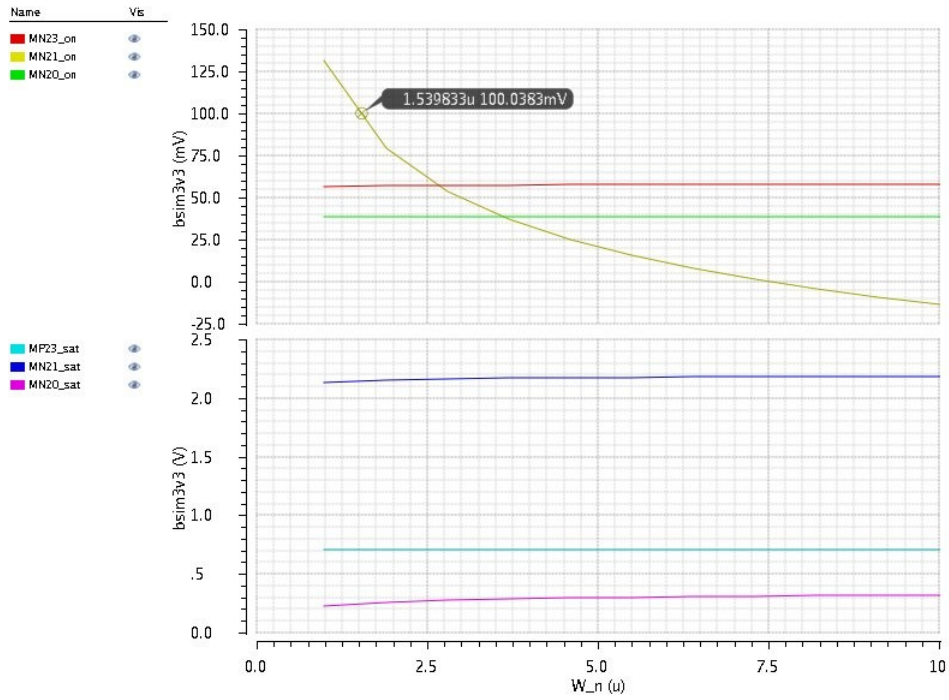


Figura 55. Escombrat de les amplades del transistors N d'entrada del parell diferencial.
 Horizontal: $0,25 \mu\text{m}/\text{div}$; Vertical:
 Transistors ON: $5 \text{ mV}/\text{div}$
 Transistors SAT: $100 \text{ mV}/\text{div}$

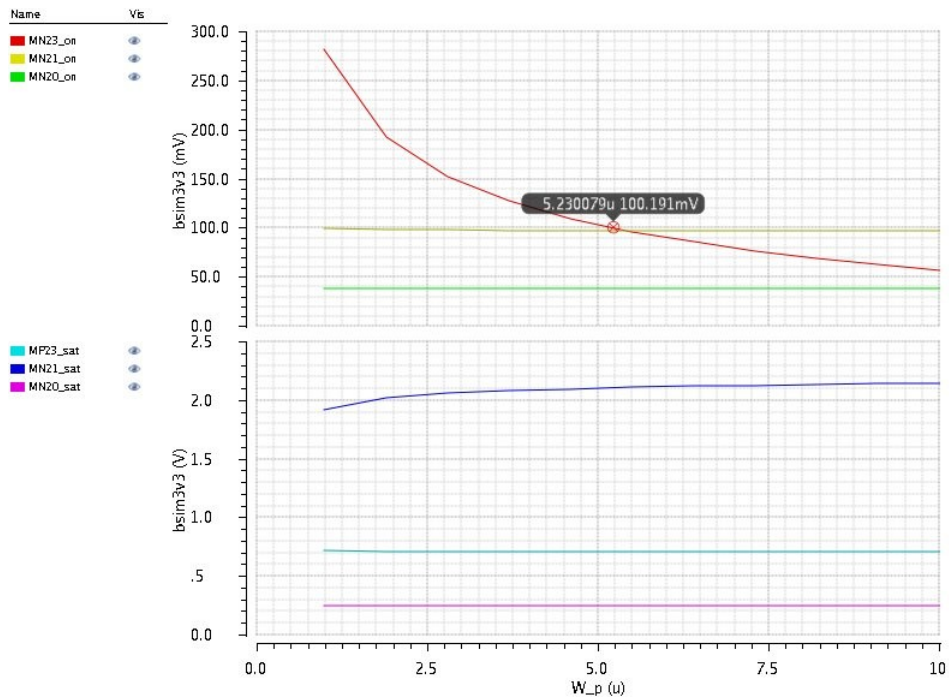


Figura 56. Escombrat de les amplades del transistors P mirall de corrent del parell diferencial.
 Horizontal: $0,25 \mu\text{m}/\text{div}$; Vertical:
 Transistors ON: $10 \text{ mV}/\text{div}$
 Transistors SAT: $100 \text{ mV}/\text{div}$

A la Figura 55. s'observa com l'amplada dels transistors 21 i 22, els NMOS d'entrada, afecta només al seu propi estat d'encesa, sense variar-ne el seu estat de saturació. Per tant s'agafarà el valor que faci aquesta igual o superior al valor de 100 mV. Aquest valor imposa una amplada inferior a 1,54 μm .

A posteriori s'analitza l'efecte de les amplades dels transistors que conformen el mirall de corrent, el 23 i 24, en aquest cas, PMOS. La Figura 56. mostra també una línia similar a la de la Figura 55., augmentant l'amplada, la tensió porta-sortidor, va disminuint fins a arribar al punt en que la variable ON, arriba a una tensió per sota de 100 mV, cosa que no interessa pel disseny. Com en la figura anteriorment esmenada, tampoc hi ha canvis significatius en els paràmetres de saturació. Així doncs, el valor d'amplada per a aquests, ha d'ésser no més gran de 5,23 μm .

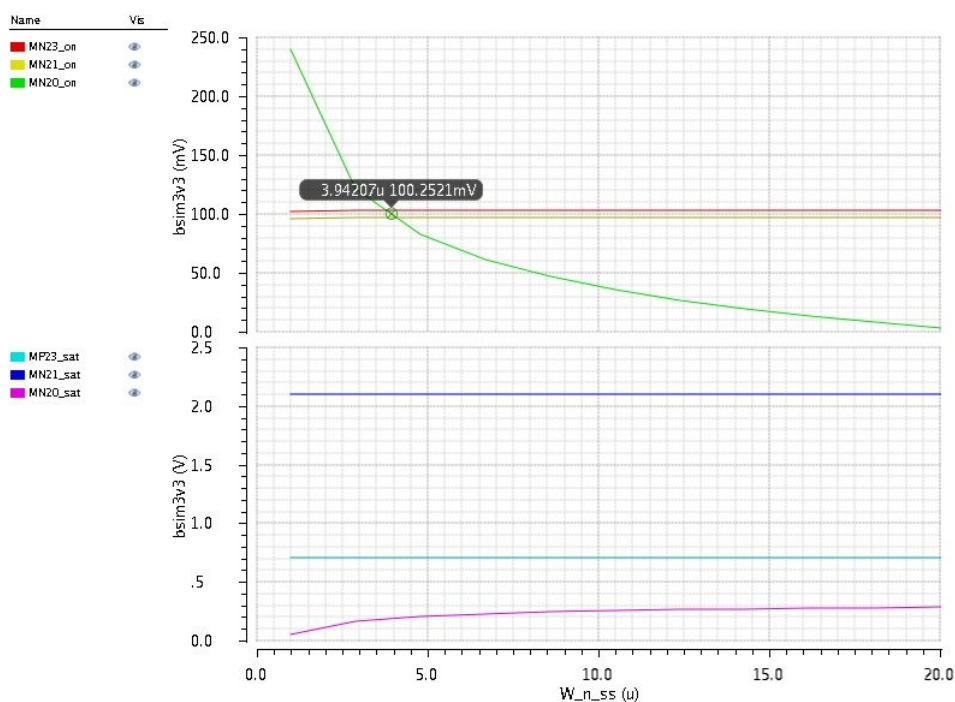


Figura 57. Escorbat de l'amplada del transistor N font de corrent del parell diferencial.

Horitzontal: 0,25 $\mu\text{m}/\text{div}$; Vertical:

Transistors ON: 10 mV/div

Transistors SAT: 100 mV/div

L'última amplada per verificar, n'és la del transistor NMOS 20, que realitza la funció de font de corrent del parell diferencial. La Figura 57. en mostra el seu estat vers la seva amplada. Continuant amb la tònica dels escombrats anteriors, el valor de l'amplada afecta només a la seva tensió porta-sortidor, donant així un valor màxim d'amplada per a que el transistor estigui en saturació de 3,94 μm .

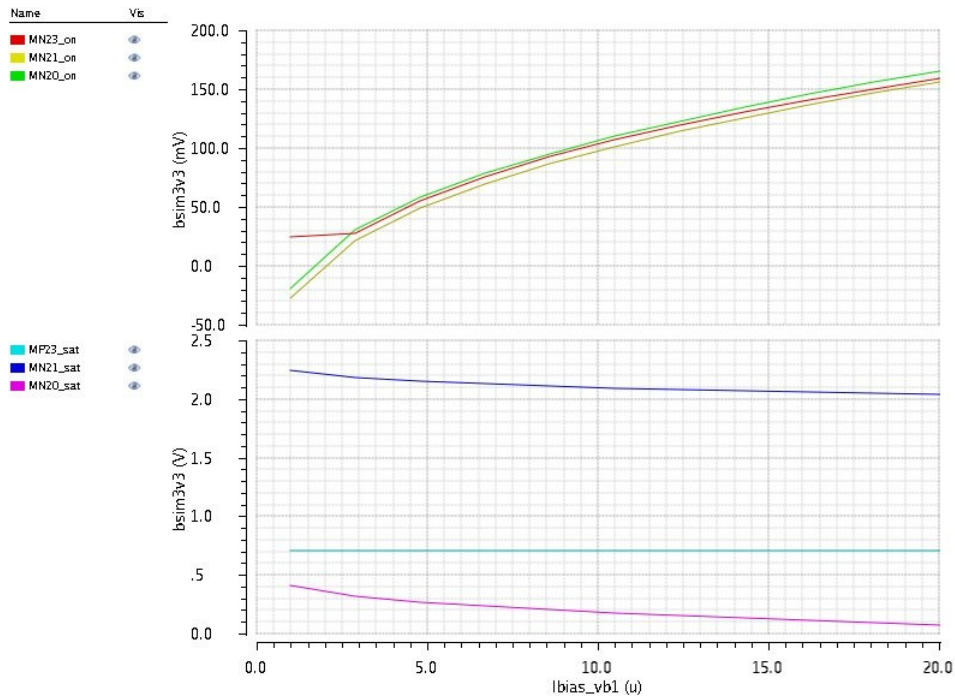


Figura 58. Escombrat del corrent de polarització del parell diferencial.
 Horitzontal: 0,5 $\mu\text{A}/\text{div}$; Vertical:
 Transistors ON: 10 mV/div
 Transistors SAT: 100 mV/div

Aquesta, la Figura 58., n'és la evolució dels estats dels transistors en funció del corrent injectat en el mirall de corrent del transistor 20, que realitza la funció de font de corrent del parell diferencial. S'observa com hi ha un valor mínim per tal de que els transistors anteriorment analitzats, continuïn en un bon valor de saturació, i que correspon a uns 10 μA . Aquest valor es pot augmentar, tot i que comporta en aquest cas una reducció de la tensió drenador-sortidor del propi transistor 20, i que en podria afectar el seu comportament.

Finalment es torna a realitzar un escombrat de la tensió d'entrada per validar aquest treball vers a la bona saturació del parell diferencial.

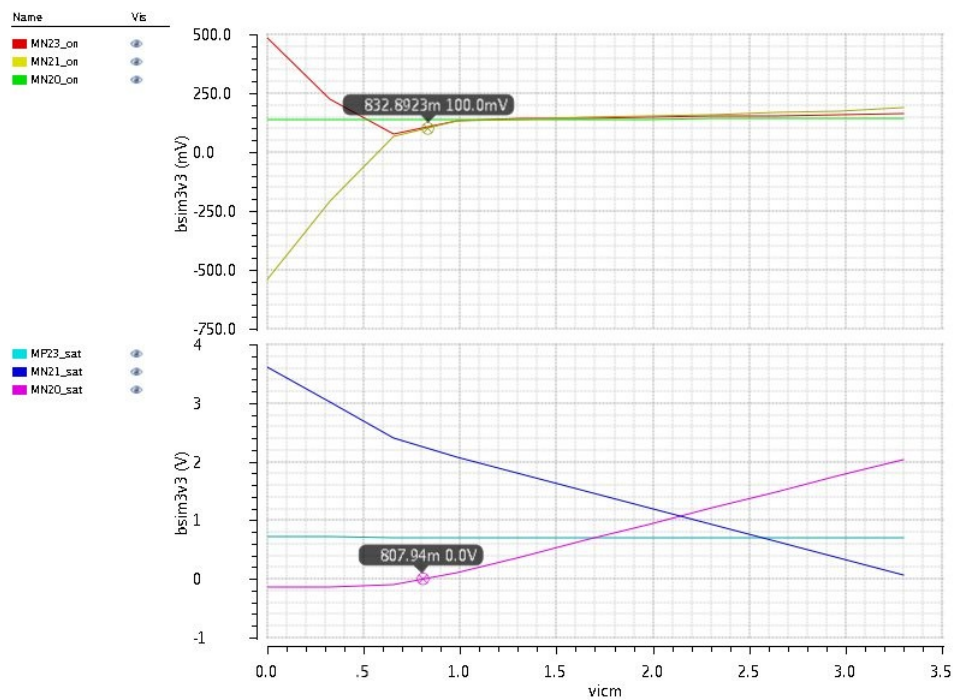


Figura 59. Escombrat del corrent de polarització del parell diferencial.
 Horitzontal: $0,5 \mu\text{A}/\text{div}$; Vertical:
 Transistors ON: $10 \text{ mV}/\text{div}$
 Transistors SAT: $100 \text{ mV}/\text{div}$

S'observa com el sistema a canviat amb una millor saturació dels seus transistors, i com a resultat se'n té que la tensió d'entrada en mode comú ha d'ésser superior al 833 mV.

Seguidament es realitzarà la comprovació del sistema per al seu treball en règim d'AC. Els paràmetres a analitzar, en seran el seu guany en DC, el guany ample de banda, i el marge de fase.

L'únic paràmetre que es modificarà en serà el corrent de polarització del parell, degut a que no és possible modificar els valors de les amplades dels transistors si es volen conservar en un bon punt de polarització.

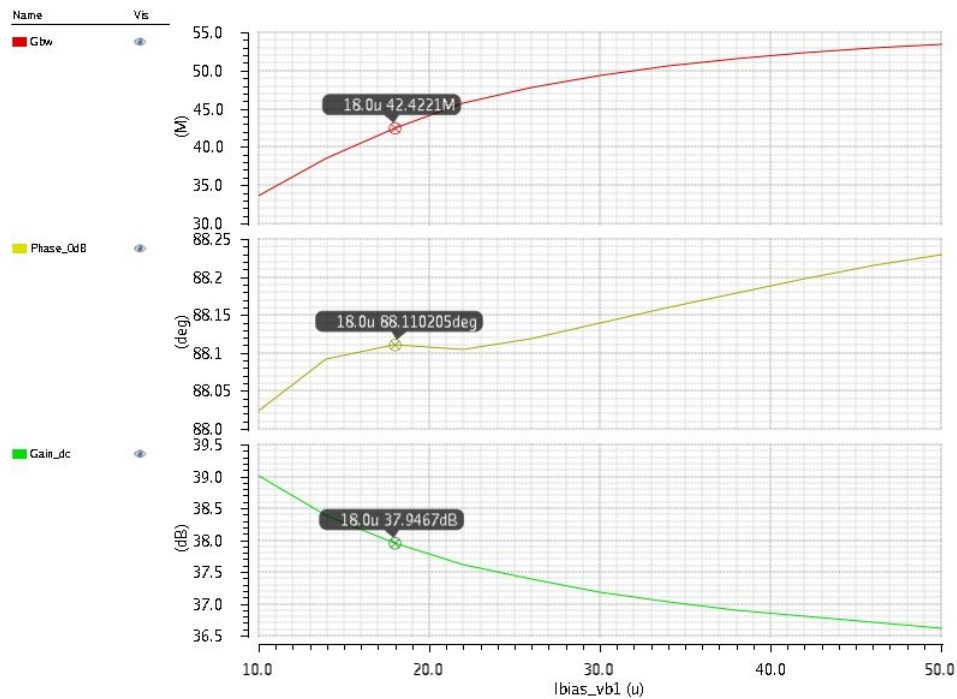


Figura 60. Escombrat del corrent de polarització del parell diferencial en AC.

Horitzontal: 1 $\mu A/div$; Vertical:

- → Banda guany = 1 dB/div
- → Marge fase = 0,01 °/div
- → Guany_{DC} = 0.1 dB/div

Per tal de no comprometre molt el guany a baixes freqüències, es selecciona un valor de 18 μA , donat a que ofereix una banda de guany de 42 MHz, un marge de fase de 88 °, i un guany en DC de 38 dB. Valors bastant bons per a aquest anàlisi en alterna.

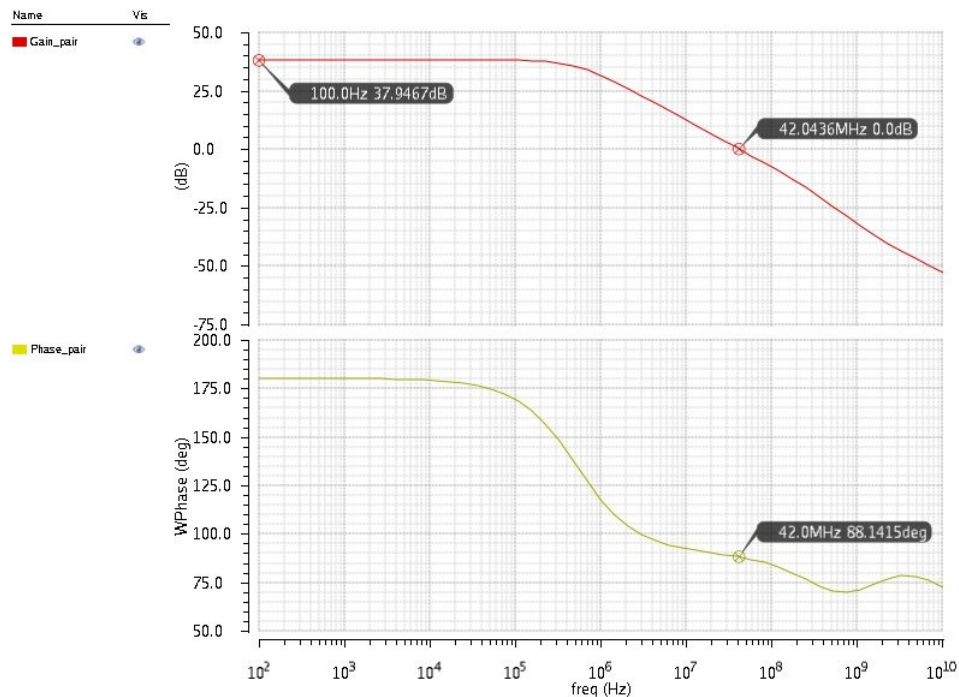


Figura 61. Diagrama de Bode del parell diferencial del comparador.
 Horizontal: logarítmica per dècades;
 Vertical guany: 5 dB/div.
 Vertical fase: 5 °/div.

Finalment s'analitza el comportament de la etapa de decisió. Es preveu treballar amb un corrent que oscil·larà entre 0 i 100 μA a l'entrada del comparador, per tant s'estableix un corrent de referència de 40 μA , que implica un dispar a estat alt a 80 μA , i un dispar a estat baix a 20 μA seguint les equacions 64 i 65 determinant un paràmetre alpha entre els transistors MOSDIODE, 16 i 19, i els PMOS, 17 i 18.

Es parametriza l'amplada dels transistors, per tal de veure com n'afecta a la propagació de senyal de tot el conjunt.

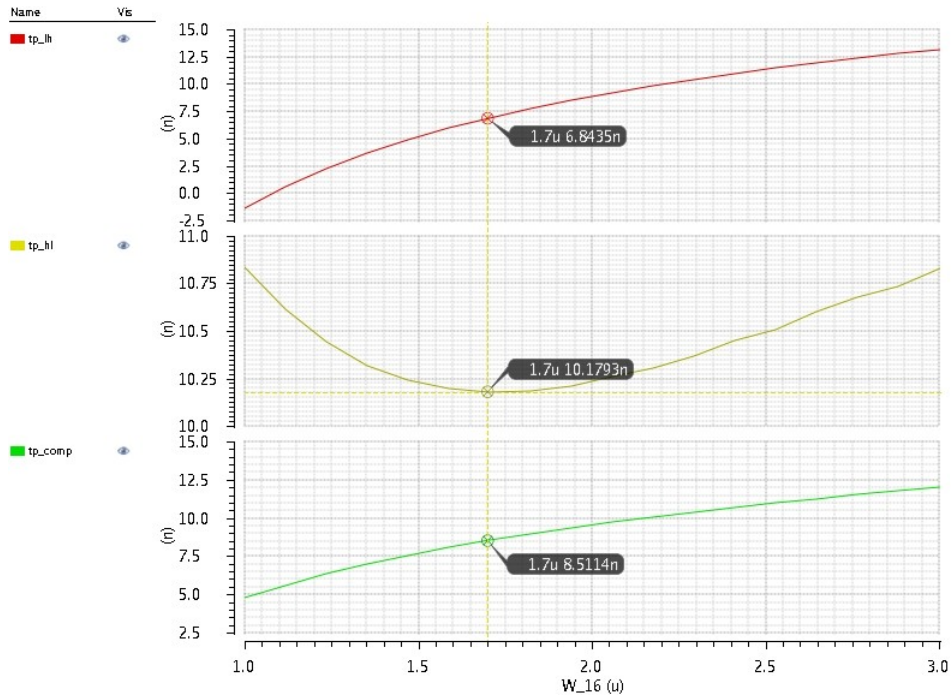


Figura 62. Parametrizació de l'amplada de transistors de l'etapa de decisió del comparador.

Horitzontal: 50 ns/div;

- → $tp_{LH} = 0,5 \text{ ns/div}$
- → $tp_{HL} = 25 \text{ ps/div}$
- → $tp = 0,5 \text{ ns/div}$

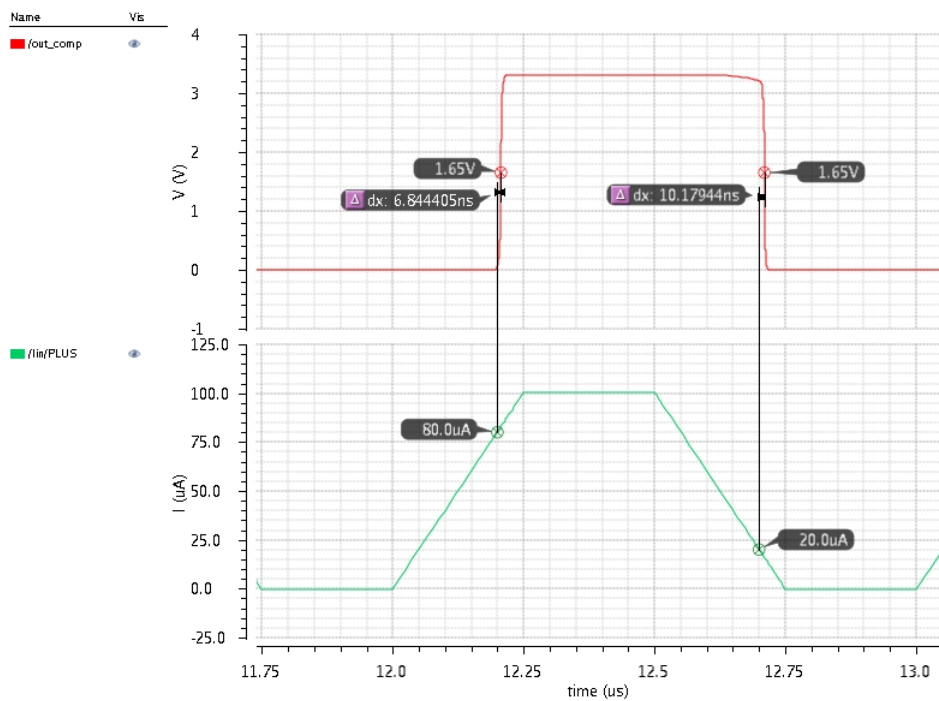


Figura 63. Simulació transitària de la entrada i la sortida del comparador.

- Horitzontal 50 ns/div. Vertical:
- → Sortida: 0,2 V/div.
 - → Entrada: 5 µA/div.

Tal i com s'observa a la Figura 62., a mesura que se n'augmenta la mida dels transistors, el temps de propagació, també ho fa. No obstant això, se'n veu un mínim en el temps de propagació de baixada. S'agafarà aquest, tot i que no sigui un mínim absolut del conjunt.

A la següent figura, la Figura 63., es simula el conjunt sencer del comparador, mostrant un comportament correcte, a més de bastant ràpid. Aquesta etapa, serà la que regirà el *driver*, per tant el seu comportament a la sortida ha d'ésser, el més semblant a una ona quadrada, ja que és el que es va simular amb components ideals al *driver*, donant així un resultat més aproximat al que allí s'havia calculat.

2.6.4. Resultats

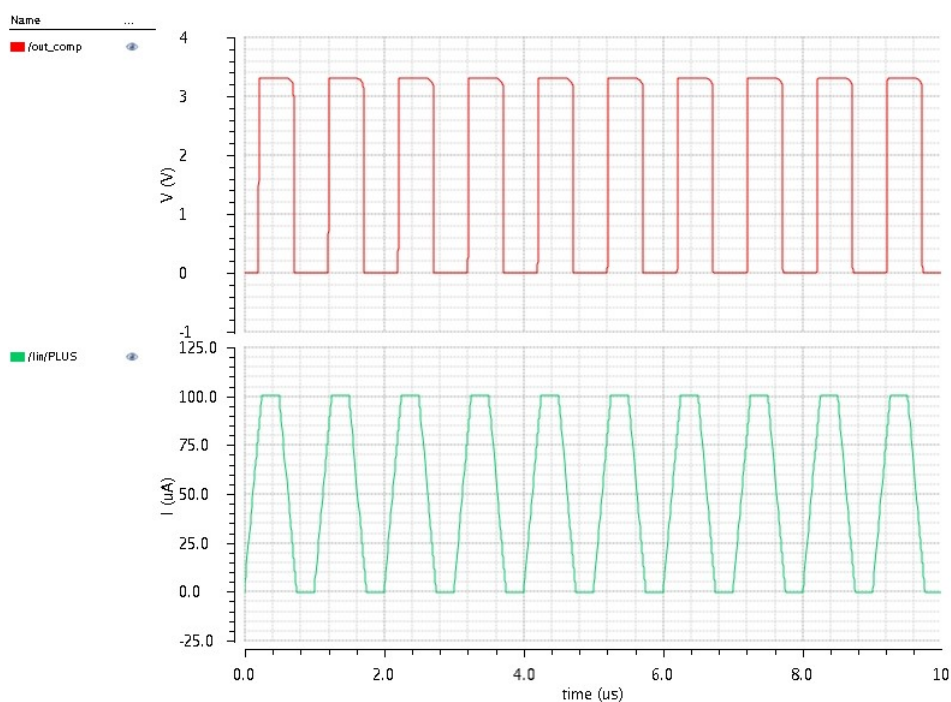


Figura 64. Simulació transitòria de la entrada i la sortida del comparador.

Horitzontal 50 ns/div. Vertical:

- → Sortida: 0,2 V/div.
- → Entrada: 5 µA/div.

Finalment, Figura 64., es mostra el comportament del comparador amb una entrada quadrada amb transicions no instantànies. Aquesta, que és de 1 MHz, és acceptable, ja que 10 ns n'és un 1 % per a aquesta freqüència. Emperò si la freqüència augmenta, el sistema podria arribar a ésser lent, compromentent l'estabilitat del *driver* i del *buck*. De totes formes, es deixa amb aquests valors, a l'espera de la interactuació amb tots els components.

Els valors finalment seleccionats, són els següents.

- $W_{16,18} = 1,7 \mu\text{m}$.
- $W_{17,19} = 2,4 \mu\text{m}$.
- $W_{20} = 4 \mu\text{m}$.
- $W_{21,22} = 2 \mu\text{m}$.
- $W_{23,24} = 2 \mu\text{m}$.
- $W_{25} = 4 \mu\text{m}$.
- $W_{26} = 8 \mu\text{m}$.

Es revisen a continuació els objectius proposats:

- I. La velocitat, s'ha optimitzat al màxim, tot i que el valor obtingut, sembla ser que no en sigui prou bo vers les especificacions d'inici. Es seguirà amb el disseny, comprovant que aquesta part no n'afecti al conjunt, ja que el fet la freqüència no vindrà imposada per cap generador, si no que serà el sistema que s'autoregularà.
- II. El guany s'ha maximitzat fins a un valor de 38 dB a la part del parell diferencial, no veient-se massa afectada per la etapa final, que s'ha estat ficant èmfasi en la estabilitat de la seva fase.
- III. Els punts de commutació s'han fixat per a un corrent que oscil·li entre 0 i 100 μA , sent-ne els punts de tall de 20 μA per a la transició a estat alt a baix, i de 80 μA per a la transició oposada.

2.7.Unió de tots els components.

2.7.1.Simulació

Finalment, s'ajunten tots els components estudiats individualment per comprovar que el funcionament n'és correcte. Es realitzaran modificacions sobre alguns paràmetres, per tal de millorar-ne l'estructura sencera.

Aquí a la Figura 65., s'observa el resultat final unint tots els components amb els valors, tal i com s'han determinat després de l'estudi individual.

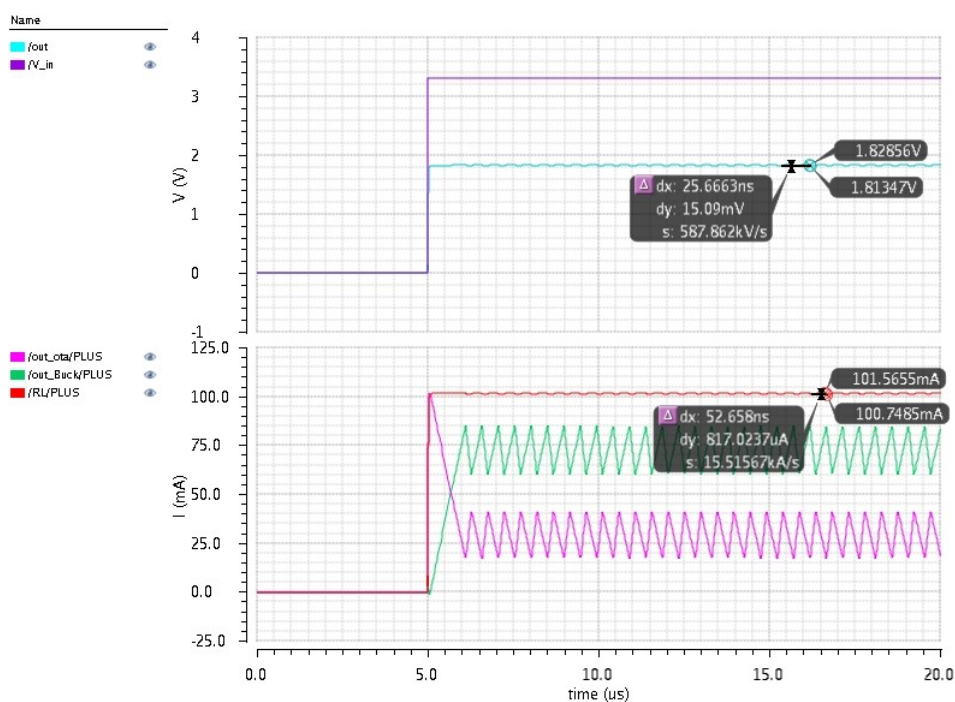


Figura 65. Simulació transitòria amb entrada escaló de la estructura.

Horitzontal: 500 ns/div; Vertical:

- → $V_{in} = 0,2 \text{ V/div}$
- → $V_{out} = 0,2 \text{ V/div}$
- → $I_{lineal_reg} = 5 \text{ mA/div}$
- → $I_{buck} = 5 \text{ mA/div}$
- → $I_{out} = 5 \text{ mA/div}$

Aquest resultat, dóna el que se n'esperava de la estructura, la conversió d'una tensió DC a una altra DC, la qual està realitzada per un *buck*, que en proporciona la majoria del corrent subministrat a la càrrega, i d'un regulador lineal, que ajuda a aquest primer a estabilitzar-ne la sortida, o en el moment d'arrancada en compensa el retard en arribar al corrent nominal.

L'estructura dóna així uns paràmetres del 70,9 % de rendiment, un arriestat de sortida en tensió de 14,1 mV, i un corrent mitjà a la sortida de 101,3 mA.

Tot i això, se n'han fet algunes iteracions, per intentar millorar-ne l'estructura. Variant el valor de la inductància a 93,5 μm , i el valor del transistor de sortida del convector de corrent, el rendiment ha augmentat fins al 82,4 %, quedant l'arriestat de sortida en tensió a 9,74 mV, i un corrent mig de 101,3 mA. El resultat es mostra a la Figura 66..

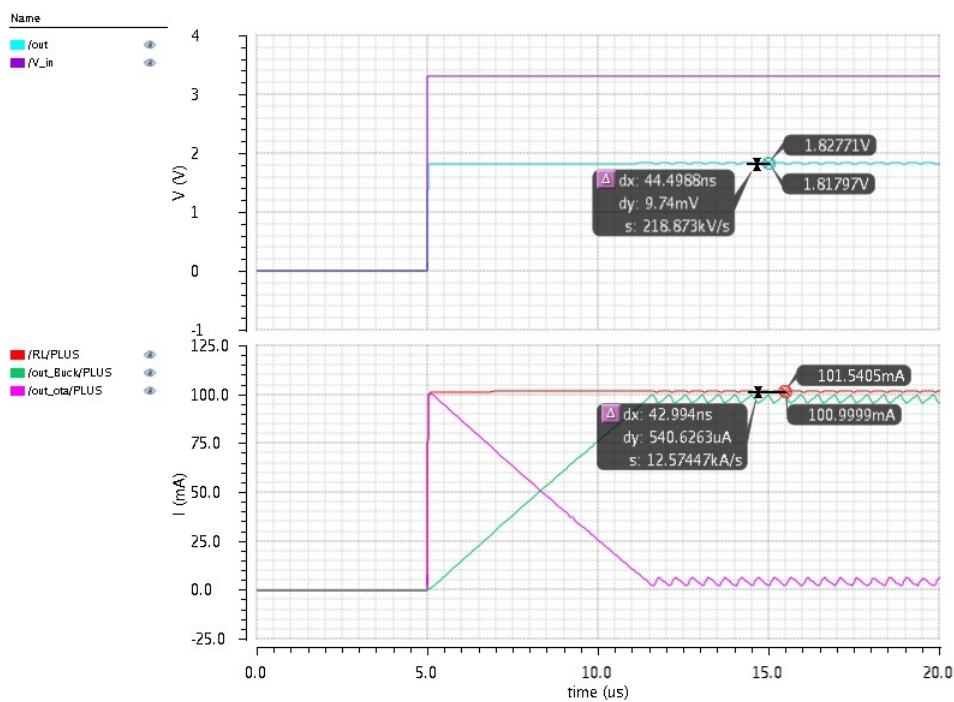


Figura 66. Simulació transitòria amb entrada escaló de la estructura.

Horizontal: 500 ns/div; Vertical:

- → $V_{in} = 0,2 \text{ V/div}$
- → $V_{out} = 0,2 \text{ V/div}$
- → $I_{lineal_reg} = 5 \text{ mA/div}$
- → $I_{buck} = 5 \text{ mA/div}$
- → $I_{out} = 5 \text{ mA/div}$

Seguidament, s'han realitzat l'estudi de regulació de línia. Aquest consisteix en posar a prova el regulador vers a variacions a l'entrada d'alimentació, i veure com aquest pot continuar seguint funcionant, o quina n'és la seva disminució en quan al funcionament nominal.

Per realitzar-ho, es realitza una entrada escaló, que al cap de un període de temps, comença a oscil·lar. Aquesta oscil·lació, serà una ona quadrada de transicions no instantànies, amb un arrissat que va de 300 mV per sobre del valor mitjà de la tensió d'alimentació a 300 mV per sota, per tant de 3 V a 3,6 V.

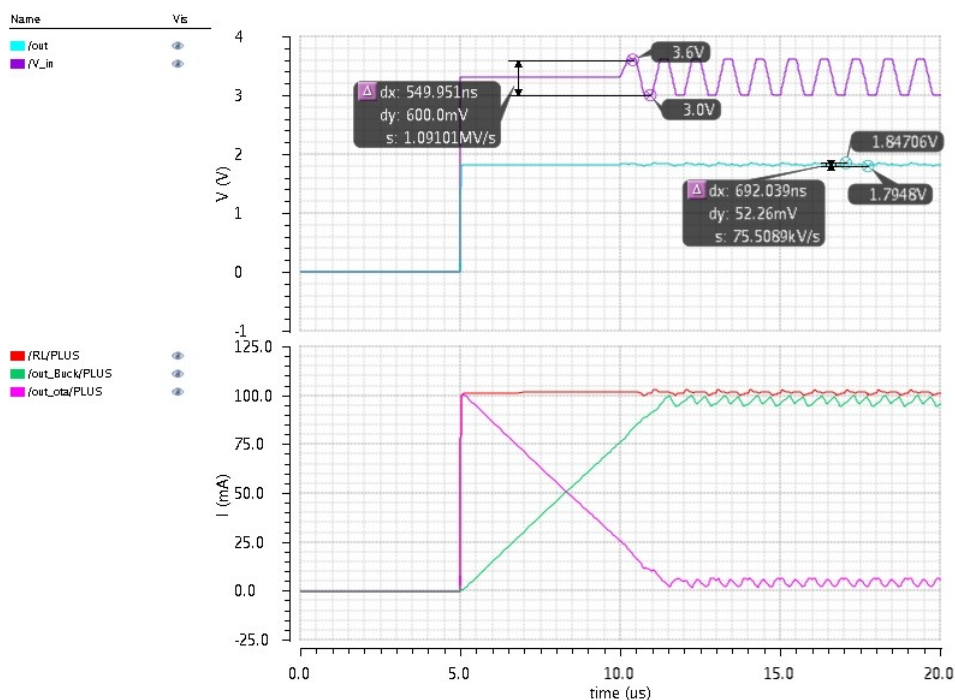


Figura 67. Simulació transitòria per verificar la regulació de línia.

Horitzontal: 500 ns/div; Vertical:

- → $V_{in} = 0,2 \text{ V/div}$
- → $V_{out} = 0,2 \text{ V/div}$
- → $I_{lineal_reg} = 5 \text{ mA/div}$
- → $I_{buck} = 5 \text{ mA/div}$
- → $I_{out} = 5 \text{ mA/div}$

La regulació de línia, es defineix amb la equació 66.

$$\text{Regulació de línia} = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (66)$$

Per tant:

$$\text{Regulació de línia} = \frac{52 \text{ mV}}{600 \text{ mV}} = 0,087 = 8,7\% \quad (67)$$

La regulació de càrrega és similar a la de línia, però enfocat a la sortida de l'estructura. És veure com actua el sistema, vers a una variació de la càrrega. Per fer-ho, es verificaran càrregues que van dels 10 Ω fins a 1 KΩ.

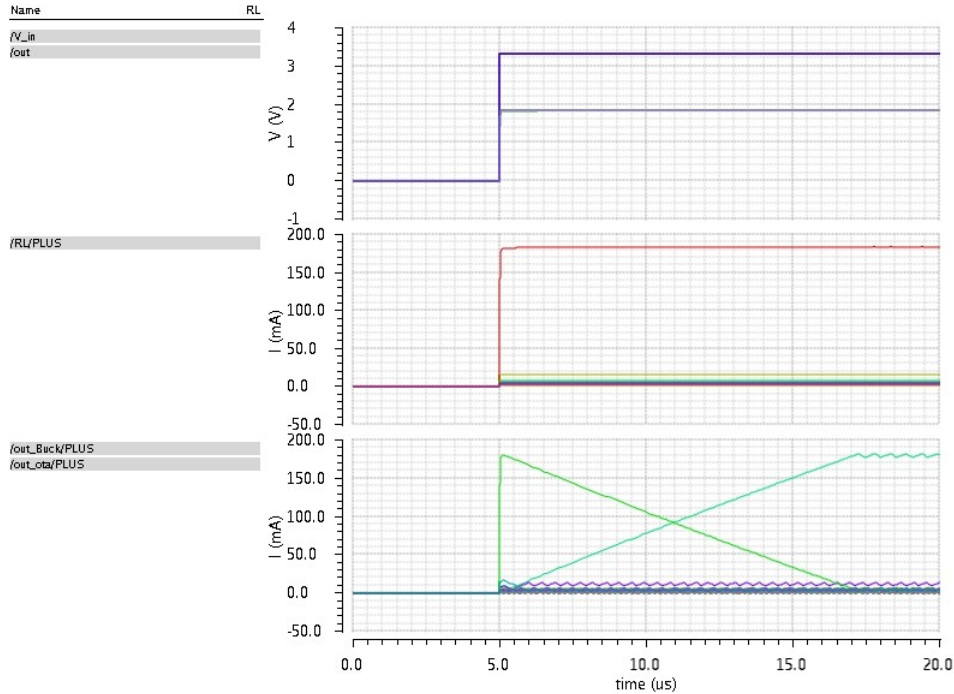


Figura 68. Simulació transitòria per verificar la regulació de càrrega.
 Horitzontal: 500 ns/div; Vertical:
 Tensió → 200 mV/div
 Corrents → 10 mA/div

El que s'observa a primera vista, és que a pesar de variar la resistència, la tensió

mitjana a la sortida és en tot moment molt fidel a 1,8 V. En canvi, el corrent a la sortida varia depenent de la relació tensió-resistència, però essent regulada en tot moment regulada tant pel *buck*, com pel regulador lineal.

A la Figura 69., se'n pot veure un detall de l'arrissat que en provoquen la càrrega més gran, i la més petita.

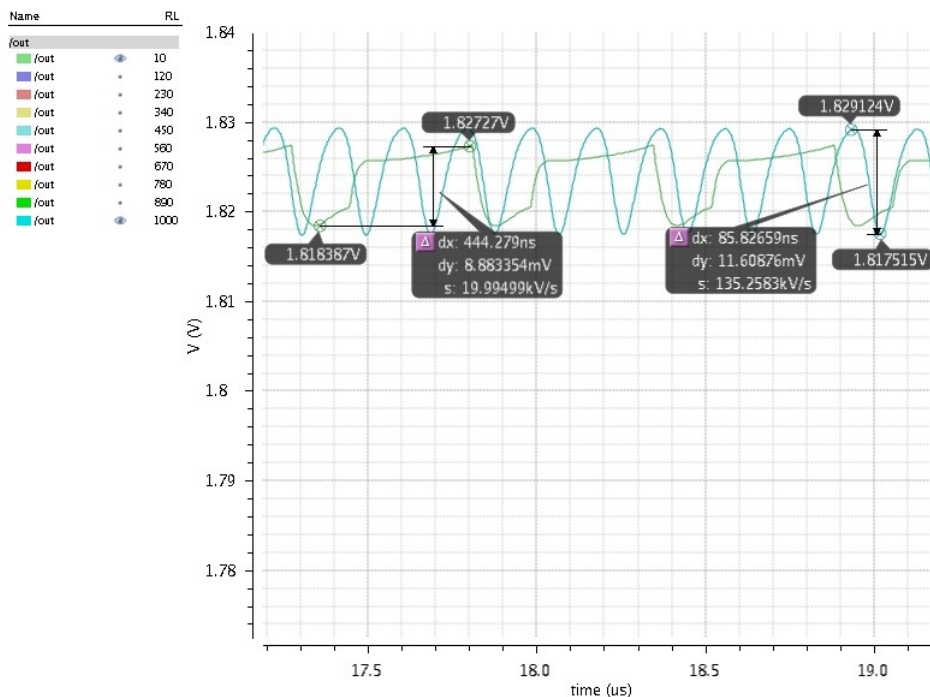


Figura 69. Detall de la simulació transitòria per verificar la regulació de càrrega. Horizontal: 100 ns/div; Vertical: 2 mV/div.

- → Càrrega = 1 KΩ
- → Càrrega = 10 Ω

La regulació de càrrega, es defineix amb la equació 68.

$$\text{Regulació de càrrega} = \frac{V_{out(\text{minload})} - V_{out(\text{maxload})}}{\Delta V_{out \text{ nominal}}} \quad (68)$$

Agafant les tensions mitjanes per a cada càrrega, es conclou amb:

$$\text{Regulació de càrrega} = \frac{1,822 - 1,818}{1,8} = 0,0024 = 0,24\% \quad (69)$$

Tot i això, la estructura, està pensada per a treballar amb una càrrega de 18 Ω , fet que al variar-la, el rendiment caigui tot i que el regulador segueixi treballant correctament. Se'n pot veure un petit detall a la Figura 70..

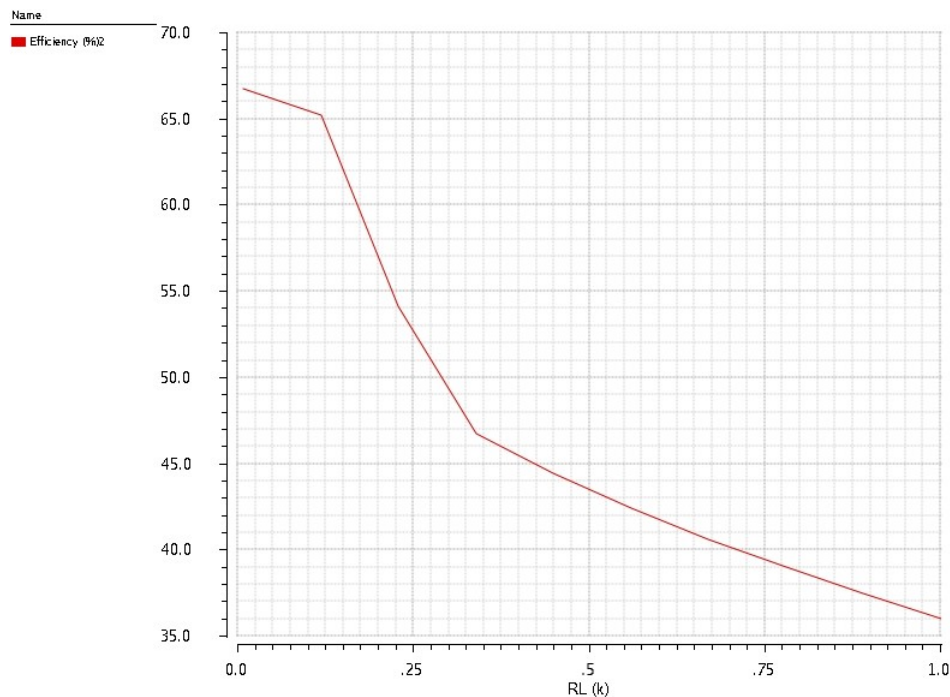


Figura 70. *Detall de la simulació transitòria per verificar la regulació de càrrega. Horitzontal: 500 ns/div; Vertical: 1%/div.*

CAPÍTOL 3: PRESSUPOST

El pressupost d'aquest projecte, és difícil de determinar, degut a que s'està treballant amb tecnologies a les quals no s'hi té un accés fàcil. Tot i això se'n farà un pressupost aproximat, tenint en compte diversos consums econòmics que s'han tingut durant el transcurs d'aquest.

3.1.Mà d'obra

Aquest cost és bàsicament el de la persona que es dedica a fer el disseny del producte. Es basarà aquest, en l'import que rep un becari que estigui treballant a la pròpia universitat.

20 hores setmanals: 473,40 € import íntegre mensual → 6 €/hora

Com que la dedicació setmanal, serà de 27,5 hores, es fa la estimació del salari en base al de 20 hores setmanals:

27,5 hores setmanals: 591,75 €.

Per tant, com el projecte està estimat en 8 mesos, el cost de mà d'obra ascendirà a 4734,00 €.

3.2. Cost eines de treball

- Informàtiques

Per realitzar el projecte s'ha utilitzat un ordinador personal com a eina principal, per tant, aquest apareix en el pressupost detallat a continuació:

| | |
|--|----------|
| a. Pantalla | 78,51 € |
| Acer V226HQLABD TFT de 21,5 polzades. | |
| b. Computadora i hardware intern | 548,76 € |
| Hp Pavilion 550-144NS, incorpora Windows 10. | |
| c. Teclat | 28,92 € |
| Sense fils Asus W3000. | |
| d. Ratolí | - € |
| Sense fils inclòs amb el teclat Asus W3000. | |
| e. Accés al servidor Nessie2 | 215,60 € |
| 4960 € entre tots els usuaris. Total 23 usuaris. | |
| TOTAL | 871,79 € |

- Llicència Cadence:

Segons Europractice el qual facilita les llicències del software amb el qual es treballa en aquest projecte, l'ofereix per 600 €/licència. Aquest n'és un preu que s'ofereix a estudiants, el preu a empreses i particulars és bastant més elevat.

Finalment, el cost total de les eines de treball ascendeix a 1367,66 €.

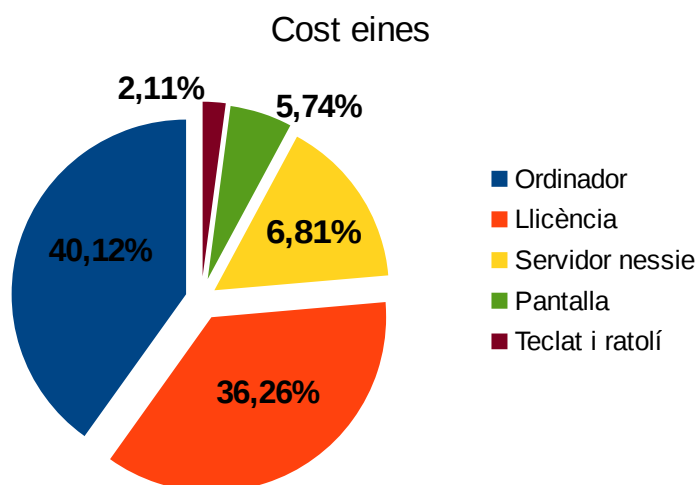


Figura 71. Gràfic de percentatge dels costos de les eines de treball.

3.3. Cost de fabricació

- Superfície del Silici (portes dels transistors).
 - a. Interruptor del reductor de tensió 6160 μm^2
(8800 $\mu\text{m} \cdot 0,7 \mu\text{m}$).
 - b. Díodes del reductor de tensió 200 μm^2
 - c. *Driver* de l'interruptor 4193,3 μm^2
(1996,8 $\mu\text{m} \cdot 0,7 \mu\text{m} + 3993,6 \mu\text{m} \cdot 0,7 \mu\text{m}$).
 - d. Regulador lineal, OTA 119,5 μm^2
(170,6 $\mu\text{m} \cdot 0,7 \mu\text{m}$).
 - e. Regulador lineal B *output* 7175,7 μm^2
(10251 $\mu\text{m} \cdot 0,7 \mu\text{m}$).
 - f. Sensor de corrent 48,3 μm^2
(69 $\mu\text{m} \cdot 0,7 \mu\text{m}$).
 - g. Comparador 25,34 μm^2
(36,2 $\mu\text{m} \cdot 0,7 \mu\text{m}$).
 - TOTAL 17922 μm^2

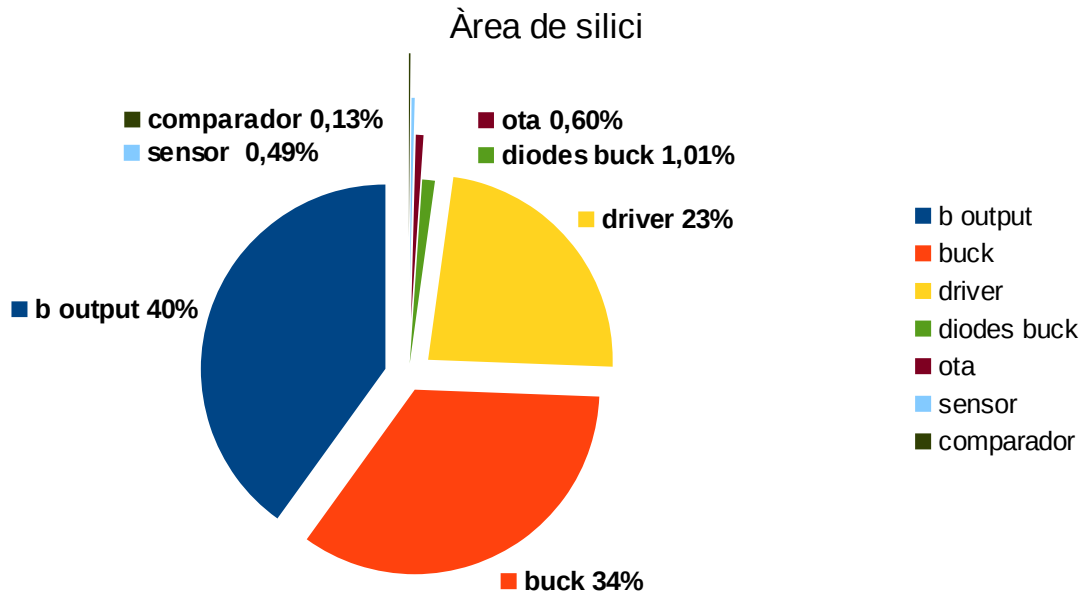


Figura 72. Gràfic de percentatge d'àrea de silici utilitzada per cada part de l'estructura.

Aquest total de $17922 \mu\text{m}^2$, només fa referència a la superfície de les portes dels transistors. Aquí hi faltaria afegir-ne la mida que ocupen les difusions dels drenadors i sortidors, així com les connexions de substrat. Per fer-ho, l'idoni seria dissenyar-ne els esquemàtics de disposició *layouts*, però aquests s'escapen a l'estudi realitzat. Per tant, se'n fa una aproximació, que consisteix en multiplicar aquesta àrea total de portes, per un factor 2,5. Es fa l'arrel quadrada del resultat, per deduir-ne una longitud de costat, a la qual se l'hi addicionen $300 \mu\text{m}$ per banda, necessaris per fer-ne passar els *pads*. La longitud d'aquest costat al quadrat, resulta la estipulació d'una àrea de xip quadrat, la qual inclou l'espai necessari per implementar el disseny de l'estudi. Per tant:

$$\text{Àrea transistors} = 17922,2 \cdot 2,5 = 44805,5 \mu\text{m} \Rightarrow \text{Costat} = \sqrt{44805,5} = 211,67 \mu\text{m} \quad (70)$$

$$\text{Costat total} = 211,67 + (300 \cdot 2) = 811,67 \Rightarrow \text{Àrea total} = 811,67^2 = 658,813 \mu\text{m}^2 \quad (71)$$

Finalment es conclou que l'àrea en mil·límetres del xip serà de 0,659 mm².

Segons Europractice, per la tecnologia que s'està utilitzant, C25B4C3 de 0,35 µm, la fabricació del microxip a nivell de silici, és de 580 €/mm². No obstant, el mínim de fabricació que en permet és de 4 mm², sent així 1917,36 €, tot i que es podria compartir l'espai restant per a altres prototips, aprofitant així el sobrecost que d'això se'n genera.

- IC Packaging

Per al encapsulat, també dóna informació Europractice sobre les diferents opcions i preus. Es selecciona un encapsulat plàstic, de muntatge superficial i amb 16 pins, SOIC 16. El preu mínim, és igual a una comanda de 10 unitats, de 47,11 €/unitat, i que té un cost de preparació associat de 247,93 €. Per tant el total serà de 719,03 €.

El preu final de la fabricació ascendeix a 2636,36 €.

Aquest preu, està pensat per a disseny de prototips, la qual cosa en fabricació en sèrie, aquest cost es veuria reduït en funció del número d'unitats. La universitat no realitza aquest tipus de treballs.

3.4. Cost total

Finalment, el cost total del pressupost, sense impostos, n'és de 8738,02 €. Si se li afegeixen els impostos al productes susceptibles, tots menys la mà d'obra, el total ascendeix a 9578,87 €.

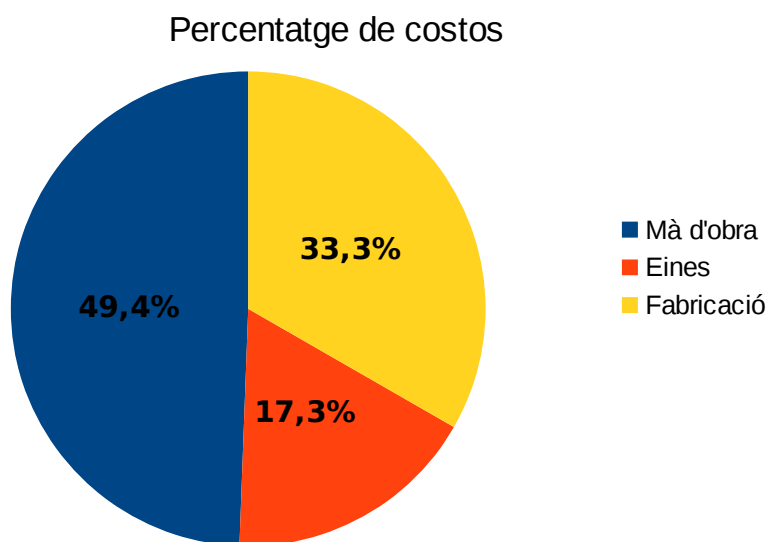


Figura 73. Gràfic de percentatge dels diferents costos.

Com s'observa en el gràfic de la Figura 73., la meitat del pressupost, queda absorbit per la mà d'obra. És aquesta, una de les parts econòmiques de les empreses on més pressupost se'n consumeix. Per altra banda, tots els costos en serien reduïbles, ja que si el producte es fabricués en sèrie, el cost unitari en seria molt més petit, així com també l'aprofitament de les eines informàtiques, ja que aquestes tenen un període d'amortització superior a 8 mesos que n'és el període en que s'han precisat per a aquest projecte.

CAPÍTOL 4: CONCLUSIONS

Finalment es pot concloure, que l'objectiu principal, s'ha assolit, un convertidor de tensió DC/DC que actua com a reductor a 1,8 V, constituït per un reductor de tensió *buck*, i un regulador lineal, que ajuda al primer en el moment de l'arrancada, i a compensar-ne també els seus arrissats. I això, s'ha aconseguit en gran mesura en els condicions d'inici.

S'observa clarament, com la tensió de sortida, segueix bastant fidelment l'alimentació, quedant-se als 1,8 V amb molta estabilitat, i a pesar de les fluctuacions de l'alimentació, com a la possibilitat de connectar altres valors de càrrega, l'estructura segueix funcionant d'igual manera.

Per altra banda, queda una mica limitat en quant a la diversitat d'ús, donat a que la variació en la càrrega acompanya l'estructura a una disminució notable del seu propi rendiment.

Durant la realització d'aquest projecte, s'han redactat uns objectius, que s'han anat seguint i en la majoria dels casos assolint, i en aquells en que no ha sigut possible, se n'ha donat una explicació i s'ha valorat la possibilitat de seguir. Tot i aquests petits objectius no aconseguits al 100 %, el resultat n'és l'esperat.

Així doncs, se n'obté un convertidor DC/DC híbrid integrat amb:

- Tensió mitjana de sortida = 1,8 V.
- Arrissat de tensió < 100 mV.
- Capacitat de corrent de sortida > 100 mA.
- Regulació de línia = 8,7 %.
- Regulació de càrrega = 0,24 %.
- Rendiment per a la càrrega estudiada (18 Ω) = 82,4 %.

Aquest projecte queda obert a seguir endavant, donat a que es podria continuar investigant amb la realització dels esquemes de disposició, *layouts*, que en serien el pas següent per a la realització i fabricació del microxip.

Per altra banda, i degut a la complexitat del projecte, alguns dels components, s'han agafat com a ideals, com en són les fonts de corrent de polarització, els quals haurien d'ésser *off-chip*, o si més no, mirar-los d'integrar com a components reals.

CAPÍTOL 5: BIBLIOGRAFIA

5.1.Referències bibliogràfiques

- Baker, R. Jakob (2010). "CMOS. Circuit Design, Layout and Simulation." New Jersey: Wiley.
- Ballester, E., Pique, R. (2011). "Electrónica de potencia. Principios y estructuras básicas." Barcelona: Marcombo.
- Cherem Schneider, M., Galup-Montoro, C. (2010). "CMOS Analog Design Using All-Region MOSFET Modeling." Nova York: Cambridge.
- Cosp-Vilella, J., Martínez-García, H. (2015). "VLSI hybrid DC-DC regulator." Trondheim, Norway: Circuit Theory and Design (ECCTD), 2015 European Conference.
URL: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=7300045>
- Johns, D., Martin, K. W. (2012). "Analog Integrated Circuit Design." New Jersey: Wiley.
- Razavi, B. (2001). "Design of Analog CMOS Integrated Circuits." Nova York: McGraw-Hill Book Co.
- Sansen, Willy M. C. (2006). "Analog Design Essentials." Leuven, Bèlgica: Catholic University.
- Sturm, J. (2013). "Chapter 2: Integrated Circuit Devices and Models." Apunts de l'assignatura Analog I. University of Applied Sciences Carinthia.
- Tamazou C., Lidgley F., Haigh D. (1993). "Analogue IC design: the current-mode approach." Regne Unit: IEE Circuits and systems 2.

5.2. Bibliografia de consulta

Carvajal, R. G., Torralba, A., Ramírez-Angulo, J. Tombs, J. I Muñoz F. "Low voltage Class-AB Output Stages For CMOS Op-amps" IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 53, num. 4. Pàgines 289-293. (abril de 2006).

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1471633>

(consultat el febrer de 2016)

Musunuri, Surya and Chapman Patrick L. "Optimization of CMOS Transistors for Low Power DC-DC Converters". 2005 IEEE 36th Power Electronics Specialist Conference. Pàgines 2151-2157. (16 de juny de 2005).

<http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=1581930>

(consultat l'octubre de 2015)

Musunuri, Surya, Chapman Patrick L., Zou, Jun and Liu, Chang. "Design Issues for Monolithic DC/DC Converters". IEEE Transactions on Power Electronics, vol. 1, num. 3. Pàgines 639-649. (maig de 2005).

<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1427822>

(consultat el novembre de 2015)

Musunuri, Surya and Chapman Patrick L. "Improvement of Light-Load Efficiency Using Width-Switching Scheme for CMOS Transistors." IEEE Power Electronic Letters, vol. 3, num. 3. Pàgines 105-110. (setembre de 2005)

<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1525005>

(consultat el desembre de 2015)

Wong, Stephen L. And Salama, C. Andre T. "An Efficient CMOS Buffer for Driving Large Capacitive Loads." IEEE Journal of Solid-State Circuits, vol. 21, num. 3. Pàgines 464-469. (juny de 1986).

<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1052552>

(consultat el novembre de 2015)