

UNIVERSITAT POLITÈCNICA DE CATALUNYA  
ESCOLA TÈCNICA SUPERIOR D'ENGINYERIA DE  
TELECOMUNICACIÓ DE BARCELONA



Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona

UNIVERSITAT POLITÈCNICA DE CATALUNYA

## Tesi de Màster

DISSENY I CONSTRUCCIÓ D'UNA  
PLACA DE CONTROL D'ALTES  
PRESTACIONS BASADA EN DSP PER  
APLICACIONS D'ELECTRÒNICA DE  
POTÈNCIA AMB UNA ETAPA  
D'ADQUISICIÓ ANALÒGICA DE 24 BITS

Autor: **Francesc Agüera Arroyo**

Director: **Quim López Mestre**

Ponent: **Ferran Silva Martínez**

Barcelona, Juny 2010



## Resum

El control digital de convertidors de potència mitjançant DSP (*Digital Signal Processor*), s'està tornant cada cop més comú en la indústria a causa del baix cost i alt rendiment que presenten, amb perifèrics específics, integrats i millorats per al control d'equips electrònics de potència. El control digital basat en DSP, permet l'execució d'una varietat àmplia de controls, el disseny estàndard de control del *Hardware* per a múltiples plataformes i la flexibilitat de modificacions de disseny ràpida, per satisfer les necessitats específiques de cada client.

Durant els 10 anys d'existència del CITCEA-UPC, han sigut nombroses les tipologies de convertidors de potència que s'han dissenyat aplicant control digital. Convertidors DC/DC, AC/DC, DC/AC i AC/AC d'un, dos i 4 quadrants, amb un marge de potències compreses entre els 100 *VA*s i els 500 *kVA*s dissenyant-se conjuntament amb un control específic per a cada aplicació.

Es per això que neix aquest projecte, per realitzar el disseny d'una plataforma de control estandarditzada basada en DSP, per tal de poder-la utilitzar en el control de qualsevol convertidor de potència. Aquesta placa de control ha intentat reunir totes les necessitats que han aparegut durant aquests anys en el CITCEA-UPC i ampliar-les per poder introduir-se en el control de fonts d'alta precisió.

Paral·lelament a aquesta realitat apareixen també les necessitats de Cinergia, un *Spin-Off* de CITCEA-UPC, el qual demana, a part del requeriments de CITCEA-UPC, uns altres orientats cap a la part de verificació i posta en marxa del equips, juntament amb requeriments de manteniment, reparació i seguiment dels mateixos, on el cost i el procés d'industrialització, aquí sí que són un factor molt important.

El resultat final d'aquestes necessitats és aquest projecte: una placa de control autònoma multifuncional basada en DSP per al control de convertidors de potència amb una etapa d'adquisició analògica - digital de 24 bits per aplicacions d'alta resolució.





# Índex

<b>Resum</b>	<b>1</b>
<b>1 Prefaci</b>	<b>13</b>
<b>2 Requeriments i Especificacions</b>	<b>15</b>
2.1 Requeriments . . . . .	15
2.1.1 VSC . . . . .	15
2.1.2 Convertidors . . . . .	17
2.1.3 Alta resolució . . . . .	20
2.2 Especificacions . . . . .	21
2.2.1 <i>Calvin</i> . . . . .	21
2.2.2 <i>Sussy</i> . . . . .	22
2.2.3 Estudi de mercat . . . . .	24
2.3 Proposta concreta de solució . . . . .	24
<b>3 Disseny de la Placa de Control</b>	<b>29</b>
3.1 DSP . . . . .	29
3.2 Sincronització . . . . .	31
3.3 Alimentacions . . . . .	31
3.3.1 Alimentacions Analògiques . . . . .	34
3.3.2 Alimentacions Sondes . . . . .	34
3.3.3 Alimentacions Digitals . . . . .	35
3.4 ADC 12 Bits . . . . .	36
3.4.1 Entrades Unipolars . . . . .	37
3.4.2 Entrades Bipolars . . . . .	39
3.5 CAN . . . . .	39
3.6 RS485 . . . . .	40
3.7 DAC . . . . .	41



3.7.1	Etapa d'Amplificació . . . . .	42
3.8	I2C . . . . .	42
3.8.1	Real Time Clock (RTC) . . . . .	42
3.8.2	Sensor Temperatura . . . . .	43
3.8.3	Memòria EEPROM . . . . .	43
3.8.4	Número de Sèrie . . . . .	43
3.8.5	GPIO Expander . . . . .	44
3.9	Encoder . . . . .	45
3.10	PWM i Alarmes . . . . .	45
3.11	USB JTAG . . . . .	46
3.12	Connectors . . . . .	47
3.13	Layout . . . . .	47
<b>4</b>	<b>Disseny del Sistema ADC</b>	<b>49</b>
4.1	Conversor A/D . . . . .	49
4.2	Acondicionament del Senyal . . . . .	52
4.2.1	Sonda de Corrent, de Tensió i Resistència de Caiguda . . . . .	52
4.2.2	Estructura . . . . .	53
4.3	Referència de Tensió . . . . .	56
4.4	Senyal de Relotge i <i>Jitter</i> . . . . .	57
4.5	Font d'Alimentació . . . . .	57
4.6	Comunicacions i Configuració del ADC . . . . .	57
4.7	Consideracions en el Disseny Layout . . . . .	58
<b>5</b>	<b>Software</b>	<b>59</b>
5.1	Especificacions . . . . .	59
<b>6</b>	<b>Resultats Experimentals</b>	<b>65</b>
<b>7</b>	<b>Estudi Econòmic</b>	<b>75</b>
7.1	Recursos Humans . . . . .	75
7.2	Recursos Materials . . . . .	75
7.3	Recursos de I+D . . . . .	76
7.4	Cost Total del Projecte . . . . .	76
<b>8</b>	<b>Conclusions i Línies Futures</b>	<b>79</b>
<b>9</b>	<b>Agraïments</b>	<b>81</b>



<b>A Càlcul dels Filtres</b>	<b>83</b>
A.1 Breu introducció als amplificadors operacionals . . . . .	83
A.2 Anàlisi del circuit de filtrat . . . . .	84
<b>B Microcontroladors i DSP's</b>	<b>87</b>
B.1 Microcontroladors i DSPs . . . . .	87
B.2 El DSP TMS320F2809 . . . . .	88
B.2.1 Introducció . . . . .	88
B.2.2 Arquitectura . . . . .	88
B.2.3 La memòria . . . . .	89
B.2.4 La CPU . . . . .	89
B.2.5 Control del programa . . . . .	91
<b>C Esquemes Elèctrics Hobbes</b>	<b>93</b>
<b>D Esquemes Elèctrics ADC 24 Bits</b>	<b>109</b>
<b>E Esquemes Layout Hobbes</b>	<b>115</b>
<b>F Esquemes Layout ADC</b>	<b>119</b>
<b>Bibliografia</b>	<b>125</b>







# Índex de figures

2.1	Esquema Conceptual del Convertidor. . . . .	16
2.2	Placa de Control <i>Calvin</i> . . . . .	22
2.3	Placa de Control <i>Sussy</i> . . . . .	23
3.1	Esquema de Blocs de la <i>Hobbes</i> . . . . .	30
3.2	Esquema del Mòdul de Sincronització. . . . .	31
3.3	Esquema de Blocs de les Alimentacions de la <i>Hobbes</i> . . . . .	33
3.4	Esquema de la Entrada de la Alimentació. . . . .	34
3.5	Esquema de la Alimentació Analògica. . . . .	34
3.6	Esquema del Connexionat de les Sondes. . . . .	35
3.7	Esquema de les Alimentacions a 5 V i a <i>+VPWM</i> . . . . .	36
3.8	Esquema del Regulador Lineal del DSP. . . . .	36
3.9	Esquema d'una Entrada Unipolar del ADC. . . . .	37
3.10	Esquema Elèctric del Circuit de Filtrat. . . . .	38
3.11	Esquema d'una Entrada Bipolar del ADC. . . . .	39
3.12	Esquema de la Referència de Tensió i la seva Alimentació. . . . .	39
3.13	Esquema del CAN i els seus Connectors. . . . .	40
3.14	Esquema del RS485 juntament amb la Selecció de Node i Connectors. . . . .	41
3.15	Esquema del DAC. . . . .	41
3.16	Esquema de la Etapa d'Amplificació d'un Canal del DAC. . . . .	42
3.17	Esquema del RTC. . . . .	43
3.18	Esquema del Expansor de GPIOs. . . . .	44
3.19	Esquema del <i>Encoder</i> . . . . .	45
3.20	Esquema d'un Canal PWM. . . . .	46
3.21	Esquema de les Entrades d'Error. . . . .	46
4.1	Esquema de blocs del AD7764. . . . .	50
4.2	Esquema de Connexió del AD7764. . . . .	50



4.3	Esquema de Blocs del ADC de 24 Bits. . . . .	51
4.4	Sonda de Corrent ULTRASTAB IT60. . . . .	52
4.5	Etapa d'Acodicionament. . . . .	54
4.6	Etapa <i>Fully Differential</i> . . . . .	56
4.7	Esquema la Referència de Tensió ADR444. . . . .	56
4.8	Esquema de la Connexió <i>Daisy Chaining</i> . . . . .	57
5.1	Proposta de Diagrama de Funcionament General de programa STANDARD. . . . .	61
5.2	Màquina d'Estats de l'Equip. . . . .	62
6.1	Captura de la Seqüència de <i>Power-Up</i> del DSP. . . . .	65
6.2	Captura Sincronització GPIO6 DSP i PWM. . . . .	66
6.3	Captura Sincronització GPIO6, Sortida Fibra Òptica i PWMs. . . . .	66
6.4	Captura del Retard Senyal de Sincronisme. . . . .	67
6.5	Captura Entrada Sortida de la Etapa d'Acondicionament Bipolar del ADC. . . . .	67
6.6	Captura de la Freqüència de Tall de la Etapa d'Acondicionament Bipolar del ADC. . . . .	68
6.7	Gràfica del Valor de la Conversió A/D en Funció del Nombre de Mostres. . . . .	69
6.8	Captura Sortides DAC i Sortides DAC Amplificades. . . . .	69
6.9	Captura Sortida Digital Configurada a Estat Baix a través del Expansor de GPIOs per <i>I<sup>2</sup>C</i> . . . . .	70
6.10	Captura Sortida Digital Configurada a Estat Alt a través del Expansor de GPIOs per <i>I<sup>2</sup>C</i> . . . . .	70
6.11	Captura Sortida Digital a la Sortida del Optoacobrador. . . . .	71
6.12	Captura dels Senyals PWM. . . . .	71
6.13	Captura del Retard dels Senyals PWM. . . . .	72
6.14	Captura del Senyal d'Error de <i>Drivers</i> . . . . .	72
A.1	Esquema elèctric del circuit de filtrat. . . . .	84
B.1	Arquitectura d'un DSP de la família C28xx. . . . .	90
C.1	Esquema Complert DSP. . . . .	94
C.2	Esquema Complert Sincronització. . . . .	95
C.3	Esquema Complert Alimentació General. . . . .	96
C.4	Esquema Complert Alimentació DSP i Perifèrics. . . . .	97
C.5	Esquema Complert Entrades Unipolars . . . . .	98
C.6	Esquema Complert Entrades Bipolars i Referència de Tensió. . . . .	99
C.7	Esquema Complert CAN i RS485. . . . .	100



C.8	Esquema Complert DAC i Etapa d'Amplificació. . . . .	101
C.9	Esquema Complert Perifèrics $I^2C$ i <i>Encoder</i> . . . . .	102
C.10	Esquema Complert Expansor GPIOs i Entrades Digitals . . . . .	103
C.11	Esquema Complert Sortides Digitals . . . . .	104
C.12	Esquema Complert PWM i Alarmes. . . . .	105
C.13	Esquema Complert JTAG . . . . .	106
C.14	Esquema Complert Connexió Connectors . . . . .	107
D.1	Esquema Complert de la Etapa d'Acondicionament. . . . .	110
D.2	Esquema Complert de la Referència de Tensió i Canal 1 AD7764. . . . .	111
D.3	Esquema Complert Canal 2 AD7764. . . . .	112
D.4	Esquema Complert de les Alimentacions. . . . .	113
D.5	Esquema Complert del Oscil·lador, Connectors i Circuiteria Digital. . . . .	114
E.1	<i>Gerber</i> de la capa <i>Top</i> de la <i>Hobbes</i> . . . . .	115
E.2	<i>Gerbers</i> de les capes <i>Power</i> , <i>Ground</i> i <i>Bottom</i> de la <i>Hobbes</i> . . . . .	116
E.3	Fotografia de la Cara Superior de la <i>Hobbes</i> . . . . .	117
E.4	Fotografia de la Cara Inferior de la <i>Hobbes</i> . . . . .	118
F.1	Fotografies de la Cara Superior i Inferior del ADC de 24 Bits. . . . .	120
F.2	<i>Gerbers</i> de les capes <i>Top</i> i <i>Bottom</i> del ADC de 24 Bits. <i>Hobbes</i> . . . . .	121
F.3	<i>Gerbers</i> de les capes <i>Power</i> i <i>Ground</i> del ADC de 24 Bits. <i>Hobbes</i> . . . . .	122





## Índex de taules

2.1	Característiques Elèctriques del VSC. . . . .	16
2.2	Especificacions d'una Font de Sincrotró. . . . .	20
2.3	Característiques Principals de la <i>Calvin</i> . . . . .	22
2.4	Característiques Principals de la <i>Sussy</i> . . . . .	24
2.5	Proposta Concreta de Solució per la <i>Hobbes</i> . . . . .	26
2.6	Proposta Concreta de Solució pel ADC de 24 bits. . . . .	27
3.1	Taula de Consums de la <i>Hobbes</i> . . . . .	32
4.1	Especificacions ULTRASTAB IT60. . . . .	53
4.2	Especificacions OP2277. . . . .	53
4.3	Components Amplificador <i>Fully Differential</i> . . . . .	55
6.1	ENOB ADC 12 Bits. . . . .	68
7.1	Cost de Personal. . . . .	75
7.2	Costos de la Placa <i>Hobbes</i> . . . . .	76
7.3	Costos del ADC 24 Bits. . . . .	76
7.4	Amortitzacions de la Diferent Aparamenta Utilitzada. . . . .	76
7.5	Costos Totals dels Projecte. . . . .	77
B.1	Característiques del DSP. . . . .	89





# Capítol 1

## Prefaci

La realització d'aquest projecte neix de l'encàrrec fet per part de CITCEA-UPC, del disseny d'un placa de control autònoma basada en DSP pel control de convertidors de potència tant per CITCEA-UPC com per Cinergia. Aquest encàrrec, amb nom en clau *Hobbes*, havia de realitzar-se com una placa de control que pogués ser utilitzada pels dos centres indistintament. Aquesta condició implícita, lluny de ser quelcom senzill, es va transformar en un estudi intensiu de les necessitats de cadascun d'aquests dos centres. Per entendre la filosofia de disseny amb la que s'ha concebut aquest projecte final de carrera, primer cal entendre la filosofia del centres immersos en aquest projecte: CITCEA-UPC i Cinergia.

El CITCEA-UPC, és un grup de recerca, que es caracteritza per la seva expertesa en els àmbits de la mecatrònica i l'enertrònica, amb una incidència especial en els camps de la electrònica de potència i el control digital basat en DSP. Durant els 10 anys d'existència del CITCEA, s'han dissenyat convertidors DC/DC, AC/DC, DC/AC i AC/AC d'un, dos i 4 quadrants, amb un marge de potències compreses entre els 100 VA's i els 500 kVA dissenyant-se conjuntament amb un control específic per a cada aplicació. La realització d'aquest projectes està basat en el gran coneixement de la realitat i les necessitats industrials que posseeix el CITCEA, així com de la transferència i implantació de tecnologia a nivell industrial. Aquest fet es tradueix en el desenvolupament de projectes per a una gran diversitat de sectors industrials, que es caracteritzen per un elevat nivell tecnològic i d'innovació, i l'acompanyament fins a la fase d'industrialització. És a dir, CITCEA-UPC només realitza prototipus funcionals pels clients, els qual s'han d'encarregar d'assimilar la transferència tecnològica i industrialitzar el prototipus. És aquí on apareix Cinergia, una empresa de base tecnològica, *Spin-Off* del CITCEA-UPC, la qual s'encarrega d'acompanyar a les empreses en la fase d'industrialització dels equips, oferint també els serveis de postes en marxa dels equips i de seguiment i manteniment dels mateixos. A part d'això, també posseeix una gama de productes pròpia tant per aplicacions d'electrònica de potència, com de control i comunicacions.

Com podem veure la naturalesa i l'espectre de treball dels dos centres està ben diferenciat, fet que implica necessitats i requeriments diferents de la placa de control. CITCEA-UPC necessita una placa de control flexible i autònoma, apte per poder ser utilitzada en la realització de qualsevol disseny d'un prototipus funcional (on el cost no és un factor determinant), evitant la filosofia de disseny existent actualment amb la placa de control *Calvin* 2.2.1. CITCEA-UPC, ha demanat que la *Hobbes* incorpori una etapa d'adquisició analògica-digital de 24 *Bits*, per tal de desenvolupar aplicacions d'alta resolució, esdevingudes de la col·laboració



amb el sincrotró ALBA.

En canvi, Cinergia necessita el disseny d'una placa de control "específica" per a cada disseny i a més a més que compleixi amb les necessitats existents alhora de fer postes en marxa, seguiment i manteniment d'equips, sent en tot moment un disseny robust pensant en la industrialització sempre com a marc de referència. Igualment Cinergia ha demanat que aquesta nova placa de control s'ha de convertir en la seva placa de control estàndard i per tant, haurà de substituir la placa actual de control, la *Sussy* 2.2.2. La *Sussy* és un disseny específic per al control del denominat VSC (*Voltage Source Converter*), especificacions del qual es presenten en 2.1.1 i són una condició de compliment afegida per la *Hobbes*. I com no pot ser d'altra manera, aquesta placa estarà instal·lada en equips comercials, on el procés de fabricació i el preu dels equips és un factor determinant. Per això el preu de la placa i el seu procés d'industrialització, han estat dos paràmetres més a tenir en compte durant el disseny.

Tant CITCEA-UPC com Cinergia, volien que es realitzés una proposta d'estandardització del *Software* que s'integra amb la *Hobbes*. La finalitat d'aquesta estandardització ha sigut definir la màquina d'estats del control i quines tasques es realitzen en cada etapa, sempre tenint em compte que la *Hobbes* es una placa de control per a convertidors de potència. A més a més, aquesta màquina d'estats ha de complir les necessitats de CITCEA-UPC en relació amb la realització d'un prototipatge ràpid, i en canvi per part de Cinergia, ha de complir amb les necessitats de posta en marxa i manteniment dels equips.

Aquestes consideracions exposades en aquest prefaci, són les que ens han guiat el disseny d'aquesta tesi de màster, el qual ha constatat d'un disseny conceptual del sistema, que posteriorment s'ha convertit en un disseny esquemàtic i *Layout*. El disseny *Layout* realitzat, s'ha fabricat, muntat i testejat per tal de comprovar el bon funcionament del sistema. També s'ha inclòs una proposta d'estandardització del *Software* per tal de complir amb els requisits abans esmentats. Seguidament es presenta el treball que dona el títol a aquesta tesi de màster: el disseny i construcció d'una placa de control d'altres prestacions basada en DSP per aplicacions d'electrònica de potència amb una etapa d'adquisició analògica de 24 bits.





## Capítol 2

# Requeriments i Especificacions

En aquest primer capítol, es presenten els requeriments 2.1 necessaris amb els quals haurà de complir la placa de control. A partir d'ara ens referirem a ella simplement per la *Hobbes*. Aquests requeriments esdevindran de les necessitats de control que apareixen en tres grans famílies: el denominat VSC (*Voltage Source Converter*) 2.1.1 de Cinergia, els convertidors fins ara dissenyats al CITCEA-UPC i industrialitzats per Cinergia 2.1.2 i els convertidors d'alta resolució per a sincrotrons 2.1.3. Posteriorment aquests requisits es convertiran en les especificacions de la nova placa de control. Per justificar el disseny de la *Hobbes*, s'han comparat aquestes especificacions amb les presents en les dues plaques de control existents a l'actualitat tant al CITCEA-UPC com a Cinergia; la *Calvin* 2.2.1 i la *Sussy* 2.2.2 respectivament. Posteriorment també s'ha dut a terme un estudi de mercat per veure si alguna placa de control comercial compleix amb les especificacions realitzades. Finalment es presenta la proposta concreta de solució que s'ha adoptat 2.3.

### 2.1 Requeriments

Tal i com dèiem a la introducció, tres han sigut les parts que han aportat les característiques a aquest projecte: el VSC (*Voltage Source Converter*) de Cinergia 2.1.1, els convertidors fins ara dissenyats al CITCEA-UPC i industrialitzats per Cinergia 2.1.2 i els convertidors d'alta resolució per a sincrotrons 2.1.3. En aquest punt exposarem quins han sigut els requeriments de cadascuna d'aquestes parts i veurem com han influït en el disseny de la nova placa de control.

#### 2.1.1 VSC

El convertidor VSC, un producte de Cinergia, es tracta d'un convertidor bidireccional AC/DC - DC/AC format per un pont trifàsic d'IGBTs amb un rectificador de díodes i una branca de frenada. El VSC pot treballar com a rectificador, com a rectificador actiu, com a inversor o com a *Buck/Boost*. Cal tornar a dir, que aquest convertidor és bidireccional, i per tant, ha de poder efectuar precàrregues del bus de contínua en ambdós sentits. Bàsicament l'estructura del convertidor és la que es pot apreciar a la Figura 2.1. El Mòdul VSC (*Voltage Source Converter*) és un element *Hardware* que integra tots els elements de potència, adaptació de senyal, transductors i proteccions d'un ondulador trifàsic. El seu disseny permet aplicar-lo en múltiples aplicacions:



- Convertidors de freqüència i servoaccionaments
- Rectificador i filtre actiu
- Sistemes d'alimentació ininterrompuda
- Emulador de xarxa
- Generador de sots de tensió i pertorbacions
- Emulador de generació renovable i microxarxes

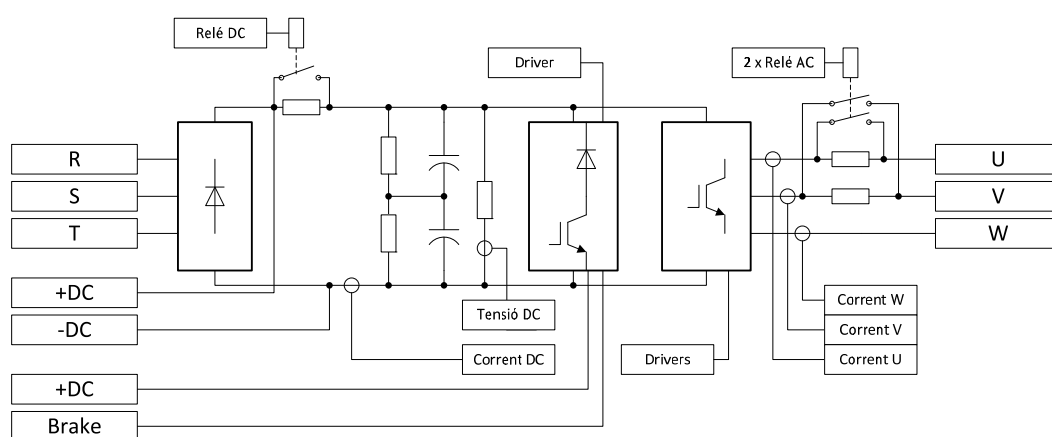


Figura 2.1: Esquema Conceptual del Convertidor.

El convertidor està dissenyat per a una potència nominal de 15  $kVA$ s, amb un pic màxim de 20  $kVA$ s a partir del qual actuaran les proteccions *Hardware* del propi convertidor. El llistat de característiques del convertidor es pot veure en la Taula 2.1.

Característiques Elèctriques del VSC

Símbol	Condicions	Valor	Unitats
$V_{ac}$	Nominal	400	$V_{RMS}$
$V_{dc}$	Nominal	800	$V$
$I_{ac}$	Nominal	19	$A_{RMS}$
$f_{max}$	Màxima	400	$Hz$
$f_{sw}$	Nominal	20	$kHz$
Potència	Nominal	15	$kVA$

Taula 2.1: Característiques Elèctriques del VSC.

El VSC necessitarà un connector propi a la *Hobbes* el qual haurà de disposar de tots els senyals PWM, I/O digitals, entrades analògiques i alimentacions. La caracterització de les entrades i les sortides del convertidor segons la placa de control i les funcions que ha de complir segons la Figura 2.1 es mostren en el punt següent.



## Entrades/Sortides Analògiques/Digitals i Alimentacions

Tal com hem dit abans, la *Hobbes* incorporarà un connector de *Flat Cable* amb tots els senyals necessàries per al control del VSC. Aquestes senyals de control es poden dividir en:

- **Entrades/Sortides Digitals Relacionades amb els PWM i Senyals d'Alarma:**

Haurà de tenir 6 senyals PWM per als IGBTs del inversor trifàsic més 1 PWM addicional que farà de *Chopper* de frenada. A part s'ha d'afegir 1 entrada de *Fault* negada, per tal de detectar error de *Drivers*. A part s'hauran d'afegir 2 GNDs per temes de compatibilitat electromagnètica alhora de distribuir els senyals en el *Flat Cable*.

- **Sortides Digitals Relacionades amb Relés, Contactors i Ventiladors:**

S'ha d'afegir una sortida pel contactor de precàrrega *AC* i un altra pel contactor de precàrrega *DC*. Igualment necessitarem una altra sortida pel relé de precàrrega *AC*, un altre pel relé de precàrrega *DC* i una altra pel relé de descàrrega del bus de contínua. Per activar la refrigeració necessitarem una sortida per activar els ventiladors. Per tal de realitzar un *Reset* de tota la circuiteria de control del VSC, necessitarem un altre sortida digital. Igual que en el altre cas inclourem dos 2 GNDs propis de les entrades/sortides per temes de compatibilitat electromagnètica.

- **Entrades Digitals Relacionades amb Sortides d'Alarmes:**

Necessitarem 4 entrades digitals corresponents a l'alarma de *Drivers*, l'alarma de tensió (sobretensió i subtensió), l'alarma de corrent (sobrecorrent) i l'alarma de sobretemperatura. Igualment s'inclourà un GND per temes de compatibilitat electromagnètica.

- **Entrades Analògiques:**

Es mesurarà corrent i tensió del bus de contínua (tensió unipolar). També es sensarà la tensió i corrent de la fase U, tensió i corrent de la fase V i corrent de la fase W (tensions bipolars). La temperatura també es mesurarà a través d'un termistor incorporat als IGBTs (tensió unipolar). S'haurà de disposar d'un AGND (massa analògica).

- **Alimentacions:**

Es requeriran 2 pins per als + 24 V, 2 més per als 0 V i 2 pins més de terra.

### 2.1.2 Convertidors

Durant els 10 anys del CITCEA-UPC, han sigut nombrosos el projectes amb el que s'ha treballat i durant l'any d'existència de Cinergia, han aparegut igualment moltes necessitats i requeriments alhora d'industrialitzar, posar en marxa i realitzar el manteniment i reparació dels equips. D'aquesta experiència de disseny, construcció, assaig i manteniment de convertidors s'han creat una sèrie de necessitats que es volien veure complides amb la nova placa de control. Aquestes necessitats reuneixen tant el disseny *Hardware* com *Software* d'aquesta placa de control. Tota la feina realitzada sempre ha d'anar encaminada a realitzar una estandardització tant del *Hardware* 3 com del *Software* 5.



## Hardware

Aquí presentem aquelles necessitats *Hardware* que han d'intentar ser complertes per la nova placa de control. Totes elles són un recull de les que han exposat tant el CITCEA-UPC com Cinergia.

- **Sincronització**

CITCEA-UPC ha realitzat dissenys de convertidors de fins 200 *kVAs* i té encàrrecs de nous dissenys amb un potència de 0.5 *MVAs*. En aquest rang de potències, la paral·lelització de convertidors es un tècnica àmpliament utilitzada en electrònica de potència [1]. Aquesta paral·lelització, implica que els convertidors hagin de commutar en el mateix instant mitjançant la utilització d'un senyal síncron. Igualment, hi ha alguns projectes on les altes tensions a les que s'ha de treballar, forcen la utilització de les topologies multinivell [2] [3] on la necessitat d'una referència síncrona al sistema es fa imprescindible. Altres aplicacions on també és necessària la commutació del interruptors de potència en el mateix instant o bé mantenir una referència de commutació comú, és en topologies de convertidors denominades *Back to Back* i *Interleaved* [4]. Per realitzar aquesta mena de convertidors, es necessita d'un mòdul de sincronització. Una de les consideracions més importants sobre aquest mòdul, és que aquest senyal de sincronització pot ser transmès en distàncies llargues i en ambients amb perturbacions electromagnètiques considerables i que a més ha de posseir un retard menyspreable.

- **Alimentació de les Sondes de Corrent i de Tensió**

Relacionat amb el punt anterior, el CITCEA-UPC hem vist que realitza convertidors d'una potència considerable. En aquests convertidors, les mesures de tensió i corrent es realitzen normalment amb sondes aïllades d'efecte Hall. L'experiència tant de CITCEA-UPC com de Cinergia en el ús d'aquestes sondes, ha detectat un problema recurrent i molt problemàtic: el cablejat d'aquestes sondes en els equips. Un cablejat mal realitzat o poc optimitzat comporta en una gran majoria del casos, soroll en les mesures i per tant, un error en les dades obtingudes que pot dur al mal funcionament dels equips. Per tal de solucionar-ho, s'ha demanat la consideració d'algun sistema d'alimentació i cablejat durant el procés de disseny de la placa de control, que solucioni aquesta problemàtica.

- **Alimentació CAN i Sortides Digitals**

Un dels altres requeriments és poder alimentar perifèrics connectats al CAN des dels connectors CAN de la placa, fent més senzill el cablejat del equip. D'aquesta manera alguns perifèrics CAN que es connectin a la *Hobbes* es podran alimentar directament d'ella si així es tria. Un altre propòsit a complir per la *Hobbes*, és alimentar des de la mateixa placa les entrades/sortides digitals de manera seleccionable.

- **Comunicacions**

Existeixen nombrosos protocols de comunicació en el mercat, però els protocols CAN i RS485 presenten nombrosos avantatges en l'ús en ambients industrials sorollosos. Molts del projectes realitzats fins ara a CITCEA-UPC i a Cinergia han implementat algun dels dos protocols i és per això que es vol que estiguin presents a la placa de control. A més es vol estandarditzar un connector tant per comunicacions CAN com per RS485. A part d'aquest dos protocols, existeixen altres protocols de comunicació tals com el SPI, *I<sup>2</sup>C* i SCI que convindria que estiguessin presents igualment en la



placa de control i que en molts casos ja estan implementats dins el DSP.

- **Encoder**

Per al controls de motors es farà imprescindible l'ús d'algun tipus *Encoder* [5] per conèixer la posició del motor. Aquest *Encoder* necessitarà d'un *Driver* que es connectarà als perifèrics específics del DSP, encarregats de realitzar les mesures de posició i implementar el control de motors. Haurà de tenir un connector dedicat.

- **DAC**

Un altre requeriment de vital importància, és el fet de poder incorporar un DAC (*Digital to Analog Converter*) i una posterior etapa d'amplificació en tensió, per tal de veure els senyals d'interès que es processen dins el DSP, per oscil·loscopi o per visualitzadors tant analògics com digitals.

- **Número de Sèrie**

En alguns del projectes realitzats, ha estat necessària la introducció d'un xip que funcioni com a número de sèrie alhora de poder fer un seguiment dels equips i el seu manteniment i per tal d'implementar alguns mètodes de control.

- **Sensor Temperatura**

Una mesura molt important és saber la temperatura ambient a la que es troben els equips en tot moment, funció que ha d'integrar la *Hobbes* mitjançant un sensor de temperatura. D'aquesta manera es poden realitzar proteccions contra sobretemperatures i compensació per derives causades per la temperatura en mesures realitzades.

- **Històric d'Alarmes i Parametrització**

Un dels requeriments que han imposat les postes en marxa i manteniments dels equips ha estat crear un històric d'alarmes i establir un paràmetres de configuració dels equips, tant per a nosaltres com pel mateix client. Per això es necessita un *Real Time Clock (RTC)* que ens dongui la data exacta i una memòria externa al DSP no volàtil que pugui emmagatzemar les dades de parametrització i si convé dades generals sobre la configuració del equip.

- **USB**

Una de les grans millores que es vol introduir, és la incorporació d'un *JTAG* en la mateixa *Hobbes* per tal de facilitar la seva programació. Igualment es vol poder treballar tant amb aquest *JTAG* integrat com amb *JTAG* extern. Juntament amb aquest *JTAG* es vol implementar una plataforma de connexió amb el PC, per tal de poder utilitzar el DSP com a *Datalogger* o per controlar els equips des d'un PC. Aquestes comunicacions s'hauran d'implementar amb algun tipus de controlador que mantingui una connexió USB amb el PC.

- **Consola**

Un altre característica a introduir a la *Hobbes* és una consola de control. Aquesta consola neix de la necessitat bàsica en control de convertidors de poder tenir unes elements



bàsics de control (Marxa, Parada, Rearmament, Parada d'Emergència, etcètera), actuació (Sortides Analògiques de Control) i visualització (Entrades Analògiques de Mesura). L'estàndard que s'ha imposat des del CITCEA-UPC i Cinergia, és una consola amb 7 entrades digitals, 3 sortides digitals, 2 sortides DAC amplificades i dues entrades analògiques unipolars a més d'una alimentació i massa.

- **Connectors**

Un dels imperatius en la *Hobbes* ha sigut tenir un connector amb tots el GPIOs del DSP per si es vol realitzar alguna aplicació no contemplada. L'altre ha sigut que des de la concepció que la *Hobbes* ha de ser una placa autònoma, s'han de preveure connectors dedicats a cadascuna de les parts més rellevants de la placa, és a dir, entrades analògiques, sortides digitals, consola i PWM. La connexió del JTAG amb el PC, es realitzarà amb un connector USB tipus B incorporat a la placa si es vol treballar amb el JTAG integrat i a través d'un connector de de 14 pins si es vol treballar amb un JTAG extern. El disseny de la placa s'ha de concebre per a reparació d'equips, és a dir, que la placa es pugui intercanviar en qualsevol muntatge, sense haver de modificar el cablejat del equip. Un imperatiu de Cinergia ha sigut que la tria dels connectors sempre tingui com a objectiu incorporar connectors de seguretat. En la mesura del possible, han de ser connectors que incorporin algun mètode de subjecció entre parts.

### Software

En aquest camí d'estandardització, el *Software* també està inclòs, i en aquest projecte final de carrera es presenta una proposta de màquina d'estats per al control dels convertidors. Aquesta proposta inclou les peticions de CITCEA-UPC i Cinergia, alhora de poder realitzar una màquina d'estats comuna per a tots el projectes, que permeti un disseny ràpid del *Software* per tal d'assajar els prototipus d'una manera més sistemàtica i eficient i per part de Cinergia inclou les peticions d'una màquina d'estats particular per a les fases de posta en marxa i manteniment o reparació del equips, per tal de facilitar la feina al servei tècnic que hagi de realitzar la operació.

#### 2.1.3 Alta resolució

En els últims anys el CITCEA-UPC ha estat treballant en el sincrotró ALBA, i d'aquesta col·laboració ha nascut la necessitat de dissenyar fonts per aquest tipus d'instal·lacions. Aquestes fonts presenten unes especificacions tal com les que es mostren a la Taula 2.2, extretes de les característiques d'una font *Dipol* del mateix sincrotró ALBA.

<i>Dipol</i> Sincrotró ALBA		
Símbol	Valor	Unitats
$I_{pk}$	750	$A_{PK}$
$V_{dc}$	+/-1000	V
Resolució	5	<i>ppm</i>

Taula 2.2: Especificacions d'una Font de Sincrotró.

D'aquesta taula, tal com es pot veure, el requeriment més important és la resolució del equip. En el nostre cas, el control a realitzar és un control digital i per tal d'assolir aquestes resolu-



cions, és imprescindible utilitzar sistemes d'adquisició analògics - digitals d'alta precisió, de la mateixa manera que PWM d'aquestes resolucions. Com a primer pas alhora de realitzar aquestes fonts, s'ha previst la realització d'una etapa analògica - digital de 24 bits de dos canals que utilitzarà les mesures d'unes sondes de corrent de la casa LEM Danfysik o bé mesures de tensió amb sondes de tensió del mateix fabricant o mesures de tensió realitzades a través de divisors resistius. Per que fa al PWM amb altes resolucions, s'haurà de triar un DSP amb un mòdul de ePWM que posseeix resolucions de fins a 32 bits [6].

## 2.2 Especificacions

Un cop ja hem vist que és el que ha d'incorporar la *Hobbes*, ens falta veure si existeix quelcom dins del CITCEA-UPC, Cinergia o en el mercat que pugui complir amb totes les necessitats exposades en 2.1. Actualment en el CITCEA-UPC i Cinergia estan convivint dues plaques de control utilitzades en nombrosos projectes, la *Calvin* i la *Sussy*. Les especificacions d'aquestes plaques i les seves característiques més importants es presenten a continuació.

### 2.2.1 Calvin

La *Calvin* ha estat una placa evolucionada dins del CITCEA-UPC en 3 ocasions. La versió que existeix ara, basada en el DSP TMS320F2808 de Texas Instruments, es mostra en la Figura 2.2. Parteix d'una concepció diferent de la que es vol donar a la *Hobbes*, ja que la *Calvin* només incorpora els elements imprescindibles pel seu funcionament i molt pocs perifèrics, i s'extremen tots els pins del DSP a l'exterior mitjançant un connector, per afegir un *Hardware* específic per a cada convertidor o aplicació a controlar. En canvi la filosofia de la *Hobbes* és completament diferent, ja que es vol que sigui una placa autònoma i flexible per poder ser utilitzada en tot tipus de convertidors i evitar la necessitat de dissenyat un *Hardware* específic per cada convertidor o aplicació, tal com s'ha pogut veure en 1. Les característiques de la *Calvin* apareixen a continuació, en la Taula 2.3 i com podem veure en la placa s'inclouen molt pocs perifèrics, únicament aquells que fan que la placa funcioni (alimentació i JTAG) i aquells que per tema d'interferències electromagnètiques, és millor que es col·loquin prop del DSP (Canals ADC, DAC i RS485).

Característiques <i>Calvin</i>	
Boot Config	El programa sempre arrenca des de <i>Flash</i> .
JTAG	Connector estàndard de Texas Instruments de 14 pins per la connexió d'un JTAG extern.
Reset	Manual o a través del connector SCI.
Alimentació	5 V +/- 10 %.
DAC	4 canals 0 - 3 V.
Comunicació Sèrie	Per a la programació de la memòria <i>Flash</i> en sèrie de fàbrica.
LEDs	LEDs connectats a sortides genèriques del DSP.





ADC	6 entrades unipolars de 0 a 3 V i una sonda de temperatura analògica interna a la placa.
RS485	<i>Transceiver</i> de RS485 i circuit de selecció de node.
I/O	Tots el GPIOs del DSP accessibles des del exterior.

Taula 2.3: Característiques Principals de la *Calvin*.

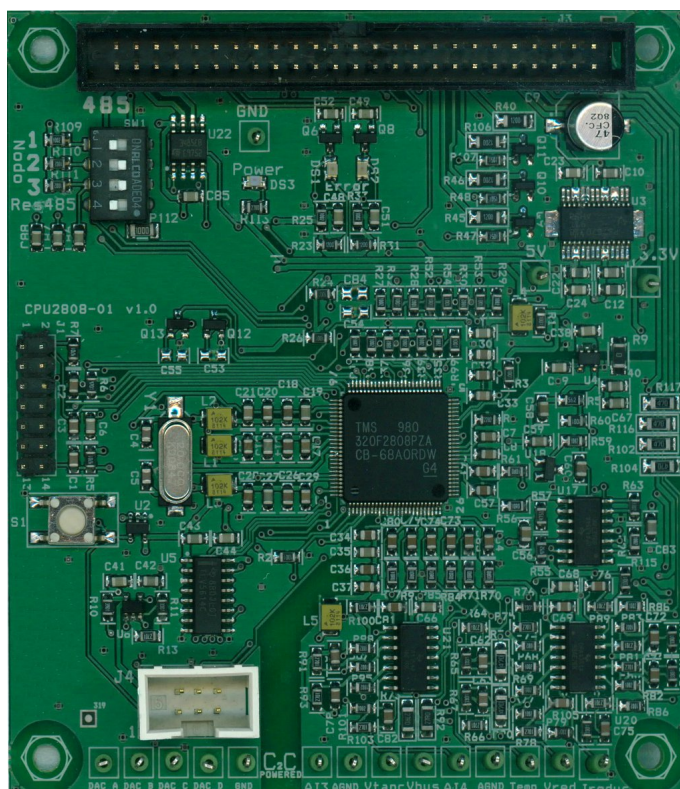


Figura 2.2: Placa de Control *Calvin*.

Com podem veure aquesta placa no compleix amb les necessitats exposades en 2.1.1, 2.1.2 i 2.1.3.

## 2.2.2 *Sussy*

És la placa encarregada d'implementar el control de la primera versió del VSC de Cinergia. El problema d'aquesta placa que ha estat especialment dissenyada per aquesta aplicació i la seva flexibilitat és extremadament limitada. El nucli d'aquesta placa de control és un DSP de Texas Instruments, el TMS320F2808, tal i com es mostra en la Figura 2.3. En la *Sussy* s'inclouen els següents perifèrics, mostrats a la Taula 2.4:





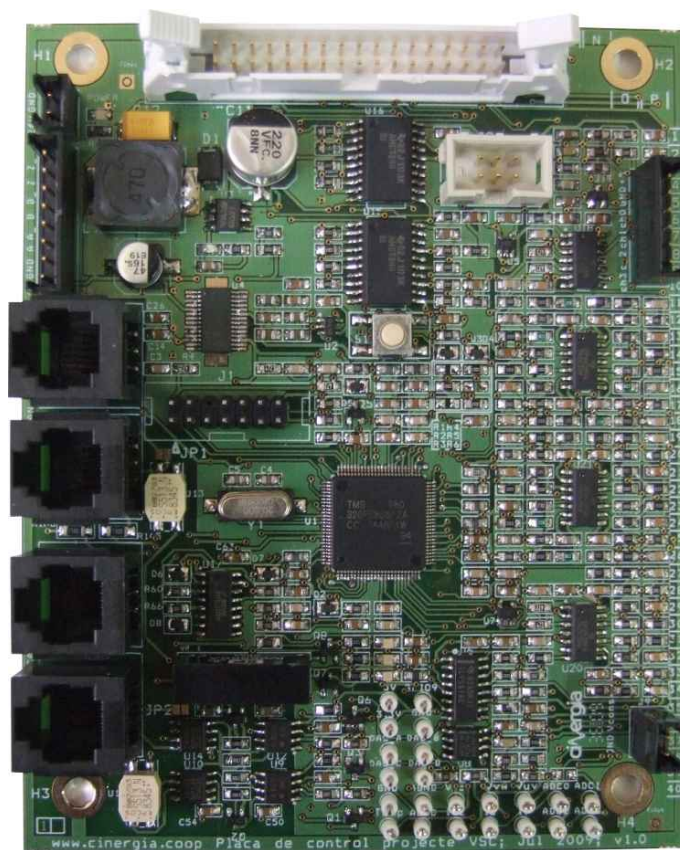


Figura 2.3: Placa de Control *Sussy*.

---

### Característiques *Sussy*

---

Boot Config	Les fonts de programa es seleccionen mitjançant resistències en mode <i>Pull-Up</i> o <i>Pull-Down</i> .
JTAG	Connector estàndard de Texas Instruments de 14 pins per la connexió d'un JTAG extern.
Reset	Manual o a través del connector SCI.
Alimentació	La alimentació va de 10 V a 34 V. Es recomanen 24 V.
DAC	El DAC disposa de 4 canals. A més, una de les sortides del DAC és amplificada fins a un rang d'escala de 0 a 10 V.
Comunicació Sèrie	Per a la programació de la memòria <i>Flash</i> en sèrie de fàbrica.
CAN	Es disposa de 2 canals CAN aïllats.



Sortides PWM i Digitals	Totes tenen lògica de 5 V, separades en 6 sortides PWM, 1 <i>Chopper</i> de frenada, més el <i>Reset</i> dels <i>Drivers</i> , més 5 sortides digitals de propòsit general
Entrades Digitals	Es disposa de 4 entrades digitals de lògica 3.3 o 5 V.
Encoder	Entrada d' <i>Encoder</i> diferencial de canal A, B i índex.
LEDs	LEDs connectats a sortides genèriques del DSP.
ADC	7 entrades bipolars de -10 V a 10 V, 3 entrades unipolars de 0 a 10 V i una sonda de temperatura analògica interna de la placa.

Taula 2.4: Característiques Principals de la *Sussy*.

De la mateixa manera que en el cas anterior, aquesta placa tampoc pot complir amb les especificacions que s'han marcat, i es per això que es va fer necessari un estudi de mercat per avaluar si existeix quelcom semblant al que hem especificat.

### 2.2.3 Estudi de mercat

Segons el requeriments exposats en els punts anteriors, vam veure que en el mercat no existia cap placa de control basada en DSP que pogués arribar a realitzar totes les funcions desitjades i a més que aquestes fossin configurables quan fos necessari. La *Hobbes* és el resultat d'anys de treball en el món de la electrònica de potència i és un recull de pràcticament totes les necessitats que han anat apareixent en el CITCEA-UPC i Cinergia. D'altra banda, pràcticament tots el fabricants de DSPs, ofereixen plaques de desenvolupament o de control, on simplement es connecten els elements indispensables per funcionament del DSP (alimentacions i JTAG) i s'extreuen tots els pins del DSP per accedir-hi exteriorment, fet oposat a la filosofia exposada en 1. En el mercat existeixen plataformes de control molt potents, tal com el *DSPACE*. El problema d'aquest equip és el seu elevat cost i el fet que el *Hardware* s'ha d'adaptar a cadascun dels projectes a realitzar. A més a més de tot això, no existeix cap DSP al mercat que implementi un ADC de 24 bits, fet que ens duu a dissenyar una etapa de conversió analògica digital externa al DSP. És per totes aquestes raons que ara presentarem la proposta concreta de solució per la placa *Hobbes* i pel ADC de 24 bits 2.3.

## 2.3 Proposta concreta de solució

Tal com hem vist en els punts anteriors, cap de les tecnologies existents al CITCEA-UPC o a Cinergia, poden complir amb les especificacions que hem obtingut en els apartats anteriors, i a més a més, en el mercat tampoc existeix un producte que pugui complir amb les mateixes. Un cop analitzada la situació, la única opció restant es realitzar el disseny d'aquesta placa de control. Amb totes les necessitats determinades, el disseny de la *Hobbes* i del ADC de 24 es farà separatament, ja que el ADC serà una part molt costosa tant en materials com en espai de placa i que s'utilitzarà en ocasions molt determinades i a més on el cost no és un fet decisiu. Es per això que ara presentem la proposta concreta de solució de la *Hobbes* en la Taula 2.5 i del ADC de 24 bits en la Taula 2.6. La placa de control està basada en el



DSP de Texas Instruments TMS320F2809, ja que CITCEA-UPC i Cinergia tenen una llarga experiència en l'ús del DSPs d'aquesta família. Un fet molt important és que aquesta família de DSPs tenen una gran quantitat dels perifèrics que es necessiten, tals com 16 canals AD de 12 bits, 2 busos CAN, 4 canals SPI, 1 canal  $I^2C$ , 2 canals SCI, funció de sincronització, 35 GPIOs i moltes altres funcions que fan d'aquest DSP una eina molt polivalent [7]. En el capítol següent 3, es mostra el disseny realitzat de la *Hobbes*.

<b>Característiques Elèctriques <i>Hobbes</i></b>	
Tensió d'alimentació	24 + / - 10 % V. Visualització LED
Alimentació Sondes	+ / - 15 V + / -10 %. Visualització LED
<b>Característiques del DSP</b>	
DSP	TMS230F2809 32 Bits Coma Fixa
MMACS	100 <i>MMACS</i>
Freqüència de Relotge	100 <i>MHz</i>
Memòria RAM	36 <i>kB</i>
Memòria Flash	128 <i>kB</i>
<i>Boot Config</i>	Configurable ( <i>Flash</i> , SCI-A, SPI-A, $I^2C$ , eCAN-A, M0-SARAM, OTP, GPIO0 - GPIO15)
Velocitat ADC	80 <i>ns</i>
<i>Debugació</i>	<i>Debugging</i> en Temps Real
Comunicacions	2xCAN, 4xSPI, $I^2C$ , 2xSCI i JTAG
<i>Timers</i>	3x32 Bits + 1 <i>WatchDog</i>
CAP/QEP	4/2 Canals
<b>Perifèrics</b>	
Sincronització	PWM a través de Fibra Òptica
ADC 12 Bits	6 Canals Unipolars + 6 Canals Bipolars amb Alta Impedància. Rang d'Entrada Unipolar 0 - 10 V o 0 - 5 V i Rang d'Entrada Bipolar +/- 10 V o +/- 5 V
ADC 24 Bits	Opcional (Placa Externa). Fins a 34 Canals
CAN	1 Canal CAN Aïllat. Connectors RJ45. Opció Alimentació 24 V



RS485	1 Canal RS485. Connectors RJ45
DAC	DAC de 12 Bits de 4 Canals amb Etapa d'Amplificació 0 - 10 V
Número de Sèrie	Número de 64 <i>Bits</i> . Comunicació <i>I<sup>2</sup>C</i>
Memòria Externa	EEPROM de 64 <i>kBits</i> . Comunicació <i>I<sup>2</sup>C</i>
Sensor de Temperatura	Sensor de Temperatura de 12 <i>Bits</i> . Comunicació <i>I<sup>2</sup>C</i>
<i>Real Time Clock</i>	Real Time Clock Controlat per <i>I<sup>2</sup>C</i> . Alimentació amb <i>Supercapacitor</i>
<i>Encoder</i>	<i>Driver</i> de <i>Encoder</i> amb Connector Dedicat
Entrades Digitals	7 Entrades Digitals de 24 V @ 2 mA. Visualització d'Estat amb LEDs
Sortides Digitals	11 Sortides Digitals de 24 V fins a 40 mA. Visualització d'Estat amb LEDs. Díode de Protecció Integrat. Opció Alimentació 24 V
PWM i Alarma <i>Drivers</i>	8 Sortides PWM a 5 V o 15 V fins a 70 mA més 2 Entrades d'Error de <i>Drivers</i> fins a 15 V. Lògica PWM intercanviable (Negada / no Negada). Visualització d'Alarmes per LED's. Possibilitat de Dirigir Fibra Òptica. Fins 32 Bits de Resolució
JTAG	Integrat a la Placa mitjançant Connexió USB + Connector 14 Pins JTAG Extern
RS232	Integrat a la Placa mitjançant Connexió USB
Connectors	Connector VSC, Connector GPIOs, Connector Entrades Analògiques unipolars i Bipolars, Connector Consola, Connector Sortides Digitals, Connector PWM i Alarmes i Connector ADC de 24 Bits
<b>Característiques Físiques</b>	
Mides Placa	Dimensió Eurocard: 100x220 mm
Accessoris	Base Carril DIN

Taula 2.5: Proposta Concreta de Solució per la *Hobbes*.

El ADC d'alta resolució, esta basat en el AD7764, que és del pocs convertidors A/D del mercat que pot realitzar mesures de 24 bits amb temps de conversió suficients per realitzar els algoritmes de control adients. A més presenta un protocol de comunicació senzill (SPI)



d'implementar conjuntament amb el DSP triat. Igualment és un convertidor A/D amb nombrosos paràmetres de configuració i a més presenta etapes analògiques integrades en el ADC que seran de gran utilitat, tal i com es podrà veure en el capítol del disseny d'aquest ADC d'alta resolució 4.

<b>Característiques Elèctriques ADC 24 Bits</b>	
Tensió d'Alimentació	+/- 15 V +/- 5 % i 5 V +/- 5 %. Visualització LED
<b>Característiques del Convertidor A/D</b>	
ADC	AD7764 d'Analog Devices. 24 Bits $\Sigma$ - $\Delta$ .
Canals	2 Canals
Mesures	Corrent i Tensió
Freqüència de Funcionament	40 MHz +/- 20 ppm
<i>Decimation Rate</i>	x64, x128 i x256
Referència de Tensió	4.096 V + / - 1.6 mV 3 ppm/°C
Etapa d'Acondicionament	Alta Impedància d'Entrada i Guany Seleccionable. Rangs d'Entrada Compresos entre +/-1 V i +/-10 V. Protecció de Sobretensió i Sobrecorrent d'Entrada
Comunicacions	SPI mitjançant Connector <i>Hobbess</i>
Connectors	2 Connectors Sondes Danfysik i 2 Connectors BNC Entrada + 1 Connector Tensió de Referència, Connector Comunicació DSP i Connector ADC 24 Bits
<b>Altres Característiques</b>	
Mides Placa	64x100 mm (Apilable amb <i>Hobbess</i> )
Ampliacions	Ampliable a 4 Canals mitjançant la Connexió d'un altre ADC de 24 Bits

Taula 2.6: Proposta Concreta de Solució pel ADC de 24 bits.





## Capítol 3

# Disseny de la Placa de Control

En aquest capítol es presenta la implementació física de la *Hobbes*, la qual compleix amb totes les especificacions llistades en 2.3, tret del ADC de 24 bits que es realitzarà en una placa externa com hem dit i que es presenta en el Capítol 4. La filosofia de disseny d'aquesta placa, com s'ha comentat en el prefaci, ha vingut determinada per les exigències del CITCEA-UPC i de Cinergia. S'ha intentat dotar a la *Hobbes* d'una gran flexibilitat i modularitat sense perdre prestacions i a més seguint els estàndards tals com el EUROCARD (IEC-60297-3) [8] en el tema de mides de la placa per tal de poder-la introduir en mòduls de carril DIN i les regles de disseny que apareixen tant a la IPC 2221A [9] com a la IPC 7351 [10]. Un altre dels punts importants que s'han tingut em compte a la hora de dissenyar la placa, ha estat que aquesta ha de complir amb la normativa sobre compatibilitat electromagnètica, tant amb la normativa sobre emissions domèstiques EN 61000-6-3 [11] com en la immunitat industrial EN 61000-6-2 [12].

El disseny en blocs de la *Hobbes* es mostra en la Figura 3.1, on es poden veure totes les parts que la conformen i que en els següents punts explicarem més detalladament. La organització d'aquest capítol està basat en la explicació detallada de cada una de les pàgines de l'esquemàtic de la *Hobbes*, les quals es presenten en el Annex C. Aquests punts són: el DSP, la sincronització, les alimentacions tant digitals com analògiques, el ADC de 12 bits tenint en compte les entrades unipolars i bipolars i la referència de tensió inclosa, el CAN, el RS485, el DAC i la seva etapa d'amplificació, els perifèrics  $I^2C$  (sensor de temperatura, memòria EEPROM, número de sèrie, *Real Time Clock* i l'expansor de GPIOs), el *Encoder*, els PWM i alarmes, i per últim, el USB JTAG. Un altre punt destacable en el disseny de la *Hobbes* ha sigut la tria dels connectors, ja que sempre és una part problemàtica i costosa en els dissenys *Hardware*. Per últim, no podem deixar de fer esment del disseny *Layout* i totes les consideracions i tècniques utilitzades durant el procés de disseny.

### 3.1 DSP

El DSP triat per aquesta aplicació és el TMS320F2809 de la casa Texas Instruments i les seves característiques més importants es poden trobar a la Taula B.1o bé a [13]. Una explicació més extensa de les característiques d'aquest DSP es presenta en l'Annex B.1.

Les regles de disseny que s'han seguit a l'hora de realitzar aquesta placa basada en el TMS320F2809, s'extreuen d'un document del fabricant anomenat *Hardware Design Guidelines for TMS320F28XX and TMS320F28XXX DSCs* [14]. A partir d'aquest document, s'han resolt les qüestions relacionades amb la generació de rellotge, JTAG, alimentació, interconnexió dels perifèrics (amb especial atenció a les entrades analògiques del ADC), les



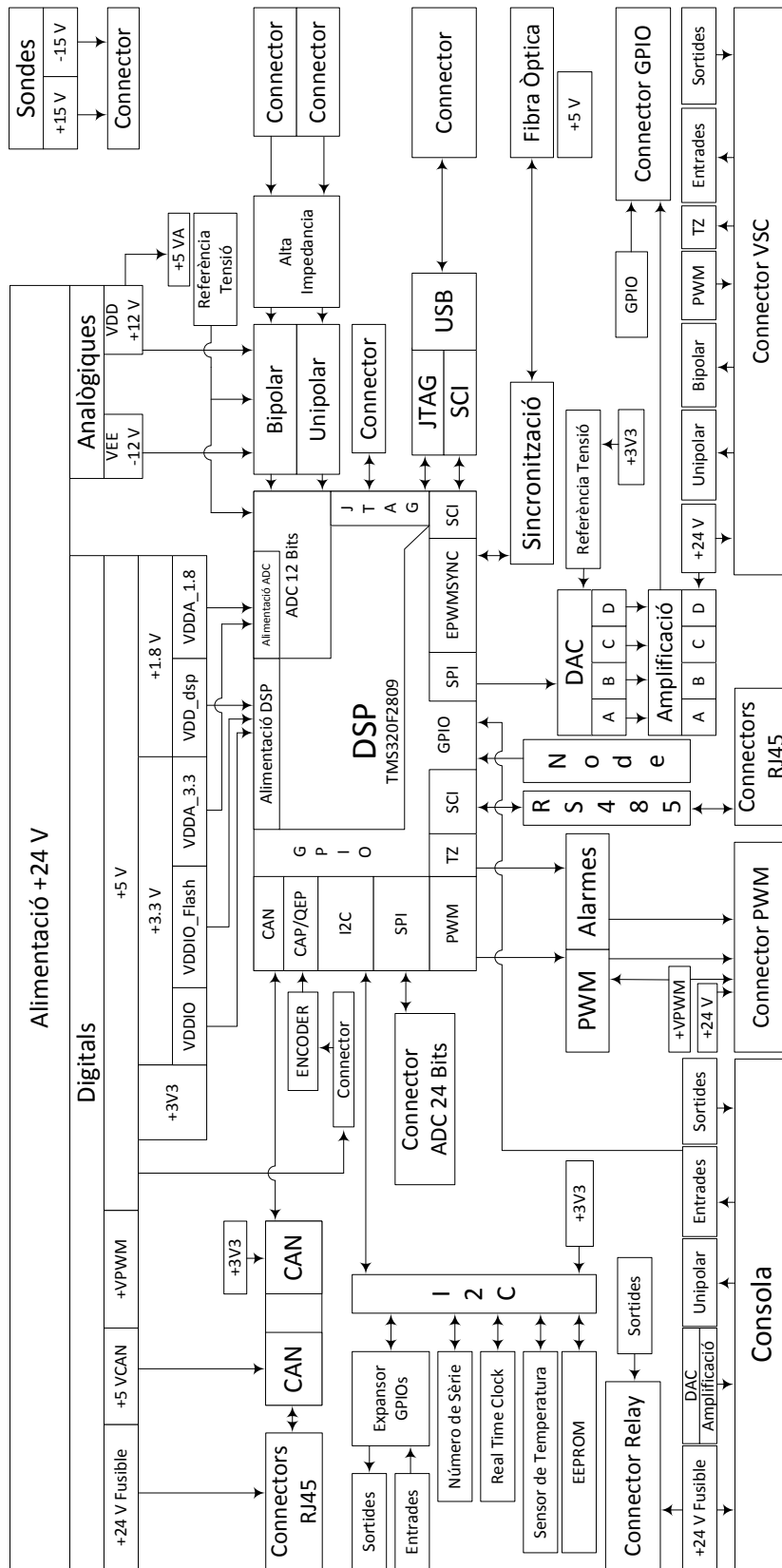


Figura 3.1: Esquema de Blocs de la Hobbes.





connexions de les GPIO, i temes de disseny tant *Hardware* com *Layout* considerant les interferències electromagnètiques (EMI) i la compatibilitat electromagnètica (EMC) de la placa [15], [16], [17] i [18] i la influència de l'elecció dels components utilitzats [19]. L'esquema complet de les connexions del DSP es mostra en l'Annex C.1 juntament amb una taula d'utilització de les GPIO i de la configuració d'arrencada del programa.

### 3.2 Sincronització

Per tal de poder realitzar una sincronització amb pocs retards i lliure de sorolls, necessitat que va aparèixer en els requeriments de la placa 2.1.2, es va decidir dissenyar aquesta part amb fibra òptica, ja que aquesta presenta una gran immunitat contra les perturbacions electromagnètiques i uns retards molt petits, a part de poder ser transmesa a gran distàncies sense gaires problemes. La fibra òptica utilitzada és la *HFBR-0500Z Series* de 5 *Mbd*. L'esquema del circuit es mostra en la Figura 3.2. L'esquema complet es mostra en l'Annex C.2.

El funcionament d'aquest circuit es basa en la utilització d'una patilla del DSP que té la funció de rebre/enviar un senyal de sincronització dels PWM anomenada *EPWMSYNCI/PWMSYNCO* (veure [13]). Aquest senyal serà l'encarregat de sincronitzar tots el PWM del nostre sistema, és a dir serà el senyal de sincronisme del equip de potència. Quan la patilla està configurada com entrada la placa treballa com *Slave*, és a dir, rep un senyal de sincronisme a través del circuit format per *U3* i *U4* i sincronitza el seu mòdul PWM. A més a més funciona com a *Bridge*, ja que aquesta mateixa senyal la enviem igualment a través de *U2*, convertint-se en la senyal de sincronisme d'un altre mòdul. Quan la patilla està configurada com a sortida (la placa treballa com a *Master*), només s'envia el senyal de sincronització a través de *U2*. Una de les característiques més importants d'aquest mòdul, es que gràcies a *Q1* i *Q2* és manté la lògica de funcionament de *EPWMSYNCI/PWMSYNCO* tenint en compte el comportament de la fibra òptica (negada), amb *U4* adaptem als nivells lògics aptes pel DSP i amb *D1* i *R11*, podem fer que la patilla del DSP pugui treballar com a entrada o sortida indistintament, sense que perilli la integritat del DSP.

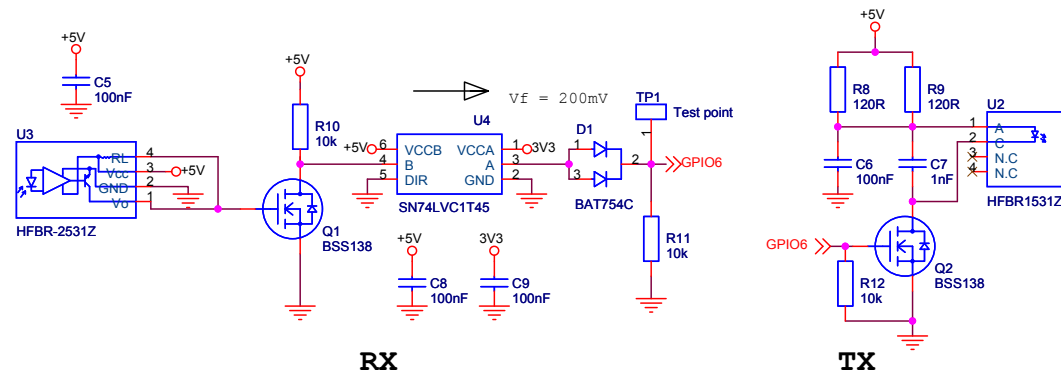


Figura 3.2: Esquema del Mòdul de Sincronització.

### 3.3 Alimentacions

En aquesta secció es mostra el disseny de les alimentacions de la *Hobbes*. Per tal de tractar-les, s'han reunit en dos grans grups, el de les alimentacions analògiques destinades a alimentar la etapa de conversió analògica digital de la placa 3.3.1 i les sondes de corrent i



tensió que es connecten al convertidor 3.3.2 i les alimentacions digitals que alimenten tota la circuiteria restant de la placa de control 3.3.3. L'esquema complert de les alimentacions de la *Hobbes* es mostra en l'Annex C.3 i el l'Annex C.4. En la Figura 3.3 es pot veure un diagrama de blocs complert de totes les alimentacions de la placa, extretes totes elles d'una font externa de 24 V. Únicament els 24 V i els +/- 15 V per a les sondes, són fonts externes a la *Hobbes*. Com a la placa hi ha tensions compreses entre els 1.8 V del DSP fins als +/-12 V dels operacionals del ADC, l'única alimentació estàndard possible més elevada de 12 V que permeti afegir una etapa de regulació és la de 24 V. La filosofia alhora d'alimentar a la *Hobbes*, està basada, en la utilització de fonts commutades per baixar la tensió d'alimentació de 24 V i posteriorment aplicar etapes de regulació lineal. D'aquesta manera assolim una elevada eficiència energètica si comparem aquesta alimentació amb una totalment lineal. El dimensionament d'aquestes fonts i de les etapes de regulació posteriors, esdevenen de la estimació de consums que es presenta en la Taula 3.1.

Alimentacions <i>Hobbes</i>			
Tensió	Part	Valor (mA)	Potència (W)
+5 V	JTAG	30	
	ADC 24 Bits	125	
	PWM i Alarmes	15	
	Encoder (Connector)	50	
	Sincronització	60	
	DAC	2	
	+3V3 (CAN, RS485, DAC, Series Number, EEPROM, RTC, Sensor temperatura, JTAG, PWM i Alarmes, LEDs i Encoder)	260	
	DSP	350	
	<b>Total</b>	<b>892</b>	<b>5.62</b>
+5 VCAN	CAN	75	<b>0.65</b>
+VPWM	PWM	480	<b>3.125</b>
+/-VADC	Operacionals ADC	20	<b>0.75</b>
+24 VFUS	CAN i Sortides	750	<b>18</b>
<b>+24 V</b>	<b>Hobbes</b>	<b>1200</b>	<b>28</b>

Taula 3.1: Taula de Consums de la *Hobbes*.

El consum final de la *Hobbes* s'ha calculat compensant el rendiment no unitari de les fonts commutades (factor 0.8) i tenint en compte que la sortida +24 VFUS consumeix 750 mA. Depenent de l'aplicació, en cas de no alimentar cap perifèric CAN ni cap entrada/sortida digital, la font externa de 24 V passa a necessitar una potència de només 10 W tenint en compte que es connecten tots els perifèrics. Com podem veure la estratègia de disseny basada en l'ús de fonts commutades, fa que la font externa sigui d'una potència realment reduïda.

Com a tret comú de totes les alimentacions tret de la alimentació de les sondes, tal com es veurà en 3.3.2, tenen una estructura d'entrada tal i com es mostra en la Figura 3.4. Les característiques principals d'aquesta etapa són el díode per evitar la polarització inversa de la placa D2 i el filtre LC per reduir la presència de soroll a la placa format per L1 i C17.



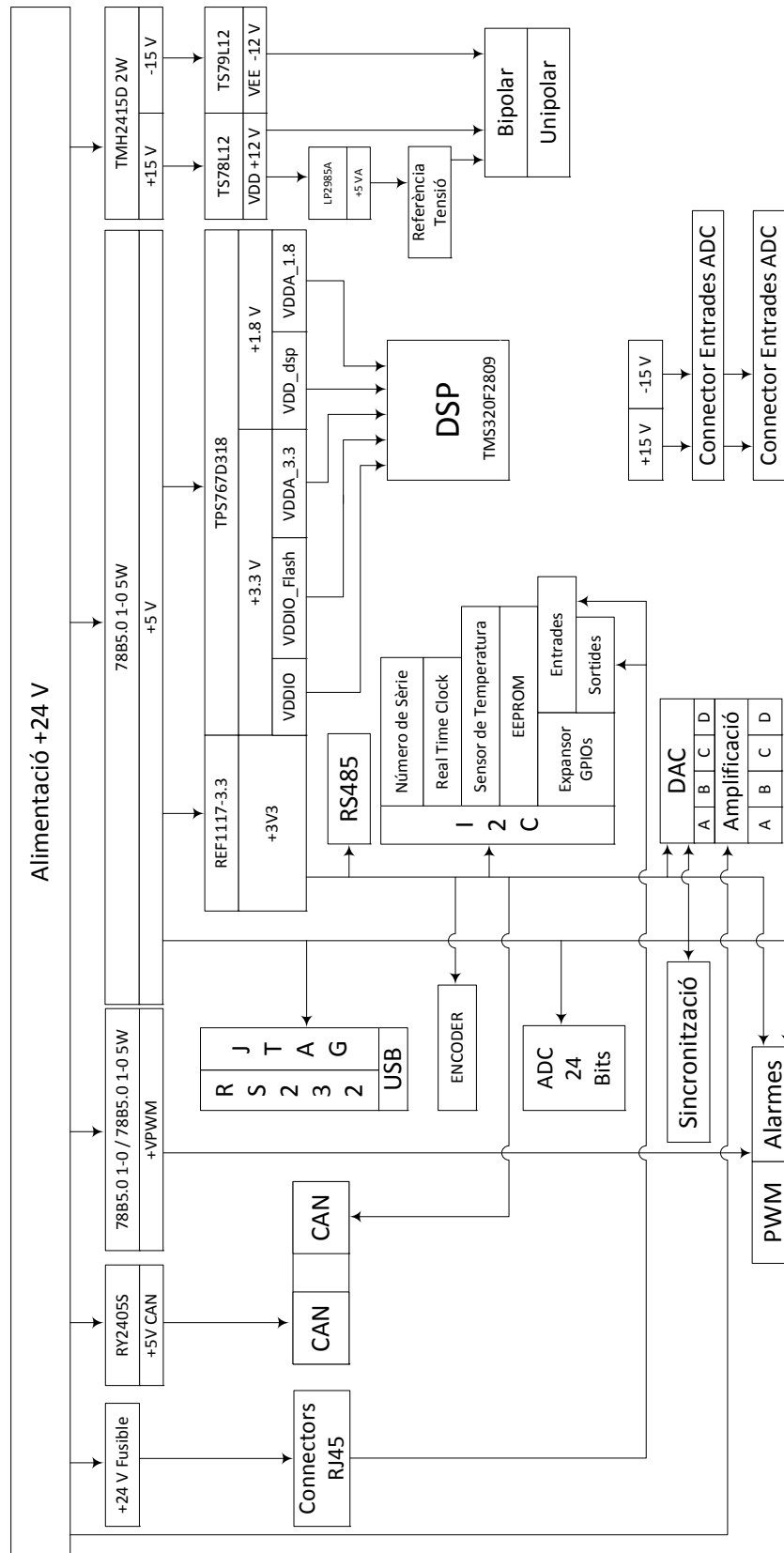


Figura 3.3: Esquema de Blocs de les Alimentacions de la Hobbes.



També s'ha afegit una sortida de 24 V amb fusible rearmable tal com es pot veure a la Figura 3.4 que servirà per si es volen alimentar perifèrics a través dels connectors CAN 3.5 o per si es volen alimentar també les entrades/sortides digitals 3.8.5.

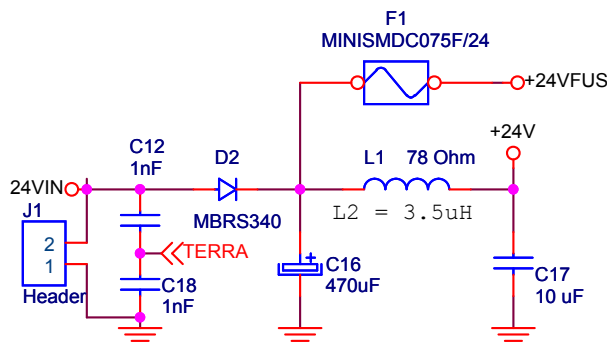


Figura 3.4: Esquema de la Entrada de la Alimentació.

### 3.3.1 Alimentacions Analògiques

En el disseny d'aquestes alimentacions, la restricció més gran ha sigut la necessitat de crear una tensió bipolar d'alimentació, en el nostre cas de  $\pm 12 V$ . Aquest fet unit a que la *Hobbes* va alimentada a 24 V, ha fet que la única possibilitat de realització d'aquesta font hagi estat amb una primera etapa realitzada amb una font commutada aïllada amb una tensió de sortida de  $\pm 15 V$  a 2 W seguida d'una etapa realitzada amb reguladors lineals per obtenir els  $\pm 12 V$  necessaris per alimentar els operacionals. La etapa lineal s'ha introduït, per tal d'evitar el màxim que el soroll de la etapa commutada afecti al comportament dels operacionals i per tant també al ADC. A més a més, s'han introduït filtres LC, per tal de reduir encara més el soroll present en aquesta etapa d'alimentació. Tot això es presenta a la Figura 3.5 i a l'Annex C.3.

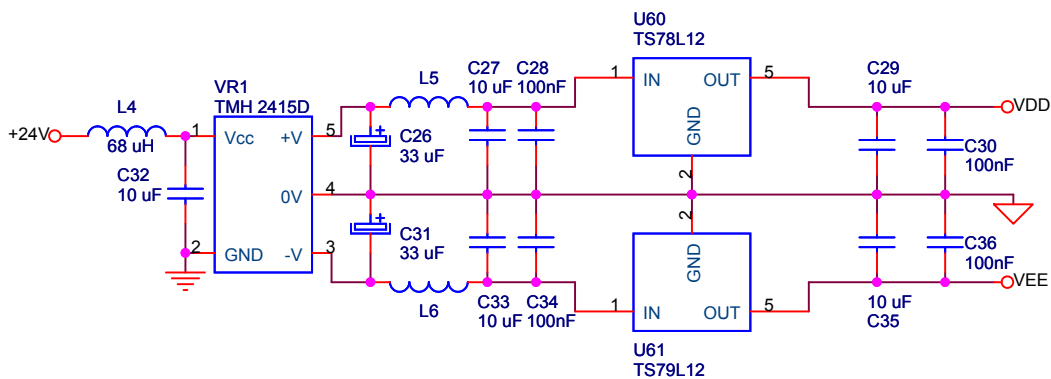


Figura 3.5: Esquema de la Alimentació Analògica.

### 3.3.2 Alimentacions Sondes

Un dels problemes que apareixen en els transductors de corrent i tensió que CITCEA-UPC i Cinergia utilitzen en els convertidors (de la casa LEM), és el cablejat i la disposició del



mateix, el qual indueix molt soroll a la mesura i per tant a errors. Per tal d'optimitzar aquest cablejat s'ha previst a la *Hobbess* un connector d'alimentació bipolar de  $\pm 15\text{ V}$ , que és la tensió que utilitzen per alimentar-se, per tal de que cada un dels canals ADC disposi d'un terminal de  $+15\text{ V}$ , un altre de  $-15\text{ V}$ , una massa (AGND) i el de mesura. D'aquesta manera es minimitzen enormement els bucles del cablejat i es controla en tot moment el potencial de AGND i s'apantalla correctament el cablejat de la mesura. En la Figura 3.6 podem veure quina ha sigut la aportació de la *Hobbess* per solucionar aquesta problemàtica. Hem marcat en vermell el retorn de la mesura tenint en compte la mesura d'un senyal unipolar. Com podem veure el bucle de corrent en la *Hobbess* és molt més petit que en les anteriors versions.

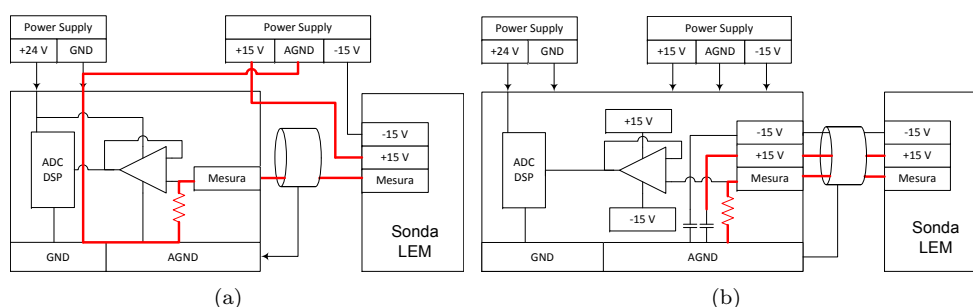


Figura 3.6: Esquema del Connexionat de les Sondes. a) Configuració Antiga i b) Configuració nova. En vermell el recorregut del retorn.

### 3.3.3 Alimentacions Digitals

En les alimentacions digitals podem diferenciar dos grans grups, la alimentació del DSP i la alimentació de la resta de perifèrics. De la resta de perifèrics en destaquen els  $+5\text{ V}$  i els  $+VPWM$ . Els  $+5\text{ V}$  estan basats en una font commutada de  $24\text{ V}$  a  $5\text{ V}$  de  $5\text{ W}$  que s'utilitza tant per l'alimentació del DSP com per alguns perifèrics. La alimentació de  $+VPWM$  també està basada en una commutada que pot ser de  $24\text{ V}$  a  $15\text{ V}$  o de  $24\text{ V}$  a  $5\text{ V}$ . L'esquema d'aquestes alimentacions es mostra en la Figura 3.7. La configuració de les fonts sempre parteix en que  $U6$  és una font de  $5\text{ V}$  i sempre estarà soldada. Si no s'utilitza fibra òptica i els senyals PWM són amb lògica  $0 - 5\text{ V}$ , només es soldarà  $R13$ . Si es dispara fibra òptica es soldarà també  $U5$  com a font de  $5\text{ V}$  sense soldar  $R13$ . En cas que els senyals PWM necessitin lògica  $0 - 15\text{ V}$ ,  $U5$  serà una font de  $15\text{ V}$  i  $0.5\text{ W}$  i tampoc es soldarà  $R13$ . D'aquesta manera podem realitzar una placa molt flexible a un baix cost, ja que segons les necessitats podem estalviar-nos soldar alguns components.

Pel que fa a les diferents alimentacions que arriben al DSP, s'observarà que es basen en la utilització d'un regulador lineal especialment dissenyat per a dispositius lògics amb dues tensions d'alimentació (en el nostre cas  $3.3\text{ V}$  i  $1.8\text{ V}$ ), el *TPS767D318*. A més a més, aquest regulador lineal també implementa la funció de supervisor de tensió del DSP, que manté el dispositiu en estat de *Reset* fins que les tensions arriben a nivells acceptables per al bon funcionament del dispositiu. Aquest *Reset* també es pot realitzar manualment mitjançant *S1* (Figura 3.8).

Tal com es pot veure en l'Annex C.4, a la sortida d'aquest regulador lineal s'implementen 5 filtres LC amb 4 dècades de condensadors, que formen 5 tensions d'alimentació amb dos terres 'diferents', un de digital (AGND) i l'altre d'analògic (GND). Aquests filtres LC, estan especialment dissenyats per atenuar el soroll d'altra freqüència en un ampli espectre que atorguen les 4 dècades instal·lades. De les 5 tensions resultants d'aquest regulador lineal,



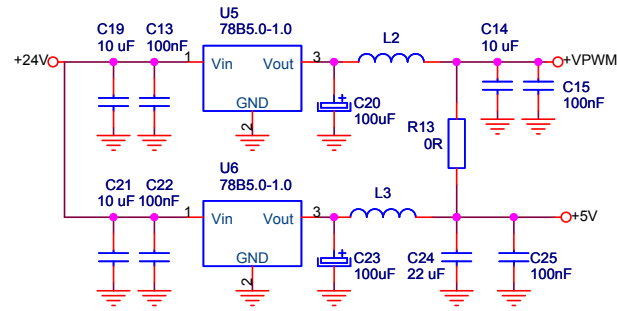


Figura 3.7: Esquema de les Alimentacions a 5 V i a +VPWM.

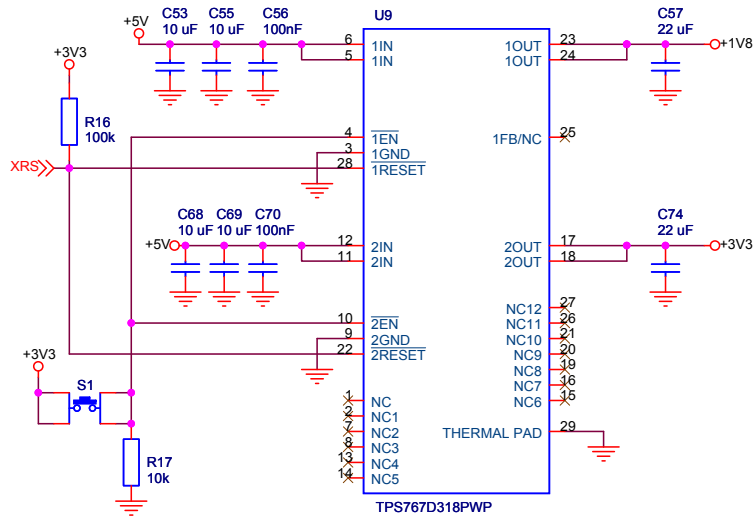


Figura 3.8: Esquema del Regulador Lineal del DSP.

en primer lloc està la *VDDIO*. Aquesta tensió de 3.3 V és la que utilitza el DSP per a les GPIO. D'altra banda apareix *VDDIO Flash*. Aquesta tensió també de 3.3 V, alimenta exclusivament la memòria *Flash* del DSP. La tercera que comparteix el mateix terra és *VDD dsp* de 1.8 V, amb la que funciona el *Core* del DSP. Per altra banda tenim les dues alimentacions connectades al terra analògic, la *VDDA 1V8* de 1.8 V, que és la tensió que controla la part digital dintre de la secció analògica de xip. L'altre es *VDDA 3V3* de 3.3 V, que és la tensió analògica del DSP que fa funcionar tota la part analògica d'adquisició i tractament de senyals analògics. També és important comentar, que ben a prop de cada patilla d'alimentació del DSP s'ha connectat un condensador de desacoblament de 100 nF en encapsulat 0603, per tal de desacoblar-lo més efectivament. Per últim, tots els altres perifèrics que funcionen a 3.3 V, es connecten a un regulador dedicat específicament a ells (U10), per tal de no carregar i pertorbar en excés el regulador lineal que alimenta el DSP.

### 3.4 ADC 12 Bits

Per poder realitzar qualsevol mena de control sobre una planta és necessari conèixer en tot moment quines són les variables d'estat (corrent i tensió) i altres variables d'interès com ho és la temperatura. Aquestes variables es llegiran mitjançant sondes temperatura, de tensió



i de corrent en tot el convertidor. La naturalesa del senyal i del transductor emprat per mesurar els senyals limitarà el disseny d'aquestes etapes, és a dir, ens podrem trobar amb senyals unipolars o bipolars i amb transductors que tinguin sortida en corrent o en tensió. A més a més, s'ha de considerar que el sistema sigui capaç de llegir consignes provinents de la consola descrita en 2.1.2. Per realitzar aquesta conversió s'ha utilitzat el convertidor analògic-digital de 16 canals que incorpora el DSP i que es descriu en [20].

L'altre punt determinant del disseny, és que els senyals analògics que entren al DSP han de ser senyals de tensió de 0 a 3 V mentre que els senyals de les sondes de tensió i corrent de la potència s'ha definit que siguin de dos tipus, bipolars de +/-10 V o bé de +/-5 V o unipolars de 0 a 10 V o bé de 0 a 5 V. Així doncs cal adaptar-les als 0 - 3 V del DSP mitjançant amplificadors operacionals. Per poder treballar amb aquests marges de tensió, s'han seleccionat operacionals que puguin treballar amb alimentacions de fins a +/-18 V, alimentats en el nostre cas, tal com es presenta en 3.3.1 a +/-12 V. A part s'han tingut en compte moltes altres característiques alhora d'escollir els operacionals, com la tensió de *Offset*, el *Slew-Rate*, la banda passant (*BW*), la corrent de *bias* i el consum. Una bona referència a seguir és [21].

### 3.4.1 Entrades Unipolars

Un dels punts bàsics de disseny, és que tal com hem comentat, el transductors tindran o bé sortida en corrent o tensió. L'altra és que la etapa d'acondicionament del senyal té una impedància d'entrada determinada pels valors resistius i capacitius del laç de realimentació. Per tal d'evitar qualsevol conflicte, es va optar per dotar a totes les entrades analògiques d'una etapa d'alta impedància realitzada amb un seguidor de tensió (U11A). Si es té molt clar que no és necessària aquesta etapa d'alta impedància, el disseny realitzat permet gràcies a la disposició de R20 i R32, d'eliminar la etapa d'alta impedància si es solden aquestes dues resistències amb un valor de 0 Ω, tal i com és pot veure a la Figura 3.9. L'esquema complet d'aquestes entrades es mostra en l'Annex C.5.

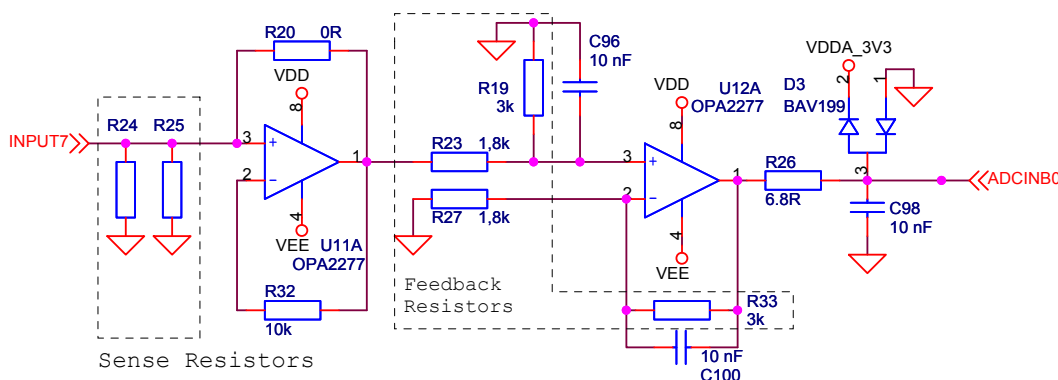


Figura 3.9: Esquema d'una Entrada Unipolar del ADC.

Si el transductor té sortida en corrent, les resistències de caiguda es soldaran (R24 i R25) i si és la sortida en tensió, llavors no farà falta. Aquestes resistències de caiguda s'hauran d'escollir segons les necessitats específiques de cada transductor. A la figura apareixen com a *Sense Resistors*. La segona etapa d'acondicionament, s'ha realitzar en una configuració no inversora explicada extensament en l'Annex A i [22]. Per implementar els filtres a la placa de control es parteix del circuit de la Figura 3.10. En ell es pot apreciar que la nomenclatura



dels components es repeteix dos a dos i es distingeix també entre les entrades del circuit i les de l'amplificador operacional amb el subíndex *in*.

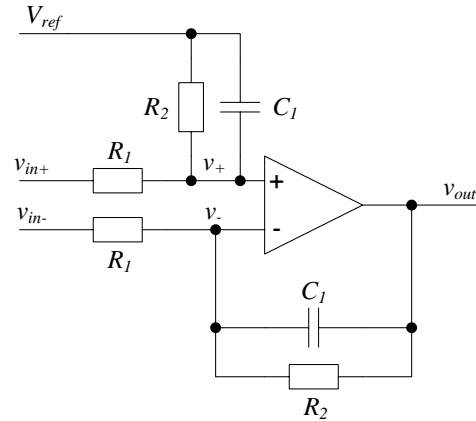


Figura 3.10: Esquema Elèctric del Circuit de Filtrat.

Aplicant anàlisi de circuits trobem la funció de transferència completa:

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1 R_2 C_2 s + R_1} + \frac{V_{ref}}{V_{in+}(s)} \quad (3.1)$$

El significat del terme  $V_{ref}/V_{in+}(s)$  en el domini temporal, es tradueix en un desplaçament de tot el senyal de sortida de valor de  $V_{ref}$ . En el cas dels senyals unipolars no es desitja tenir un *offset* en els senyals de lectura de corrent i tensió, per tant en aquest cas el valor de  $V_{ref}$  és  $0V$ . Si simplifiquem,

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1 R_2 C_2 s + R_1} \quad (3.2)$$

Que escrit de forma canònica queda:

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1} \frac{1}{R_2 C_2 s + 1} \quad (3.3)$$

On  $R_2/R_1$  és el *guany canònic* del filtre i aquest valor es farà servir per ajustar el fons d'escala de la sonda. El terme  $R_2 C_2$  serà la *constant de temps*  $\tau$  i la seva inversa  $\omega_0$ , serà la fase a partir de la qual aproximadament el guany és inferior a  $-3dB/dec$ . Aleshores l'amplada de banda del filtre de primer ordre serà aquesta  $\omega_0$  i la tipologia del filtre serà la de passa-baixos. Els valors de resistències i condensadors estan subjectes a la aplicació i necessitats del disseny, realitzant la funció de filtre passa baixes de primer ordre amb guany com hem pogut veure.

Per últim s'ha afegit un protecció de sobretensió i subtensió a l'entrada del DSP per evitar la seva destrucció en cas d'error, mitjançant dos díodes, i s'ha calculat el circuit RC de sortida, per tal de complir amb les especificacions del DSP. En aquest cas com l'entrada és unipolar, la sortida ho serà i per tant no farà falta la introducció d'una referència de tensió per solucionar aquest problema, tal i com passa amb les entrades bipolars que es presenten a continuació.





### 3.4.2 Entrades Bipolars

La topologia utilitzada per implementar aquestes entrades bipolars, és la mateixa que en l'apartat anterior 3.4.1, amb la única diferència que ara haurem de mantenir la tensió de referència de A.9 per tal de fer que a la entrada del DSP tots els senyals vagin dels 0 als 3 V. L'esquema d'aquestes entrades es pot veure en la Figura 3.11. Totes les consideracions realitzades en l'anterior punt, són les mateixes que s'han aplicat en aquesta apartat. L'esquema complet d'aquestes entrades es mostra en l'Annex C.6.

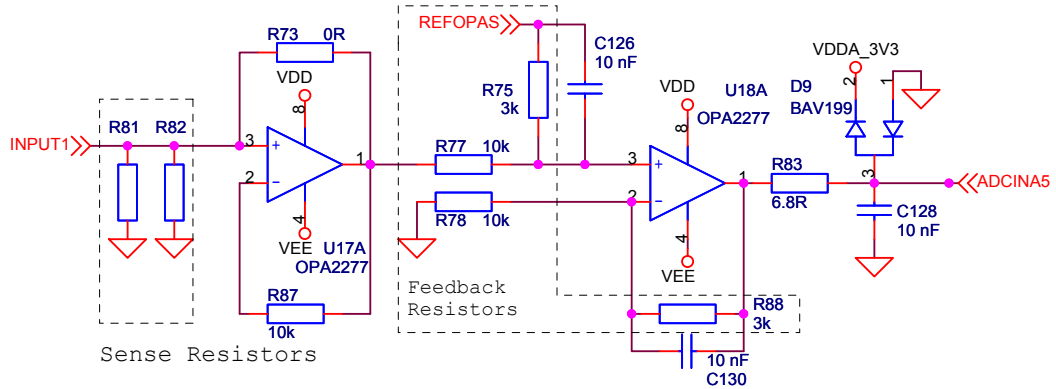


Figura 3.11: Esquema d'una Entrada Bipolar del ADC.

### Referència de Tensió

Si es volen arribar a assolir 10 o 11 bits efectius, la referència dels operacionals també existeix un punt a tenir molt en compte. És per això que s'ha triat una referència de tensió amb un baix error inicial, baix soroll i derives molt baixes per tal de realitzar aquesta tasca. A més a més, com aquesta referència de tensió és incapaç de subministrar el corrent necessari a tots els operacionals, s'ha introduït una etapa de *Buffer* que implementa un filtre passa-baix segons [23]. L'esquema de la referència de tensió i la seva alimentació es mostren a la Figura 3.12.

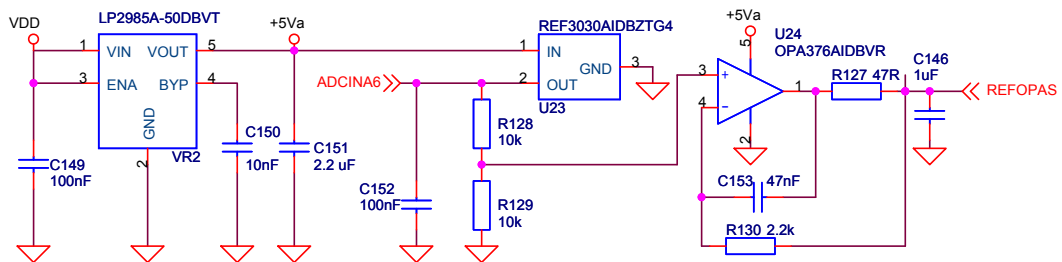


Figura 3.12: Esquema de la Referència de Tensió i la seva Alimentació.

## 3.5 CAN

El protocol CAN, és un del protocols més utilitzats en tots el àmbits de comunicacions industrials, donada la seva gran robustesa i característiques elèctriques. En les anteriors



plaques de control, sempre s'ha implementat i s'ha convertit en una dels principals protocols de comunicació. Es per això que també s'ha afegit un canal CAN del 2 que posseïx el DSP, per tal d'implementar aquestes comunicacions. Aquesta vegada s'ha optat per un CAN aïllat mitjançant l'integrat *ISO1050* de Texas Instruments. Aquest integrat implementa tant el propi *transceiver* de CAN com la etapa d'aïllament. Al canal se li han proporcionat proteccions per sobretensions (*NUP2105*) i un filtre en mode comú (*U26*). Igualment la resistència de terminació és seleccionable o no depenent de les necessitats, mitjançant un *microswitch* (*SW1*). L'esquema del CAN i els connectors es mostren a la Figura 3.13. Una de les aportacions principals de la *Hobbes*, ha sigut estandarditzar el connector CAN de sortida i alimentar-lo opcionalment tal i com es comentava en el punt 3.3. El connector triat per implementar el CAN ha sigut finalment el RJ45, ja que és un connector àmpliament utilitzat a la indústria, és apantallable i els seus cables també permet certa transferència de potència a través de les seves connexions. S'en disposen 2 per placa per tal de poder fer un bus de comunicacions entre plaques. Diem això per que a través del connector CAN es podran alimentar alguns dels perifèrics connectats directament, sense necessitat d'utilitzar cap altra font externa, com per exemple pantalles LCD. Això es farà quan es seleccioni mitjançant *SW2*.

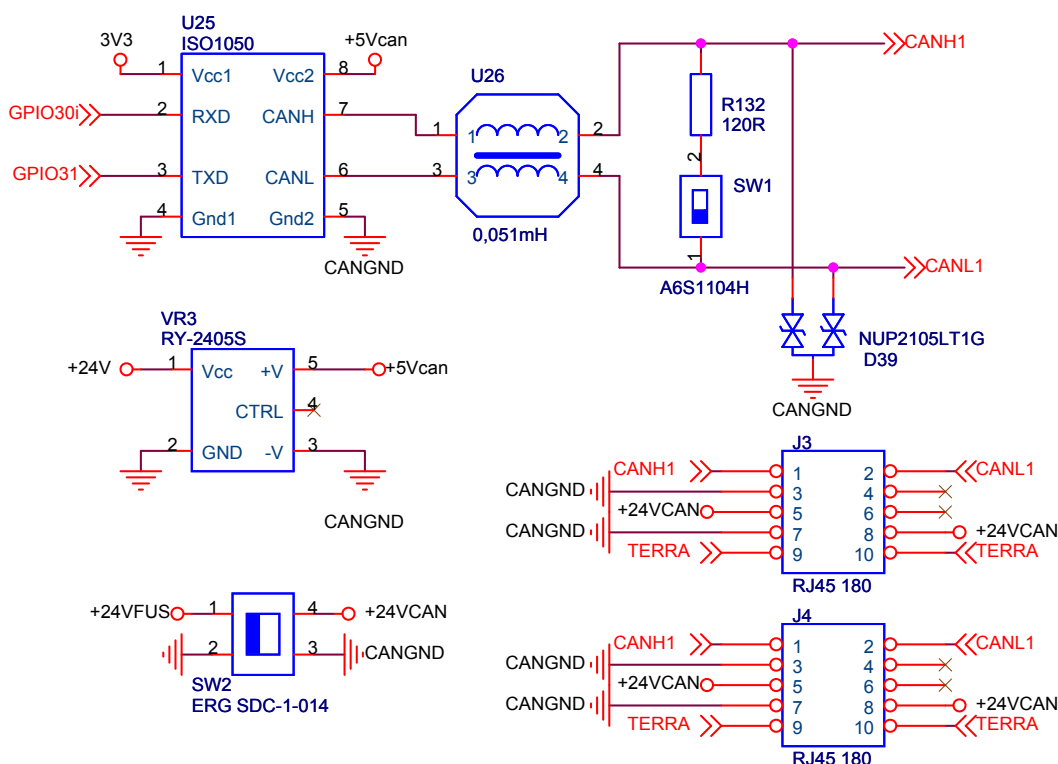


Figura 3.13: Esquema del CAN i els seus Connectors.

### 3.6 RS485

A la indústria, el protocol RS485 [24] és àmpliament utilitzat, donada la seva gran immunitat a perturbacions. Com a exigència de molts clients i com a necessitat interna, s'ha afegit a la *Hobbes* un *transceiver* de RS485. A partir d'un port SCI [25] del DSP, realitzarem la comunicació RS485. En aquesta part del circuit hem afegit una circuiteria utilitzada per



seleccionar el node de comunicació, imprescindible si hem de realitzar comunicacions amb més d'un node. Si no s'utilitza la selecció de node ja que en l'aplicació no s'implementen comunicacions RS485, es poden utilitzar com a entrades de configuració. Els connectors de sortida s'han triat de forma que fossin el més estàndards possibles i que estiguessin apantallats, o almenys tinguessin la opció d'estar-ho. Al utilitzar-los també amb el CAN 3.5, al final la opció triada ha estat el connector RJ45. Se'n disposen 2 per placa per tal de poder fer un bus de comunicacions. L'esquema del RS485 juntament amb la selecció de node i connectors es mostren a la Figura 3.14.

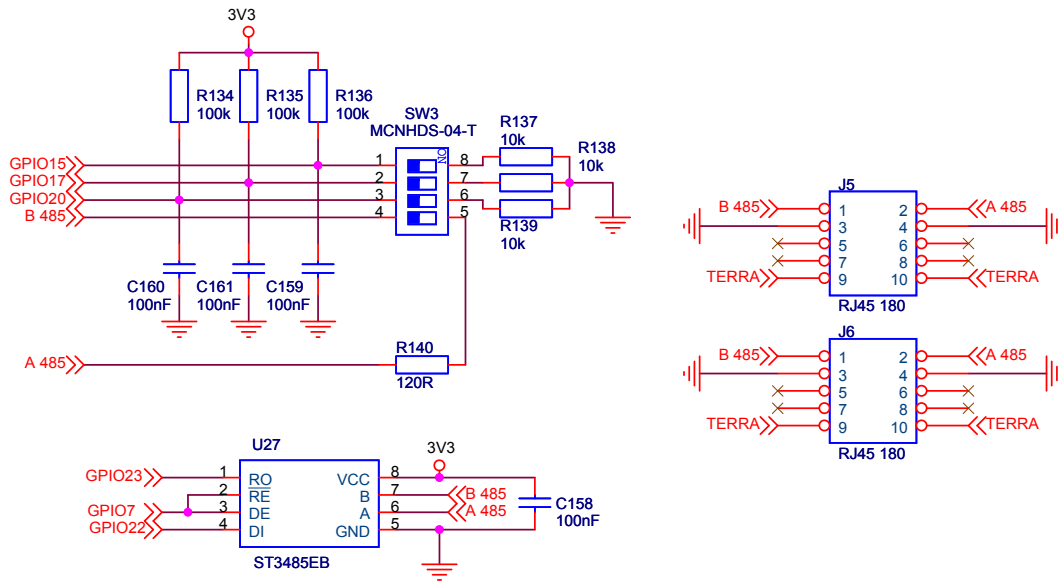


Figura 3.14: Esquema del RS485 juntament amb la Selecció de Node i Connectors.

### 3.7 DAC

Per poder visualitzar senyals analògiques o senyals internes del DSP, es fa necessari l'ús d'un Convertidor Digital-Analògic o DAC. El DAC que s'utilitza en aquesta placa és el *TLV5614*, un DAC de 4 canals controlats per protocol SPI [26]. Aquest protocol permet una velocitat de transmissió molt més elevada que el *I<sup>2</sup>C* i és per aquest motiu que s'ha triat aquest integrat. Una de les característiques de disseny d'aquest DAC, ha estat la referència de tensió (*REF3020*), que s'ha escollit externa i amb valor de 2 V. La tensió de referència marca la mitat de l'excursió que pot realitzar el DAC. L'esquema del DAC juntament amb la seva tensió de referència es mostren a la Figura 3.15.

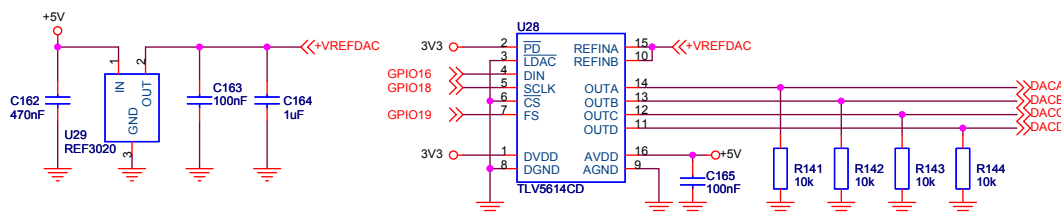


Figura 3.15: Esquema del DAC.



### 3.7.1 Etapa d'Amplificació

En aquesta etapa, el que es fa és amplificar en tensió cadascuna de les sortides del DAC per tal que l'excursió de sortida vagi dels 0 als 10 V en comptes del 0 a 4 V a la sortida del DAC. D'aquesta manera, dues sortides DAC, van directament a la consola 2 i poden atacar directament visualitzadors analògics o digitals. L'esquema d'una de les etapes d'amplificació es mostra a la Figura 3.16. L'esquema complet d'aquesta etapa d'amplificació es mostra en l'Annex C.8.

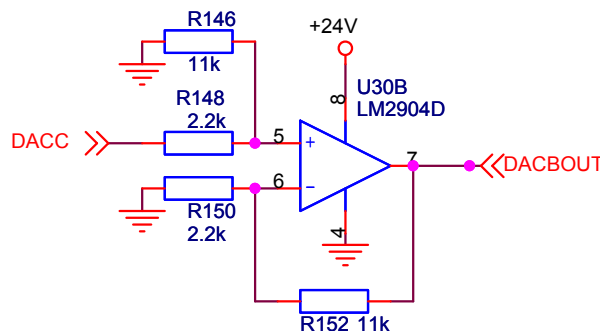


Figura 3.16: Esquema de la Etapa d'Amplificació d'un Canal del DAC.

## 3.8 I2C

En aquest punt es mostraran tots els perifèrics del DSP controlats mitjançant el protocol  $I^2C$  [27]. S'ha triat aquest protocol donada la seva simplicitat física (2 senyals de control) i el gran nombre d'integrats amb múltiples funcions que existeixen. Un dels altres factors que ha determinat la elecció d'aquest protocol, és que els perifèrics que es connecten normalment estan inactius i és només en certs moments que entren en funcionament. Els perifèrics instal·lats que compleixen aquest comportament són la EEPROM que només es llegirà/escriurà en moments puntuals, el RTC que donarà la data en poques ocasions, el sensor de temperatura que pot ser consultat cada varis segons i el número de sèrie que només ho serà al principi. Un altre dels problemes amb el que ens trobàvem, era una manca de GPIOs en el DSP. Per solucionar-ho vam decidir utilitzar un expansor de GPIOs controlat a través de  $I^2C$ .

### 3.8.1 Real Time Clock (RTC)

Aquest perifèric s'han introduït a la Hobbes per tal de realitzar l'històric d'alarmes. Aquest integrat controlat per  $I^2C$ , transmet al DSP la data quan aquest envia una petició. D'aquesta manera sabem any, mes, dia i hora quan ho sol·licitem. Per tal que el RTC funcioni encara quan no hi hagi alimentació, se l'ha dotat d'una alimentació auxiliar mitjançant un *Supercapacitor*. Aquesta alimentació, segons els càlculs realitzats segons 3.4 i 3.5 on en el nostre cas tenim  $V_{BAT2} = 3.3$ ,  $V_{BAT1} = 1.8$  i  $I_{LKG} = 10nA$  juntament amb els components seleccionats, permet que el funcionament del integrat s'allargui fins a 2 mesos sense alimentar la placa. L'esquema del RTC es mostra a la Figura 3.17.

$$I_{BATAVG} = 5 \cdot 10^{-8} \cdot (V_{BAT2} + V_{BAT1}) + 1.03 \cdot 10^{-8} A \quad (3.4)$$



$$T_{BACKUP} = \frac{C_{BAT} \cdot (V_{BAT2} - V_{BAT1})}{I_{BATAVG} + I_{LKG}} \quad (3.5)$$

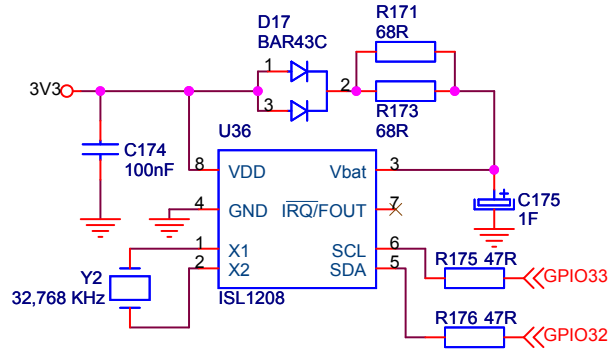


Figura 3.17: Esquema del RTC.

### 3.8.2 Sensor Temperatura

Per tal de monitoritzar la temperatura ambient a la que es trobarà el nostre circuit, s'ha optat per un sensor digital de temperatura controlat per  $I^2C$ . D'aquesta manera ens estalviem l'acondicionament de senyal d'un sensor analògic i la conversió analògic-digital del senyal. El sensor de temperatura té una resolució de 12 bits. L'esquema del sensor de temperatura es mostra en l'Annex C.9.

### 3.8.3 Memòria EEPROM

Una altra de les necessitats que van aparèixer, va ser la necessitat d'afegir una memòria externa al DSP tal i com s'explica en 2. La memòria del *Flash* del DSP no serveix, ja que s'ha d'aturar el DSP per autogravar-se, fet que fa imprescindible afegir aquesta memòria externa. La memòria triada ha estat una EEPROM és de 64 *kbytes* controlada per  $I^2C$ . En la memòria es guardarà informació útil pel servei tècnic: informació del funcionament de l'equip i registre d'alarmes i de cara al client, s'emmagatzemarà informació tipus taula, i parametrització de l'equip. També es podran emmagatzemar totes les dades quan treballem en mode *Datalogger*. L'esquema de la memòria es mostra en l'Annex C.9.

### 3.8.4 Número de Sèrie

Tal com es comentava en 2, existeix la necessitat de que cada placa tingui un número de sèrie per tal de poder dur un control sobre el seu estat i situació i a més per tal de realitzar diversos algoritmes de paral·lelització i comunicació de convertidors. És per aquesta necessitat que s'ha introduït un integrat específic que proporciona un número de sèrie de 64 bits únic per a cada integrat. La comunicació d'aquest integrat amb el DSP, es realitza per  $I^2C$ . L'esquema del número de sèrie es mostra en l'Annex C.9.



### 3.8.5 GPIO Expander

En aquest punt es presenta el mòdul d'entrades-sortides digitals de la placa. S'ha optat de realitzar-ho amb un expansor d'entrades - sortides digitals controlat mitjançant  $I^2C$ , ja que amb les dos senyals pròpies del protocol  $I^2C$  (SDA i SCL) del DSP podem crear 18 entrades-sortides sense la necessitat d'utilitzar 18 pins de propòsit general (GPIO) del DSP. D'aquesta manera, no utilitzem GPIOs del DSP que poden ser utilitzades per altres funcions, ja que totes les GPIOs del DSP tenen les funcions multiplexades i per tant, si les utilitzem, perdem perifèrics. Totes les entrades sortides s'han dissenyat per una tensió de 24 V. L'esquema es pot veure a la Figura 3.18.

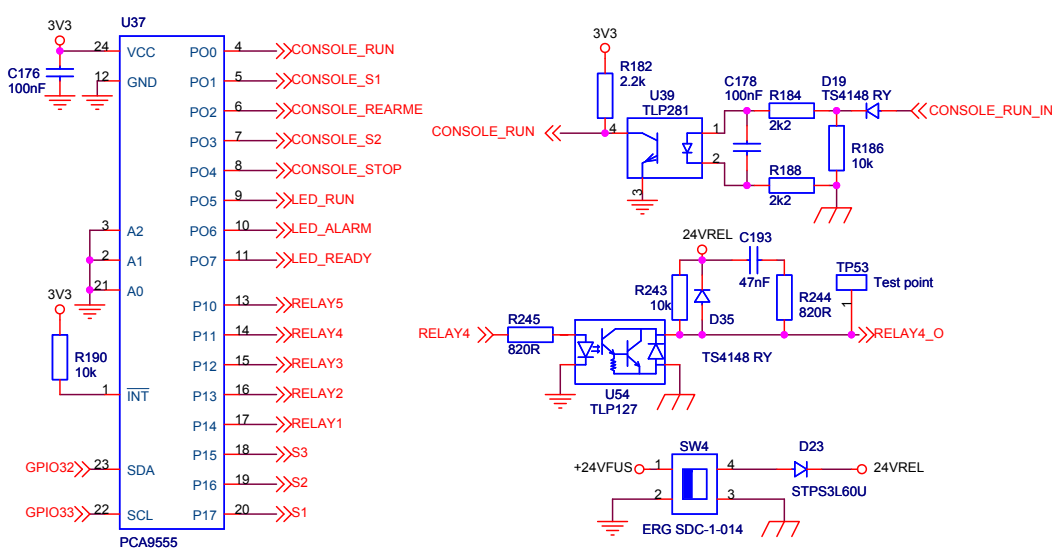


Figura 3.18: Esquema del Expansor de GPIOs.

#### Entrades

Segons les especificacions, en la placa de control existiran 7 entrades digitals, de les quals, 5 passaran pel GPIO Expander i les altres dues aniran directament al DSP. Les dues que van directament al DSP són la parada d'emergència (EMER STOP IN) i el senyal d'estat (SATE IN), utilitzada per la posta en marxa dels equips. Les altres entrades són les que s'utilitzaran per la consola de control quan aquesta estigui instal·lada o per entrades digitals quan aquesta no ho estigui (CONSOLE RUN IN, CONSOLE S1 IN, CONSOLE REARM IN, CONSOLE S2 IN i CONSOLE STOP IN) C.10. El disseny d'aquestes entrades ha estat el mateix i es basa en la utilització d'un optoacoblador per tal de realitzar una adaptació dels nivells de tensió i de dotar a les entrades digitals d'aïllament. D'altra banda s'han protegit les entrades contra inversió de polaritat i s'ha col·locat LED's per tal de visualitzar l'estat de cadascuna de les entrades. L'esquema d'una d'aquestes entrades es mostra en la Figura 3.18. L'esquema complet d'aquestes entrades es mostra en l'Annex C.10.

#### Sortides

Les sortides digitals en aquesta placa són 11 i són de propòsit general. Poden ser utilitzades per dirigir directament relés, LED's o com a sortides digitals comuns. Tres de les sortides també s'utilitzaran per la confecció de la consola, específicament per comandar LED's (LED



ALARM,LED READY i LED RUN O). Per tal de poder comandar relés, el disseny de les sortides es basa en optoacobladors amb sortida Darlington (per augmentar el guany en corrent) i amb la introducció d'un díode de recirculació per la bobina del relé i un *Snubber* per la mateixa. Amb aquesta configuració només falta introduir una resistència de *Pull-Up* per poder utilitzar-les com a sortides digitals. Igual que amb les entrades, s'ha disposat d'un LED per a cada una de les sortides per poder visualitzar ràpidament el seu estat. L'esquema d'una sortida en mostra en la figura 3.18. Cal comentar que tal com havíem dit, les sortides digitals es poden alimentar des de la *Hobbes* mitjançant el SW2. També s'ha inclòs protecció contra polaritat inversa Mitjançant D23. L'esquema complet d'aquestes sortides es mostra en l'Annex C.11.

### 3.9 Encoder

Si volem fer control de motors, en molts casos, es farà necessària la presència d'un *Encoder*. Els senyals d'aquest *Encoder* s'hauran de traduir als nivells de tensió i al tipus (no diferencial), aptes pel DSP. Per a fer-ho s'ha muntat un quàdruple *Driver* diferencial, el *AM26LV32*. A la placa s'ha instal·lat un connector específic pels senyals d'entrada del *Encoder* i per alimentar-lo des de la *Hobbes*. El circuit es mostra a la Figura 3.19

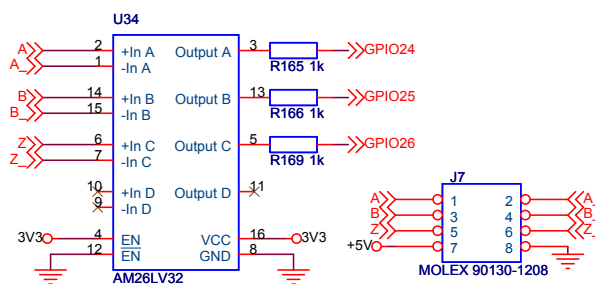


Figura 3.19: Esquema del *Encoder*.

### 3.10 PWM i Alarmes

El disseny dels PWM i de les alarmes ve determinat especialment per la necessitat que puguin comandar fibra òptica i que funcionin tant amb lògica 0 - 5 V o amb lògica 0 - 15 V, per tal de poder complir amb els nivells de tensió necessaris que tenen els diversos fabricants de *drivers*, com per exemple *Semikron* o *Concept*.

Donada la limitació de pins amb la que ens hem trobat, només hem utilitzat 8 sortides PWM de les 12 que posseeix el DSP i dues entrades d'error *Hardware* del DSP denominades *TZ Trip Zone* B.1.

El circuit que proposa el fabricant de la fibra òptica utilitzada, la mateixa que la utilitzada en la sincronització 3.2, es basa en la utilització d'una porta lògica de potència de la família SN7545X. Per temes de consum, ja que aquestes portes tenen un consum estàtic molt elevat, es va decidir realitzar tota aquesta circuiteria de control de forma discreta. El circuit implementat per cada canal és el que es mostra en la figura 3.20.

L'inversor s'introdueix després de les sortides de DSP per tal que la lògica resultant sigui no negada. La sortida d'aquest inversor, ataca a un MOSFET que serà el que farà conduir o no l'emissor de fibra òptica. L'alimentació +VPWM es pot seleccionar a 5 V o a 15 V soldant degudament la secció d'alimentacions de la placa 3.3.3. El disseny d'aquesta circuiteria està



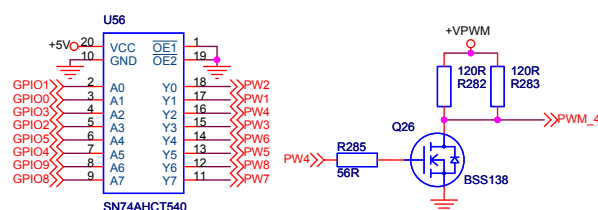


Figura 3.20: Esquema d'un Canal PWM.

pensat per que en el cas que la fibra òptica es parteixi o bé es desconnectin, els *Drivers* del convertidor parin. Depenent si el convertidor es una font de corrent o de tensió podem variar la lògica del sistema mitjançant el canvi del inversor per un circuit no inversor. L'esquema general es mostra en l'Annex C.12.

Pel que fa a les entrades d'error, igual que amb el cas anterior, s'han dissenyat per poder funcionar tant amb fibra òptica com amb *Drivers* comercials. L'esquema d'aquestes entrades es mostra a la Figura 3.21.

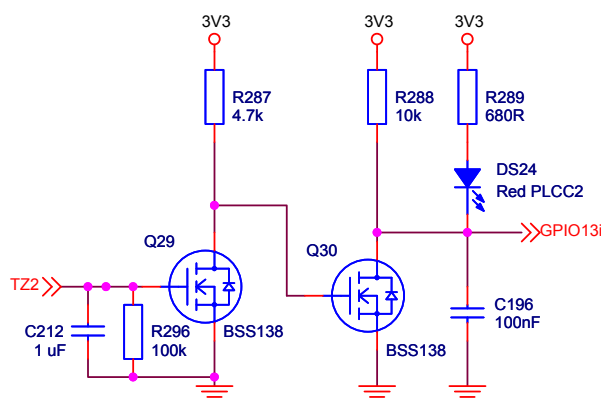


Figura 3.21: Esquema de les Entrades d'Error.

Igual que en el cas anterior, s'utilitzen dos MOSFET's per tal d'adaptar la lògica d'entrada amb la lògica del DSP. Les entrades d'error es visualitzen mitjançant un diode LED. El disseny d'aquesta circuiteria també, com en el cas anterior, està pensat per que en el cas que la fibra òptica es parteixi o bé es desconnecti o hi hagi qualsevol problema amb el senyal provinent del *Drivers*, el convertidor pari. L'esquema general es mostra en l'Annex C.12.

### 3.11 USB JTAG

El element encarregat d'intercomunicar el DSP i el PC és un emulador JTAG [28]. La interfície que s'utilitza des del PC per a realitzar totes les accions necessàries sobre el DSP, és el programa Code Composer Studio versió 3.3 de Texas Instruments. Aquest emulador JTAG permet visualitzar i realitzar canvis sobre qualsevol variable dins del DSP, tot això en temps real. Igualment permet la gravació del programa a la memòria Flash del DSP. Totes aquestes qualitats són d'una gran ajuda, ja que permeten la depuració de programes de manera ràpida i eficient. El problema, és que aquest emuladors tenen un cost molt elevat i sobre tot si aquests són aïllats (1000 - 1500 €).





Per solucionar els problemes de dependència que teníem amb els JTAG's externs, vam decidir realitzar el disseny d'un JTAG integrat a la placa amb connexió USB. La base d'aquest disseny es basa en un controlador USB to serial UART, el FT2232D de FTDI CHIP, capaç de treballar de USB a JTAG, I2C o SPI. Per tal de començar el disseny, un cop ja sabíem el funcionament del protocol, vam seguir les notes de disseny que ens proporcionava el fabricant del controlador, juntament amb les recomanacions i notes de disseny de Texas Instruments. Igualment, utilitzant les àmplies possibilitats del controlador, també s'ha implementat una connexió USB RS232 amb el DSP.

Amb tot això el disseny del JTAG es presenta a l'Annex C.13. El fabricant del controlador, ens proporciona tant els *Drivers* com els programes de gravació necessaris pel funcionament del JTAG. A part el programa Code Composer Studio versió 3.3 i posteriors de Texas Instruments també suporta aquest JTAG (XDS100). Val a dir que a la placa també s'ha incorporat un connector JTAG, per si l'aplicació necessita d'un JTAG aïllat o per si simplement no es solda el JTAG que porta la placa.

## 3.12 Connectors

Els connectors d'una placa com aquesta, encara que sembli difícil, són un dels components més difícils d'escollir i al mateix temps més costosos. Donada la gran densitat de components de la placa, es va veure la necessitat d'utilitzar connectors d'elevada densitat i d'un pas reduït. Els requeriments alhora d'utilitzar aquestes plaques de control en equips industrials, ens ha fet pensar en la seguretat de la connexió en tot moment. D'aquesta manera tot el connexionat de la *Hobbes* s'ha realitzat amb connectors de seguretat, tant sigui amb connectors IDC (*Flat Cable*) o bé amb connectors amb unió roscada. A més a més, el cost de la placa també ha sigut un punt a tenir en compte, ja que la placa es pot muntar amb diversos tipus de connectors segons les necessitats, ja que comparteixen *Footprint*. D'aquest mode, si la placa és per realitzar prototipus no fa falta utilitzar connectors de seguretat, mentre que si la placa és per ser instal·lada en un equip, sí. L'esquema del connexionat de connectors apareix en l'Annex C.14.

## 3.13 Layout

En el disseny *Layout*, finalment per temes d'espai es va optar per realitzar una PCB de 4 capes i utilitzar quan fos possible components 0603. El programa per realitzar el disseny ha estat ORCAD. A partir d'aquí, els punts més importants que es van tenir en compte, van ser mantenir els components digitals separats dels analògics, situar les fonts d'alimentació lluny de les línies sensibles a soroll (senyals analògiques d'entrada, tensions de referència, etcètera), prendre especial interès al disseny dels plans de massa analògic (AGND) i digital (DGND), mantenir les línies corresponents als senyals analògics d'entrada simètriques i el més curtes possibles i realitzar un bon desacoblament de les alimentacions. Les 4 capes de les que està format el circuit han permès realitzar un pla de massa bastant sòlid en una de les capes internes de la placa, on s'ha optat per una massa digital i una massa analògica, unides just per sota del ADC del DSP. Aquesta és la tècnica que rutejat que recomana el fabricant del DSP per tal d'extreure el màxim rendiment al ADC. En la Figura E.2(c), podem veure el *Layout* d'aquesta capa. En l'altra capa interna del DSP, es va optar per traçar el màxim nombre de pistes portadores de senyal que es pogués, ja que juntament amb la capa inferior de la placa *Bottom*, amb un pla de massa considerable, es realitza un apantallament dels senyals. A part de senyal, algunes alimentacions també s'han traçat per



aquesta capa, aquelles que no no conduïen gaire corrent. El *Layout* d'aquesta capa es pot veure en E.2(b). Pel que fa a la cara superior de la placa *TOP*, s'han traçat la majoria de les alimentacions per temes de dissipació tèrmica de les pistes i també un gran nombre de pistes de senyal en aquest cas considerablement menys conflictives. El *Layout* d'aquesta capa es pot veure en la Figura E.1. Pel que fa a la cara inferior, tal com apuntàvem, hem traçat alimentacions, algunes pistes de senyal i un generós pla de massa, que es mostra en la Figura E.2(a) en l'Annex. La disposició dels components també ha estat un fet important, ja que gràcies a una optimització en la col·locació, ha permès simplificar el traçat de les pistes i que la placa es pogués rutejar en un àrea de 220x100 on hi han 892 components. L'altre punt realment important d'aquesta placa, és la part del ADC. En aquest part s'ha tingut molta cura alhora de traçar les pistes, col·locar els components, tan els de desacoblament de la alimentació, com els components dels llaços de realimentació de la etapa d'acondicionament. D'aquesta manera s'ha intentat reduir al màxim qualsevol llaç indesitjat de corrent i reduir al màxim la longitud de les pistes, mantenint en la mesura el possible la màxima simetria possible en el rutejat. Una altra característica important del disseny *Layout*, és que la placa ha estat dissenyada per poder ser introduïda en un extrusionat de carril DIN i així poder ser instal·lada d'una manera més còmode i segura en els equips.



## Capítol 4

# Disseny del Sistema ADC

En aquest capítol, es presenta el disseny del sistema de conversió analògic - digital de 24 bits, que s'ha dissenyat per tal de realitzar projectes amb equips d'alta resolució, com per exemple fonts d'imants per sincrotrons, on l'alta resolució i les altes prestacions, fan necessària una etapa com aquesta 2.2. Tal com hem vist en 2.1.3, aquesta placa estarà basada en el ús de sondes de corrent o tensió basades en la tecnologia *Fluxgate* [29] de LEM o bé en mesures de tensió sense aïllar. Aquesta placa ha estat pensada per anar connectada amb la *Hobbes* i a més també ha estat pensada per poder ampliar la etapa d'adquisició de 2 a 4 canals, mitjançant la connexió d'un altre placa ADC de 24 bits. Aquesta ampliació ve motivada per la necessitat de realitzar mesures de corrent i de tensió tant a la entrada com a la sortida de convertidor, per tal de realitzar controls més precisos sobre el convertidor i així assolir les precisions requerides. A continuació presentarem els blocs del disseny del ADC de 24 bits. Els esquemes del ADC es presenten en l'Annex D. En la Figura 4.3 es mostra l'esquema de blocs de la placa dissenyada. Aquesta placa consta de varies etapes ben diferenciades. La primera d'elles és la de les alimentacions, les quals s'han separat en dos grans blocs; les analògiques encarregades d'alimentar la etapa d'acondicionament i la part analògica del AD7764 i les digitals encarregades d'alimentar la part digital del AD7764, el oscil·lador i els *Level Shifters*, tal com també hem fet en la *Hobbes*. L'altra etapa és la d'acondicionament del senyal, etapa en la que es filtra i s'adapta al senyal d'entrada en guany i tipologia per tal de ser introduïda al ADC. El ADC i les seves connexions és un altre de les etapes existents i finalment tindriem les connexions digitals i la generació del rellotge.

### 4.1 Conversor A/D

Per assolir les precisions necessàries per aquest tipus de fonts, hem d'utilitzar convertidors Analògics-Digitals (A/D) de 24 bits alhora de mesurar les variables de control del convertidor. En el mercat hi ha gran varietat de convertidors A/D [30], però els únics que arriben a aquestes resolucions són els  $\Sigma$ - $\Delta$  [31] i [32]. A més a més necessitem un convertidor A/D ràpid ja que hauré de controlar convertidors amb freqüències de commutació de fins a  $20kHz$  i per fer-ho s'hauran de complir amb tots el teoremes sobre mostreig digital [33]. Finalment el model escollit va ser el AD7764 d'Analog Devices ja que va ser l'únic que complia tant amb resolució i temps de conversió en un encapsulat reduït. A més a més, també presenta dues característiques de gran interès pel nostre disseny, incorpora un amplificador *Fully Differential* per atacar l'entrada del A/D pròpiament dita, i un *Buffer* per la referència de tensió. D'aquesta manera, el fabricant, referint-se a uns paràmetres de disseny utilitzant aquests components, assegura els nivells de precisió imprescindibles per la nostra aplicació.



D'aquesta manera evitem el disseny d'una referència de tensió externa amb *Buffer* que en la majoria dels casos l'únic que faria seria degradar les característiques del ADC i a més ocupar més PCB. De la mateixa manera passa amb l'amplificador *Fully Differential*. També podem triar el promitjat que realitzen els filtres del ADC (x256, x128 i x64) via *Hardware* i el rang d'entrada mitjançant registres de control (*Software*). Les característiques més importants d'aquest convertidor es poden trobar en [34] i l'explicació de cadascun dels valors es pot trobar en [35] i en [36]. En la Figura 4.1 es pot veure un esquema de blocs del nostre ADC.

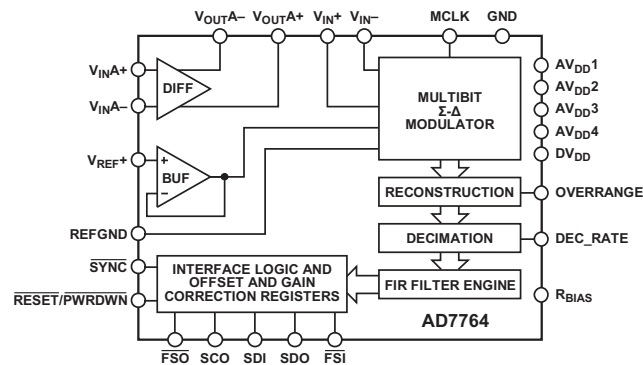


Figura 4.1: Esquema de blocs del AD7764. Com es pot observar, el AD7764, incorpora un amplificador *Fully Differential* i un *Buffer* per a la referència de tensió externa. A part d'això, tota la circuiteria digital del propi convertidor  $\Sigma$ - $\Delta$  i la gestió de les comunicacions a través de SPI.

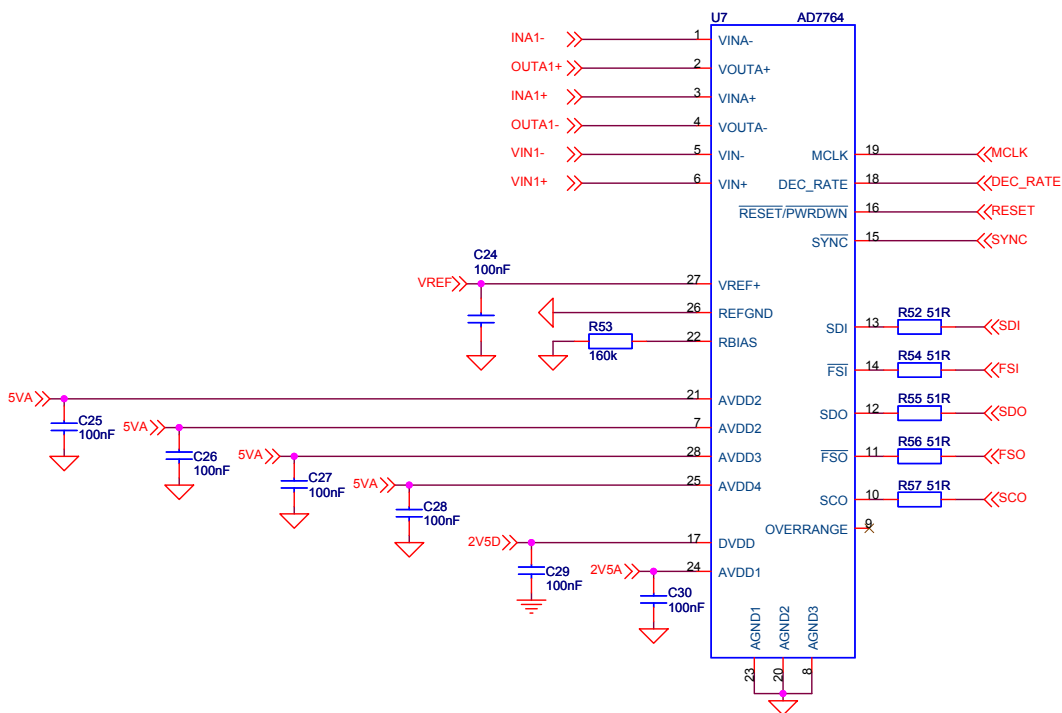


Figura 4.2: Esquema de Connexió del AD7764. En l'esquema s'observen les connexions bàsiques per al funcionament del convertidor analògic-digital utilitzat.



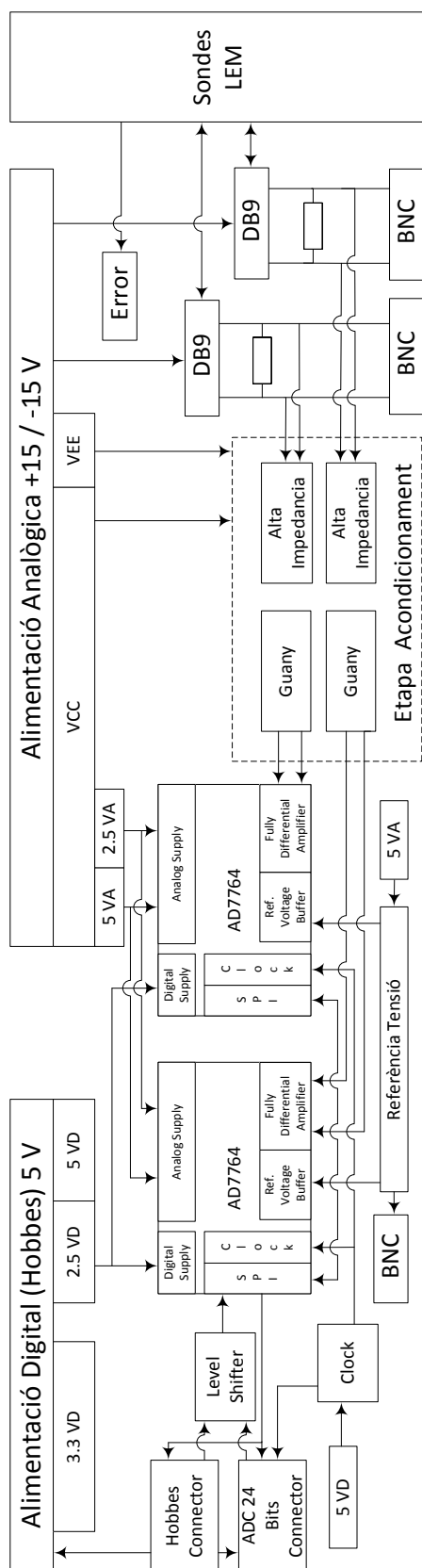


Figura 4.3: Esquema de Blocs del ADC de 24 Bits.



## 4.2 Acondicionament del Senyal

El rang d'entrada del nostre ADC es de  $\pm 3.2768 V$  en mode *Fully Differential*. Això fa que necessitem una etapa encarregada del acondicionament del senyal tant en rang com en qualitat. Hem de tenir en compte que els senyals provinents tant de les sondes de corrent com les de tensió, no estaran ajustades al rang d'entrada del ADC i no seran del mateix tipus. Seguidament es presenta el disseny d'aquesta etapa, considerant els que han sigut els punts més importants.

### 4.2.1 Sonda de Corrent, de Tensió i Resistència de Caiguda

La sonda de corrent amb la que treballarem és tracta d'una sonda de corrent aïllada de precisió, realitzada amb tecnologia *Fluxgate* de LEM, la ULTRASTAB IT60. Aquesta sonda pot mesurar en rangs compresos entre els  $\pm 60 A$  amb una banda passant superior als  $800 kHz$ . La sortida de la sonda és un connector DB9, on es troben les alimentacions de la sonda, els senyals de mesura i les proteccions de la mateixa. Hem de tenir en compte, que la sortida d'aquesta sonda és en corrent, i el fabricant limita el valor Òhmic de la resistència de caiguda. En el nostre cas aquest valor es de  $1 \Omega$  i la corrent màxima de sortida, és de  $\pm 100 mA$ . Hem de tenir en compte, que la resistència de caiguda ha de ser una resistència de precisió amb molt baixes derives. Finalment la resistència de caiguda escollida ha estat una de la sèrie *S Series* de *Vishay* les quals son: *High Precision Foil Resistor* amb un coeficient de temperatura (*TCR*) de  $\pm 2.0 ppm/^{\circ}C$ , una tolerància de  $\pm 0.005 \%$  i una estabilitat de vida en càrrega de  $\pm 0.005\%$ . Amb aquesta resistència i sonda tindrem una caiguda de  $\pm 1 V$ . També hem de tenir en compte un marge d'entrada més gran, fins a un màxim de  $\pm 10 V$ . Les característiques més importants d'aquesta sonda es mostren en la Taula 4.1 i a la Figura 4.4 es mostra la sonda. Per a mesures de tensió, normalment és mesurarà directament la tensió a través d'un divisor de resistències de precisió (les mateixes que les de caiguda) o bé amb sondes de tensió aïllades realitzades amb la mateixa tecnologia anterior. El problema d'aquestes sondes de tensió es que la precisió que tenen no arriba a la de les de corrent. Normalment per al control d'un convertidor, es mesurarà la tensió d'entrada i el corrent d'entrada amb sondes *Fluxgate* i a la sortida es mesurarà la corrent amb aquestes sondes, mentres que la tensió, es mesurarà amb divisors resistius de precisió. Aquesta serà la única manera d'assolir les precisions necessàries.



Figura 4.4: Sonda de Corrent ULTRASTAB IT60.



Especificacions ULTRASTAB IT60		
Parametre	Valor	Unitats
Tensió Alimentació	+/- 15	V
Corrent Primari	+/- 60	A
Corrent Secundari	+/- 100	mA
Resistència de Caiguda	0-20	$\Omega$
Error Linealitat	25	ppm
Coefficient Temperatura	<2.5	ppm/ $^{\circ}C$
Ample de Banda	>800	kHz
Soroll Sortida (0-50 kHz)	<30	$\mu V_{pp}$

Taula 4.1: Especificacions ULTRASTAB IT60.

### 4.2.2 Estructura

L'estructura de la etapa d'acondicionament del senyal que precedeix el AD7764, ve determinada per dos factors: l'amplificador *Fully Differential* del AD7764 i la mesura de corrent i tensió. Sobre la primera limitació, és que en fa falta realitzar una etapa d'acondicionament on la sortida sigui *Fully Differential* i a més amb el guany necessari per aprofitar tot el rang d'entrada al ADC que és de es de +/-3.2768 V. La segona limitació, es que per aconseguir les resolucions i precisions de les que estem parlant, necessitem d'una etapa d'alta impedància d'entrada per tal de no pertorbar la mesura amb efectes de càrrega. Aquests dos factors han sigut els que han guiat en tot moment el disseny d'aquesta etapa i que a continuació mostrem.

#### Els Operacionals

Els operacionals triats per realitzar aquesta etapa, son els OP2277 de Texas Instruments o els OP2177 d'Analog Devices. El OP2277 és un equivalent del OP2177 que és l'amplificador que recomana Analog Devices alhora de realitzar etapes d'acondicionament del senyal utilitzant el AD7764. Aquest operacionals presenten unes característiques dinàmiques i estàtiques que es presenten en la Taula 4.2 i que han intentat seguir les recomanacions extremes de [37] i [21]. Aquestes recomanacions, van des de la tensió de *Offset* de sortida fins la deriva d'aquesta amb la temperatura, la banda passant, el *Slew-Rate*, la corrent de *Bias*, etcètera.

Especificacions OP2277 - OP2177		
Parametre	Valor	Unitats
Tensió Alimentació	4 - 36	V
Corrent de Polarització $I_q$ per Canal	0.825	mA
GBW	1	MHz
<i>Slew Rate</i>	0.8	V/ $\mu s$
Tensió de Offset a la Sortida	0.025	mV
<i>Offset Drift</i>	0.1	$\mu V/^{\circ}C$
Corrent de <i>Bias</i>	1	nA
Soroll	8	$nV/\sqrt{Hz}$

Taula 4.2: Especificacions OP2277.



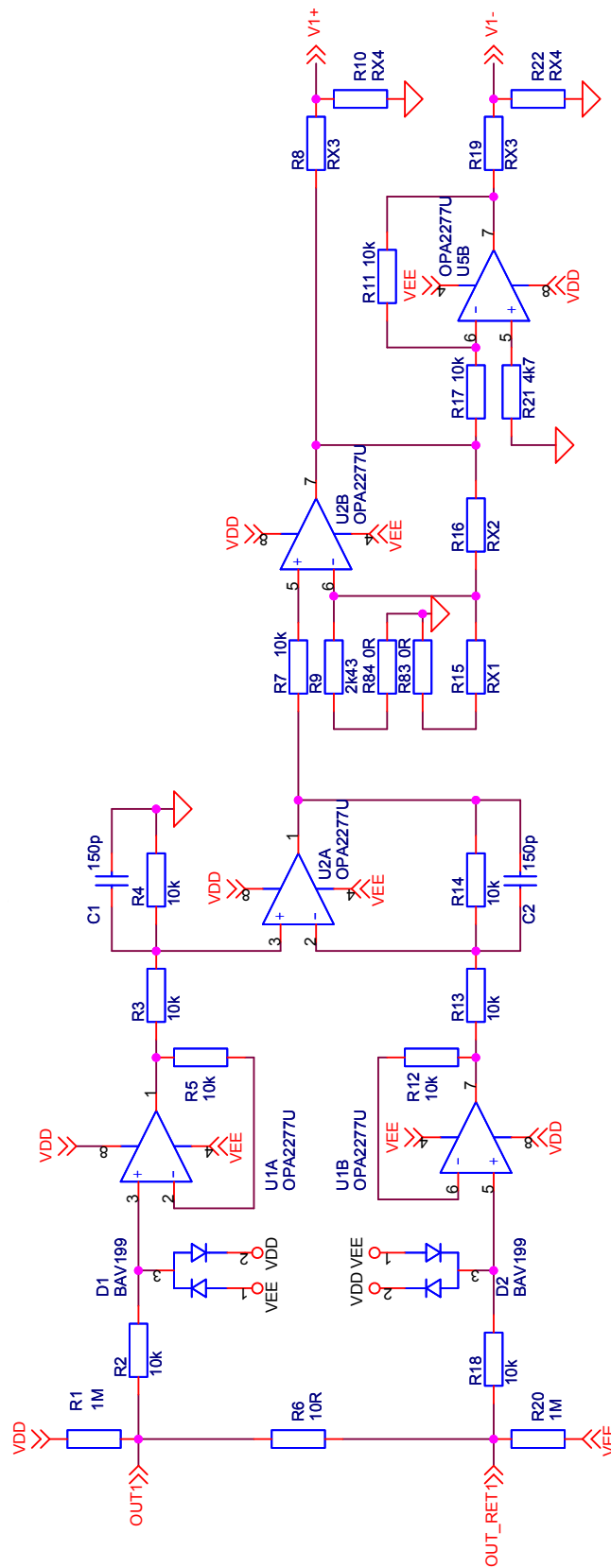


Figura 4.5: Etapa d'Acodicionament.





### Impedància d'Entrada

Tal com s'ha comentat, és totalment necessària la utilització d'una etapa d'entrada amb alta impedància alhora de realitzar la etapa d'acondicionament per evitar qualsevol pertorbació o influència de la etapa d'acondicionament al senyal de mesura. Per realitzar-la, s'ha optat per construir un amplificador d'instrumentació de 3 operacionals amb guany unitari i implementant un filtre passa baixes amb una freqüència de tall de 100 kHz. S'ha triat guany unitari, ja que necessitem un CMRR elevat i donant guany a l'etapa aquest CMRR es veuria degradat. A més donar guany en aquesta etapa igualment no soluciona res, ja que igualment ha d'existir una etapa posterior per tal de transformar el senyal *Single Ended* a la sortida d'aquest amplificador d'instrumentació a un senyal *Fully Differential*. A més s'han afegit proteccions contra sobretensions d'entrada. Totes les resistències utilitzades en aquesta etapa son resistències del 0.1 % i +/- 5.0 ppm/°C. Els condensadors son NP0/CG0. L'esquema d'aquesta etapa es mostra en la Figura 4.5 juntament amb la etapa de selecció de guany. La primera etapa és fins la sortida de U2A. L'esquema complet d'aquesta etapa es mostra en L'Annex D.1.

### Selecció del Guany

Després del amplificador d'instrumentació tenim un senyal *Single Ended* i amb guany unitari, el qual hem de transformar a un senyal diferencial i amb guany variable. Per fer-ho, s'ha optat per la estructura que es veu a la Figura 4.5. Es pot veure com existeix un primera etapa no inversora amb guany seleccionable, format per U2B i una segona etapa formada per U5B la qual inverteix el senyal de sortida de U2B. D'aquesta manera, hem aconseguit un senyal diferencial entre V1+ i V1-. Segons el rang d'entrada i les característiques amb les que treballem amb el AD7764, les resistències que apareixen com *R<sub>Xx</sub>*, ajustaran el guany i s'hauran de triar segons l'aplicació.

### Amplificador *Fully Differential*

L'amplificador *Fully Differential* incorporat dins del AD7764, tal com especifica el fabricant, s'ha de configurar amb uns llaços de realimentació determinats. Analog Devices, proposa uns valors òptims i mínims/màxims per aquest components, els qual apareixen a la taula 4.3, i són els únics amb els que el fabricant especifica les característiques de l'integrat. L'esquema de l'estructura es pot veure en la Figura 4.6. Inicialment, es treballarà amb els valors òptims, encara que depenent de l'aplicació, podem variar aquest valors. Un anàlisi d'aquest tipus d'estructures es presenta en [38].

Components <i>Fully Differential</i>		
Parametre	Valor	Unitats
$R_{In}$	4.75	kΩ
$R_{FB}$	3.01	kΩ
$R_M$	43	Ω
$C_S$	8.2	pF
$C_{FB}$	47	pF
$C_M$	33	pF

Taula 4.3: Components Amplificador *Fully Differential*.



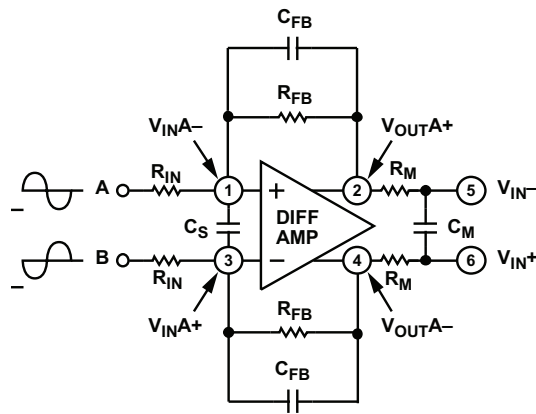


Figura 4.6: Etapa *Fully Differential*.

### 4.3 Referència de Tensió

Un sistema ADC serà tan precís com ho sigui la referència de tensió utilitzada [39], [40] i [41]. Un convertor A/D mesura el senyal d'entrada comparant-lo amb aquesta referència. L'equació següent 4.1, mostra la funció de transferència ideal per a un ADC.

$$Codi = \frac{V_{in}}{V_{ref}} \cdot 2^n \quad (4.1)$$

De l'equació, es dedueix que si la referència del ADC és sorollosa, o té derives o es imprecisa, també ho serà la mesura. La forma més senzilla de reduir el soroll de la tensió de referència és mitjançant el filtrat. El millor camí per fer front a la deriva en temperatura de la referència, és utilitzant un sensor de temperatura i compensació per *Software*. Per compensar l'error inicial de la referència, fa que s'hagi de calibrar el sistema per *Software* cada vegada que es vulguin realitzar mesures.

Tal i com hem comentat en 4.1, el AD7764 integra un *Buffer* per la referència de tensió. D'aquesta manera el fabricant assegura el valor de catàleg per unes referències concretes amb un valor de 4.096 V. D'aquesta manera hem triat per nostre disseny la referència de tensió ADR444 d'Analog Devices la qual presenta una tensió de 4.096 V amb +/- 1.6 mV (+/- 0.04 %) de deriva inicial màxima, 3 ppm/°C i un soroll de 1.3 μV en la banda del 0.1 Hz i els 10 Hz. A més a més s'ha afegit un filtre passa-baixos a la sortida de la referència de tensió per tal d'eliminar encara més soroll. L'esquema del circuit es mostra en la Figura 4.7.

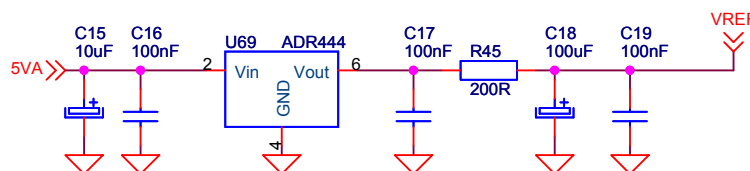


Figura 4.7: Esquema la Referència de Tensió ADR444.



## 4.4 Senyal de Rellotge i *Jitter*

El disseny del rellotge tal i com especifica el fabricant, ha de ser un senyal de 40 MHz amb lògica 0 - 5 V. Un dels aspectes més importants que hem de tenir en compte, és que qualsevol tipus d'imperfeció en la sincronització del senyal de rellotge (*Jitter*) provocarà un mostreig erroni de la entrada analògica, disminuint la resolució efectiva del convertidor. És per tant, molt important utilitzar un senyal de baix *Jitter* i evitar aquells factors que el poden ocasionar o augmentar. Un estudi molt interessant d'aquest fenomen apareix en [42].

## 4.5 Font d'Alimentació

Per tal de reduir al màxim el soroll provinent de les fonts d'alimentació del circuit, es va optar per realitzar totes les alimentacions del circuit amb reguladors lineals a partir d'una tensió d'entrada de +/- 15 V. L'esquema de les alimentacions del circuit es mostra en l'Annex D.4. La alimentació s'ha dividit en dues parts ben diferenciades: la analògica i la digital. Pel que fa a les alimentacions analògiques totes s'han implementat amb reguladors amb molt baix soroll de sortida (de Linear Technology) i provistos de filtres LC tant a l'entrada com a la sortida. Aquestes alimentacions son 2.5 V i 5 V per la part analògica del AD7764 i +/- 13 V per l'alimentació dels operacionals. La alimentació de la part digital prové de la *Hobbes* i està formada per 5 V pel oscil·lador, 2.5 V per la part digital del AD7764 i 3.3 V pels *Level Shifters*. Hem de tenir en compte que qualsevol soroll en les línies d'alimentació es pot acoblar a les línies de senyal a través de les capacitats paràsites i ser amplificada per la circuiteria activa. Aquests senyals no desitjats poden degradar el rendiment del dispositiu. És per això que es fa realment important el desacoblament tant a alta com a baixa freqüència de tots els dispositius de la placa i a més fer-ho amb tècniques de rutejat adequades.

## 4.6 Comunicacions i Configuració del ADC

Com hem dit, la placa ADC consta de 2 AD7764 connectats en configuració *Daisy Chaining* tal i com es mostra en la Figura 4.8. Com hem comentat el sistema es pot ampliar a 4 canals mantenint aquesta configuració de connexió. Amb aquesta configuració podem llegir 4 senyals únicament amb un canal SPI. El protocol de comunicació que implementen els AD7764 com hem dit és el SPI i s'utilitzen els 4 senyals propis d'aquesta comunicació més uns senyals particulars d'aquest ADC. En la *Hobbes* s'han deixat els pins necessaris per poder implementar les comunicacions amb el ADC de 24 Bits. Un altre de les característiques importants d'aquest ADC és que podem configurar-lo mitjançant la escriptura d'un registre de configuració que posseeix. Igualment quan nosaltres llegim la dada també s'envien en la mateixa trama, informació sobre l'estat de configuració del AD7764.

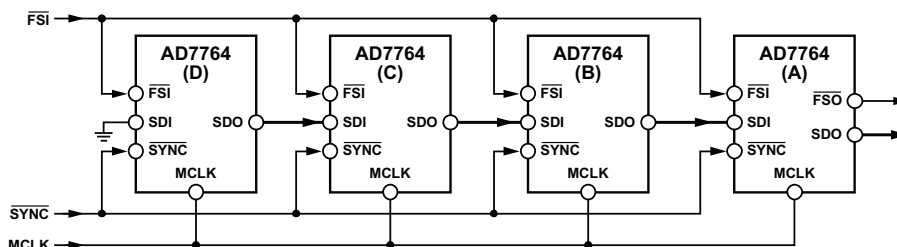


Figura 4.8: Esquema de la Connexió *Daisy Chaining*.



## 4.7 Consideracions en el Disseny Layout

Finalment aquesta placa s'ha dissenyat per ser instal·lada sobre de la *Hobbes*, o sigui que mecànicament s'ha tingut en compte les mesures físiques de la *Hobbes* i els elements mecànics i connector de connexió. Finalment la placa del ADC de 24 bits ha tingut una mida de 64x100 i s'ha realitzat amb tecnologia de 4 capes. En l'Annex F.2(a), F.2(b), F.3(a) i F.3(b), es poden veure el dissenys de les 4 capes de les que consta la placa.

Durant el procés de disseny d'aquesta etapa de conversió analògica digital de 24 bits s'han aplicat tots els concepte que també s'han aplicat a la *Hobbes*. Aquestes tècniques van des de mantenir el components digitals separats del analògics, per evitar el màxim l'acoblament i transmissió de perturbacions de la part digital a la analògica. pel que fa a lea alimentacions aquesta separació també s'ha dut a terme i a més a més s'han diposat el més lluny possible de la línies sensible a soroll (senyals analògiques i tensió de referència sobretot). Un altre del punts importants ha sigut el disseny del placa de massa. La tècnica utilitzada ha sigut la mateixa que la que s'ha aplicat a la *Hobbes*, fent una unió de les masses analògica (AGND) i digital (DGND) just per sota dels 2 convertidors analògics digitals que hi han a la placa. A més a més, tal com es pot veure en la Figura F.3(a) de l'Annex, aquest pla de massa s'ha realitzat sense distorsions, és a dir molt sòlid. No permetre que el senyal de rellotge sigui una línia paral·lela a cap altra senyal, per així evitar les interferències entre elles. Si el senyal de rellotge creua altres línies situades en diferents plans de la PCB ha de fer-ho perpendicularment, de manera que s'eviti al màxim les possibles interferències entre elles. Blindar les línies portadores del senyal de rellotge i sempre utilitzar plànols de terra per sota de la mateixa. Mantenir les línies portadores del senyal de rellotge el més curtes. possibles. La simetria de les pistes de les entrades analògiques s'han intentat mantenir en tot moment de la mateixa manera que s'ha intentat reduir al màxim la longitud de les mateixes, Per això hem col·locat components SMD 0603 a dos cares, per tal de facilitar i optimitzar el rutejat. Un dels altres punts importants, ha estat el desacoblament de les alimentacions i la distribució de les mateixes. el condensadors de desacoblament s'ha situat sempre a prop dels components a desacoblar i sempre amb un retorn de baixa impedància. Si aquest 'ha pogut ser directe ha sigut la primera opció, i s'hi s'han tingut que utilitzar caps internes, s'han realitzat les connexions entre capes amb nombroses vies per tal de reduir la impedància resultant de la connexió, sempre reduint la inductància paràsita que introdueixen les vies.



## Capítol 5

# Software

En aquest capítol es presenta la proposta d'estandardització del *Software* utilitzat alhora de realitzar tots els projectes amb la *Hobbes*. Aquest estàndard, ha estat realitzat conjuntament amb tot l'equip de *Software* del CITCEA-UPC i Cinergia. Per fer-l'ho, s'han tingut en compte tots els perifèrics i opcions de configuració que té la *Hobbes* i conjuntament amb les necessitats que han sorgit durant la realització del projectes. El que s'ha intentat en aquest document, és definir les especificacions del programa de control únic. Amb aquest llistat d'intencions, es podrà començar a treballar en el desenvolupament del *Software*. A continuació es presenta aquesta solució.

### 5.1 Especificacions

A continuació es mostren les especificacions que ha de tenir la placa de control i els punts que s'han definit.

- S'ha definit la placa de control (*Hobbes*) que integra el DSP TMS320F2809 i els perifèrics que incorpora ( ADC, PWM ( 7PWMs + RESET + TZ ), GPIO, I2C, DAC, RS485, CAN, SPI, ...)
- El programa anirà en FLASH per defecte.
- Hi ha 6 taules que aniran dins de la EEPROM. La EEPROM és de 64 *kbytes*. Aquesta informació serà útil pel servei tècnic: informació del funcionament de l'equip i registre d'alarmes, taula de *Password* i de cara al client, emmagatzemar informació tipus taula i parametrització de l'equip.
- Es crearan 7 taules diferents dins del DSP: taula de màquina, taula d'alarmes, taula d'entrades/sortides, taula *Datalog*, taula de paràmetres, taula variables i taula *Password*.
- Execució del programa de control. El programa de control, un cop tancat el *Software* tindrà l'aspecte que es mostra en la Figura 5.1. La primera etapa del diagrama de funcionament és la inicialització del DSP i dels diferents perifèrics (calibració del



ADC de 12 bits). Habilitar la comunicació  $I^2C$ , per llegir el número de sèrie del xip i comparar-lo amb el número de sèrie guardat a la EEPROM. Si coincideix, vol dir que ja s'ha carregat programa com a mínim una vegada. Un cop arribat aquí demanarà a l'usuari el mode de funcionament de l'equip (Calibratge, Servei tècnic o Normal). És necessari una contrasenya per tal d'accedir a qualsevol mode de funcionament que no sigui el normal. Serà necessari que l'equip hagi passat pel mode de funcionament de calibratge abans de funcionar en qualsevol altre mode. En aquest mode es realitza un calibratge de les sondes de l'equip, el valor ja quedarà guardat en la EEPROM.

- Calibració del ADC: s'ajustarà el que dóna Texas per definició. Només es realitzarà una sola vegada al començar programa.
- Canals ADC: S'inicialitzen canals per defecte al programa estàndard.
- Configuració GPIO: per defecte vindrà amb la configuració dels perifèrics que integri la placa, el funcionament principal.
- Comunicacions: CAN i RS485. S'implementarà inicialització i funcions de les comunicacions de CAN i RS485 per al seu funcionament.
- Protocol I2C : el centre de la placa, comunicació de 5 elements diferents.
- Gestió I2C: Hi ha 5 elements que es comuniquen amb aquest protocol: EEPROM, Xip número de Sèrie,  $I/O_{expansor}$ , Clock real time, sensor de temperatura. Definició de la gestió i prioritització de cada element.
- Mode de funcionament: s'han definit 3 modes de funcionament:
  - \* Normal: s'executa de manera autònoma la gestió del control.
  - \* Testeig-Calibració: s'executa quan es requereix fer una calibració i/o testeig del sistema. Com a mínim s'haurà executat una vegada abans d'entregar l'equip. No podrà ser utilitzat per l'usuari de la màquina. Es requereix tenir en possessió de la interfície de programació adient per treballar en aquest mode.
  - \* Servei Tècnic i manteniment: s'executa quan es requereix fer una validació del sistema i llegir errors de màquina i/o solucionar el problema que planteja l'equip. No podrà ser utilitzat per l'usuari de la màquina. Es requereix tenir en possessió de la interfície de programació adient per treballar en aquest mode.
- S'han d'implementar dues interfícies de programació diferenciades:
  - \* Interfície d'usuari: ha de permetre a l'usuari poder llegir l'estat de variables internes del programa i parametritzar la màquina. La comunicació de la placa amb la interfície podrà ser amb comunicació RS485, CAN o a través del USB que incorpora la placa.



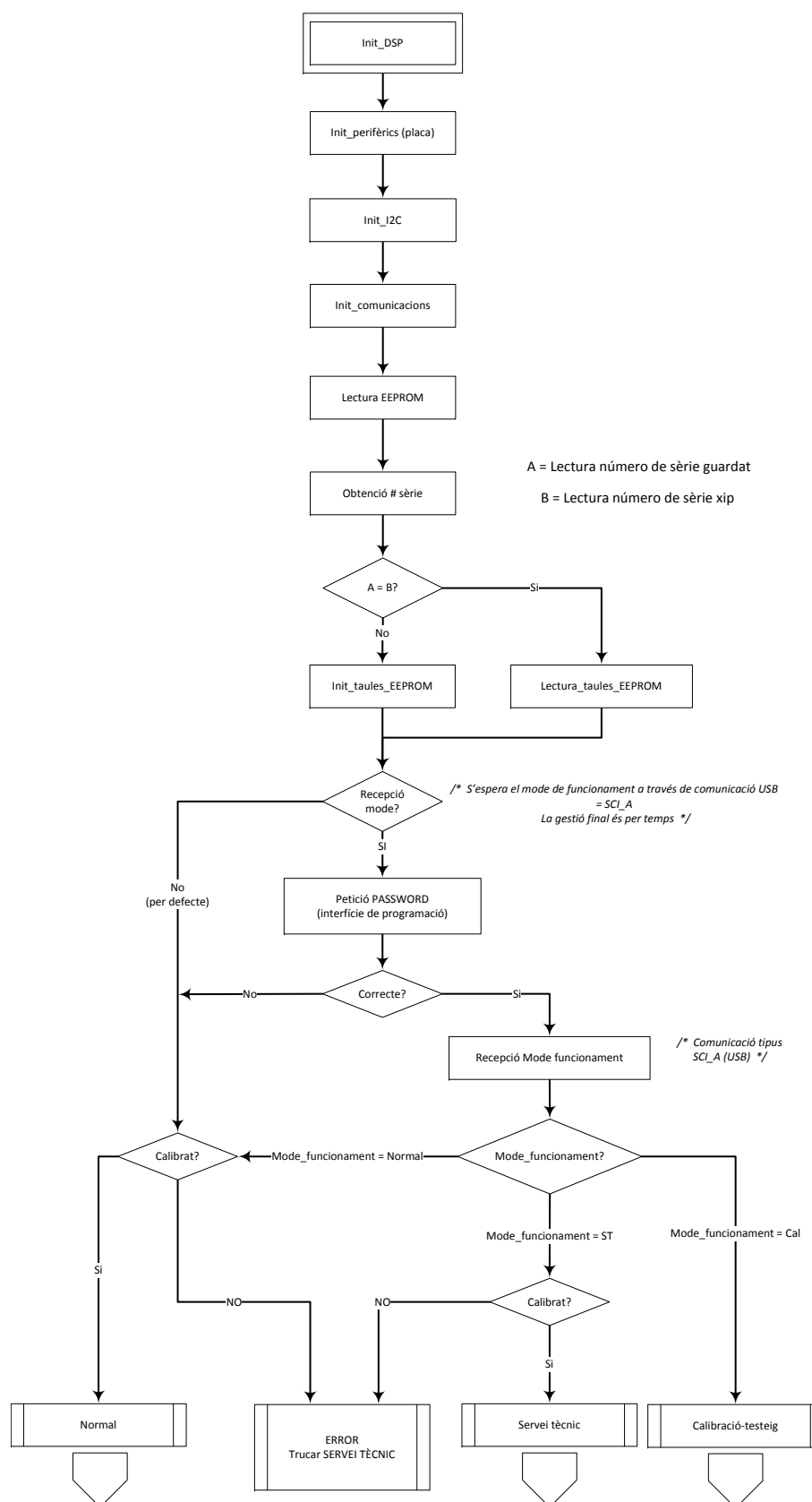


Figura 5.1: Proposta de Diagrama de Funcionament General de programa STANDARD.



- \* Interfície de fàbrica: ha de permetre al fabricant o el servei de manteniment, accedir a dades del sistema internes, poder canviar el mode de funcionament de la màquina, fer un testeig de placa, verificar-la, parametritzar el sistema, verificar-lo i CALIBRAR el sistema.
- Màquina d'estats: S'ha de definir cada uns de les 4 màquines d'estat de cada mode de funcionament. S'agafa com a punt de partida el *Grafset* definit pel protocol *CANOpen* que es mostra en la Figura 5.2.

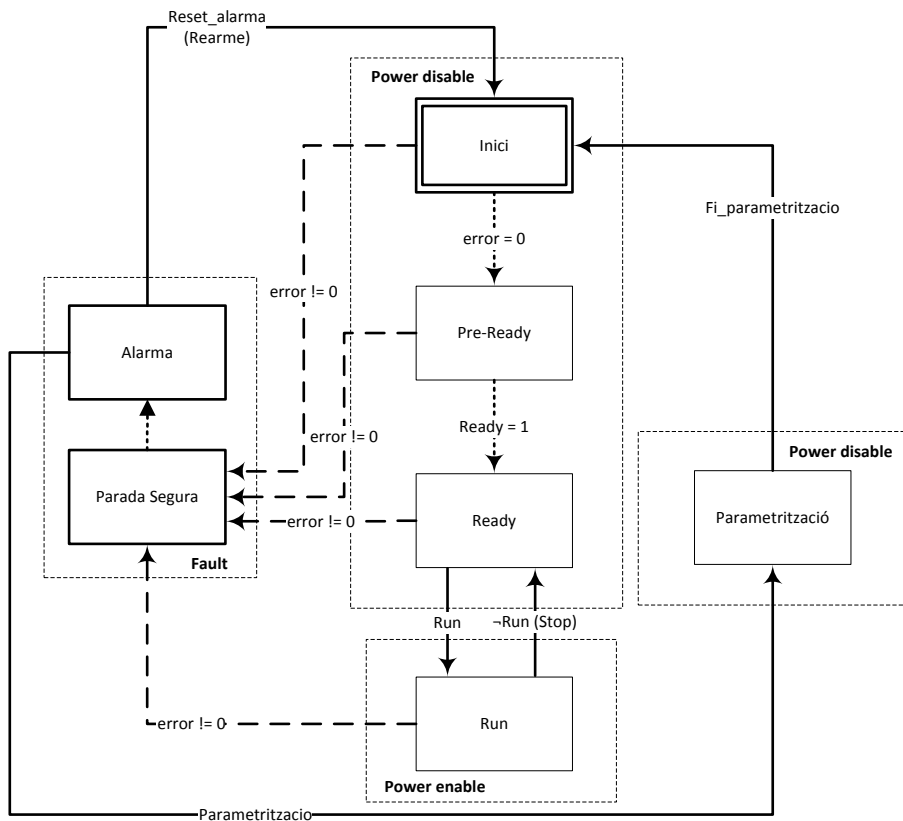


Figura 5.2: Màquina d'Estats de l'Equip.

Es defineixen les 6 etapes de la màquina d'estat del control (Figura 5.2):

- \* *Start/Inicialització*: inicialització i calibració de la màquina, els LEDs i els *Displays* han de mostrar un funcionament per a detectar possibles falles visuals. El mateix per les sortides analògiques de tipus informativa.
- \* *Precàrrega*: execució de la precàrrega de l'equip. Portar l'equip en la situació de seguretat per a donar l'ordre d'engegada del programa de control.
- \* *Ready*: el sistema està llest a l'espera de l'ordre de *Run*.
- \* *Run*: Funcionament de la màquina, el sistema comença a commutar. S'executa el programa de control.





- \* Alarma: Estat de parada de la màquina al gestionar un error. Dins de l'estat d'alarma, sempre que l'alarma ho permeti es farà una Parada segura: per a poder fer una desconnexió controlada del sistema. Cal determinar com actuar segons la naturalesa de les alarmes: crítiques/prioritàries, no crítiques i autoresetejables.
  
- \* Parametrització: permetrà a l'usuari guardar les variables de parametrització del sistema. La càrrega dels valors es gestionarà a través de la interfície de programació definida per la màquina (USB o comunicacions de la placa). A nivell d'usuari no es podrà calibrar la màquina, però sí que s'ha de poder parametritzar.





## Capítol 6

# Resultats Experimentals

Per tal de comprovar el correcte disseny tant esquemàtic com de *Layout* de la *Hobbes*, és van muntar totes les parts que l'integren de manera esglaonada, per anar comprovant el correcte funcionament de la placa. El procés de muntatge va començar amb la verificació de totes les alimentacions, per seguidament provar el DSP connectat amb un JTAG extern. Després es va soldar el JTAG integrat a la placa, provant la connexió amb el DSP. Un cop funcionant el DSP, es van anar soldant cada uns dels perifèrics i es van posar en marxa individualment. En aquest apartat es presenten els resultats experimentals més destacables que hem extret durant el procés de testeig complet de la *Hobbes*.

En aquesta primera Figura 6.1, dedicada a l'apartat d'alimentacions, mostrem la seqüència d'engegada del DSP i com es comporta aquest.

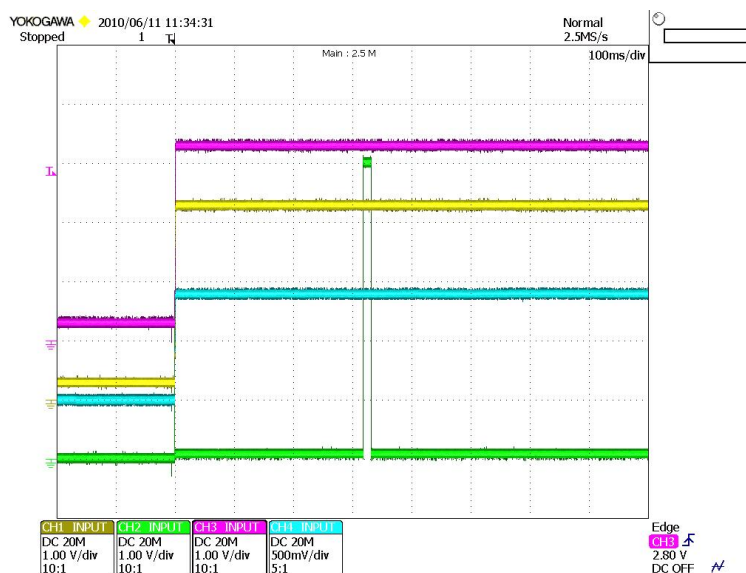


Figura 6.1: Captura de la Seqüència de *Power-Up* del DSP. En rosa senyal de *Reset* del DSP (actiu per nivell baix), en groc els 3.3 V, en blau els 1.8 V i en verd un GPIO del DSP. Tal com es pot veure en la imatge, després d'aplicar tensió al circuit, fins que les sortides de 1.8 V i 3.3V arriben a un 90% de la seva tensió nominal, el senyal de *Reset* no es torna inactiu. En verd es mostra com en la seqüència d'engegada els GPIOs del DSP es posen en estat alt per després prendre el valor establert per *software*



La següent Figura 6.2 podem veure el funcionament de la sincronització quan la *Hobbes* està funcionant com *Slave* i com la sortida PWM canvia d'estat a partir d'un cert nombre de comptes realitzats a partir del senyal de sincronisme. Durant les proves es va implementar la sincronització del PWM amb aquest senyal de sincronisme amb excel·lents resultats.

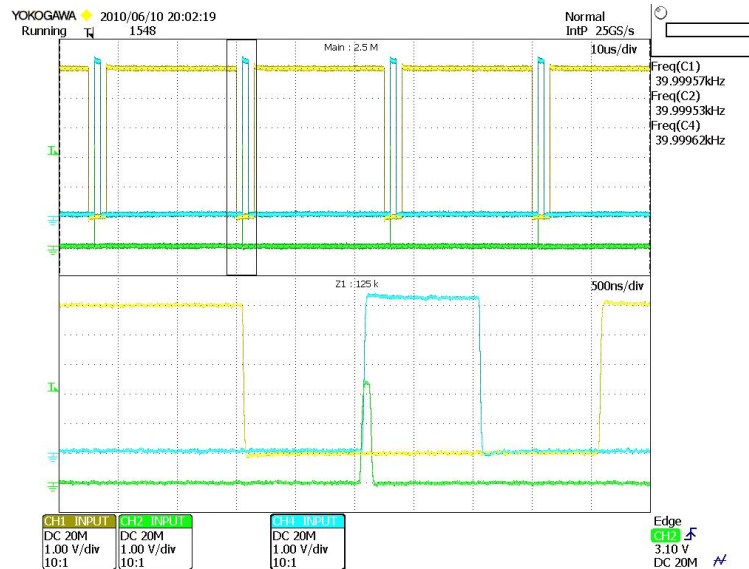


Figura 6.2: Captura Sincronització GPIO6 DSP. Podem veure en blau el senyal de sincronització transmès per fibra òptica, en verd el senyal de sincronització a l'entrada del DSP i en groc una sortida PWM del DSP.

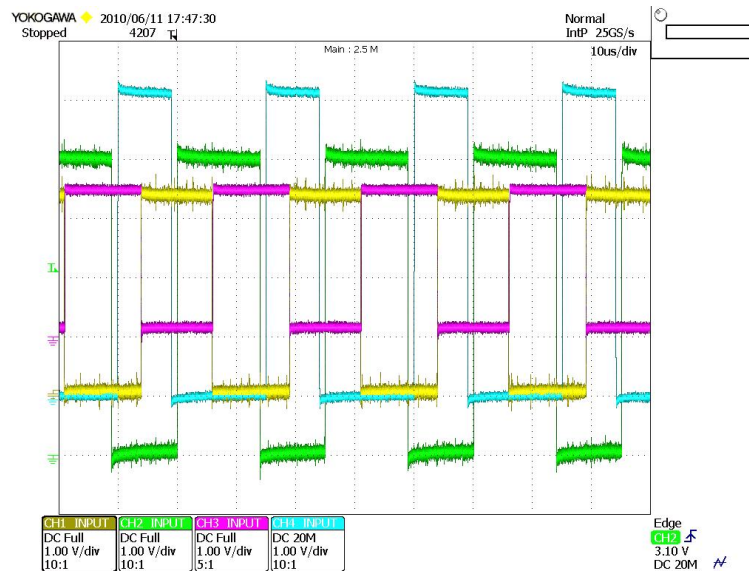


Figura 6.3: Captura Sincronització GPIO6, Sortida Fibra Òptica i PWMs. Podem veure en groc el senyal de sincronització a l'entrada del DSP (GPIO6), en rosa el senyal de sincronització de sortida de la fibra òptica i en verd i blau senyals PWM del DSP.

La anterior Figura 6.3 mostra el senyal de sincronisme rebut a través de fibra òptica i el senyal de sincronisme enviat també a través de fibra òptica, juntament amb els senyals



PWM, funcionant igual que abans però amb diferents paràmetres de configuració.

En aquesta última Figura 6.4 de les sincronitzacions, podem veure el retard del senyal de sincronització d'un sistema simulat amb tres plaques *Hobbes*. Com hem pogut veure el retard per etapa és d'uns 80 ns que es poden reduir considerablement augmentant la velocitat de transmissió de la fibra òptica, ja que és la que principalment introdueix el retard en la transmissió.

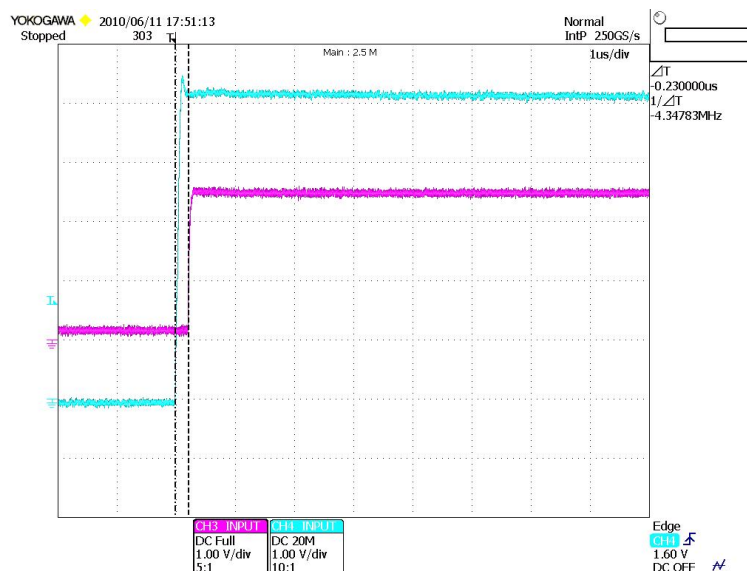


Figura 6.4: Captura del Retard Senyal de Sincronisme. En blau, senyal d'entrada del sistema i en rosa senyal de sortida del sistema.

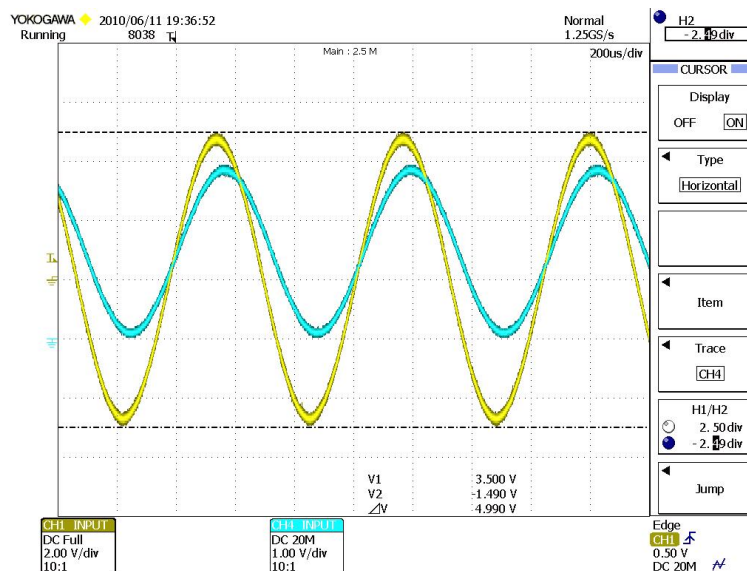


Figura 6.5: Captura Entrada Sortida de la Etapa d'Acondicionament Bipolar del ADC. En groc la tensió d'entrada amb un rang de +/-5 V i en blau la tensió de sortida amb un rang de 0 a 3 V.

Els canals ADC també han estat provats per tal de veure el seu comportament. Sobre tot



ens hem centrat en els canals bipolars, ja que normalment són els més conflictius, degut a que incorporen la tensió de referència. En la Figura 6.5 podem veure el guany de la etapa quan introduïm un senyal d'entrada de  $\pm 5 V$ . Com és pot veure la sortida adquireix la màxima excursió de sortida, en el nostre cas de 0 a 3 V. La següent Figura 6.6 mostra la freqüència de tall del filtre implementat en la etapa d'acondicionament bipolar del ADC, en aquest cas dissenyat per una freqüència de 4.5 kHz. Com podem veure el senyal de sortida cau 3 dB.

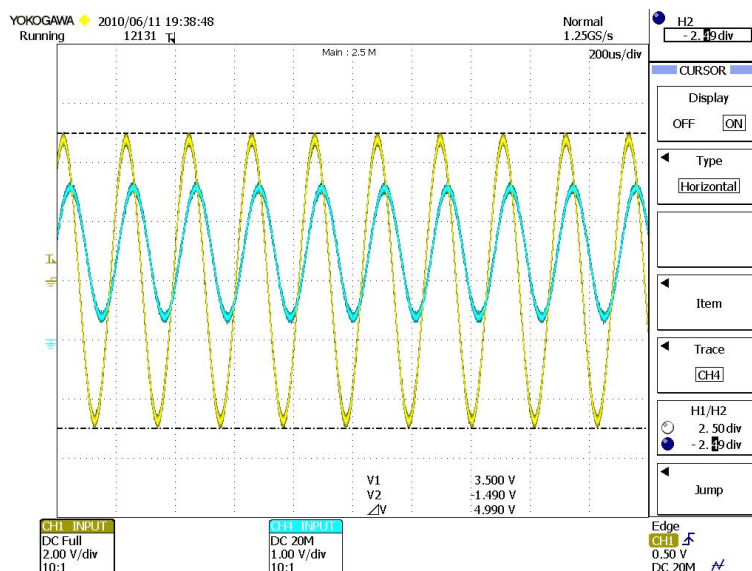


Figura 6.6: Captura de la Freqüència de Tall de la Etapa d'Acondicionament Bipolar del ADC. En Groc la tensió d'entrada amb un rang de  $\pm 5 V$  i en blau la tensió de sortida amb un rang de 0.45 a 2.55 V. Com podem veure la tensió de sortida cau 3 dB respecte la tensió d'entrada quan apliquem un senyal d'entrada de 4.5 kHz.

D'altra banda per provar la precisió de la etapa ADC, es va crear un programa per fer servir el DSP com a *Datalogger* i enviant a l'ordinador les dades de conversió d'un canal ADC. D'aquesta manera i aplicant les fórmules que apareixen en [43], hem pogut saber el ENOB del nostre sistema ADC. S'han pres mostres a 3 tensions diferents: 0 V, 1.5 V i 3 V per poder estimar d'una manera més segura el ENOB. A la figura 6.7 podem veure la gràfica del valor de la conversió en funció del nombre de mostres realitzada per una tensió d'entrada de 1.5 V. A partir d'aquestes dades, s'extreu el valor ENOB de ADC. Per veure de quin rang estem parlant, en la Taula 6.1 es resumeixen els valors trobats per a les tensions de prova. Podem concloure que el nostre ADC assoleix un nombre efectiu de 11 bits que és un xifra realment molt bona. Les entrades unipolars també s'han provat amb resultats lleugerament superiors al cas anterior, degut principalment a la absència de la tensió de referència.

ENOB ADC	
Tensió Entrada	Valor (Bits)
0 V	11.63
1.5 V	11.26
3 V	11.14

Taula 6.1: ENOB ADC 12 Bits.



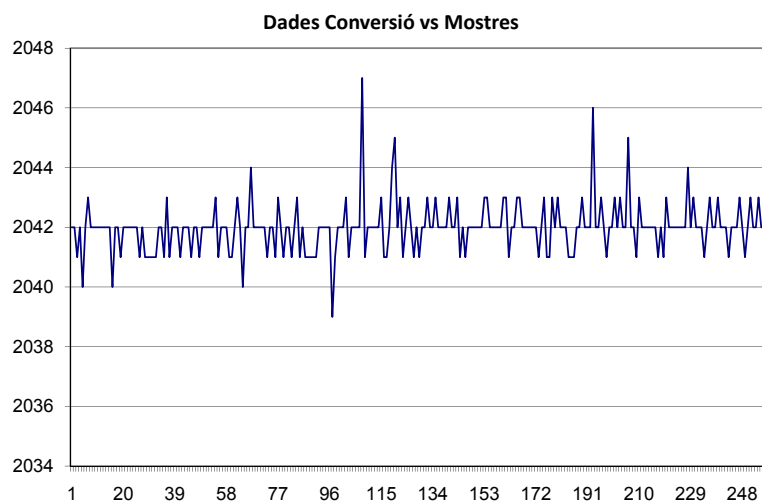


Figura 6.7: Gràfica del Valor de la Conversió A/D en Funció del Nombre de Mostres. Mesura extreta a partir de 1.5 V aplicats a l'entrada del ADC juntament amb la etapa d'alta impedància instal·lada.

La Figura 6.8 mostren els senyals de sortida del DAC de 4 canals, extraient per dos canals un senyal sinusoidal i un altre en dent de serra i a més també es mostra la sortida amplificada de les mateixes senyals de sortida del DAC.

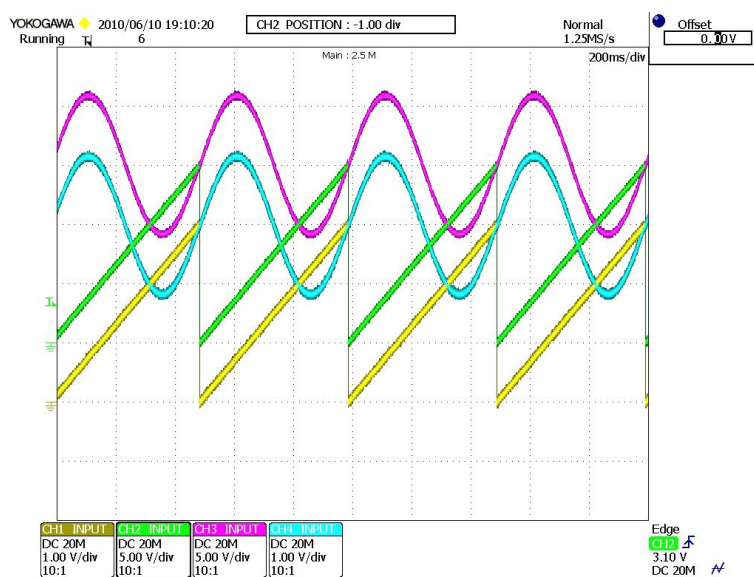


Figura 6.8: Captura Sortides DAC i Sortides DAC Amplificades. En blau i groc sortides DAC i en verd i rosa sortides DAC amplificades.

En les següents Figures 6.9, 6.10 i 6.11, es mostra el funcionament del protocol  $I^2C$ , exemplificat en aquest cas amb el expansor de GPIOs. En la Figura 6.9 podem veure l'enviament d'una trama  $I^2C$  i com la sortida digital en aquest cas, pren l'estat baix. La configuració del protocol  $I^2C$  amb el DSP s'ha realitzat amb una freqüència de rellotge de 400 kHz, és a dir, amb la configuració ràpida del protocol  $I^2C$ .



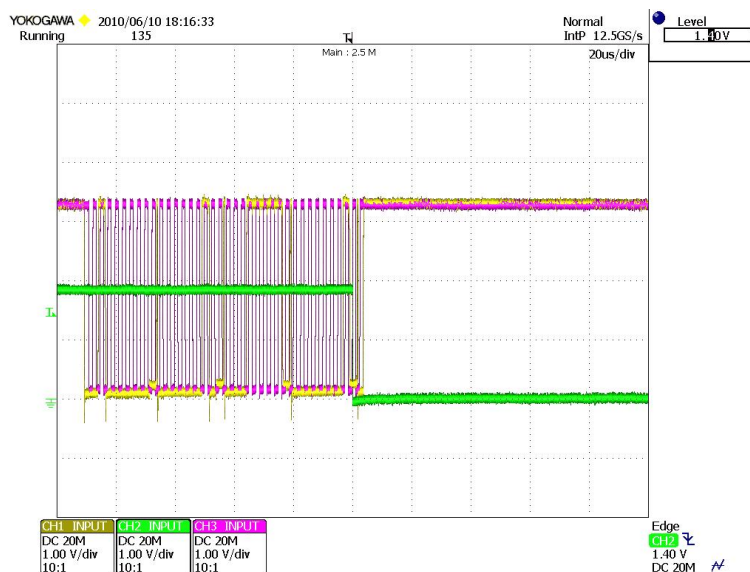


Figura 6.9: Captura Sortida Digital Configurada a Estat Baix a través del Expansor de GPIOs per  $I^2C$ . En rosa podem veure el *Clock* de  $I^2C$  i en groc la trama enviada. En verd, el canvi d'estat de la sortida a esta baix.

En la figura 6.10, podem veure el mateix cas anterior, l'enviament d'una trama  $I^2C$  i com la sortida digital s'activa a estat alt. La configuració del protocol  $I^2C$  amb el DSP s'ha realitzat amb una freqüència de rellotge de 400  $kHz$  també.

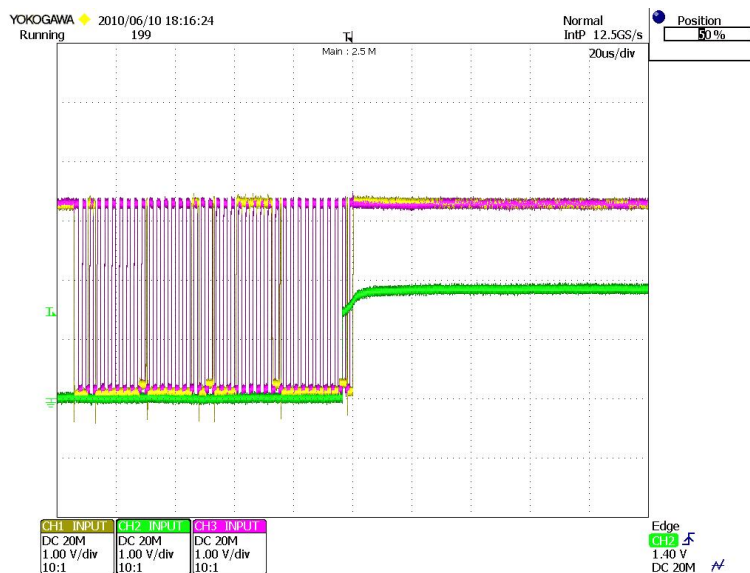


Figura 6.10: Captura Sortida Digital Configurada a Estat Alt a través del Expansor de GPIOs per  $I^2C$ . En rosa podem veure el *Clock* de  $I^2C$  i en groc la trama enviada. En verd, el canvi d'estat de la sortida a esta alt.

En la següent Figura 6.11 es mostra la sortida digital a la sortida del optoacobrador amb sortida *Darlington*. El circuit de sortida ataca a un relé de 24  $V$ .





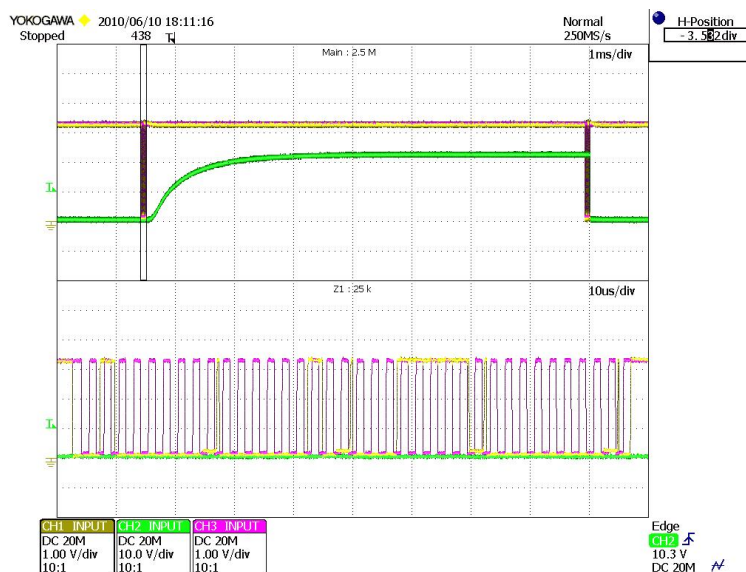


Figura 6.11: Captura Sortida Digital a la Sortida del Optoacoblador. En rosa podem veure el *Clock* de  $I^2C$  i en groc la trama enviada. En verd, el canvi d'estat de la sortida optoacoblada a esta alt. A baix podem veure un ampliació de les traces superiors.

Un altre dels mòduls provats ha sigut el de sortides PWM i alarmes. A la Figura 6.12 podem veure els senyals PWM a la sortida del circuit MOSFET.

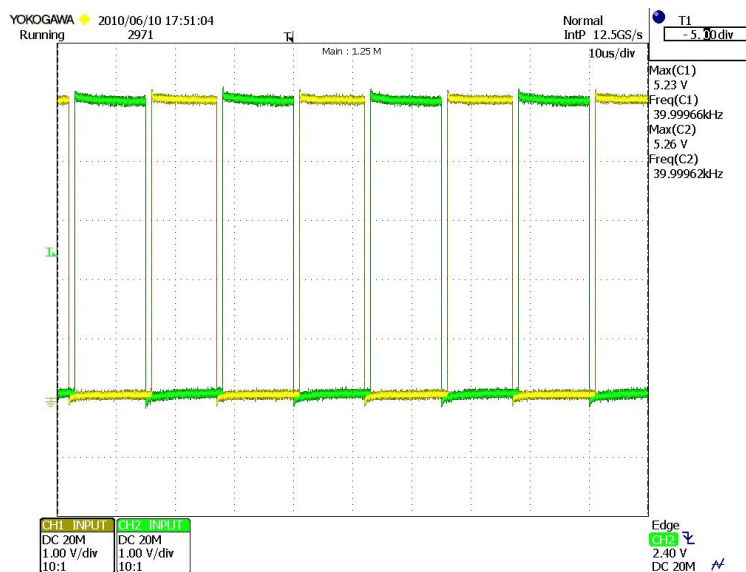


Figura 6.12: Captures de els Senyals PWM. En verd i groc podem veure els senyals PWM a la sortida del MOSFET. Els senyals PWM apareixen amb temps mort.

A la següent Figura 6.13 podem veure el retard entre la sortida del DSP i la sortida final dels senyal PWM després dels MOSFET. Com podem veure en la figura el retard obtingut és d'uns 25 ns un retard realment bo.

Per últim mostrem la Figura 6.14, que mostra l'entrada d'error de *Drivers*. aquesta entrada



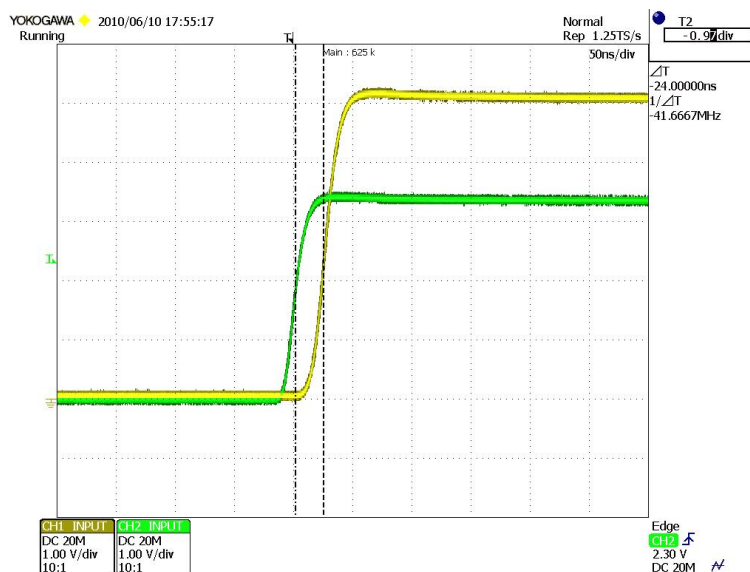


Figura 6.13: Captura del Retard dels Senyals PWM. En verd la sortida del DSP i groc podem veure el senyals PWM a la sortida del MOSFET.

quan s'activa deshabilita els senyals PWM.

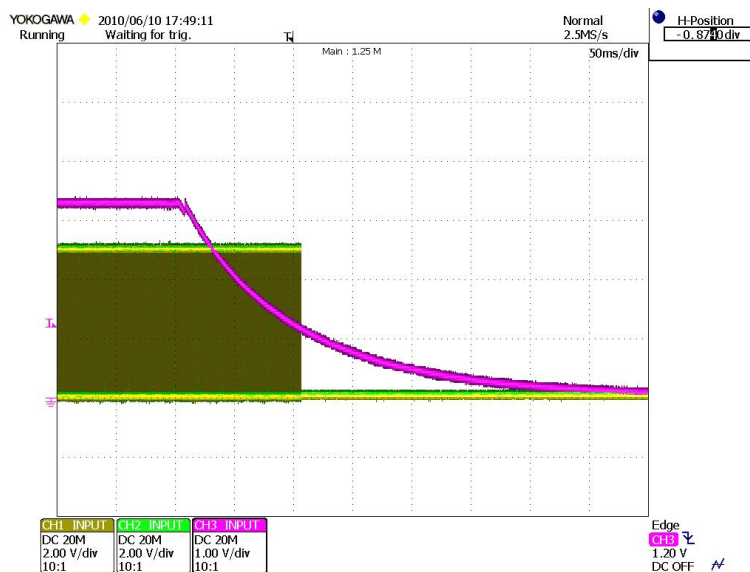


Figura 6.14: Captura del Senyal d'Error de *Drivers*. En verd la sortida del DSP, groc podem veure el senyals PWM a la sortida del MOSFET i en rosa veiem el senyal d'error de *Drivers*. Com podem veure quan aquesta senyal arriba a un cer llindar de tensió deshabilita les sortides PWM.

Aquests resultats mostrats no són els únics realitzats però si que són el més destacables. També s'ha provat les comunicacions via CAN i RS485. Tampoc hem fet cap captura del JTAG integrat, el qual ha sigut un dels èxits més destacables de la *Hobbes*. Tots el perifèrics *I<sup>2</sup>C* també s'han provat (*Real Time Clock*, EEPROM, sensor de temperatura i xip de número de sèrie), amb resultats satisfactoris. Aquestes proves també han comportat provar parts



del *Software* proposat, amb la qual cosa també s'ha comprovat la correcta programació del mateix. Per últim comentarem que no hem pogut realitzar proves del ADC de 24 bits, pels problemes que hem tingut durant el procés de fabricació que han retardat l'arribada de la placa, i per que el *Software* de comunicació amb el DSP no és trivial i comporta un llarga dedicació.





## Capítol 7

# Estudi Econòmic

Per al desenvolupament de les activitats relacionades amb el projecte, la majoria de recursos necessaris són humans degut a les hores dedicades per l'estudiant de projecte final màster a realitzar les diferents activitats. Per altra banda es té l'adquisició de material per realitzar la construcció de la *Hobbes* i del ADC de 24 bits i l'adquisició dels equips necessaris per realitzar els assajos. Aquestes seran les partides més importants.

### 7.1 Recursos Humans

El cost de personal es desglossa segons l'activitat que es duu a terme durant la realització del projecte. Per fer-ho s'han comptabilitzat les hores que es dediquen a cada activitat i s'avalua el cost d'aquesta per hora. En total es calcula un cost de 31750€ com es pot veure a la Taula 7.1.

Activitat	Preu per hora	Hores realitzades	Cost
Investigació	45 €/h	200 h	9000 €
Disseny	45 €/h	250 h	11250 €
Implementació	30 €/h	350 h	10500 €
Redacció	20 €/h	50 h	1000 €
<b>TOTAL</b>		850 h	31750 €

Taula 7.1: Cost de Personal.

### 7.2 Recursos Materials

Per recursos materials s'entén tot allò que és necessari pel muntatge del prototipus, així com de tot el material de suport que permet la realització del mateix. Es comença detallant el cost dels materials que s'han requerit pel muntatge del primer prototipus.



Placa <i>Hobbes</i>			
Concepte	Preu unitari	Quantitat	Cost
Components <i>Hobbes</i>	450.01 €	1 ud.	450.01 €
Placa <i>Hobbes</i>	150.14 €	1 ud.	150.14 €
Ma d'obra	50.00 €	10 ud.	50.00 €
<b>TOTAL</b>			1100.15 €

Taula 7.2: Costos de la Placa *Hobbes*.

Placa ADC 24 Bits			
Concepte	Preu unitari	Quantitat	Cost
Components	450.03 €	1 ud.	450.03 €
Placa	164.47 €	1 ud.	164.47 €
Ma d'obra	50.00 €	1 ud.	50.00 €
<b>TOTAL</b>			664.5 €

Taula 7.3: Costos del ADC 24 Bits.

### 7.3 Recursos de I+D

En aquest apartat es contemplen tots aquells elements que s'han fet servir en el desenvolupament del projecte, però que no formen part de l'estructura física del mateix; com per exemple el suport informàtic i l'aparamenta del laboratori.

Concepte	Preu unitari	Amortitzat
Ordinador	1000 €	200 €
- OrCAD	1800 €	300 €
- CodeComposer	800 €	200 €
Programador de DSPs	600 €	80 €
Oscil·loscopi electrònic	6000 €	800 €
Tester	100 €	30 €
<b>TOTAL</b>		1610 €

Taula 7.4: Amortitzacions de la Diferent Aparamenta Utilitzada.

### 7.4 Cost Total del Projecte

El cost total de la realització del projecte és de 35124.7 €, del qual la major part és degut als costos de personal i amortitzacions de l'aparamenta de laboratori.

Quant a costos de material, s'ha suposat el preu unitari de cada component per a la fabricació d'un prototipus. En el cas de fer-n'hi més s'hauria de revisar la possibilitat d'aprofitar preus escalables, així com la de recórrer directament al fabricant, tot i que s'incrementin els



terminis d'entrega.

Respecte a les amortitzacions d'aquest projecte, s'amortitza al 100% en aquest prototipus, ja que només se'n fabricarà un. Si es fabriquessin més unitats del convertidor, aquests costos s'haurien de repartir entre totes les unitats fabricades.

Concepte	Cost
Recursos humans	31750 €
Recursos materials	1764.65 €
Recursos de I+D	1610 €
<b>TOTAL</b>	<b>35124.7 €</b>

Taula 7.5: Costos Totals dels Projecte.







## Capítol 8

# Conclusions i Línies Futures

Un cop finalitzat el projecte es pot concloure que els objectius plantejats en un inici han estat assolits amb èxit. S'ha aconseguit construir una placa de control basada en DSP per aplicacions d'electrònica de potència, complint amb els requeriments tant de CITCEA-UPC com de Cinergia. Aquest requeriments han inclòs en aquesta placa de control, una etapa de sincronització, 12 canals ADC de 12 bits (6 unipolars i 6 bipolars) amb una etapa d'alta impedància, un canal aïllat de comunicació CAN i un canal de comunicació RS485, 4 canals DAC i la etapa d'amplificació dels mateixos, memòria externa EEPROM, un sensor de temperatura digital, xip de número de sèrie, *Real Time Clock*, un *Driver* per *Encoder*, expansor d'entrades/sortides de 18 canals, 8 canals PWM amb capacitat de comandar fibra òptica, 2 alarmes de *Drivers* i JTAG integrat.

Durant la elaboració d'aquest projecte s'ha realitzat un gran nombre de tasques. La primera d'elles ha sigut un disseny conceptual partint dels requeriments de CITCEA-UPC i Cinergia, definint unes característiques comunes de la placa de control, per seguidament fer un estudi de mercat i culminar amb una proposta concreta de solució. Aquesta proposta s'ha convertit posteriorment amb un estudi de les normatives aplicables, el disseny de cada perifèric calculant cadascun dels elements, la realització d'esquemes, la consulta amb els fabricants per estandardització i gestió de *stocks*, en un disseny *Layout* amb especificacions de cost i tamany, en la fabricació dels prototips, la compra del material, el muntatge, les proves de laboratori, l'estudi de resultats i el plantejament de millores. És a dir, s'ha realitzat un projecte des del inici, amb la finalitat d'elaborar un producte viable i industrialitzable, tenint pràcticament en compte tots els factors i processos que hi poden intervenir.

Podem concloure, que finalment, hem aconseguit fer una placa petita, barata, flexible, amb una gran capacitat de control que servirà per fer prototips i equips comercials, que permetrà implementar equips de gran potència, i a més a més, serà una placa fàcil de testejar i verificar, amb comunicacions amb sistemes de control superiors i amb sistemes remots (PC) per la *debugació* i posta en marxa dels convertidors.

Igualment, també s'ha presentat una proposta d'estandardització del *Software* per tal de programar el control dels convertidors, que ha tingut en compte la potencialitat de la *Hobbes* i les necessitats a complir.

Com a línia futura, resta fer les proves al ADC de 24 bits i realitzar el *Software* de comunicació amb la *Hobbes*.





## Capítol 9

# Agraïments

Aquesta tesi no ha estat només fruit meu, ja que son moltes les persones que han col·laborat directament o indirectament en la seva elaboració. Sense ells segur que no seria el mateix. És per això que vull agrair:

Al CITCEA-UPC i a Cinergia per donar-me la oportunitat de realitzar un projecte d'aquestes característiques.

Al director d'aquest projecte Quim López Mestre, pel seu constant suport i supervisió, per les moltes hores dedicades al projecte, per la confiança dipositada i pel que m'ha ensenyat durant tot el temps que he treballat al costat seu.

A en Miquel Teixidó i Cases, que ha trencat més d'una llança per mi i per la seva visió del projecte, que sempre ha estat un punt d'inflexió en el projecte.

A tots els habitants d'aquell meravellós i increïble indret anomenat mecatrònica menys 1. Sense ells hagués estat impossible. Vull agrair especialment a en Txema i la Coia l'esforç que han realitzat durant el transcurs de la tesi i tota l'ajuda que m'han donat.

Com no, als meus pares i germà, pel seu incondicional suport i per haver-me facilitat sempre les coses. Us o agraeixo molt.

A la meua avia Engracia i encara que no estigui aquí, al meu avi Fransiscu. Ells també hi han tingut alguna cosa a veure.

A la Sandra, ja que sense ella de ben segur el projecte no hagués estat el mateix.

I a tots aquells que em deixo.





## Apèndix A

# Càlcul dels Filtres

En aquest capítol s'explicarà com s'ha procedit per calcular els filtres dels senyals analògics que arriben a la *Hobbes*. Aquests filtres hauran de ser escollits segons les necessitats del control i en funció de l'amplada de banda del senyal que mesuren.

### A.1 Breu introducció als amplificadors operacionals

Els amplificadors operacionals són un dels components analògics característics de l'electrònica analògica. La seva popularitat ve guanyada per la gran versatilitat que tenen i per la facilitat en el disseny de les seves aplicacions. Un amplificador operacional es podria definir com [44] un amplificador directament acoblat d'alt guany que fa servir una realimentació per controlar les característiques del seu funcionament. Aquests dispositius permeten amplificar, controlar, o generar qualsevol forma d'ona sinusoidal o no, partint de la contínua i fins a uns pocs *GHz*. Entre les operacions que poden realitzar destaquen la suma de senyals, resta, multiplicació, divisió, integració i derivació. Aquestes característiques els ha fet imprescindibles en innumerables aplicacions com l'electrònica del control, sistemes de regulació, processament del senyal, instrumentació, etc.

Funcionalment, un amplificador operacional consta de dos entrades i una sortida. Aquestes entrades es representen generalment amb un signe positiu (+) i amb un de negatiu (-) de manera que, a efectes pràctics, si s'aplica un senyal de tensió positiva a l'entrada positiva, la sortida serà positiva; i si s'aplica aquest mateix senyal a l'entrada negativa, la sortida esdevindrà negativa. L'amplificador operacional, ofereix, per tant, un guany de tensió alt davant d'una entrada diferencial. Un altre aspecte que el fa especial és que idealment no importa el nivell de tensió comú entre les dues entrades. Això vol dir que l'únic que importa és la seva diferència i l'amplificador hauria de funcionar igual entre 0V i 1V que entre 20V i 21V.

De cara a l'anàlisi de circuits amb aquests dispositius s'ha de tenir en compte que el circuit es dissenyarà sempre partint del cas ideal:

1. El guany de tensió diferencial entre les seves entrades es considerarà infinit.
2. El guany degut al nivell de tensió comú entre les seves entrades valdrà zero.



3. L'amplada de banda de l'amplificador es considerarà també infinit.
4. El corrent que circula per les seves entrades serà zero (impedància d'entrada infinita).
5. La seva sortida podrà donar tot el corrent que sigui necessari (impedància de sortida zero).
6. Si el senyal d'entrada val zero, la sortida val zero.
7. No hi ha canvis de comportament deguts a la temperatura.
8. No hi ha soroll present en els senyals d'entrada.

L lògicament cap d'aquests paràmetres es pot assolir amb un amplificador operacional real.

## A.2 Anàlisi del circuit de filtrat

Per implementar els filtres a la placa de control es parteix del circuit de la Figura A.1. En ell es pot apreciar que la nomenclatura dels components es repeteix dos a dos i es distingeix també entre les entrades del circuit i les de l'amplificador operacional amb el subíndex *in*.

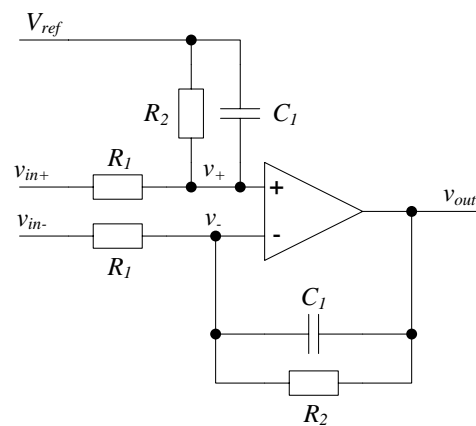


Figura A.1: Esquema elèctric del circuit de filtrat.

Per analitzar aquest circuit primer s'estudien les incògnites del sistema a resoldre. El que es pretén és trobar la funció de transferència de la planta, i per aquesta raó, caldrà posar les sortides de la mateixa en funció de les entrades. Aleshores es presenten  $v_{in+}$  i  $v_{in-}$  com a variables d'entrada conegudes i  $V_{ref}$  com una constant, també d'entrada, predefinida per l'usuari. Així doncs, l'única variable que caldrà trobar és la sortida  $v_{out}$  en funció d'aquestes entrades.

Com ja s'ha explicat en la secció anterior, es suposa que l'amplificador té una impedància d'entrada infinita i un guany també infinit. Aplicant aquestes condicions en un estat d'equilibri, s'obté com a conseqüència que les tensions  $v_+$  i  $v_-$  valen igual, és a dir, que l'amplificador veu una diferència de zero volts entre les seves entrades (en cas contrari la sortida passaria a valer  $\pm\infty$ ). Aplicant aquestes condicions s'obtenen les següents equacions:



$$v_{in+}(t) - R_1 i_{R1+}(t) = v_{in-}(t) - R_1 i_{R1-}(t) \quad (A.1)$$

On  $i_{R1+}$  i  $i_{R1-}$  fan referència al corrent que circula a través de la resistència 1 de la branca positiva i la negativa respectivament. Aquests corrents es poden avaluar com:

$$\begin{aligned} i_{R1+}(t) &= \frac{(v_{in+}(t) - R_1 i_{R1+}(t)) - V_{ref}}{R_2} + C_2 \frac{d}{dt} [(v_{in+}(t) - R_1 i_{R1+}(t)) - V_{ref}] \\ i_{R1-}(t) &= \frac{(v_{in-}(t) - R_1 i_{R1-}(t)) - v_{out}(t)}{R_2} + C_2 \frac{d}{dt} [(v_{in-}(t) - R_1 i_{R1-}(t)) - v_{out}(t)] \end{aligned} \quad (A.2)$$

Com en aquestes equacions apareixen termes diferencials es procedeix a fer la transformada de Laplace [45] de les mateixes, imposant les condicions inicials nul·les i anomenant

$$X(s) = \mathcal{L}[x(t)]$$

Així doncs, les equacions queden:

$$V_{in+}(s) - R_1 I_{R1+}(s) = V_{in-}(s) - R_1 I_{R1-}(s) \quad (A.3)$$

$$I_{R1+}(s) = \frac{(V_{in+}(s) - R_1 I_{R1+}(s)) - V_{ref}}{R_2} + C_2 [(V_{in+}(s) - R_1 I_{R1+}(s)) - V_{ref}] s \quad (A.4)$$

$$I_{R1-}(s) = \frac{(V_{in-}(s) - R_1 I_{R1-}(s)) - V_{out}(s)}{R_2} + C_2 [(V_{in-}(s) - R_1 I_{R1-}(s)) - V_{out}(s)] s \quad (A.5)$$

Aleshores substituint A.4 i A.5 en A.3, aïllant a un costat de la igualtat  $V_{out}$ , el sistema queda:

$$V_{out}(s) = \frac{R_1 R_2 C_2 V_{ref} s + V_{in+}(s) R_2 + V_{ref} R_1 - V_{in-}(s) R_2}{R_1 R_2 C_2 s + R_1} \quad (A.6)$$

En el cas pràctic de les sondes, la connexió de l'entrada inversora de l'operacional (-) es connectarà directament al zero analògic. Així també es redueixen els problemes derivats de la tensió comú en borns de l'amplificador (sortint del cas ideal). Si s'aplica aquesta condició l'equació A.8 pot ser escrita com segueix:

$$V_{out}(s) = \frac{R_1 R_2 C_2 V_{ref} s + V_{in+}(s) R_2 + V_{ref} R_1}{R_1 R_2 C_2 s + R_1} \quad (A.7)$$

Aleshores, compactant els termes es pot apreciar que  $V_{ref}$  surt de la divisió:

$$V_{out}(s) = \frac{V_{in+}(s) R_2}{R_1 R_2 C_2 s + R_1} + V_{ref} \quad (A.8)$$

Així doncs s'obté la funció de transferència:

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1 R_2 C_2 s + R_1} + \frac{V_{ref}}{V_{in+}(s)} \quad (A.9)$$

El significat del terme  $V_{ref}/V_{in+}(s)$  en el domini temporal, es tradueix en un desplaçament de tot el senyal de sortida de valor de  $V_{ref}$ . En l'anàlisi freqüencial aquest terme no es



considerarà per simplificar els càlculs. Igualment, de cara al projecte, com no es desitja tenir un *offset* en els senyals de lectura de corrent i tensió, aquest valor serà de 0V.

Aleshores la funció de transferència és un filtre de primer ordre, tal com:

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1 R_2 C_2 s + R_1} \quad (\text{A.10})$$

Que escrit de forma canònica queda:

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1} \frac{1}{R_2 C_2 s + 1} \quad (\text{A.11})$$

On  $R_2/R_1$  és el *guany canònic* del filtre i aquest valor es farà servir per ajustar el fons d'escala de la sonda. El terme  $R_2 C_2$  serà la *constant de temps*  $\tau$  i la seva inversa  $\omega_0$ , serà la fase a partir de la qual aproximadament el guany és inferior a  $-3dB/dec$ . Aleshores l'amplada de banda del filtre de primer ordre serà aquesta  $\omega_0$  i la tipologia del filtre serà la de passa-baixos.





## Apèndix B

# Microcontroladors i DSP's

### B.1 Microcontroladors i DSPs

DSP és l'acrònim anglès de *Digital Signal Processor*, és a dir processadors dissenyats específicament per fer càlculs en temps real de tractament digital del senyal, com per exemple la implementació de filtres digitals, transformades de Fourier, tractament de imatge i so, etc. Els DSPs tenen aproximadament el mateix nivell d'integració i la mateixa freqüència de rellotge que un microprocessador genèric, fins i tot moltes vegades els microprocessadors avantatgen els DSPs, però els DSP efectuen les tasques de tractament digital de senyal dues o tres vegades més ràpid, ja que la seva arquitectura està optimitzada per a realitzar aquest tipus de tasques. Les principals diferències es troben a:

**Unitat aritmètico-lògica:** l'operació més comú en el processat digital de senyals és el càlcul d'una suma de productes:

$$S = \sum_{i=0}^{i=n} a_i b_i$$

L'operació aritmètica més complexa en la tècnica digital és precisament la multiplicació. Els microprocessadors genèrics no incorporen un element tant complex com un multiplicador ja que en les aplicacions usuals aquesta operació representa un tant per cent molt baix sobre el total d'operacions. Però en el tractament digital del senyal la multiplicació és una tasca fonamental, i el multiplicador és un element bàsic d'un DSP, capaç de realitzar aquesta operació en un cicle. Per incrementar encara més la velocitat, el processador incorpora diferents unitats aritmètiques de manera que puguin realitzar diferents operacions simultàniament: els DSPs típics tenen un multiplicador i un acumulador que permeten multiplicar i sumar en un sol cicle, a més de registres de desplaçament per preparar les dades sense penalitzar en el temps. Cal destacar que de la mateixa manera que una multiplicació es realitza en un cicle, una divisió pot implicar més de 100 cicles. És per aquesta raó que sempre que es pugui en un DSP serà preferible multiplicar per una inversa que dividir el nombre en qüestió.

**Joc d'instruccions:** freqüències de mostreig fixes requereixen tenir un cicle d'instrucció regular. En microprocessadors RISC (*Reduced Instruction Set Computer*) aquesta regularitat s'aconsegueix restringint les instruccions; en els DSP s'aconsegueix incrementant la velocitat del hardware en aquelles instruccions complexes bàsiques com les multiplicacions.



**Arquitectura:** si bé l'arquitectura de Von Neumann és utilitzada per molts microprocessadors, tots els DSP es basen en una arquitectura tipus Harvard amb busos de programa i dades independents. Alguns DSP incorporen una estructura millorada amb tres busos: un de programa i dos de dades, que permet llegir la instrucció i dos operands simultàniament.

**Adreçament:** moltes vegades la lògica de generació d'adreces és més lenta que la realització de la operació aritmètica en si. Com a regla general, els DSP tenen una unitat aritmètica especial per generar adreces gràcies a la qual aquest fet no suposa un temps addicional.

**Memòria:** els programes de DSP, gràcies a instruccions especialitzades i a l'arquitectura del mateix, acostumen a tenir una estructura senzilla i són, per tant, molt curts comparats amb un mateix programa per a un microprocessador genèric. Això permetrà guardarlos en una memòria no volàtil integrada en el mateix xip, a més de reduir el temps de transferència del programa. També incorporen més memòria RAM per les dades emprades durant l'execució del programa.

Totes aquestes diferències tant de hardware com de software estan pensades per optimitzar al màxim el tractament de senyals i per tant són aplicables per al control, on hi ha una sèrie de necessitats comuns.

## B.2 El DSP TMS320F2809

### B.2.1 Introducció

El DSP emprat forma part de la família de processadors digitals de senyal de Texas Instruments. La gamma de DSP que ofereix es divideix en tres plataformes: C6000, C5000 i C2000. Les dues primeres plataformes estan orientades al món del tractament digital d'imatges i àudio, aplicacions de telefonia i comunicacions, mentre que la plataforma C2000 està dissenyada per ser utilitzada en aplicacions de control de motors. Això fa que les diferències entre els DSP de diferents plataformes sigui molt notable, tan a nivell d'arquitectura interna, cal recordar que és un DSP de coma fixa; com a nivell de perifèrics que incorpora, com ara sortides PWM, conversors analògic digitals d'altres prestacions, mòduls CAN, port sèrie síncron i asíncron, i una gran quantitat d'interrupcions associades a aquests perifèrics. Les característiques principals es resumeixen a la Taula B.1.

### B.2.2 Arquitectura

L'arquitectura del DSP es basa en una arquitectura de Harvard on el bus de programa i el de dades són diferents. Això permetrà fer accessos simultanis a memòria i a programa en un mateix cicle. A més hi ha un tercer espai de memòria d'entrades/sortides accessible a través del bus extern. Els perifèrics també tenen el seu propi bus, tot i que aquest està mapejat en unes posicions concretes de la memòria: qualsevol accés a aquestes posicions accedirà directament al perifèric associat. Cal destacar que la família dels 28xx és la primera de la gamma dels 2000 que treballa amb 32 bits. Les dades són de 32 bits mentre que les adreces i el programa són de 16 bits. A la Taula B.1 es pot veure un esquema d'aquesta arquitectura.



Característica	TMS320F2809
Cicle de instrucció a 100MHz	10ns
Memòria RAM d'un sol accés	18kb x 16 bits
Memòria Flash	128kb x 16 bits
Memòria ROM d'arrencada	4kb x 16 bits
Memòria ROM programable una vegada	1kb x 16 bits
Sortides PWM	6 branques (12 sortides)
CAPTURE de 32 bits	4
QEP de 32 bits	4
Watchdog	Sí
ADC	16 canals a 12 bits
Temps mínim de conversió de l'ADC	80ns
Temporitzadors de la CPU	3
Comunicacions SPI	4 canals
Comunicacions SCI	2 canals
Comunicacions CAN	2 canals
Comunicacions I2C	1 canal
Entrades i sortides multiplexades	35
Interrupcions externes	3
Tensió d'alimentació	3.3V i 1.8V
Rang de temperatures	-40 ... + 85°C

Taula B.1: Característiques del DSP.

### B.2.3 La memòria

Aquest DSP disposa de tres tipus de memòria diferents, cadascuna amb les seves finalitats:

**Memòria Flash:** és una memòria no volàtil que ofereix la possibilitat de poder-la gravar tants cops com calgui en la targeta final. A més a més els algorismes de programació els executa la pròpia CPU del DSP evitant així la necessitat d'una màquina d'estats dedicada. Es disposa de 64K de memòria Flash de 16 bits. Cal comentar que el temps de cicle descrit de 100 MHz està definit per treballar amb el programa dins la memòria RAM. Si s'executa el programa des de la memòria Flash aquest temps de cicle augmenta.

**SARAM:** *Single Acces Random Access Memory*, és una memòria d'1Kx16 d'un sol accés per cicle, destinada a emmagatzemar codi del programa o variables segons les necessitats de l'usuari.

**Boot ROM:** *Read Only Memory*, és una memòria programada de fàbrica i que no és modificable, en la que s'indica al DSP on buscar el codi de programa per arrencar. Aquesta memòria també conté taules estàndard, com les del sinus i cosinus per ser utilitzades en els algorismes matemàtics.

### B.2.4 La CPU

La unitat central de processament es pot dividir en tres grans blocs:

**La unitat aritmètico-lògica central de 64 bits:** que agafa dues paraules de la memòria i els hi pot fer operacions aritmètiques i booleans. El resultat s'aboca en l'acumulador



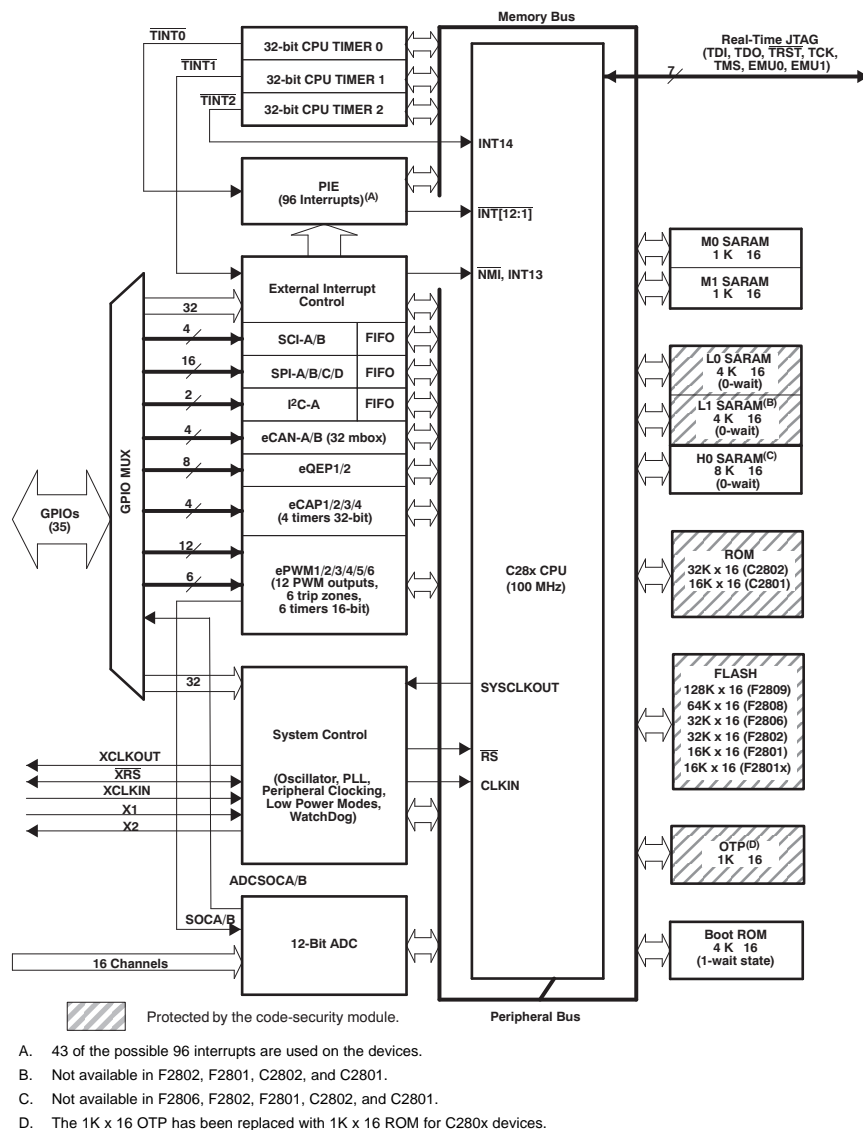


Figura B.1: Arquitectura d'un DSP de la família C28xx.

de 32 bits des del qual es pot guardar la part alta i la baixa per separat, en memòria. Disposa a més de registres de xifrat de les dades tant de l'entrada com de la sortida.

**Multiplicador:** realitza productes de 32x32 bits en complement a dos obtenint-se un resultat de 64 bits. Aquest multiplicador és capaç de fer el producte en un cicle i serà molt útil per fer els càlculs del control així com filtres digitals, correlacions, etc.

**Unitat aritmètica de registres auxiliars:** aquesta unitat genera adreces de la memòria de dades quan s'utilitza adreçament indirecte per accedir a aquesta. Està formada per 8 registres auxiliars que es poden carregar amb valors de 16 bits directament amb una instrucció.



## B.2.5 Control del programa

El DSP treballa amb una pipeline de vuit nivells que és gestionada per la lògica de control del programa que també descodifica les instruccions i guarda els estats de les operacions. D'altra banda hi ha instruccions de l'assemblador que permetran controlar per software el flux del programa com són instruccions de salt, condicionals o no, resets, i interrupcions.

Cal comentar que la nova família dels 28xx ha estat creada amb el concepte d'accelerar el temps de cicle i el tractament en 32 bits. Aquests permeten elevar la precisió dels càlculs que es feien en relació a famílies com ara els 2400 no al doble sinó 65536 vegades més.

Pel que fa a la velocitat, aquesta família processa quatre vegades més ràpid que la família dels 2400. Tot aquest avenç ha estat centrat a facilitar la feina del programador sense que s'hagi de preocupar de la precisió o de l'optimització del codi, portant doncs a una programació total en C en comptes de l'assemblador, que era necessari per optimitzar algunes funcions en famílies anteriors.





## Apèndix C

# Esquemes Elèctrics Hobbes



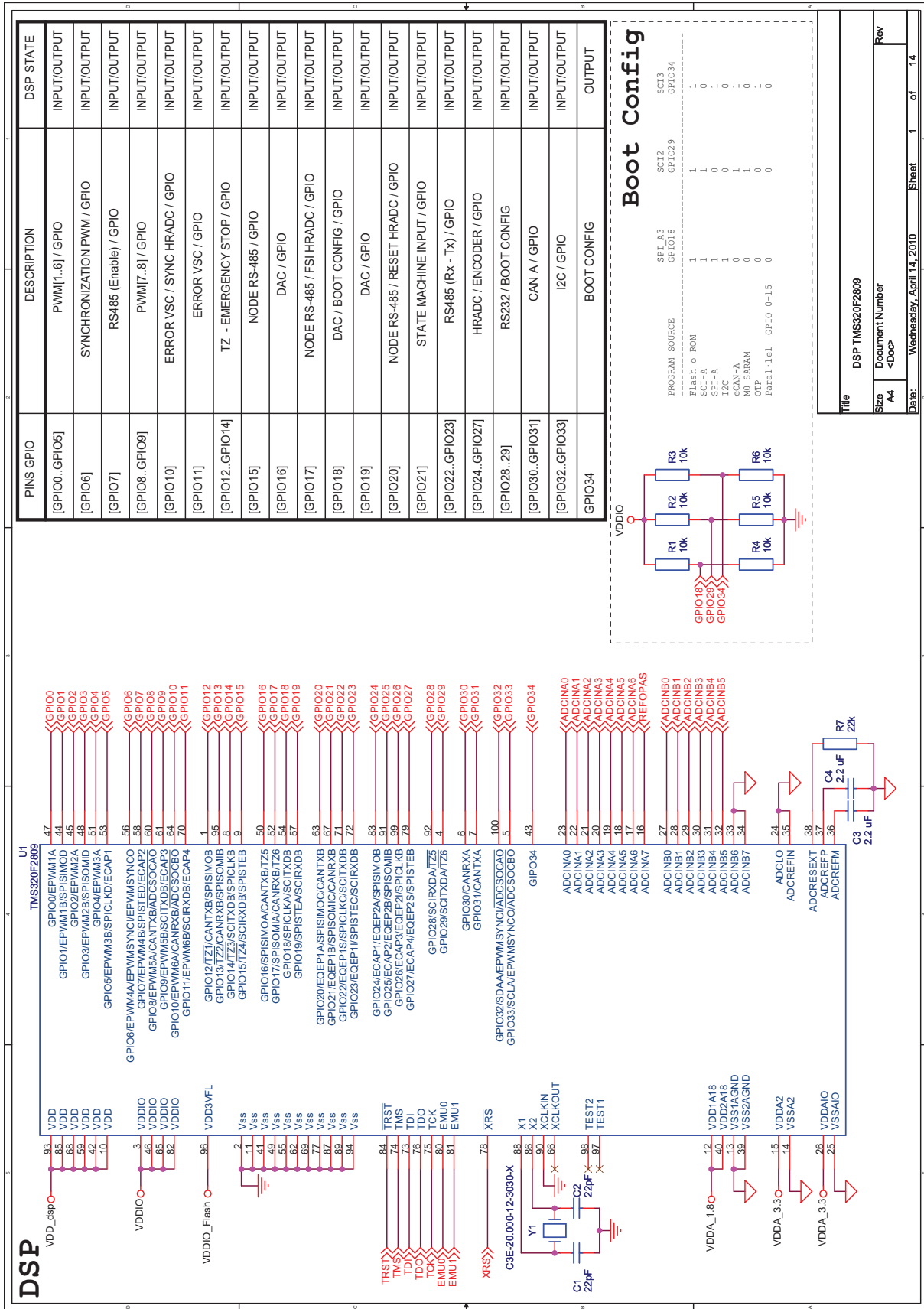


Figura C.1: Esquema Complet DSP.



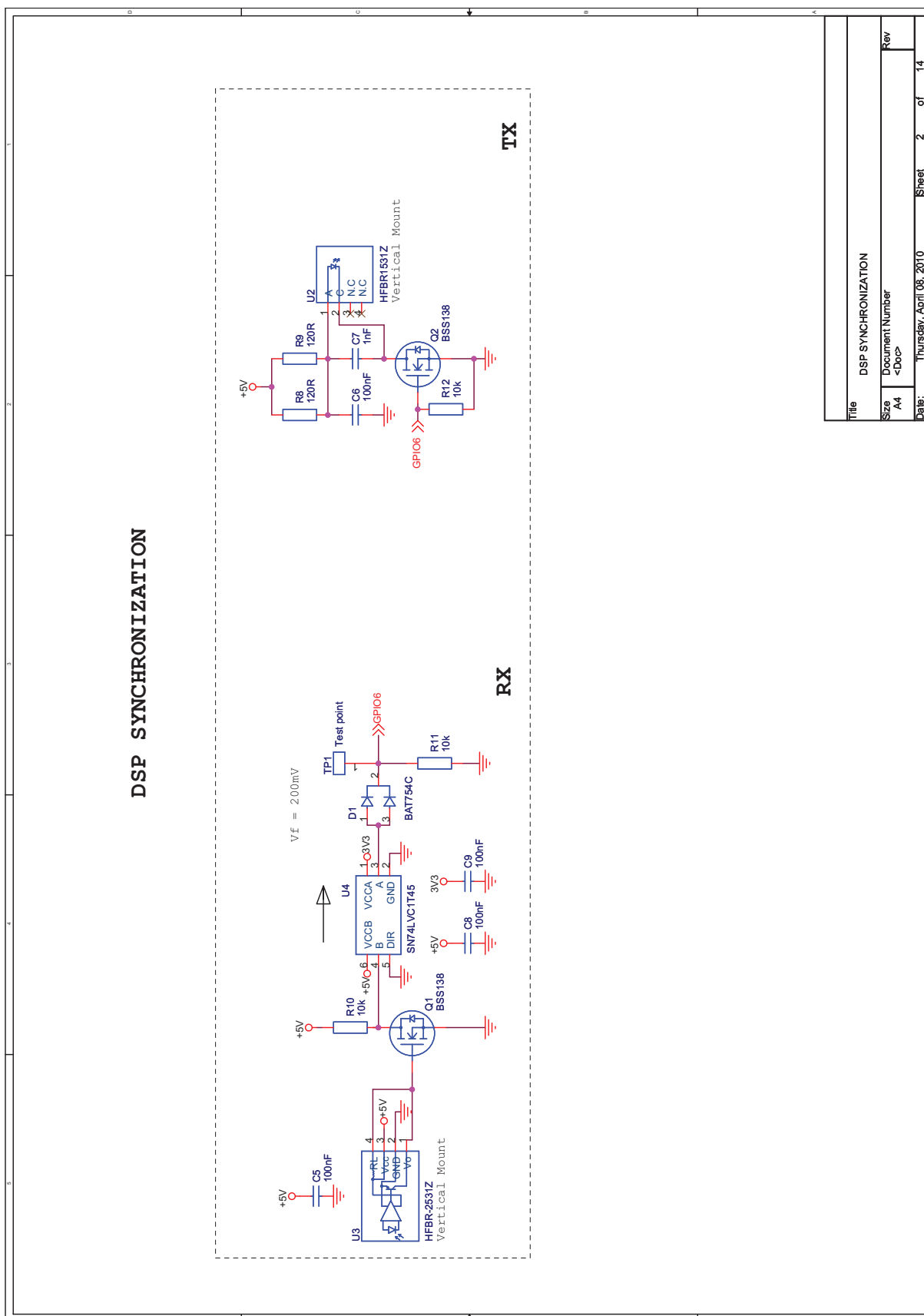


Figura C.2: Esquema Complet Sincronització.



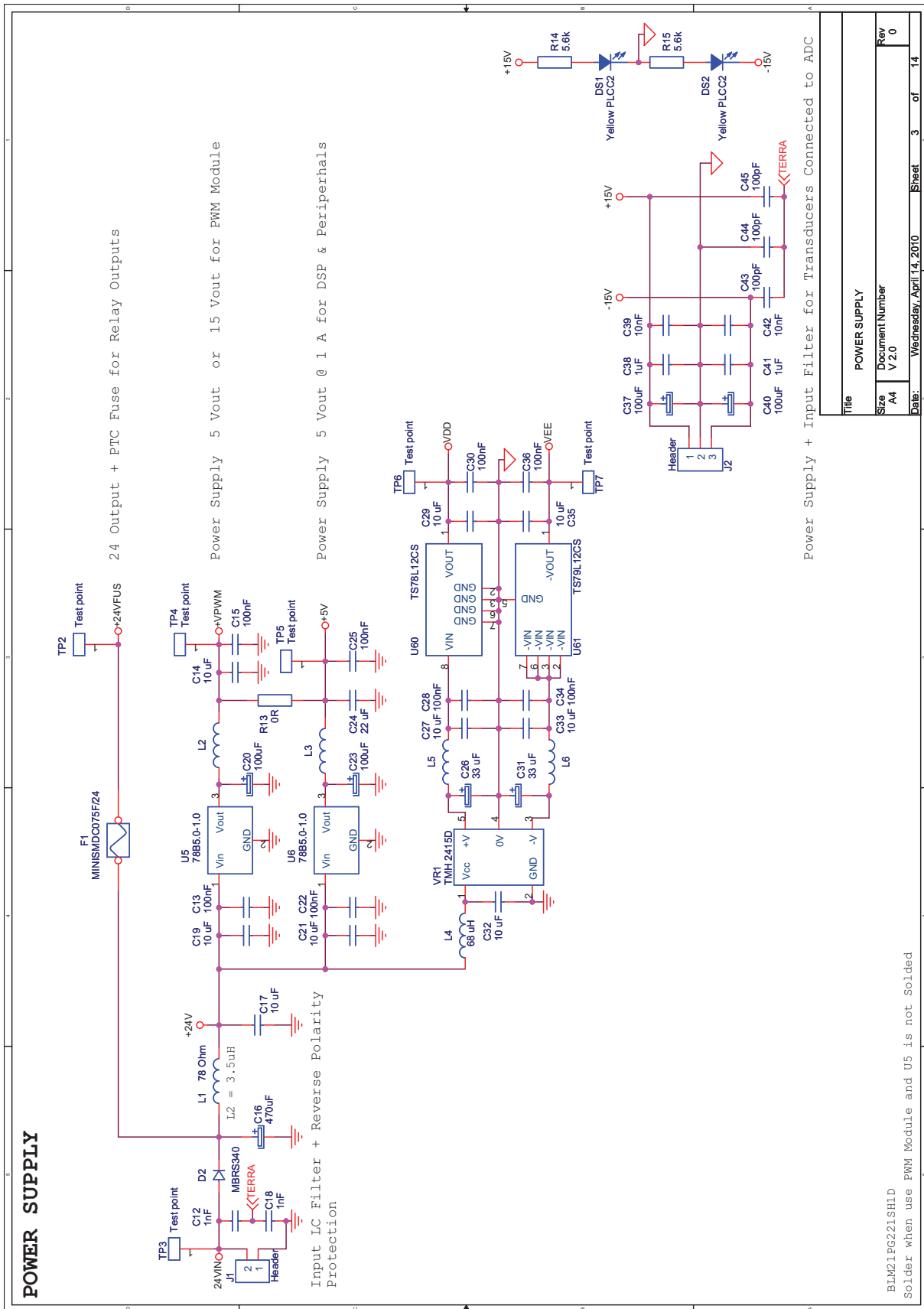


Figura C.3: Esquema Complet Alimentació General.

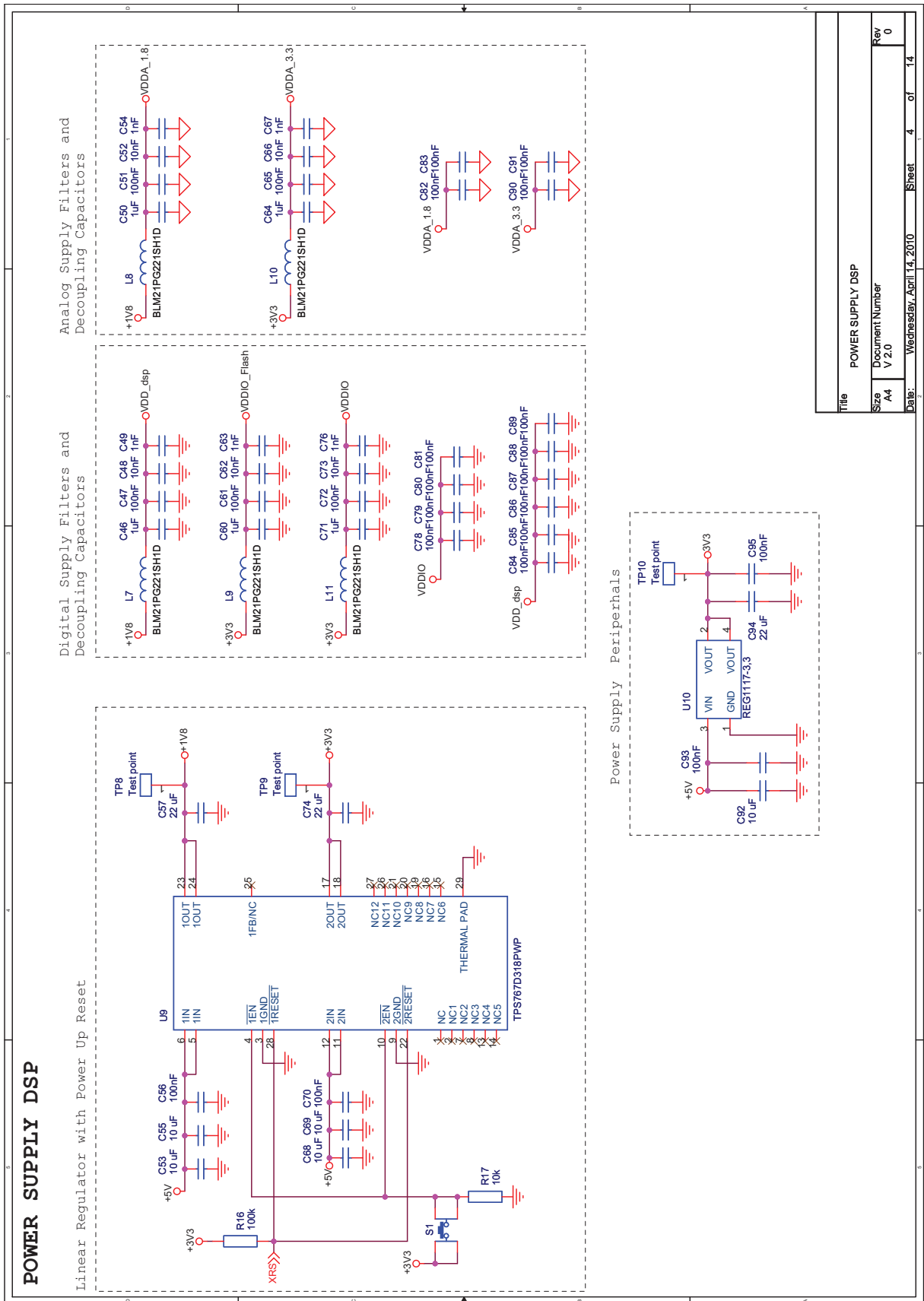


Figura C.4: Esquema Complet Alimentació DSP i Perifèrics.



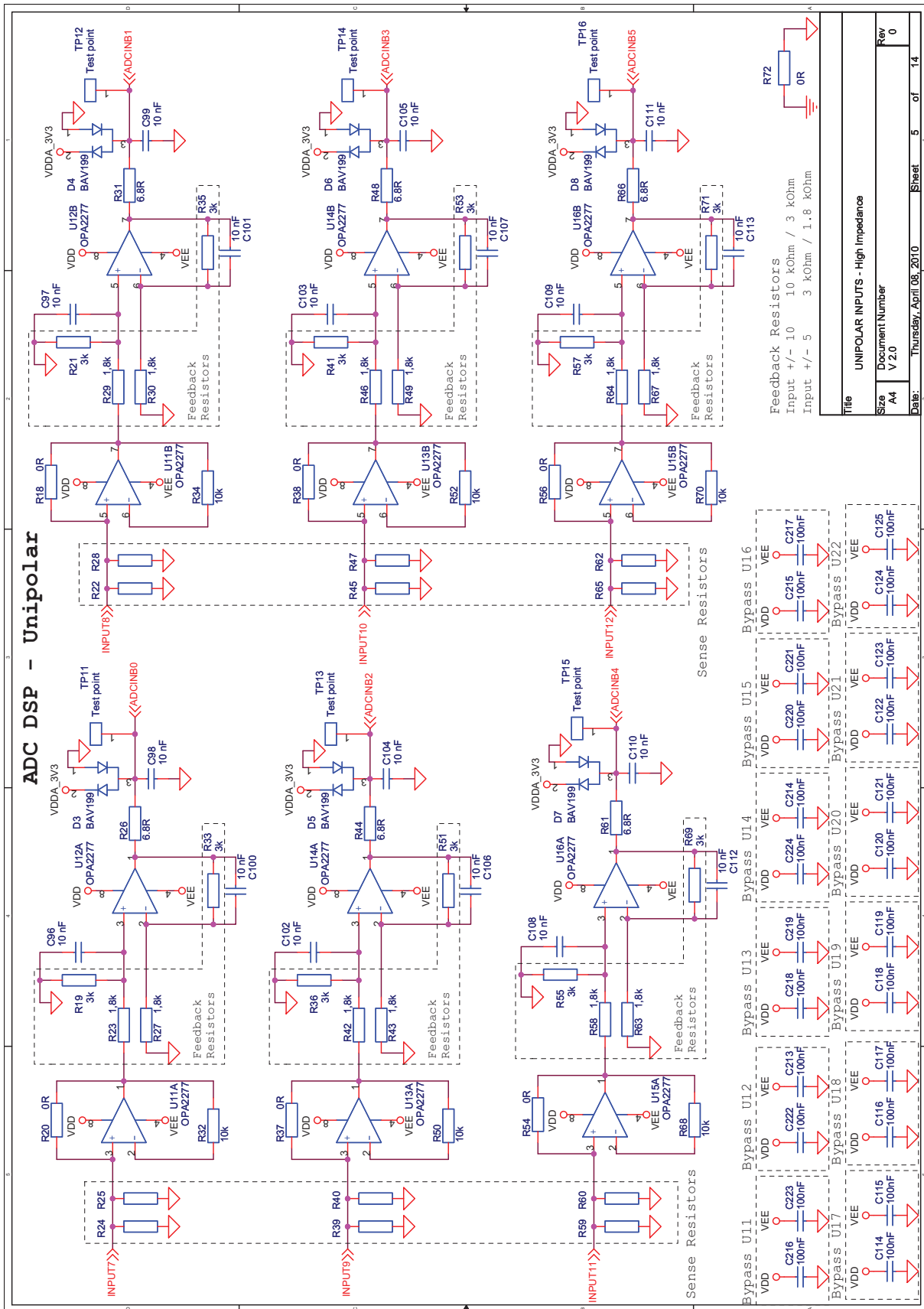


Figura C.5: Esquema Complet Entrades Unipolars



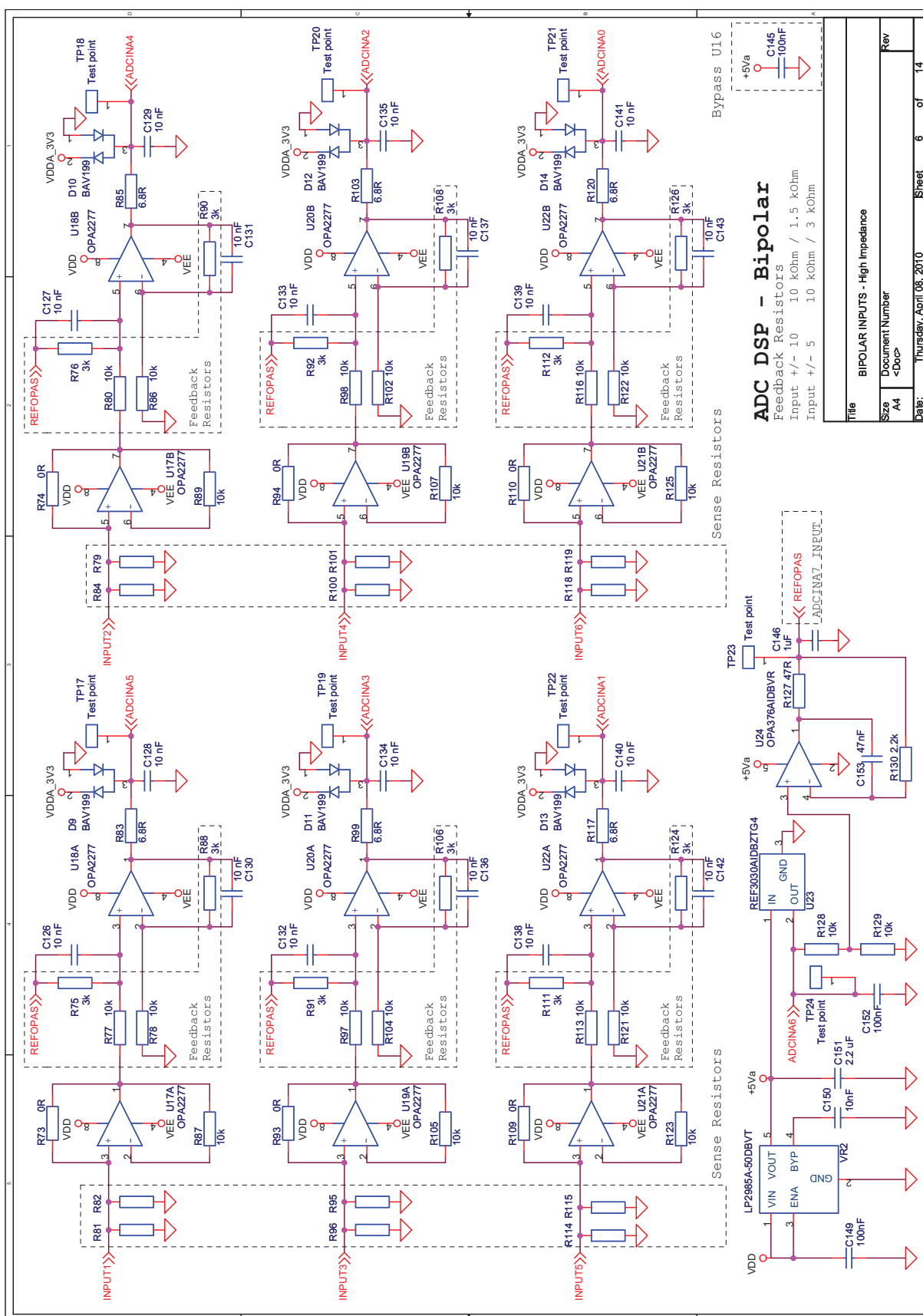
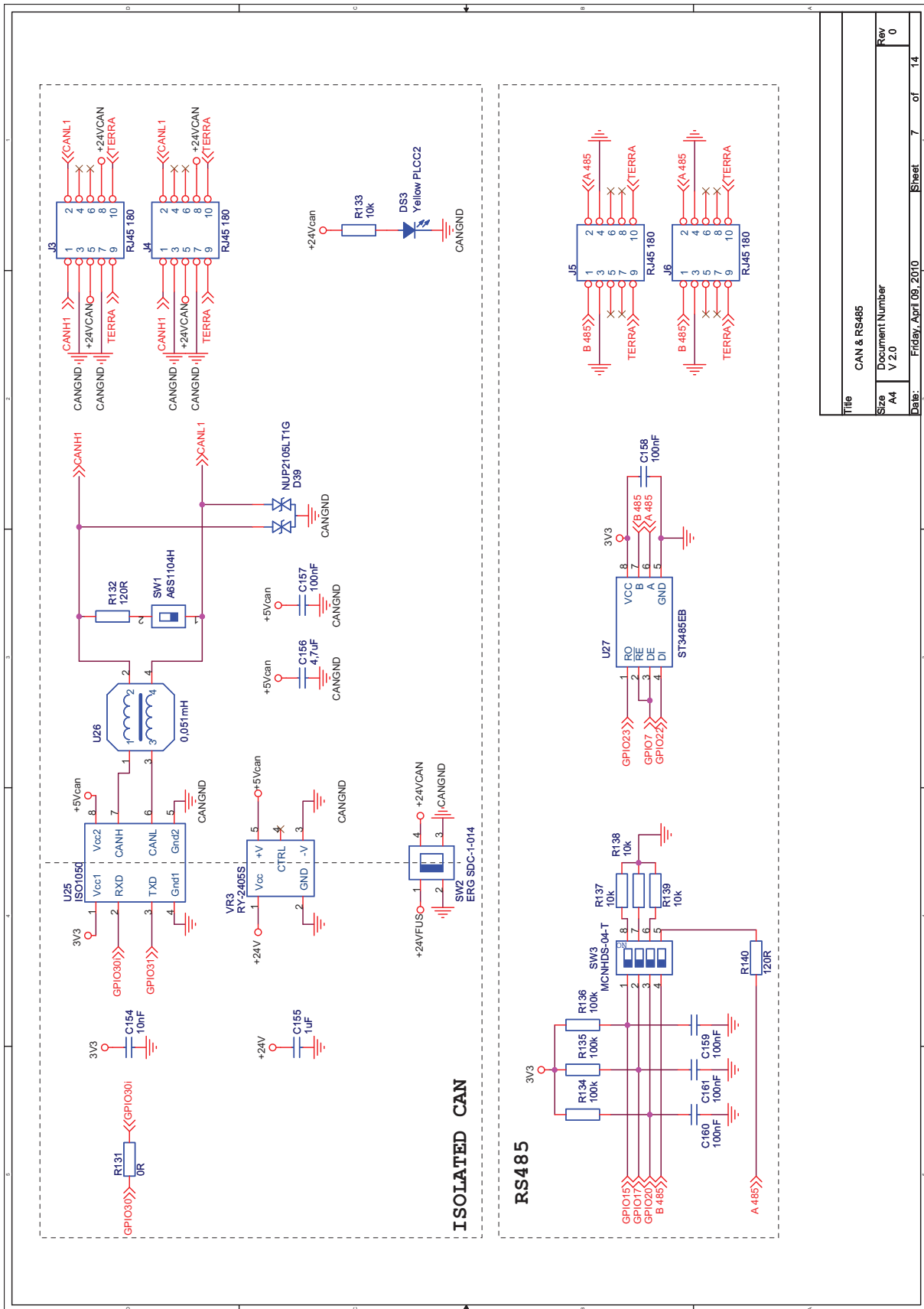


Figura C.6: Esquema Complet Entrades Bipolars i Referència de Tensió.





Title		CAN & RS485	
Size	A4	Document Number	V 2.0
Date:	Friday, April 09, 2010	Sheet	7 of 14
Rev	0		

Figura C.7: Esquema Complet CAN i RS485.

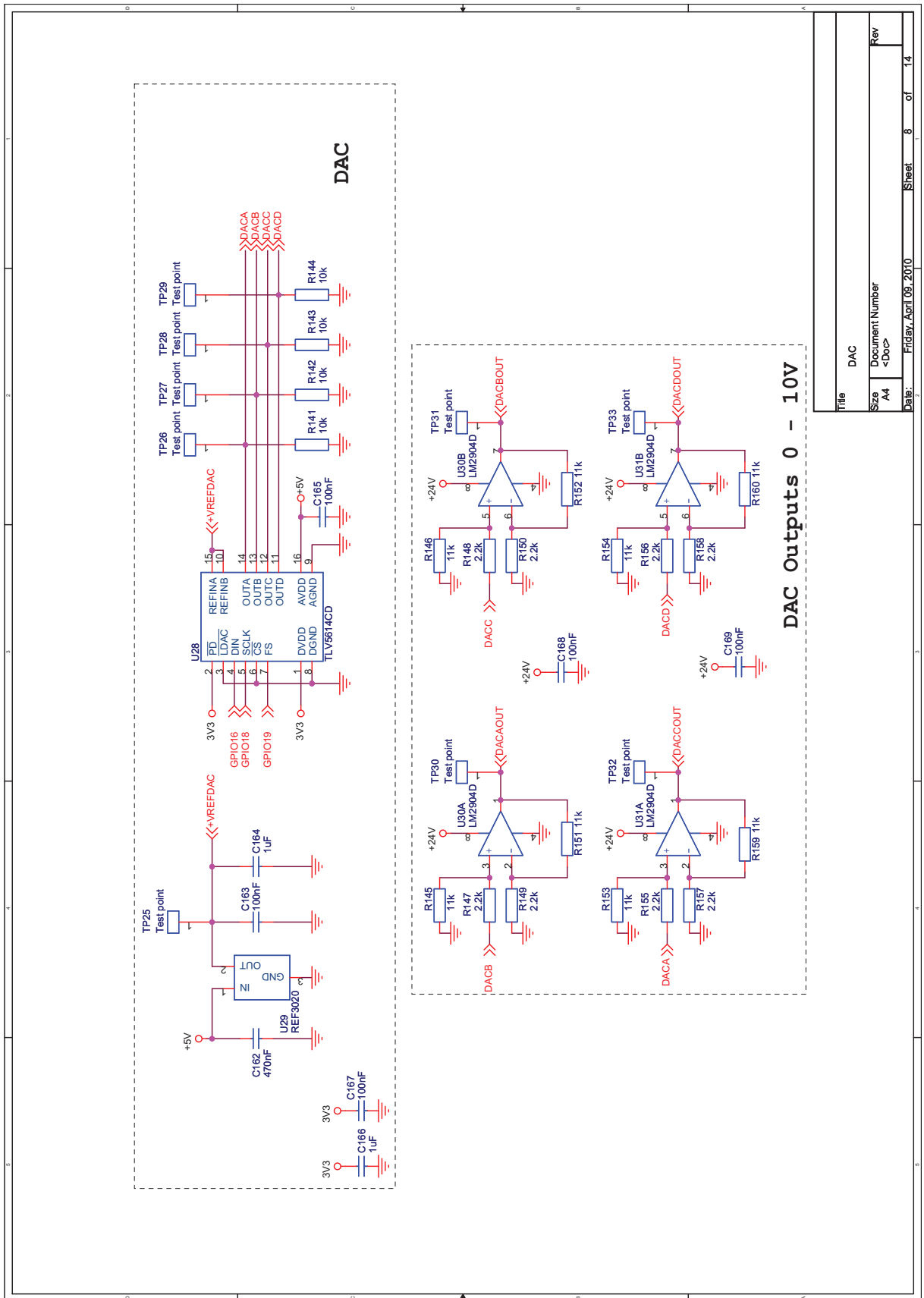
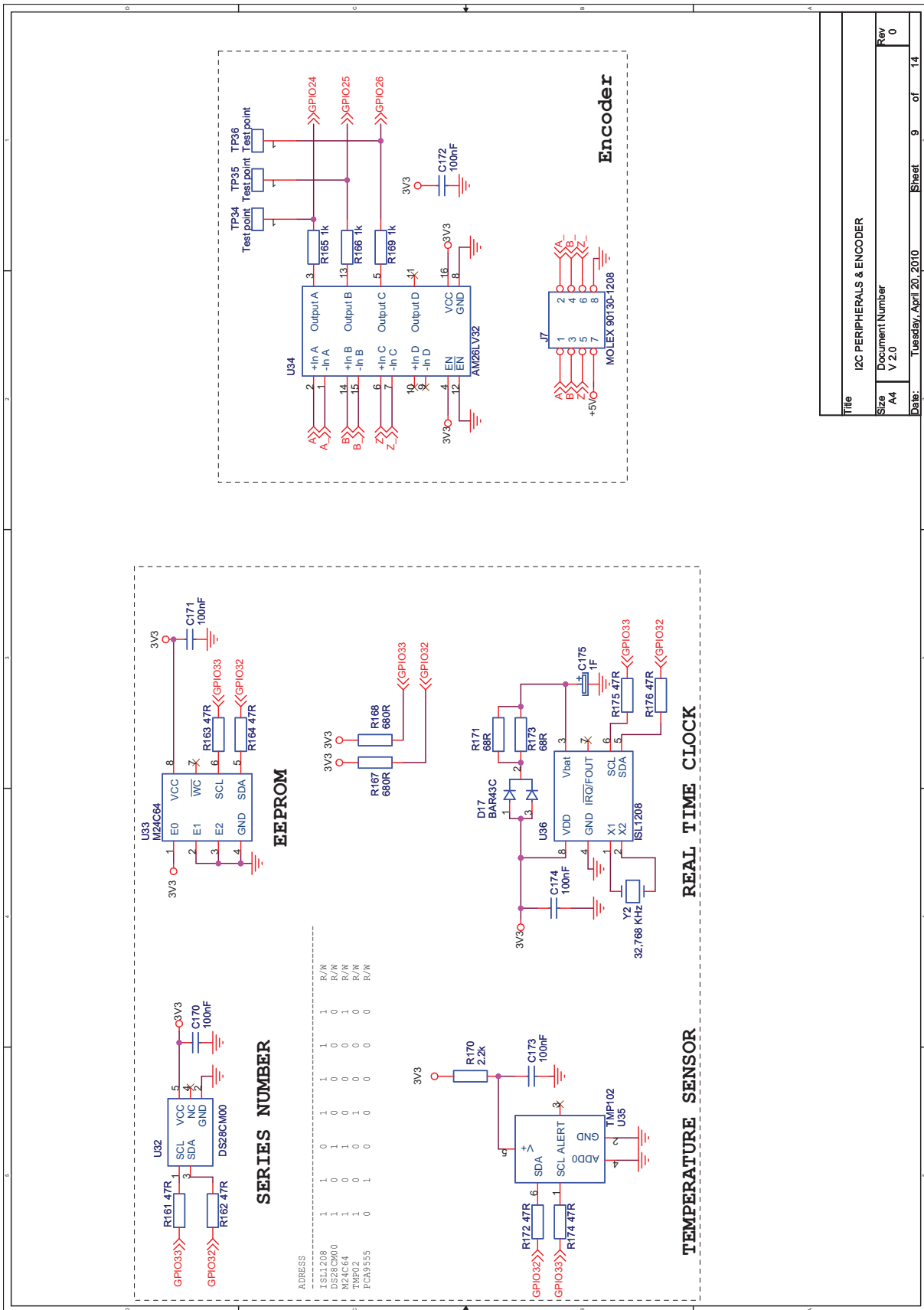


Figura C.8: Esquema Complet DAC i Etapa d'Amplificació.





Title				I2C PERIPHERALS & ENCODER			
Size	A4	Document Number		Rev	0		
Date:	Tuesday, April 20, 2010	Sheet	9	of	14		



Figura C.9: Esquema Complet Perifèrics I<sup>2</sup>C i Encoder.





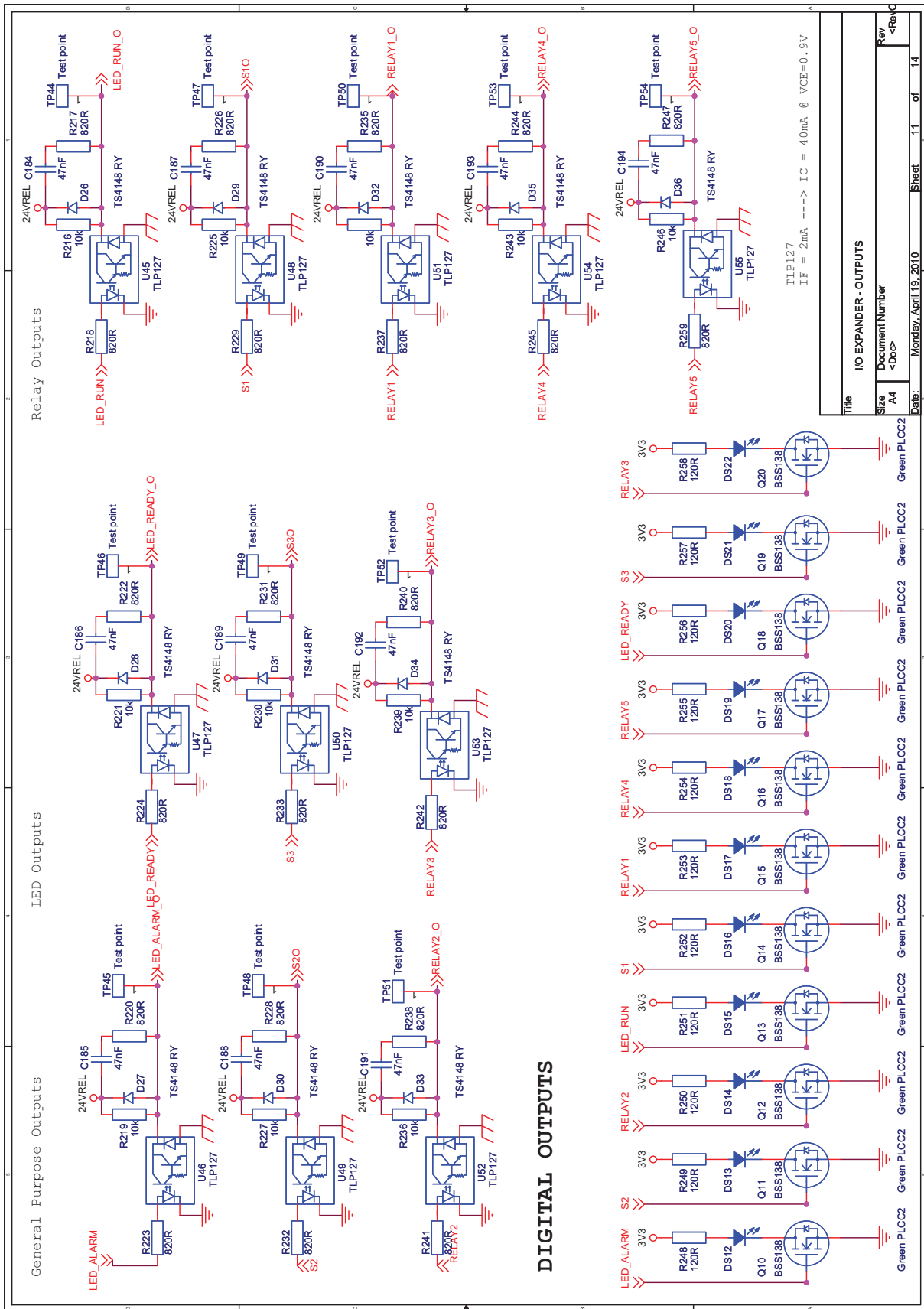


Figura C.11: Esquema Complet Sortides Digitals

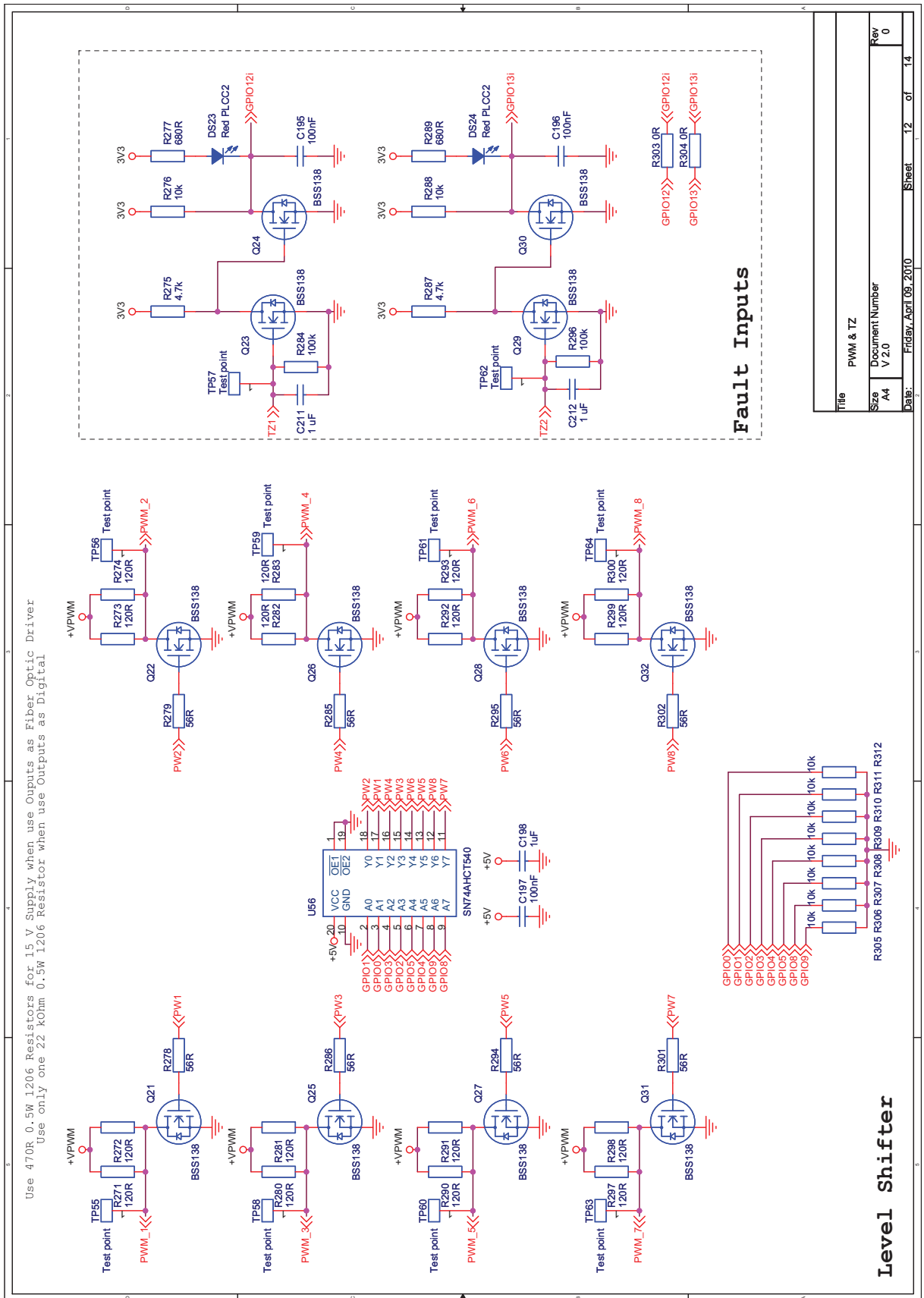


Figura C.12: Esquema Complet PWM i Alarmes.



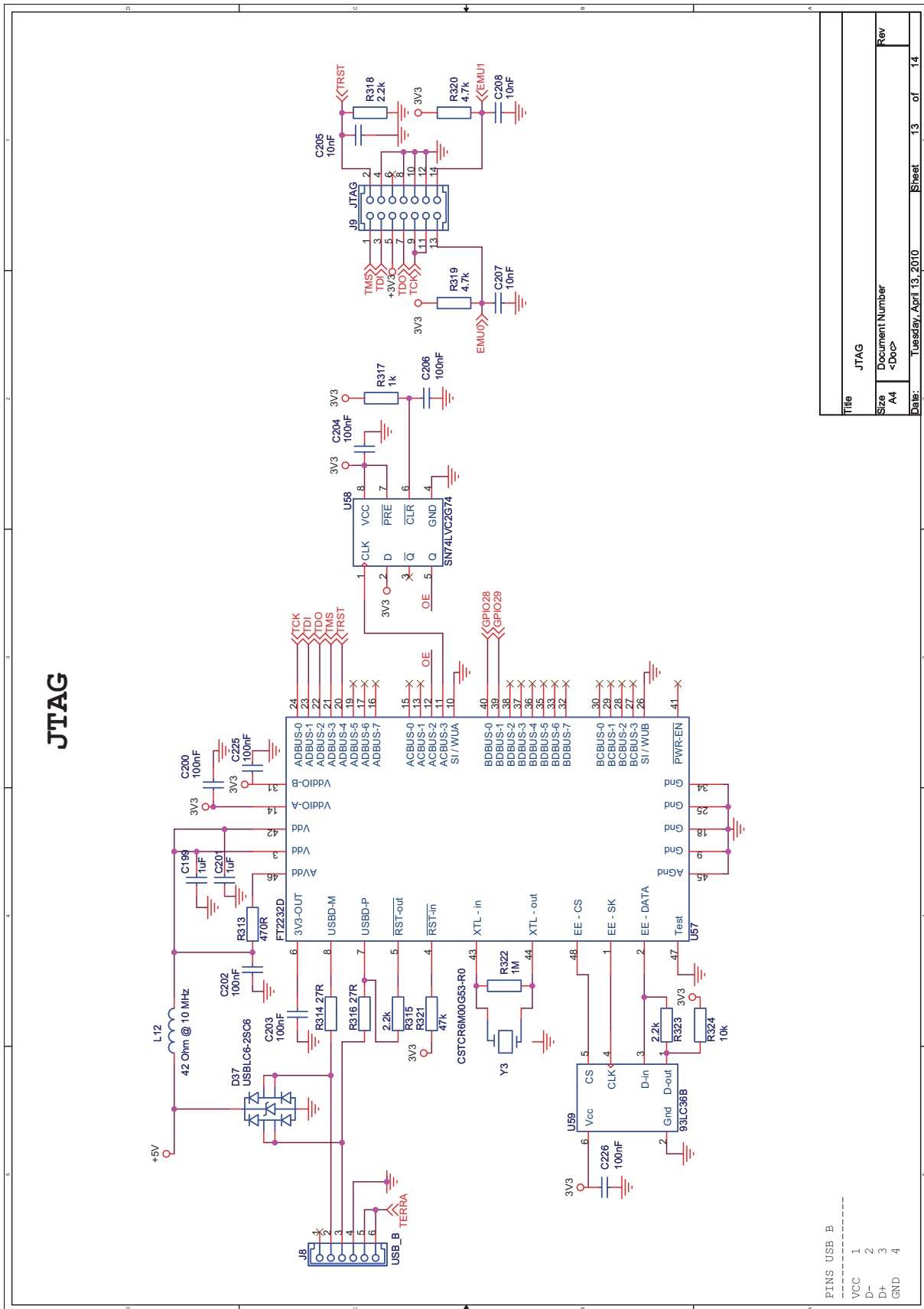


Figura C.13: Esquema Complet JTAG



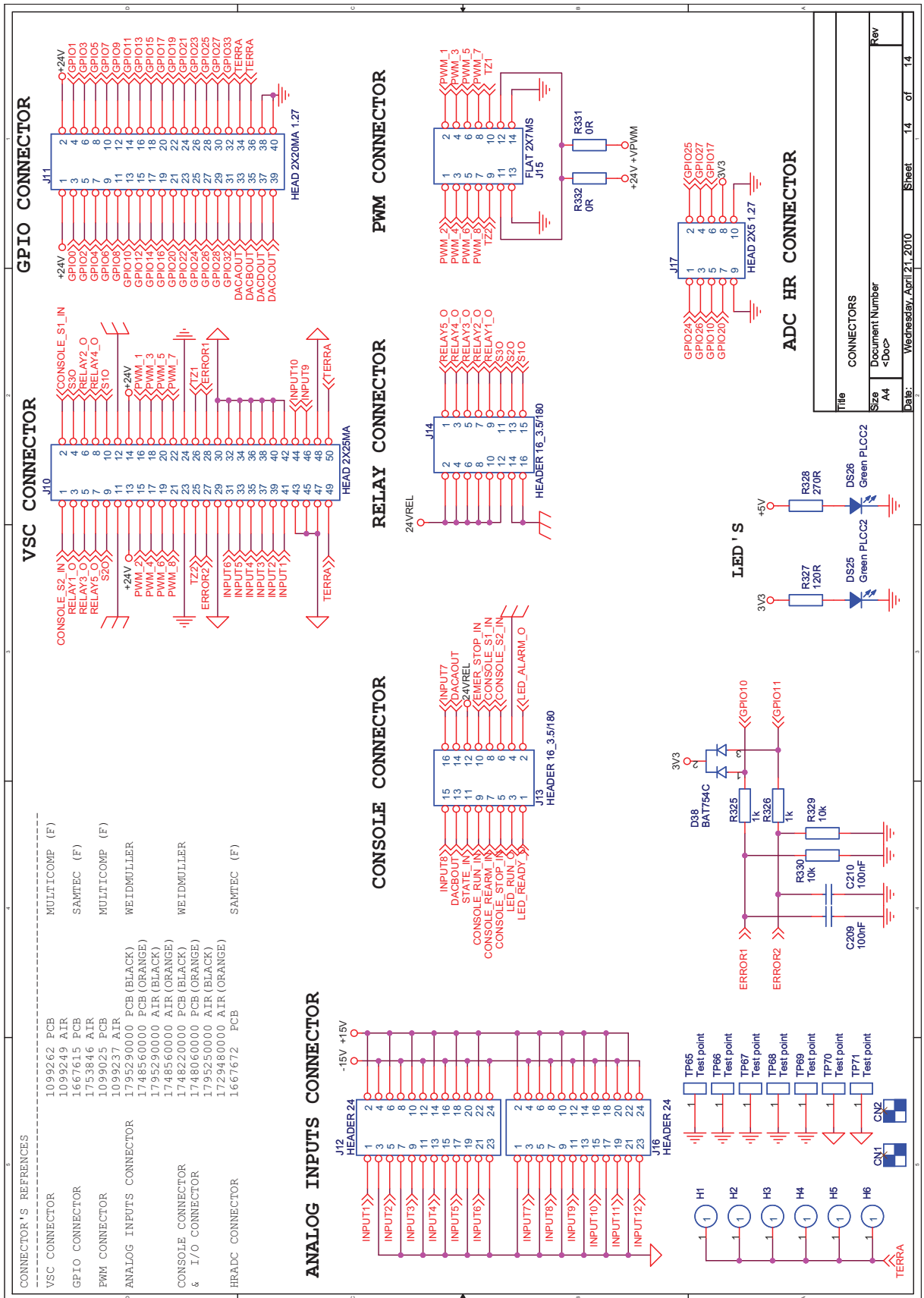


Figura C.14: Esquema Complet Connexió Connectors





## Apèndix D

# Esquemes Elèctrics ADC 24 Bits



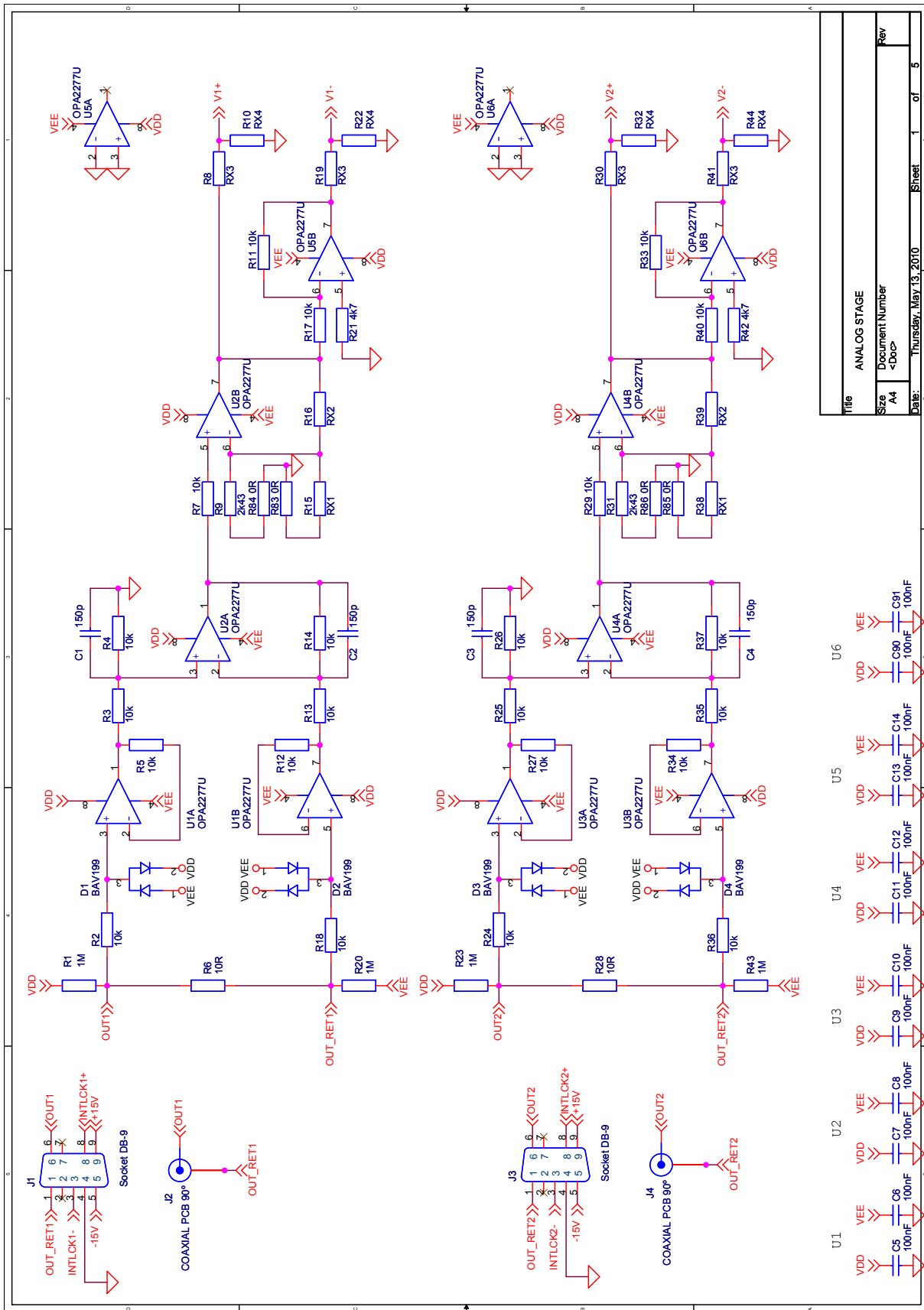


Figura D.1: Esquema Complet de la Etapa d'Acondicionament.





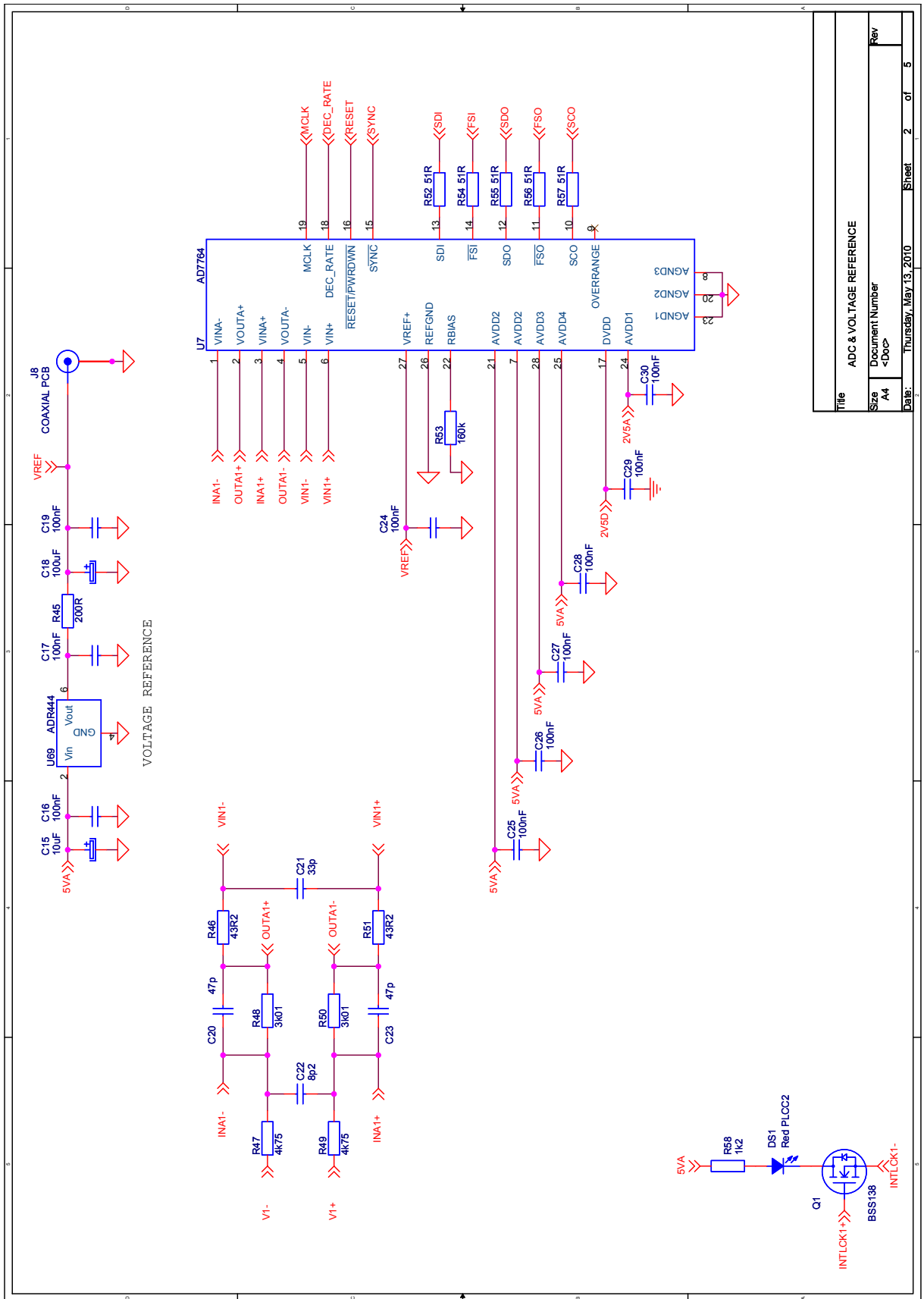


Figura D.2: Esquema Complet de la Referència de Tensió i Canal 1 AD7764.



Title		ADC & VOLTAGE REFERENCE	
Size	Document Number	Rev	
A4	<Doc>		
Date:	Thursday, May 13, 2010	Sheet	2 of 5

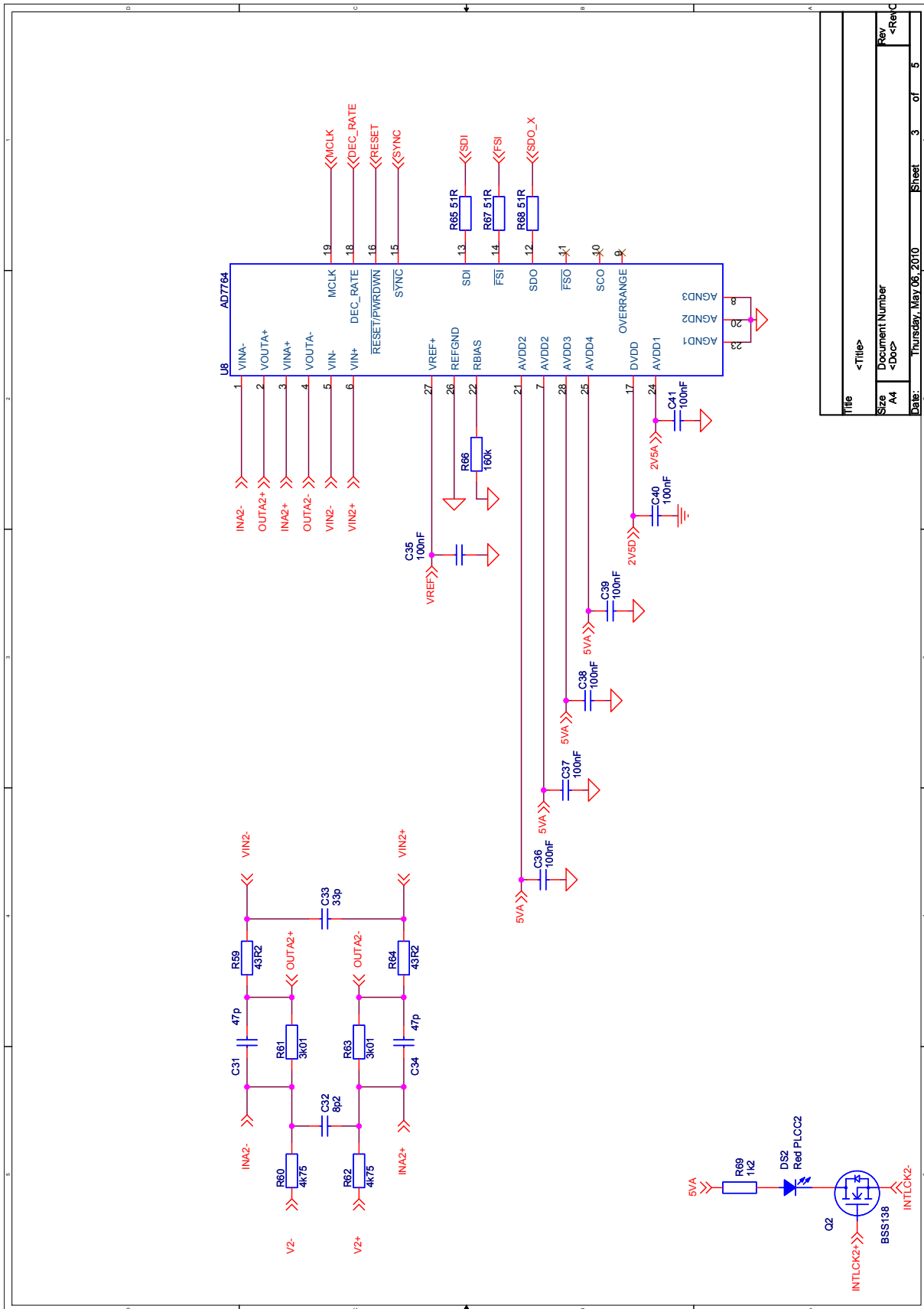


Figura D.3: Esquema Complet Canal 2 AD7764.



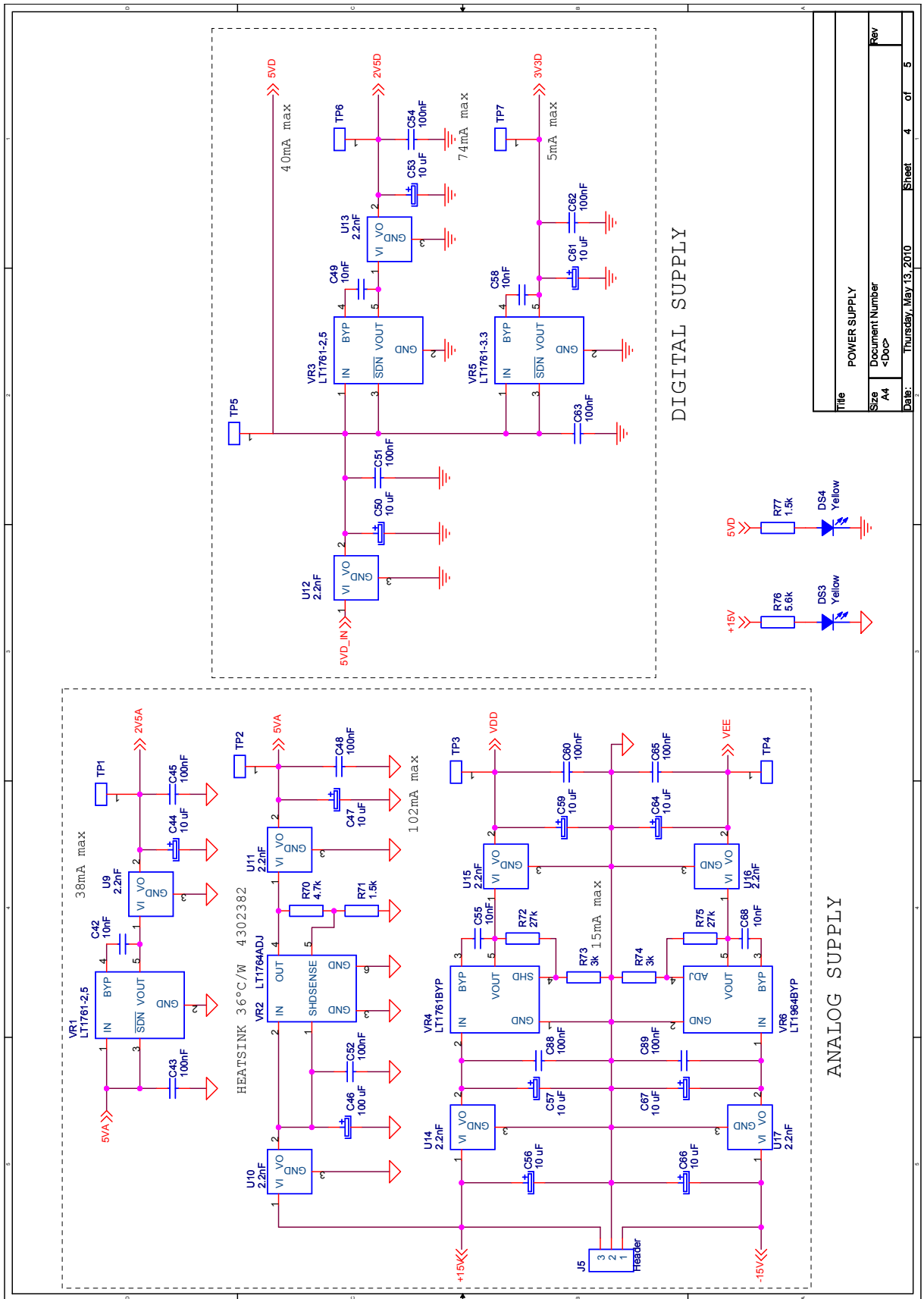


Figura D.4: Esquema Complet de les Alimentacions.



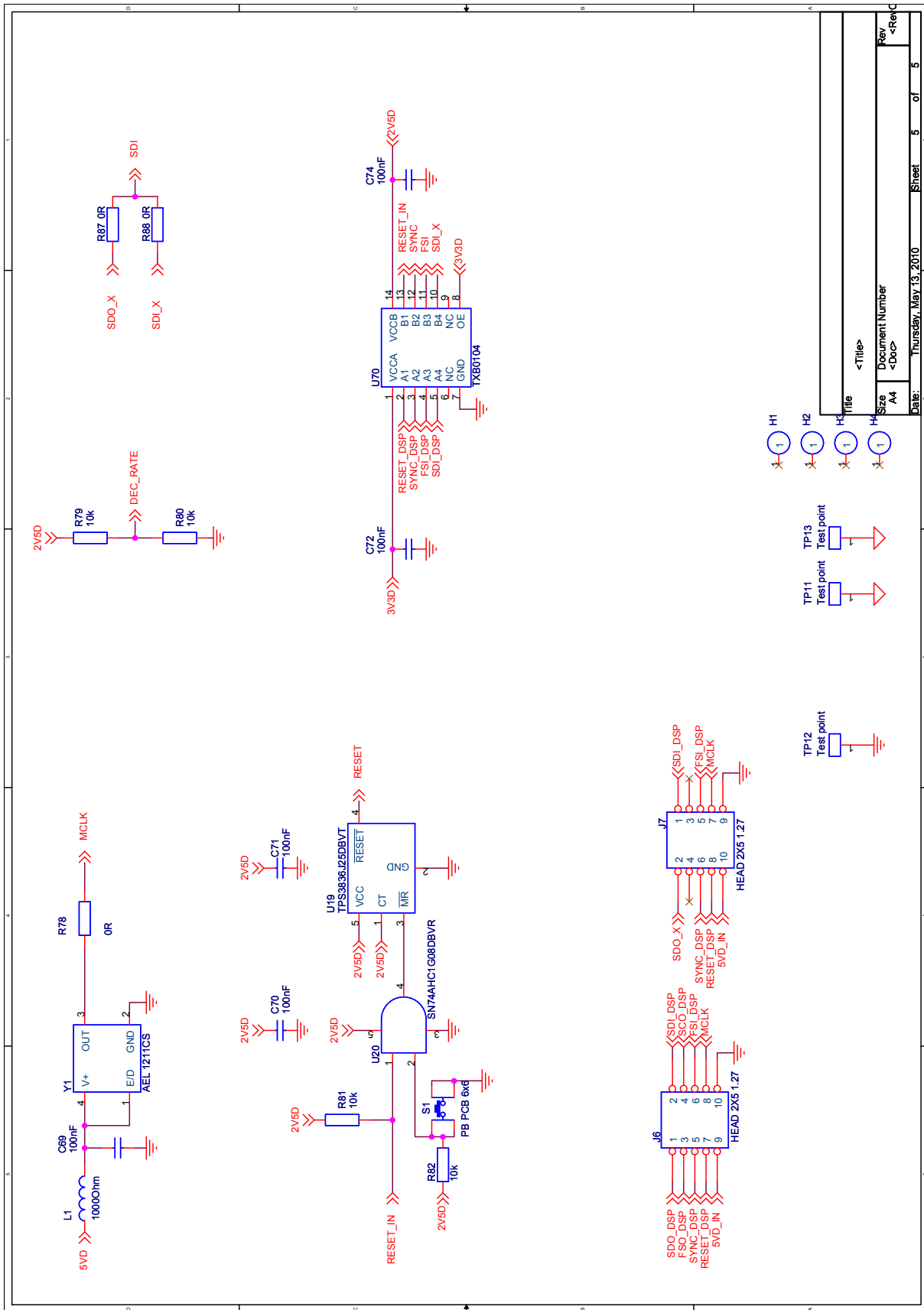


Figura D.5: Esquema Complet del Oscil·lador, Connectors i Circuiteria Digital.



Sheet	5	of	6
Date:	Thursday, May 13, 2010		
Size	A4	Document Number	<Doc>
Rev	<Title>	Rev	<Rev>

## Apèndix E

# Esquemes Layout Hobbes

En aquesta secció es presenten els esquemes *Layout* (*Gerbers*) de la placa de *Hobbes* i del ADC de 24 bits, juntament amb les fotos dels prototipus fabricats. Mostrem els dissenys *Layout* de les 4 capes realitzades en cadascun dels dissenys juntament amb les fotos de les cares superior i inferior de la *Hobbes* i del ADC de 24 bits. El fabricant que hem utilitzat per realitzar aquest primer prototipus de les dues plaques, ha estat EuroCircuits. Aquesta empresa opera únicament des d'internet. Les capes presentades són la superior *Top*, la inferior *Bottom* i les cares interiors *Power* i *Ground*. Encara que les capes internes tinguin aquest nom, no només s'han utilitzat per rutejar les alimentacions i la massa del circuit respectivament, si no que també s'han utilitzat pel traçat d'altres pistes.

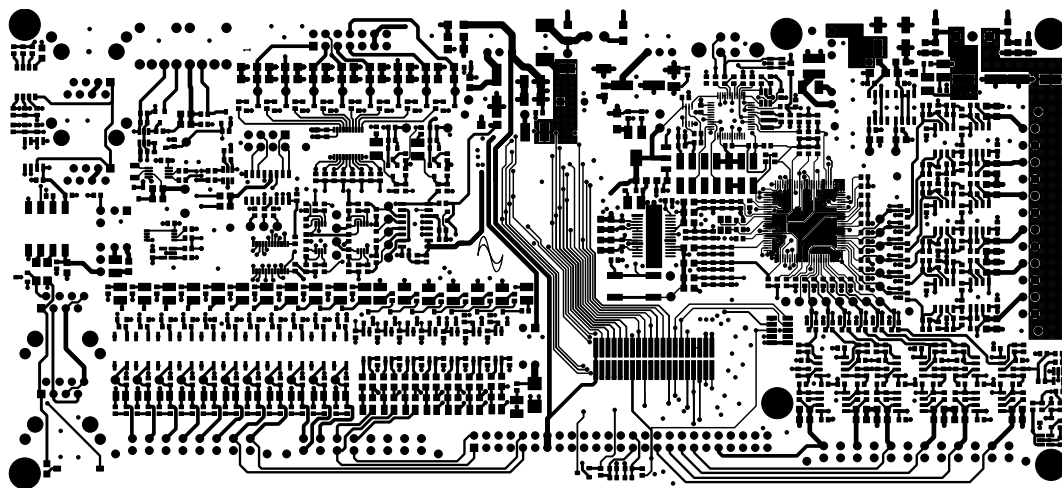
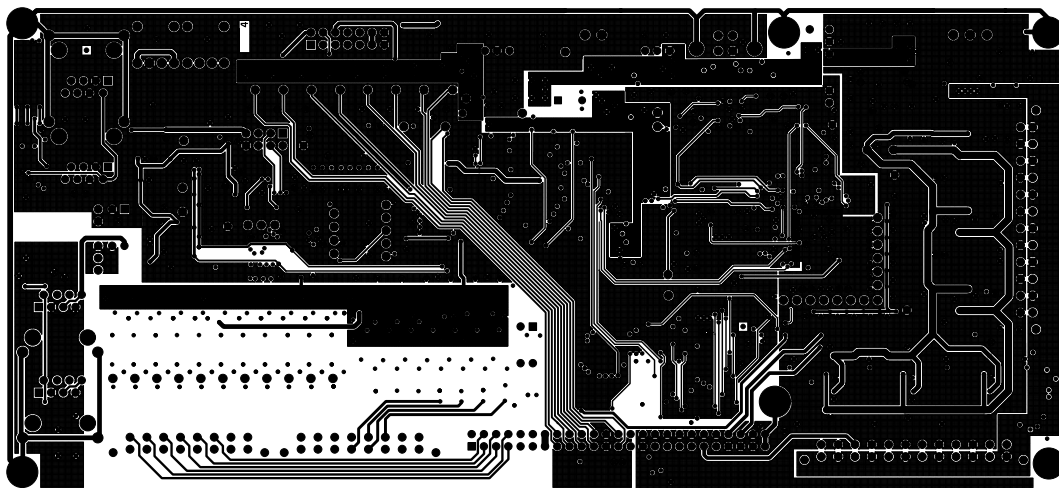
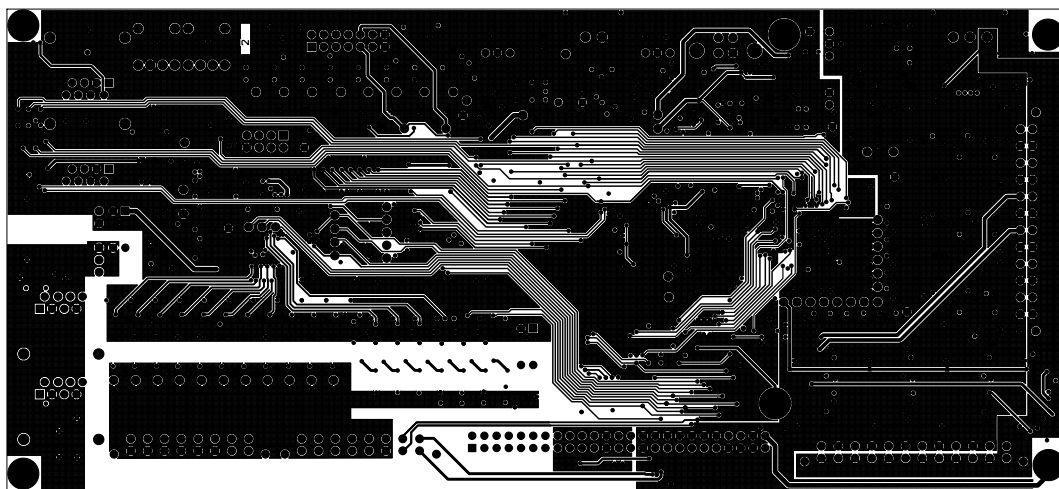


Figura E.1: *Gerber* de la capa *Top* de la *Hobbes*.

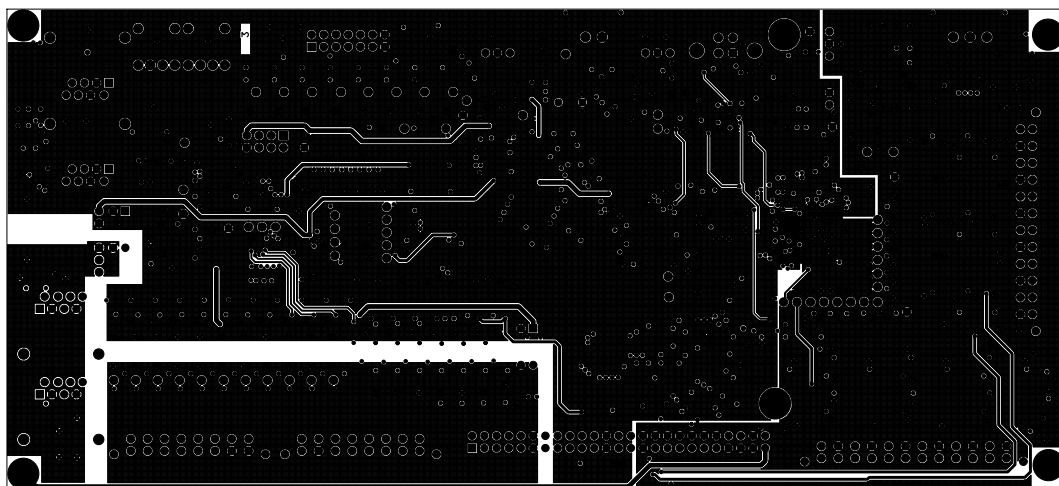




(a)



(b)



(c)

Figura E.2: Gerbers de les capes a) Bottom, b) Power i c) Ground de la Hobbes.





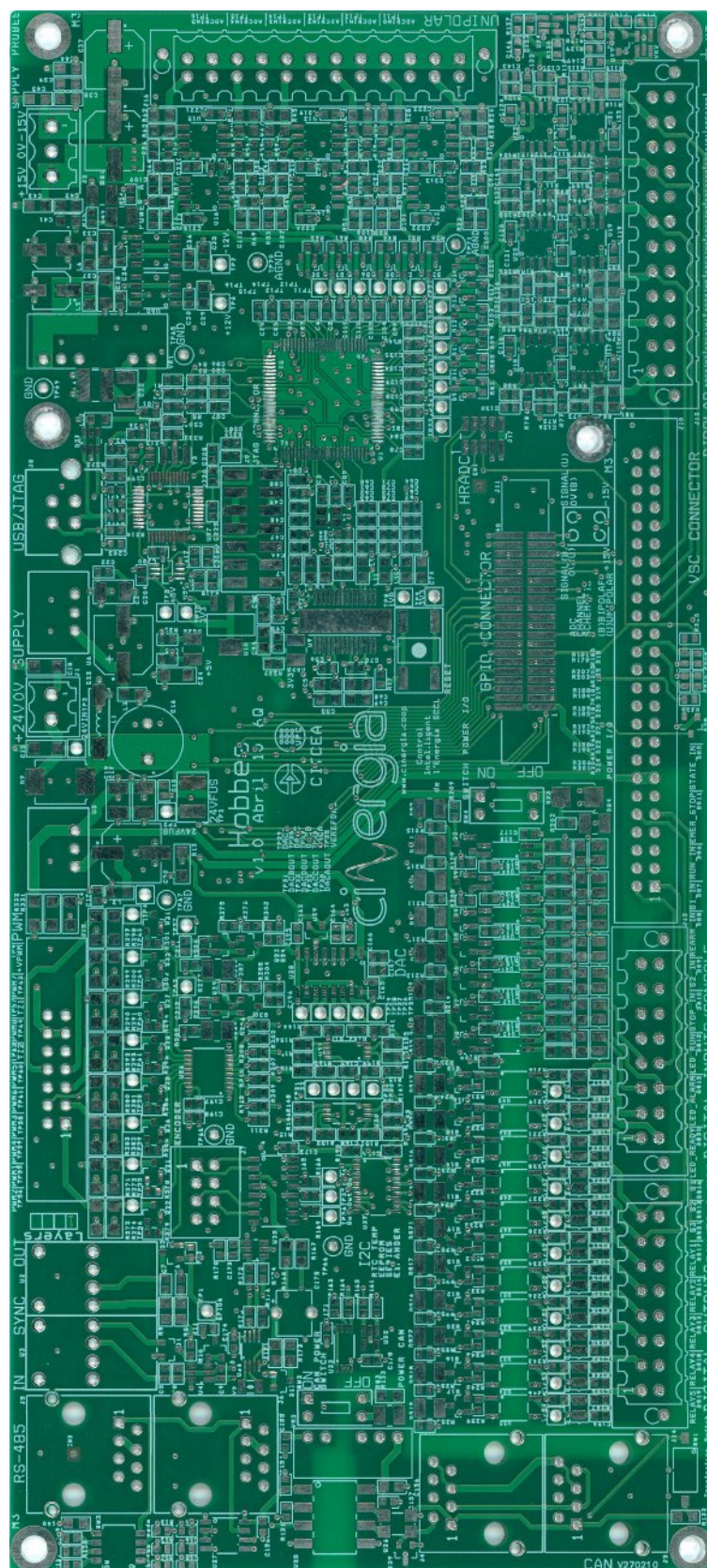


Figura E.3: Fotografia de la Cara Superior de la *Hobbes*.



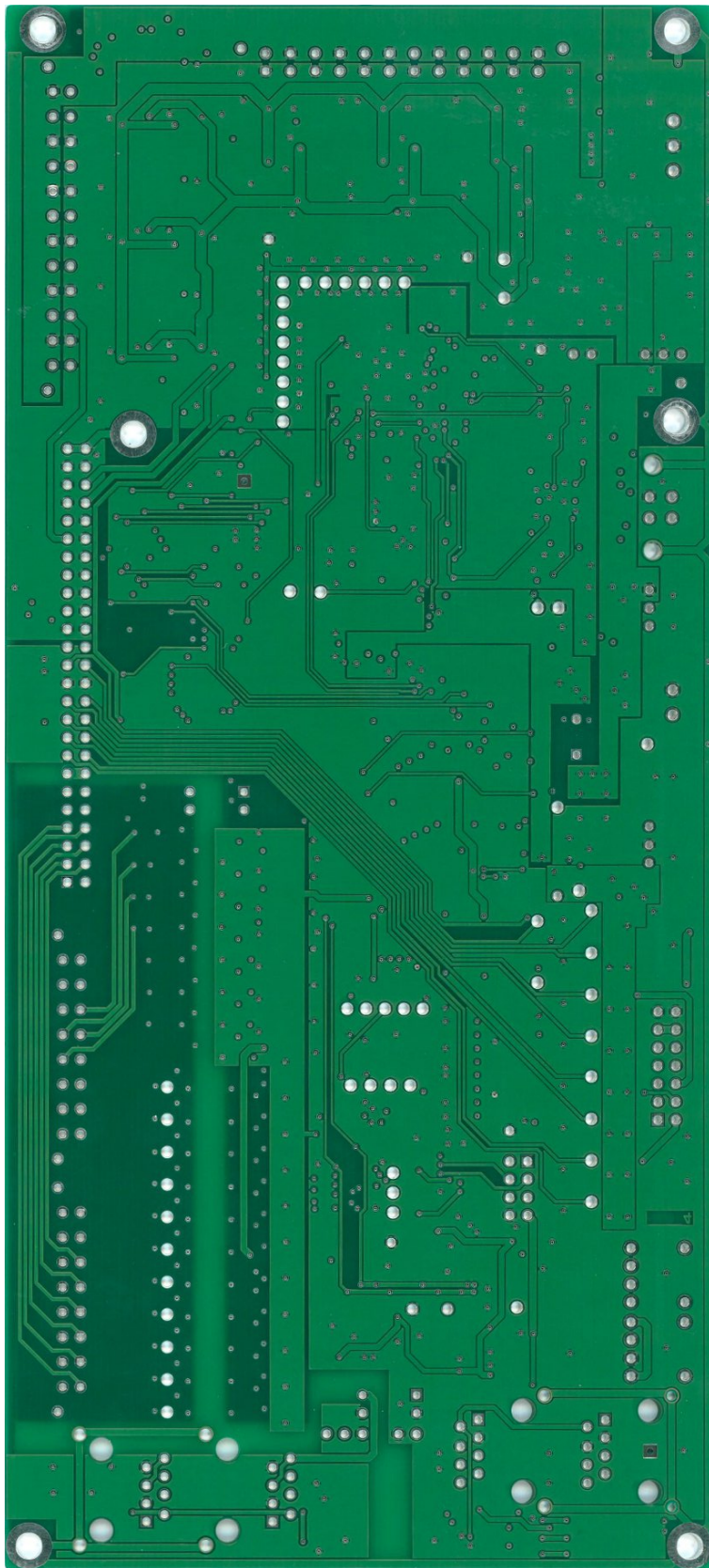


Figura E.4: Fotografia de la Cara Inferior de la *Hobbes*.

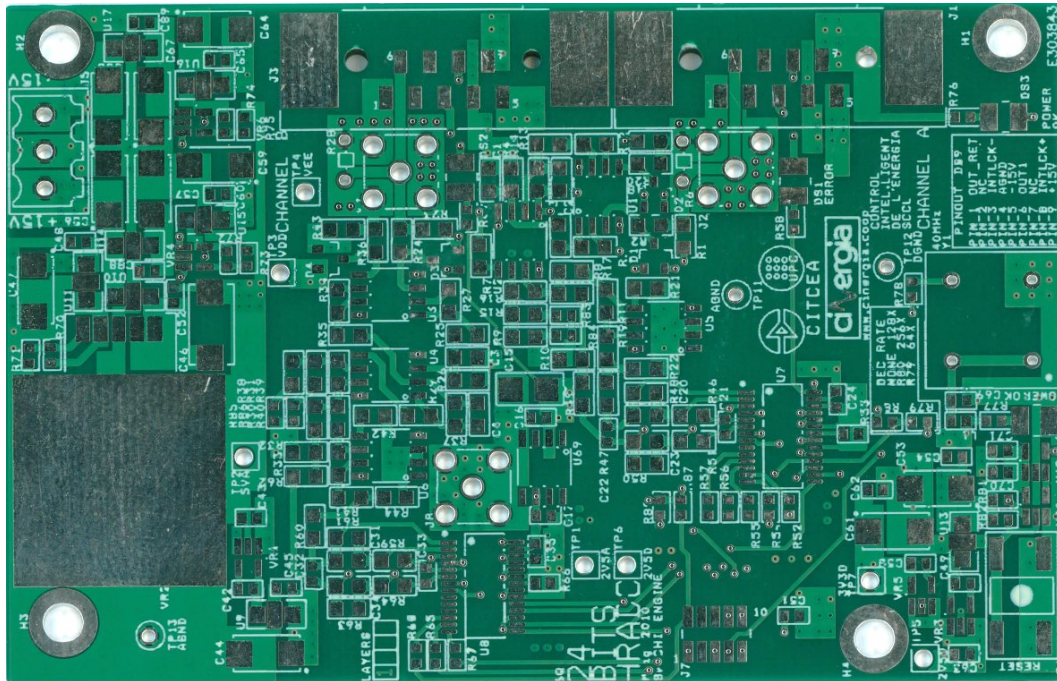




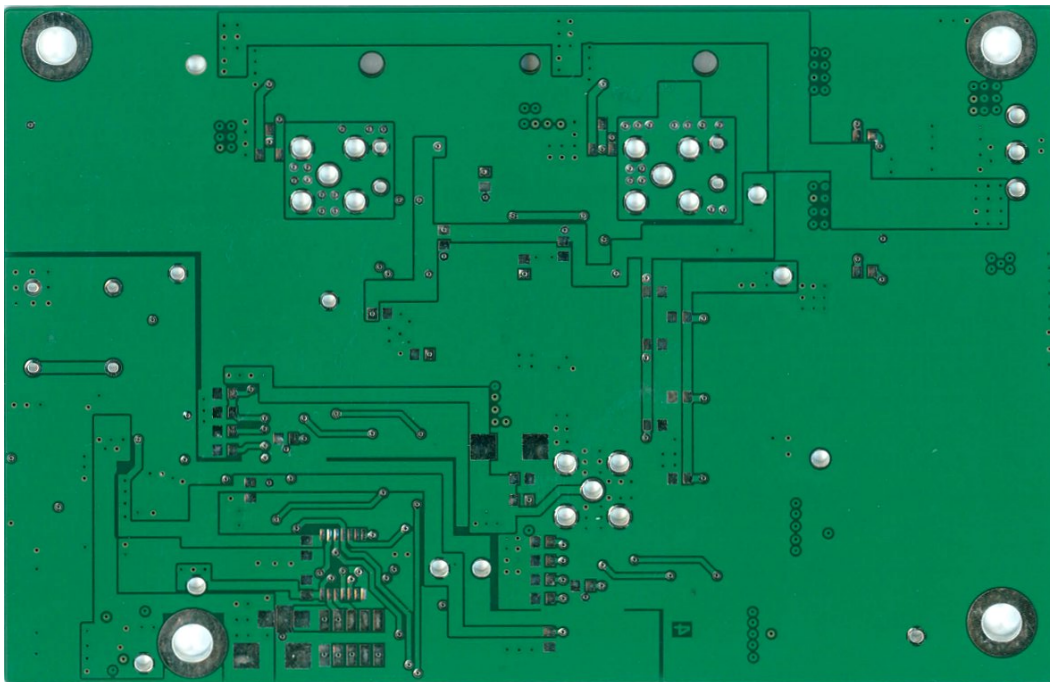
## Apèndix F

# Esquemes Layout ADC





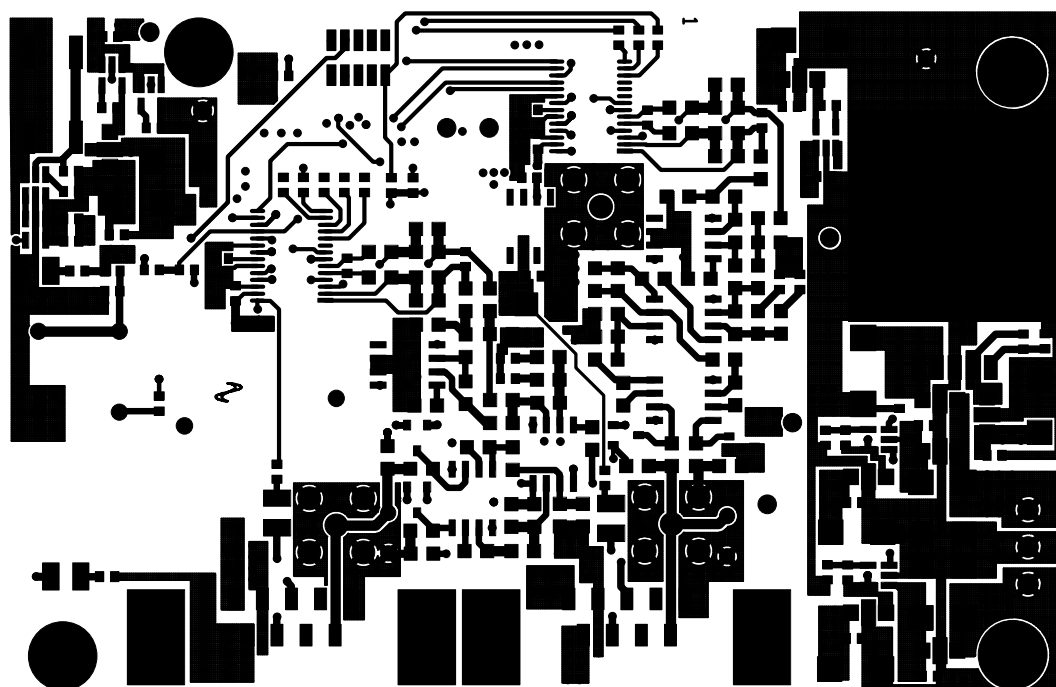
(a)



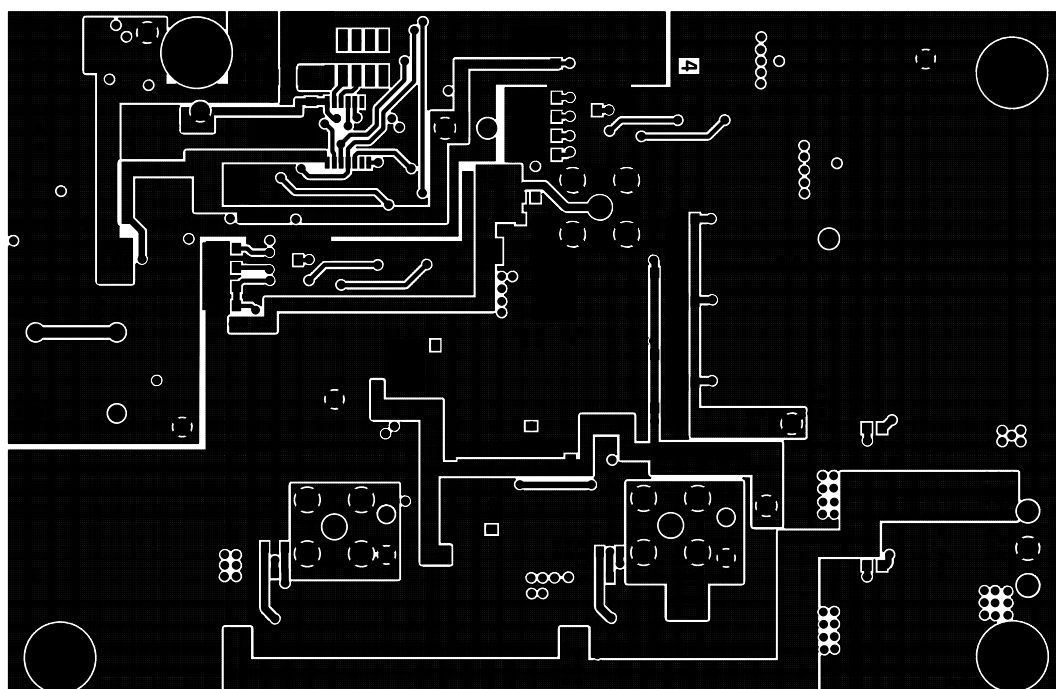
(b)

Figura F.1: Fotografies de la Cara Superior i Inferior del ADC de 24 Bits. a) Cara Superior i b) Cara Inferior.





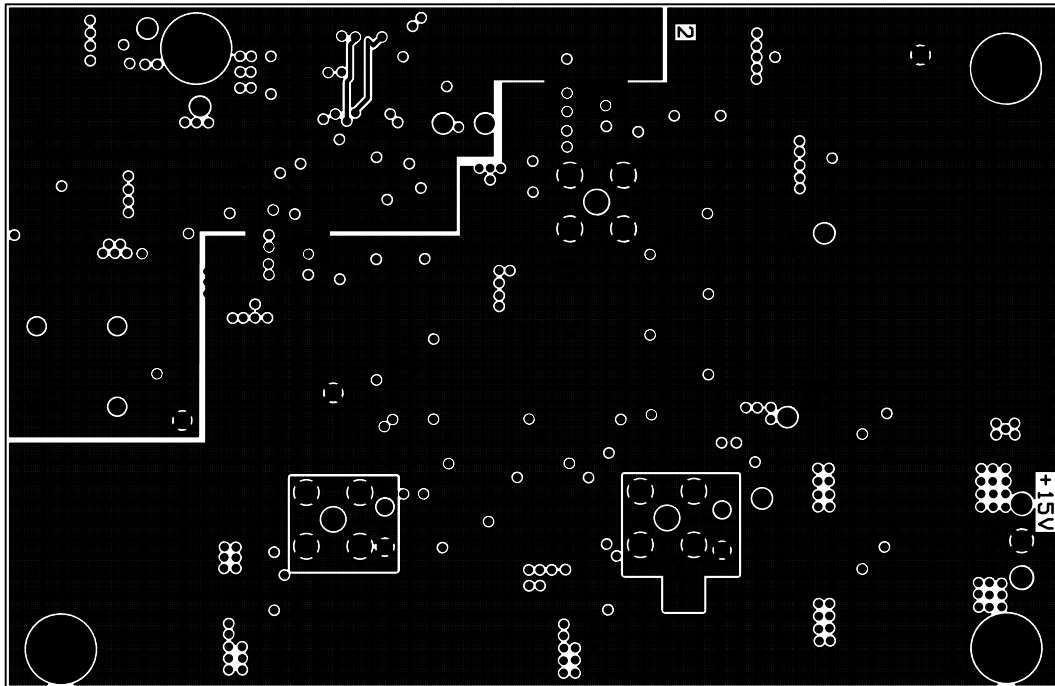
(a)



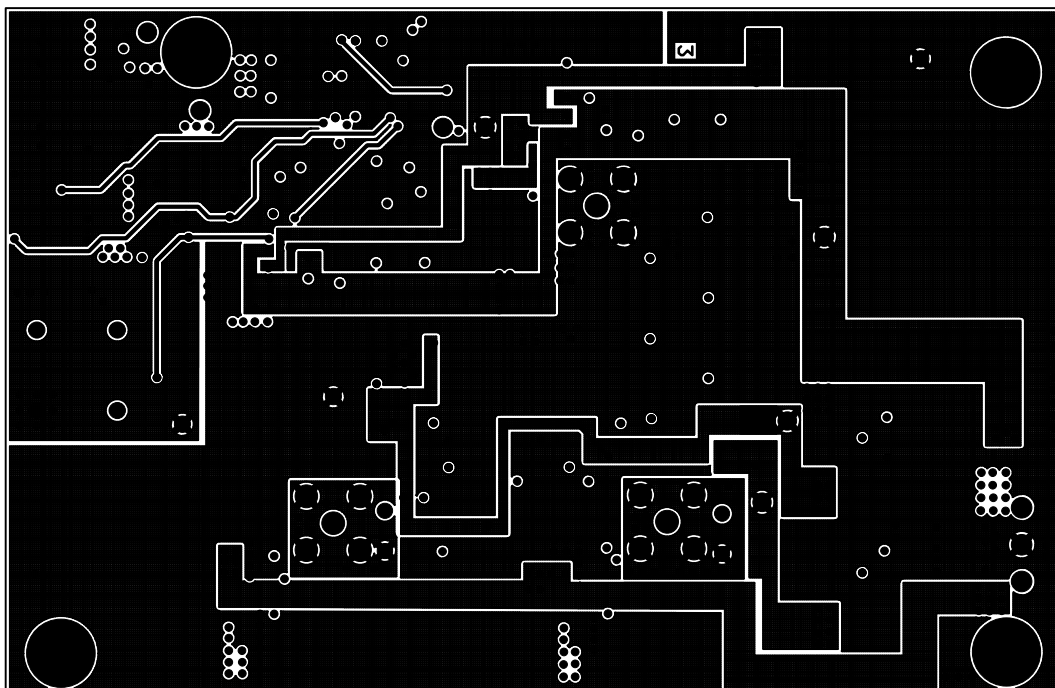
(b)

Figura F.2: Gerbers de les capes a) Top i b) Bottom del ADC de 24 Bits.





(a)



(b)

Figura F.3: Gerbers de les Capes a) *Ground* i b) *Power* del ADC de 24 Bits.



## Bibliografia

- [1] Robert W. Erickson and Dragan Maksimovic. *Fundamentals of Power Electronics*. Kluwer Academic Publisher, 2 edition, 2001. 18
- [2] Muhammad H. Rashid. *Power Electronics Handbook*. Els, 2 edition, 2007. 18
- [3] Bin Wu. *High Power Converters and AC Drives*. John Wiley & Sons, 1 edition, 2006. 18
- [4] Tore M. Underland Ned Mohan and William P. Robbins. *Power Electronics, Converters, Applications and Designs*. John Wiley & Sons, 3 edition, 2003. 18
- [5] Danaher. *Encoder Application Handbook*, 2003. 19
- [6] Texas Instruments. *SPRU791F - TMS320x280x, 2801x, 2804x Enhanced Pulse Width Modulator (ePWM) Module*. 21
- [7] Texas Instruments. *SPRU566I - TMS320x28xx, 28xxx DSP Peripheral*. 25
- [8] IEC. *IEC-60297-3 - Mechanical Structures for Electronic Equipment. Dimensions of Mechanical Structures of the 482,6 mm (19 in) Series*, 2004. 29
- [9] The Institute for Interconnecting and Packaging Electronic Circuits (IPC). *IPC-2221A, Generic Standard on Printed Board Design*, May 2003. 29
- [10] The Institute for Interconnecting and Packaging Electronic Circuits (IPC). *IPC-7351A, Generic Requirements for Surface Mount Design and Land Pattern Standard*, February 2007. 29
- [11] IEC. *IEC 61000-6-3 - Electromagnetic compatibility (EMC). Generic standards. Emission standard for residential, commercial and light-industrial environments*, 2006. 29
- [12] IEC. *IEC 61000-6-2 - Electromagnetic compatibility (EMC). Generic standards. Immunity for industrial environments*, 2005. 29
- [13] Texas Instruments. *SPRS230L - TMS320F2809, TMS320F2808, TMS320F2806 TMS320F2802, TMS320F2801, TMS320C2802 TMS320C2801, TMS320F28016, TMS320F28015 Digital Signal Processors*. 29, 31
- [14] Pradeep Shinde. *SPRAAS1A - Hardware Design Guidelines for TMS320F28xx and TMS320F28xxx DSCs*. Texas Instruments, 2008. 29
- [15] Bruce R. Archambeault. *PCB Design for Real-World EMI Control*. KI, 2002. 31
- [16] Infineon Technologies. *AP24026 Microcontroller EMC Design Guidelines for Microcontroller Board Layout*, 2005. 31





- [17] Mark I. Montrose. *Printed Circuit Board Design Techniques for EMC Compliance*. IEEE Press Editorial Board, 2 edition, 2000. 31
- [18] Tim Williams. *EMC for Product Designers*. Elsevier Ltd., 4 edition, 2007. 31
- [19] Tim Williams. *The Circuit Designer's Companion*. Elsevier Ltd., 2 edition, 2005. 31
- [20] Texas Instruments. *SPRU716D - TMS320x280x, 2801x, 2804x DSP Analog-to-Digital Converter (ADC)*. 37
- [21] Jim Karki Bruce Carter, Patrick Rowland and Perry Miller. *SLOA035B Amplifiers and Bits: An Introduction to Selecting Amplifiers for Data Converters*. Texas Instruments, 2001. 37, 53
- [22] Sergio Franco. *Diseño con Amplificadores Operacionales i Circuitos Integrados Analógicos*. McGRAW-HILL BOOK COMPANY, 3 edition, 2002. 37
- [23] Mark Stitt. *SBVA010 - Improved Voltage Reference Filter has Several Advantages*. Texas Instruments, 1994. 39
- [24] Thomas Kugelstadt. *The RS-485 Design Guide*. Texas Instruments, 2008. 40
- [25] Texas Instruments. *SPRUFK7A - TMS320x280x, 2801x, 2804x Serial Communications Interface (SCI)*. 40
- [26] Texas Instruments. *SPRUG72 - TMS320x280x, 2801x, 2804x Serial Peripheral Interface*. 41
- [27] NXP. *I2C-Bus Specification and User Manual*, 2007. 42
- [28] Texas Instruments. *IEEE Std 1149.1 (JTAG) Testability*, 1997. 46
- [29] LEM. *High Accuracy, High Technology : The Perfect Choice! ITB 300-S / IT 400-S / IT 700-S Current Transducers*. 49
- [30] Analog Devices. *Data Conversion Handbook*. Analog Devices, 2004. 49
- [31] Walt Kester. *MT-023 TUTORIAL ADC Architectures IV: Sigma-Delta ADC Advanced Concepts and Applications*. Analog Devices, 2008. 49
- [32] Walt Kester. *MT-022 TUTORIAL ADC Architectures III: Sigma-Delta ADC Basics*. Analog Devices, 2008. 49
- [33] John G. Proakis and Dimitris G. Manolakis. *Tratamiento Digital de Señales*. PRENTICE HALL, INC, 3 edition, 2003. 49
- [34] Analog Devices. *AD7764: 24-Bit, 312 kSPS, 109 dB Sigma Delta ADC with On-Chip Buffers and Serial Interface*, 2009. 50
- [35] Walt Kester. *MT-003 TUTORIAL Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor*. Analog Devices, 2008. 50
- [36] Bonnie C. Baker. *SBAA147A - A Glossary of Analog-to-Digital Specifications and Performance Characteristics*. Texas Instruments, 2008. 50
- [37] Bonnie C. Baker. *Matching the Noise Performance of the Operational Amplifier to the ADC*. Texas Instruments, 2006. 53
- [38] James Karki. *SLOA054D Fully-Differential Amplifiers*. Texas Instruments, 2002. 55



- [39] Bonnie Baker and Miro Oljaca. *How the Voltage Reference Affects ADC Performance Part 1*. Texas Instruments, 2009. [56](#)
- [40] Bonnie Baker and Miro Oljaca. *How the Voltage Reference Affects ADC Performance Part 2*. Texas Instruments, 2009. [56](#)
- [41] Bonnie Baker and Miro Oljaca. *How the Voltage Reference Affects ADC Performance Part 3*. Texas Instruments, 2009. [56](#)
- [42] Walt Kester. *MT-007 TUTORIAL Aperture Time, Aperture Jitter, Aperture Delay Time-Removing the Confusion*. Analog Devices, 2008. [57](#)
- [43] Texas Instruments. *SBAU128B - ADCPro User's Guide*, 2009. [68](#)
- [44] David F. Stout. *Handbook of Operational Amplifier Circuit Design*. McGRAW-HILL BOOK COMPANY, 1976. [83](#)
- [45] Ricard Villà. *Dinàmica de Sistemes*. Publicacions d'abast S.L.L., first edition, Febrer 2000. [85](#)

