



Escola Politècnica Superior  
de Castelldefels

UNIVERSITAT POLITÈCNICA DE CATALUNYA

# TREBALL DE FI DE CARRERA

**TÍTOL:** Disseny d'un equalitzador actiu

**TITULACIÓ:** Enginyeria Tècnica de Telecomunicació, especialitat en Sistemes de Telecomunicacions

**AUTOR:** Joan Pujol i Duarri

**DIRECTOR:** Gabriel Montoro López

**DATA:** 2 de setembre del 2005

**Títol:** Disseny d'un equalitzador actiu

**Autor:** Joan Pujol i Duarri

**Director:** Gabriel Montoro López

**Data:** 2 de setembre del 2005

## **Resum**

En aquest treball de fi de carrera s'ha realitzat el disseny d'un equalitzador actiu. Aquest equalitzador està format pel processador de senyal TAS3002 i pel microcontrolador PIC18F452.

La senyal analògica entra pel jack RCA1 i es transformada a digital amb el ADC del TAS3002 per així ser processada i filtrada amb l'equalitzador. Aquesta senyal pot ser amplificada o atenuada a partir del volum, els greus i els aguts. Posteriorment, la senyal torna a ser convertida a analògica a partir del DAC del TAS3002 i enviada al jack RCA2.

Tots els paràmetres i registres de control del TAS3002 es controlen a partir del microcontrolador PIC18F452. S'utilitza la interfície I2C per comunicar els dos dispositius i així enviar dades. Tots els registres han estat prèviament programats amb el software MPLAB.

S'ha realitzat la placa electrònica en un circuit imprès de dos capes, que realitza el funcionament anterior.

**Title:** An active equalizer design

**Author:** Joan Pujol Duarri

**Director:** Gabriel Montoro López

**Date:** September, 2th 2005

## **Overview**

In this work has realized an active equalizer design. This equalizer is maked by the signal procesor TAS3002 anb the microcontroller PIC18F452.

The analog signal enters in a RCA1 jack and has performed to digital with ADC from TAS3002 for being procesed and filter with the equalizer. This signal is amplified or attenuated from volum, bass and trebble. Afterwards, the signal return to be converted to an analog signal from the DAC and sent to RCA2 jack.

All the parameters and control registers of TAS3002 are controlled from the microcontroler PIC18F452. The I2C interface is used for comuncate two dispositive and then sent information between them. All the registers has been programmed with MPLAB software before that.

It has built an electronic plate with two layouts which realize the functions that has explained before.

# ÍNDIX

<b>INTRODUCCIÓ</b> .....	<b>1</b>
<b>CAPÍTOL 1. TAS3002</b> .....	<b>2</b>
<b>1.1. Introducció</b> .....	<b>2</b>
1.1.1. Descripció .....	2
1.1.2. Característiques .....	2
1.1.3. El xip TAS3002 .....	3
<b>1.2. Entrada i sortida analògica</b> .....	<b>3</b>
1.2.1. Entrada analògica .....	3
1.2.2. Sortida analògica .....	4
<b>1.3. Funcions de control d'àudio</b> .....	<b>4</b>
1.3.1. Control del volum .....	4
1.3.2. Control del mute.....	5
1.3.3. Control de mescla .....	5
1.3.4. Control dels aguts .....	5
1.3.5. Control dels greus .....	5
<b>1.4. Processador de filtratge</b> .....	<b>6</b>
1.4.1. Bloc biquad .....	6
1.4.2. Coeficients dels filtres biquad .....	6
1.4.3. Estructura filtre biquad .....	6
<b>1.5. Interfície de control sèrie I2C</b> .....	<b>7</b>
1.5.1. Descripció .....	7
1.5.2. Protocol I2C.....	7
1.5.3. Operació .....	8
1.5.3.1 Exemple cicle d'escriptura .....	8
1.5.3.2 Exemple I2C.....	8
1.5.3.3 Estat d'espera I2C .....	9
<b>1.6. Operacions del microcontrolador del TAS3002</b> .....	<b>10</b>
1.6.1. Descripció .....	10
1.6.2. Reset .....	10
1.6.3. Terminals programables GPI.....	11
<b>CAPÍTOL 2. MICROCONTROLADOR PIC18F452</b> .....	<b>12</b>
<b>2.1. Introducció</b> .....	<b>12</b>
2.1.1. Descripció general .....	12
2.1.2. Descripció dels pins .....	13
<b>2.2. Configuració de l'oscilador</b> .....	<b>14</b>
<b>2.3. Reset</b> .....	<b>15</b>
<b>2.4. Entrades i sortides digitals</b> .....	<b>15</b>
<b>2.5. Memòria Flash</b> .....	<b>16</b>
2.5.1. Taula d'escriptura i lectura .....	16
2.5.2. Lectura de la memòria Flash .....	17

<b>2.6. Mòdul MSSP</b>	<b>17</b>
2.6.1. Mode I2C	17
2.6.2. Registres de funcionament I2C	18
2.6.3. Mode mestre I2C	18
2.6.4. Operació del mode mestre I2C	19
2.6.5. Velocitat de comunicació I2C	20
<b>CAPÍTOL 3. FILTRE BIQUAD</b>	<b>21</b>
<b>CAPÍTOL 4. DISSENY</b>	<b>23</b>
<b>4.1. Descripció general</b>	<b>23</b>
4.1.1. Mode operatiu	23
4.1.2. Característiques	23
4.1.3. Condicions de desenvolupament	23
4.1.4. Descripció d'entrades	23
4.1.5. Descripció de sortida	24
<b>4.2. Components del sistema</b>	<b>24</b>
4.2.1. Alimentació	24
4.2.2. Amplificació del micròfon	24
4.2.3. Senyal d'entrada	24
4.2.4. Senyal de sortida	25
4.2.5. Funcions ADC/DAC	25
4.2.6. El microcontrolador	25
4.2.7. Generació rellotge PIC18F452	25
4.2.8. Generació rellotge TAS3002	25
4.2.9. Display	25
4.2.10. Interruptors	26
<b>4.3. Mode de funcionament</b>	<b>26</b>
4.3.1. Seqüència d'encendre	26
4.3.2. Seqüència dels interruptors	26
<b>4.4. Comandes I2C TAS3002</b>	<b>27</b>
4.4.1. Registre de control 2	27
4.4.2. Registre de control analògic	27
4.4.3. Comanda filtres biquad	28
4.4.4. Comanda control del volum	28
4.4.5. Comanda control dels greus	29
4.4.6. Comanda control dels aguts	29
4.4.7. Comanda control de mescla	29
<b>4.5. Comandes I2C del PIC18F452</b>	<b>30</b>
4.5.1. Inicialitzar interfície I2C	30
4.5.2. Velocitat de transmissió	30
4.5.3. Seqüència de transmissió	31
<b>4.6. Equalitzador digital</b>	<b>32</b>
4.6.1. Configuració dels ports d'entrada i sortida	33
4.6.2. Accés a la taula de memòria Flash	34
4.6.3. Coeficients filtres biquad	35
<b>CAPÍTOL 5. ANALISI CIRCUITAL</b>	<b>38</b>
<b>5.1. Anàlisi de la senyal d'entrada</b>	<b>38</b>
5.1.1. Senyal de línia	38

5.1.2. Senyal de micròfon .....	39
<b>5.1. Anàlisi de la senyal de sortida.....</b>	<b>40</b>
<b>CAPÍTOL 6. LA PLACA ELECTRONICA.....</b>	<b>41</b>
6.1. Diagrama de blocs.....	41
6.2. Disseny esquemàtic .....	41
6.3. Disseny circuit imprès.....	41
6.4. Circuit imprès .....	42
<b>CAPÍTOL 7. OBSERVACIONS.....</b>	<b>43</b>
<b>CAPÍTOL 8. CONCLUSIONS .....</b>	<b>44</b>
<b>CAPÍTOL 9. BIBLIOGRAFIA.....</b>	<b>45</b>
<b>ANNEXOS.....</b>	<b>46</b>



## INTRODUCCIÓ

L'objectiu d'aquest projecte és el disseny d'un equalitzador de senyals d'àudio analògiques. Tot aquest disseny es centra en el dispositiu de Texas Instruments, TAS3002, i el microcontrolador PIC18F452.

Es crearà una placa electrònica per simular un equalitzador de senyals analògiques, a partir de l'equalització digital de fàcil configuració.

Es desitja que la placa electrònica pugui processar senyals d'àudio o senyals de veu d'un micròfon. Aquestes senyals volem que siguin filtrades i amplificades o atenuades a la sortida per millorar-les. A partir d'interruptors volem que la placa funcioni de forma més dinàmica, augmentant o disminuint el volum, els aguts i els greus. També a partir d'interruptors volem que la senyal sigui filtrada per diferents tipus d'equalitzadors.

El projecte es divideix en les següents parts:

- Estudi dels components principals: microcontrolador i procesador de senyals d'àudio
- Estudi dels filtres biquads i tipus d'equalitzadors
- Implementació codi assembler per controlar la placa electrònica
- Disseny circuital de la placa
- Realització de la placa electronica

L'elecció d'aquest projecte sorgeix després de la realització de l'optativa de sistemas audiovisuals. Amb l'interés mostrat arrel d'aquesta assignatura, és va voler realitzar un projecte en el qual es pogués fer el disseny d'una aplicació d'audió, que tingués contingut software i hardware.



# CAPÍTOL 1. TAS3002

## 1.1. Introducció

### 1.1.1. Descripció

El dispositiu TAS3002 és un sistema implementat en un chip que substitueix la equalització analògica convencional. El dispositiu ens permet equalitzar senyals, controlar el volum, els greus i aguts, el marge dinàmic, etc... Tots els paràmetres es carreguen des de un dispositiu extern a partir de l'interfície I2C.

El dispositiu TAS3002 té integrat un codificador estèreo de 24 bits amb dos canals d'entrada.

L'equalitzador digital paramètric conté 7 filtres en cascada e independents per cada canal. Cada biquad conté 5 coeficients de 24 bits, que es poden configurar en diferents funcions (passa baixes, passa altes, passa banda).

La freqüència de mostreig pot ser 32kHz, 44,1kHz o 48kHz. Utilitza un sistema de rellotge generat per un PLL intern. El rellotge de referència del PLL esta proveït per un rellotge mestre de 256fs o 512fs, o un rellotge de cristall de 256fs.

A més el dispositiu conté sis terminals d'entrada (GPI) que controlen el volum, greus i aguts. Cada Terminal GPI té un algoritme programat dins el microcontrolador del TAS3002.

En el annex 6, trobareu el diagrama de blocs del TAS3002 (annex 6.1) i la descripció de cada pin (Annex 6.2)

### 1.1.2. Característiques

- Equalitzador paramètric de 7 bandes programable
- Control digital del volum programable
- Control digital dels greus i aguts programable
- Compressió/expansió del nivell dinàmic programable
- Port sèrie configurat per dades d'àudio
- Dos canals d'entrada que poden ser mesclats amb el convertor analògic-digital del codificador. Aquests canals estan controlats per les comandes I2C.
- Tres canals de sortida
- Capacitat de mesclar canals esquerra i dret per una sortida monoaural per facilitar la operació de subwoofer.
- Port sèrie I2C mestre/esclau que permet:
  - Descarregar dades de control des de un altre dispositiu
  - Controlar altres dispositius amb port I2C
- Alimentació de 3.3V

- Desconnexió sense carregar coeficients
- Freqüència del rellotge de 256fs i 512fs
- Sis terminals GPI per controlar volum, greus, aguts, mute.

### 1.1.3. El xip TAS3002

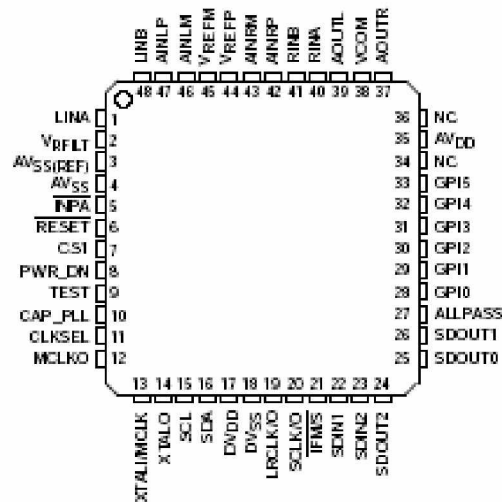


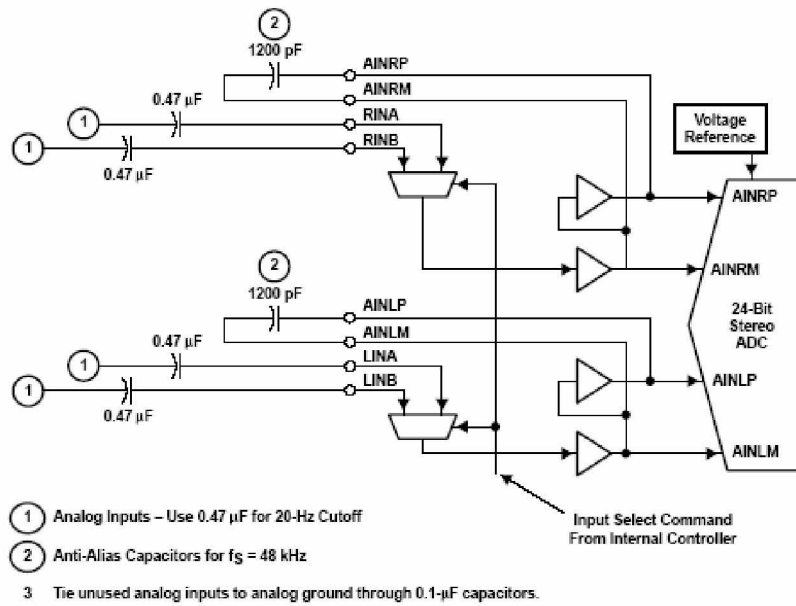
Fig. 1.1 Terminals TAS3002

## 1.2. Entrada i sortida analògica

El dispositiu conté un convertidor analògic/digital de 24 bits amb dos entrades per canal. Seleccionar el canal analògic A o B es fa usant el registre de control (ACR) a partir de les comandes I2C. A més, el TAS3002 té 24 bits de conversió digital a analògica

### 1.2.1 Entrada analògica

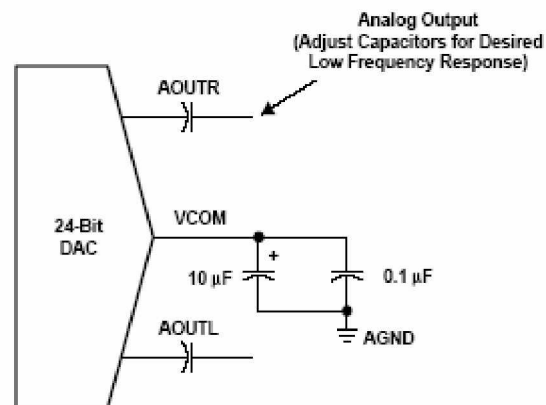
La figura 1.2 mostra els components necessaris per l'entrada digital del dispositiu. La senyal d'entrada màxima no pot excedir de 0.7Vrms. Seleccionant els següents components de la figura ens proporcionen els valors per aconseguir una resposta freqüencial de 20Hz a 20kHz a la freqüència de mostreig de 48kHz sense problemes a la freqüència d'àlias.



**Fig. 1.2** Esquema diagrama d'entrada TAS3002

## 1.2.2 Sortida analògica

La escala de la sortida analògica del TAS3002 es 0,707Vrms.



**Fig. 1.3** Esquema diagrama de sortida TAS3002

## 1.3. Funcions de control d'àudio

### 1.3.1. Control del volum

El TAS3002 implementa la propietat d'actualització de volum. Aquesta característica permet un lleuger canvi de volum des de el nivell de mute fins al so per sota del marge dinàmic (mute a +18dB).

El volum s'ajusta descarregant els coeficients de guany a partir de l'interfície I2C en el format 4.16-4 bits enters i 16 bits fraccionals. El marge de volum és de -70dB a 18dB amb una resolució de pas de 0,5dB.

El volum es canvia escrivint els valors dins els registres de control del volum. Això també es pot fer a partir de l'inserció de terminals GPI per augmentar i disminuir el volum. Alternativament, es poden enviar els coeficients a un altre dispositiu a partir de l'interfície I2C.

### **1.3.2. Control del mute**

Per posar el volum en mute hem de carregar tot de zeros en el registre de control del volum. Es pot controlar a partir dels terminals GPI o enviant una comanda de mute a partir del bus I2C.

### **1.3.3. Control de mescla**

El dispositiu es capaç de mesclar i multiplexar tres canals (SDIN1, SDIN2 i la sortida del ADC) de l'informació de so sèrie. Aquesta mescla es controla a partir dels registres de control.

### **1.3.4. Control dels aguts**

El guany dels aguts pot ser ajustat a partir del marge de 15dB a -15dB amb una resolució de 0,5dB. El nivell canvia descarregant els coeficients del registre de aguts. A partir dels terminals GPI podem augmentar i disminuir els aguts. També a partir del bus I2C podem descarregar coeficients des de un altre dispositiu.

El control de aguts té una freqüència central de 6KHz en els 48KHz de la freqüència de mostreig.

### **1.3.5. Control dels greus**

El guany dels greus pot ser ajustat a partir del marge de 15dB a -15dB amb una resolució de 0,5dB. El nivell canvia descarregant els coeficients del registre de greus. A partir dels terminals GPI podem augmentar i disminuir els greus. També a partir del bus I2C podem descarregar coeficients des de un altre dispositiu.

El control dels greus té una freqüència central de 250Hz en els 48KHz de la freqüència de mostreig.

## 1.4. Processador de filtratge

### 1.4.1. Bloc biquad

El bloc de filtres biquads contenen 7 filtres digitals per canal connectats en cascada com es veu en la figura 1.4. Cada filtre biquad té 5 coeficients, cadascun de 24 bits. Cada canal estèreo té coeficients independents.



Fig. 1.4 Diagrama de blocs biquad

### 1.4.2. Coeficients dels filtres biquad

Els coeficients del filtre del dispositiu es descarreguen a partir del port I2C i carregats dins l'espai de memòria biquad. Cada espai de memòria del filtre biquad té una direcció independent. Alternativament, els filtres es poden carregar insertant terminals en el port GPI.

Els coeficients dels filtres biquads els obtenim a partir del port I2C connectat a un dispositiu extern de memòria, i carregats al TAS3002 en el espai de memòria del biquads. Cada filtre biquad té adreces diferents.

### 1.4.3. Estructura filtre biquad

La estructura biquad que s'usa per els filtres equalitzadors paramètrics es la següent:

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{a_0 + a_1z^{-1} + a_2z^{-2}}$$

Fig. 1.5 Equació de funció de transferència

Els coeficients d'aquests filtres es representen en el format 4.20 – 4 bits per la part entera i 20 bits fraccional. Enloc d'enviar tots els bits pel port I2C, es necessari separar els coeficients en 3 bytes. Els 4 bits del byte 2 conte els 4 bits enters i els 4 bits fraccionals; els bytes 1 i 0 contenen els bits fraccionals.

## 1.5. Interfície de control sèrie I2C

### 1.5.1. Descripció

Els paràmetres de control del TAS3002 poden ser carregats des d'un terminal sèrie I2C d'una EEPROM a partir de l'utilització de la interfície mestre del TAS3002. Si la EEPROM no es present, el TAS3002 es convertirà en un dispositiu esclau i carregarà des de una altre interfície I2C mestre. L'informació carregada dins els registres del TAS3002 es defineix al Annex 3.1.

El bus I2C utilitza els terminals 16(SDA per dades) i 15(SCL pel rellotge) per comunicar-se entre els circuits integrats del sistema. Aquests dispositius s'adreces enviant una única adreça de 7bits d'esclau més 1 bit de R/W (1 byte en total). Tots els dispositius compatibles es connecten a partir dels terminals amb un bus bidireccional usant "Wire-AND connection". El TAS3002 opera en el mode estàndard a 100kbps amb altres dispositius a partir del bus bidireccional i amb una capacitat límit de 400pF.

### 1.5.2. Protocol I2C

El bus standard usa transicions SDA quan el rellotge està en estat alt per indicar les condicions de inici(Start) i final(Stop). Una transició d'estat alt a baix en SDA indica l'inici i una transició d'estat baix a alt indica el final de la transmissió. Aquestes condicions d'inici i final pel bus I2C son necessàries pel protocol estàndard per ser generat pel mode mestre. El mestre només pot generat 7 bits d'adreça esclau i 1 bit de R/W per obrir la comunicació entre un altre dispositiu i després esperar un condició d'ACK. L'esclau manté el SDA en estat baix durant el període de rellotge d'ACK per indicar un ACK. Quan això succeeix, el mestre transmet el següent byte de la seqüència.

Després de cada 8 bits de paraula, un ACK s'ha de transmetre per la correcte recepció del dispositiu. No hi ha límit en el nombre de bytes que poden ésser transmesos entre les condicions d'inici i final. Quan la ultima paraula es transmesa, el mestre genera una condició de finalització.

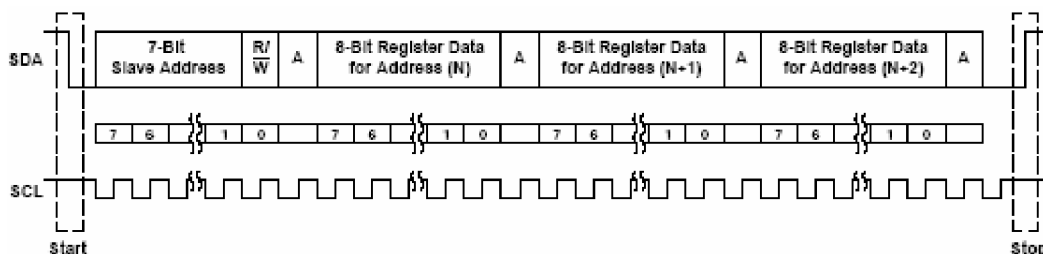


Fig. 1.6 Seqüència transferència de dades I2C

### 1.5.3. Operació

L'adreça de 7 bits del TAS3002 es 0110 10 X R/W on X es un bit d'adreça programable a partir del terminal 7 (CS1). Combinant els dos bits de CS1 i R/W, el TAS3002 pot respondre a 4 adreces diferents I2C (dos per llegir i dos per escriure). Aquestes dues adreces són adreces I2C llicenciades per tal que no hi hagi cap conflicte entre un altre dispositiu I2C de so amb llicència. A part dels bits anterior del dispositiu, s'envia sudadreces del dispositiu. Una completa taula de sudadreces i registres de control es poden observar al Annex 3.1.

**Taula 1.1.** Taula adreces I2C

I <sup>2</sup> C ADDRESS BYTE	A6-A1	CS1 (A0)	R/W
68h	011010	0	0
69h	011010	0	1
6Ah	011010	1	0
6Bh	011010	1	1

#### 1.5.3.1 Exemple cycle d'escriptura

Start	Slave Address	R/W	A	Subaddress	A	Data	A	Stop
-------	---------------	-----	---	------------	---	------	---	------

FUNCTION	DESCRIPTION
Start	Start condition as defined in I <sup>2</sup> C
Slave address	0110100 (CS1 = 0)
R/W	0 (write)
A	Acknowledgement as defined in I <sup>2</sup> C (slave)
Subaddress (treble control register)	0000 0101
Data (0 dB gain)	0111 0010
Stop	Stop condition as defined in I <sup>2</sup> C

**Fig. 1.7** Exemple cycle escriptura I2C

#### 1.5.3.2 Exemple I2C

El TAS3002 guarda en el buffer els últims 7 bytes que s'han enviat. Quan una comanda de lectura I2C s'envia al dispositiu (LSB=estat alt), aquest respon amb el primer byte de la memoria. Llavors el TAS3002 espera una comanda de enviament ACK o una comanda de finalització I2C des del servidor. Si una comanda ACK es enviada des del servidor llavors el TAS3002 assenyalarà a un altre byte de la memoria. Si s'envia una condició de Stop I2C el TAS3002 finalitza les seves transmissions. La figura 1.8 mostra un exemple de funcionament.

I <sup>2</sup> C Start
Send I <sup>2</sup> C address byte with read bit set to 1 (LSB set equal to 1)
Receive Byte 0
Send Ack
Receive Byte 1
Send Ack
Receive Byte 2
Send Ack
Receive Byte 3
Send Ack
Receive Byte 4
Send Ack
Receive Byte 5
Send Ack
Receive Byte 6 (if an ACK is sent after byte 6 it locks up the TAS3002)
I <sup>2</sup> C Stop

**Fig. 1.8 Exemple seqüència I<sup>2</sup>C**

### 1.5.3.3 Estat d'espera I<sup>2</sup>C

El TAS3002 té retards en l'enviament de comandes alhora que es fan canvis en el volum, to, etc.. Aquests estat d'espera depenen de la seqüència del rellotge i de la comanda realitzada.

Com més gran és la freqüència de mostreig més petit serà l'estat d'espera.

LA millor forma per controlar els estats d'espera son usant els controls de I<sup>2</sup>C. Enviar dades al port I<sup>2</sup>C quan el TAS3002 està ple provoca errors i pot bloquejar el dispositiu, que haurà de ser resetejat.

**Taula 1.2.** Estat d'espera I<sup>2</sup>C

	SYSTEM SAMPLING FREQUENCY			Comment
	32 kHz	44.1 kHz	48 kHz	
Volume	62 ms	49 ms	41 ms	Not dependent on size of change
Bass	231 ms	167 ms	153 ms	0 to -18 dB
Treble	231 ms	167 ms	153 ms	0 to -18 dB
DRC on	300 μs	300 μs	300 μs	
Mixer	None	None	None	
Loudness	None	None	None	
Equalization	15 ms	190 μs	300 μs	Can occur with each filter



## 1.6. Operacions del microcontrolador dels TAS3002

El TAS3002 conté un microcontrolador intern programat per Texas Instruments.

### 1.6.1. Descripció

El microcontrolador usa un rellotge de 256fs i pot accedir a 8K bytes de memòria. Aquest intervé amb la interfície d'àudio digital mestre/esclau per descarregar dades i coeficients. Aquest només intervé amb dos DSPs internes per transmetre coeficients i informació diversa.

Els coeficients es carreguen a partir del I2C en el mode mestre o esclau. Les funcions estàndards de processat d'àudio poden ser controlats/activats utilitzant interruptors externs connectats als terminals GPI.

Si l'adreça del TAS3002 es 68h, es converteix en un dispositiu mestre i carrega paràmetres i coeficients des de una EEPROM externa. Si no hi ha cap EEPROM, el TAS3002 roman en condició per defecte. Si les adreces son diferents de 68h i 69h, el TAS3002 només opera com a dispositiu I2C esclau.

Si el microcontrolador determina que el TAS3002 te una adreça 68h/69h i la EEPROM es present, el microcontrolador descarrega els coeficients des de la EEPROM. Un cop la descàrrega a finalitzat, habilita el so sèrie en el mode definit per l'escriptura d'I2C del MCR per transmetre dades dins i fora del dispositiu.

El TAS3002 permet al usuari actualitzar el volum, baix, greus, dinàmicament per la comanda esclau del port I2C o be a partir de l'entrada GPI.

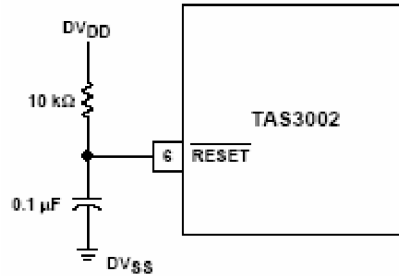
### 1.6.2. Reset

El TAS3002 té un terminal asincrone de reset. Aquest reset es sincronitza amb diversos rellotges utilitzats pel dispositiu per generar un reset intern sincrone. Després del reset, el TAS3002 segueix els següents processos:

- Neteja la memòria RAM
- Neteja tots els registres del circuit
- Purses el codec
- Seleccionar la entrada analògica A
- Inicialitza els paràmetres d'equalització del filtre com a passa totes
- Posa els aguts/greus a 0dB
- Posa el guany del mesclador a 0dB de SDIN1 i emmudeix el SDIN2 i la sortida del DAC.
- Posa el volum a -40dB
- Desconnecta totes les característiques
- Llegeix les adreces I2C. Si l'adreça es 68h, el dispositiu llegeix les EEPROM.
- Si una adreça del dispositiu és 6Ah, el dispositiu posa l'interfície I2C com a mode esclau i espera l'entrada

El retard del reset es pot calcular amb aquesta simple equació.

$$t_{rd} = 0.8RC + 400 \mu s$$



**Fig. 1.9** Esquema Reset del TAS3002

### 1.6.3. Terminals programables GPI

Els sis terminals GPI son programats per treballar com indica la taula

**Taula 1.3.** Terminals programables GPI

	GPI5	GPI4	GPI3	GPI2	GPI1	GPI0
VOL_UP, +1 dB	x					
VOL_DN, -1 dB		x				
BASS_UP, +1 dB			x			
BASS_DN, -1 dB				x		
TREB_UP, +1 dB					x	
TREB_DN, -1 dB						x
Shift 1	x					x
Mute	x					

El GPI del TAS3002 controla:

- Augment i disminució del volum (GPI5 i GPI4)
- Augment i disminució del greus (GPI2 i GPI3)
- Augment i disminució del aguts (GPI0 i GPI1)
- Mute (SHIFT1+GPI5)

## CAPÍTOL 2. MICROCONTROLADOR PIC18F452

### 2.1. Introducció

Un microcontrolador és un circuit integrat programable que conté tots els components d'un computador, però amb unes característiques fixes que no poden alterar-se. Tots disposen dels blocs essencials: processador, memòria de dades i d'instruccions, línies de E/S, oscil·lador de rellotge i mòduls controladors de perifèrics.

El microcontrolador és un computador dedicat. En la seva memòria solament resideix un programa destinat a governar una aplicació determinada; les seves línies d'entrada/sortida suporten la connexió dels sensors i actuadors del dispositiu a controlar i tots els recursos complementaris disponibles tenen com a única finalitat atendre els seus requeriments. Una vegada programat i configurat el microcontrolador solament serveix per governar la tasca assignada.

En els següents apartats es detallaran les principals característiques del microcontrolador que utilitzarem en el nostre disseny de circuit. En aquest cas es tracta del microcontrolador PIC18F452 fabricat per microchip i detallarem les parts que importants a utilitzar en la nostra placa.

#### 2.1.1. Descripció general

##### CPU RISC d'alt rendiment:

- Processa fins a 10 MIPS, amb un rellotge de 40 MHz.
- Bus d'instruccions de 16 bits i de dades de 8 bits.
- La memòria de programa pot adreçar fins a 32 KB (FLASH) la memòria de dades fins a 1.5KB, i una EEPROM de 256 bytes.
- Multiplicador de 8x8 en hardware d'un sol cicle.
- Diferents nivells de prioritat per a les interrupcions.
- Compatibilitat de codi amb PIC16C, PIC17C i PIC18C

##### Característiques dels perifèrics:

- Té tres pins que podem utilitzar com a interrupcions externes.
- Inclou 4 temporitzadors (timers). El timer 0 pot actuar com a temporitzador de 8 o 16 bits, o bé com a comptador programable de 8 bits (amb pre-escalament). El timer 2 pot exercir de comptador o temporitzador de 8 bits amb un registre de període de 8 bits (base de temps per PWM). Els timers 1 i 3 actuen com a temporitzadors o comptadors de 16 bits cada un. Hi ha la opció d'utilitzar el timer 1 o 3 com a oscil·lador secundari per senyals de rellotge.
- Mòdul MSSP (Master Synchronous Serial Port), permet treballar amb determinats pins utilitzant protocols de comunicació sèrie. Té dos modes d'operació, el SPI de 3 cables (suporta els 4 modes de SPI), i el I2C tant en mode mestre com esclau.

- Mòdul USART (Addressable Universal Synchronous Asynchronous Receiver Transmitter). Permet treballar amb determinats pins per utilitzar el protocol RS-232 o RS-485.
- Mòdul PSP (Paralel Slave Port). Utilitzat com a interfície per connectar amb un microprocessador amb nivells TTL.

Característiques analògiques:

- Conversor A/D integrat de 10 bits. Es possible mostrejar durant SLEEP (estat del PIC de poc consum).
- Detecció de baixa tensió programable (PLVD). En cas de detecció permet activar una interrupció.
- Reset programable de Brown-out (BOR). Activa un reset en determinades condicions d'alimentació.

Característiques especials del microcontrolador:

- Fins a 100.000 cicles de lectura/escriptura a la memòria de programa FLASH.
- Fins a 1.000.000 de cicles de lectura/escriptura a la memòria de dades EEPROM. Ambdues memòries poden retenir les dades més de 40 anys.
- Auto-reprogramable sota control del software.
- Reset d'alimentació (Power-on Reset, POR), temporitzador d'alimentació (Power-up Timer, PWRT) i temporitzador d'inici de l'oscil·lador (Oscillator Start-up Timer, OST).
- Protecció de codi programable.
- Mode d'estalvi d'energia SLEEP.
- Opcions de selecció d'oscil·lador. Un PLL, oscil·lador de cristall, circuit RC, ressonador ceràmic o senyal de rellotge externa.
- Programació sèrie connectat al circuit (In-Circuit Serial Programming, ICSP), a través de dos pins, amb alimentació simple de 5 V. També es pot depurar connectat al circuit (In-Circuit Debug, ICD) mitjançant dos pins.

Tecnologia CMOS:

- Tecnologia FLASH i EEPROM d'alta velocitat i baix consum.
- El rang d'operació de tensió es troba entre 2.0 fins a 5.5 V.
- Els rangs de temperatura suportats comprenen els anomenats Industrial i Extended.

### 2.1.1. Descripció dels pins

El PIC18F452 està disponible en varis formats (PLCC, TQFP, DIP i SOIC), l'utilitzat és el DIP de 40 pins. Tenint en compte que només és un prototip, i no la versió final de la placa, el tamany no resulta cap inconvenient.

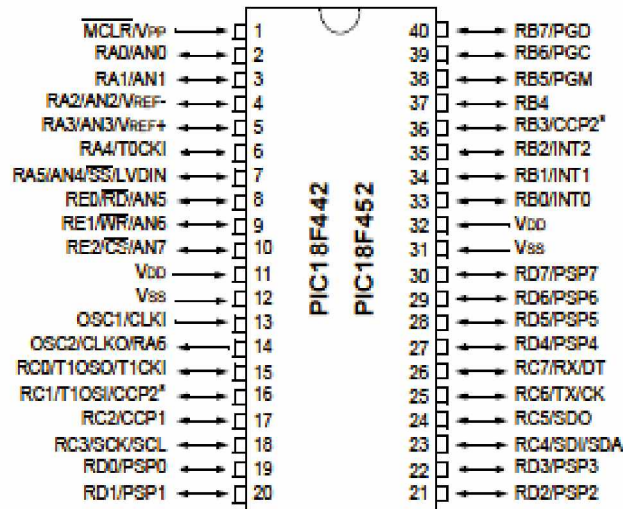


Fig. 2.1 Terminals PIC18F452

Taula 2.1. Descripció potes del PIC

Nº de pin	Nom	Descripció
1	MCLR	És un reset a nivell baix del PIC.
13	OSC1	Entrada de l'oscil·lador (cristall).
14	OSC2	Sortida de l'oscil·lador (cristall).
2-7	RA0-RA5	E/S digitals.
8,9,10	RE0 – RE2	E/S digitals.
15-18,23-26	RC0-RC7	E/S digitals.
19-22, 27-30	RD0-RD7	E/S digitals.
33-40	RB0-RB7	E/S digitals.
18	SCL	Sortida sèrie de rellotge pel mode I2C
23	SDA	E/S de dades I2C
12,31	Vss	Massa de referència.
11,32	Vdd	Alimentació positiva.

En el Annex 5.1 s'observa el diagrama de blocs del microcontrolador.

En el Annex 5.2 podem observar en millor detall la descripció de tots els pins.

## 2.2. Configuració de l'oscil·lador

Pel funcionament del PIC a part d'estar alimentat, necessita una senyal de rellotge per determinar la velocitat de procés d'aquest, arribant com a màxim a 40MHz.

Pot treballar en 8 modes diferents, en funció de quin sigui l'oscil·lador. Per escollir el mode s'utilitzen 3 bits de configuració del PIC, el FOSC2, el FOSC1 i el FOSC0.

**Taula 2.2.** Tipus d'oscil·ladors

1.	LP	Cristall de baixa potencia
2.	XT	Cristall/Ressonador
3.	HS	Cristall/Ressonador d'alta velocitat
4.	HS+PLL	Cristall/Ressonador d'alta velocitat amb PLL habilitat
5.	RC	Resistor/Capacitor extern
6.	RCIO	Resistor/Capacitor extern amb pin E/S habilitat
7.	EC	Relotge extern
8.	ECIO	Relotge extern amb pin E/S habilitat

### 2.3. Reset

Quan s'aplica un nivell lògic baix a la pota de MCLR, el microcontrolador reinicialitza el seu estat. Dos accions importants es produeixen en la reinicialització:

- El contador de programa es carrega amb la direcció 0, apuntant a la primera direcció de la memòria de programa on ha d'estar situat la primera instrucció del programa d'aplicació.
- La majoria dels registres d'estat i control del processador prenen un estat conegut i determinat.

Es pot provocar el RESET de diverses maneres, però si es desitja realitzar manualment, s'hauria que col·locar, connectat a la pota MCLR, un circuit amb un interruptor, que al prémer generi un nivell lògic baix.

### 2.4. Entrades i sortides digitals

Un recurs imprescindible en els microcontrolador és suportar entrades i sortides amb els perifèrics del exterior. El PIC18F452 disposa de 5 línies de E/S digital, cada una d'aquestes té les seves corresponents potes en el xip. Aquestes línies de E/S digitals s'agrupen en 5 ports:

- El port A funciona amb 6 bits bidireccionals a partir de les potes RA0 a RA5.
- El port B funciona amb 8 bits bidireccionals a partir de les potes RB0 a RB7.
- El port C funciona amb 8 bits bidireccionals a partir de les potes RB0 a RB7.

- El port D funciona amb 8 bits bidireccionals a partir de les potes RD0 a RD7.
- El port E funciona amb 3 bits bidireccionals a partir de les potes RE0 a RE2.

Els bits de cada port es configuren mitjançant els bits corresponents d'un registre de control associat que rep el nom de TRIS. En realitat cada port suporta tres registres:

- El registre de dades, PORTX (on X=A,B,C,D,E).
- El registre de control TRISX, programa el sentit d'entrada o sortida de les línies del port X
- El registre LATX, utilitzat per llegir-modificar-escriure operacions que passen per les potes dels ports.

Cada línia de E/S digitals dels ports es programa de forma independent i pot ser entrada i sortida, 1 o 0. Quan es produeix un reset, totes les línies de E/S digitals actuen com a entrada per motius de seguretat per evitar danys.

Per extreure un determinat nivell lògic per una línia d'un port de E/S, es diposita l'informació en la línia corresponent del bus de dades intern i s'activa la senyal d'escriptura.

## 2.5. Memòria Flash

La memòria programable FLASH permet llegir, escriure i esborrar quan el dispositiu està actiu en el rang de  $V_{DD}$ . No es pot accedir a la memòria programable ni executar codi durant el procés d'escriure o esborrar.

### 2.5.1. Taula escriptura i lectura

Enlloc de llegir i escriure a la memòria programable, hi han dos operacions que permeten al processador de moure bytes entre l'espai de memòria i les dades de RAM: Table Read(TBLRD) i Table Write(TBLWT). Table Read i Table Write mouen dades entre aquestes dues memòries a partir del registre de 8 bits (TABLAT).

Les operacions Table Read llegeix informació des de la memòria programable i l'emmagatzema dins les dades del espai RAM. Les operacions de Table Write emmagatzemen dades des de l'espai de memòria fins els registres de la memòria programable.

## 2.5.2. Lectura de la memòria Flash

TBLPTR assenjala a una byte d'adreça en l'espai de memòria. Executant TBLRD marcarà el byte assenyalat dins TABLAT. A més, TBLPTR pot ser modificat automàticament per la següent operació de Table Read.

La memòria interna programable esta típicament organitzada per paraules. El bit menys significatiu de l'adreça selecciona entre el bytes de més y menys pes d'una paraula. La figura 2.2 mostra l'interfície entre la memòria programable interna i la TABLAT.

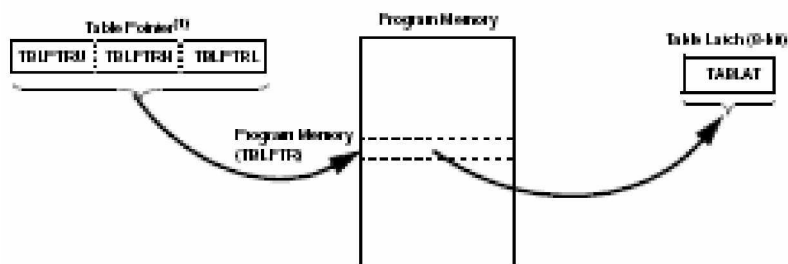


Fig. 2.2 Operació de llegir la taula memòria Flash

## 2.6. Mòdul MSSP

El mòdul MSSP és una interfície sèrie integrada en el PIC dissenyada per comunicar-se amb els altres perifèrics o microcontrolador. Aquests dispositius perifèrics poden ser EEPROMS, registres de canvi, convertors A/D, etc... Aquest model permet operar en dos modes diferents:

- SPI: Interfície perifèrica sèrie
- I2C: Circuit inter-integrat

### 2.6.1. Mode I2C

Aquest tipus de interfície sèrie ha estat desenvolupada per Philips i utilitza dos fils entrelaçats i una massa comuna per la interconnexió dels diversos dispositius, que han tingut que ser dissenyats per suportar aquest protocol, assegurant una gran fiabilitat en la comunicació que arriba a tolerar una velocitat màxima de 400Kbps. Es capaç d'interconnectar fins a 128 dispositius situats a gran distància, pel que resulta utilitzat en edificis intel·ligents, control de distribucions elèctriques, aigua i gas, piscifactories, etc...

El mode mestre inicia i finalitza la transferència general i prové de la senyal de rellotge. El mode esclau es el dispositiu dirigit pel mestre, mitjançant 7 bits, el que limita el nombre de components a 128.



L'inici de la transmissió es determina amb el bit d'inici (S) i el final amb un altre bit d'aturada (P). El bus sèrie de dos fils entrelaçats utilitza un d'ells per transferir dades (SDA) i l'altre per la senyal de rellotge (SCL).

En el protocol I2C cada dispositiu té assignada una direcció de 7 o de 10 bits que envia el mestre quan comença la transferència amb un d'ells. Darrera la direcció s'inclou el bit de recepció/transmissió o lectura/escriptura (R/W). Les dades es transmeten amb longitud de byte i al finalitzar s'inserta un bit de reconeixement ACK.

### 2.6.2. Registres de funcionament I2C

- SSPBUF és el registre on s'emmagatzema el byte a transmetre o el que es rebut.
- SSPSR es el registre de desplaçament sèrie de la línia E/S.
- SSPADD es el registre de direccions que identifica el dispositiu (mode esclau) o el que el direcciona (mode mestre).
- El registre de control SSPCON i SSPSTAT seleccionen les diverses funcions del mode I2C (Annex 4.2, 4.3 i 4.4)

Cada vegada que es detecta un bit d'inici o un bit de stop es possible que s'activi el senyalitzador SSPIF i en el cas d'estar també activat el bit de permís corresponent generarà una interrupció.

### 2.6.3. Mode mestre I2C

Per habilitar el mode mestre s'activen i desactiven els bits SSPM corresponents del registre SSPCON1 i activant el bit SSPEN. D'aquesta manera els dos pins SDA i SCL estaran controlats pel hardware del mòdul MSSP.

S'han de configurar els bits 3 i 4 del registre TRISC com a entrades o sortides per tal de treballar en mode mestre, així l'enviament de dades serà del PIC als altres dispositius.

Amb el mode mestre configurat, podem realitzar sis accions diferents:

- Generar una condició d'inici (START) a SDA i SCL
- Generar una condició d'inici repetit a SDA i SCL
- Escriure SSPBUF per començar una transmissió de dades o adreça
- Configurar el port I2C per rebre dades
- Generar una condició ACK després de rebre un byte
- Generar una condició de parada (STOP) a SDA i SCL



1. L'usuari genera la condició d'inici activant el bit 0 de SSPCON2, anomenat SEN.
2. S'activa SSPIF. El mòdul MSSP espera un temps predeterminat i necessari pel protocol abans de realitzar cap altre acció.
3. L'usuari carrega a SSPBUF el byte amb l'adreça del dispositiu esclau.
4. Aquesta dada s'envia a través de SDA.
5. El mòdul MSSP capta el ACK rebut del dispositiu esclau i el copia al bit 6 de SSPCON2.
6. El mòdul MSSP activa el bit SSPIF en el novè cicle de rellotge, indicant que s'ha realitzat un enviament complet.
7. L'usuari carrega a SSPBUF el byte amb les dades a enviar.
8. Aquesta dada s'envia a través de SDA.
9. El mòdul MSSP capta el ACK rebut del dispositiu esclau i el copia al bit 6 de SSPCON2.
10. El mòdul MSSP activa el bit SSPIF en el novè cicle de rellotge, indicant que s'ha realitzat un enviament complet.
11. L'usuari genera la condició de parada activant el bit 2 de SSPCON2, conegut com a PEN.
12. Es genera una interrupció un cop finalitzada la condició de parada.

### 2.6.5. Velocitat de comunicació

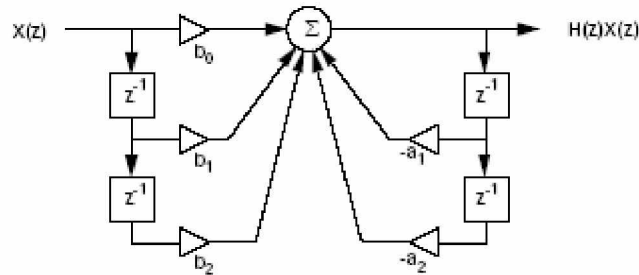
Per tal de definir la velocitat de comunicació en el bus, o sigui, el rellotge de SCL, s'utilitzen els 6 bits de menys pes de SSPAD i del generador de taxa d'enviament BRG (Baud Rate Generator). D'aquesta manera, en funció de la velocitat del rellotge que controli al PIC i el valor copiat a SSPAD aconseguirem una velocitat o una altra en el bus I2C. En la taula 2.3 es fa la referència als diferents valors de velocitat i adreces.

**Taula 2.3.** Freqüència de transmissió I2C

FCY	FCY*2	BRG VALUE	F <sub>SCL</sub> (2 rollovers of BRG)
10 MHz	20 MHz	19h	400 kHz <sup>(1)</sup>
10 MHz	20 MHz	20h	312.5 kHz
10 MHz	20 MHz	3Fh	100 kHz
4 MHz	8 MHz	0Ah	400 kHz <sup>(1)</sup>
4 MHz	8 MHz	0Dh	308 kHz
4 MHz	8 MHz	28h	100 kHz
1 MHz	2 MHz	03h	333 kHz <sup>(1)</sup>
1 MHz	2 MHz	0Ah	100kHz
1 MHz	2 MHz	00h	1 MHz <sup>(1)</sup>

## CAPÍTOL 3. FILTRES BIQUAD

Els filtres biquads són filtres digitals paramètrics IIR de segon ordre, amb el següent esquema:



**Fig. 3.1** Diagrama de blocs filtre biquad

$$y(n) = b_0 \cdot x(n) + b_1 \cdot x(n-1) + b_2 \cdot x(n-2) - a_1 \cdot y(n-1) - a_2 \cdot y(n-2)$$

**Fig. 3.2** Equació de sortida discreta del filtre biquad

$$H(z) = \frac{Y(z)}{X(z)} = \frac{b_0 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2}}{1 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2}}$$

**Fig. 3.3** Equació de transferència del filtre biquad

Els 5 coeficients que componen el filtre paramètric són els que marcaran l'ampla de banda, el guany, la freqüència central i de mostreig. Calculats amb les següents equacions.

$$\begin{aligned} b_0 &= \frac{1+\gamma\sqrt{K}}{1+\gamma/\sqrt{K}} & b_1 &= a_1 = \frac{-2\cos(\Omega_0)}{1+\gamma/\sqrt{K}} & b_2 &= \frac{1-\gamma\sqrt{K}}{1+\gamma/\sqrt{K}} \\ a_2 &= \frac{1-\gamma/\sqrt{K}}{1+\gamma/\sqrt{K}} & \gamma &= \sqrt{K} \tan\left(\frac{BW}{2}\right) & \omega_0 &= \frac{2}{T} \tan\left(\frac{\Omega_0}{2}\right) \end{aligned}$$

**Fig. 3.4** Equacions de calcul dels coeficients del filtre biquad

on,

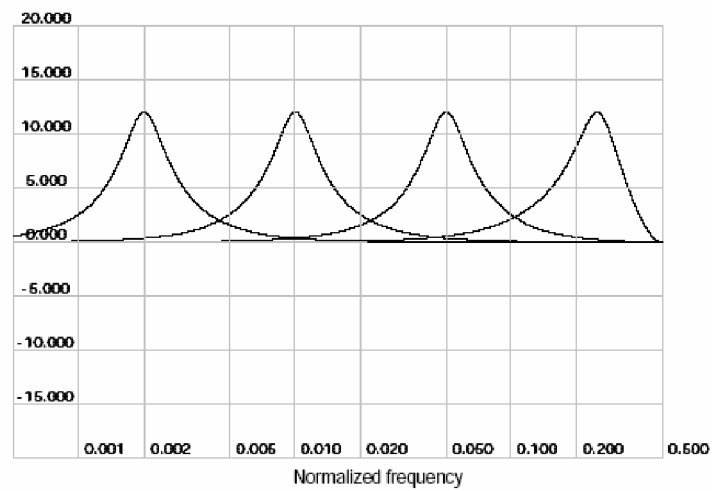
$K$ =guany lineal, a freqüència central.

$BW$ =ampla de banda a freqüència discreta.

$T$ = període de mostreig:  $T=1/f_s$ .

$\omega_0$ =freqüència central del filtre.

Si col·loquem filtres biquad en cascada a freqüències diferents, podem realitzar equalitzadors digitals. Com es veuen en la figura 3.4



**Fig. 3.5** Equalitzador digital de 4 filtres

## CAPÍTOL 4. DISSENY

### 4.1. Descripció general

#### 4.1.1. Mode operatiu

Una senyal d'entrada estèreo analògica entra pel terminal RCA jack. Els canals esquerra i dret de la senyal analògica son filtrats i convertits a partir del conversor A/D del TAS3002 a senyals digitals esquerra i dreta. La senyal digital es processa pel TAS3002 i convertida a analògica a partir del conversor D/A del mateix dispositiu. Les senyals esquerra i dreta son amplificades a la etapa de sortida i conduïdes al terminal RCA jack.

La configuració del TAS3002 es controlada a partir del microcontrolador PIC18F452. Aquest controlarà el volum, els greus i els aguts i el tipus d'equalitzadors, aquest últim a partir de interruptors.

#### 4.1.2. Característiques

La placa electrònica té les següents característiques:

- TAS 3002 àudio estèreo digital equalitzat
- Operacions preprogramades a partir de PIC18F452
- 12 interruptors per controlar el volum, greus, baixos i equalitzadors.
- 1 interruptor per resetejar el PIC18F452
- Rellotge mestre de 12,288MHz de freqüència
- Freqüència de mostreig de 48KHz
- Entrada de micròfon
- Entrada estèreo de 2 canals
- Tensions reguladores de 3,3V i 5V
- Sortida estèreo

#### 4.1.3. Condicions de desenvolupament

La placa electrònica està dissenyada per treballar dins del laboratori.

#### 4.1.4. Descripció d'entrades

L'entrada de la placa electrònica és un dispositiu de 6 connectors jack RCA per les dues entrades: entrada de micròfon i entrada de línia des de un dispositiu d'àudio.

La placa s'inicialitza amb l'entrada analògica A (entrada de línia) seleccionada. Per canviar, el tipus d'entrada (per exemple l'entrada B, del micròfon) haurem de programar el microcontrolador per tal que canviï l'entrada analògica.

#### **4.1.5. Descripció de sortida**

La sortida de la placa electrònica és un dispositiu de 6 connectors jack RCA. Tindrem dues sortides RCA pel canal dret i l'esquerra i una altre sortida RCA amb la suma dels canals dret i esquerra.

### **4.2. Components del sistema**

Aquest capítol detalla els circuits individuals i les funcions de la placa electrònica.

#### **4.2.1. Alimentació**

La placa electrònica es connecta a un generador de tensió a partir d'una connexió banana. El generador de tensió s'ajustarà a 5V, -5V i GND. S'utilitzarà els reguladors de tensió (LM78L05) i (LM320L) per tal que els sistema no tingui ni fluctuacions. Un dels reguladors de tensió (LM1086) s'utilitzarà per confegir una tensió de 3,3V.

S'utilitzaran condensadors de 0,1uf, 0,33uf i 10uf a les entrades i sortides de cada pota dels reguladors de tensió.

#### **4.2.2. Amplificació del micròfon**

L'entrada del micròfon a la placa electrònica és una senyal analògica de baixa potència. El preamplificador TL074, amb un guany aproximat de 30dB, ha estat insertat per incrementar l'amplitud de la senyal que serà processada pel TAS3002. Amb un guany de 30dB, una senyal de 28mV produeix 0.7Vrms

#### **4.2.3. Senyal d'entrada**

La línia d'entrada estèreo prové de la connexió RCA.

Ja que el TAS3002 te amplificadors interns, només serà necessari condensadors a l'entrada per connectar amb el codec.

L'escala màxima de la senyal d'entrada al TAS3002 és de 0,7 Vrms. Per tant, s'ha inclòs un atenuador a la senyal d'entrada. Les senyals de so de targetes de so de PC o de aparells d'audio poden produir de 1 a 2 Vrms. La atenuació

d'entrada esta dissenyada per produir una escala màxima de sortida si s'aplica una tensió de 1Vrms a l'entrada

#### **4.2.4. Senyal de sortida**

La línia de sortida estèreo surt dels canals esquerra i dret del TAS3002. L'escala màxima de sortida de cada canal son 0,7Vrms. Per tal d'ajustar la sortida al nivell màxim igual que a l'entrada, amplifiquem cada canal fins a una tensió màxima de 1Vrms.

#### **4.2.5. Funcions ADC/DAC**

La placa electrònica rep un entrada d'audio analògica estèreo ( o bé una senyal mono provenin del micròfon) i converteix la senyal a digital per tal d'aplicar l'equalització digital. La senyal digital es llavors convertida un altre cop a analògica i enviar-la a un dispositiu extern. Les funcions analògica-digital i digital-analògica són processades pel TAS3002. El TAS3002 conté conversos de 24 bits del tipus sigma-delta A/D i D/A. El TAS3002 opera a una freqüència de mostreig de 48kHz.

#### **4.2.6. El microcontrolador**

El microcontrolador serà el dispositiu mestre de la placa electrònica, aquest enviarà comandes de dades al TAS3002. El dispositiu emmagatzemarà les comandes de funcionament del TAS3002, els coeficients dels equalitzadors, volum, aguts i greus.

#### **4.2.7. Generació rellotge PIC18F452**

L'oscil·lador de cristall generarà el rellotge de funcionament del microcontrolador.

#### **4.2.8. Generació rellotge TAS3002**

El rellotge mestre prové d'un oscil·lador de cristall connectat al oscil·lador intern del TAS3002. L'oscil·lador treballa a la freqüència de 12,288MHz.

#### **4.2.9. Display**

El display de 7 segments ens permetrà saber quin tipus d'equalitzador utilitzem en el procés d'equalització de la senyal analògica.



## 4.2.10. Interruptors

A la placa tenim 12 interruptors:

- 6 dels quals seran per augmentar i disminuir el volum, els greus i els aguts connectats al TAS3002 a partir pels ports GPI
- 5 interruptors per escollir el filtre equalitzador del TAS3002, connectats al microcontrolador PIC18F452
- 1 interruptor de reset al microcontrolador PIC18F452

## 4.3. Mode funcionament

### 4.3.1. Seqüència d'encendre

1. Connectarem la alimentació de 5V, -5V i 0V a la placa
2. Polsarem l'interruptor de Reset del PIC18F45 per reinicialitzar els registres del microcontrolador
3. Connectarem la senyal de línia en el terminal jack RCA
4. Connectarem un dispositiu de sortida de so a la sortida jack RCA, com podria ser un altaveu de ordinador
5. A partir d'ara, el TAS3002 realitzarà el processat de senyal i el microcontrolador enviarà comandes per canviar el to i l'equalització del filtre
6. Quan vulguem finalitzar, realitzarem el procés a la inversa
7. Desconnectarem la senyal d'entrada del port jack RCA
8. Desconnectarem la alimentació de la placa

### 4.3.2. Seqüència dels interruptors

Hem de diferenciar tres tipus d'interruptors:

- 6 interruptors del TAS3002 per augmentar i disminuir el volum, greus i aguts
- 6 interruptors connectats al PIC18F452 per modificar el filtre equalitzador
- 1 interruptor de Reset connectat al PIC18F452 a la pota 1 MLCK

Els 6 interruptors del TAS3002 modificaran el volum, els greus i els aguts en temps real i sense enviar comandes al microcontrolador. Aquest canvis alhora de prémer un interruptor es guardaran en els registres del TAS3002 per el seu correcte processat.

El interruptor de Reset esta connectat a la pota 1 MLCR del PIC18F452. Aquest al preme'l activarà la seqüència de reset en el microcontrolador i reiniciarà els registres.

Els 6 interruptors connectats als ports A i E del microcontrolador modificaran l'equalitzador del TAS3002. Un cop apretat un dels interruptors, mostrarà el

tipus d'equalitzador que hem seleccionat pel display i després enviarà els coeficients del equalitzador per interfície I2C.

#### 4.4. Comandes I2C del TAS3002

Anteriorment, en l'estudi del TAS3002 podem observar l'operació per transmetre a partir de la interfície I2C:

Inici	Adreça dispositiu	R/W	ACK	Subadreça	ACK	Dades	ACK	Final
-------	-------------------	-----	-----	-----------	-----	-------	-----	-------

En aquest apartat està dedicat a configurar aquestes comandes a partir de modificar els bits de la direcció esclau, la subadreça i les dades a transmetre:

Adreça dispositiu	Subadreça	Dades
-------------------	-----------	-------

La direcció esclau, serà la direcció del TAS3002: 68h

La subadreça és la adreça del registre del TAS3002 que volem modificar.

A continuació es detallarà cada registre del TAS3002 per un correcte funcionament.

##### 4.4.1. Registre de control 2

68h	43h	C2(7-0)
-----	-----	---------

En el Annex 3.2 podem observar la taula de registre de control 2.

Inicialment configurarem la comanda de la següent manera:

C2(7)	C2(6)	C2(5)	C2(4)	C2(3)	C2(2)	C2(1)	C2(0)
0	0	0	0	0	0	1	0

Quan activem un dels interruptors del PIC18F452 per canviar el tipus d'equalitzador del TAS3002, el bit de la comanda C2(1) canviarà a l'estat 0.

##### 4.4.2. Registre de control analògic

68h	40h	A(7-0)
-----	-----	--------

En el Annex 3.2 podem observar la taula de registre de control analògic.

Inicialment configurarem la comanda de la següent manera:

A(7)	A(6)	A(5)	A(4)	A(3)	A(2)	A(1)	A(0)
0	0	0	0	0	1	0	1

En aquesta comanda podem canviar el tipus de senyal d'entrada. Quan volguem canviar el tipus d'entrada, haurem de modificar el bit A(1) (entrada A, bit 0, i entrada B, bit 1).

#### 4.4.3. Comanda filtres biquad

68h	Adreça del filtre	B0(23-0)	B1(23-0)	B2(23-0)	A1(23-0)	A2(23-0)
-----	-------------------	----------	----------	----------	----------	----------

L'adreça de cada filtre biquad serà diferent. Cal recordar que cada tipus d'equalitzador conté 7 filtres biquads, i que cada un d'aquest tipus d'equalitzador té dos canals: dret i esquerra. Cada filtre biquad, té 15 bytes de dades, per tant un equalitzador tindrà un total de 210 Bytes per transmetre.

Els 7 filtres biquads tenen les següents direccions:

##### Canal esquerra

Biquad 0	Biquad 1	Biquad 2	Biquad 3	Biquad 4	Biquad 5	Biquad 6
0Ah	0Bh	0Ch	0Dh	0Eh	0Fh	10h

##### Canal dret

Biquad 0	Biquad 1	Biquad 2	Biquad 3	Biquad 4	Biquad 5	Biquad 6
13h	14h	15h	16h	17h	18h	19h

#### 4.4.4. Comanda control de volum

68h	04h	VL(23-16)	VL(15-8)	VL(7-0)	VR(23-16)	VR(15-8)	VR(7-0)
-----	-----	-----------	----------	---------	-----------	----------	---------

El guany del volum (Annex 3.4) es realitza a cada un dels canals de forma independent: el canal esquerra pot tenir un guany diferent que el canal dret. La comanda VL correspon al volum del canal esquerra i VR correspon al volum del canal dret.

Al inici configurarem el volum de cada canal diferent per així comprovar els seu efecte:

- Canal dret a 6dB
- Canal esquerra a -6dB

La comanda quedarà configurada de la següent manera:

68h	04h	00h	80h	4Eh	01h	FEh	CAh
-----	-----	-----	-----	-----	-----	-----	-----

#### 4.4.5. Comanda control dels aguts

68h	05h	T(7-0)
-----	-----	--------

En el Annex 3.6 podem observar la taula de registre de control dels aguts.

Per tal, de no influir en la senyal inicial, no amplificarem la senyal dels aguts. Posarem la comanda a 0dB:

68h	05h	72h
-----	-----	-----

#### 4.4.6. Comanda control dels greus

68h	06h	B(7-0)
-----	-----	--------

En el Annex 3.7 podem observar la taula de registre de control de greus.

Per tal, de no influir en la senyal inicial, no amplificarem la senyal dels greus. Posarem la comanda a 0dB:

68h	06h	72h
-----	-----	-----

#### 4.4.7. Comanda control de mescla

68h	Subadreça	Mixer 1	Mixer 2	ADC Mixer
-----	-----------	---------	---------	-----------

Aquesta comanda (Annex 3.7) ens permetrà amplificar el guany de les sortides digitals. Cal recordar que tenim dos canals, l'esquerra i el dret, i per tant quan enviem el guany de cada mesclador ho haurem de fer per cada canal.

Canal esquerra

68h	07h	S(23-16)	S(15-8)	S(7-0)
-----	-----	----------	---------	--------

Canal dret

68h	08h	S(23-16)	S(15-8)	S(7-0)
-----	-----	----------	---------	--------

Inicialitzarem el mesclador en Mute per tal que no interfereixi en la senyal d'entrada.

Canal esquerra

68h	07h	00h	00h	00h
-----	-----	-----	-----	-----

Canal dret

68h	07h	00h	00h	00h
-----	-----	-----	-----	-----

## 4.5. Comandes I2C del PIC18F452

El mode mestre del dispositiu genera totes les senyals de rellotge i les condicions d'inici i final. Una transferència de dades es finalitza amb una condició STOP o bé amb una repetició d'una condició START.

En el mode de transmissió mestre, les dades sèrie surten a partir del port SDA, mentre que el port SCL conté la sortida sèrie del rellotge.

Cal recordar l'esquema de transmissió i recepció de dades pel port I2C:

START	Adreça dispositiu	R/W	ACK	Subadreça	ACK	Dades	ACK	STOP
-------	-------------------	-----	-----	-----------	-----	-------	-----	------

on R/W, serà el bit que marca si transmetem dades (R/W: 0) o bé les rebem (R/W: 1).

### 4.5.1. Inicialitzar interfície I2C

Per habilitar interfície I2C del PIC18F452 haurem d'activar els ports de SDA i SCL com a ports de sortida. A continuació, es mostra el codi assembler per programar-lo:

Inicialitzar

```
Movlw B '11100111'
Movwf TRISC
Movlw B '00011000' ;activem els bits dels ports SDA i SCL
Movwf PORTC
```

### 4.5.2. Velocitat de transmissió

La generació de la senyal del rellotge es fa a partir del "Baud rate generator". Aquest ens generarà un freqüència de rellotge de 100kHz, 400kHz i 1MHz.

En el nostre cas, com interfície I2C del TAS302 procesa les dades a 100kbps, haurem de configurar el "Baud rate generator" per tal que la freqüència de sortida del port SCL sigui de 100kHz. O sigui haurem d'utilitzar la següent comanda:

Velocitat\_rellotge

```
bcf SSPSTAT,SMP ; desactivem slew rate
bsf SSPCON1,SSPM3 ; seleccionem mode mestre
bsf SSPCON1,SSPEN ; activem el port sèrie, MSSP
movlw 0x28 ; velocitat de comunicació a 100kHz
movwf SSPADD
```

### 4.5.3. Seqüència de transmissió

Quan el port SDA fa un canvi d'estat alt a baix, llavors es quan s'inicia la comunicació a partir de interfície I2C, amb els ports SDA i SCL esmentats anteriorment.

Inici\_I2C

```

    bsf PORTC,3           ;possar SDA en estat alt
    bsf PORTC,4           ;possar SCL en estat baix
    bcf PORTC,3           ;canvi d'estat SDA i inici de la comunicació
    return

```

Com s'ha explicat en els últims punts relacionats amb el PIC. El microcontrolador seguirà una passos per transmetre dades a partir del port I2C. A continuació es tornen a explicar els passos i el seu codi assembler per programar els passos:

1. L'usuari genera la condició d'inici activant el bit 0 de SSPCON2, anomenat SEN.
2. S'activa SSPIF. El mòdul MSSP espera un temps predeterminat i necessari pel protocol abans de realitzar cap altre acció.
3. L'usuari carrega a SSPBUF el byte amb l'adreça del dispositiu esclau.
4. Aquesta dada s'envia a través de SDA.
5. El mòdul MSSP capta el ACK rebut del dispositiu esclau i el copia al bit 6 de SSPCON2.
6. El mòdul MSSP activa el bit SSPIF en el novè cicle de rellotge, indicant que s'ha realitzat un enviament complet.
7. L'usuari carrega a SSPBUF el byte amb les dades a enviar.
8. Aquesta dada s'envia a través de SDA.
9. El mòdul MSSP capta el ACK rebut del dispositiu esclau i el copia al bit 6 de SSPCON2.
10. El mòdul MSSP activa el bit SSPIF en el novè cicle de rellotge, indicant que s'ha realitzat un enviament complet.
11. L'usuari genera la condició de parada activant el bit 2 de SSPCON2, conegut com a PEN.
12. Es genera una interrupció un cop finalitzada la condició de parada.

Els registres utilitzats en el disseny estan en el Annex 4

Condició\_START

```

    bcf PORTC,3           ;iniciem el port SDA amb el canvi d'estat
    bsf SSPCON2,SEN       ;Enviem condició d'inici 'START'(1)
    btfsc SSPCON2,SEN     ;Hem enviat la condició d'inici?
    goto $-2              ;No, tornem a mirar
    bcf PIR1,SSPIF        ;Sí, inicialitzem 'flag' bit de la interrupció (2)
    return

```

## Direcció\_esclau

```

movlw B'01101000'      ; (3)
movwf DA_SLAVE
movff DA_SLAVE,SSPBUF  ;Copiem la direcció de l'esclau
                        ;al registre SSPBUF
btfsc SSPSTAT,BF      ;Hem enviat la direcció de l'esclau?
goto $-2               ;No, tornem a mirar
return                 ;Sí, sortim

```

## Confirmacio\_ACK

```

btfsc SSPCON2,ACKSTAT ;confirmació ACK del esclau (5 i 9)
goto $-1               ;No, tornem a mirar
bcf PIR1,SSPIF        ;Sí, inicialitzem 'flag' bit de la interrupció (2)
return

```

## Dades\_enviar

```

bcf PIR1,SSPIF        ; (6 i 10)
movff Dades,SSPBUF    ;Copiem el byte de sortida (7)
btfsc SSPSTAT,BF
goto $-2
bcf PIR1,SSPIF
return

```

## Condicció\_STOP

```

bsf SSPCON2,PEN;Enviem el bit de STOP (11)
bcf PIR1,SSPIF      ;Inicialitzem 'flag' bit de la interrupció
btfsc SSPCON2,PEN   ;Hem enviat la condició de parada?
goto $-2            ;No, tornem a mirar
bcf PIR1,SSPIF     ;Sí, inicialitzem 'flag' bit de la interrupció (12)
return

```

## 4.6. Equalitzador digital

Els coeficients dels equalitzadors estan emmagatzemats en la memòria flash del microcontrolador. Per carregar un equalitzador al TAS3002, haurem de llegir a la memòria Flash en la direcció on estan emmagatzemats. Un cop llegits, s'enviaran a partir de interfície I2C al TAS3002, per la següent equalització de la senyal.

Per carregar l'equalitzador dispoem d'uns interruptors en els ports A i E del microcontrolador, que un cop activats realitzaran la tasca abans sementada.

S'ha insertat un display de 7 segments (Annex 7) en el PORTB. Aquest display ens indicarà el tipus d'equalitzador que estem utilitzant:

- A: Equalitzador rock
- B: Equalitzador pop
- C: Equalitzador live
- D: Equalitzador jazz
- E: Equalitzador reggae
- F: Equalitzador rap

#### 4.6.1. Configuració dels ports d'entrada i sortida

Configurarem els ports A, E com a entrada i el port B com a sortida:

```
Configurar_ports
  Movlw B '11111111'
  Movwf TRISA

  Movlw B '00000000'
  Movwf TRISB

  Movlw B '111'
  Movwf TRISE
```

Cada cop que s'activi un dels ports A o E, s'activaran els ports B de la següent manera:

```
Seleccio_ports
  Btfsc PORTA,0
  Goto $+3
  movlw B '11111110'           ;lletra A pel display
  movwf PORTB
  Btfsc PORTA,1
  Goto $+3
  movlw B '11111111'           ;lletra B pel display
  movwf PORTB
  Btfsc PORTA,2
  Goto $+3
  movlw B '10111001'           ;lletra C pel display
  movwf PORTB
  Btfsc PORTA,3
  Goto $+3
  movlw B '10111111'           ;lletra D pel display
  movwf PORTB
  Btfsc PORTE,0
  Goto $+3
  movlw B '11111001'           ;lletra E pel display
  movwf PORTB
  Btfsc PORTE,0
  Goto Seleccio_ports
  movlw B '11111000'           ;lletra F pel display
  movwf PORTB
```



Un cop al display, s'ha activat, accedirem al espai de memòria on es guarda cada equalitzador.

#### 4.6.2. Accés a la taula de memòria Flash

Anteriorment, s'ha explicat que cada equalitzador té 210 bytes. Per tant tindrem 210 posicions de memòria per cada equalitzador, un total de 1260 posicions de memòria, distribuïdes de la següent manera:

- A: Equalitzador rock: 0x0000 a 0x00D1
- B: Equalitzador pop: 0x00D2 a 0x01A4
- C: Equalitzador live: 0x01A5 a 0x0276
- D: Equalitzador jazz: 0x0278 a 0x0348
- E: Equalitzador reggae: 0x0349 a 0x041A
- F: Equalitzador rap: 0x041B a 0x04EC

Per accedir a la taula de memòria FLASH haurem de fer una crida al punter que marca l'inici dels coeficients del nostre equalitzador. Aquest punter correspon als registres TBLPTRU, TBLPTRH, TBLPTRL. En el nostre cas li passarem la primera posició del equalitzador. On TBLPTRU guarda els bits del 16-21, TBLPTRH guarda els bits 8 al 15 i TBLPTRL guarda els bits 0 al 7. Quan ens marca l'inici ja podem llegir byte a byte els coeficients del equalitzador i enviar-lo per interfície I2C.

A continuació, tenim el codi corresponent a la càrrega del equalitzador pop:

Adreça\_taula

```

Movlw D '210'           ; 210 son els bytes del equalitzador
Movwf contador         ;210 iteracions per agafar byte a byte
Movlw B '00000'
Movwf TBLPTRU          ;5 bits de mes pes de la direcció del equ
Movlw B '00000000'
Movwf TBLPTRH          ;8 bits de la direcció del equ
Movlw B '11010010'
Movwf TBLPTRL          ;8 bits de menys pes de la direcció del equ
Goto Llegir_byte      ;anem a llegir els bytes

```

Llegir\_byte

```

TBLRD*+               ;llegir taula i incrementar punter despres de lectura
Movf TABLAT,W         ;copia la lectura a w
Movwf dades           ;passa w al registre dades
Dades_enviar          ;enviarem dades a interfície I2C
Decfsz contador       ;si contador=0 es salta la següent iteració
Goto Llegir_byte      ;contador diferent a 0, seguim llegint

```

### 4.6.3. Coeficients filtres biquad

Els coeficients de la memòria Flash els podem memoritzar a partir de l'interfície MPLAB de forma molt sencilla. Obrint la finestra de memòria Flash i guardant byte a byte cada coeficient.

Els coeficients dels equalitzadors s'han calculat amb el codi que trobareu en el Annex 1 i a partir de les característiques dels equalitzadors del Annex 2.

Els coeficients dels equalitzadors venen donats a les següents taules:

**Taula 4.1. Coeficients filtres biquad del equalitzador POP**

Biquad	b0	b1,a1	b2	a2
1	0,9989	-1,9802	0,9813	0,9802
2	1,113	-1,8162	0,7047	0,8176
3	1,113	-1,812	0,7047	0,8176
4	1	-1,6793	0,8176	0,8176
5	0,8968	-0,9146	0,3966	0,2934
6	0,8968	0	0,3966	0,2934
7	0,8696	1,1202	0,4238	0,2934

**Taula 4.2. Coeficients filtres biquad del equalitzador POP**

Biquad	b0	b1,a1	b2	a2
1	0,982	-1,9275	0,9457	0,9277
2	1,1071	-1,7695	0,677	0,7848
3	0,9425	-1,4231	0,5978	0,5403
4	1,0345	-0,7175	0,4006	0,4351
5	1,0311	0	0,4586	0,4897
6	1,0311	0,7499	0,4586	0,4897
7	1,2607	1,2934	0,0327	0,2934

**Taula 4.3. Coeficients filtres biquad del equalitzador POP**

Biquad	b0	b1,a1	b2	a2
1	1	-1,9275	0,9277	0,9277
2	1,0131	-1,7695	0,7717	0,7848
3	1,028	-1,4231	0,5123	0,5403
4	1,0345	-0,7175	0,4006	0,4351
5	1,0311	0	0,4586	0,4897
6	1,0311	0,7449	0,4586	0,4897
7	1,2571	1,2934	0,0363	0,2934

**Taula 4.4. Coeficients filtres biquad del equalitzador LIVE**

Biquad	b0	b1,a1	b2	a2
1	1	-1,9943	0,9943	0,9943
2	0,9972	-1,9942	0,997	0,9943
3	1	-1,9957	0,9999	1
4	1,3516	-1,195	-0,0582	0,2934
5	1,275	-0,9146	0,0184	0,2934
6	1,275	0	0,0184	0,2934
7	1,275	1,1201	0,0184	0,2934

**Taula 4.5. Coeficients filtres biquad del equalitzador REGGAE**

Biquad	b0	b1,a1	b2	a2
1	1	-1,9592	0,9592	0,9582
2	0,9802	-1,9531	0,9789	0,9592
3	1	-1,8884	0,9047	0,9047
4	1,2024	-1,4719	0,3908	0,5932
5	1,119	-1,1266	0,4742	0,5932
6	1	0	0,5932	0,5932
7	1	1,1201	0,2934	0,2934

**Taula 4.6. Coeficients filtres biquad del equalitzador RAP**

Biquad	b0	b1,a1	b2	a2
1	0,999	-1,9979	0,999	0,9979
2	1,001	-1,9979	0,9969	0,9979
3	1,0036	-1,9927	0,9893	0,9928
4	0,986	-1,9585	0,9767	0,9627
5	1,0436	-1,4401	0,6193	0,6629
6	1,1052	0	0,0824	0,1876
7	1,3425	0,9699	-0,2225	0,12

Cal recordar que després aquests coeficients s'han de passar a binari i després a hexadecimals. Cada coeficient té 24 bits, els 4 bits de més pes emmagatzeman la part entera i els 20 bits de menys pes per la part fraccional.

## CAPÍTOL 5. ANALISI CIRCUITAL

En el següent capítol es descriuran els circuits d'entrada i sortida del nostre dispositiu. Aquests circuits serviran per modelar la màxima tensió d'entrada i sortida. També serà important alhora de modelar la senyal el filtratge de la mateixa, i poder-la ajustar al rang freqüencial entre 20Hz i 22Khz.

### 5.1. Anàlisi de la senyal d'entrada

Recordem que tenim dos senyals d'entrada, l'entrada de línia estèreo i la senyal del micròfon. Cada una d'elles presenta característiques diferents.

#### 5.1.1. Senyal de línia

La senyal de línia es veurà atenuada per tal de que s'ajusti a l'escala màxima del TAS3002 (0,7Vrms). L'entrada màxima que considerem és 1Vrms. El circuit s'aplicarà tant al canal esquerre com al canal dret. La figura 5.1 mostra el circuit i la figura 5.2 mostra la resposta freqüencial.

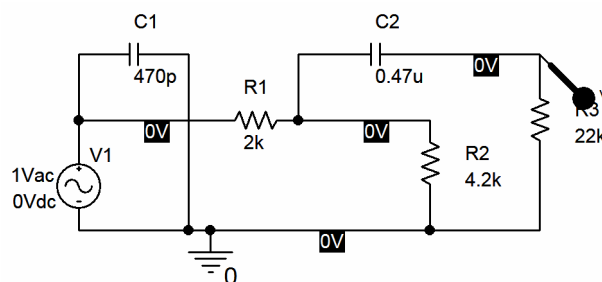


Fig. 5.1 Circuit senyal d'entrada de línia

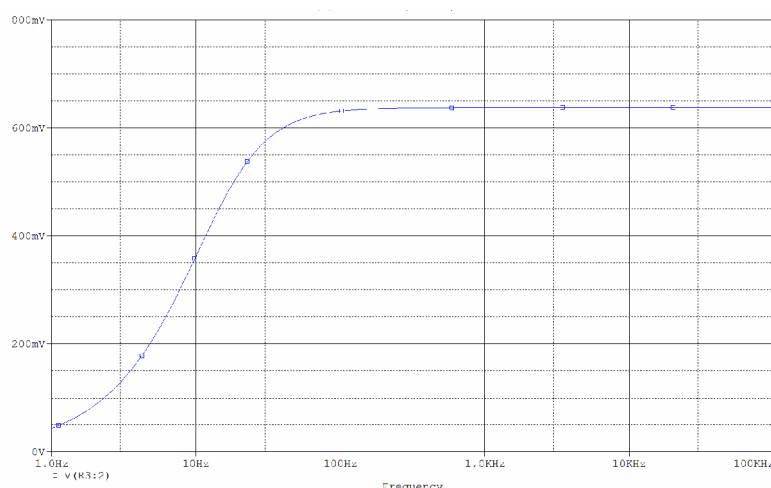


Fig. 5.2 Gràfica resposta freqüencial senyal entrada de línia

### 5.1.2. Senyal de micròfon

La senyal del micròfon s'haurà d'amplificar i filtrar. Aquesta serà amplificada fins a arribar a un valor màxim de  $0,7V_{rms}$ , si considerem que la tensió màxima d'entrada del micròfon és  $28mV_{rms}$ . A més, hem de filtrar la senyal per tal que la possible realimentació del micròfon no es filtri en la nostre senyal d'entrada desitjada. La figura 5.3 mostra el circuit i la figura 5.4 mostra la resposta freqüencial.

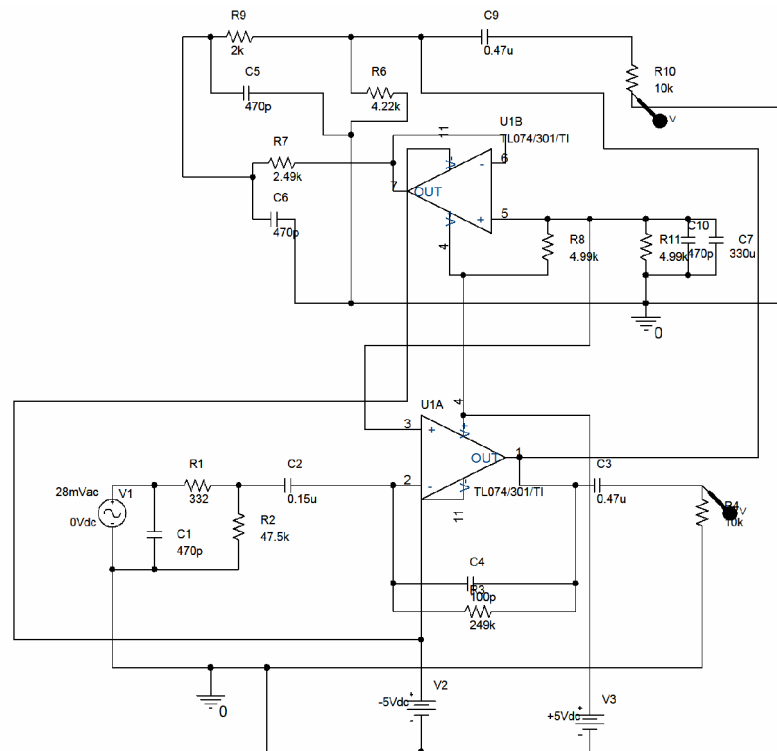


Fig. 5.3 Circuit senyal d'entrada de micròfon

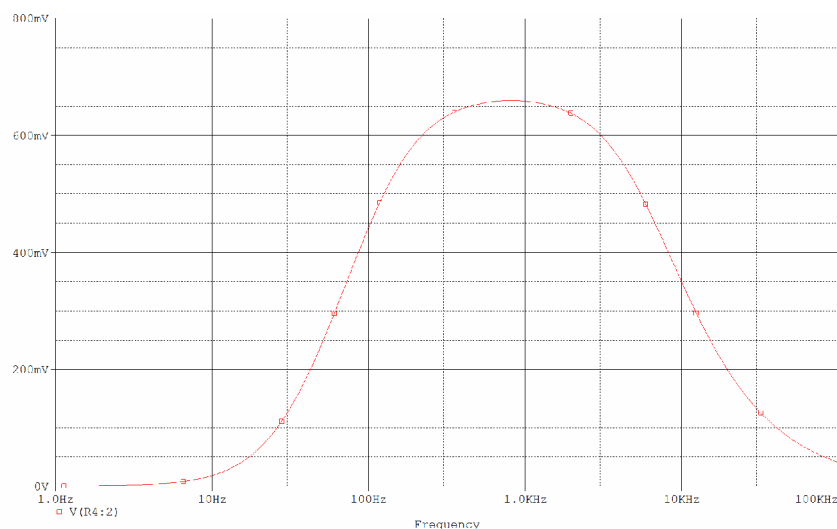


Fig. 5.4 Grafica resposta freqüencial senyal entrada micròfon

## 5.2. Anàlisi de la senyal de sortida

La senyal de sortida haurà de fer el procés a la inversa, per ajustar la sortida de 0,7Vrms a 1Vrms del dispositiu de sortida. La figura 5.5 mostra el circuit i la figura 5.6 mostra la resposta freqüencial.

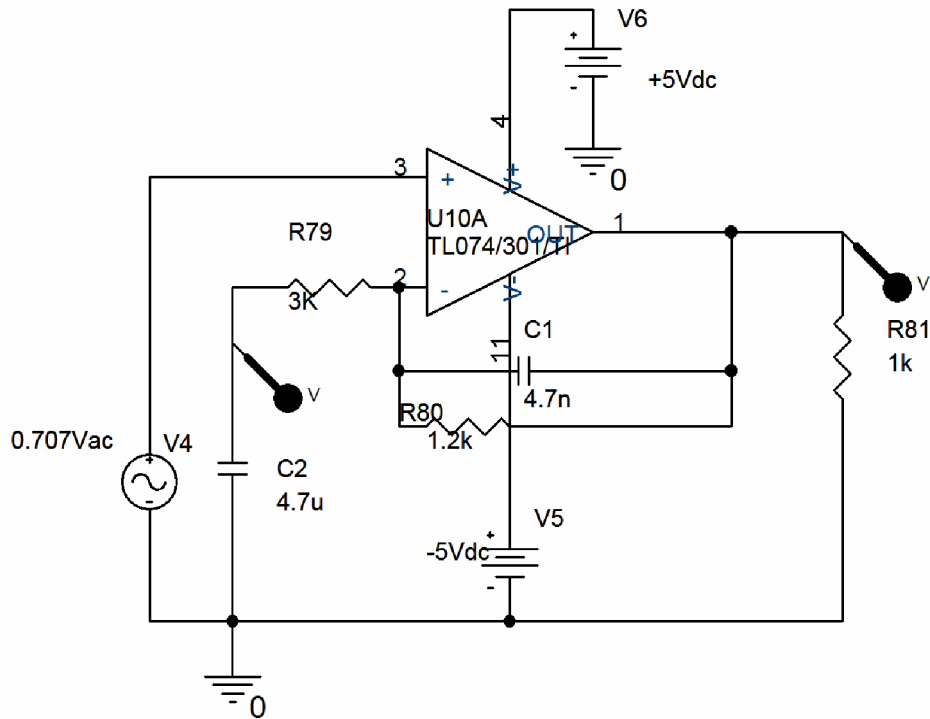


Fig. 5.5 Circuit senyal de sortida

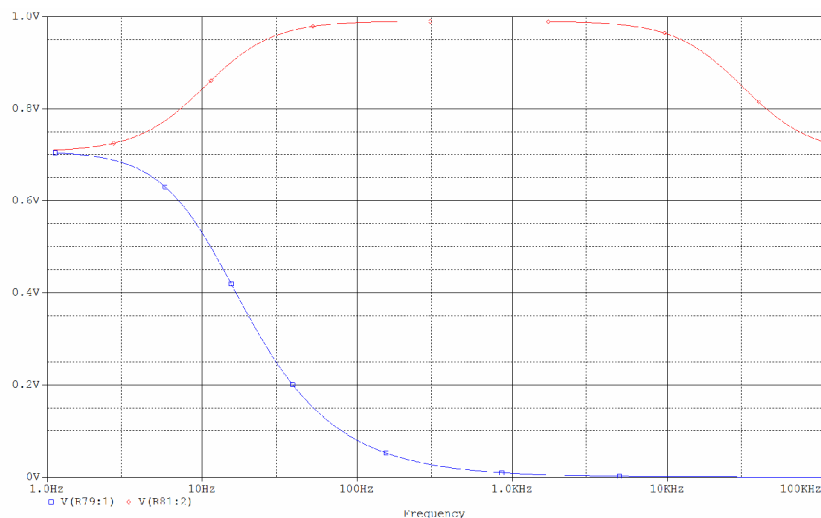


Fig. 5.3 Gràfica resposta freqüencial senyal de sortida

## CAPÍTOL 6. LA PLACA ELECTRÒNICA

### 6.1. Diagrama de blocs

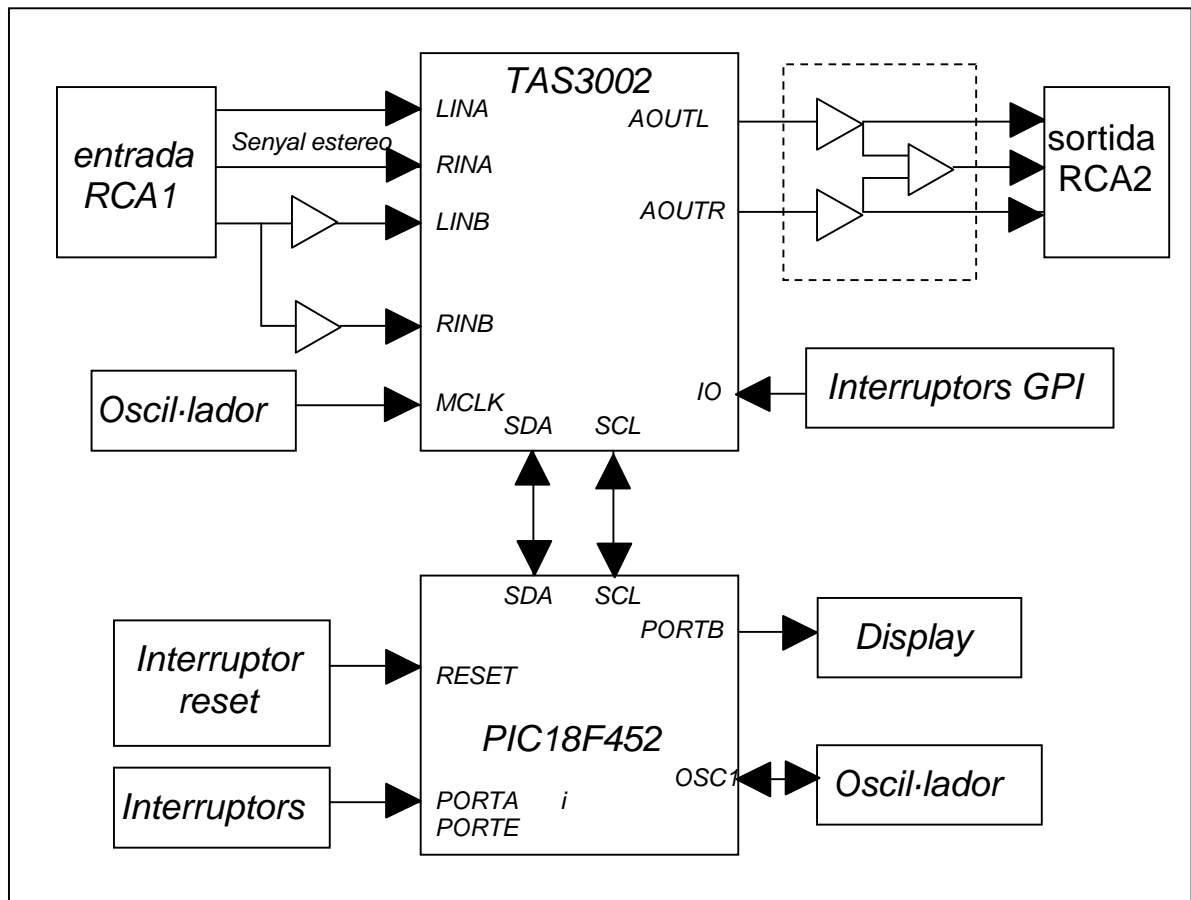


Fig. 6.1 Diagrama de blocs de la placa electrònica

### 6.2. Disseny esquemàtic

El disseny esquemàtic de la placa electrònica s'ha realitzat amb el software ORCAD Capture. Els components que no estaven en la llibreria s'han creat, com per exemple: el PIC18F452, el TAS3002 o el dispositiu de 6 entrades RCA.

El disseny esquemàtic es troba en el Annex 8.

### 6.3. Disseny circuit imprès

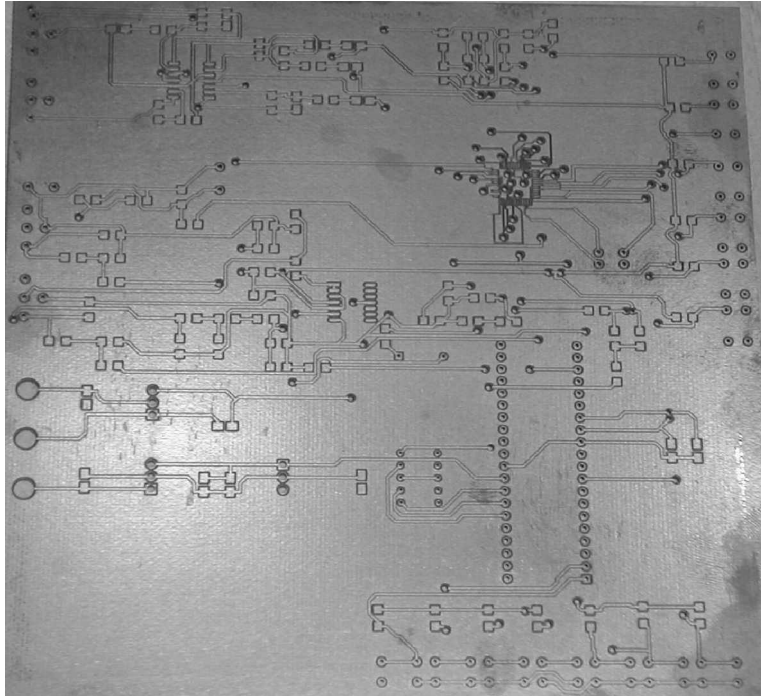
El disseny de la placa electrònica s'ha realitzat amb el ORCAD Layout. S'han creat els encapsulaments ("footprints") dels components que com abans no estaven en la llibreria del ORCAD.

El disseny de la placa electrònica es troba en el Annex 9

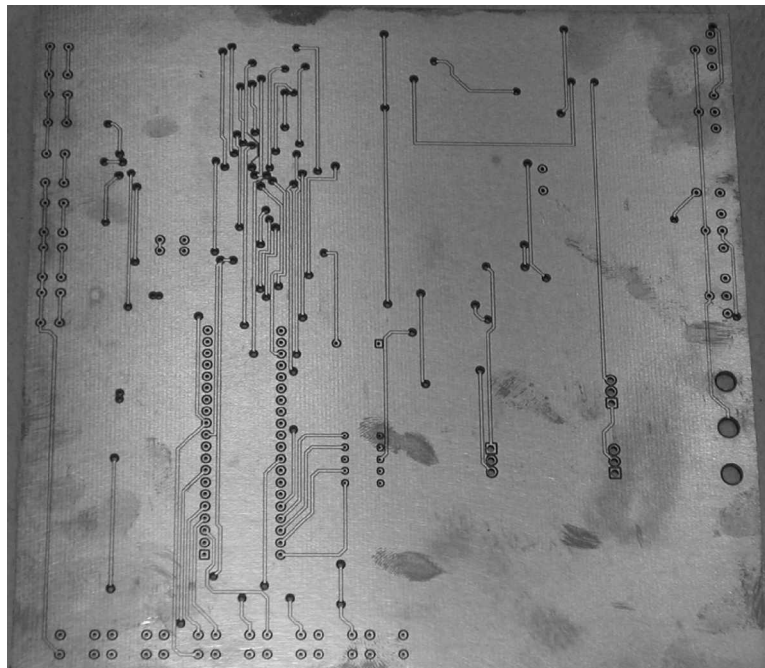


## 6.4. Circuit imprès

La placa electrònica l'ha realitzat els serveis tècnics de la EPSC. En les figures 6.1 i 6.2 mostren les fotografies amb l'acabat final de cada capa.



**Fig. 6.1** Capa TOP de la placa electrònica



**Fig. 6.2** Capa BOTTOM de la placa electrònica

## **CAPÍTOL 7. OBSERVACIONS**

No s'han soldat els components per la dificultat de soldar el TAS302 en el laboratori per les seves petites prestacions dels pins.

Al realitzar la placa en els serveis tècnics de la EPSC hi han hagut problemes en l'amplada de les pistes. Les pistes no podien ser menors a 8 milis, encara que s'ha realitzat, és possible que alguna connexió no sigui correcta.

## CAPÍTOL 8. CONCLUSIONS

Per realitzar el TFC ha estat necessari l'estudi de tots els components principals, el TAS3002 i el PIC18F452, sense tenir cap tipus de coneixement previ del funcionament de microcontroladors.

S'ha realitzat la placa electrònica amb les prestacions que desitjavem a l'inici del projecte.

No sabem realment, si la placa electrònica funciona realment tal com desitgem, tal com hem explicat en les observacions

Respecte els possibles efectes mediambientals, el principal problema seria el reciclatge de la placa electrònica quan aquesta ja no s'utilitzen. Per això, s'ha fet més importància el fet de dissenyar la placa amb dues capes que no fer més capes i reduir el tamany de la placa.

Per finalitzar, volem remarcar que és una aplicació interessant per aquells usuaris que desitjen filtrar senyals d'àudio dels instruments musicals o música d'un dispositiu de d'àudio, de forma senzilla i dinàmica.

Per tant, seria una bona línia de futur del TFC, soldar la placa amb els components esmentats anteriorment i la comprovació del seu bon funcionament.

## CAPÍTOL 9. BIBLIOGRAFIA

[1] [www.microchip.com](http://www.microchip.com)

[2] [www.ti.com](http://www.ti.com)

[3] [www.todopic.com.ar](http://www.todopic.com.ar)

[4] Manual ORCAD LAYOUT

[5] Manual ORCAD CAPTURE

[6] Manual TAS3002 de Texas Instrument

[7] Manual PIC18F452 de Microchip

[8] Robert Briston, J. "The equivalence of various methods of computing biquad coefficients for audio parametric equalizers"



**Escola Politècnica Superior  
de Castelldefels**

UNIVERSITAT POLITÈCNICA DE CATALUNYA

# ANNEXOS

**Disseny equalitzador actiu**

**TITULACIÓ: Sistemes de Telecomunicacions**

**AUTOR: Joan Pujol i Duarri**

**DIRECTOR: Gabriel Montoso López**

**DATA: 2 de Setembre**

## ANNEX 1. Codi programa equalitzador

Aquest és el codi utilitzat en MATLAB per trobar les funcions de transferència de cada equalitzador i els seus coeficients. A continuació, podeu veure l'exemple de simulació del equalitzador digital de musica POP.

```
W=0:0.001:3,1416; %rang entre 0 i PI
Fs=48000;          %freqüència de mostreig

%Guany de cada filtre biquad en dB
G1=-1;            %Guany biquad 1 en dB
G2=7;            %Guany biquad 2 en dB
G3=7;            %Guany biquad 3 en dB
G4=0;            %Guany biquad 4 en dB
G5=-3;           %Guany biquad 5 en dB
G6=-3;           %Guany biquad 6 en dB
G7=-4;           %Guany biquad 7 en dB

%Guany de cada biquad en lineal
G1=10^(G1/20);   %Guany biquad 1 en lineal
G2=10^(G2/20);   %Guany biquad 2 en lineal
G3=10^(G3/20);   %Guany biquad 3 en lineal
G4=10^(G4/20);   %Guany biquad 4 en lineal
G5=10^(G5/20);   %Guany biquad 5 en lineal
G6=10^(G6/20);   %Guany biquad 6 en lineal
G7=10^(G7/20);   %Guany biquad 7 en lineal

%Freqüència central filtres biquad en Hz
f1=0;            %freqüència central biquad 1 en Hz
f2=300;          %freqüència central biquad 2 en Hz
f3=600;          %freqüència central biquad 3 en Hz
f4=3000;         %freqüència central biquad 4 en Hz
f5=6000;         %freqüència central biquad 5 en Hz
f6=12000;        %freqüència central biquad 6 en Hz
f7=20000;        %freqüència central biquad 7 en Hz

%Ample de banda a freqüència discreta Freqdisc= PI*(BW/(2*Fs))
amplebanda1=0.01; %ample de banda freq. discreta biquad 1
amplebanda2=0.1;  %ample de banda freq. discreta biquad 2
amplebanda3=0.1;  %ample de banda freq. discreta biquad 3
amplebanda4=0.1;  %ample de banda freq. discreta biquad 4
amplebanda5=0.5;  %ample de banda freq. discreta biquad 5
amplebanda6=0.5;  %ample de banda freq. discreta biquad 6
amplebanda7=0.5;  %ample de banda freq. discreta biquad 7

%BIQUAD1
raiz_K=sqrt(G1); %arrel quadrada del guany lineal
gamma=raiz_K*tan(amplebanda1);
omega_0=3.1416*((f1)/(Fs/2)); %freqüència central discreta
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K); %coeficient b0
```

```

b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K); %coeficiente b1
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K); %coeficiente b2
a1_1=b1_1; %coeficiente a1
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K); %coeficiente a2
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H1=freqz(b,a,W); %funcio transferencia biquad

```

```
%BIQUAD 2
```

```

raiz_K=sqrt(G2);
gamma=raiz_K*tan(amplebanda2);
omega_0=3.1416*((f2)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H2=freqz(b,a,W);

```

```
%BIQUAD 3
```

```

raiz_K=sqrt(G3);
gamma=raiz_K*tan(amplebanda3);
omega_0=3.1416*((f3)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H3=freqz(b,a,W);

```

```
%BIQUAD 4
```

```

raiz_K=sqrt(G4);
gamma=raiz_K*tan(amplebanda4);
omega_0=3.1416*((f4)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H4=freqz(b,a,W);

```

```
%BIQUAD 5
```

```

raiz_K=sqrt(G5);
gamma=raiz_K*tan(amplebanda5);

```

```

omega_0=3.1416*((f5)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H5=freqz(b,a,W);

```

```

%BIQUAD 6
raiz_K=sqrt(G6);
gamma=raiz_K*tan(amplebanda6);
omega_0=3.1416*((f6)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H6=freqz(b,a,W);

```

```

%BIQUAD 7
raiz_K=sqrt(G7);
gamma=raiz_K*tan(amplebanda7);
omega_0=3.1416*((f7)/(Fs/2));
b0_1=(1+gamma*raiz_K)/(1+gamma/raiz_K);
b1_1=(-2*cos(omega_0))/(1+gamma/raiz_K);
b2_1=(1-gamma*raiz_K)/(1+gamma/raiz_K);
a1_1=b1_1;
a2_1=(1-gamma/raiz_K)/(1+gamma/raiz_K);
b=[b0_1 b1_1 b2_1]
a=[1 a1_1 a2_1]
H7=freqz(b,a,W);

```

```

H=H1+H2+H3+H4+H5+H6+H7; %Suma en cascada de cada biquad
H=H/7; %Normalitzem l'equalitzador
H=20*log(H); %Funcio de transferencia en dB
plot(W,H); %Simulació funcio de transferencia

```



## **ANNEX 2. Equalitzadors digitals**

En aquest annex es detalla les característiques de cada un dels sis d'equalitzadors biquad que utilitzem en el processat del senyal. Els equalitzadors digital són: jazz, reggae, pop, rock, live i rap.

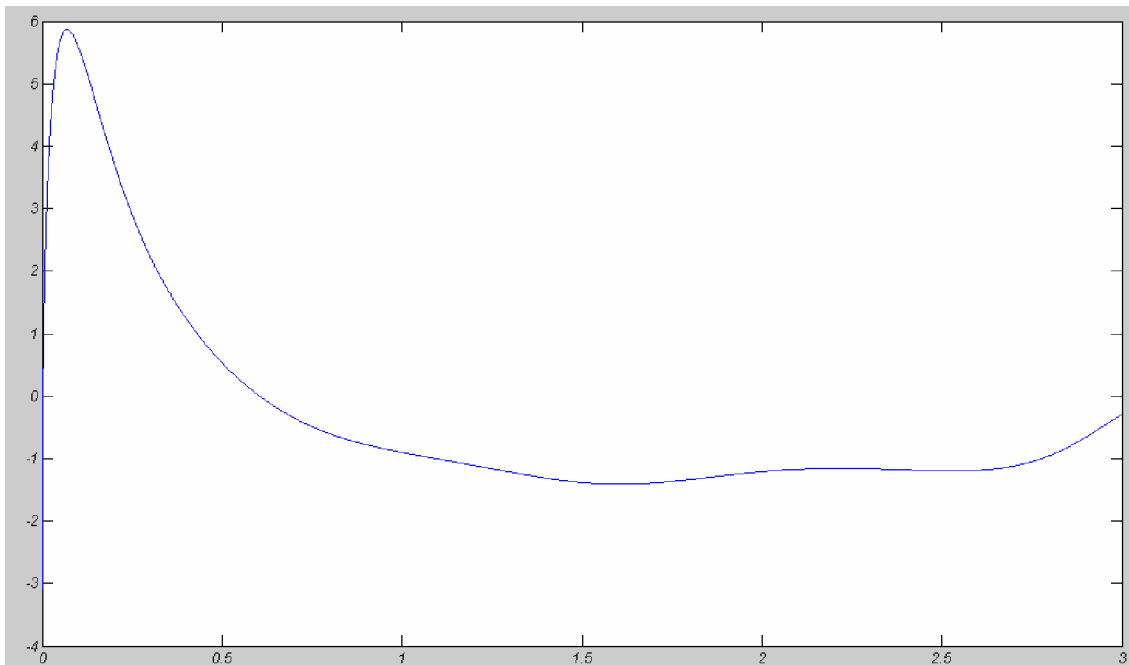
En cada equalitzador trobareu:

- una taula amb l'amplificació necessària per cada filtre biquad per aconseguir la resposta freqüència adequada
- la resposta freqüencial del equalitzador

Cal recordar que en les figures de la resposta freqüencial, l'eix Y correspon a l'amplificació en dB del equalitzador i l'eix X correspon al marge de freqüències discretes entre 0 i  $\pi$ , que en lineal seria de 0 als 24kHz.

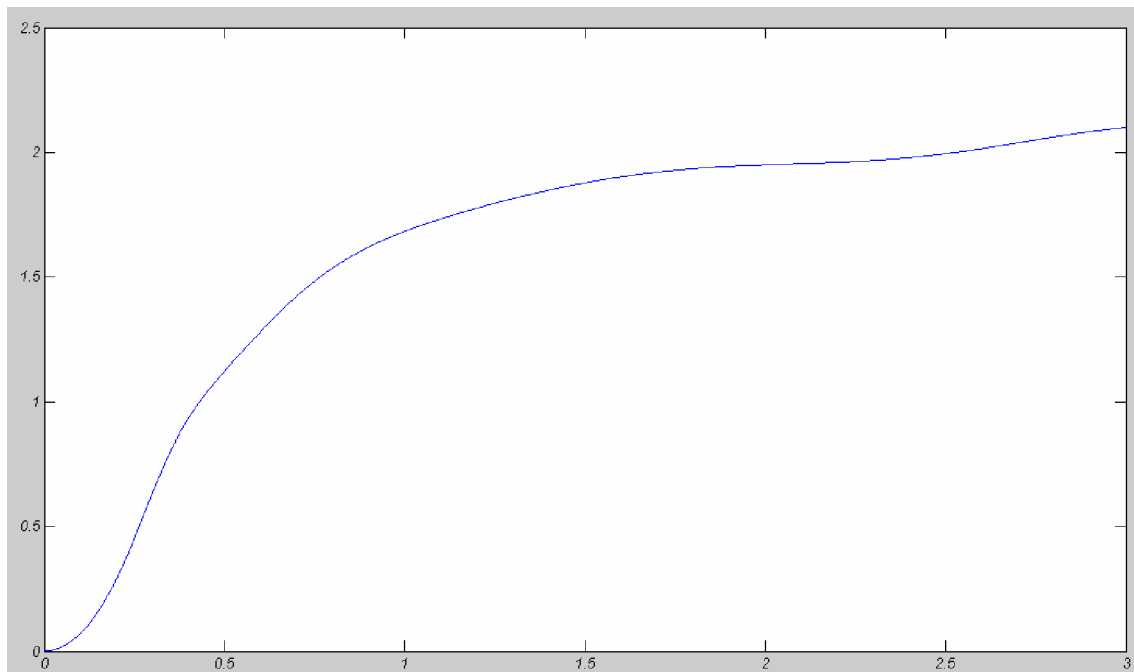
## 2.1. Equalitzador POP

Biquad	Freqüència central (Hz)	Guany (dB)
1	0	-1
2	300	7
3	600	7
4	3000	0
5	6000	-3
6	12000	-3
7	20000	-4



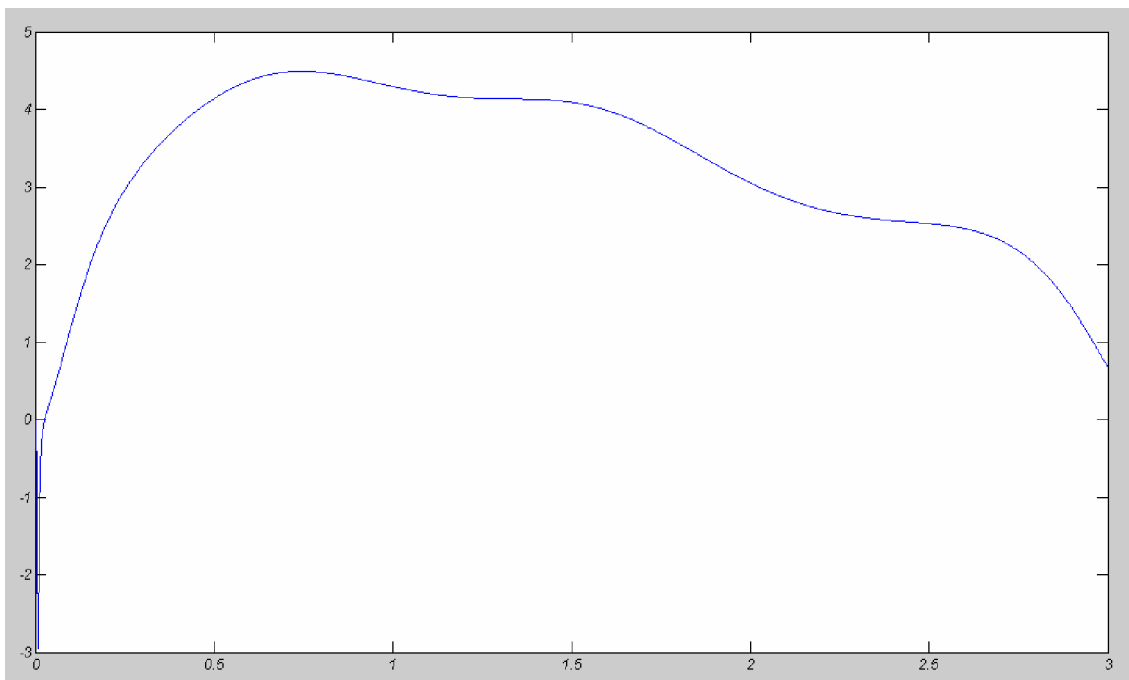
## 2.2. Equalitzador JAZZ

Biquad	Freqüència central (Hz)	Guany (dB)
1	100	0
2	1000	0
3	3000	0
4	8000	1
5	12000	2
6	16000	3
7	24000	5



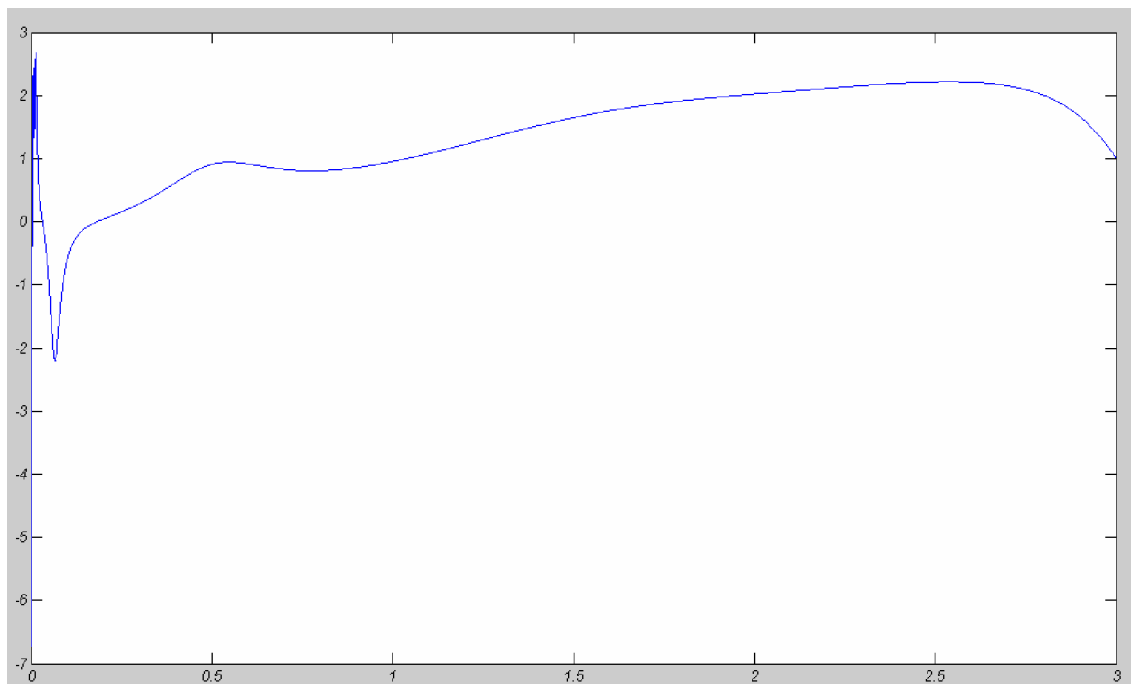
## 2.3. Equalitzador LIVE

Biquad	Freqüència central (Hz)	Guany (dB)
1	0	0
2	60	-30
3	500	6
4	3000	6
5	6000	5
6	12000	5
7	20000	5



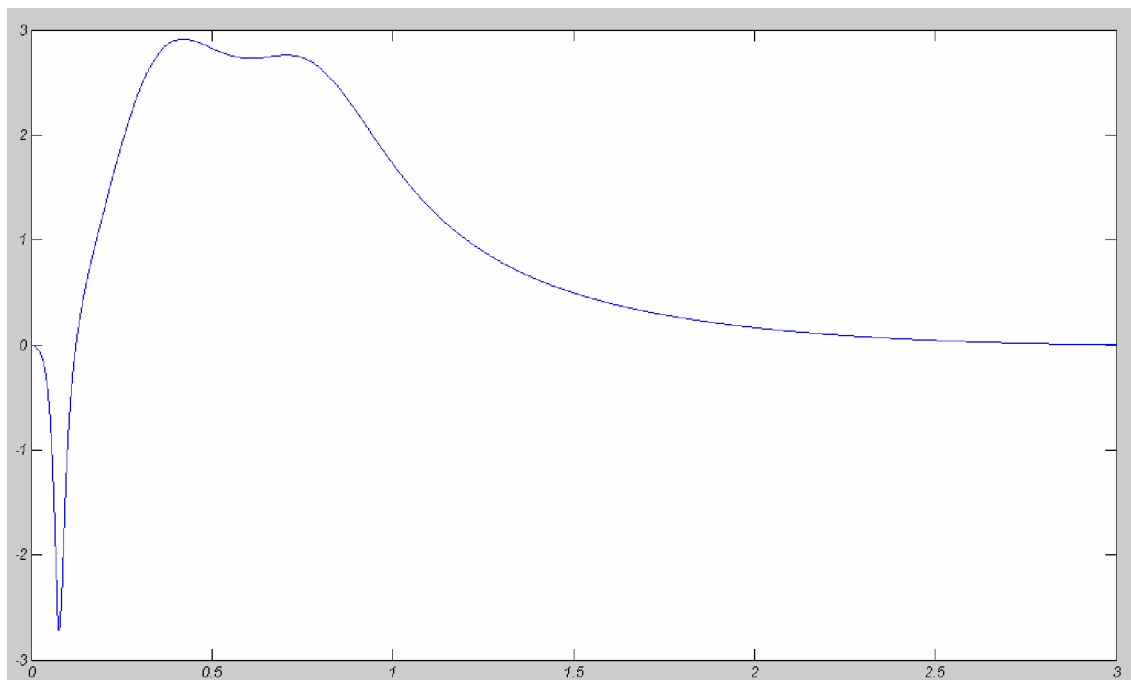
## 2.4. Equalitzador RAP

Biquad	Freqüència central (Hz)	Guany (dB)
1	0	-60
2	50	6
3	100	6
4	500	-12
5	4000	2
6	12000	2
7	20000	5



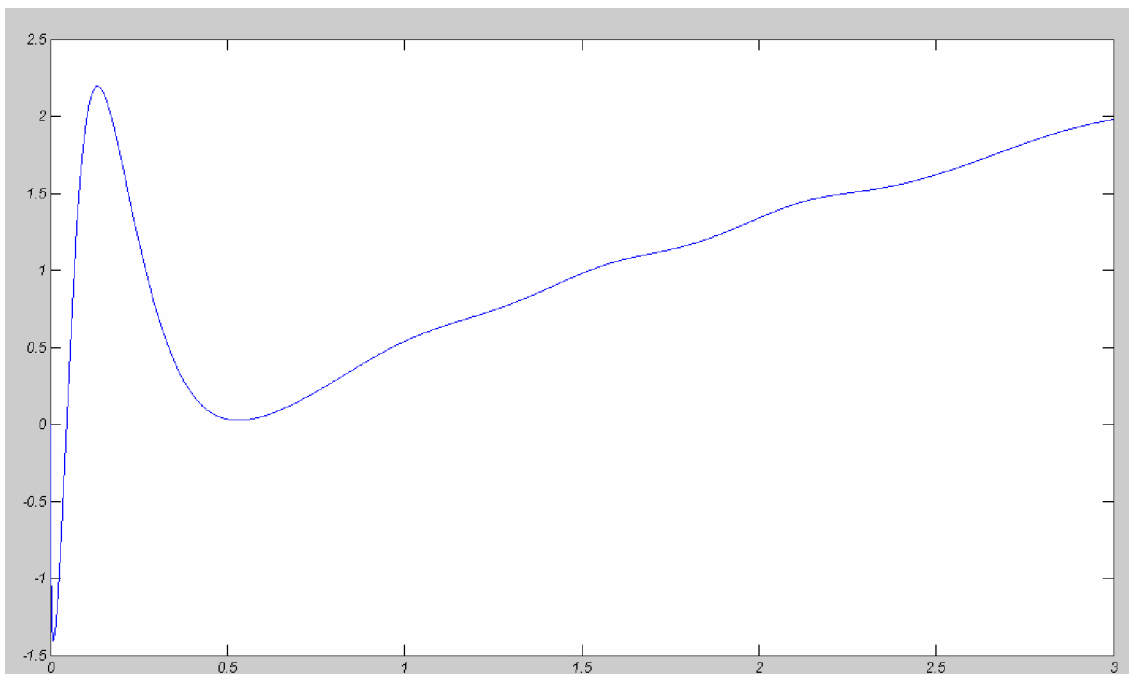
## 2.5. Equalitzador REGGAE

Biquad	Freqüència central (Hz)	Guany (dB)
1	0	0
2	600	-30
3	1000	0
4	3000	6
5	6000	4
6	12000	0
7	20000	0



## 2.6. Equalitzador ROCK

Biquad	Freqüència central (Hz)	Guany (dB)
1	100	-6
2	1000	6
3	3000	-2,5
4	8000	1
5	12000	1
6	16000	1
7	24000	4,8



## ANNEX 3. Registres TAS3002

### 3.1. Registre I2C

REGISTER	ADDRESS	NUMBER OF BYTES	BYTE DESCRIPTION
Reserved	00h		
Main control 1	01h	1	MCR1(7-0)
DRC	02h	5	Ratios(7-0), Threshold(7-0), Energy(7-0), Attack(7-0), Decay(7-0)
Reserved	03h		
Volume	04h	6	VL(23-16), VL(15-8), VL(7-0) VR(23-16), VR(15-8), VR(7-0)
Treble	05h	1	T(7-0)
Bass	06h	1	B(7-0)
Mixer left gain	07h	9	S1L(23-16), S1L(15-8), S1L(7-0) S2L(23-16), S2L(15-8), S2L(7-0) A1L(23-16), A1L(15-8), A1L(7-0)
Mixer right gain	08h	9	S1R(23-16), S1R(15-8), S1R(7-0) S2R(23-16), S2R(15-8), S2R(7-0) A1R(23-16), A1R(15-8), A1R(7-0)
Reserved	09h		
Lok biquad 0	0Ah	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Lok biquad 1	0Bh	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Lok biquad 2	0Ch	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Lok biquad 3	0Dh	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Lok biquad 4	0Eh	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
REGISTER	ADDRESS	NUMBER OF BYTES	BYTE DESCRIPTION
Right loudness biquad	23h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Lok loudness biquad gain	23h	3	LBG(23-16), LBG(15-8), LBG(7-0)
Right loudness biquad gain	24h	3	RBG(23-16), RBG(15-8), RBG(7-0)
Reserved	25h-28h		Reserved
Test	29h	10	Reserved
Reserved	30h to 3Fh		
Analog control	40h	1	Analog_ctrl(7-0)
Test	41h	1	
Test	42h	1	
Main control 2	43h	1	MCR2(7-0)
Reserved	44h-FFh		



REGISTER	ADDRESS	NUMBER OF BYTES	BYTE DESCRIPTION
Left biquad 5	0fh	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Left biquad 6	10h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Reserved	11h		
Reserved	12h		
Right biquad 0	13h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 1	14h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 2	15h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 3	16h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 4	17h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 5	18h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Right biquad 6	19h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)
Reserved	20h		
Left loudness biquad	21h	15	B0(23-16), B0(15-8), B0(7-0) B1(23-16), B1(15-8), B1(7-0) B2(23-16), B2(15-8), B2(7-0) A1(23-16), A1(15-8), A1(7-0) A2(23-16), A2(15-8), A2(7-0)

### 3.2. Registre principal de control 2

REGISTER	DESCRIPTOR	FUNCTION	VALUE	DESCRIPTION
C2(7)	DL	Bass and treble load	0	Normal operation mode
			1	Downloaded values
C2(6)	XX	Reserved	0	
			1	
C2(5)	XX	Reserved	0	
			1	
C2(4)	XX	Reserved	0	
			1	
C2(3)	XX	Reserved	0	
			1	
C2(2)	XX	Reserved	0	
			1	
C2(1)	AP	AllPass mode	0	Normal operation
			1	Sets equalization filters to all pass
C2(0)	XX	Reserved	0	
			1	

### 3.3. Registre de control analògic

REGISTER	DESCRIPTOR	FUNCTION	VALUE	DESCRIPTION
A(7)	XX	Reserved	0	Normal operation
			1	
A(6)	XX	Reserved	0	Normal operation
			1	
A(5)	XX	Reserved	0	
			1	
A(4)	XX	Reserved	0	
			1	
A(3-2)	DM(1-0)	De-emphasis control	00	De-emphasis off, normal operation
			01	De-emphasis for $f_S = 48$ kHz
			10	De-emphasis for $f_S = 44.1$ kHz
			11	Reserved
A(1)	INP	Analog input select	0	A inputs selected
			1	B inputs selected
A(0)	APD	Analog power down	1	Powers down analog section
			0	Normal operation

### 3.4. Registre de control del volum

GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)
18.0	07, F1, 7B	3.0	01, 69, 9C	-12.0	00, 40, 4E	-27.0	00, 0B, 6F	-42.0	00, 02, 09
17.5	07, 7F, 8B	2.5	01, 55, 62	-12.5	00, 3C, B5	-27.5	00, 0A, CC	-42.5	00, 01, EB
17.0	07, 14, 57	2.0	01, 42, 49	-13.0	00, 39, 50	-28.0	00, 0A, 31	-43.0	00, 01, D0
16.5	06, AE, F6	1.5	01, 30, 42	-13.5	00, 36, 1B	-28.5	00, 09, 9F	-43.5	00, 01, B6
16.0	06, 4F, 40	1.0	01, 1F, 3D	-14.0	00, 33, 14	-29.0	00, 09, 15	-44.0	00, 01, 9E
15.5	05, F4, E5	0.5	01, 0F, 2B	-14.5	00, 30, 39	-29.5	00, 08, 93	-44.5	00, 01, 86
15.0	05, 9F, 98	0.0	01, 00, 00	-15.0	00, 2D, 86	-30.0	00, 08, 18	-45.0	00, 01, 71
14.5	05, 4F, 10	-0.5	00, F1, AE	-15.5	00, 2A, FA	-30.5	00, 07, A5	-45.5	00, 01, 5C
14.0	05, 03, 0A	-1.0	00, E4, 29	-16.0	00, 28, 93	-31.0	00, 07, 37	-46.0	00, 01, 48
13.5	04, B8, 44	-1.5	00, D7, 66	-16.5	00, 26, 4E	-31.5	00, 06, D0	-46.5	00, 01, 36
13.0	04, 77, 83	-2.0	00, CB, 59	-17.0	00, 24, 29	-32.0	00, 06, 6E	-47.0	00, 01, 25
12.5	04, 37, 8B	-2.5	00, BF, F9	-17.5	00, 22, 23	-32.5	00, 06, 12	-47.5	00, 01, 14
12.0	03, FB, 28	-3.0	00, B5, 3C	-18.0	00, 20, 3A	-33.0	00, 05, BB	-48.0	00, 01, 05
11.5	03, C2, 25	-3.5	00, AB, 19	-18.5	00, 1E, 6D	-33.5	00, 05, 69	-48.5	00, 00, F6
11.0	03, 8C, 53	-4.0	00, A1, 86	-19.0	00, 1C, B9	-34.0	00, 05, 1C	-49.0	00, 00, E9
10.5	03, 59, 83	-4.5	00, 98, 7D	-19.5	00, 1B, 1E	-34.5	00, 04, D2	-49.5	00, 00, DC
10.0	03, 29, 8B	-5.0	00, 8F, F6	-20.0	00, 19, 9A	-35.0	00, 04, 8D	-50.0	00, 00, CF
9.5	02, FC, 42	-5.5	00, 87, E8	-20.5	00, 18, 2B	-35.5	00, 04, 4C	-50.5	00, 00, C4
9.0	02, D1, 82	-6.0	00, 80, 4E	-21.0	00, 16, D1	-36.0	00, 04, 0F	-51.0	00, 00, B9
8.5	02, A9, 25	-6.5	00, 79, 20	-21.5	00, 15, 8A	-36.5	00, 03, D5	-51.5	00, 00, AE
8.0	02, 83, 0B	-7.0	00, 72, 5A	-22.0	00, 14, 56	-37.0	00, 03, 9E	-52.0	00, 00, A5
7.5	02, 5F, 12	-7.5	00, 6B, F4	-22.5	00, 13, 33	-37.5	00, 03, 6A	-52.5	00, 00, 9B
7.0	02, 3D, 1D	-8.0	00, 65, EA	-23.0	00, 12, 20	-38.0	00, 03, 39	-53.0	00, 00, 93
6.5	02, 1D, 0E	-8.5	00, 60, 37	-23.5	00, 11, 1C	-38.5	00, 03, 0B	-53.5	00, 00, 8B
6.0	01, FE, CA	-9.0	00, 5A, D5	-24.0	00, 10, 27	-39.0	00, 02, DF	-54.0	00, 00, 83
5.5	01, E2, 37	-9.5	00, 55, C0	-24.5	00, 0F, 40	-39.5	00, 02, B6	-54.5	00, 00, 7B
5.0	01, C7, 3D	-10.0	00, 50, F4	-25.0	00, 0E, 65	-40.0	00, 02, 8F	-55.0	00, 00, 75
4.5	01, AD, C6	-10.5	00, 4C, 6D	-25.5	00, 0D, 97	-40.5	00, 02, 6B	-55.5	00, 00, 6E
4.0	01, 95, BC	-11.0	00, 48, 27	-26.0	00, 0C, D5	-41.0	00, 02, 48	-56.0	00, 00, 68
3.5	01, 7F, 09	-11.5	00, 44, 1D	-26.5	00, 0C, 1D	-41.5	00, 02, 27	-56.5	00, 00, 62

GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)	GAIN (dB)	VOLUME V(23-16), V(15-8), V(7-0)
-57.0	00, 00, 5D	-60.0	00, 00, 42	-63.0	00, 00, 2E	-66.0	00, 00, 21	-69.0	00, 00, 17
-57.5	00, 00, 57	-60.5	00, 00, 3E	-63.5	00, 00, 2C	-66.5	00, 00, 1F	-69.5	00, 00, 16
-58.0	00, 00, 53	-61.0	00, 00, 3A	-64.0	00, 00, 29	-67.0	00, 00, 1D	-70.0	00, 00, 15
-58.5	00, 00, 4E	-61.5	00, 00, 37	-64.5	00, 00, 27	-67.5	00, 00, 1C	mute	00, 00, 00
-59.0	00, 00, 4A	-62.0	00, 00, 34	-65.0	00, 00, 25	-68.0	00, 00, 1A		
-59.5	00, 00, 45	-62.5	00, 00, 31	-65.5	00, 00, 23	-68.5	00, 00, 19		

### 3.5. Registre de control dels aguts

GAIN (dB)	T(7-0) (hex)	GAIN (dB)	T(7-0) (hex)	GAIN (dB)	T(7-0) (hex)	GAIN (dB)	T(7-0) (hex)	GAIN (dB)	T(7-0) (hex)
18.0	01h	10.5	4Ah	3.0	6Bh	-4.5	7Bh	-12.0	8Ah
17.5	01h	10.0	4Ch	2.5	6Ch	-5.0	7Ch	-12.5	8Bh
17.0	04h	9.5	51h	2.0	6Dh	-5.5	7Dh	-13.0	8Ch
16.5	08h	9.0	53h	1.5	3Fh	-6.0	7Eh	-13.5	8Dh
16.0	13h	8.5	56h	1.0	70h	-6.5	7Fh	-14.0	8Eh
15.5	1Ah	8.0	59h	0.5	71h	-7.0	80h	-14.5	8Fh
15.0	20h	7.5	5Bh	0.0	72h	-7.5	81h	-15.0	90h
14.5	26h	7.0	5Dh	-0.5	73h	-8.0	82h	-15.5	91h
14.0	2Ch	6.5	60h	-1.0	74h	-8.5	83h	-16.0	92h
13.5	31h	6.0	62h	-1.5	75h	-9.0	84h	-16.5	93h
13.0	36h	5.5	63h	-2.0	76h	-9.5	85h	-17.0	94h
12.5	3Bh	5.0	65h	-2.5	77h	-10.0	86h	-17.5	95h
12.0	3Fh	4.5	67h	-3.0	78h	-10.5	87h	-18.0	96h
11.5	43h	4.0	68h	-3.5	79h	-11.0	88h		
11.0	47h	3.5	69h	-4.0	7Ah	-11.5	89h		

### 3.6. Registre de control dels greus

GAIN (dB)	B(7-0) (hex)	GAIN (dB)	B(7-0) (hex)	GAIN (dB)	B(7-0) (hex)	GAIN (dB)	B(7-0) (hex)	GAIN (dB)	B(7-0) (hex)
18.0	01h	10.5	4Ch	3.0	6Ah	-4.5	7Bh	-12.0	8Ah
17.5	0Ah	10.0	4Fh	2.5	6Bh	-5.0	7Ch	-12.5	8Bh
17.0	11h	9.5	52h	2.0	6Dh	-5.5	7Dh	-13.0	8Ch
16.5	18h	9.0	55h	1.5	6Eh	-6.0	7Eh	-13.5	8Dh
16.0	1Eh	8.5	58h	1.0	6Fh	-6.5	7Fh	-14.0	8Eh
15.5	24h	8.0	5Bh	0.5	71h	-7.0	80h	-14.5	8Fh
15.0	29h	7.5	5Dh	0.0	72h	-7.5	81h	-15.0	90h
14.5	2Eh	7.0	5Fh	-0.5	73h	-8.0	82h	-15.5	91h
14.0	33h	6.5	61h	-1.0	74h	-8.5	83h	-16.0	92h
13.5	37h	6.0	62h	-1.5	75h	-9.0	84h	-16.5	93h
13.0	3Bh	5.5	63h	-2.0	76h	-9.5	85h	-17.0	94h
12.5	3Fh	5.0	65h	-2.5	77h	-10.0	86h	-17.5	95h
12.0	43h	4.5	66h	-3.0	78h	-10.5	87h	-18.0	96h
11.5	46h	4.0	67h	-3.5	79h	-11.0	88h		
11.0	49h	3.5	69h	-4.0	7Ah	-11.5	89h		

### 3.7. Registre de control de mescla

GAIN (dB)	GAIN S(23-16), S(15-8), S(7-0)	GAIN (dB)	GAIN S(23-16), S(15-8), S(7-0)	GAIN (dB)	GAIN S(23-16), S(15-8), S(7-0)	GAIN (dB)	GAIN S(23-16), S(15-8), S(7-0)	GAIN (dB)	GAIN S(23-16), S(15-8), S(7-0)
18.0	7F, 17, AF	0.0	10, 00, 00	-18.0	02, 03, A7	-36.0	00, 40, EA	-54.0	00, 08, 2C
17.5	77, FB, AA	-0.5	0F, 1A, DF	-18.5	01, E6, CF	-36.5	00, 3D, 49	-54.5	00, 07, B7
17.0	71, 45, 75	-1.0	0E, 42, 90	-19.0	01, CB, 94	-37.0	00, 39, DB	-55.0	00, 07, 48
16.5	6A, EF, 5D	-1.5	0D, 76, 5A	-19.5	01, B1, DE	-37.5	00, 36, 9E	-55.5	00, 06, E0
16.0	64, F4, 03	-2.0	0C, B5, 91	-20.0	01, 99, 99	-38.0	00, 33, 90	-56.0	00, 06, 7D
15.5	5F, 4E, 52	-2.5	0B, FF, 91	-20.5	01, 82, AF	-38.5	00, 30, AE	-56.5	00, 06, 20
15.0	59, F9, 80	-3.0	0B, 53, BE	-21.0	01, 6D, 0E	-39.0	00, 2D, F5	-57.0	00, 05, C9
14.5	54, F1, 06	-3.5	0A, B1, 89	-21.5	01, 58, A2	-39.5	00, 28, 63	-57.5	00, 05, 76
14.0	50, 30, A1	-4.0	0A, 18, 66	-22.0	01, 45, 5B	-40.0	00, 28, F5	-58.0	00, 05, 28
13.5	4B, B4, 46	-4.5	09, 87, D5	-22.5	01, 33, 28	-40.5	00, 26, AB	-58.5	00, 04, DE
13.0	47, 78, 28	-5.0	08, FF, 59	-23.0	01, 21, F9	-41.0	00, 24, 81	-59.0	00, 04, 98
12.5	43, 78, B0	-5.5	08, 7E, 80	-23.5	01, 11, C0	-41.5	00, 22, 76	-59.5	00, 04, 56
12.0	3F, B2, 78	-6.0	08, 04, DC	-24.0	01, 02, 70	-42.0	00, 20, 89	-60.0	00, 04, 18
11.5	3C, 22, 4C	-6.5	07, 92, 07	-24.5	00, F3, FB	-42.5	00, 1E, B7	-60.5	00, 03, DD
11.0	38, C5, 28	-7.0	07, 25, 9D	-25.0	00, E6, 55	-43.0	00, 1C, FF	-61.0	00, 03, A6
10.5	35, 98, 2F	-7.5	06, BF, 44	-25.5	00, D9, 73	-43.5	00, 18, 60	-61.5	00, 03, 72
10.0	32, 98, B0	-8.0	06, 5E, A5	-26.0	00, CD, 49	-44.0	00, 19, D8	-62.0	00, 03, 40
9.5	2F, C4, 20	-8.5	06, 03, 6E	-26.5	00, C1, CD	-44.5	00, 18, 65	-62.5	00, 03, 12
9.0	2D, 18, 18	-9.0	05, AD, 50	-27.0	00, B6, F6	-45.0	00, 17, 08	-63.0	00, 02, E6
8.5	2A, 92, 54	-9.5	05, 5C, 04	-27.5	00, AC, BA	-45.5	00, 15, BE	-63.5	00, 02, BC
8.0	28, 30, AF	-10.0	05, 0F, 44	-28.0	00, A3, 10	-46.0	00, 14, 87	-64.0	00, 02, 95
7.5	25, F1, 25	-10.5	04, C6, D0	-28.5	00, 99, F1	-46.5	00, 13, 61	-64.5	00, 02, 70
7.0	23, D1, CD	-11.0	04, 82, 68	-29.0	00, 91, 54	-47.0	00, 12, 4B	-65.0	00, 02, 4D
6.5	21, D0, D9	-11.5	04, 41, D5	-29.5	00, 89, 33	-47.5	00, 11, 45	-65.5	00, 02, 2C
6.0	1F, EC, 98	-12.0	04, 04, DE	-30.0	00, 81, 86	-48.0	00, 10, 4E	-66.0	00, 02, 0D
5.5	1E, 23, 6D	-12.5	03, CB, 50	-30.5	00, 7A, 48	-48.5	00, 0F, 64	-66.5	00, 01, F0
5.0	1C, 73, D5	-13.0	03, 94, FA	-31.0	00, 73, 70	-49.0	00, 0E, 88	-67.0	00, 01, D4
4.5	1A, DC, 61	-13.5	03, 61, AF	-31.5	00, 6C, FB	-49.5	00, 0D, B8	-67.5	00, 01, BA
4.0	19, 5B, B8	-14.0	03, 31, 42	-32.0	00, 66, E3	-50.0	00, 0C, F3	-68.0	00, 01, A1
3.5	17, F0, 94	-14.5	03, 03, 8A	-32.5	00, 61, 21	-50.5	00, 0C, 3A	-68.5	00, 01, 8A
3.0	16, 99, C0	-15.0	02, D8, 62	-33.0	00, 5B, B2	-51.0	00, 0B, 8B	-69.0	00, 01, 74
2.5	15, 56, 1A	-15.5	02, AF, A3	-33.5	00, 56, 91	-51.5	00, 0A, E5	-69.5	00, 01, 5F
2.0	14, 24, 8E	-16.0	02, 89, 2C	-34.0	00, 51, B9	-52.0	00, 0A, 49	-70.0	00, 01, 4B
1.5	13, 04, 1A	-16.5	02, 64, DB	-34.5	00, 4D, 27	-52.5	00, 09, B6	Mute	00, 00, 00
1.0	11, F3, C9	-17.0	02, 42, 93	-35.0	00, 48, D6	-53.0	00, 09, 2B		
0.5	10, F2, B4	-17.5	02, 22, 35	-35.5	00, 44, C3	-53.5	00, 08, A8		

## ANNEX 4. Registres PIC18F452

### 4.1. Adreces dels registres del microcontrolador

Address	Name	Address	Name	Address	Name	Address	Name
FFh	TOSU	FDf	INCF2 <sup>®</sup>	FBf	CCPR1H	F9f	IPR1
FEh	TOSH	FDe	POSTINC2 <sup>®</sup>	FBEh	CCPR1L	F9Eh	PIR1
FFDh	TOSL	FDDh	POSTDEC2 <sup>®</sup>	FBCh	CCPI CON	F9Dh	PEI
FFCh	STRPTR	FDCh	PREINC2 <sup>®</sup>	FBCh	CCPR2H	F9Ch	—
FFBh	PCLATU	FDBh	PLUSW2 <sup>®</sup>	FBBh	CCPR2L	F9Bh	—
FFAh	PCLATH	FDAh	FSR2H	FBAh	CCP2CON	F9Ah	—
FF9h	PCL	FD9h	FSR2L	F89h	—	F99h	—
FF8h	TBLPTRU	FD8h	STATUS	F88h	—	F98h	—
FF7h	TBLPTRH	FD7h	TMR0H	F87h	—	F97h	—
FF6h	TBLPTRL	FD6h	TMR0L	F86h	—	F96h	TRISE <sup>®</sup>
FF5h	TABLAT	FD5h	T0CON	F85h	—	F95h	TRISD <sup>®</sup>
FF4h	PRODH	FD4h	—	F84h	—	F94h	TRISC
FF3h	PRODL	FD3h	OSCCON	F83h	TMR3H	F93h	TRISB
FF2h	INTCON	FD2h	LVDCON	F82h	TMR3L	F92h	TRISA
FF1h	INTCON2	FD1h	WDTCON	F81h	T3CON	F91h	—
FFCh	INTCON3	FDCh	RCON	F8Ch	—	F90h	—
FEFh	INDFO <sup>®</sup>	FCFh	TMR1H	FAFh	SPBRG	F8Fh	—
FEeh	POSTINC0 <sup>®</sup>	FCEh	TMR1L	FAEh	RCREG	F8Eh	—
FEDh	POSTDEC0 <sup>®</sup>	FCDh	T1CON	FADh	T3REG	F8Dh	LATE <sup>®</sup>
FECh	PREINC0 <sup>®</sup>	FCCh	TMR2	FACH	T3STA	F8Ch	LATD <sup>®</sup>
FEbh	PLUSW0 <sup>®</sup>	FCBh	PR2	FABh	RCSTA	F8Bh	LATC
FEAh	FSR0H	FCAh	T2CON	FAAh	—	F8Ah	LATB
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEADR	F89h	LATA
FE8h	WREG	FC8h	SSPAD0	FA8h	EEDATA	F88h	—
FE7h	INDF1 <sup>®</sup>	FC7h	SSPSTAT	FA7h	EEOCN2	F87h	—
FE6h	POSTINC1 <sup>®</sup>	FC6h	SSPCON1	FA6h	EEOCN1	F86h	—
FE5h	POSTDEC1 <sup>®</sup>	FC5h	SSPCON2	FA5h	—	F85h	—
FE4h	PREINC1 <sup>®</sup>	FC4h	ADRESH	FA4h	—	F84h	PORTE <sup>®</sup>
FE3h	PLUSW1 <sup>®</sup>	FC3h	ADRESL	FA3h	—	F83h	PORTD <sup>®</sup>
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB
FECh	BSR	FCCh	—	FACH	PIE2	F80h	PORTA

## 4.2. Registre SSPSTAT

	R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0						
	SMP	CKE	D/A	P	S	R/W	UA	BF						
	bit 7							bit 0						
bit 7	<p><b>SMP: Slew Rate Control bit</b>  <u>In Master or Slave mode:</u>            1 = Slew rate control disabled for Standard Speed mode (100 kHz and 1 MHz)            0 = Slew rate control enabled for High Speed mode (400 kHz)</p>													
bit 6	<p><b>CKE: SMBus Select bit</b>  <u>In Master or Slave mode:</u>            1 = Enable SMBus specific inputs            0 = Disable SMBus specific inputs</p>													
bit 5	<p><b>D/A: Data/Address bit</b>  <u>In Master mode:</u>            Reserved  <u>In Slave mode:</u>            1 = Indicates that the last byte received or transmitted was data            0 = Indicates that the last byte received or transmitted was address</p>													
bit 4	<p><b>P: STOP bit</b>            1 = Indicates that a STOP bit has been detected last            0 = STOP bit was not detected last            Note: This bit is cleared on RESET and when SSPEN is cleared.</p>													
bit 3	<p><b>S: START bit</b>            1 = Indicates that a start bit has been detected last            0 = START bit was not detected last            Note: This bit is cleared on RESET and when SSPEN is cleared.</p>													
bit 2	<p><b>R/W: Read/Write bit information (I<sup>2</sup>C mode only)</b>  <u>In Slave mode:</u>            1 = Read            0 = Write            Note: This bit holds the RW bit information following the last address match. This bit is only valid from the address match to the next START bit, STOP bit, or not ACK bit.</p> <p><u>In Master mode:</u>            1 = Transmit is in progress            0 = Transmit is not in progress            Note: ORing this bit with SEN, RSEN, PEN, RCEN, or ACKEN will indicate if the MSSP is in IDLE mode.</p>													
bit 1	<p><b>UA: Update Address (10-bit Slave mode only)</b>            1 = Indicates that the user needs to update the address in the SSPADD register            0 = Address does not need to be updated</p>													
bit 0	<p><b>BF: Buffer Full Status bit</b>  <u>In Transmit mode:</u>            1 = Receive complete, SSPBUF is full            0 = Receive not complete, SSPBUF is empty  <u>In Receive mode:</u>            1 = Data transmit in progress (does not include the <math>\overline{ACK}</math> and STOP bits), SSPBUF is full            0 = Data transmit complete (does not include the <math>\overline{ACK}</math> and STOP bits), SSPBUF is empty</p>													
<p>Legend:</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">R = Readable bit</td> <td style="width: 33%;">W = Writable bit</td> <td style="width: 33%;">U = Unimplemented bit, read as '0'</td> </tr> <tr> <td>- n = Value at POR</td> <td>1' = Bit is set</td> <td>0' = Bit is cleared    x = Bit is unknown</td> </tr> </table>									R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	- n = Value at POR	1' = Bit is set	0' = Bit is cleared    x = Bit is unknown
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'												
- n = Value at POR	1' = Bit is set	0' = Bit is cleared    x = Bit is unknown												

### 4.3. Registre SSPCON1

RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
Bit 7							Bit 0

- Bit 7** **WCOL:** Write Collision Detect bit
- In Master Transmitt mode:  
 1 = A write to the SSPBUF register was attempted while the I<sup>2</sup>C conditions were not valid for a transmission to be started (must be cleared in software)  
 0 = No collision
- In Slave Transmitt mode:  
 1 = The SSPBUF register is written while it is still transmitting the previous word (must be cleared in software)  
 0 = No collision
- In Receive mode (Master or Slave mode):  
 This is a 'don't care' bit
- Bit 6** **SSPOV:** Receive Overflow Indicator bit
- In Receive mode:  
 1 = A byte is received while the SSPBUF register is still holding the previous byte (must be cleared in software)  
 0 = No overflow
- In Transmitt mode:  
 This is a 'don't care' bit in Transmitt mode
- Bit 5** **SSPEN:** Synchronous Serial Port Enable bit
- 1 = Enables the serial port and configures the SDA and SCL pins as the serial port pins  
 0 = Disables serial port and configures these pins as I/O port pins
- Note: When enabled, the SDA and SCL pins must be properly configured as input or output.
- Bit 4** **CKP:** SCK Release Control bit
- In Slave mode:  
 1 = Release clock  
 0 = Holds clock low (clock stretch), used to ensure data setup time
- In Master mode:  
 Unused in I<sup>2</sup>C mode
- Bit 3-0** **SSPM3:SSPM0:** Synchronous Serial Port Mode Select bits
- 1111 = I<sup>2</sup>C Slave mode, 10-bit address with START and STOP bit interrupts enabled  
 1110 = I<sup>2</sup>C Slave mode, 7-bit address with START and STOP bit interrupts enabled  
 1011 = I<sup>2</sup>C Firmware Controlled Master mode (Slave IDLE)  
 1000 = I<sup>2</sup>C Master mode, clock = Fosc / (4 \* (SSPAD0+1))  
 0111 = I<sup>2</sup>C Slave mode, 10-bit address  
 0110 = I<sup>2</sup>C Slave mode, 7-bit address
- Note: Bit combinations not specifically listed here are either reserved, or implemented in SPI mode only

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

## 4.4. Registre SSPCON2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit 7						bit 0	

- bit 7** GCEN: General Call Enable bit (Slave mode only)  
 1 = Enable Interrupt when a general call address (0000h) is received in the SSPSR  
 0 = General call address disabled
- bit 6** ACKSTAT: Acknowledge Status bit (Master Transmit mode only)  
 1 = Acknowledge was not received from slave  
 0 = Acknowledge was received from slave
- bit 5** ACKDT: Acknowledge Data bit (Master Receive mode only)  
 1 = Not Acknowledge  
 0 = Acknowledge
- Note: Value that will be transmitted when the user initiates an Acknowledge sequence at the end of a receive.
- bit 4** ACKEN: Acknowledge Sequence Enable bit (Master Receive mode only)  
 1 = Initiate Acknowledge sequence on SDA and SCL pins, and transmit ACKDT data bit. Automatically cleared by hardware.  
 0 = Acknowledge sequence IDLE
- bit 3** RCEN: Receive Enable bit (Master mode only)  
 1 = Enables Receive mode for I<sup>2</sup>C  
 0 = Receive IDLE
- bit 2** PEN: STOP Condition Enable bit (Master mode only)  
 1 = Initiate STOP condition on SDA and SCL pins. Automatically cleared by hardware.  
 0 = STOP condition IDLE
- bit 1** RSEN: Repeated START Condition Enabled bit (Master mode only)  
 1 = Initiate Repeated START condition on SDA and SCL pins. Automatically cleared by hardware.  
 0 = Repeated START condition IDLE
- bit 0** SEN: START Condition Enabled/Stretch Enabled bit
- In Master mode:  
 1 = Initiate START condition on SDA and SCL pins. Automatically cleared by hardware.  
 0 = START condition IDLE
- In Slave mode:  
 1 = Clock stretching is enabled for both Slave Transmit and Slave Receive (stretch enabled)  
 0 = Clock stretching is enabled for slave transmit only (Legacy mode)

Note: For bits ACKEN, RCEN, PEN, RSEN, SEN: If the I<sup>2</sup>C module is not in the IDLE mode, this bit may not be set (no spooling) and the SSPBUF may not be written (or writes to the SSPBUF are disabled).

Legend			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown



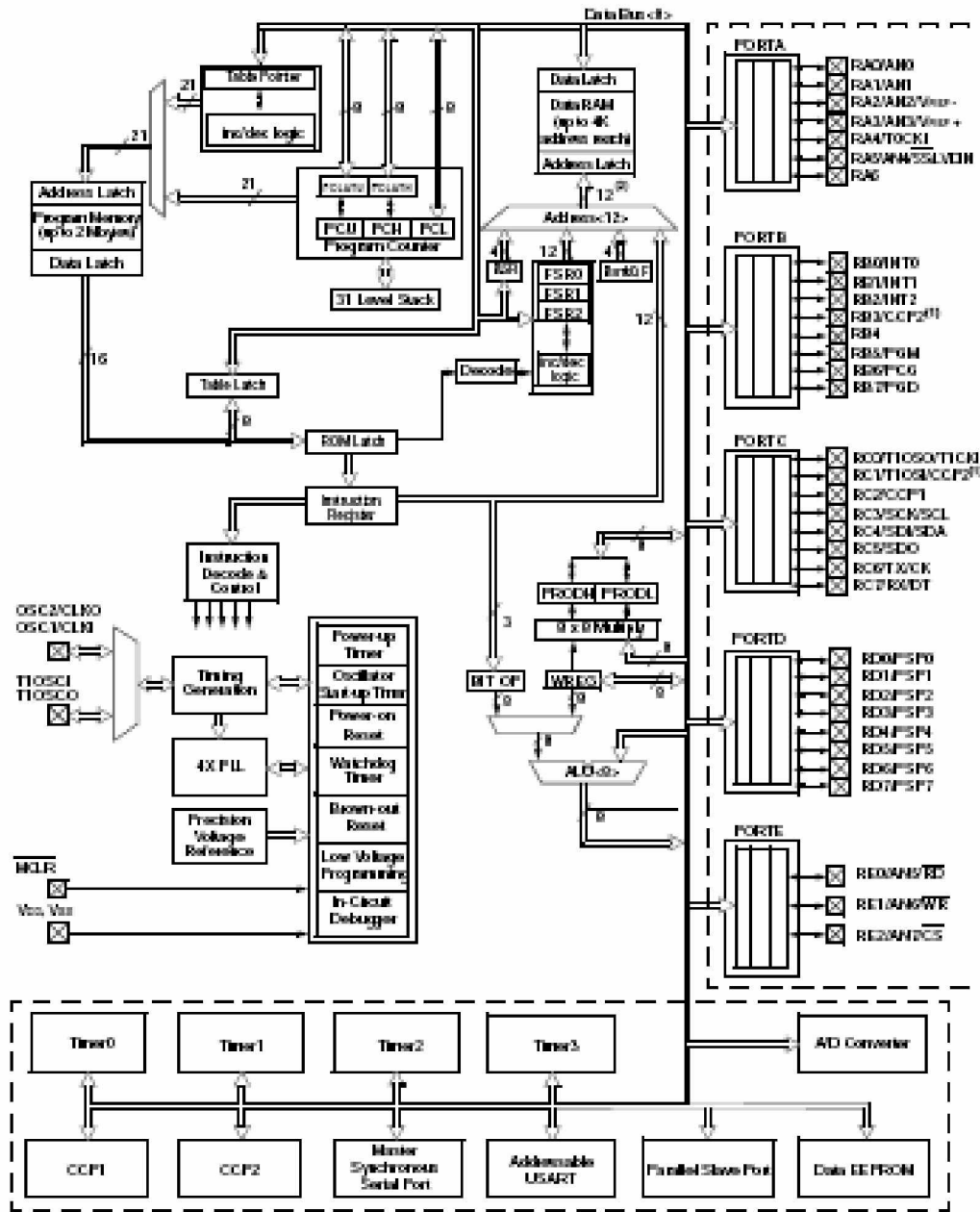
## 4.5. Registre EECON1

R/W-x	R/W-x	U-0	R/W-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	CFGS	—	FREE	WRERR	WREN	WR	RD
bit 7							bit 0

- bit 7** **EEPGD:** FLASH Program or Data EEPROM Memory Select bit  
 1 = Access FLASH Program memory  
 0 = Access Data EEPROM memory
- bit 6** **CFGS:** FLASH Program/Data EE or Configuration Select bit  
 1 = Access Configuration registers  
 0 = Access FLASH Program or Data EEPROM memory
- bit 5** Unimplemented: Read as '0'
- bit 4** **FREE:** FLASH Row Erase Enable bit  
 1 = Erase the program memory row addressed by TBLPTR on the next WR command (cleared by completion of erase operation)  
 0 = Perform write only
- bit 3** **WRERR:** FLASH Program/Data EE Error Flag bit  
 1 = A write operation is prematurely terminated (any RESET during self-timed programming in normal operation)  
 0 = The write operation completed  
 Note: When a WRERR occurs, the EEGD and CFGS bits are not cleared. This allows tracing of the error condition.
- bit 2** **WREN:** FLASH Program/Data EE Write Enable bit  
 1 = Allows write cycles  
 0 = Inhibits write to the EEPROM
- bit 1** **WR:** Write Control bit  
 1 = Initiates a data EEPROM erase/write cycle or a program memory erase cycle or write cycle. (The operation is self-timed and the bit is cleared by hardware once write is complete. The WR bit can only be set (not cleared) in software.)  
 0 = Write cycle to the EEPROM is complete
- bit 0** **RD:** Read Control bit  
 1 = Initiates an EEPROM read (Read takes one cycle. RD is cleared in hardware. The RD bit can only be set (not cleared) in software. RD bit cannot be set when EEGD = 1.)  
 0 = Does not initiate an EEPROM read

# ANNEX 5. Descripció PIC18F452

## 5.1. Diagrama de blocs microcontrolador



## 5.2. Descripció de les potes

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	PLCC	TQFP			
MCLR/Vpp MCLR Vpp	1	2	18	I I	ST ST	Master Clear (Input) or high voltage ICSP programming enable pin. Master Clear (Reset) Input. This pin is an active low RESET to the device. High voltage ICSP programming enable pin.
NC	—	—	—	—	—	These pins should be left unconnected.
OSC1/CLKI OSC1 CLKI	13	14	30	I I	ST CMOS	Oscillator crystal or external clock input. Oscillator crystal input or external clock source input. ST buffer when configured in RC mode, CMOS otherwise. External clock source input. Always associated with pin function OSC1. (See related OSC1CLKI, OSC2CLKO pins.)
OSC2/CLKO/RA6 OSC2 CLKO RA6	14	15	31	O O IO	— — TTL	Oscillator crystal or clock output. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. In RC mode, OSC2 pin outputs CLKO, which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate. General Purpose I/O pin.
RA0/AN0 RA0 AN0	2	3	19	IO I	TTL Analog	PORTA is a bi-directional I/O port. Digital I/O. Analog Input 0.
RA1/AN1 RA1 AN1	3	4	20	IO I	TTL Analog	Digital I/O. Analog Input 1.
RA2/AN2/Vref- RA2 AN2 Vref-	4	5	21	IO I I	TTL Analog Analog	Digital I/O. Analog Input 2. A/D Reference Voltage (Low) Input.
RA3/AN3/Vref+ RA3 AN3 Vref+	5	6	22	IO I I	TTL Analog Analog	Digital I/O. Analog Input 3. A/D Reference Voltage (High) Input.
RA4/T0CKI RA4 T0CKI	6	7	23	IO I	ST/OD ST	Digital I/O. Open drain when configured as output. Timer0 external clock input.
RA5/AN4/SS/LVDIN RA5 AN4 SS LVDIN RA6	7	8	24	IO I I I I	TTL Analog ST Analog	Digital I/O. Analog Input 4. SPI Slave Select Input. Low Voltage Detect Input. (See the OSC2/CLKO/RA6 pin.)

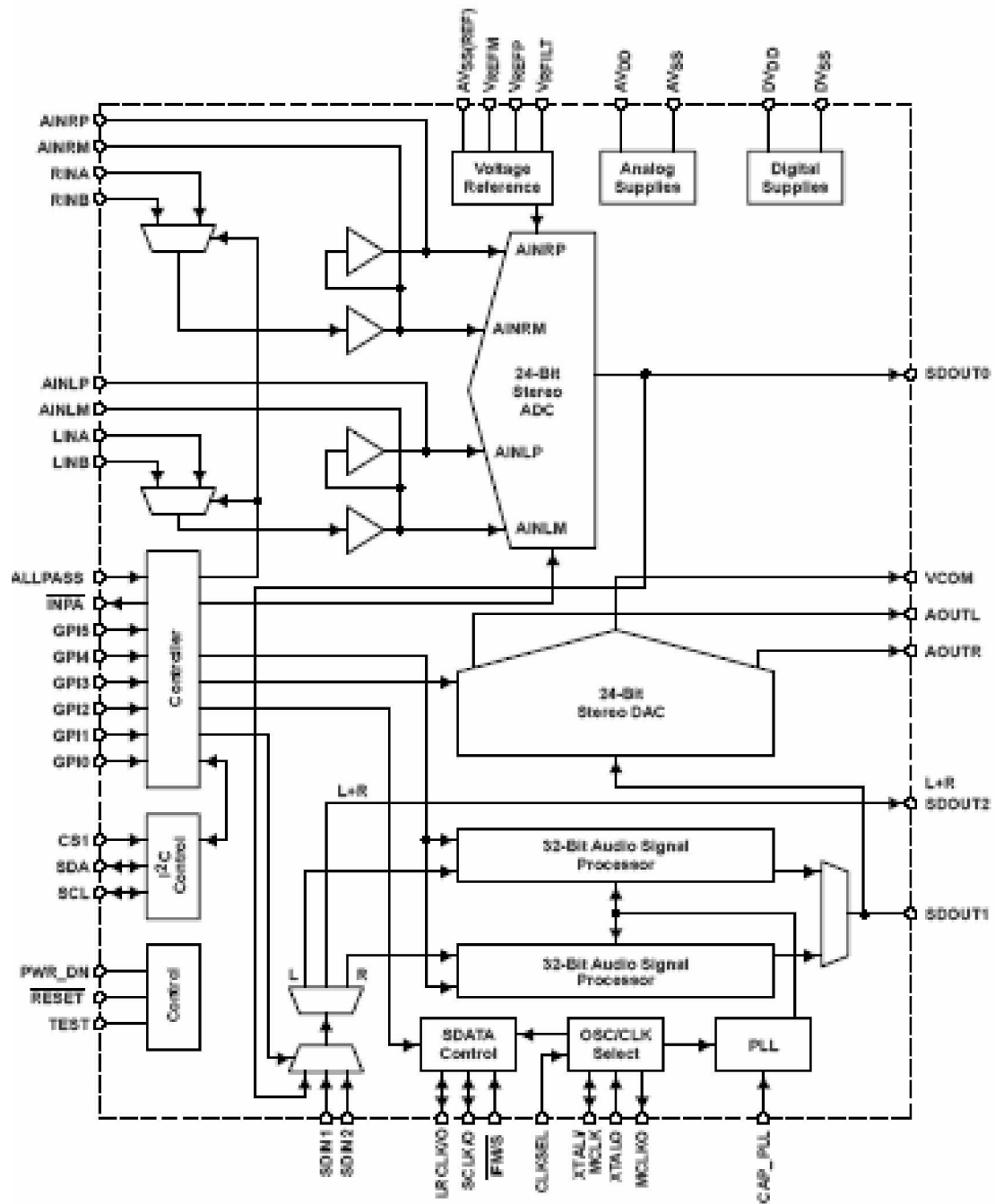
Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	PLCC	TQFP			
RB0/INT0 RB0 INT0	33	36	8	IO I	TTL ST	PORTB is a bi-directional I/O port. PORTB can be software programmed for internal/weak pull-ups on all inputs. Digital I/O. External Interrupt 0.
RB1/INT1 RB1 INT1	34	37	9	IO I	TTL ST	External Interrupt 1.
RB2/INT2 RB2 INT2	35	38	10	IO I	TTL ST	Digital I/O. External Interrupt 2.
RB3/CCP2 RB3 CCP2	36	39	11	IO IO	TTL ST	Digital I/O. Capture2 Input, Compare2 output, PWM2 output.
RB4	37	41	14	IO	TTL	Digital I/O. Interrupt-on-change pin.
RB5/PGM RB5 PGM	38	42	15	IO IO	TTL ST	Digital I/O. Interrupt-on-change pin. Low Voltage ICSP programming enable pin.
RB6/PGC RB6 PGC	39	43	16	IO IO	TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming clock pin.
RB7/PGD RB7 PGD	40	44	17	IO IO	TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming data pin.

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	PLCC	TQFP			
RC0/TI0SO/T1CKI RC0 TI0SO T1CKI	15	16	32	IO O I	ST — ST	PORTC is a bi-directional I/O port.  Digital I/O. Timer1 oscillator output. Timer1/Timer3 external clock input.
RC1/TI0S0VCCP2 RC1 TI0S0 CCP2	16	18	35	IO I VO	ST CMOS ST	Digital I/O. Timer1 oscillator input. Capture2 input, Compare2 output, PWM2 output.
RC2/CCP1 RC2 CCP1	17	19	36	IO VO	ST ST	Digital I/O. Capture1 input/Compare1 output/PWM1 output.
RC3/SCK/SCL RC3 SCK  SCL	18	20	37	IO VO VO	ST ST ST	Digital I/O. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I <sup>2</sup> C mode.
RC4/SDI/SDA RC4 SDI SDA	23	25	42	IO I VO	ST ST ST	Digital I/O. SPI Data In. I <sup>2</sup> C Data I/O.
RC5/SDO RC5 SDO	24	26	43	IO O	ST —	Digital I/O. SPI Data Out.
RC6/TX/CK RC6 TX CK	25	27	44	IO O VO	ST — ST	Digital I/O. USART Asynchronous Transm. USART Synchronous Clock (see related RX/DT).
RC7/RX/DT RC7 RX DT	26	29	1	IO I VO	ST ST ST	Digital I/O. USART Asynchronous Receive. USART Synchronous Data (see related TX/CK).

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	PLCC	TQFP			
RD0/PSP0	19	21	38	I/O	ST TTL	PORTD is a bi-directional I/O port, or a Parallel Slave Port (PSP) for interfacing to a microprocessor port. These pins have TTL input buffers when PSP module is enabled.  Digital I/O. Parallel Slave Port Data.
RD1/PSP1	20	22	39	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD2/PSP2	21	23	40	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD3/PSP3	22	24	41	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD4/PSP4	27	30	2	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD5/PSP5	28	31	3	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD6/PSP6	29	32	4	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RD7/PSP7	30	33	5	I/O	ST TTL	Digital I/O. Parallel Slave Port Data.
RE0/RD/AN5 RE0 RD  AN5	8	9	25	IO	ST TTL  Analog	PORTE is a bi-directional I/O port.  Digital I/O. Read control for parallel slave port (see also WR and CS pins). Analog Input 5.
RE1/WR/AN6 RE1 WR  AN6	9	10	26	IO	ST TTL  Analog	Digital I/O. Write control for parallel slave port (see CS and RD pins). Analog Input 6.
RE2/CS/AN7 RE2 CS  AN7	10	11	27	IO	ST TTL  Analog	Digital I/O. Chip Select control for parallel slave port (see related RD and WR). Analog Input 7.
Vss	12, 31	13, 34	6, 29	P	—	Ground reference for logic and I/O pins.
Vcc	11, 32	12, 35	7, 28	P	—	Positive supply for logic and I/O pins.

# ANNEX 6. Descripció TAS3002

## 6.1. Diagrama de blocs

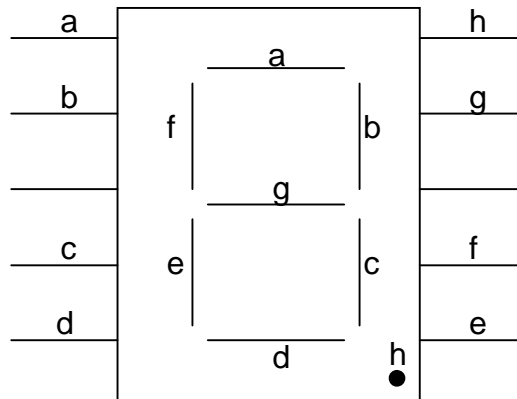


## 6.2. Descripció de les potes

TERMINAL NAME	NO.	I/O	DESCRIPTION
ANL0M	46	I	ADC left channel analog input (antialias capacitor)
ANL0P	47	I	ADC left channel analog input (antialias capacitor)
ANR0M	43	I	ADC right channel analog input (antialias capacitor)
ANR0P	42	I	ADC right channel analog input (antialias capacitor)
ALLPASS	27	I	Logic high bypasses equalization filters
AO0L	39	O	Left channel analog output
AO0R	37	O	Right channel analog output
AVDD	35	I	Analog power supply (3.3 V)
AVSS	4	I	Analog voltage ground
AVSSREF	3	I	Analog ground voltage reference
CAP_PLL	10	I	Loop filter for internal phase-locked loop (PLL)
CLKSEL	11	I	Logic low selects 25.6fs; logic high selects 512fs MCLK
CS1	7	I	I <sup>2</sup> C address bit A0; low = 68h, high = 6Ah
DVDD	17	I	Digital power supply (3.3 V)
DVSS	18	I	Digital ground
GPIO	28	I	Switch input terminals
GPI1	29		
GPI2	30		
GPI3	31		
GPI4	32		
GPI5	33		
IFMS	21	I	Digital audio I/O control (low = input; high = output)
INPA	5	O	Low when analog input A is selected (will sink 4 mA)
LINA	1	I	Left channel analog input 1
LINB	48	I	Left channel analog input 2
LRCLKO	19	I/O	Left/right clock input/output (output when IFMS is high)
MCLKO	12	O	MCLK output for slave devices
NC	34		No connection; Can be used as a printed circuit board routing channel
NC	36		No connection; Can be used as a printed circuit board routing channel
PWR_DN	8	I	Logic high places the TAS3002 device in power-down mode
RESET	6	I	Logic low resets the TAS3002 device to the initial state
RINA	40	I	Right channel analog input 1
RINB	41	I	Right channel analog input 2
SCL	15	I/O	I <sup>2</sup> C clock connection
SCLKO	20	I/O	Shift (bit) clock input (output when IFMS is high)
SDA	16	I/O	I <sup>2</sup> C data connection
SDIN1	22	I	Serial data input 1
SDIN2	23	I	Serial data input 2
SDOUT0	25	O	Serial data output from ADC
SDOUT1	26	O	Serial data output (from internal audio processing)
SDOUT2	24	O	Serial data output (a monoaural mix of left and right, before processing)
TEST	9	I	Reserved manufacturing test terminal; connect to DVSS
VCOM	38	O	Digital-to-analog converter mid-rail supply (decouple with parallel combination of 10-µF and 0.1-µF capacitors)
VREFM	45	I	ADC minus voltage reference
VREFP	44	I	ADC plus voltage reference
VRFLT	2	O	Voltage reference low pass filter
XTALMCLK	13	I	Crystal or external MCLK input
XTALO	14	I	Crystal input (crystal is connected between terminals 13 and 14)

## ANNEX 7. DISPLAY

### 7.1. Terminals display



### 7.2. Connexió terminals display amb terminals PIC18F452

Terminal PORTB	Terminal display
0	d
1	c
2	b
3	a
4	e
5	f
6	g
7	h

### 7.3. Taula d'equalitzadors

	PORT B							
	7	6	5	4	3	2	1	0
ROCK	1	1	1	1	1	1	1	0
POP	1	1	1	1	1	1	1	1
LIVE	1	0	1	1	1	0	0	1
JAZZ	1	0	1	1	1	1	1	1
REGGAE	1	1	1	1	1	0	0	1
RAP	1	1	1	1	1	0	0	0

# ANNEX 8. DISSENY ESQUEMATIC

