

**ANNEXES**

<b>ANNEX A.</b>	<b>ESTAT DE L'ART</b>	<b>3</b>
<b>ANNEX B.</b>	<b>CANVI DE SISTEMA DE REFERÈNCIA (D-Q-O)</b>	<b>13</b>
B.1.	Representació vectorial de magnituds físiques.....	13
B.2.	Transformació de Park.....	17
<b>ANNEX C.</b>	<b>ENTORN DE SIMULACIÓ I EQUIP EXPERIMENTAL</b>	<b>21</b>
C.1.	Descripció de l'entorn de simulació.....	21
C.2.	Descripció de l'equip experimental.....	22
C.2.1.	Entorn de control basat en dSPACE.....	23
C.2.2.	Dispositiu FPGA.....	25
C.2.3.	Rectificador.....	26
C.2.4.	Sensor de corrent i tensió.....	30
C.2.5.	Placa de connexions.....	31
C.2.6.	Càrregues utilitzades.....	35
<b>ANNEX D.</b>	<b>MODELS DE SIMULACIÓ</b>	<b>39</b>
D.1.	Monofàsic.....	39
D.2.	Trifàsic.....	53
<b>ANNEX E.</b>	<b>MODELS DE VERIFICACIÓ EXPERIMENTAL</b>	<b>71</b>
E.1.	Monofàsic.....	71
E.2.	Trifàsic.....	83
<b>ANNEX F.</b>	<b>PROGRAMACIÓ DEL DISPOSITIU FPGA</b>	<b>101</b>
F.1.	Monofàsic.....	102
F.1.1.	Div_freq_2.....	103
F.1.2.	Synchro.....	107
F.1.3.	Duties_2.....	109
F.1.4.	Pwm.....	112
F.1.5.	On_off.....	115
F.1.6.	Blanks.....	117
F.2.	Trifàsic.....	120
F.2.1.	Duties_2.....	120
F.2.2.	Pwm.....	125
F.2.3.	Blanks_2.....	129
<b>ANNEX G.</b>	<b>CIRCUIT DE PROTECCIÓ DE SOBRECORRENT PEL BUS DE CONTINUA</b>	<b>131</b>



<b>ANNEX H. ESTUDI ECONÒMIC</b>	<b>137</b>
H.1. Cost dels recursos humans .....	137
H.2. Cost derivat de l'ús dels equips .....	137
H.3. Despeses de materials .....	138
H.4. Despeses vàries.....	139
H.5. Cost total del projecte .....	139
<b>ANNEX I. FOTOGRAFIES DELS COMPONENTS DE L'EQUIP EXPERIMENTAL</b>	<b>141</b>
<b>ANNEX J. ALTRES PROVES EXPERIMENTALS: CÀRREGA NO LINEAL</b>	<b>149</b>
<b>ANNEX K. FULLS DE CARACTERÍSTIQUES DELS COMPONENTS DEL SISTEMA</b>	<b>151</b>
K.1. IGBT.....	152
K.2. Optoacobrador .....	154
K.3. Comparador de tensió .....	158
K.4. Transistor de potència .....	160
K.5. Sensor de tensió .....	162
K.6. Sensor de corrent .....	164
K.7. Amplificador operacional.....	166
K.8. Buffer inversor.....	169
K.9. Regulador de tensió positiva.....	172
K.10. Regulador de tensió negativa .....	174
K.11. Rectificador de pont complet .....	177
K.12. Amplificador operacional aïllat.....	179
K.13. Amplificador operacional.....	181
K.14. Optoacobrador .....	183
K.15. Transistors BJT .....	187
K.16. Tiristor .....	189
<b>ANNEX L. SUPORT INFORMÀTIC</b>	<b>193</b>



## ANNEX A. ESTAT DE L'ART

En aquest annex es presenta l'estat de l'art en quant a rectificadors trifàsics elevadors ('boost') de diferents topologies, que pot servir per comparar els diferents rectificadors que existeixen actualment i les seves aplicacions principals. No s'inclouen altres topologies tipus reductor ('buck') o elevador-reductor ('buck-boost') perquè en aquest projecte no tenen rellevància. En aquest annex, on l'objectiu principal és tractar els rectificadors de potència, de vegades s'emprarà la paraula 'convertidor' en comptes de la paraula 'rectificador' per ser una paraula més general i fer notar que en els casos de convertidors bidireccionals, es pot treballar tant en mode rectificador com en mode inversor, encara que el que es vol enfocar en l'annex és el seu ús com rectificador.

En primer lloc es presenta el rectificador de díodes, que és la topologia més senzilla dels rectificadors existents i també el més utilitzat en l'actualitat pel seu baix cost. No és possible de controlar, i en el cas d'un rectificador de díodes trifàsic, s'utilitzen sis díodes en total.

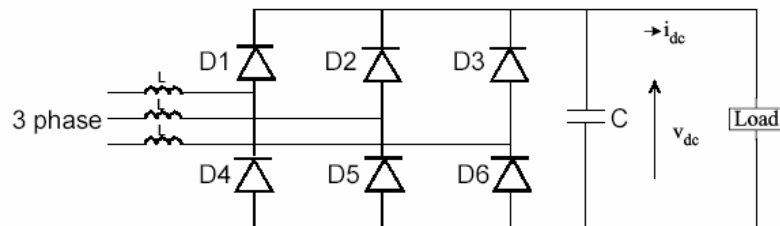


Figura A.1 Rectificador trifàsic de díodes

Aquest tipus de convertidor només pot ser utilitzat en un quadrant (Tensió-Corrent), és unidireccional (el flux de potència va des de l'entrada trifàsica cap a la sortida del bus de continua únicament) i normalment s'afegeix un condensador al bus de sortida per mantenir la tensió en un valor de continua amb un petit arrissat. Aquesta tensió de continua alimenta una càrrega a la sortida del rectificador ('load'). El rectificador de díodes es pot considerar com un rectificador elevador per ser sempre la tensió de continua més elevada que la tensió RMS de qualsevol de les tensions de línia d'entrada al rectificador. Aquest tipus de rectificador no controlat té com a desavantatges una elevada distorsió harmònica (THD) en tensions i corrents, baix factor de potència a l'entrada AC del rectificador i baixa eficiència global. Com ja s'ha comentat, el seu principal avantatge és el seu baix cost i senzillesa d'ús.



- **Convertidors elevadors ('boost') unidireccionals**

A la Figura A.2 es presenten els principals convertidors elevadors controlats i unidireccionals.

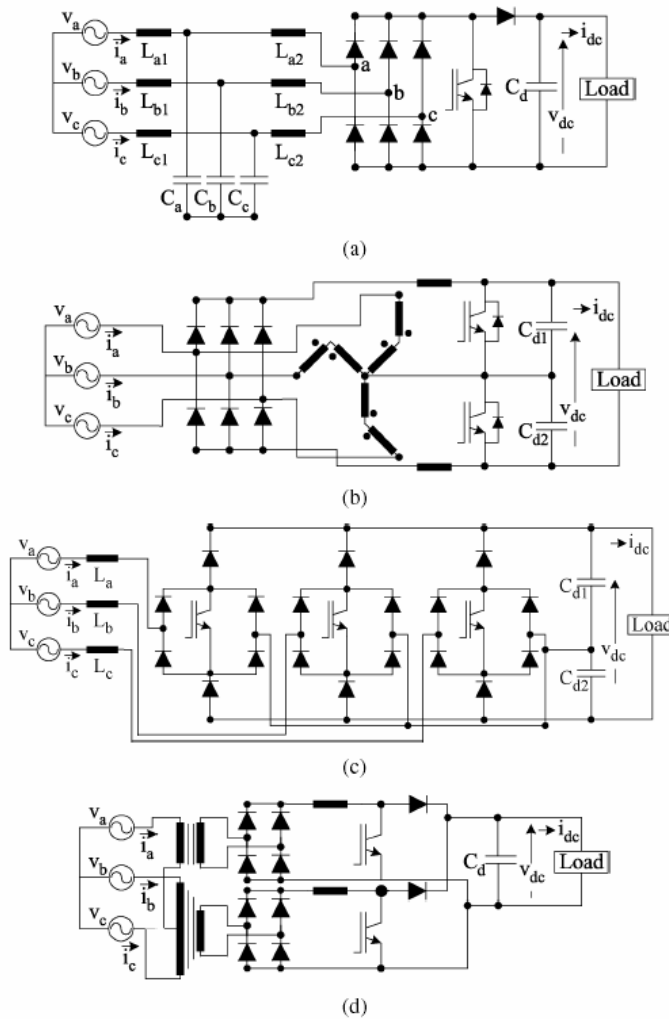


Figura A.2 Convertidors 'boost' unidireccionals. (a) Amb un únic interruptor de potència i amb filtre passiu a la part AC. (b) Dos interruptors de potència i injecció d'harmònics de corrent utilitzant un transformador tipus zig-zag (Minnesota rectifier). (c) Tres interruptors de potència (Vienna rectifier). (d) Dos interruptors de potència i ús de transformadors aïllats tipus Scott amb PFC (Power Factor Correction).

Aquest tipus de convertidors són utilitzats com alternatives al rectificador convencional de díodes per proveir un factor de potència proper a l'unitat, reduir la distorsió harmònica





(THD) en la part alterna i aconseguir una regulació de la tensió de sortida fins i tot sota variacions de la tensió d'entrada i de la càrrega connectada al bus de continua.

- **Convertidors elevadors ('boost') bidireccionals**

A la Figura A.3 es presenten els principals convertidors elevadors controlats i bidireccionals.

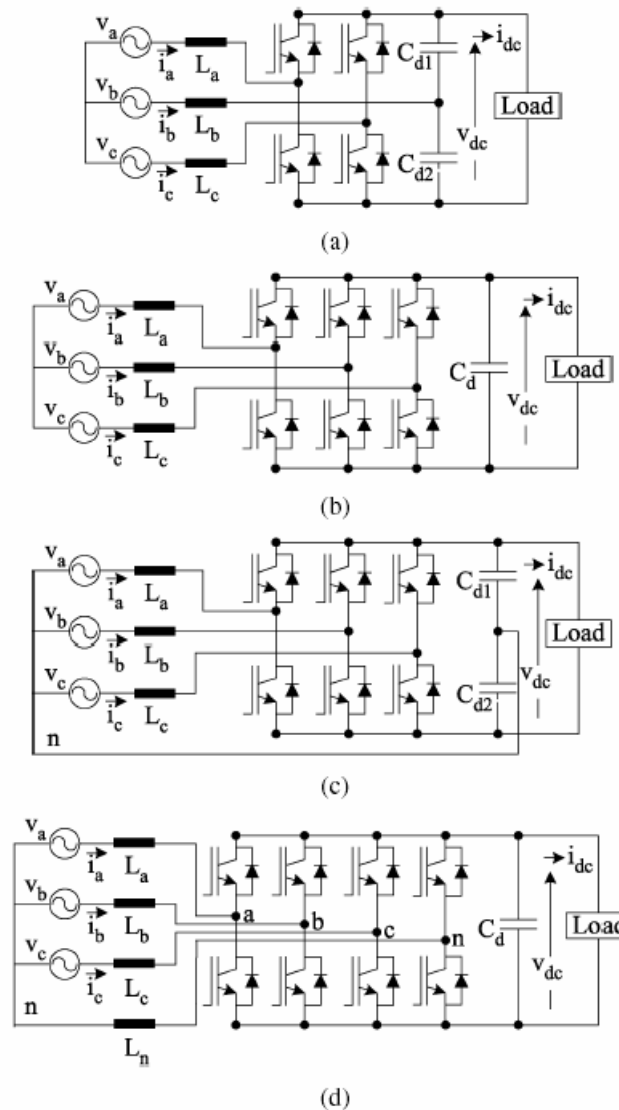


Figura A.3 Convertidors 'boost' bidireccionals. (a) Amb quatre interruptors de potència. (b) Amb sis interruptors de potència i basat en un convertidor pont VSI (Voltage Source Inverter). (c) Convertidor de quatre fils i amb sis interruptors de potència. (d) Convertidor amb quatre branques i vuit interruptors de potència.



Aquest tipus de convertidors poden ser utilitzats tant en mode rectificador com en mode inversor. Són molt utilitzats en grues, ascensors-elevadors, sistemes d'emmagatzematge d'energia en bateries,... El control en llaç tancat de la tensió del bus de continua decideix l'amplitud dels corrents d'entrada al convertidor, els quals són en fase amb les tensions alternes d'entrada. El control de corrent per PWM del convertidor VSI (Voltage Source Inverter), permet que el corrent altern sigui semblant a una senoide el qual és en fase amb la tensió alterna de la fase corresponent. Per reduir el cost, s'utilitzen els convertidors de quatre interruptors (cas (a) de la Figura A.3) pel control de velocitat de gir dels motors d'inducció. En la majoria dels casos però s'utilitza el convertidor de pont VSI (cas (b) de la Figura A.3). Els casos (c) i (d) de la Figura A.3 són emprats en general per reduir l'arriat de la tensió del bus de continua i equilibrar les corrents de línia, fins i tot en el cas de desequilibri de les tensions trifàsiques d'entrada.

- **Convertidors multinivell 'boost'**

El concepte de multinivell s'aplica en aquells convertidors que tenen a la seva sortida múltiples tensions contínues en sèrie (múltiples nivells de tensió), i on cada interruptor de potència ha de bloquejar només un únic nivell de tensió, de forma que es pot augmentar la tensió total del bus de continua sense necessitat d'utilitzar interruptors de potència més robustos. Així mateix, això permet augmentar la potència del convertidor sense necessitat d'augmentar el corrent d'entrada i per tant, disminuir les pèrdues de conducció dels interruptors. El contingut harmònic en les tensions i corrents del costat AC també és inferior, i teòricament podria ser nul si es disposés d'un nombre infinit de nivells de tensió al bus de continua, de forma que es poguessin sintetitzar les tensions alternes sinusoidals d'entrada perfectament. Es pot aconseguir també un control del factor de potència (PFC) per treballar amb factors de potència pròxims a la unitat. Finalment, són convertidors als quals es pot realitzar una regulació de la tensió de continua per variacions de càrrega o de la tensió trifàsica d'alimentació.



• **Convertidors multinivell 'boost' unidireccionals**

A la Figura A.4 es presenten els principals convertidors multinivell elevadors i unidireccionals.

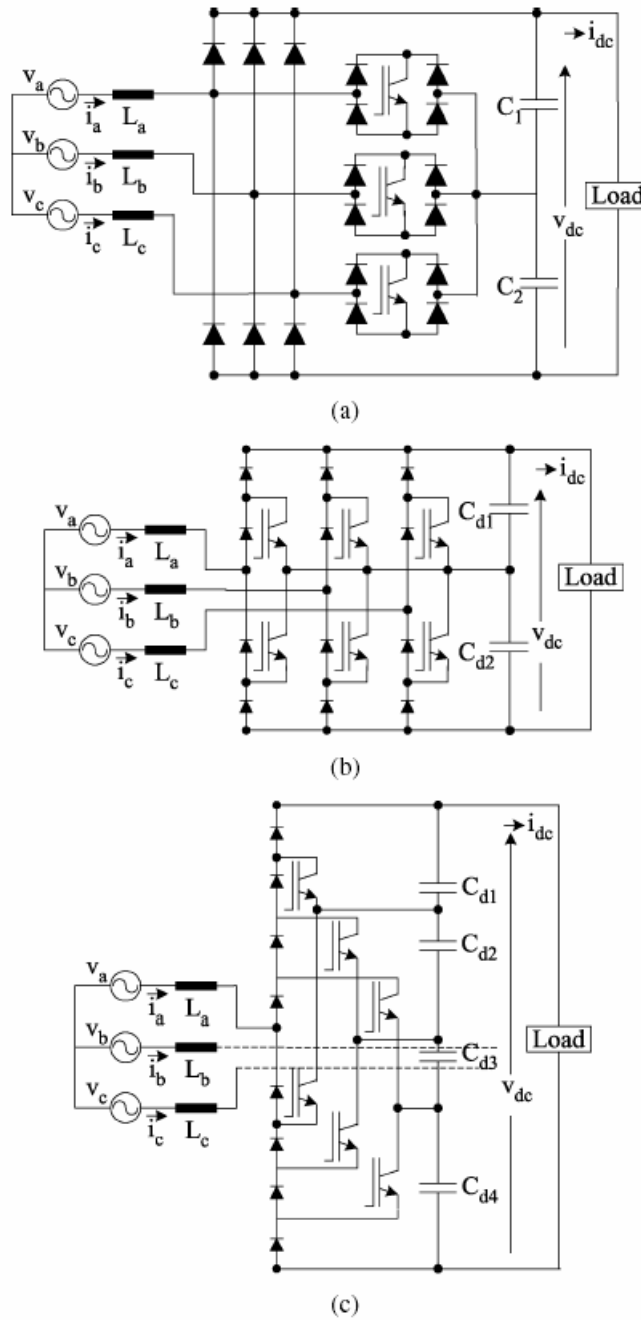


Figura A.4 Convertidors multinivell unidireccionals. (a) De tres nivells i tres interruptors de potència. (b) De tres nivells i sis interruptors de potència. (c) De cinc nivells i divuit interruptors de potència (6 per branca).



Els convertidors de tres nivells i trifàsics poden ser implementats per mitjà de 3 o 6 interruptors de potència com es pot veure a la figura A.4 (IGBTs en aquest cas). Per realitzar convertidors de 5 nivells es requereix un nombre més gran d'interruptors de potència. Aquests convertidors (multinivell unidireccional) ofereixen elevació de tensió amb transmissió de potència en un únic sentit cap al bus de continua (rectificadors). En aquests convertidors cada interruptor de potència ha de suportar menys tensió que en un convertidor de dos nivells típic amb la mateixa tensió continua al bus DC de forma que els interruptors no tenen tantes pèrdues per commutació. A més aquest és un convertidor ideal per treballar amb tensions i potències de treball elevades. Aquests convertidors es poden ampliar a més nivells, aconseguint una reducció del THD, treballar amb el factor de potència desitjat, reduir l'arissat de la tensió de continua i regular aquesta tensió a una consigna sota variacions de càrrega, o de tensió d'entrada.



• **Convertidors multinivell 'boost' bidireccionals**

A la Figura A.5 es presenten els principals convertidors multinivell elevadors i bidireccionals.

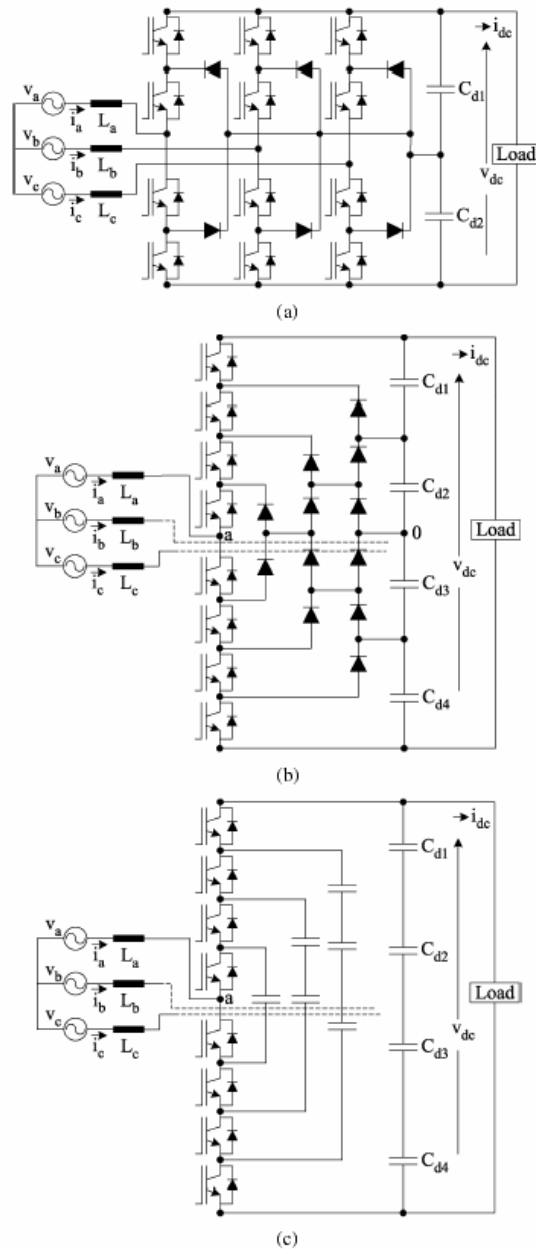


Figura A.5 Convertidors multinivell bidireccionals. (a) De tres nivells tipus diode-clamped. (b) De cinc nivells tipus diode-clamped. (c) De cinc nivells tipus flying-capacitor.



Els convertidors multinivell bidireccionals són utilitzats principalment per aplicacions de alta potència amb voltatges elevats, amb elevació de la tensió en les dues direccions de la transmissió del flux de potència. Hi ha convertidors multinivell diode-clamped, flying capacitor i de tipus cascada entre d'altres. Tots aquests convertidors són utilitzats per aplicacions d'alta potència, on el flux de potència pot ser bidireccional (rectificador o inversor), com poden ser sistemes de càrrega de bateries, funcionament de motors ac amb variació de velocitat en els quatre quadrants, transmissions HVDC (High Voltage Direct Current), sistemes flexibles de transmissió de corrent (FACTS) i compensació de potència reactiva, per oferir una major eficiència de treball, un THD inferior a altres convertidors, un factor de potència molt pròxim a la unitat, reduït EMI, amb molt bona regulació de tensió de sortida amb variacions de càrrega i pertorbacions en la tensió alterna de xarxa. Per baixa i mitjana potència s'utilitzen normalment IGBTs com el interruptor de potència ideal per aquest convertidors i per alta potència el GTO és el semiconductor d'ús més habitual. El convertidor mostrat en el cas (a) de la Figura A.5 és el convertidor utilitzat en aquest projecte (diode-clamped o NPC (Neutral Point Clamped)).

**Font bibliogràfica:** B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari, "A Review of Three-Phase Improved Power Quality AC-DC Converters", IEEE Transactions on Industrial Electronics, Vol. 51, No. 3, pp. 641-660, June 2004

- **Cas real pràctic d'aplicació de convertidors multinivell**

A continuació es mostra un cas real pràctic de l'ús de convertidors de tres nivells tipus diode-clamped que utilitzen interruptors de potència tipus IGBT, treballant conjuntament un rectificador i un inversor de la mateixa topologia i controlats mitjançant tècniques PWM. Es tracta dels convertidors de potència utilitzats per alimentar els motors d'inducció que fan servir els trens Shinkansen (Nozomi) Series 700 construïts al Japó [1]. En total, s'han d'alimentar 48 motors d'inducció que generen una potència total de 13200kW [2]. Aquest tipus de convertidors AC/DC/AC s'utilitzen en aquests tipus de trens des de l'any 1999.

[1] Masao Yano, Shigeru Abe, Eiichi Ohno. "History of Power Electronics for Motor Drives in Japan". Mitsubishi Electric Corporation, Japan.

[2] [http://www.jrtr.net/jrtr14/pdf/f42\\_shi.pdf](http://www.jrtr.net/jrtr14/pdf/f42_shi.pdf)



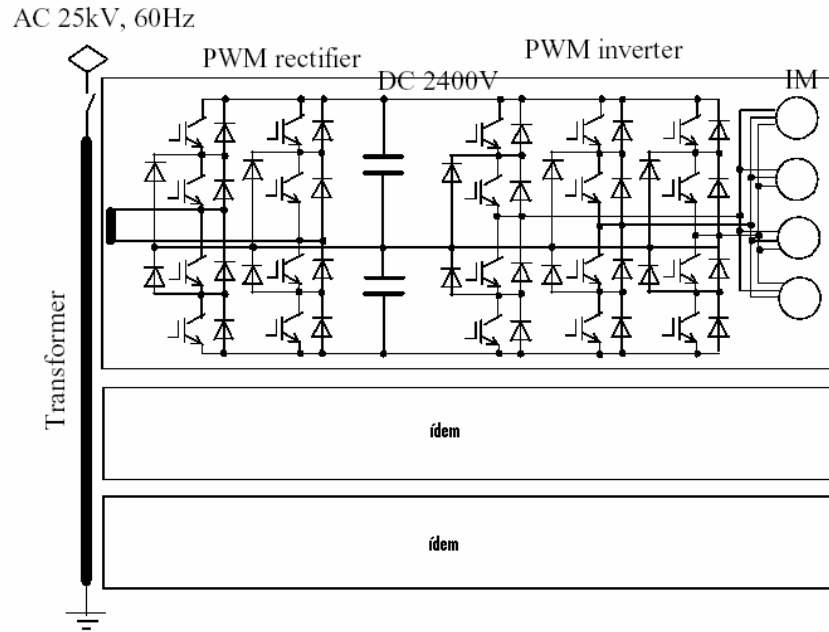


Figura A.6 Diagrama esquemàtic del convertidor al Shinkansen Series 700



Figura A.7 Tren Shinkansen Series 700 (Nozomi)







## ANNEX B. CANVI DE SISTEMA DE REFERÈNCIA (d-q-o)

### B.1. Representació vectorial de magnituds físiques

Es defineix una corba genèrica parametritzada en funció de la variable  $t$ ,  $S(t)$ , definida per les seves coordenades  $x(t)$ ,  $y(t)$ ,  $z(t)$  corresponents a uns eixos ortogonals  $X, Y, Z$ . La Figura B.1 il·lustra gràficament aquesta corba  $S(t)$ . A cada valor de la variable  $t$  li correspon un punt concret de la corba caracteritzat per les seves components en els eixos  $X, Y, Z$ .

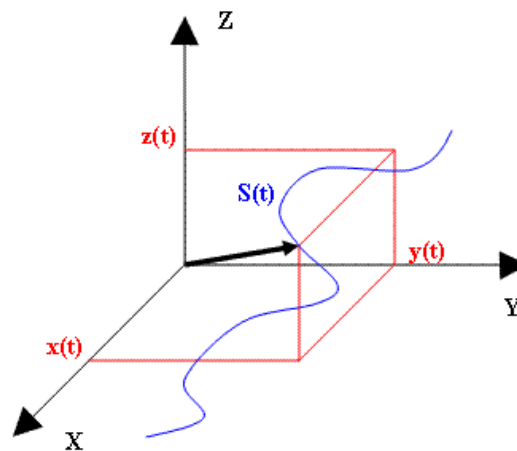


Figura B.1 Representació gràfica de la corba  $S(t)$  en els eixos  $X, Y, Z$

Es considera a continuació un sistema trifàsic simètric de tensions sinusoidals caracteritzat per les tres tensions compostes ( $V_{ab}$ ,  $V_{bc}$ ,  $V_{ca}$ ), d'igual amplitud i un desfasament entre elles de  $2\pi/3$  radians, la representació fasorial del qual és un triangle equilàter. A continuació s'imposa que les components del vector  $S(t)$  siguin aquestes tensions compostes (B.1) i (B.2)

$$\begin{aligned}
 V_{ab}(t) &= V_m \cdot \cos(\omega \cdot t + \varphi) \\
 V_{bc}(t) &= V_m \cdot \cos\left(\omega \cdot t + \varphi - \frac{2 \cdot \pi}{3}\right) \\
 V_{ca}(t) &= V_m \cdot \cos\left(\omega \cdot t + \varphi + \frac{2 \cdot \pi}{3}\right)
 \end{aligned}
 \tag{B.1}$$



On:  $V_{ab}(t) + V_{bc}(t) + V_{ca}(t) = 0$

$$S(t) = \begin{bmatrix} x(t) \\ y(t) \\ z(t) \end{bmatrix} = \begin{bmatrix} V_{ab}(t) \\ V_{bc}(t) \\ V_{ca}(t) \end{bmatrix} = \begin{bmatrix} V_m \cdot \cos(\omega \cdot t + \varphi) \\ V_m \cdot \cos\left(\omega \cdot t + \varphi - \frac{2 \cdot \pi}{3}\right) \\ V_m \cdot \cos\left(\omega \cdot t + \varphi + \frac{2 \cdot \pi}{3}\right) \end{bmatrix} \quad (\text{B.2})$$

Es compleix que la corba  $S(t)$  està continguda en un pla perpendicular a la direcció  $(1,1,1)$  conegut amb el nom de pla  $\pi$ . Per demostrar aquesta afirmació es necessari seguir el següent procediment. Es defineix, equació (B.3), una funció  $h(t)$  coneguda amb el nom de component homopolar on  $x(t)$ ,  $y(t)$  i  $z(t)$  corresponen a les components de la corba  $S(t)$  abans definida.

$$h(t) = \frac{x(t) + y(t) + z(t)}{3} \quad (\text{B.3})$$

Tot vector es pot descompondre com a suma de diferents vectors. En aquest cas resulta molt útil realitzar la descomposició de  $S(t)$  com a suma de dos vectors perpendiculars, un dels quals, el vector  $H(t)$ , té les tres components iguals a la funció  $h(t)$ .

$$S(t) = S'(t) + H(t) \text{ amb } S'(t) = \begin{bmatrix} x'(t) \\ y'(t) \\ z'(t) \end{bmatrix}, H(t) = \begin{bmatrix} h(t) \\ h(t) \\ h(t) \end{bmatrix} \quad (\text{B.4})$$

Per demostrar que els vectors  $S'(t)$  i  $H(t)$  són perpendiculars només es necessari demostrar que el seu producte escalar és idènticament 0, o sigui  $S'(t) \cdot H(t) = 0$ , independentment del valor de les components del vector inicial  $S(t)$ :

$$\begin{aligned} x'(t) &= x(t) - h(t) = x(t) - \left( \frac{x(t) + y(t) + z(t)}{3} \right) \\ y'(t) &= y(t) - h(t) = y(t) - \left( \frac{x(t) + y(t) + z(t)}{3} \right) \rightarrow x'(t) + y'(t) + z'(t) = 0 \\ z'(t) &= z(t) - h(t) = z(t) - \left( \frac{x(t) + y(t) + z(t)}{3} \right) \end{aligned} \quad (\text{B.5})$$

$$S'(t) \cdot H(t) = x'(t) \cdot h(t) + y'(t) \cdot h(t) + z'(t) \cdot h(t) = [x'(t) + y'(t) + z'(t)] \cdot h(t) = 0 \quad (\text{B.6})$$



Donat que  $H(t)$  està format per tres components iguals, la direcció d'aquest vector, anomenat l'eix  $\gamma$ , és la direcció (1,1,1) en les coordenades X,Y i Z. Per tant, com  $S'(t)$  és perpendicular a  $H(t)$  estarà contingut en un pla, denominat pla  $\pi$ , perpendicular a la direcció definida pel vector  $H(t)$  i definit pels eixos  $\alpha$ ,  $\beta$ . La següent figura il·lustra gràficament la descomposició del vector  $S(t)$  en un vector  $S'(t)$  contingut en el pla  $\pi$  i un vector  $H(t)$ .

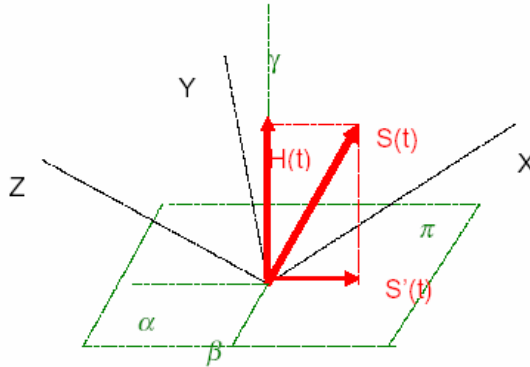


Figura B.2 Descomposició del vector  $S(t)$

Fins ara s'ha considerat un cas general de  $S(t)$ , per tant el vector  $H(t)$  també era un cas general, si es consideren les components abans definides, equació (B.2), es pot calcular fàcilment el valor de  $h(t)$ :

$$h(t) = \left( \frac{V_{ab}(t) + V_{bc}(t) + V_{ca}(t)}{3} \right) = 0 \quad (\text{B.7})$$

$$S(t) = S'(t) + H(t) = S'(t) + 0 \rightarrow S(t) = S'(t) \quad (\text{B.8})$$

Gràcies a que la component homopolar  $h(t)$  és zero,  $S(t)$  estarà continguda en el pla  $\pi$ , ja que es compleix que  $S(t) = S'(t)$ . El següent pas és determinar la trajectòria que descriu la corba  $S(t)$  sobre el pla  $\pi$ , i per aconseguir-ho resulta molt pràctic realitzar un canvi de base dels eixos X,Y,Z als eixos  $\alpha$ ,  $\beta$ ,  $\gamma$  introduïts en la Figura B.2. Concretament el canvi de base es realitza a través de la matriu  $[T]_{XYZ/\alpha\beta\gamma}$  de canvi de base, com es mostra a l'equació:



$$\begin{bmatrix} V_\alpha \\ V_\beta \\ V_\gamma \end{bmatrix}_{\alpha,\beta,\gamma} = [T]_{XYZ/\alpha\beta\gamma} \cdot \begin{bmatrix} V_{ab} \\ V_{bc} \\ V_{ca} \end{bmatrix}_{X,Y,Z} \quad \text{on} \quad [T]_{XYZ/\alpha\beta\gamma} = \frac{2}{3} \cdot \begin{bmatrix} \frac{\sqrt{3}}{2} & 0 & -\frac{\sqrt{3}}{2} \\ -\frac{1}{2} & 1 & -\frac{1}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (\text{B.9})$$

Substituint les components de S(t), Vab, Vbc i Vca, per les seves expressions donades a l'equació (B.2), es pot determinar la funció S(t) parametritzada en funció de la variable t en el nou sistema de coordenades:

$$\begin{bmatrix} V_\alpha \\ V_\beta \\ V_\gamma \end{bmatrix}_{\alpha,\beta,\gamma} = [T] \cdot \begin{bmatrix} V_m \cdot \cos(\omega \cdot t + \varphi) \\ V_m \cdot \cos\left(\omega \cdot t + \varphi - \frac{2 \cdot \pi}{3}\right) \\ V_m \cdot \cos\left(\omega \cdot t + \varphi + \frac{2 \cdot \pi}{3}\right) \end{bmatrix}_{X,Y,Z} \quad (\text{B.10})$$

Si s'aplica l'equació trigonomètrica que relaciona el cosinus de la suma de dos angles com el producte de cosinus dels angles menys el producte dels seus sinus i es desenvolupen les expressions obtingudes, al final s'obté que les components d'un punt qualsevol de la corba S(t) en els eixos de coordenades  $\alpha$ ,  $\beta$ ,  $\gamma$ , són els següents:

$$\begin{bmatrix} V_\alpha \\ V_\beta \\ V_\gamma \end{bmatrix}_{\alpha,\beta,\gamma} = V_m \cdot \sqrt{\frac{3}{2}} \cdot \begin{bmatrix} \cos(\omega \cdot t) \\ \sin(\omega \cdot t) \\ 0 \end{bmatrix}_{X,Y,Z} \quad (\text{B.11})$$

A partir d'aquest resultat es pot dir que la corba S(t) segueix una trajectòria circular de radi  $\rho = V_m \cdot \sqrt{3/2}$  i de velocitat angular  $\omega$  sobre el pla  $\pi$  definit pels eixos  $\alpha$ ,  $\beta$ . Qualsevol sistema de tensions trifàsic simètric es pot representar amb un vector de mòdul constant girant a una velocitat constant en un pla, per tant l'anàlisi de sistemes de tensions es pot simplificar treballant des d'aquest pla  $\alpha$ ,  $\beta$ , com indica la Figura B.3.



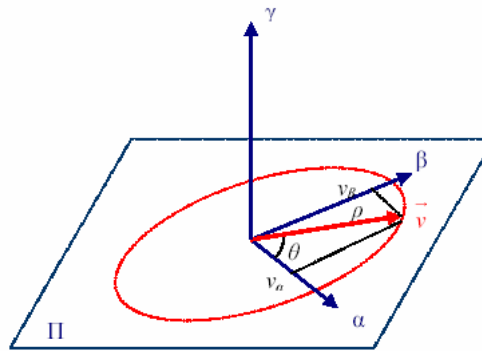


Figura B.3 Representació en els eixos  $\alpha, \beta$  la trajectòria de la corba  $S(t)$

Si el sistema trifàsic a més de ser simètric és equilibrat, on el punt neutre es troba en el centre de gravetat del triangle de tensions, tot el raonament descrit també és vàlid per a les tensions de fase-neutre. Això es degut a que les tres tensions fase-neutre també constitueixen un sistema trifàsic de tensions sinusoidals d'igual amplitud i desfasades  $2\pi/3$  radians. Per una altra banda, si el sistema és simètric i equilibrat pot resultar molt útil representar el corrent de línia que també compleix les mateixes característiques que les tensions compostes, ja que serà un sistema trifàsic d'igual mòdul i desfasament de  $2\pi/3$  radians. Així, tant les tensions fase-neutre com els corrents de línia es poden representar al pla  $p$  com a vectors de mòdul constant girant tots a la mateixa velocitat angular amb un cert desfasament entre elles.

## B.2. Transformació de Park

Un cop realitzat el canvi de base, les tensions i corrents del sistema roten amb velocitat angular constant  $\omega$  sobre el pla  $\pi$ , definit pels eixos  $\alpha$ - $\beta$ . No obstant, el que realment interessa és que els vectors espacials de tensió i corrent restin fixos en una determinada posició, de forma que en règim permanent siguin uns vectors fixos al pla  $\pi$ . Això s'aconsegueix definint un sistema de referència que giri sobre el pla  $\pi$  a la mateixa velocitat  $\omega$  que el vector espacial de forma que el vector estigui fix en aquest nou sistema de referència.

La nova base es defineix mitjançant dos eixos  $d$ - $q$  que giren en el pla en torn a un tercer eix  $o$ , coincident amb el vector  $\gamma$ . La figura següent mostra com es realitza el canvi d'eixos sobre el pla  $\pi$ .



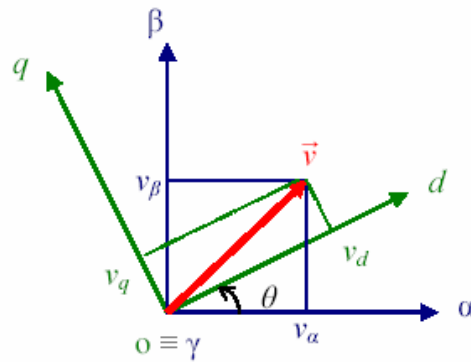


Figura B.4 Canvi de base entre els eixos  $\alpha$ - $\beta$ - $\gamma$  als eixos  $d$ - $q$ - $o$

A partir de l'angle  $\theta$  de rotació dels eixos  $d$ - $q$ , es pot definir la matriu  $[T]$   $\alpha$ - $\beta$ - $\gamma$ / $d$ - $q$ - $o$  que permet el canvi de base de  $\alpha$ - $\beta$ - $\gamma$  a  $d$ - $q$ - $o$ , definit en (B.12).

$$\begin{bmatrix} V_d \\ V_q \\ V_o \end{bmatrix}_{d,q,o} = [T]_{\alpha\beta\gamma/dqo} \cdot \begin{bmatrix} V_{ab} \\ V_{bc} \\ V_{ca} \end{bmatrix}_{\alpha,\beta,\gamma} \quad \text{on} \quad [T]_{\alpha\beta\gamma/dqo} = \begin{bmatrix} \cos(\theta) & \sin(\theta) & 0 \\ -\sin(\theta) & \cos(\theta) & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad (\text{B.12})$$

$$\| [T]_{\alpha\beta\gamma/dqo} \| = 1 \quad (\text{B.13})$$

$$[T]_{\alpha\beta\gamma/dqo}^{-1} = [T]_{\alpha\beta\gamma/dqo}^T \quad (\text{B.14})$$

Finalment s'aconsegueix canviar el sistema de referència del vector espacial des del domini temporal a-b-c al domini d-q-o. Aquest canvi d'eixos es coneix amb el nom de transformació de Park.

La transformada de Park és la matriu ortonormal que combina les dues transformacions anteriors i que permet el canvi de base directe des de a-b-c a d-q-o. La matriu resultant és la matriu que defineix la transformació de Park:



$$[T] = [T]_{\alpha\beta\gamma / dqo} \cdot [T]_{XYZ / \alpha\beta\gamma} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} \cos(\theta) & \cos\left(\theta - \frac{2 \cdot \pi}{3}\right) & \cos\left(\theta + \frac{2 \cdot \pi}{3}\right) \\ -\sin(\theta) & -\sin\left(\theta - \frac{2 \cdot \pi}{3}\right) & -\sin\left(\theta + \frac{2 \cdot \pi}{3}\right) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (\text{B.15})$$

$$\|[T]\| = 1 \quad (\text{B.16})$$

$$[T]^{-1} = [T]^T \quad (\text{B.17})$$

On:

$$\theta = \int_0^t \omega \cdot t \cdot dt + \theta_0 \quad \text{angle de rotació dels eixos d-q}$$

$$\theta_0 = \theta(0) \quad \text{angle inicial entre els eixos d-q i } \alpha\text{-}\beta$$

$$\omega = 2 \cdot \pi \cdot f \quad \text{freqüència angular dels eixos d-q}$$







## ANNEX C. ENTORN DE SIMULACIÓ I EQUIP EXPERIMENTAL

### C.1. Descripció de l'entorn de simulació

En aquest apartat es pretén donar a conèixer les eines disponibles per poder realitzar una simulació prou bona del comportament real d'un prototipus de rectificador monofàsic (i trifàsic) experimental. Utilitzar un software adequat que permeti crear models de simulació adaptats a la teoria d'un rectificador elevador de 3 nivells tipus NPC conjuntament amb una estratègia de modulació definida és molt important per poder fer simulacions prèvies que permeten preveure el funcionament real d'un prototipus experimental. El software utilitzat és MATLAB, i concretament l'eina SIMULINK amb la qual es pot crear models a partir de la unió de blocs definits matemàticament. Aquests blocs poden representar sistemes lineals i no lineals de forma fàcil i intuïtiva. A la Figura C.1 es mostra la finestra principal de l'entorn Simulink amb l'implementació d'un model senzill de simulació.

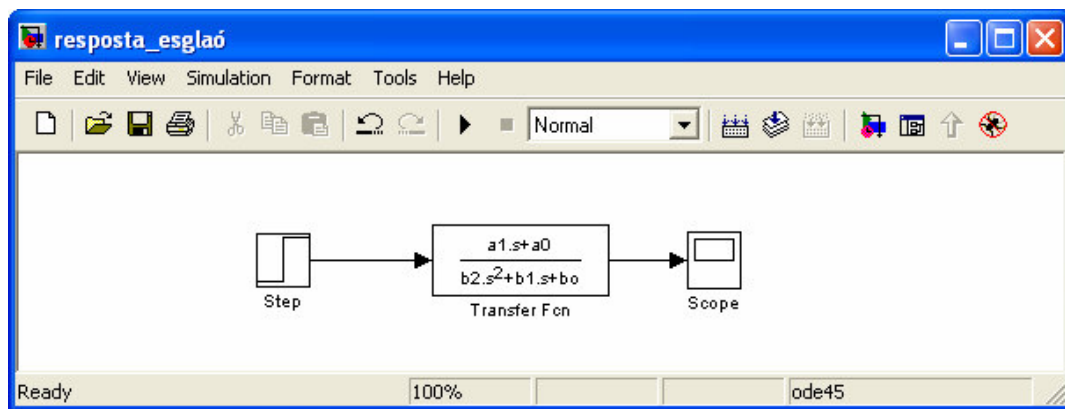


Figura C.1 Exemple d'un model senzill implementat en l'entorn Simulink de MATLAB

A l'exemple de la Figura C.1, el model de simulació implementat permet simular la resposta a un esglaó d'un sistema de segon ordre general. El bloc Transfer Fcn representa la funció de transferència que representa el sistema a simular en domini de Laplace, un bloc Step que representa la font que alimenta el sistema i un Scope que representa un oscil·loscopi i que permet observar la resposta del sistema a les entrades.



Cal dir que l'eina Simulink permet simular models molt complexos amb una llibreria de funcions enorme que permet una gran flexibilitat a l'hora de poder simular sistemes reals no lineals principalment (com és el cas d'aquest projecte).

A l'ANNEX D es detallen els models simulació utilitzats pel cas del rectificador de 3 nivells monofàsic i trifàsic d'aquest projecte.

## C.2. Descripció de l'equip experimental

En aquest apartat es presenten els diferents elements que s'han utilitzat per a fer possible la verificació experimental del rectificador. Tal com es mostra a la Figura C.2, el sistema complet és la suma de tot un conjunt de dispositius. En aquesta figura, també s'indica quina és la relació entre cadascun d'aquests dispositius.

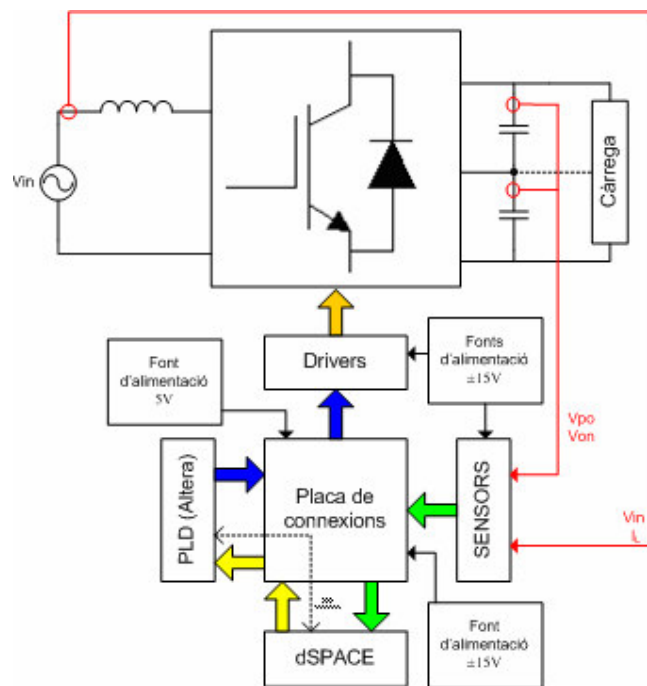


Figura C.2 Esquema general de l'equip experimental

A continuació es descriuen les principals característiques dels dispositius escollits per al muntatge experimental.



### C.2.1. Entorn de control basat en dSPACE

Per a realitzar el control del convertidor es necessita un dispositiu capaç de realitzar gran quantitat de càlculs a temps real, i que disposi a més d'un mínim d'entrades i sortides, tant digitals com analògiques. Un dispositiu que compleix amb aquest requisits és l'equip dSPACE. En concret, per a la realització d'aquest projecte s'ha utilitzat la targeta DS1104.

L'equip dSPACE es divideix en dues parts: Hardware i Software. A continuació es resumeixen les característiques més importants de cadascuna d'aquestes parts.

#### C.2.1.1. Hardware

Dintre del Hardware necessari per a la utilització del dSPACE s'inclou:

- Targeta dSPACE DS1104 (lloc on hi ha ubicat el DSP)
- Panell de connexions CP1104 (interfície entre el DSP i el rectificador)
- Ordinador pC

La **targeta DS1104** incorpora un sistema de temps real complet basat en un processador de coma flotant PowerPC 603, funcionant a 250MHz. Aquesta targeta també incorpora un microcontrolador TMS320F240 de Texas instruments. Aquest microcontrolador constitueix un subsistema DSP esclau que resulta molt útil en aplicacions on s'han de processar nombroses entrades i sortides digitals.

Els perifèrics que formen la targeta són:

- conversors A/D
- conversors D/A
- subsistema digital d'entrades i sortides controlat per el microcontrolador TMS320F240
- interfícies per a sensors incrementals
- port sèrie
- port d'entrades/sortides digitals del DSP esclau.



El **panell de connexions CP1104** permet una connexió ràpida i directa, entre el control i la planta. Constitueix un element intermig de comunicació. Es tracta d'una caixa amb carcassa metàl·lica on hi ha ubicats tots els connectors dels diferents perifèrics de la targeta DS1104.

El darrer element hardware que configura l'equip dSPACE és **l'ordinador pC**. El fabricant del dispositiu dSPACE especifica en els seu catàleg quins són els requisits mínim que requereix un ordinador per a la utilització de l'equip. L'ordinador pC que s'ha utilitzat per a la realització d'aquest projecte és un Pentium-IV a 800MHz amb 128Mbytes de memòria RAM.

#### **C.2.1.2. Software**

El software utilitzat per a l'implementació del control del rectificador està format per:

- Matlab / Simulink
- Matlab / Real Time Workshop
- ControlDesk

El programa **Matlab** és una eina matemàtica àmpliament coneguda. Entre les eines que conté Matlab s'ha escollit l'entorn Simulink, ja que aquest proporciona un entorn gràfic molt còmode a l'hora de modelitzar el rectificador. Simulink permet la modelització de sistemes dinàmics mitjançant esquemes de blocs interconnectats entre ells. Els blocs poden contenir subnivells amb més blocs, formant tots ells una relació jeràrquica entre ells. A més de la modelització, també es pot simular i analitzar els sistemes dinàmics. D'altra banda la placa DS1104 incorpora una llibreria Simulink on pareixen modelitzades totes les entrades i sortides de la targeta dSPACE.

El **Real Time Workshop (RTW)** és una aplicació que s'ocupa de compilar, linkar, i descarregar el model sobre el DSP. El RTW s'encarrega de generar un codi òptim per a l'execució del sistema en temps real. També és possible visualitzar les variables de control, tot i que en la realització d'aquest projecte s'ha fet mitjançant el programa ControlDesk.

Finalment, com a darrer component del software s'ha utilitzat el **ControlDesk**. El ControlDesk permet la monitorització del control experimental mitjançant un entorn gràfic



atractiu. A més de poder observar el comportament de les variables de control, també és possible actuar sobre elles, ja que permet modificar el valors en temps d'execució.

### C.2.2. Dispositiu FPGA

A l'apartat anterior s'ha presentat el dispositiu encarregat de realitzar els càlculs en temps real per tal de donar els senyals adequats per al control del rectificador. Ara bé, els senyals de modulació que entrega la DSP no són vàlids per a entregar-los directament als drivers i que aquests els tradueixin en senyals de control dels interruptors de potència. En realitat, el que entrega exactament la DSP són 4 bytes d'informació on es codifiquen els duties i la forma com aquests s'han d'aplicar.

Tot i que la feina de traduir la informació de duties a senyals aptes pels drivers també la podria executar la DSP, s'ha preferit utilitzar un altre dispositiu ja que sinó s'incrementaria els temps de càlcul de la DSP, fet que obligaria a disminuir la freqüència de commutació del sistema.

Per a aquesta tasca s'ha utilitzat un dispositiu lògic programable de la firma Altera. En concret, s'ha utilitzat The University Program (UP) Design Laboratory Package que conté les següents parts:

- Software MAX+PLUS II
- Placa Educacional UP
- ByteBlasterMVTM

El programa **MAX+PLUS II** serveix per realitzar els dissenys que després poden ser programats a la PLD. Permet un disseny mitjançant blocs de forma jeràrquica, i disposa d'una interfície gràfica d'usuari molt intuïtiva. A més, es poden programar rutines mitjançant esquemàtics o bé mitjançant el llenguatge de programació VHDL. També conté una aplicació que permet la compilació i verificació.

La placa educacional **UP Educational Board** conté el dispositiu EPF10K70 de la família FLEX<sup>®</sup>10K i el dispositiu EPM7128S de la família MAX<sup>®</sup>7000. En aquest projecte s'ha utilitzat el dispositiu **EPF10K70**. Aquest dispositiu està basat en la tecnologia SRAM. Es tracta d'un integrat amb empaquetament RQFP i de 240-pin. Té 3744 elements lògics



(“Logic elements” LEs) i nou blocs de matrius empaquetades (“Embedded array blocks” EABs). Cada LE consisteix en quatre entrades “look-up table” (LUT), un flipflop programable, un “dedicated signal path” per a les funcions amb “carry-and-cascade”. Cada EAB està composta per 2048 bits de memòria que es poden utilitzar per crear una RAM, ROM, o funcions FIFO (“first-in first-out”). Amb aquestes prestacions, el dispositiu EPF10K70 sembla ideal per a realitzar la traducció dels duties que entrega la DSP a senyals de porta dels semiconductors.

Finalment, cal que la programació que es fa mitjançant el programa MAX+PLUS II pugui ésser gravada al dispositiu EPF10K70. Aquesta funció es realitza a través del cable **ByteBlasterMV** que permet una descàrrega ràpida i fàcil cap a la placa UP. El cable es connecta per un extrem al port paral·lel de l'ordinador pC i per l'altra extrem a la placa UP a mitjançant un connector pla de 10 pins.

A l'ANNEX F s'adjunta detall de la programació que s'ha realitzat a la placa Altera.

### **C.2.3. Rectificador**

En aquest apartat es detallen els principals constituents del prototipus del rectificador experimental que s'ha utilitzat per fer les verificacions experimentals.. Els constituents principals són: els semiconductors de potència, els drivers que controlen aquests semiconductors (drivers i semiconductors es disposen en una mateixa placa de circuit imprès), bus de contínua que conté els dos condensadors electrolítics en la part de contínua del rectificador i la bobina que permet que el rectificador pugui ser elevador ('boost').

#### **C.2.3.1. Semiconductors**

Els dispositius electrònics que s'utilitzen per realitzar les commutacions entre les fases de la tensió d'entrada i els punts P, O i N són transistors IGBT en el cas del rectificador que es tracta en aquest projecte. Els IGBT (Insulated Gate Bipolar Transistors) són transistors semblants a un MOSFET en la seva entrada i als BJT en la seva sortida. Aquesta idea queda representada a la Figura C.3.



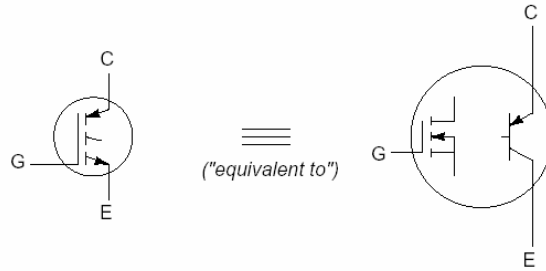


Figura C.3 Configuració del semiconductor IGBT

Un IGBT entra en conducció quan la tensió de porta és superior a una tensió llindar determinada ( $V_{\text{threshold}}$  segons el model del transistor), i en tall quan és inferior a aquesta tensió llindar. L'IGBT combina els avantatges del MOSFET i del BJT, ja que té la facilitat de control per tensió d'un MOSFET amb freqüències de commutació de fins a 60kHz i permet intensitats de corrent en conducció tant elevades com en un BJT i tensions de tall entre el col·lector i l'emissor més elevades que en un MOSFET i inclús més elevades que en el cas d'un transistor BJT. Els IGBT per tant, són ideals pels casos de commutació en sistemes de potència i en el cas concret del convertidor de 3 nivells interessa sobretot la capacitat del transistor per suportar, en tall, tensions el més elevades possible. A la Taula 4.2, on es comparen diversos tipus de transistors de potència dona una idea dels avantatges dels IGBT respecte els altres.

El model de IGBT utilitzat en el rectificador d'aquest projecte és el IRG4BC30KD i es dona un resum de les seves característiques principals a continuació:

IRG4BC30KD, IGBT n-channel amb díode antiparal·lel de recuperació ultraràpida

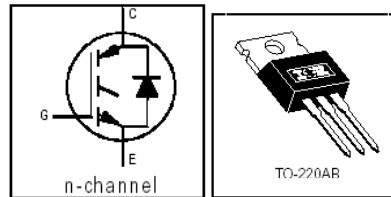


Figura C.4 Símbol elèctric de l'IGBT i transistor utilitzat al rectificador experimental

$V_{\text{ce(tall)}} = 600\text{V}$

$V_{\text{ce(sat)}} = 2.21\text{V}$

$I_c = 16\text{A}$

$V_{\text{ge}} = \pm 15\text{V}$



### C.2.3.2. Drivers

Els drivers són els dispositius encarregats de transmetre els senyals procedents de la placa d'interfície de connexions es tracta a l'apartat C.2.5 (senyals procedents de la FPGA), fins la porta dels IGBTs.

Els drivers consten de tres etapes:

- Una etapa aïlladora
- Una etapa d'amplificació
- Una etapa push-pull



Figura C.5 Esquema representatiu de les etapes de què consta un driver

La etapa aïlladora consta d'un optoacoblador 6N137 que permet transmetre senyals de alta freqüència i de forma que aïlla el circuit d'entrada amb el de sortida. El circuit d'entrada prové de la placa d'interfície de connexió, que té com a finalitat transmetre els senyals provinents de la FPGA fins el LED del optoacoblador. Per altra banda, el fotodetector connecta amb el circuit de sortida que és el format per la resta de components que conformen el driver i que asseguren la transmissió del senyal fins la porta de l'IGBT.

La etapa d'amplificació consta d'un comparador LM311 que té com a objectiu transformar les petites senyals provinents de l'optoacoblador a senyals discrets de valors de tensió de +15V i -15V. El circuit està ideat de forma que si el fotodetector no detecta senyal del LED, la sortida del comparador ha de ser -15V, i en cas contrari, si el fotodetector detecta senyal del LED, la sortida ha de ser +15V.

La següent etapa té com a finalitat transmetre els senyals des de la sortida del comparador fins la porta de l'IGBT. No es pot connectar directament la sortida del comparador amb la porta de l'IGBT, ja que en cas de fallada de l'IGBT el comparador es cremaria amb facilitat,





ja que està preparat per subministrar una intensitat de corrent de 50mA com a màxim. Per tant, el circuit intermediari que cal utilitzar és una configuració push-pull amb dos transistors complementaris npn i pnp de forma que no hi hagi problemes a l'hora de subministrar -15V i +15V a la porta de l'IGBT. Així, és fàcil de veure que quan la sortida del comparador sigui +15V, el transistor npn (BD679) passarà a conduir i el transistor pnp (BD680) passarà a estat de tall, de forma que la tensió a els emissors comuns hi hauran +15V de tensió. En cas contrari, si a la sortida del comparador hi haguessin -15V, la tensió dels emissors comuns seria de -15V.

Entre la sortida de l'etapa push-pull i l'IGBT cal posar una resistència de porta que elimini en la mida del possible la influència de les inductàncies paràsites que poden existir en la connexió entre els transistors del circuit push-pull i l'IGBT. Per altra banda, aquesta resistència pot limitar la intensitat de corrent que hi pugui circular en cas de fallada de l'IGBT (curtcircuit entre la porta i l'emissor) de forma que no es cremin els transistors BD679 o BD680. Un valor de  $R_{porta}$  de 100 $\Omega$  pot ser suficient per aconseguir ambdós objectius.

A la Figura C.6 es mostra el circuit utilitzat.

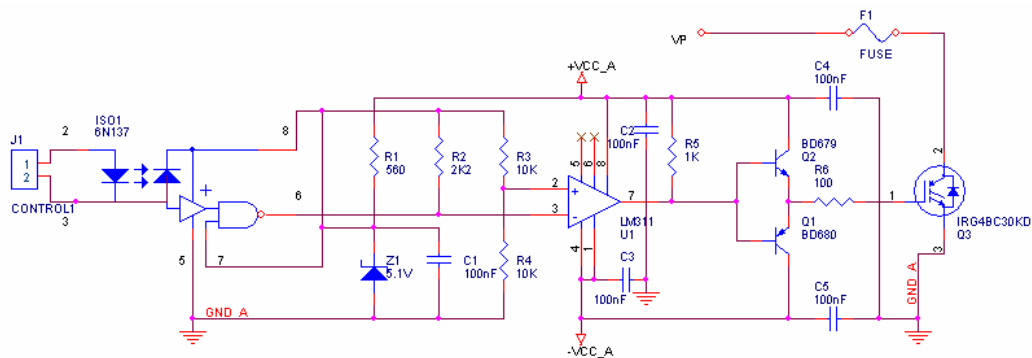


Figura C.6 Esquema elèctric del driver que controla l'IGBT



### C.2.3.3. Bus de contínua

El bus de contínua representa l'etapa final d'un rectificador. Com el seu nom indica, del bus de contínua s'obté la tensió de contínua obtinguda del procés de rectificació de la tensió alterna d'entrada, i en el cas d'un rectificador de tres nivells, és format per dos condensadors, un connectat entre els punts P i O i l'altre connectat entre els punts O i N. En el nostre cas el bus de contínua està format per dos condensadors electrolítics de 1000pF i 500Vdc cadascú. Normalment, el bus de contínua s'ha de connectar a una impedància entre els punts P i N o dues impedàncies, una entre P i O i l'altre entre O i N per facilitar la descàrrega dels condensadors durant el funcionament del rectificador.

### C.2.3.4. Bobina

La bobina amb nucli ferromagnètic utilitzada en els experiments amb el rectificador monofàsic té les característiques mostrades a la . Els resultats han estat obtinguts mitjançant un mesurador d'impedància Schlumberger-Solartron amb circuit seleccionat RL sèrie i tensió sinusoidal d'excitació d'1V d'amplitud.

Freqüència(Hz)	L(mH)	R(mΩ)
1	6.6922	170.53
10	6.6260	172.81
50	6.6253	179.09
8200	6.4740	12007

Taula C.1 Impedància de la bobina en funció de la freqüència de treball

### C.2.4. Sensor de corrent i tensió

Per poder obtenir la lectura de les senyals elèctriques del rectificador que permeten el seu control, es necessiten transductors de tensió i corrent que atenuïn la senyal d'entrada i la converteixin en una senyal de tensió que es pugui processar posteriorment en els ADCs del dispositiu CP1104. Concretament les senyals elèctriques que es necessiten pel control del rectificador monofàsic són les següents:

- Tensió alterna d'entrada ( $V_{in}$ )



- Intensitat de corrent d'entrada que circula per la bobina ( $i_L$ )
- Tensió del condensador connectat entre els punts P i O del bus de contínua ( $V_{po}$ )
- Tensió del condensador connectat entre els punts O i N del bus de contínua ( $V_{on}$ )

El sensor de tensió utilitzat és el LEM LV25-P i el sensor de corrent és el LEM LA25-N. Ambdós sensors estan disposats en un circuit elèctric com es mostra a continuació:

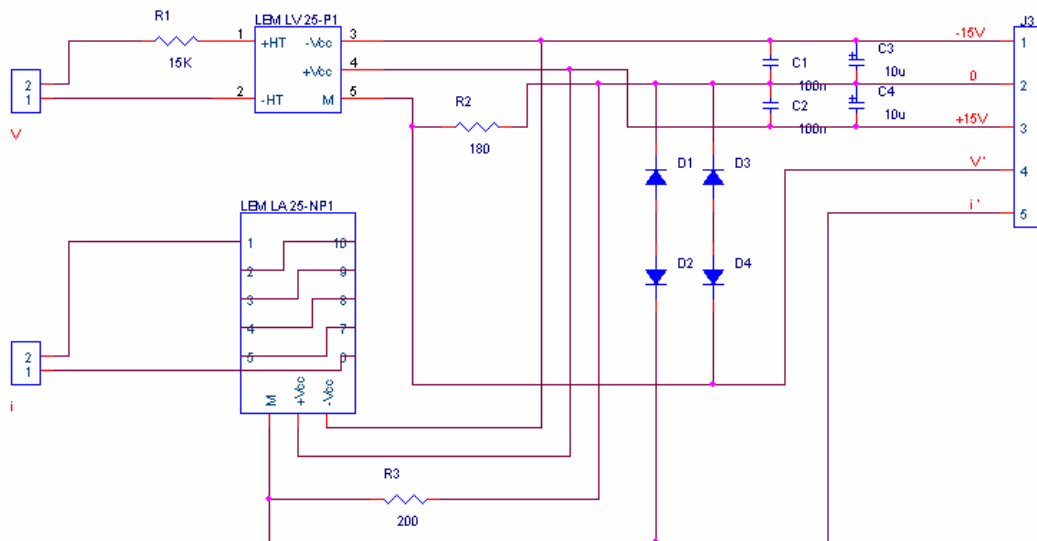


Figura C.7 Esquema elèctric dels sensors de tensió i corrent en un únic circuit

### C.2.5. Placa de connexions

Com es pot observar a la Figura C.2, es disposa d'un element central on es centralitzen les comunicacions entre diversos elements que componen el muntatge experimental del sistema. Aquest element s'ha designat com a placa de connexions ja que la seva funció és la d'interconnectar els dispositius. La placa adapta els diferents senyals per a què aquests puguin ser processats de forma correcta pel dispositiu que els ha de rebre. Així per exemple, els senyals provinents dels sensor, han d'ésser acondicionats abans d'enviar-los cap a la targeta dSPACE.

Segons es mostra a la Figura C.8, la placa de connexions consta de dues parts ben diferenciades: un circuit analògic i un circuit digital. A continuació s'explica la funció de cadascuna d'aquestes parts i quins elements les componen.



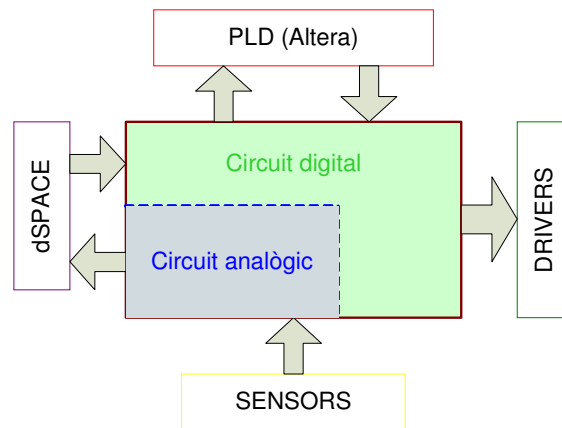


Figura C.8 Interconnexió dels diferents dispositius dins la placa de connexió

### C.2.5.1. Circuit analògic

El circuit analògic és l'encarregat d'acondicionar els senyals de tensió provinents dels sensors de corrent i tensió. Aquests senyals han de ser enviats a dSPACE per tal que resolgui les funcions de commutació que cal aplicar en cada instant. Segons el full de característiques dels sensors (ANNEX J) la senyal de sortida del sensor té una magnitud petita. Per tal d'aprofitar el marge de tensions admissibles a les entrades analògiques de la targeta dSPACE, cal aplicar un guany als senyals provinents dels sensors. És per això que aquests senyals es fan passar per un amplificador operacional que està configurat de forma no inversora tal i com es mostra la Figura C.9. El dispositiu escollit com a operacional ha estat el circuit integrat LM741 que conté quatre amplificadors operacionals de caràcter general en un mateix integrat.

Prèviament, i tal i com es pot veure a la Figura C.9, a la sortida dels sensor es col·loca un condensador  $C$  en paral·lel amb una resistència  $R_M$  per tal de fer un filtrat de les senyals dels sensors. El valors escollits d'aquests components han estat els següents:

- $C=680\text{nF}$
- $R_M=200\Omega$



Per tant, amb aquesta configuració aquest dos components actuen de filtre amb una freqüència de tall de 1,2 kHz aproximadament.

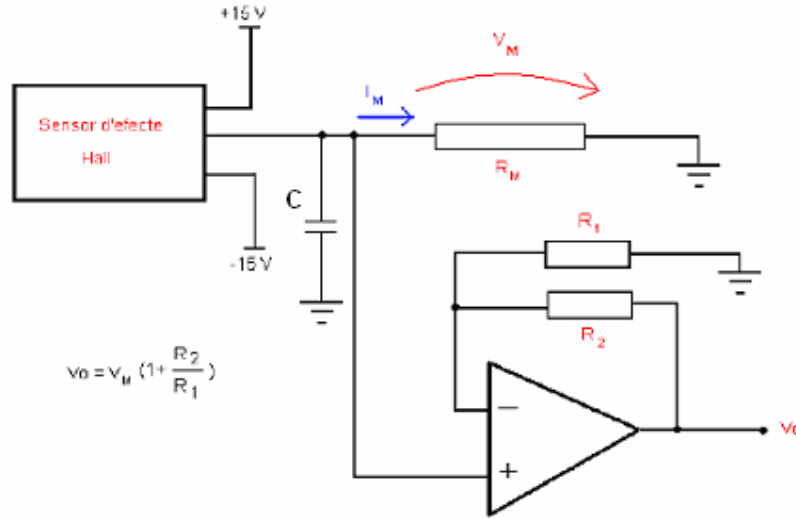


Figura C.9 Circuit d'amplificació de la senyal provinent del sensor de tensió o corrent

Els valors de les resistències simbolitzades per R1 i R2 s'han escollit de forma que l'amplificador operacional treballi amb el mateix rang que el de les entrades analògiques de dSPACE ( $\pm 10V$ ).

Sensor	Rang senyal a mesurar	Rang $i_M$ (A)	$V_{M \text{ Max}}$ (V)	$R_M$ ( $\Omega$ )	Relació $R_1/R_2$	$R_1$ ( $\Omega$ )	$R_2$ ( $\Omega$ )	$V_o \text{ Max}$ (V)
Corrent	$\pm 100$ A	$\pm 50$ mA	7.8 V	150 $\Omega$	3	3 k $\Omega$	1 k $\Omega$	10
Tensió	$\pm 600$ V	$\pm 60$ mA	9 V	150 $\Omega$	9	10 k $\Omega$	1,1 k $\Omega$	10

Figura C.10 Valor dels principals paràmetres del circuit en configuració no inversora



A l es mostra l'esquema elèctric del circuit complet que permet acondicionar les senyals provinents dels sensors de corrent i tensió, per la seva sortida cap al dispositiu CP1104.

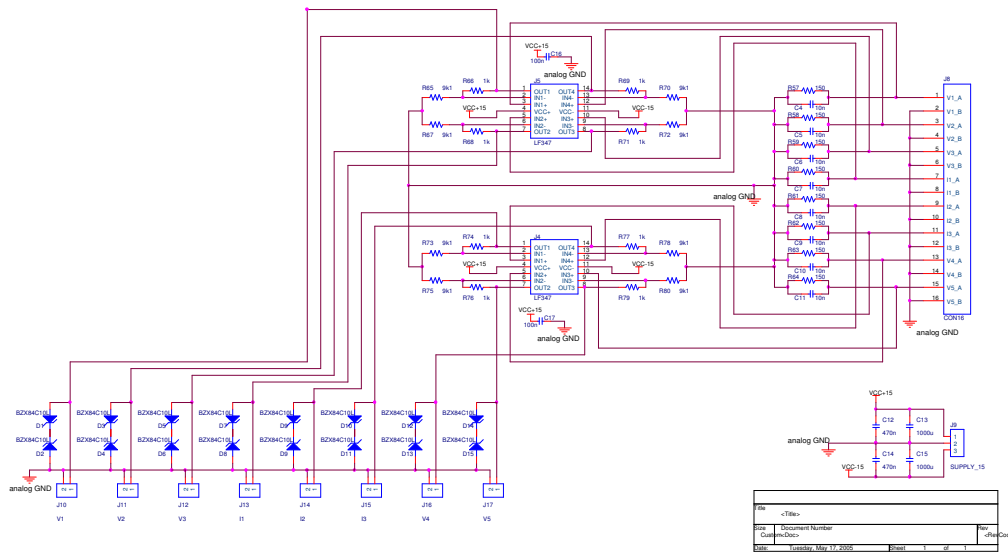


Figura C.11 Esquema elèctric del circuit analògic de la placa de connexions

### C.2.5.2. Circuit digital

El circuit digital és l'encarregat d'adaptar les connexions dSPACE-Altera i Altera-Drivers.

Pel que fa a la connexió entre la targeta dSPACE i el dispositiu d'Altera, a la placa hi ha traçades tot un conjunt de pistes que permeten la comunicació entre ambdós dispositius. Les senyals provinents de la targeta dSPACE són accessibles des del dispositiu CP1104, i la connexió des del CP1104 fins la placa de connexions es realitza mitjançant els dos connectors següents: un connector d'entrades/sortides digitals del DSP Màster (CP17) i un connector d'entrades/sortides digitals del DSP esclau (CP18). A través d'aquests dos connectors s'envia tota la informació referent a la solució de modulació que cal adoptar en cada període de commutació del rectificador. Aquest dos connectors són connectors tipus DSUB-37. En canvi, el dispositiu Altera té un connector de 60 pins (FLEX\_EXPAN\_A). Per tant, el traçat de les pistes sobre circuit imprès permet adaptar físicament els senyals per tal que puguin enviar-se d'un dispositiu a un altre.



D'altra banda, per a la connexió Altera-Divers succeeix quelcom semblant a la connexió dSPACE-Altera. Els senyals que surten del dispositiu Altera (els senyals de commutació dels transistors), ho fan a través del connector FLEX\_EXPAN\_C que és un connector de 60 pins. Aquests senyals s'han d'enviar cap als drivers. Abans però, els senyals que surten del dispositiu Altera es fan passar a través de integrat SN74LS06 (buffer inversor). D'aquesta manera es garanteix que els senyals arriben en òptimes condicions des dels terminals de sortida de la placa de connexions (terminals soldats sobre PCB de dos pins per terminal) fins l'entrada als optoacobladors del circuit de drivers.

També s'ha dotat a la placa d'un conjunt d'interruptors (SWITCHES) que estan connectats al connector FLEX\_EXPAN\_C d'Altera. Aquests interruptors permeten la selecció dels següents paràmetres:

- Freqüència de commutació del rectificador
- Temps de blanking
- Reset (reiniciar o aturar els càlculs del dispositiu Altera)

### C.2.6. Càrregues utilitzades

Quan es parla de càrrega del rectificador ens referim a l'element connectat entre el punt p i n del bus de contínua, i sobre el qual el rectificador ha d'entregar la potència de sortida. Per a aquest element s'ha utilitzat una càrrega "aerothermo" (les resistències que formen la càrrega són refrigerades mitjançant un ventilador que dissipa el calor generat per les pròpies resistències quan el rectificador és en funcionament). Es tracta d'una bateria de resistències que està formada per diferents etapes de potència. Cada etapa de potència consisteix en una resistència que queda connectada quan es prem el polsador corresponent. Quant s'està connectant més d'una etapa significa que s'estan connectant en paral·lel les resistències de cada etapa.

En concret s'han utilitzat dos models d' "aerothermos" que existeixen al laboratori del DEE. Els dos models existents al laboratori permeten obtenir un valor de resistència des de 33  $\Omega$  (valor mínim) fins a 1 k $\Omega$  (valor màxim).

Tot i utilitzar únicament aquests dos "aerothermos", segons la prova o assaig que s'ha realitzat al convertidor, la configuració dels "aerothermos" ha estat una o altra. Així per



exemple, quan s'han realitzat proves per a comprovar l'equilibrat del bus de contínua i s'ha desitjat descompensar les tensions del bus de contínua, els aerotermos s'han connectat segons la Figura C.12. Cal notar que en aquest cas el punt **O** també queda connectat a la càrrega.

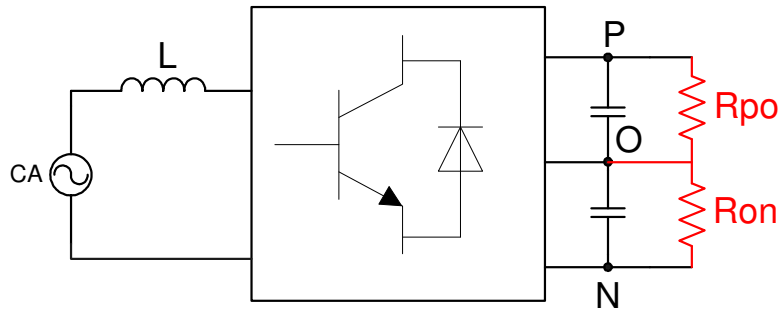


Figura C.12 Cas de dues resistències connectades al bus de contínua i pel punt **O**

D'altra banda, també s'ha volgut comprovar el funcionament del rectificador sota càrrega no lineal. En aquest cas, com a càrrega no lineal s'han connectat els dos "aerotermos" en sèrie entre els punts **P** i **O**, i a un dels "aerotermos" se li ha afegit en paral·lel un IGBT per tal de curtcircuitar-lo a una freqüència determinada, variant d'aquesta manera la càrrega resistiva total connectada al bus de contínua a una freqüència determinada (Figura C.13).

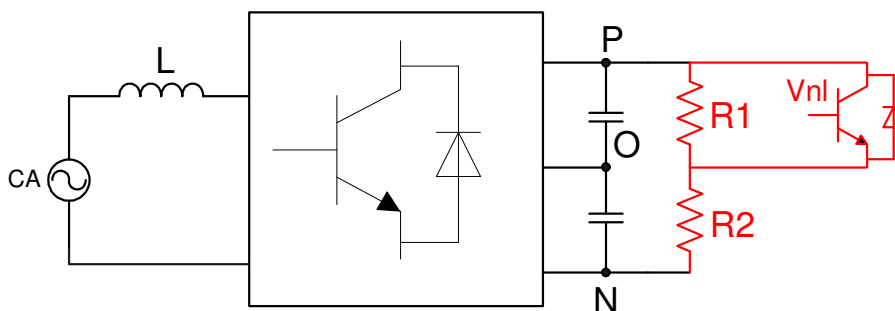


Figura C.13 Càrrega no lineal connectada al bus de contínua

El senyal  $V_{nl}$  que s'aplica a l'IGBT s'ha generat mitjançant un generador de senyals existent al laboratori del DEE. Al generador es selecciona una senyal quadrada a la freqüència a la que es vol connectar i desconnectar la càrrega i s'agafa la sortida de 50Ω





(òhmica - no TTL). Entre la font de senyal i l'IGBT s'ha fet un muntatge push-pull per tal de poder traduir el senyal lògic del generador de senyals (0V/+10V) a un senyal apte per a l'IGBT i que ens asseguri una obertura i tancament correcte del transistor. A la Figura C.14 es mostra l'esquema d'aquest circuit.

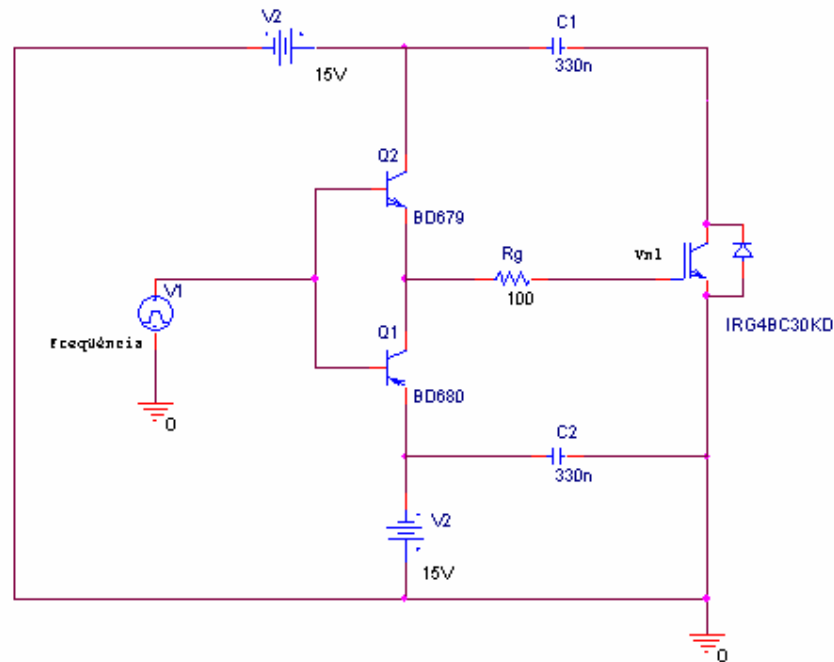


Figura C.14 Circuit de control del IGBT en paral·lel amb un dels "aerotermos"

Per alimentar els sensors de tensió i corrent que permeten obtenir lectures de les senyals elèctriques del rectificador monofàsic i per alimentar també els drivers que controlen la tensió de porta dels IGBT es necessiten fonts d'alimentació contínua amb sortides de +15V i -15V. Per aconseguir això es disposa de l'esquema elèctric mostrat a la Figura C.15.



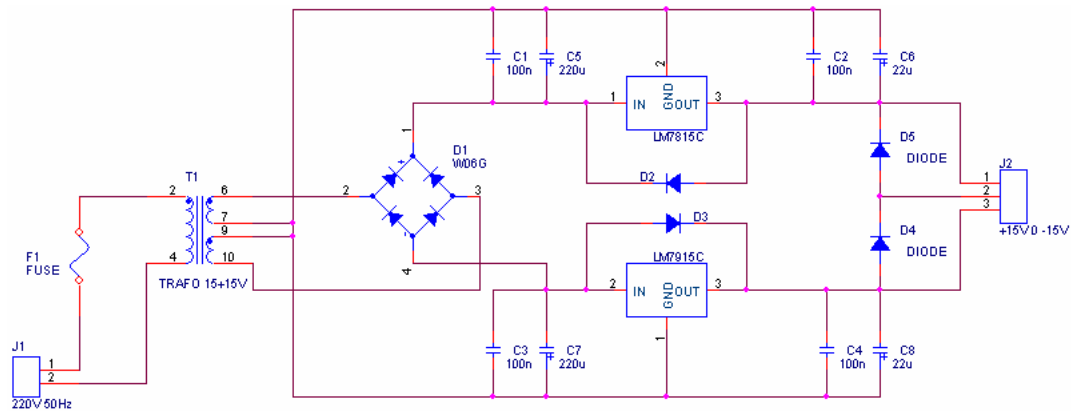


Figura C.15 Circuit de la font d'alimentació de drivers i sensors

La tensió alterna de què es disposa és de 220V i 50Hz de freqüència a l'entrada del circuit. Un transformador a l'entrada transforma els 220V en dos tensions alternes de aproximadament 15V rms cadascuna. A partir d'aquí les tensions es rectifiquen amb un rectificador de pont complet W06G i després del rectificat es disposa de dos reguladors de tensió, el LM7815 del qual obtenim una tensió de +15V de contínua i el LM7915 del qual obtenim els -15V de tensió contínua. Aquesta font d'alimentació està limitada a subministrar com a màxim 1A de intensitat a la seva sortida.



## ANNEX D. MODELS DE SIMULACIÓ

En aquest annex es detallen els models que s'han utilitzat per a la simulació dels dos sistemes objecte d'anàlisi en aquest projecte (monofàsic i trifàsic). S'ha utilitzat l'eina Simulink com entorn de simulació tal i com s'ha comentat a l'ANNEX C.

Per a l'exposició dels models es presenta l'esquema general on s'observen els diferents blocs que componen el model. A continuació de l'esquema principal es mostra el contingut de cadascun d'aquests blocs.

### D.1. Monofàsic

#### Esquema principal

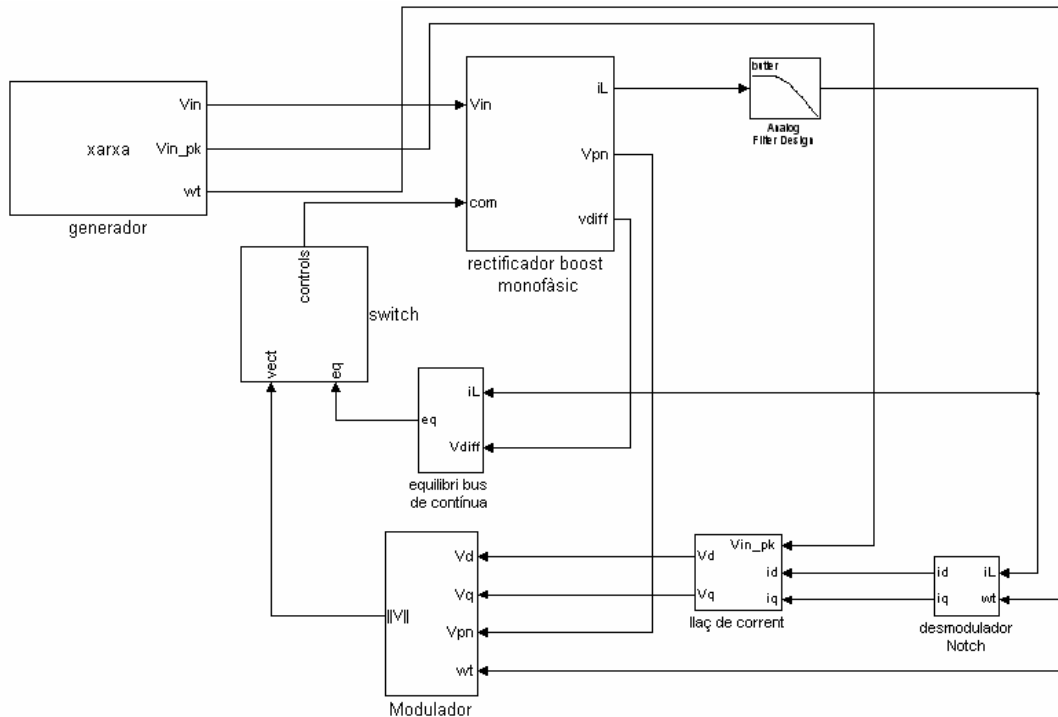


Figura D.1 Esquema principal model de control de corrent



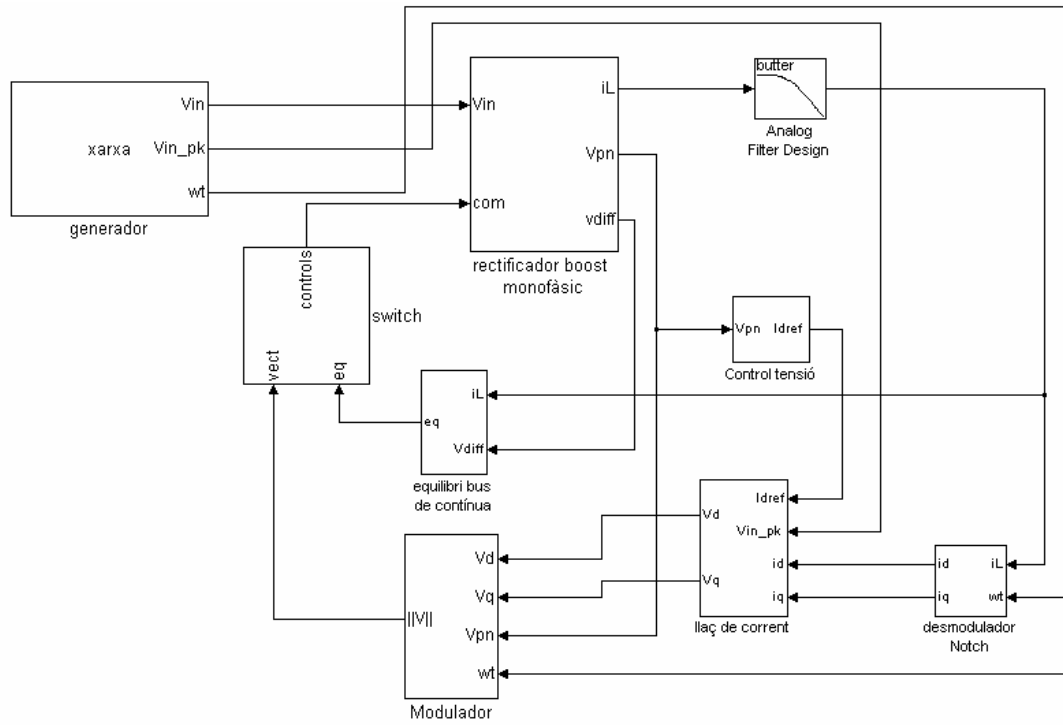


Figura D.2 Esquema principal model de control de tensió

### Generador

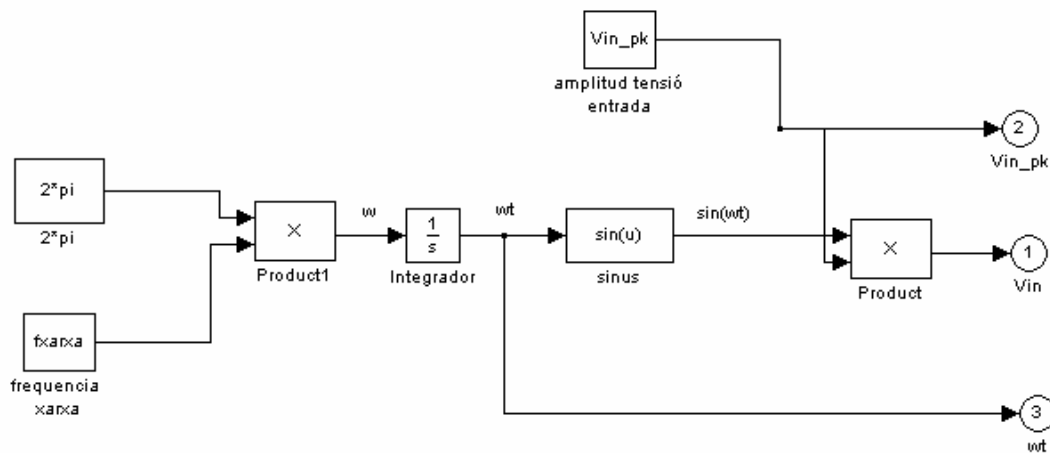


Figura D.3 Bloc generador



**Rectificador boost monofàsic**

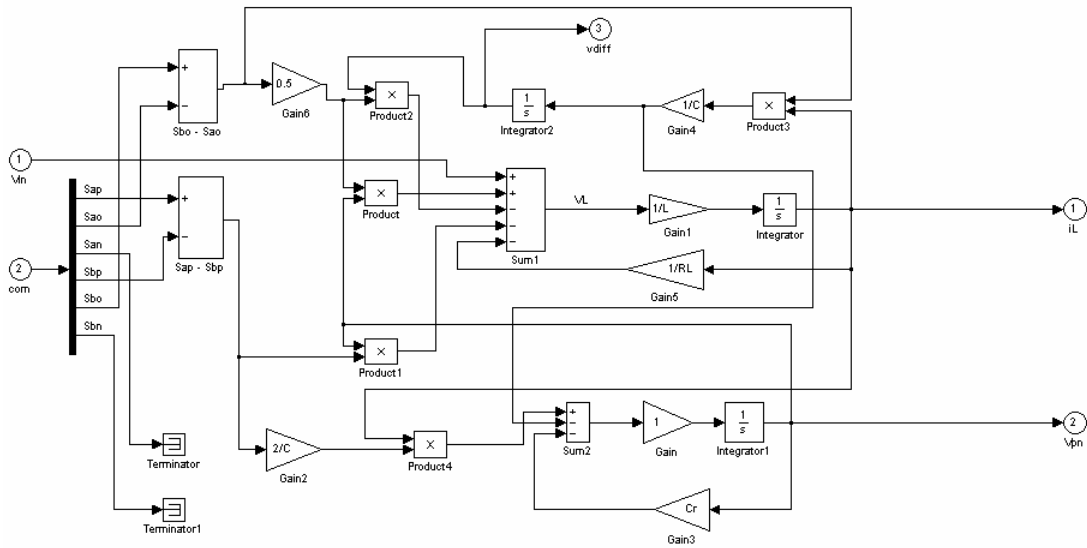


Figura D.4 Bloc rectificador amb una sola resistència de càrrega al bus de contínua

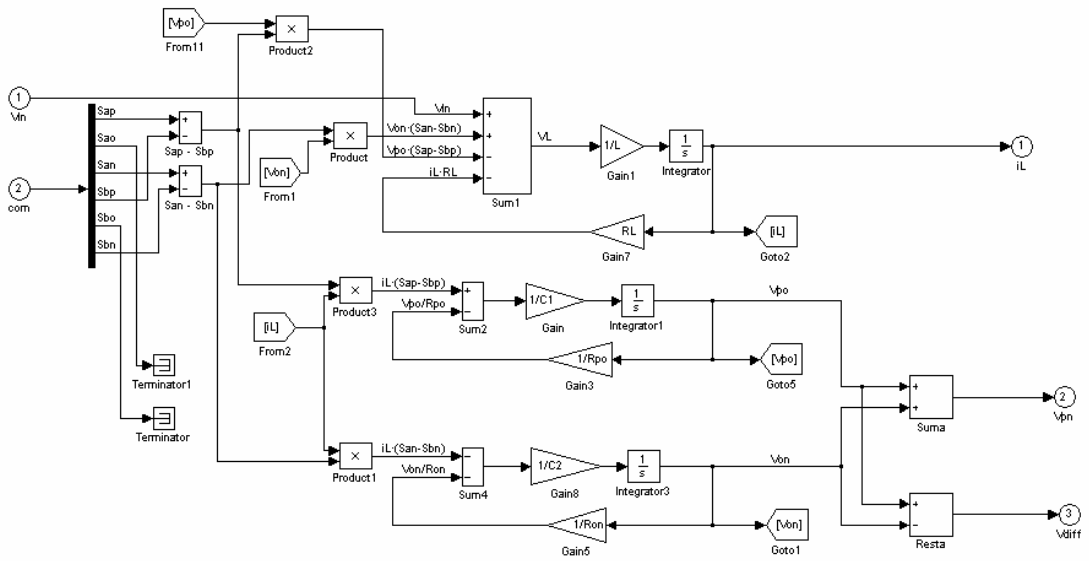


Figura D.5 Bloc rectificador amb dues resistències de càrrega al bus de contínua



### Desmodulador Notch

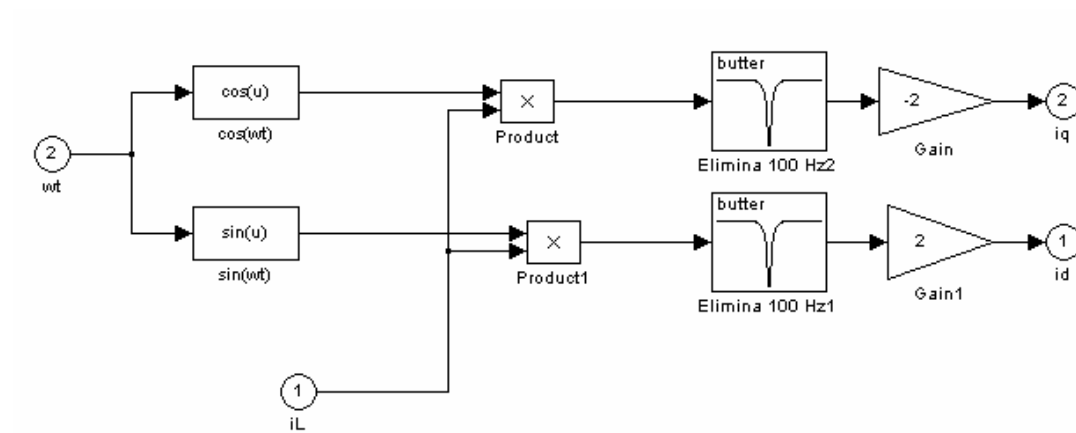


Figura D.6 Bloc desmodulador Notch

### Llaç de corrent

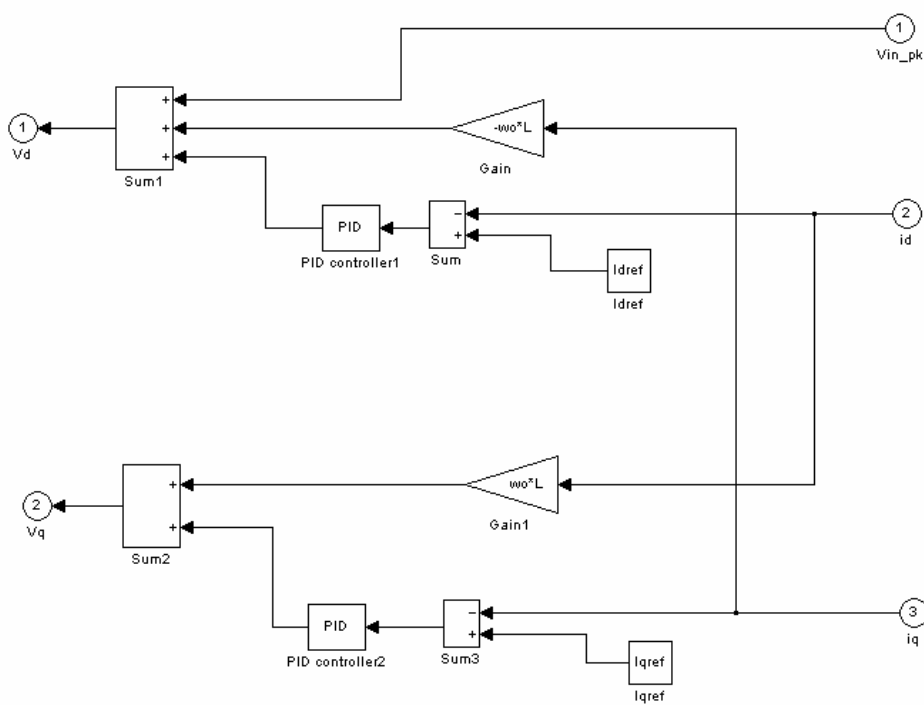


Figura D.7 Bloc llaç de corrent



**Modulador**

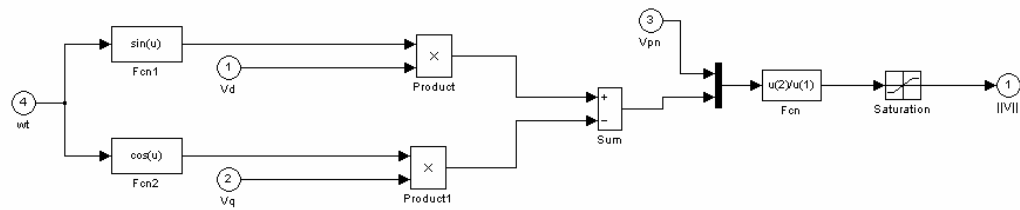


Figura D.8 Bloc modulador

**Equilibri bus de contínua**

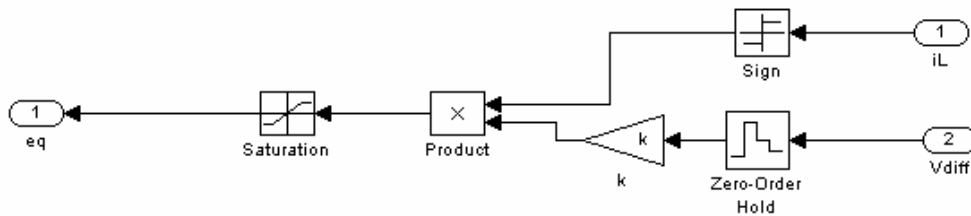


Figura D.9 Bloc equilibri bus de contínua per a k constant

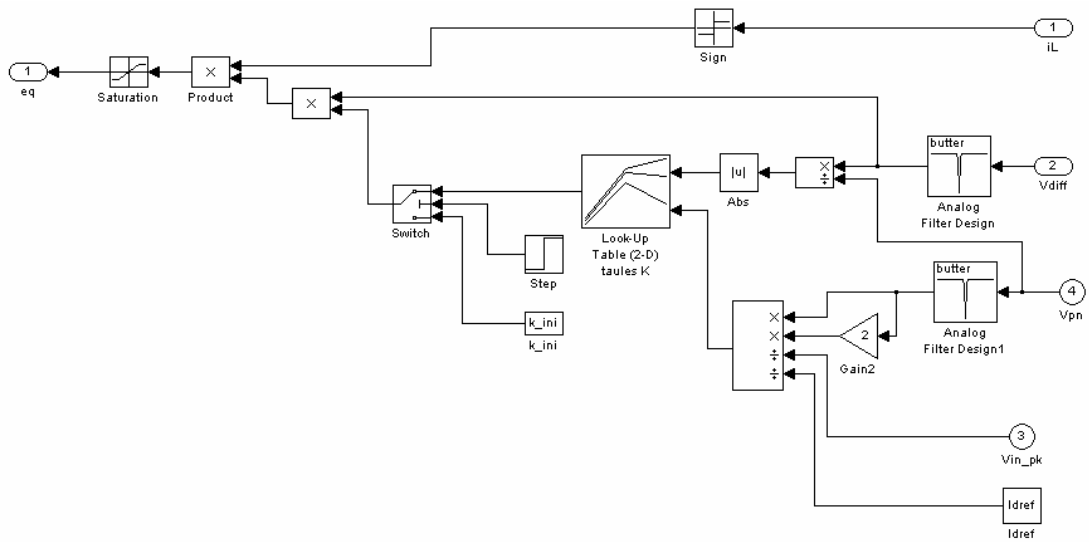


Figura D.10 Bloc equilibri bus de contínua per a k adaptativa



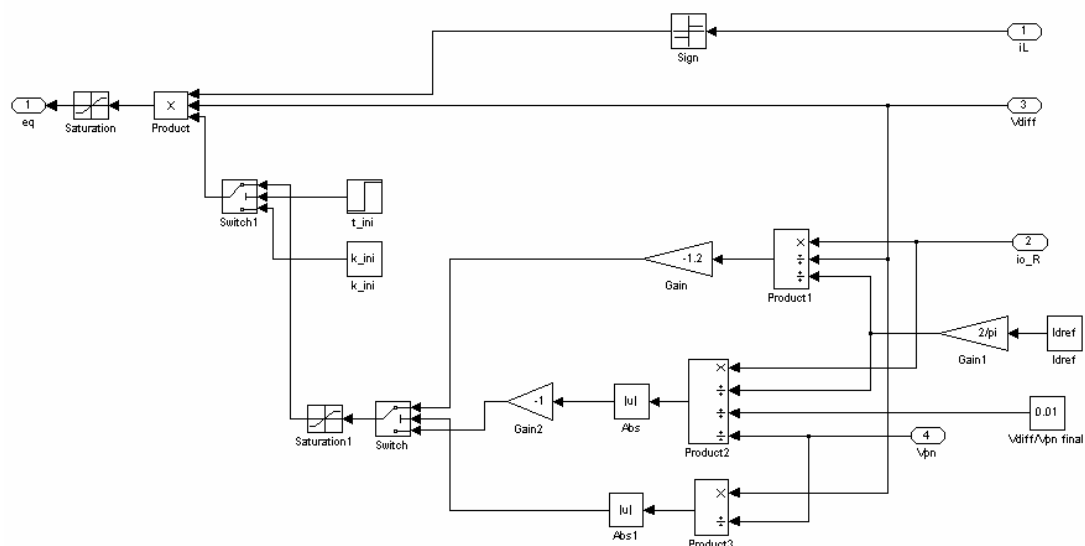


Figura D.11 Bloc equilibri bus de contínua per a k calculada mitjançant mètode de equilibri per dos càrregues connectades al punt O

### Control tensió

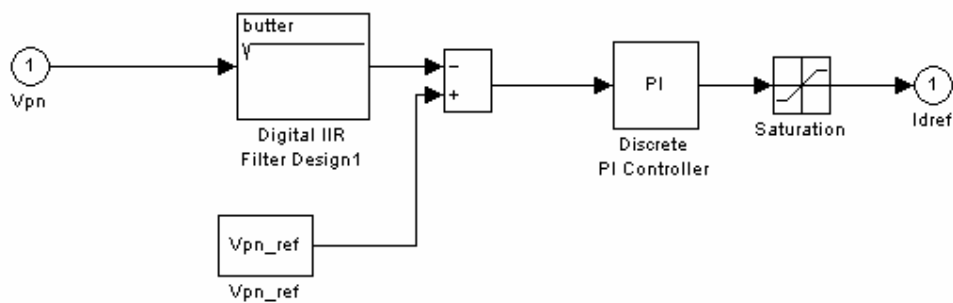


Figura D.12 Bloc control tensió





## Switch

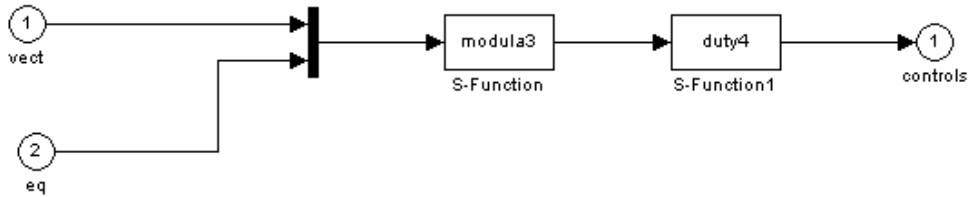


Figura D.13 Bloc switch

### S-Function (modula3.c)

```

/* * Copyright 1990-2001 The MathWorks, Inc.
 * $Revision: 1.10 $
 */
#define S_FUNCTION_NAME modula3
#define S_FUNCTION_LEVEL 2

#include "simstruc.h"
#include <math.h>
#define Ts(S) ssGetSFcnParam(S,0)

#define u(element) (*uPtrs[element]) /* Pointer to Input Port0 */
/*=====
 * Build checking *
 *=====*/

/* Function: mdlInitializeSizes =====
 * Abstract:
 * Setup sizes of the various vectors.
 */
static void mdlInitializeSizes(SimStruct *S)
{
    ssSetNumSFcnParams(S, 1);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

    if (!ssSetNumInputPorts(S, 1)) return;
    ssSetInputPortWidth(S, 0, 2);
    ssSetInputPortDirectFeedThrough(S, 0, 1);

    if (!ssSetNumOutputPorts(S,1)) return;
    ssSetOutputPortWidth(S, 0, 4);

    ssSetNumSampleTimes(S, 1);

    /* Take care when specifying exception free code - see sfuntmpl_doc.c */
    ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |
        SS_OPTION_USE_TLC_WITH_ACCELERATOR);
}

```



```

/* Function: mdlInitializeSampleTimes =====
* Abstract:
*   Specify that we inherit our sample time from the driving block.
*/
static void mdlInitializeSampleTimes(SimStruct *S)
{
    const real_T    *temps    = mxGetPr(Ts(S));

    ssSetSampleTime(S, 0, *temps);
    ssSetOffsetTime(S, 0, 0.0);
}

/* Function: mdlOutputs =====
*
*
*/
static void mdlOutputs(SimStruct *S, int_T tid)
{
    real_T    e0, e1, frontera, abk, limit3, limit4;
    real_T    limit1 = 0.5;
    real_T    limit2 = -0.5;
    InputRealPtrsType uPtrs = ssGetInputPortRealSignalPtrs(S,0);
    real_T    *y    = ssGetOutputPortRealSignal(S,0);

    /*int_T    width = ssGetOutputPortWidth(S,0);*/

    e0=u(0);
    e1=u(1);

    abk=fabs(e1);
    limit3=abk/2.0;
    limit4=-abk/2.0;

    if (e0>1.0) {
        e0=1.0;} else {
        if (e0<-1.0){
            e0=-1.0;
        }
    }

    frontera=2.0*fabs(1-fabs(e0));

    if (abk>frontera) {
        if (e1>=0) {
            e1=frontera;
        } else {
            e1=-frontera;
        }
    }

    if (e0>limit1){
        y[0]=1-e0+e1/2;
        y[1]=2.0*e0-1;
        y[2]=1-e0-e1/2;
        y[3]=1;
    }

    if ((e0<=limit1)&&(e0>limit3)){
        y[0]=e0+e1/2;
        y[1]=1-2*e0;
        y[2]=e0-e1/2;
    }
}

```



```

        y[3]=2.0;
    }
    if ((e0<=limit3)&&(e0>limit4)){
        y[1]=1-abk;
        if (e1>=0){
            y[0]=e0+e1/2;
            y[2]=-e0+e1/2;
            y[3]=31;
        } else {
            y[0]=-e0+abk/2;
            y[2]=e0+abk/2;
            y[3]=32;
        }
    }
    if ((e0<=limit4)&&(e0>limit2)){
        y[0]=-e0-e1/2;
        y[1]=1+2*e0;
        y[2]=-e0+e1/2;
        y[3]=4;
    }
    if (e0<=limit2){
        y[0]=1+e0-e1/2;
        y[1]=-1-2*e0;
        y[2]=1+e0+e1/2;
        y[3]=5;
    }
    if (y[0]<=0.001){
        y[0]=0.001;
        if (y[1]>y[2]) {
            y[1]=y[1]-0.001;
        } else {
            y[2]=y[2]-0.001;
        }
    }
    if (y[1]<=0.001){
        y[1]=0.001;
        if (y[0]>y[2]) {
            y[0]=y[0]-0.001;
        } else {
            y[2]=y[2]-0.001;
        }
    }
    if (y[2]<=0.001){
        y[2]=0.001;
        if (y[1]>y[0]) {
            y[1]=y[1]-0.001;
        } else {
            y[0]=y[0]-0.001;
        }
    }
}

/* Function: mdlTerminate =====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}

#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */
#include "simulink.c" /* MEX-file interface mechanism */

```



```
#else
#include "cg_sfuns.h" /* Code generation registration function */
#endif
```

**S-Function1 (duty4.m)**

```
function [sys,x0,str,ts] = duty4(t,x,u,flag,Ts)
%Generacio dels polsos de control dels IGBT's
% entrades:
% u(1)=dpo (en els sectors 1, 2 i P11), dop (en els sectors P22, 3 i 4)
% u(2)=dpn (en el sector 1), doo (en els sectors 2, P11, P22 i 3), dnp (en el sector 4)
% u(3)=don (en els sectors 1, 2 i P22), dno (en els sectors P11, 3 i 4)
% u(4)=codificacio de sector:
% 1: sector 1
% 2: sector 2
% 11: sector P11
% 22: sector P22
% 3: sector 3
% 4: sector 4
% The following outlines the general structure of an S-function.
%
```

switch flag,

```
%%%%%%%%%%%%%%
% Initialization %
%%%%%%%%%%%%%%
case 0,
    [sys,x0,str,ts]=mdlInitializeSizes;

%%%%%%%%%%%%%%
% Update %
%%%%%%%%%%%%%%
case 2,
    sys=mdlUpdate(t,x,u);

%%%%%%%%%%%%%%
% Outputs %
%%%%%%%%%%%%%%
case 3,
    sys=mdlOutputs(t,x);

%%%%%%%%%%%%%%
% GetTimeOfNextVarHit %
%%%%%%%%%%%%%%
case 4,
    sys=mdlGetTimeOfNextVarHit(t,x,u,Ts);

%%%%%%%%%%%%%%
% Terminate %
%%%%%%%%%%%%%%
case 9,
    sys=mdlTerminate(t,x,u);

%%%%%%%%%%%%%%
% Unhandled flags %
%%%%%%%%%%%%%%
case 1,
    sys = [];

%%%%%%%%%%%%%%
```



```

% Unexpected flags %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Return the sizes, initial conditions, and sample times for the S-function.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
function [sys,x0,str,ts]=mdlInitializeSizes

% call simsizes for a sizes structure, fill it in and convert it to a
% sizes array
%
sizes = simsizes;

sizes.NumContStates = 0;
sizes.NumDiscStates = 5;
sizes.NumOutputs = 6;
sizes.NumInputs = 4; %duty-ratio + sector
sizes.DirFeedthrough = 1;
sizes.NumSampleTimes = 1; % at least one sample time is needed

sys = simsizes(sizes);

% initialize the initial conditions
%
x0 = [0,0,-1,1,1]';

% str is always an empty matrix
%
str = [];

% initialize the array of sample times
%
ts = [-2 0]; % variable sample time

% end mdlInitializeSizes

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% mdlUpdate
% Handle discrete state updates, sample time hits, and major time step
% requirements.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
function sys=mdlUpdate(t,x,u)

switch x(3),

case -1,
    sys(1)=0;
    sys(2)=0;
    sys(3)=2;

```



```

sys(4)=x(4);
sys(5)=x(5);

case 2,
if x(4)==0,
    sys(1)=u(2);
    sys(2)=u(3);
    sys(3)=0;
else
    sys(1)=u(2);
    sys(2)=u(1);
    sys(3)=0;
end
sys(4)=x(4);
sys(5)=u(4);

case {0,1},
sys(1)=x(2);
sys(2)=0;
sys(3)=x(3)+1;
if x(3)==0,
    sys(4)=x(4);
else
    sys(4)=1-x(4);
end
sys(5)=x(5);
end

% end mdlUpdate

%
%=====
% mdlOutputs
% Return the block outputs.
%=====
%
function sys=mdlOutputs(t,x)

switch x(3),

case -1,

    sys=[1,0,0,0,1,0]';

case 2,

    if x(5)==1
        if x(4)==0,
            sys=[1,0,0,0,1,0]';
        else
            sys=[0,1,0,0,0,1]';
        end

    elseif x(5)==2
        if x(4)==0,
            sys=[1,0,0,0,1,0]';
        else
            sys=[0,1,0,0,0,1]';
        end

    elseif x(5)==31
        if x(4)==0,
            sys=[1,0,0,0,1,0]';
        else

```



```
        sys=[0,0,1,0,1,0]';
    end

elseif x(5)==32
    if x(4)==0,
        sys=[0,1,0,1,0,0]';
    else
        sys=[0,1,0,0,0,1]';
    end

elseif x(5)==4
    if x(4)==0,
        sys=[0,1,0,1,0,0]';
    else
        sys=[0,0,1,0,1,0]';
    end

elseif x(5)==5
    if x(4)==0,
        sys=[0,1,0,1,0,0]';
    else
        sys=[0,0,1,0,1,0]';
    end
end
case 0,
    switch x(5),
        case 1,
            sys=[1,0,0,0,0,1]';
        case {2,31,32,4},
            sys=[0,1,0,0,1,0]';
        case 5,
            sys=[0,0,1,1,0,0]';
    end
end
case 1,

    if x(5)==1
        if x(4)==0,
            sys=[0,1,0,0,0,1]';
        else
            sys=[1,0,0,0,1,0]';
        end

    elseif x(5)==2
        if x(4)==0,
            sys=[0,1,0,0,0,1]';
        else
            sys=[1,0,0,0,1,0]';
        end

    elseif x(5)==31
        if x(4)==0,
            sys=[0,0,1,0,1,0]';
        else
            sys=[1,0,0,0,1,0]';
        end

    elseif x(5)==32
        if x(4)==0,
            sys=[0,1,0,0,0,1]';
        else
            sys=[0,1,0,1,0,0]';
        end
    end
```



```

elseif x(5)==4
    if x(4)==0,
        sys=[0,0,1,0,1,0]';
    else
        sys=[0,1,0,1,0,0]';
    end

elseif x(5)==5
    if x(4)==0,
        sys=[0,0,1,0,1,0]';
    else
        sys=[0,1,0,1,0,0]';
    end
end
end

% end mdlOutputs

%
%=====
% mdlGetTimeOfNextVarHit
% Return the time of the next hit for this block. Note that the result is
% absolute time.
%=====
%
function sys=mdlGetTimeOfNextVarHit(t,x,u,Ts)

switch x(3),

case -1,
    sys=t+Ts

case 2,
    if x(4)==0,
        sys=t+u(1)*Ts;
    else
        sys=t+u(3)*Ts;
    end

case {0,1},
    sys=t+x(1)*Ts;

end

% end mdlGetTimeOfNextVarHit

%
%=====
% mdlTerminate
% Perform any end of simulation tasks.
%=====
%
function sys=mdlTerminate(t,x,u)

sys = [];

% end mdlTerminate

```





## D.2. Trifàsic

### Esquema principal

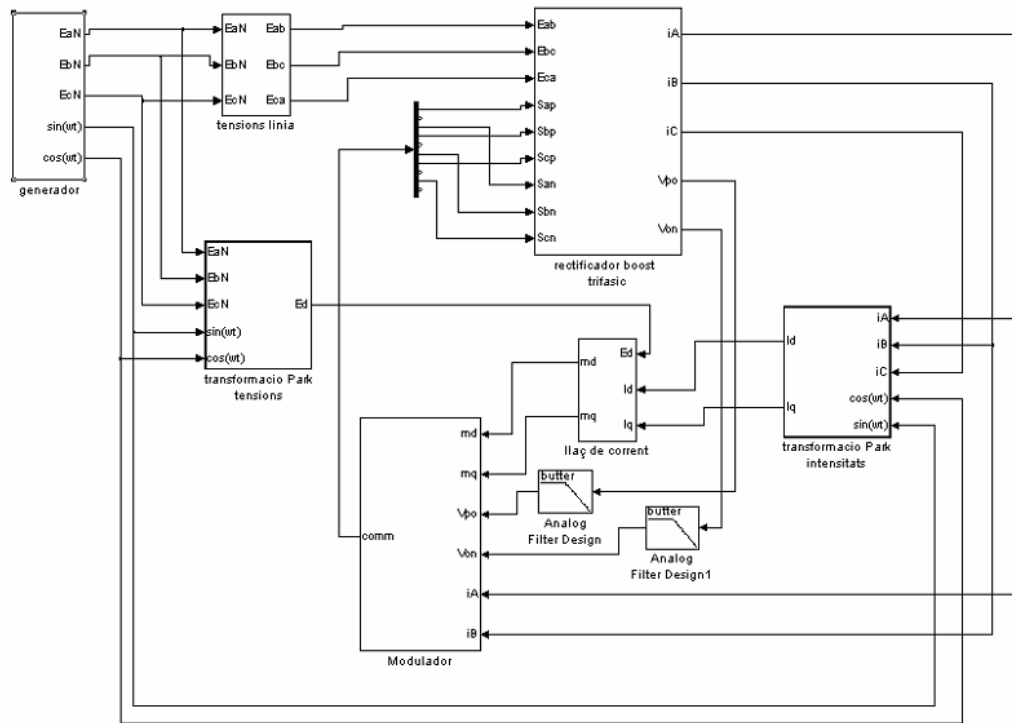


Figura D.14 Esquema principal model de control de corrent



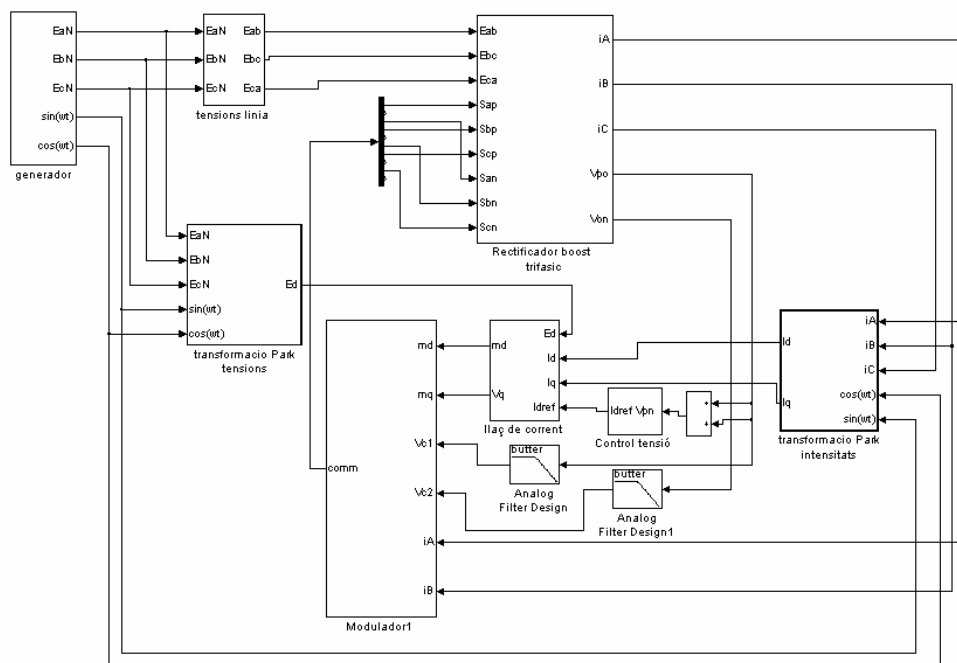


Figura D.15 Esquema principal model de control de tensió

### Generador

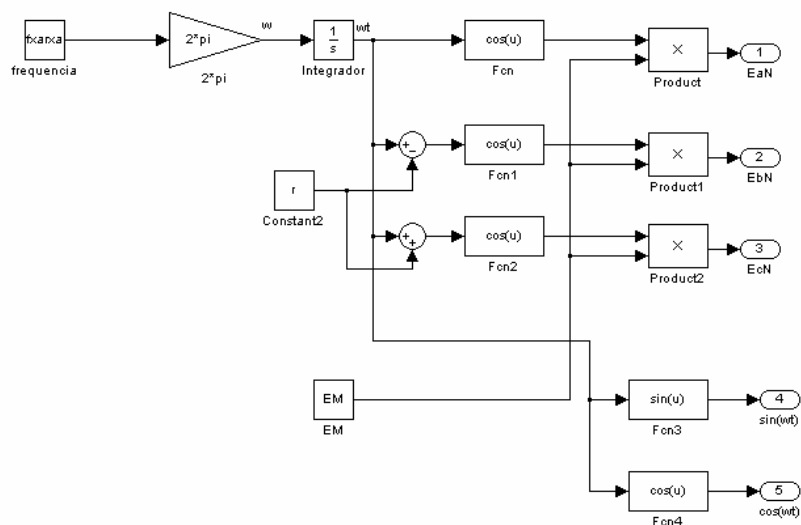


Figura D.16 Bloc generador



**Tensions de línia**

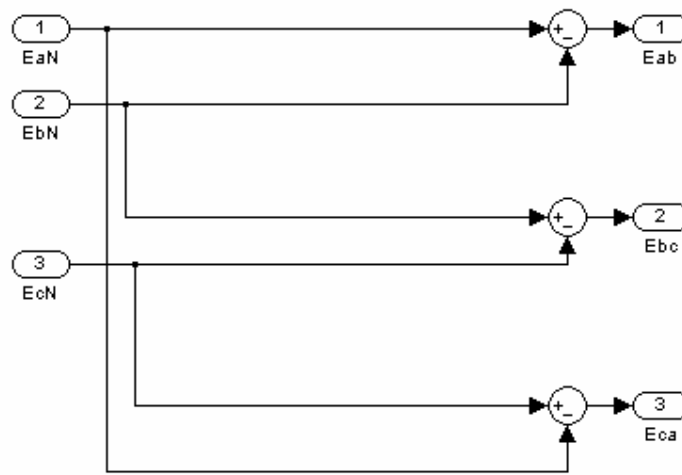


Figura D.17 Bloc tensions de línia

**Transformació Park tensions**

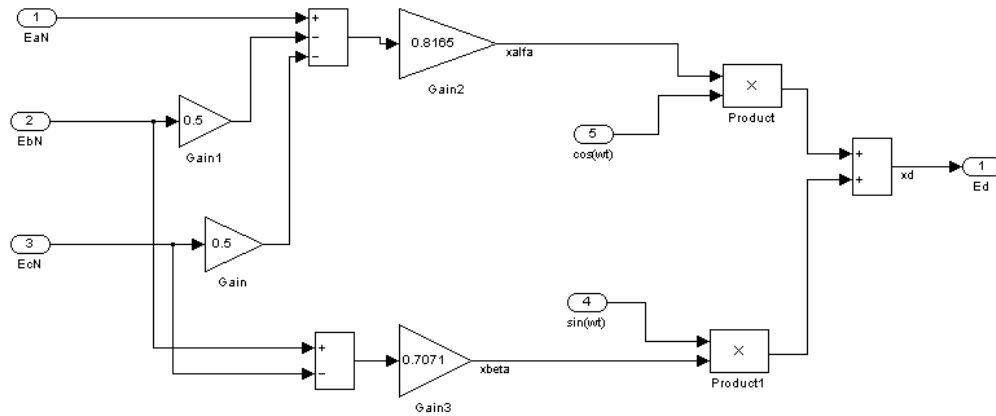


Figura D.18 Bloc transformació Park tensions



### Transformació Park intensitats

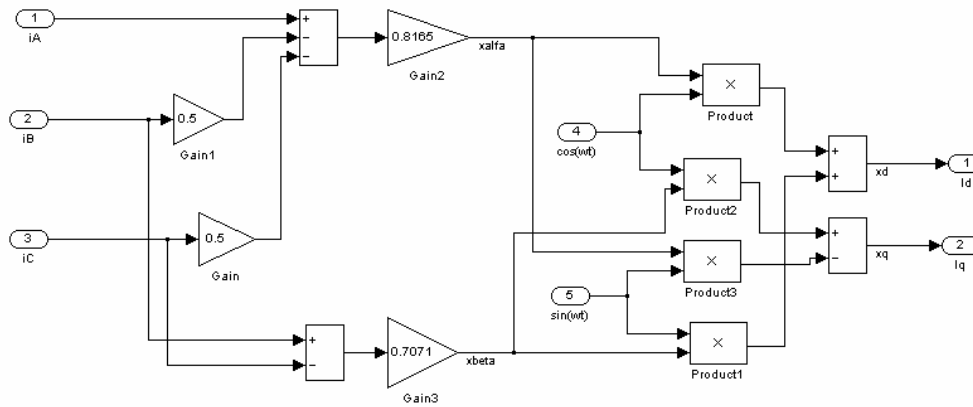


Figura D.19 Bloc transformació Park intensitats

### Llaç de corrent

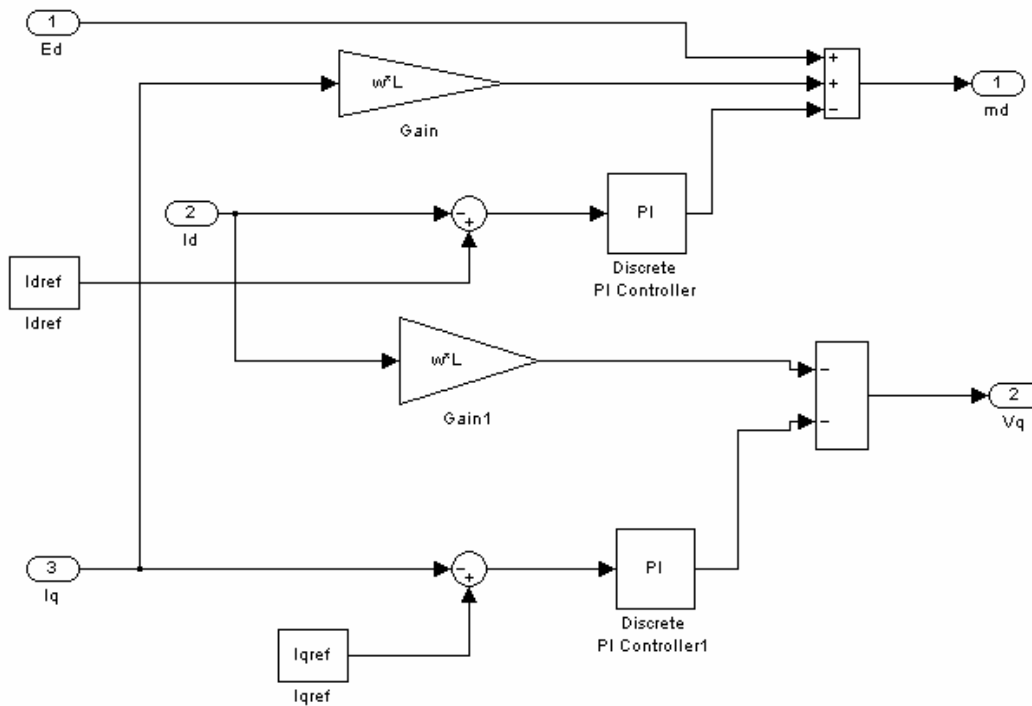


Figura D.20 Bloc llaç de corrent



**Control tensió**

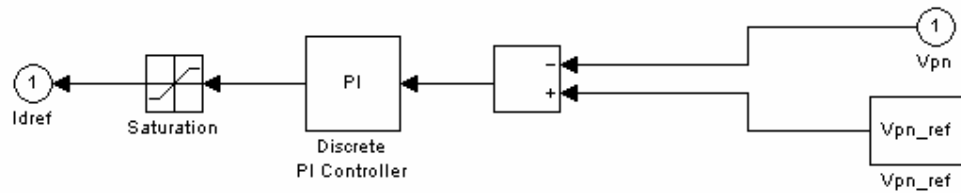


Figura D.21 Bloc control tensió

**Modulador**

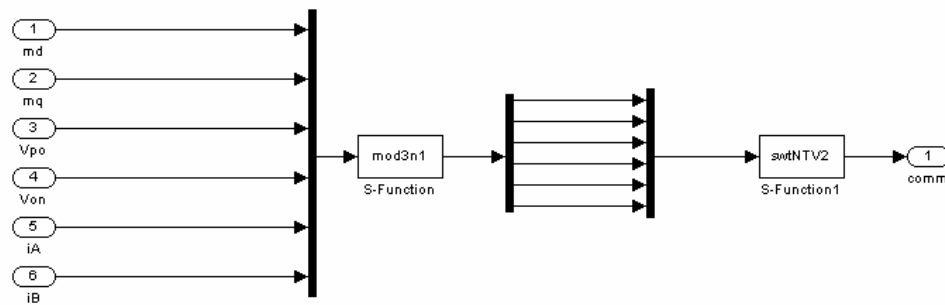


Figura D.22 Bloc modulador

**S-Function (mod3n1.c)**

```

/* Fitxer : mod3n1.c
* Abstract:
*   arxiu per generar els duty-ratio corresponents al vector de referencia en cada instant.
* Sis entrades:
*   1. Component Vd del vector de tensio de referencia
*   2. Component Vq del vector de tensio de referencia
*   3. Tensio Vc1 (bus de continua)
*   4. Tensio Vc2 (bus de continua)
*   5. Corrent ia
*   6. Corrent ib
*
* Sis sortides:
*   1. Duty-ratio primer estat de commutacio
*   2. Duty-ratio segon estat de commutacio
*   3. Duty-ratio tercer estat de commutacio
*   4. Sextant
*   5. Regio
*   6. Sequencia
*/
    
```



```

#define S_FUNCTION_NAME mod3n1
#define S_FUNCTION_LEVEL 2

#include "simstruc.h"
#include <math.h>
#define Ts(S) ssGetSFcnParam(S,0)
#define pi 3.1416

typedef enum {fals,cert} logic;

/*=====
 * Build checking *
 *=====*/

/* Function: mdlInitializeSizes =====
 * Abstract:
 * Setup sizes of the various vectors.
 */
static void mdlInitializeSizes(SimStruct *S)
{
    ssSetNumSFcnParams(S, 1);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

    if (!ssSetNumInputPorts(S, 1)) return;
    ssSetInputPortWidth(S, 0, 6);
    ssSetInputPortDirectFeedThrough(S, 0, 1);

    if (!ssSetNumOutputPorts(S,1)) return;
    ssSetOutputPortWidth(S, 0, 8);

    ssSetNumSampleTimes(S, 1);

    /* Take care when specifying exception free code - see sfuntmpl_doc.c */
    ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |
        SS_OPTION_USE_TLC_WITH_ACCELERATOR);
}

/* Function: mdlInitializeSampleTimes =====
 * Abstract:
 * Specify that we inherit our sample time from the driving block.
 */
static void mdlInitializeSampleTimes(SimStruct *S)
{
    const real_T *temps = mxGetPr(Ts(S));

    ssSetSampleTime(S, 0, *temps);
    ssSetOffsetTime(S, 0, 0.0);
}

/* Function: mdlOutputs =====
 *
 */
static void mdlOutputs(SimStruct *S, int_T tid)

```



```

{
  int_T      sext, reg, seq;
  const real_T  w=2*pi*50;
  const real_T  k=2/sqrt(3);
  logic y1, y2;

  real_T Vdc, md, mq, mg, mdp, mqp, mod, lim, mh, m1, m2;
  real_T Vc1, Vc2, ia, ib, ic, iap, icp;
  real_T da=0, db=0, dc=0, dd=0, de=0, df=0;
  real_T ex0, ex1, ex2;

  InputRealPtrsType uPtrs = ssGetInputPortRealSignalPtrs(S,0);

  real_T      *y = ssGetOutputPortRealSignal(S,0);
  /*int_T      width = ssGetOutputPortWidth(S,0);*/

  Vc1 = *uPtrs[2];
  Vc2 = *uPtrs[3];
  Vdc= Vc1+Vc2;
  ia = *uPtrs[4];
  ib = *uPtrs[5];
  ic = -(ia+ib);

  if (Vdc < 0.1)
    {Vdc = 0.1;}

  /*if ((Vdc<0)&&(Vdc > -1e-6))
    {Vdc = -1e-6;}*/

  mdp = (*uPtrs[0])*sqrt(6)/Vdc;
  mqp = (*uPtrs[1])*sqrt(6)/Vdc;

  /*mdp = (*uPtrs[0])*sqrt(6)/800;
  *mqp = (*uPtrs[1])*sqrt(6)/800;*/

  mod = sqrt(mdp*mdp+mqp*mqp);
  lim = sqrt(3);

  if (mod>lim){
    md = lim*mdp/mod;
    mq = lim*mqp/mod;
  } else {
    md = mdp;
    mq = mqp;
  }

  /*if (mdp<0){
  * md=0;}
  *
  *if (mqp<0){
  * mq=0;}*/

  /* Transformacio dq - gh =====*/

  mg = k*(md*sin(w*ssGetT(S)+2*pi/3)+mq*cos(w*ssGetT(S)+2*pi/3));
  mh = k*(md*sin(w*ssGetT(S))+mq*cos(w*ssGetT(S)));

  /* Determinacio del sextant =====*/

  if ((mg>=0)&&(mh>=0))
    {sext = 0;
    m1 = mg;
    m2 = mh;

```



```

iap = ia;
icp = ic;}

if ((mg<0)&&(mh>=0))
{if ((mg+mh)>=0){
  sext = 1;
  m1 = -mg;
  m2 = mg+mh;
  iap = ib;
  icp = ic;
}else{
  sext = 2;
  m1 = mh;
  m2 = -mg-mh;
  iap = ib;
  icp = ia;
}
}

if ((mg<0)&&(mh<0))
{sext = 3;
 m1 = -mh;
 m2 = -mg;
 iap = ic;
 icp = ia;}

if ((mg>=0)&&(mh<0))
{if ((mg+mh)<0){
  sext = 4;
  m1 = -mg-mh;
  m2 = mg;
  iap = ic;
  icp = ib;
}else{
  sext = 5;
  m1 = mg+mh;
  m2 = -mh;
  iap = ia;
  icp = ib;
}
}
/* y[6] = md*cos(w*ssGetT(S))-mq*sin(w*ssGetT(S));
/* y[7] = md*sin(w*ssGetT(S))+mq*cos(w*ssGetT(S));
y[3]=sext;

/* Funcions de sequencia =====*/

if (((Vc1>=Vc2)&&(iap<=0))||((Vc1<Vc2)&&(iap>0)))
{y1 = cert;
}else{
  y1 = fals;
}

if (((Vc1<=Vc2)&&(icp<=0))||((Vc1>Vc2)&&(icp>0)))
{y2 = cert;
}else{
  y2 = fals;
}

/*      Determinacio      de      la      regio      i      de      la      sequencia
=====
* da = duty ratio de poo/onm
* db = duty ratio de pnn
* dc = duty ratio de pon

```





```

* dd = duty ratio de ppo/oon
* de = duty ratio ppn
* df = duty ratio de ppp/ooo/nnn
*/

```

```

if (m1>=1)
    {reg = 0;
    da = 2-m1-m2;
    db = m1-1;
    dc = m2;
    seq = y1;}

```

```

if (m2>=1)
    {reg = 2;
    dc = m1;
    dd = 2-m1-m2;
    de = m2-1;
    seq = y2;}

```

```

if ((m1<1)&&(m2<1))
    {if ((m1+m2)<=1){
    reg = 3;
    da = m1;
    dd = m2;
    df = 1-m1-m2;
    }else{
    reg = 1;
    da = 1-m2;
    dc = m1+m2-1;
    dd = 1-m1;
    }
}

```

```

switch (y1) {
case fals:
    switch (y2) {
    case fals:
        seq = 0;
        break;
    case cert:
        seq = 1;
        break;
    }
    break;
case cert:
    switch (y2) {
    case fals:
        seq = 2;
        break;
    case cert:
        seq = 3;
        break;
    }
    break;
}
}

```

```

y[4] = reg;
/*y[4] = m2;*/
y[5] = seq;

```

```

switch (reg) {
case 0:
    switch (seq) {
    case 0:

```



```
        ex0 = da;
        ex1 = db;
        ex2 = dc;
        break;
    case 1:
        ex0 = db;
        ex1 = dc;
        ex2 = da;
        break;
    }
    break;
case 1:
    switch (seq) {
        case 0:
            ex0 = da;
            ex1 = dd;
            ex2 = dc;
            break;
        case 1:
            ex0 = da;
            ex1 = dc;
            ex2 = dd;
            break;
        case 2:
            ex0 = dd;
            ex1 = dc;
            ex2 = da;
            break;
        case 3:
            ex0 = dc;
            ex1 = da;
            ex2 = dd;
            break;
    }
    break;
case 2:
    switch (seq) {
        case 0:
            ex0 = dd;
            ex1 = dc;
            ex2 = de;
            break;
        case 1:
            ex0 = dc;
            ex1 = de;
            ex2 = dd;
            break;
    }
    break;
case 3:
    switch (seq) {
        case 0:
            ex0 = da;
            ex1 = dd;
            ex2 = df;
            break;
        case 1:
            ex0 = da;
            ex1 = df;
            ex2 = dd;
            break;
        case 2:
            ex0 = dd;
            ex1 = df;
```



```

        ex2 = da;
        break;
    case 3:
        ex0 = df;
        ex1 = da;
        ex2 = dd;
        break;
    }
    break;
}

if (ex0<=0.001)
{ex0=0.001;
  if (ex1<=ex2){
    if (ex1<=0.001){
      ex1=0.001;
    }
    ex2=1-ex0-ex1;
  } else {
    if (ex2<=0.001){
      ex2=0.001;
    }
    ex1=1-ex0-ex2;
  }
} else {
  if (ex1<=0.001){
    ex1=0.001;
    if (ex0<=ex2){
      ex2=1-ex0-ex1;
    } else {
      if (ex2<=0.001){
        ex2=0.001;
      }
      ex0=1-ex1-ex2;
    }
  } else {
    if (ex2<=0.001){
      ex2=0.001;
      if (ex1>ex0){
        ex1=1-ex0-ex2;
      } else {
        ex0=1-ex1-ex2;
      }
    }
  }
}
}

y[0] = ex0;
y[1] = ex1;
y[2] = ex2;
}

/*Function: mdlTerminate
=====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}

#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */

```



```
#include "simulink.c" /* MEX-file interface mechanism */
#else
#include "cg_sfuns.h" /* Code generation registration function */
#endif
```

### S-Function1 (swtNTV2.m)

```
function [sys,x0,str,ts] = swtNTV2(t,x,u,flag,Ts)
%Generacio dels polsos de control dels IGBT's
% entrades:
% u(1)=primer estat de commutacio de la sequencia (períodes parells) o be el tercer (períodes senars)
% u(2)=segon estat de commutacio de la sequencia
% u(3)=tercer estat de commutacio de la sequencia (períodes parells) o be el primer (períodes senars)
% u(4)=codificacio del sextant
% u(5)=codificacio de regio
% u(6)=codificacio de sequencia
%
% Estats:
% x(1), x(2) per als temps de commutacio
% x(3) per a la situacio dels temps de commutacio
% x(4) per a l'entrellaçat
% x(5) per al sextant
% x(6) per a la regio
% x(7) per a la sequencia
%
% The following outlines the general structure of an S-function.
%
```

switch flag,

```
%%%%%%%%%%
```

```
% Initialization %
```

```
%%%%%%%%%%
```

```
case 0,
```

```
    [sys,x0,str,ts]=mdlInitializeSizes;
```

```
%%%%%%%%%%
```

```
% Update %
```

```
%%%%%%%%%%
```

```
case 2,
```

```
    sys=mdlUpdate(t,x,u);
```

```
%%%%%%%%%%
```

```
% Outputs %
```

```
%%%%%%%%%%
```

```
case 3,
```

```
    sys=mdlOutputs(t,x,u,Ts);
```

```
%%%%%%%%%%
```

```
% GetTimeOfNextVarHit %
```

```
%%%%%%%%%%
```

```
case 4,
```

```
    sys=mdlGetTimeOfNextVarHit(t,x,u,Ts);
```

```
%%%%%%%%%%
```

```
% Terminate %
```

```
%%%%%%%%%%
```

```
case 9,
```

```
    sys=mdlTerminate(t,x,u);
```



```

%%%%%%%%%%
% Unhandled flags %
%%%%%%%%%%
case 1,
    sys = [];

%%%%%%%%%%
% Unexpected flags %
%%%%%%%%%%
otherwise
    error(['Unhandled flag = ',num2str(flag)]);

end

% end sfuntmpl

%
%=====
% mdlInitializeSizes
% Return the sizes, initial conditions, and sample times for the S-function.
%=====
%
function [sys,x0,str,ts]=mdlInitializeSizes

%
% call simsizes for a sizes structure, fill it in and convert it to a
% sizes array
%
sizes = simsizes;

sizes.NumContStates = 0;
sizes.NumDiscStates = 4;
sizes.NumOutputs    = 10; %l'hi he ficat una sortida per a comprovacions
sizes.NumInputs     = 6; %duty-ratio + sector
sizes.DirFeedthrough = 1;
sizes.NumSampleTimes = 1; % at least one sample time is needed

sys = simsizes(sizes);

%
% initialize the initial conditions
%
x0 = [0,0,-1,0]';

%
% str is always an empty matrix
%
str = [];

%
% initialize the array of sample times
%
ts = [-2 0]; % variable sample time

% end mdlInitializeSizes

%
%=====
% mdlUpdate
% Handle discrete state updates, sample time hits, and major time step
% requirements.
%=====
%

```



```

function sys=mdlUpdate(t,x,u)

switch x(3),

case -1,
    sys(1)=0;
    sys(2)=0;
    sys(3)=2;
    sys(4)=x(4);

case 2,
    if x(4)==0,
        sys(1)=u(2);
        sys(2)=u(3);
        sys(3)=0;
    else
        sys(1)=u(2);
        sys(2)=u(1);
        sys(3)=0;
    end
    sys(4)=x(4);

case {0,1},
    sys(1)=x(2);
    sys(2)=0;
    sys(3)=x(3)+1;
    if x(3)==1,
        sys(4)=1-x(4);
    else
        sys(4)=x(4);
    end

end

% end mdlUpdate

%
%=====
% mdlOutputs
% Return the block outputs.
%=====
%
function sys=mdlOutputs(t,x,u,Ts)
% generem el vector de variables sequencia
switch x(3),

case -1,

    vectsys=[0,1,0,0,0,1,0,0,1];

case 2,
    if x(4)==0,
        switch u(5),
            case 0,
                if u(6)==0,
                    vectsys=[0,1,0,0,0,1,0,0,1];
                else
                    vectsys=[1,0,0,0,0,1,0,0,1];
                end

            case 1,
                switch u(6),
                    case {0,1},
                        vectsys=[0,1,0,0,0,1,0,0,1];
                end
        end
    end
end

```



```
        case 2,
            vectsys=[0,1,0,0,1,0,0,0,1];
        case 3,
            vectsys=[1,0,0,0,1,0,0,0,1];
    end

    case 2,
        if u(6)==0,
            vectsys=[0,1,0,0,1,0,0,0,1];
        else
            vectsys=[1,0,0,0,1,0,0,0,1];
        end

    case 3,
        switch u(6),
            case {0,1},
                vectsys=[0,1,0,0,0,1,0,0,1];
            case 2,
                vectsys=[0,1,0,0,1,0,0,0,1];
            case 3,
                vectsys=[0,1,0,0,1,0,0,1,0];
        end
    end
else
    switch u(5),
        case 0,
            if u(6)==0,
                vectsys=[1,0,0,0,1,0,0,0,1];
            else
                vectsys=[1,0,0,0,1,0,0,1,0];
            end

        case 1,
            switch u(6),
                case 0,
                    vectsys=[1,0,0,0,1,0,0,0,1];
                case {1,3},
                    vectsys=[1,0,0,1,0,0,0,1,0];
                case 2,
                    vectsys=[1,0,0,0,1,0,0,1,0];
            end

        case 2,
            if u(6)==0,
                vectsys=[1,0,0,1,0,0,0,0,1];
            else
                vectsys=[1,0,0,1,0,0,0,1,0];
            end

        case 3,
            switch u(6),
                case 0,
                    vectsys=[0,1,0,0,1,0,0,1,0];
                case {1,3},
                    vectsys=[1,0,0,1,0,0,0,1,0];
                case 2,
                    vectsys=[1,0,0,0,1,0,0,1,0];
            end
        end
    end
end

case 0,
    switch u(5),
        case 0,
```



```

    if u(6)==0,
        vectsys=[1,0,0,0,0,1,0,0,1];
    else
        vectsys=[1,0,0,0,1,0,0,0,1];
    end

case 1,
    switch u(6),
        case 0,
            vectsys=[0,1,0,0,1,0,0,0,1];
        case {1,2},
            vectsys=[1,0,0,0,1,0,0,0,1];
        case 3,
            vectsys=[1,0,0,0,1,0,0,1,0];
        end

case 2,
    if u(6)==0,
        vectsys=[1,0,0,0,1,0,0,0,1];
    else
        vectsys=[1,0,0,1,0,0,0,0,1];
    end

case 3,
    switch u(6),
        case 0,
            vectsys=[0,1,0,0,1,0,0,0,1];
        case {1,2},
            vectsys=[0,1,0,0,1,0,0,1,0];
        case 3,
            vectsys=[1,0,0,0,1,0,0,1,0];
        end
end

case 1,
    if x(4)==0,
        switch u(5),
            case 0,
                if u(6)==0,
                    vectsys=[1,0,0,0,1,0,0,0,1];
                else
                    vectsys=[1,0,0,0,1,0,0,1,0];
                end
            case 1,
                switch u(6),
                    case 0,
                        vectsys=[1,0,0,0,1,0,0,0,1];
                    case {1,3},
                        vectsys=[1,0,0,1,0,0,0,1,0];
                    case 2,
                        vectsys=[1,0,0,0,1,0,0,1,0];
                    end
            case 2,
                if u(6)==0,
                    vectsys=[1,0,0,1,0,0,0,0,1];
                else
                    vectsys=[1,0,0,1,0,0,0,1,0];
                end
            case 3,
                switch u(6),
                    case 0,

```





```

        vectsys=[0,1,0,0,1,0,0,1,0];
        case {1,3},
            vectsys=[1,0,0,1,0,0,0,1,0];
        case 2,
            vectsys=[1,0,0,0,1,0,0,1,0];
    end
end
else
switch u(5),
    case 0,
        if u(6)==0,
            vectsys=[0,1,0,0,0,1,0,0,1];
        else
            vectsys=[1,0,0,0,0,1,0,0,1];
        end

    case 1,
        switch u(6),
            case {0,1},
                vectsys=[0,1,0,0,0,1,0,0,1];
            case 2,
                vectsys=[0,1,0,0,1,0,0,0,1];
            case 3,
                vectsys=[1,0,0,0,1,0,0,0,1];
            end

    case 2,
        if u(6)==0,
            vectsys=[0,1,0,0,1,0,0,0,1];
        else
            vectsys=[1,0,0,0,1,0,0,0,1];
        end

    case 3,
        switch u(6),
            case {0,1},
                vectsys=[0,1,0,0,0,1,0,0,1];
            case 2,
                vectsys=[0,1,0,0,1,0,0,0,1];
            case 3,
                vectsys=[0,1,0,0,1,0,0,1,0];
            end
        end
    end

end

end

for i=1:3,

    vectsysa(i)=vectsys(i);
    vectsysb(i)=vectsys(i+3);
    vectsysc(i)=vectsys(i+6);

end

switch u(4),
    case 0,

        sys=[vectsys,Ts];

    case 1,

        sys=[vectsysb,vectsysa,vectsysc,Ts];

```



```

case 2,
    sys=[vectsysc,vectsysa,vectsysb,Ts];
case 3,
    sys=[vectsysc,vectsysb,vectsysa,Ts];
case 4,
    sys=[vectsysb,vectsysc,vectsysa,Ts];
case 5,
    sys=[vectsysa,vectsysc,vectsysb,Ts];
end

% end mdlOutputs

%
%=====
% mdlGetTimeOfNextVarHit
% Return the time of the next hit for this block. Note that the result is
% absolute time.
%=====
%
function sys=mdlGetTimeOfNextVarHit(t,x,u,Ts)

switch x(3),

case -1,
    sys=t+Ts

case 2,
    if x(4)==0,
        sys=t+u(1)*Ts;
    else
        sys=t+u(3)*Ts;
    end

case {0,1},
    sys=t+x(1)*Ts;

end

% end mdlGetTimeOfNextVarHit

%
%=====
% mdlTerminate
% Perform any end of simulation tasks.
%=====
%
function sys=mdlTerminate(t,x,u)

sys = [];

% end mdlTerminate

```



## ANNEX E. MODELS DE VERIFICACIÓ EXPERIMENTAL

En aquest annex es detalla la programació que s'ha realitzat al dispositiu de control dSPACE. Tal i com s'ha comentat a la descripció de l'entorn de control (C.2.1), la programació ha estat mitjançant l'entorn Simulink del programa informàtic Matlab. La gran flexibilitat d'aquesta eina de programació fa que es pugui modificar el disseny de forma ràpida i poder realitzar d'aquest forma múltiples experiments.

En aquest annex es mostren els models generals (monofàsic i trifàsic) que s'han utilitzat com a punt de partida, i a partir dels quals s'han introduït les modificacions necessàries per tal d'implementar allò que s'ha volgut estudiar en cada cas.

### E.1. Monofàsic

#### Esquema principal

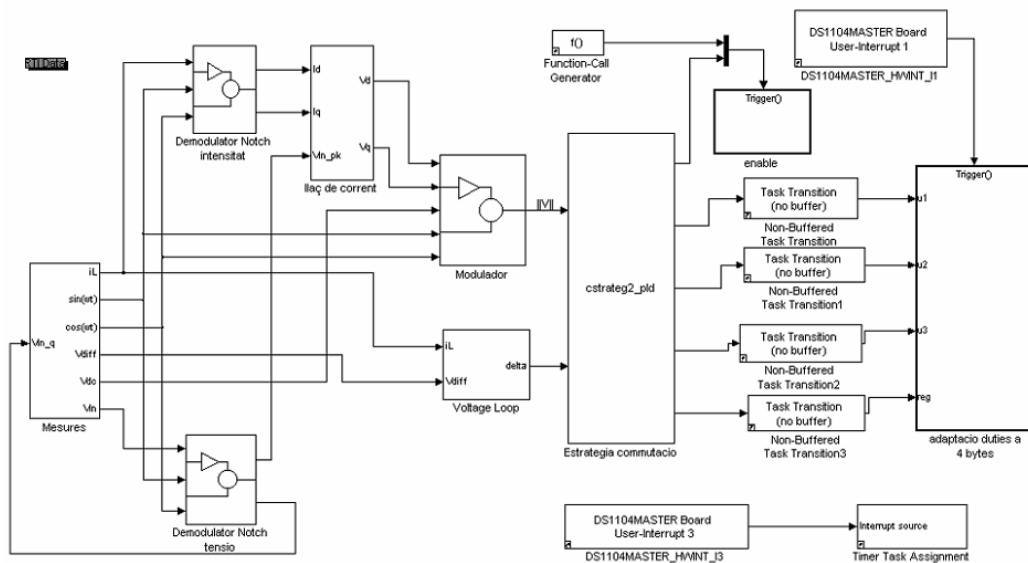


Figura E.1 Esquema principal model experimentació monofàsic



### Mesures

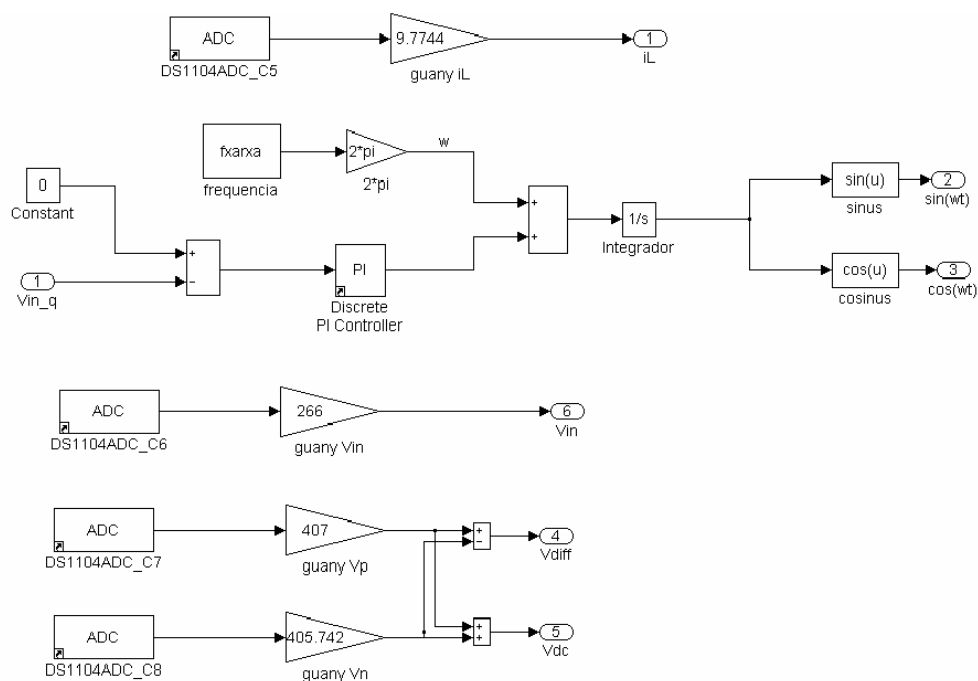


Figura E.2 Bloc mesures

### Desmodulador Notch intensitat

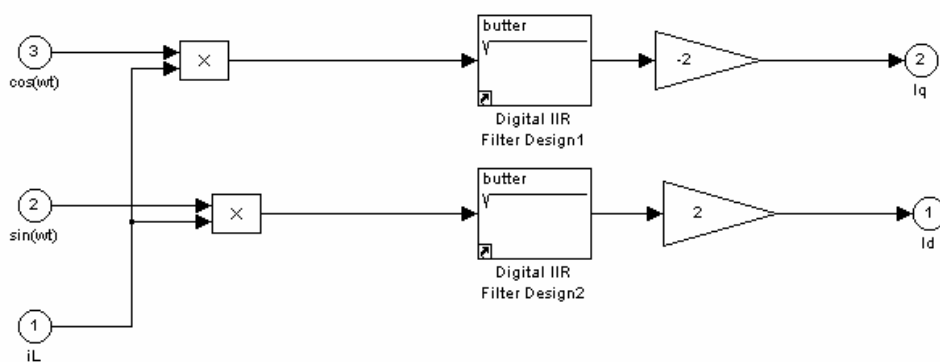


Figura E.3 Bloc desmodulador Notch intensitat



**Desmodulador Notch tensió**

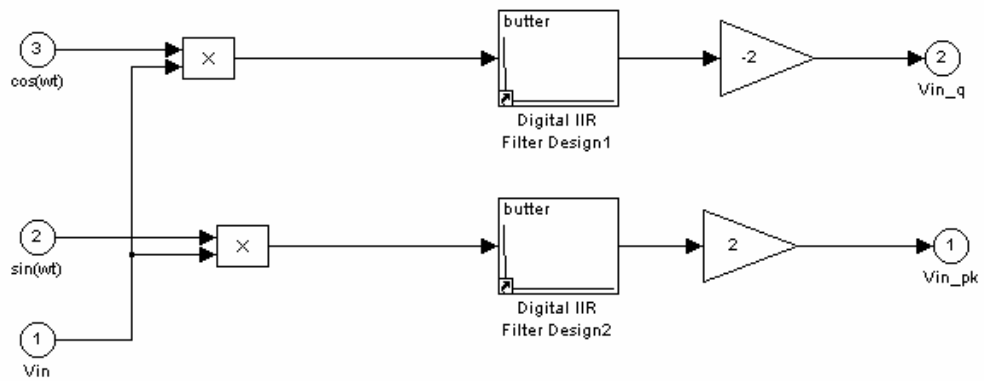


Figura E.4 Bloc desmodulador Notch tensió

**Llaç de corrent**

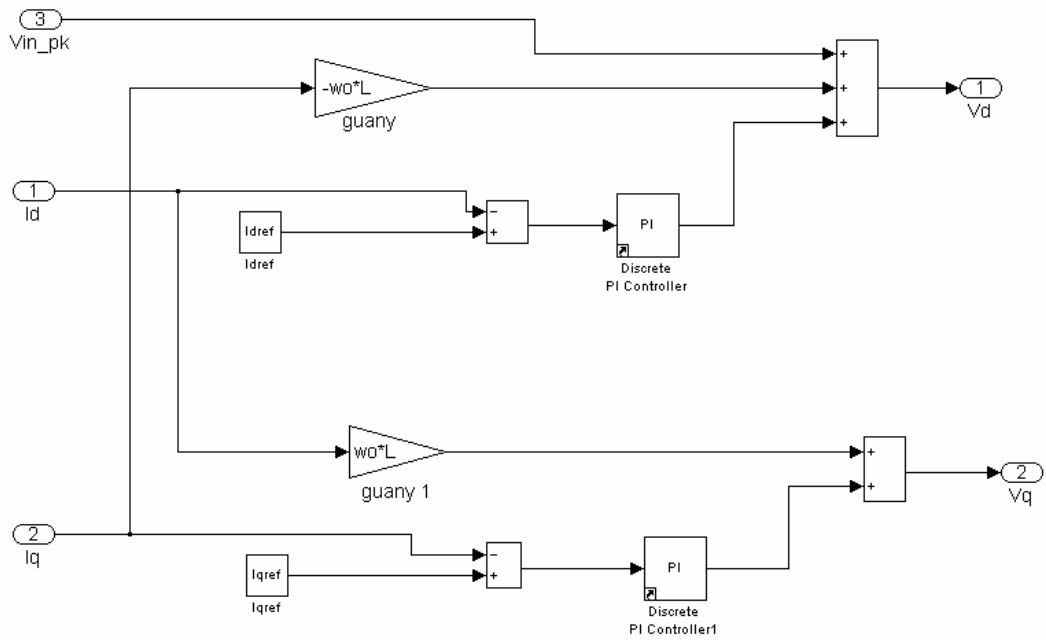


Figura E.5 Bloc llaç de corrent



### Voltage loop

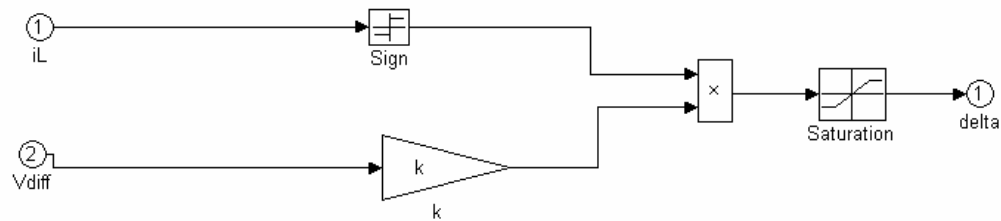


Figura E.6 Bloc voltage loop

### Modulador

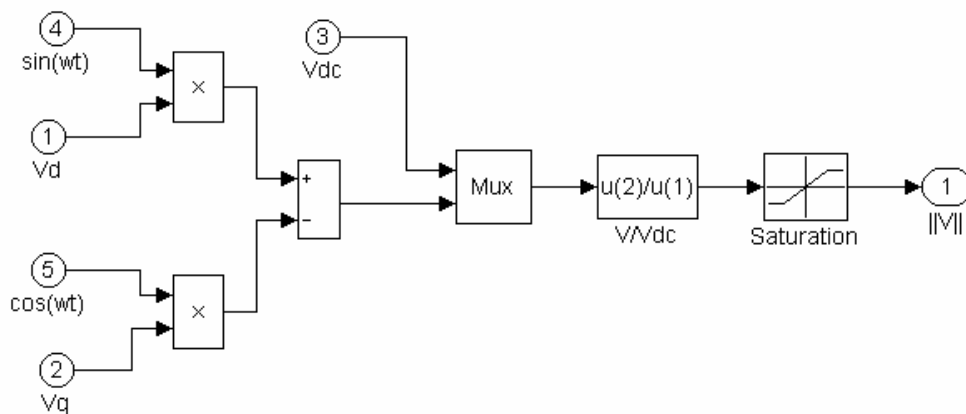


Figura E.7 Bloc modulador

### Estratègia de commutació (cstrateg2\_pld.c)

```

/* Copyright 1990-2001 The MathWorks, Inc.
 * $Revision: 1.10 $
 */

```

```

#define S_FUNCTION_NAME cstrateg2_pld
#define S_FUNCTION_LEVEL 2

```

```

#include "simstruc.h"
#include <math.h>

```

```

#define u0 (*uPtrs0[0]) /* Pointer to Input Port0 */

```



```

#define u1 (*uPtrs1[0]) /* Pointer to Input Port1 */
/*=====
 * Build checking *
 *=====*/

/* Function: mdlInitializeSizes =====
 * Abstract:
 * Setup sizes of the various vectors.
 */
static void mdlInitializeSizes(SimStruct *S)
{
    ssSetNumSFcnParams(S, 0);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

    {
        int_T i;
        if (!ssSetNumInputPorts(S, 2)) return;
        for (i = 0; i < 2; i++) {
            ssSetInputPortWidth(S, i, 1);
        }
    }

    {
        int_T i;
        if (!ssSetNumOutputPorts(S, 5)) return;
        for (i = 0; i < 5; i++) {
            ssSetOutputPortWidth(S, i, 1);
        }
    }

    ssSetNumSampleTimes(S, 1);

    /* Take care when specifying exception free code - see sfuntmpl_doc.c */
    ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |
        SS_OPTION_USE_TLC_WITH_ACCELERATOR);
}

/* Function: mdlInitializeSampleTimes =====
 * Abstract:
 * Specify that we inherit our sample time from the driving block.
 */
static void mdlInitializeSampleTimes(SimStruct *S)
{
    ssSetSampleTime(S, 0, INHERITED_SAMPLE_TIME);
    ssSetOffsetTime(S, 0, 0.0);

    ssSetCallSystemOutput(S,0);
}

/* Function: mdlOutputs =====
 *
 *
 */
static void mdlOutputs(SimStruct *S, int_T tid)
{
    real_T e0, e1, frontera, abk, limit3, limit4;
    real_T limit1 = 0.5;
    real_T limit2 = -0.5;
    InputRealPtrsType uPtrs0 = ssGetInputPortRealSignalPtrs(S,0);

```



```

InputRealPtrsType uPtrs1 = ssGetInputPortRealSignalPtrs(S,1);

real_T      *y0 = ssGetOutputPortRealSignal(S,0);
real_T      *y1 = ssGetOutputPortRealSignal(S,1);
real_T      *y2 = ssGetOutputPortRealSignal(S,2);
real_T      *y3 = ssGetOutputPortRealSignal(S,3);
real_T      *y4 = ssGetOutputPortRealSignal(S,4);

e0=u0;
e1=u1;

abk=fabs(e1);
limit3=abk/2.0;
limit4=-abk/2.0;

/*y0[0]=0;*/

if (e0>1.0) {
    e0=1.0;} else {
    if (e0<-1.0){
        e0=-1.0;
    }
}

if (e0>limit1){
    frontera=2.0*(1-(e0));

    if (abk>frontera) {
        if (e1>=0) {
            e1=frontera;
        } else {
            e1=-frontera;
        }
    }
    y1[0]=1-e0+e1/2;
    y2[0]=2.0*e0-1;
    y3[0]=1-e0-e1/2;
    y4[0]=0;
}

if ((e0<=limit1)&&(e0>limit3)){
    y1[0]=e0+e1/2;
    y2[0]=1-2*e0;
    y3[0]=e0-e1/2;
    y4[0]=1;
}

if ((e0<=limit3)&&(e0>limit4)){
    y2[0]=1-abk;
    if (e1>=0){
        y1[0]=e0+e1/2;
        y3[0]=-e0+e1/2;
        y4[0]=2;
    } else {
        y1[0]=-e0+abk/2;
        y3[0]=e0+abk/2;
        y4[0]=3;
    }
}

if ((e0<=limit4)&&(e0>limit2)){
    y1[0]=-e0-e1/2;
    y2[0]=1+2*e0;
    y3[0]=-e0+e1/2;
    y4[0]=4;
}

```





```

if (e0<=limit2){
    frontera=2.0*(1+e0);

    if (abk>frontera) {
        if (e1>=0) {
            e1=frontera;
        }
        else {
            e1=-frontera;
        }
    }
    y1[0]=1+e0-e1/2;
    y2[0]=-1-2*e0;
    y3[0]=1+e0+e1/2;
    y4[0]=5;
}
#undef CORRECCIO_DUTIES
#if defined(CORRECCIO_DUTIES)
if (y1[0]<=0.02){
    y1[0]=0.02;
    if (y2[0]>y3[0]) {
        y2[0]=y2[0]-0.02;
    } else {
        y3[0]=y3[0]-0.02;
    }
}
if (y2[0]<=0.02){
    y2[0]=0.02;
    if (y1[0]>y3[0]) {
        y1[0]=y1[0]-0.02;
    } else {
        y3[0]=y3[0]-0.02;
    }
}
if (y3[0]<=0.02){
    y3[0]=0.02;
    if (y2[0]>y1[0]) {
        y2[0]=y2[0]-0.02;
    } else {
        y1[0]=y1[0]-0.02;
    }
}
#endif /*CORRECCIO DUTIES*/
UNUSED_ARG(tid); /* not used in single tasking mode */

if (!ssCallSystemWithTid(S,0,tid)) {
    /* Error occurred which will be reported by Simulink */
    return;
}
}

/* Function: mdlTerminate =====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}
#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */
#include "simulink.c" /* MEX-file interface mechanism */
#else
#include "cg_sfun.h" /* Code generation registration function */
#endif

```



### Enable

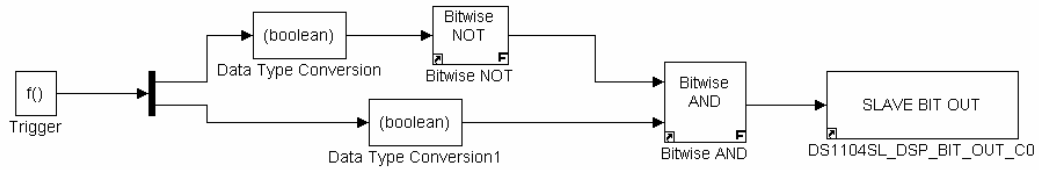


Figura E.8 Bloc enable

### Adaptació duties a 4 bytes

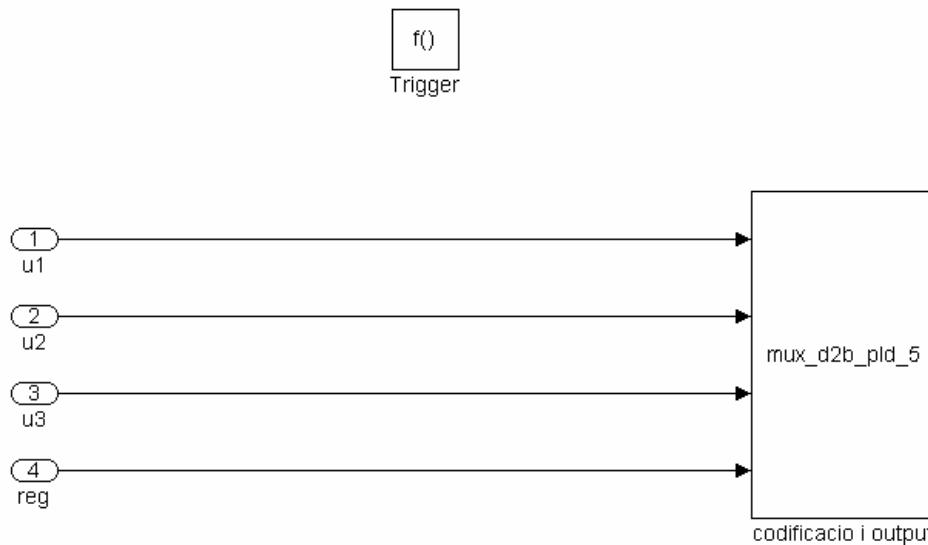


Figura E.9 Bloc adaptació duties a 4 bytes

### Codificació i output (mux\_d2b\_pld\_5.c)

/\* Fitxer : mux\_d2b\_pld\_5.c

\* Abstract:

\* arxiu per multiplexar temporalment 8 entrades reals i convertir la sortida a binari.

\* 8 entrades:

- \* 1. Duty-ratio 1
- \* 2. Duty-ratio 2
- \* 3. Duty-ratio 3
- \* 4. Codificacio de sector



```

*
* una sortida de 16 bits:
*   Primera vegada: duties 1 i 2
*   Segona volta: duty 3 i informacio de posicionament
*/

#define S_FUNCTION_NAME mux_d2b_pld_5
#define S_FUNCTION_LEVEL 2

#include "simstruc.h"
#include <math.h>
#ifndef MATLAB_MEX_FILE
#include <ds1104.h>
#include <io1104.h>
#endif

typedef struct {
    char_T byte1;
    char_T byte2;
    char_T byte3, byte4;
} ByteStruct;

typedef union {
    UINT32_T word_out;
    ByteStruct quatre_bytes;
} sortida;

/*=====
* Build checking *
*=====*/

/* Function: mdlInitializeSizes =====
* Abstract:
* Setup sizes of the various vectors.
*/
static void mdlInitializeSizes(SimStruct *S)
{
    ssSetNumSFcnParams(S, 0);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

    ssSetNumContStates(S, 0);
    ssSetNumDiscStates(S, 1);

    if (!ssSetNumInputPorts(S, 4)) return;

    {
        int_T i;

        for (i = 0; i < 4; i++) {
            ssSetInputPortWidth(S, i, 1);
            ssSetInputPortDirectFeedThrough(S, i, 1);
        }
    }

    if (!ssSetNumOutputPorts(S, 0)) return;

    ssSetNumSampleTimes(S, 1);

```



```

/* Take care when specifying exception free code - see sfuntmpl_doc.c */
ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |
             SS_OPTION_USE_TLC_WITH_ACCELERATOR | SS_OPTION_PLACE_ASAP);
}

/* Function: mdlInitializeSampleTimes =====
* Abstract:
* Specify that we inherit our sample time from the driving block.
*/
static void mdlInitializeSampleTimes(SimStruct *S)
{
    ssSetSampleTime(S, 0, INHERITED_SAMPLE_TIME);
    ssSetOffsetTime(S, 0, 0.0);
}

#define MDL_START /* Change to #undef to remove function */
#if defined(MDL_START)
/* Function: mdlStart =====
* Abstract:
* This function is called once at start of model execution. If you
* have states that should be initialized once, this is the place
* to do it.
*/
static void mdlStart(SimStruct *S)
{
    real_T *x0 = ssGetRealDiscStates(S);
    *x0 = 0.0;

    #ifndef MATLAB_MEX_FILE

    ds1104_bit_io_init(DS1104_DIO0_OUT|DS1104_DIO1_OUT|DS1104_DIO2_OUT|DS1104_DIO3_OUT|DS1104
    _DIO4_OUT|DS1104_DIO5_OUT|DS1104_DIO6_OUT|
    DS1104_DIO7_OUT|DS1104_DIO8_OUT|DS1104_DIO9_OUT|DS1104_DIO10_OUT|DS1104_DIO11_OUT|DS
    1104_DIO12_OUT|DS1104_DIO13_OUT|DS1104_DIO14_OUT|DS1104_DIO15_OUT);
    #endif
    }
#endif /* MDL_START */

/* Function: mdlInitializeConditions =====
*
*
*/

/*static void mdlInitializeConditions(SimStruct *S)
*{
* real_T *x0 = ssGetRealDiscStates(S);
*
* *x0 = 0.0;
*}
*/

/* Function: mdlOutputs =====
*
*/
void corregir(int_T s, int_T *min, int_T *max)
{
    if (s>255) {
        *max = *max-1;
    } else {
        if (s<255) {

```



```

        *min = *min+1;
    }
}

static void mdlOutputs(SimStruct *S, int_T tid)
{
    sortida      bits_20;

    real_T      mux[3], f, c, incf, incc;
    int_T      i, dec[3], suma;
    real_T      *x = ssGetRealDiscStates(S);

    InputRealPtrsType uPtrs0 = ssGetInputPortRealSignalPtrs(S,0);
    InputRealPtrsType uPtrs1 = ssGetInputPortRealSignalPtrs(S,1);
    InputRealPtrsType uPtrs2 = ssGetInputPortRealSignalPtrs(S,2);
    InputRealPtrsType uPtrs3 = ssGetInputPortRealSignalPtrs(S,3);

    mux[0]=*uPtrs0[0]*255;
    mux[1]=*uPtrs1[0]*255;
    mux[2]=*uPtrs2[0]*255;

    for (i=0;i<3;i++) {
        f = floor(mux[i]);
        c = ceil(mux[i]);
        incf = mux[i]-f;
        incc = c-mux[i];

        if (incf>=incc) {
            dec[i]=c;
        } else {
            dec[i]=f;
        }
    }

    suma = dec[0]+dec[1]+dec[2];

    if (dec[0]<=dec[1]) {
        if (dec[1]<=dec[2]) {
            corregir(suma, &dec[0], &dec[2]);
        } else {
            if (dec[0]<=dec[2]) {
                corregir(suma, &dec[0], &dec[1]);
            } else {
                corregir(suma, &dec[2], &dec[1]);
            }
        }
    } else {
        if (dec[1]<=dec[2]) {
            if (dec[0]<=dec[2]) {
                corregir(suma, &dec[1], &dec[2]);
            } else {
                corregir(suma, &dec[1], &dec[0]);
            }
        } else {
            corregir(suma, &dec[2], &dec[0]);
        }
    }
}

bits_20.quatre_bytes.byte1 = (char_T)0.0;
bits_20.quatre_bytes.byte2 = (char_T)0.0;

switch ((int) x[0]) {

```



```

case 0:
    bits_20.quatre_bytes.byte4 = (char_T) dec[0];
    bits_20.quatre_bytes.byte3 = (char_T) dec[1];

    #ifndef MATLAB_MEX_FILE
        ds1104_bit_io_write(bits_20.word_out);
    #endif

    break;

case 1:
    bits_20.quatre_bytes.byte4 = (char_T) dec[2];
    bits_20.quatre_bytes.byte3 = (char_T) *uPtrs3[0];

    #ifndef MATLAB_MEX_FILE
        ds1104_bit_io_write(bits_20.word_out);
    #endif

    break;
}
}

#define MDL_UPDATE
/* Function: mdlUpdate =====
*/
static void mdlUpdate(SimStruct *S, int_T tid)
{
    real_T    *x    = ssGetRealDiscStates(S);

    if (x[0]==1.0) {
        x[0]=0.0;
    } else {
        x[0]=x[0]+1.0;
    }
}

/* Function: mdlTerminate =====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}

#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */
#include "simulink.c" /* MEX-file interface mechanism */
#else
#include "cg_sfuns.h" /* Code generation registration function */
#endif

```



## E.2. Trifàsic

### Esquema principal

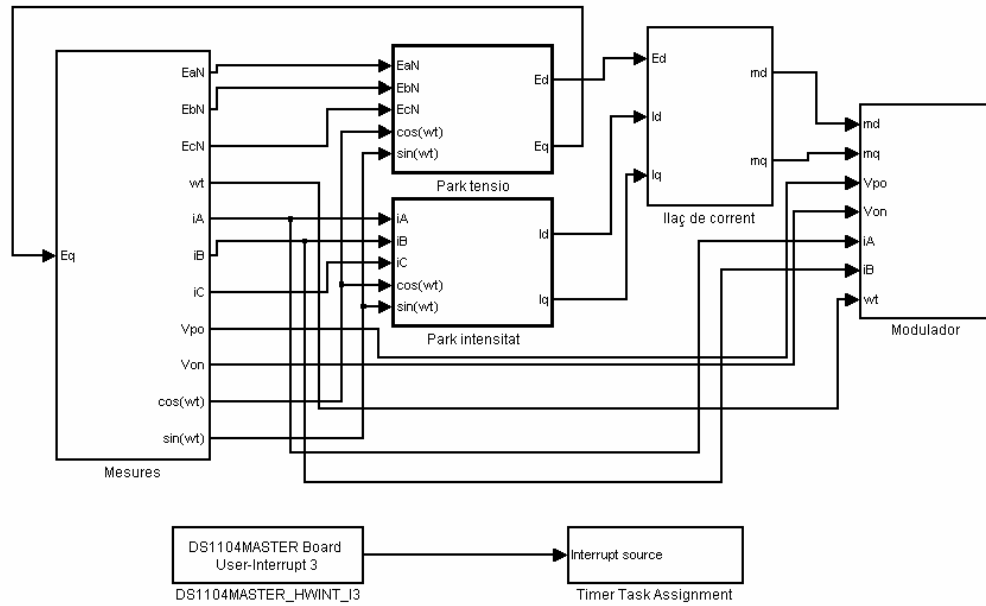


Figura E.10 Esquema principal del model d'experimentació trifàsic



### Mesures

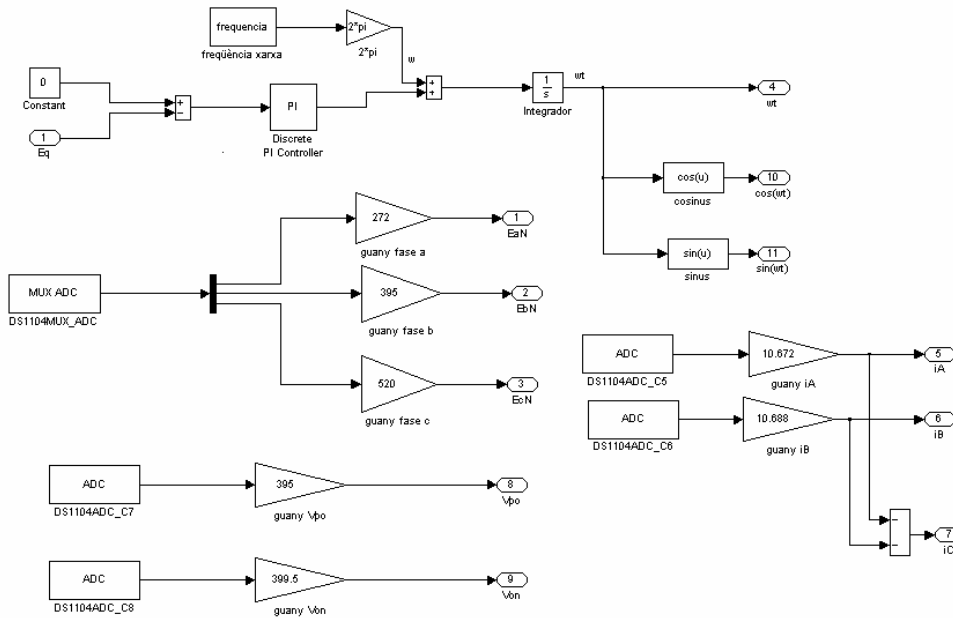


Figura E.11 Esquema Mesures

### Park tensió

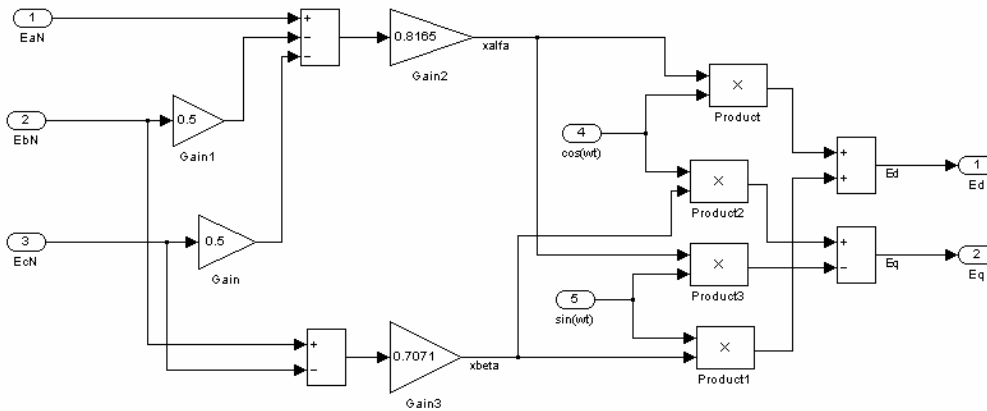


Figura E.12 Transformació d-q de les tensions trifàsiques d'entrada





**Park intensitat**

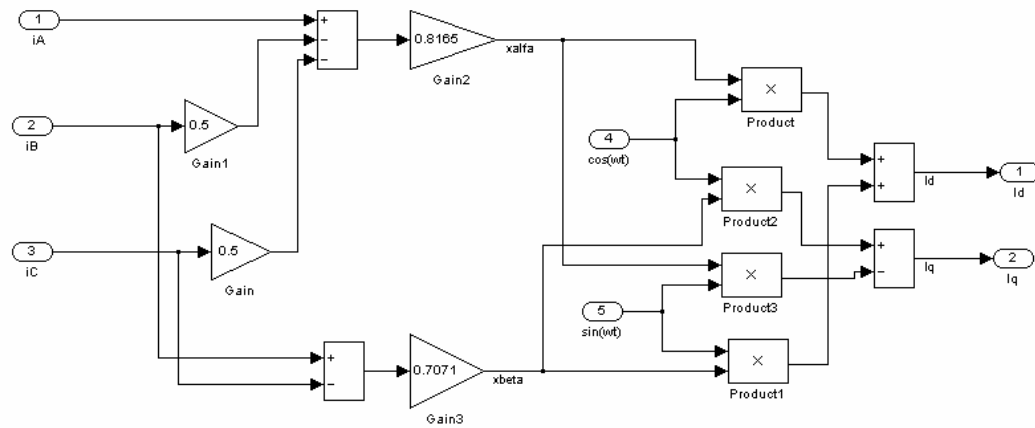


Figura E.13 Transformació d-q dels corrent trifàsics d'entrada

**Llaç de corrent**

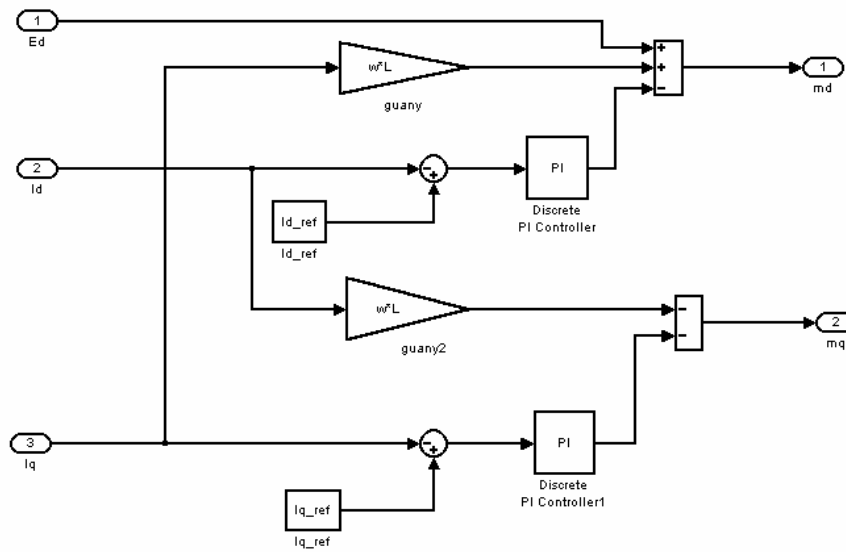


Figura E.14 Bloc llaç de corrent



## Modulador

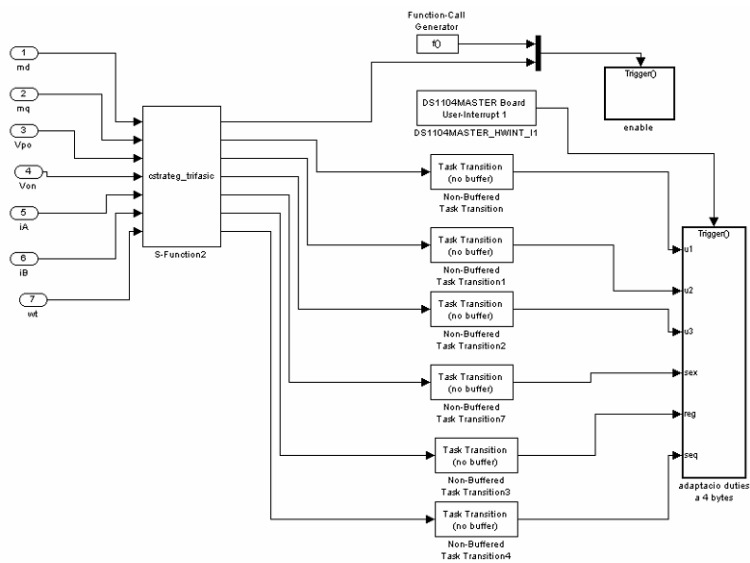


Figura E.15 Modulador càlcul duties

## Enable

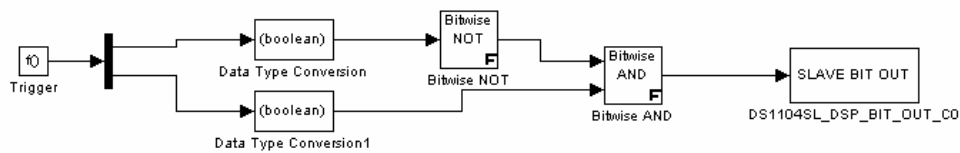


Figura E.16 Enable

## S-Function2 (cstrateg\_trifasic.c)

/\* Fitxer : cstrateg\_trifasic.c

\* Abstract:

\* arxiu per generar els duty-ratio corresponents al vector de referència en cada instant.

\* Sis entrades:

\* 0. Component Vd del vector de tensió de referència

\* 1. Component Vq del vector de tensió de referència

\* 2. Tensió Vc1 (bus de continua)



```

*   3. Tensio Vc2 (bus de continua)
*   4. Corrent ia
*   5. Corrent ib
*   6. wt
*
* Sis sortides:
*   0. Trigger-enable d'habilitacio de la PLD
*   1. Duty-ratio primer estat de commutacio
*   2. Duty-ratio segon estat de commutacio
*   3. Duty-ratio tercer estat de commutacio
*   4. Sextant
*   5. Regio
*   6. Sequencia
*
*/

#define S_FUNCTION_NAME cstrateg_trifasic
#define S_FUNCTION_LEVEL 2

#include "simstruc.h"
#include <math.h>
#define Ts(S) ssGetSFcnParam(S,0)
#define pi 3.1416

typedef enum {fals,cert} logic;

/*=====
 * Build checking *
 *=====*/

/* Function: mdlInitializeSizes =====
 * Abstract:
 *   Setup sizes of the various vectors.
 */
static void mdlInitializeSizes(SimStruct *S)
{
    ssSetNumSFcnParams(S, 0);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

    {
        int_T i;
        if (!ssSetNumInputPorts(S, 7)) return;
        for(i=0;i<7;i++){
            ssSetInputPortWidth(S,i,1);
        }
    }

    {
        int_T i;
        if (!ssSetNumOutputPorts(S,7)) return;
        for(i=0;i<7;i++){
            ssSetOutputPortWidth(S,i,1);
        }
    }

    ssSetNumSampleTimes(S,1);

    /* Take care when specifying exception free code - see sfuntmpl_doc.c */
    ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |

```



```

        SS_OPTION_USE_TLC_WITH_ACCELERATOR);
    }

/* Function: mdlInitializeSampleTimes =====
 * Abstract:
 * Specify that we inherit our sample time from the driving block.
 */
static void mdlInitializeSampleTimes(SimStruct *S)
{
    ssSetSampleTime(S, 0, INHERITED_SAMPLE_TIME);
    ssSetOffsetTime(S, 0, 0.0);

    ssSetCallSystemOutput(S,0);
}

/* Function: mdlOutputs =====
 *
 */
static void mdlOutputs(SimStruct *S, int_T tid)
{
    int_T      sext, reg, seq;

    const real_T  k=2/sqrt(3);
    logic b1, b2;

    real_T Vdc, md, mq, mg, mdp, mqp, mod, lim, mh, m1, m2;
    real_T Vc1, Vc2, ia, ib, ic, iap, icp;
    real_T da=0, db=0, dc=0, dd=0, de=0, df=0;
    real_T ex0, ex1, ex2;
    real_T wt;

    InputRealPtrsType uPtrs0 = ssGetInputPortRealSignalPtrs(S,0);
    InputRealPtrsType uPtrs1 = ssGetInputPortRealSignalPtrs(S,1);
    InputRealPtrsType uPtrs2 = ssGetInputPortRealSignalPtrs(S,2);
    InputRealPtrsType uPtrs3 = ssGetInputPortRealSignalPtrs(S,3);
    InputRealPtrsType uPtrs4 = ssGetInputPortRealSignalPtrs(S,4);
    InputRealPtrsType uPtrs5 = ssGetInputPortRealSignalPtrs(S,5);
    InputRealPtrsType uPtrs6 = ssGetInputPortRealSignalPtrs(S,6);

    real_T  *y0 = ssGetOutputPortRealSignal(S,0);
    real_T  *y1 = ssGetOutputPortRealSignal(S,1);
    real_T  *y2 = ssGetOutputPortRealSignal(S,2);
    real_T  *y3 = ssGetOutputPortRealSignal(S,3);
    real_T  *y4 = ssGetOutputPortRealSignal(S,4);
    real_T  *y5 = ssGetOutputPortRealSignal(S,5);
    real_T  *y6 = ssGetOutputPortRealSignal(S,6);

    /*int_T      width = ssGetOutputPortWidth(S,0);*/

    wt = *uPtrs6[0];
    Vc1 = *uPtrs2[0];
    Vc2 = *uPtrs3[0];
    Vdc= Vc1+Vc2;
    ia = *uPtrs4[0];
    ib = *uPtrs5[0];
    ic = -(ia+ib);

    if (Vdc < 0.1)
        {Vdc = 0.1;}

    /*if ((Vdc<0)&&(Vdc > -1e-6))
        {Vdc = -1e-6;}*/

```



```

mdp = (*uPtrs0[0])*sqrt(6)/Vdc;
mqp = (*uPtrs1[0])*sqrt(6)/Vdc;

mod = sqrt(mdp*mdp+mqp*mqp);
lim = sqrt(3);

if (mod>lim){
  md = lim*mdp/mod;
  mq = lim*mqp/mod;
} else {
  md = mdp;
  mq = mqp;
}

/*if (mdp<0){
 * md=0;}
 *
 *if (mqp<0){
 * mq=0;}*/

/* Transformacio dq - gh =====*/

mg = k*(md*sin(wt+2*pi/3)+mq*cos(wt+2*pi/3));
mh = k*(md*sin(wt)+mq*cos(wt));

/* Determinacio del sextant =====*/

if ((mg>=0)&&(mh>=0))
  {sext = 0;
  m1 = mg;
  m2 = mh;
  iap = ia;
  icp = ic;}

if ((mg<0)&&(mh>=0))
  {if ((mg+mh)>=0){
  sext = 1;
  m1 = -mg;
  m2 = mg+mh;
  iap = ib;
  icp = ic;
  }else{
  sext = 2;
  m1 = mh;
  m2 = -mg-mh;
  iap = ib;
  icp = ia;
  }
  }

if ((mg<0)&&(mh<0))
  {sext = 3;
  m1 = -mh;
  m2 = -mg;
  iap = ic;
  icp = ia;}

if ((mg>=0)&&(mh<0))
  {if ((mg+mh)<0){
  sext = 4;
  m1 = -mg-mh;
  m2 = mg;
  }
  }

```



```

        iap = ic;
        icp = ib;
    }else{
        sext = 5;
        m1 = mg+mh;
        m2 = -mh;
        iap = ia;
        icp = ib;
    }
}
y4[0]=sext;

/* Funcions de sequencia =====*/

if (((Vc1>=Vc2)&&(iap<=0))||((Vc1<Vc2)&&(iap>0)))
{b1 = cert;
}else{
    b1 = fals;
}

if (((Vc1<=Vc2)&&(icp<=0))||((Vc1>Vc2)&&(icp>0)))
{b2 = cert;
}else{
    b2 = fals;
}

/*      Determinacio      de      la      regio      i      de      la      sequencia
=====
* da = duty ratio de poo/onn
* db = duty ratio de pnn
* dc = duty ratio de pon
* dd = duty ratio de ppo/oon
* de = duty ratio ppn
* df = duty ratio de ppp/ooo/nnn
*/

if (m1>=1)
{reg = 0;
 da = 2-m1-m2;
 db = m1-1;
 dc = m2;
 seq = b1;}

if (m2>=1)
{reg = 2;
 dc = m1;
 dd = 2-m1-m2;
 de = m2-1;
 seq = b2;}

if ((m1<1)&&(m2<1))
{if ((m1+m2)<=1){
    reg = 3;
    da = m1;
    dd = m2;
    df = 1-m1-m2;
}else{
    reg = 1;
    da = 1-m2;
    dc = m1+m2-1;
    dd = 1-m1;
}
}

switch (b1) {

```



```
case fals:
  switch (b2) {
    case fals:
      seq = 0;
      break;
    case cert:
      seq = 1;
      break;
  }
  break;
case cert:
  switch (b2) {
    case fals:
      seq = 2;
      break;
    case cert:
      seq = 3;
      break;
  }
  break;
}
}

y5[0] = reg;
y6[0] = seq;

switch (reg) {
case 0:
  switch (seq) {
    case 0:
      ex0 = da;
      ex1 = db;
      ex2 = dc;
      break;
    case 1:
      ex0 = db;
      ex1 = dc;
      ex2 = da;
      break;
  }
  break;
case 1:
  switch (seq) {
    case 0:
      ex0 = da;
      ex1 = dd;
      ex2 = dc;
      break;
    case 1:
      ex0 = da;
      ex1 = dc;
      ex2 = dd;
      break;
    case 2:
      ex0 = dd;
      ex1 = dc;
      ex2 = da;
      break;
    case 3:
      ex0 = dc;
      ex1 = da;
      ex2 = dd;
      break;
  }
}
```



```
    break;
case 2:
    switch (seq) {
        case 0:
            ex0 = dd;
            ex1 = dc;
            ex2 = de;
            break;
        case 1:
            ex0 = dc;
            ex1 = de;
            ex2 = dd;
            break;
    }
    break;
case 3:
    switch (seq) {
        case 0:
            ex0 = da;
            ex1 = dd;
            ex2 = df;
            break;
        case 1:
            ex0 = da;
            ex1 = df;
            ex2 = dd;
            break;
        case 2:
            ex0 = dd;
            ex1 = df;
            ex2 = da;
            break;
        case 3:
            ex0 = df;
            ex1 = da;
            ex2 = dd;
            break;
    }
    break;
}

if (ex0<=0.001)
{ex0=0.001;
  if (ex1<=ex2){
    if (ex1<=0.001){
      ex1=0.001;
    }
    ex2=1-ex0-ex1;
  } else {
    if (ex2<=0.001){
      ex2=0.001;
    }
    ex1=1-ex0-ex2;
  }
} else {
  if (ex1<=0.001){
    ex1=0.001;
    if (ex0<=ex2){
      ex2=1-ex0-ex1;
    } else {
      if (ex2<=0.001){
        ex2=0.001;
      }
    }
  }
}
```





```

        ex0=1-ex1-ex2;
    }
} else {
    if (ex2<=0.001){
        ex2=0.001;
        if (ex1>ex0){
            ex1=1-ex0-ex2;
        } else {
            ex0=1-ex1-ex2;
        }
    }
}
}
}

y1[0] = ex0;
y2[0] = ex1;
y3[0] = ex2;

#undef CORRECCIO_DUTIES
#if defined(CORRECCIO_DUTIES)
if (y1[0]<=0.001){
    y1[0]=0.001;
    if (y2[0]>y3[0]) {
        y2[0]=y2[0]-0.001;
    } else {
        y3[0]=y3[0]-0.001;
    }
}
if (y2[0]<=0.001){
    y2[0]=0.001;
    if (y1[0]>y3[0]) {
        y1[0]=y1[0]-0.001;
    } else {
        y3[0]=y3[0]-0.001;
    }
}
if (y3[0]<=0.001){
    y3[0]=0.001;
    if (y2[0]>y1[0]) {
        y2[0]=y2[0]-0.001;
    } else {
        y1[0]=y1[0]-0.001;
    }
}
#endif /*CORRECCIO DUTIES*/

UNUSED_ARG(tid); /* not used in single tasking mode */

if(!ssCallSystemWithTid(S,0,tid)){
    /* Error occurred which will be reported by Simulink */
    return;
}
}

/* Function: mdlTerminate =====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}

```



```

#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */
#include "simulink.c" /* MEX-file interface mechanism */
#else
#include "cg_sfun.h" /* Code generation registration function */
#endif
    
```

### Adaptació duties a 4 bytes

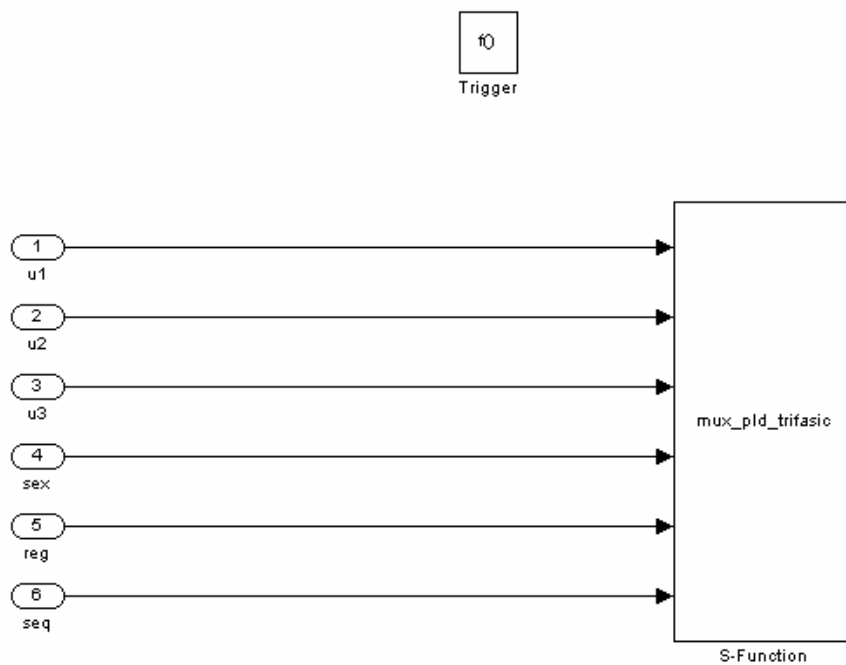


Figura E.17 Informació duties (u1,u2,u3) i sextant, regió i seqüència

### S-Function (mux\_pld\_trifasic.c)

```

/*
 * Fitxer : mux_pld_trifasic.c
 * Abstract:
 * arxiu per multiplexar temporalment 8 entrades reals i convertir la sortida a binari.
 * 8 entrades:
 * 0. Duty-ratio 1
 * 1. Duty-ratio 2
    
```



```

* 2. Duty-ratio 3
* 3. Sextant
* 4. Regio
* 5. Sequencia
*
* una sortida de 16 bits:
* Primera vegada: duties 1 i 2
* Segona volta: duty 3 i informacio de posicionament infos=(sextant,regio,sequencia)
*/

```

```

#define S_FUNCTION_NAME mux_pld_trifasic
#define S_FUNCTION_LEVEL 2

```

```

#include "simstruc.h"
#include <math.h>
#ifndef MATLAB_MEX_FILE
#include <ds1104.h>
#include <io1104.h>
#endif

```

```

typedef struct {
    char_T byte1;
    char_T byte2;
    char_T byte3;
    char_T byte4;
} ByteStruct;

```

```

typedef union {
    UINT32_T word_out;
    ByteStruct quatre_bytes;
} sortida;

```

```

/*=====
* Build checking *
*=====*/

```

```

/* Function: mdlInitializeSizes =====

```

```

* Abstract:
* Setup sizes of the various vectors.
*/

```

```

static void mdlInitializeSizes(SimStruct *S)
{

```

```

    ssSetNumSFcnParams(S, 0);
    if (ssGetNumSFcnParams(S) != ssGetSFcnParamsCount(S)) {
        return; /* Parameter mismatch will be reported by Simulink */
    }

```

```

    ssSetNumContStates(S, 0);
    ssSetNumDiscStates(S, 1);

```

```

    if (!ssSetNumInputPorts(S, 6)) return;

```

```

    {
        int_T i;

        for (i = 0; i < 6; i++) {
            ssSetInputPortWidth(S, i, 1);
            ssSetInputPortDirectFeedThrough(S, i, 1);
        }
    }
}

```



```

if (!ssSetNumOutputPorts(S, 0)) return;

ssSetNumSampleTimes(S, 1);

/* Take care when specifying exception free code - see sfuntmpl_doc.c */
ssSetOptions(S, SS_OPTION_EXCEPTION_FREE_CODE |
              SS_OPTION_USE_TLC_WITH_ACCELERATOR | SS_OPTION_PLACE_ASAP);
}

/* Function: mdlInitializeSampleTimes =====
* Abstract:
* Specify that we inherit our sample time from the driving block.
*/
static void mdlInitializeSampleTimes(SimStruct *S)
{
    ssSetSampleTime(S, 0, INHERITED_SAMPLE_TIME);
    ssSetOffsetTime(S, 0, 0.0);
}

#define MDL_START /* Change to #undef to remove function */
#if defined(MDL_START)
/* Function: mdlStart =====
* Abstract:
* This function is called once at start of model execution. If you
* have states that should be initialized once, this is the place
* to do it.
*/
static void mdlStart(SimStruct *S)
{
    real_T *x0 = ssGetRealDiscStates(S);
    *x0 = 0.0;

#ifdef MATLAB_MEX_FILE

ds1104_bit_io_init(DS1104_DIO0_OUT|DS1104_DIO1_OUT|DS1104_DIO2_OUT|DS1104_DIO3_OUT|DS1104
_DIO4_OUT|DS1104_DIO5_OUT|DS1104_DIO6_OUT|

DS1104_DIO7_OUT|DS1104_DIO8_OUT|DS1104_DIO9_OUT|DS1104_DIO10_OUT|DS1104_DIO11_OUT|DS
1104_DIO12_OUT|DS1104_DIO13_OUT|DS1104_DIO14_OUT|DS1104_DIO15_OUT);
#endif
}
#endif /* MDL_START */

/* Function: mdlInitializeConditions =====
*
*
*/

/*static void mdlInitializeConditions(SimStruct *S)
*{
* real_T *x0 = ssGetRealDiscStates(S);
*
* *x0 = 0.0;
*}
*/

/* Function: mdlOutputs =====
*
*
*/
void corregir(int_T s, int_T *min, int_T *max)

```



```

{
  if (s>255) {
    *max = *max-1;
  } else {
    if (s<255) {
      *min = *min+1;
    }
  }
}

static void mdlOutputs(SimStruct *S, int_T tid)
{
  sortida      bits_20;

  real_T      mux[3], f, c, incf, incc;
  int_T      i, dec[3], suma;
  real_T      *x = ssGetRealDiscStates(S);
  char_T      sextant, regio, sequencia;

  InputRealPtrsType uPtrs0 = ssGetInputPortRealSignalPtrs(S,0);
  InputRealPtrsType uPtrs1 = ssGetInputPortRealSignalPtrs(S,1);
  InputRealPtrsType uPtrs2 = ssGetInputPortRealSignalPtrs(S,2);
  InputRealPtrsType uPtrs3 = ssGetInputPortRealSignalPtrs(S,3);
  InputRealPtrsType uPtrs4 = ssGetInputPortRealSignalPtrs(S,4);
  InputRealPtrsType uPtrs5 = ssGetInputPortRealSignalPtrs(S,5);

  mux[0]=*uPtrs0[0]*255;
  mux[1]=*uPtrs1[0]*255;
  mux[2]=*uPtrs2[0]*255;

  sextant=(char_T)*uPtrs3[0];
  regio=(char_T)*uPtrs4[0];
  sequencia=(char_T)*uPtrs5[0];

  for (i=0;i<3;i++) {
    f = floor(mux[i]);
    c = ceil(mux[i]);
    incf = mux[i]-f;
    incc = c-mux[i];

    if (incf>=incc) {
      dec[i]=c;
    } else {
      dec[i]=f;
    }
  }

  suma = dec[0]+dec[1]+dec[2];

  if (dec[0]<=dec[1]) {
    if (dec[1]<=dec[2]) {
      corregir(suma, &dec[0], &dec[2]);
    } else {
      if (dec[0]<=dec[2]) {
        corregir(suma, &dec[0], &dec[1]);
      } else {
        corregir(suma, &dec[2], &dec[1]);
      }
    }
  } else {
    if (dec[1]<=dec[2]) {
      if (dec[0]<=dec[2]) {

```



```

        corregir(suma, &dec[1], &dec[2]);
    } else {
        corregir(suma, &dec[1], &dec[0]);
    }
} else {
    corregir(suma, &dec[2], &dec[0]);
}
}

bits_20.quatre_bytes.byte1 = (char_T)0.0;
bits_20.quatre_bytes.byte2 = (char_T)0.0;

switch ((int) x[0]) {
    case 0:

        bits_20.quatre_bytes.byte4 = (char_T) dec[0];

        bits_20.quatre_bytes.byte3 = (char_T) dec[1];

        #ifndef MATLAB_MEX_FILE
            ds1104_bit_io_write(bits_20.word_out);
        #endif

        break;

    case 1:

        bits_20.quatre_bytes.byte4 = (char_T) dec[2];

        /* construccio del byte infos */

        bits_20.quatre_bytes.byte3 = (sextant<<5)|(regio<<3)|(sequencia<<1);

        #ifndef MATLAB_MEX_FILE
            ds1104_bit_io_write(bits_20.word_out);
        #endif

        break;
    }
}

#define MDL_UPDATE
/* Function: mdlUpdate =====
*/
static void mdlUpdate(SimStruct *S, int_T tid)
{
    real_T    *x    = ssGetRealDiscStates(S);

    if (x[0]==1.0) {
        x[0]=0.0;
    } else {
        x[0]=x[0]+1.0;
    }
}

/* Function: mdlTerminate =====
* Abstract:
* No termination needed, but we are required to have this routine.
*/
static void mdlTerminate(SimStruct *S)
{
}

```



```
#ifdef MATLAB_MEX_FILE /* Is this file being compiled as a MEX-file? */
#include "simulink.c" /* MEX-file interface mechanism */
#else
#include "cg_sfund.h" /* Code generation registration function */
#endif
```







## **ANNEX F. PROGRAMACIÓ DEL DISPOSITIU FPGA**

En aquest annex es presenta la programació que s'ha implementat al dispositiu programable FPGA. El tipus de programació que s'ha implementat segueix una estructura jeràrquica. La programació parteix d'un esquema principal que conté una sèrie de blocs enllaçats entre ells. D'aquesta manera cadascun dels blocs realitza un determinat càlcul per tal que amb el conjunt de tots els blocs es pugui obtenir la funció desitjada del dispositiu: convertir els 4 bytes d'informació de la modulació procedents del DSP a senyals de porta pels IGBTs.

L'esquema de programació parteix d'un treball realitzat per Àlex Gilabert al desembre de 2003 en qualitat de personal tècnic de suport del GREP. Aquest treball s'ha pogut utilitzar per al sistema monofàsic. Per al sistema trifàsic ha calgut ampliar-ne la programació per tal d'adaptar el dispositiu.

A continuació es mostra el conjunt i l'estructura de blocs que s'ha programat pel dispositiu FPGA.



### F.1. Monofàsic

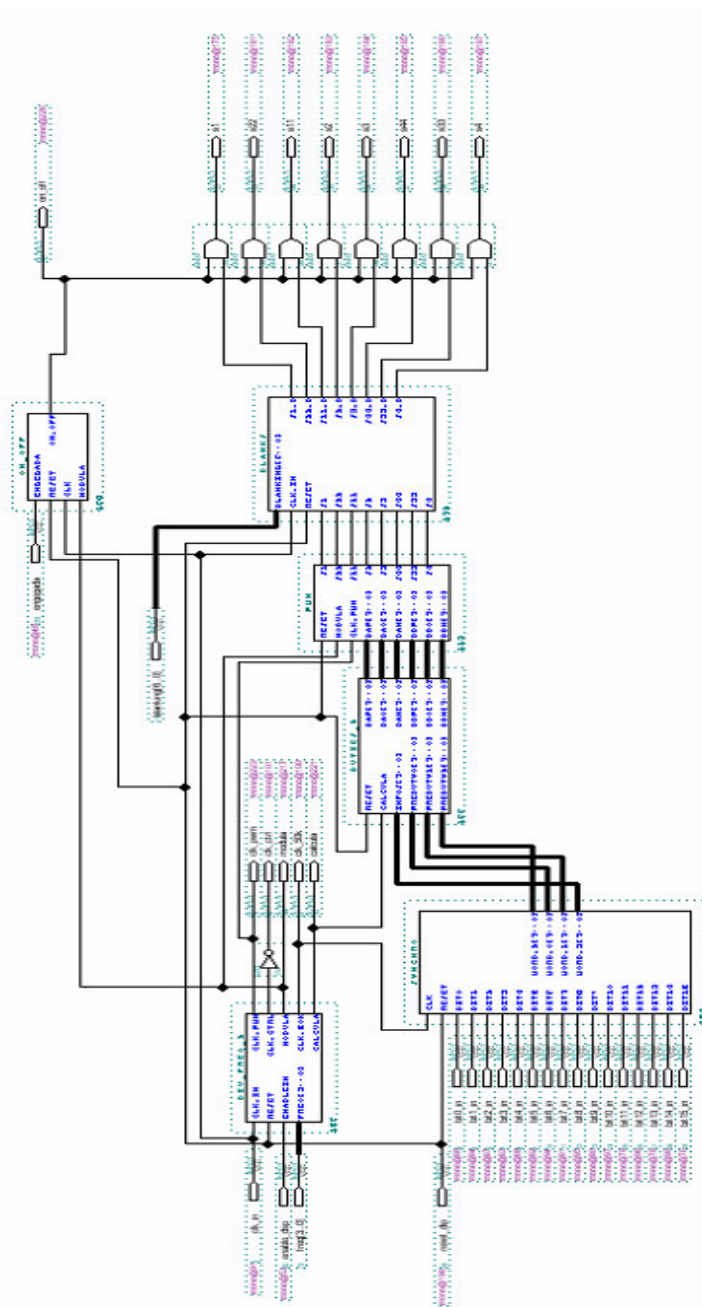


Figura F.1 Esquema general programació FPGA sistema monofàsic



F.1.1. Div\_freq\_2

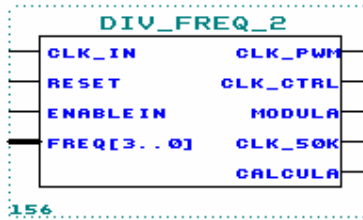


Figura F.2 Bloc div\_freq\_2

Senyals d'entrada	
CLK_IN	Relloige intern de la FPGA a 25,175 MHz
RESET	Senyal de reset dels comptadors i de les sortides del bloc
ENABLEIN	Senyal procedent de la targeta dSPACE indicant per flanc de pujada que el DSP ja ha finalitzat els càlculs dels duties
FREQ[3..0]	Col·lector de la freqüència de control/commutació. La col·lecció d'aquests bits es realitza mitjançant un switch instal·lat a la placa de connexions. El valor de FREQ[3..0] segons la freqüència de commutació desitjada indicada a la
Senyals de sortida	
CLK_PWM	Freqüència de PWM
CLK_CTRL	Senyal de sincronització amb el DSP
MODULA	Senyal que indica l'inici del comptatge dels polsos per a la modulació
CLK_50K	Senyal de rellotge que activa els flip-flops en dues ràfegues per a l'adquisició de les dades rebudes de la DSP
CALCULA	Senyal que indica l'inici dels càlculs de la connexió al bloc duties_2

Taula F.1 Senyals d'entrada i sortida del bloc div\_freq\_2

Bits de selecció	Factor de divisió (k)	Freqüència de commutació (kHz)	Període de commutació (µs)
FREQ[3..0]		$f_{CTRL} = \frac{f_{FPGA}}{1020 \cdot (k + 1)}$	T <sub>CTRL</sub>
0000	0	24,68	40,52
0001	1	12,34	81,04
0010	2	8,23	121,51



0011	3	6,17	162,07
0100	4	4,94	202,43
0101	5	4,11	243,31
0110	6	3,53	283,29
0111	7	3,09	323,62
1000	8	2,74	364,96
1001	9	2,47	404,86
1010	10	2,24	446,43
1011	11	2,06	485,44
1100	12	1,90	526,32
1101	13	1,76	568,18
1110	14	1,65	606,06
1111	15	1,54	649,35

Taula F.2 Bits de selecció de la freqüència de commutació

```
-----
-- div_freq_2.vhd
-- Marca, a partir del rellotge principal de la PLD, el rellotge de la modulació PWM. També marca l'inici del càlcul
del control al DSP.
-- També genera un divisor de freqüència: 25.175MHz a 50.15kHz
-----
```

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
```

```
ENTITY div_freq_2 IS
    PORT(
        clk_in, reset, enablein      : IN STD_LOGIC;
        freq                          : IN STD_LOGIC_VECTOR(3 downto 0);
        clk_pwm, clk_ctrl, modula, clk_50k, calcula : OUT STD_LOGIC);
END div_freq_2;
```

```
ARCHITECTURE funcional OF div_freq_2 IS
-- senyals implicats en el primer PROCESS
SIGNAL div1      : INTEGER RANGE 63 downto 0; -- número de 6 bits
SIGNAL div2      : INTEGER RANGE 16383 downto 0; -- número de 14 bits
SIGNAL clk_out1  : STD_LOGIC := '0';
SIGNAL clk_out2  : STD_LOGIC := '0';
SIGNAL previous  : STD_LOGIC := '0';
SIGNAL modulaok  : STD_LOGIC := '0';
-- senyals implicats en el segon PROCESS
SIGNAL div3      : INTEGER RANGE 511 downto 0;
SIGNAL numedges  : INTEGER RANGE 4 downto 0;
SIGNAL clk_out3  : STD_LOGIC := '0';
SIGNAL tots dins : STD_LOGIC := '0';
BEGIN
```



```

counter : PROCESS (reset, clk_in, freq)
-- genera clk_pwm i clk_ctrl
VARIABLE limit1 : INTEGER RANGE 63 downto 0;
VARIABLE limit2 : INTEGER RANGE 16383 downto 0;
VARIABLE limit3 : INTEGER RANGE 127 downto 0;
BEGIN
IF reset = '1' THEN
    div1 <= 0;
    div2 <= 0;
    clk_out1 <= '0';
    clk_out2 <= '0';
    modulaok <= '0';
ELSE
    IF (clk_in'event AND clk_in = '1') THEN
        CASE freq IS
            WHEN "0000" =>
                limit1 := 0;
                limit2 := 255;
                limit3 := 1;
            WHEN "0001" =>
                limit1 := 1;
                limit2 := 511;
                limit3 := 2;
            WHEN "0010" =>
                limit1 := 2;
                limit2 := 767;
                limit3 := 4;
            WHEN "0011" =>
                limit1 := 3;
                limit2 := 1023;
                limit3 := 6;
            WHEN "0100" =>
                limit1 := 4;
                limit2 := 1279;
                limit3 := 8;
            WHEN "0101" =>
                limit1 := 5;
                limit2 := 1535;
                limit3 := 10;
            WHEN "0110" =>
                limit1 := 6;
                limit2 := 1791;
                limit3 := 12;
            WHEN "0111" =>
                limit1 := 7;
                limit2 := 2047;
                limit3 := 14;
            WHEN "1000" =>
                limit1 := 9;
                limit2 := 2559;
                limit3 := 18;
            WHEN "1001" =>
                limit1 := 11;
                limit2 := 3072;
                limit3 := 22;
            WHEN "1010" =>
                limit1 := 13;
                limit2 := 3583;
                limit3 := 26;
            WHEN "1011" =>
                limit1 := 15;
                limit2 := 4095;
                limit3 := 30;
        END CASE;
    END IF;
END IF;
END;

```



```

        WHEN "1100" =>
            limit1 := 19;
            limit2 := 5119;
            limit3 := 38;
        WHEN "1101" =>
            limit1 := 23;
            limit2 := 5887;
            limit3 := 46;
        WHEN "1110" =>
            limit1 := 32;
            limit2 := 8447;
            limit3 := 64;
        WHEN "1111" =>
            limit1 := 48;
            limit2 := 12543;
            limit3 := 96;
        WHEN others =>
            limit1 := 0;
            limit2 := 0;
            limit3 := 0;
    END CASE;
    IF div1 /= limit1 THEN
        div1 <= div1 + 1;
    ELSE
        div1 <= 0;
        clk_out1 <= NOT clk_out1;
    END IF;
    IF div2 /= limit2 THEN
        div2 <= div2 + 1;
    ELSE
        div2 <= 0;
        clk_out2 <= NOT clk_out2;
    END IF;
    IF (clk_out2='1' AND div2<=limit3) THEN
        modulaok <= '1';
    ELSE
        modulaok <= '0';
    END IF;
END IF;
END IF;
END PROCESS counter;
clk_pwm <= clk_out1;
clk_ctrl <= NOT clk_out2;
modula <= modulaok;

comptatge : PROCESS (reset, clk_in, enablein)
-- genera clk_50k i calcula
BEGIN
IF (reset = '1') THEN
    div3 <= 0;
    numedges <= 0;
    tots dins <= '0';
    clk_out3 <= '0';
ELSE
    IF (clk_in'event and clk_in = '1') THEN
        IF (enablein = '1') THEN
            IF (numedges/=4) THEN
                IF (div3 /= 375) THEN
                    div3 <= div3 + 1;
                ELSE
                    div3 <= 0;
                    numedges <= numedges + 1;
                    clk_out3 <= NOT clk_out3;
                END IF;
            END IF;
        END IF;
    END IF;
END IF;

```



```

                                totsdins <= '0';
                                ELSE
                                totsdins <= '1';
                                END IF;
                                ELSE
                                numedges <= 0;
                                END IF;
                                END IF;
                                END IF;
                                END PROCESS comptatge;

                                clk_50k <= NOT clk_out3;
                                calcula <= totsdins;

                                END funcional;
    
```

### F.1.2. Synchro

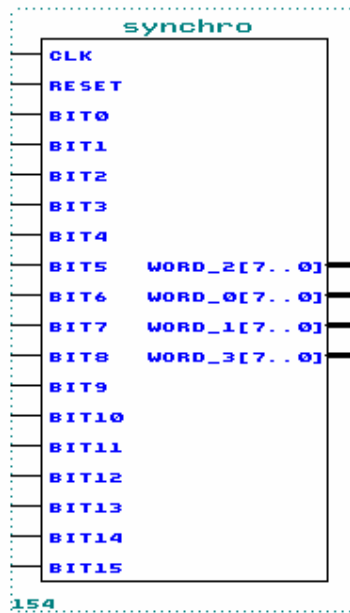


Figura F.3 Bloc synchro

Senyals d'entrada	
CLK	Relloige intern de la FPGA a 25,175 MHz
RESET	Senyal de reset dels comptadors i de les sortides del bloc
BIT0...BIT15	Bits enviats per la DSP on arriba la informació dels duties i la regió de modulació
Senyals de sortida	
WORD_0[7..0]	Byte d'informació que conté informació de la modulació
WORD_1[7..0]	Byte d'informació que conté informació de la modulació



WORD_2[7..0]	Byte d'informació que conté informació de la modulació
WORD_3[7..0]	Byte d'informació que conté informació de la modulació

Taula F.3 Senyals d'entrada i sortida del bloc synchro

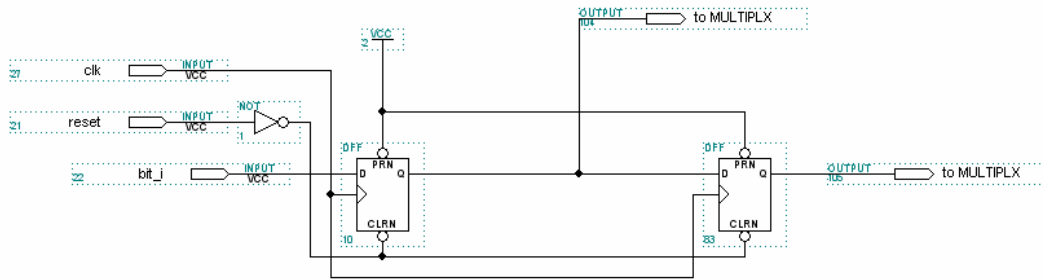


Figura F.4 Configuració interna del bloc synchro

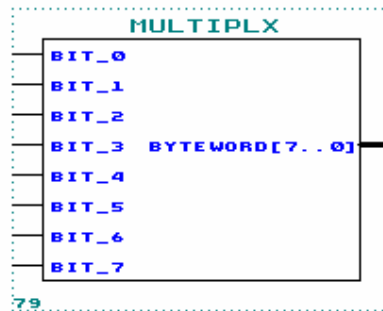


Figura F.5 Bloc multiplex

<b>Senyals d'entrada</b>	
BIT_0...BIT_7	Bit d'informació
<b>Senyals de sortida</b>	
BYTE_WORD[7..0]	Byte que agrupa 8 bits d'informació

Taula F.4 Senyals d'entrada i sortida del bloc multiplex





```

-----
-- multiplx.vhd
-- multiplexor de 8 bits a una paraula d'1 byte
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY multiplx IS
    PORT(
        bit_0, bit_1, bit_2, bit_3, bit_4, bit_5, bit_6, bit_7 : IN    STD_LOGIC;
        byteword: OUT    STD_LOGIC_VECTOR(7 downto 0));
END multiplx;

ARCHITECTURE funcional OF multiplx IS
BEGIN
    byteword(0) <= bit_0;
    byteword(1) <= bit_1;
    byteword(2) <= bit_2;
    byteword(3) <= bit_3;
    byteword(4) <= bit_4;
    byteword(5) <= bit_5;
    byteword(6) <= bit_6;
    byteword(7) <= bit_7;
END funcional;

```

### F.1.3. Duties\_2

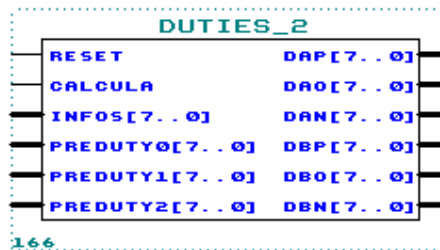


Figura F.6 Bloc duties\_2

Senyals d'entrada	
RESET	Senyal de reset dels comptadors i de les sortides del bloc
CALCULA	Senyal que indica l'inici dels càlculs de la connexió al bloc duties_2
INFOS[7...0]	Byte procedent del bloc Synchro que conté la informació del la regió on ha de modular el convertidor
PREDUTY0 [7...0]	Byte procedent del bloc Synchro que conté la informació del



	preduty0
PREDUTY1 [7...0]	Byte procedent del bloc Synchro que conté la informació del preduty1
PREDUTY2 [7...0]	Byte procedent del bloc Synchro que conté la informació del preduty2
<b>Senyals de sortida</b>	
DAP[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt p
DAO[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt o
DAN[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt n
DBP[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt p
DBO[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt o
DBN[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt n

Taula F.5 Senyals d'entrada i sortida del bloc duties\_2

```

-----
-- duties_2.vhd --
-- processa els 3 pre-duties i els converteix en els duties definitius --
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY duties_2 IS
    PORT(
        reset, calcula : IN STD_LOGIC;
        infos, preduty0, preduty1, preduty2: IN INTEGER RANGE 255 downto 0;
        dap, dao, dan, dbp, dbo, dbn: OUT INTEGER RANGE 255 downto 0 );
END duties_2;

ARCHITECTURE funcional OF duties_2 IS
BEGIN
    translate : PROCESS (reset, calcula)
    BEGIN
        IF (reset='1') THEN
            dap <= 0;
            dao <= 0;
            dan <= 0;
            dbp <= 0;
            dbo <= 0;
            dbn <= 0;
        ELSE
            IF (calcula'event and calcula = '1') THEN
                CASE infos IS
                    WHEN 0 =>
                        dap <= preduty0+preduty1;
                        dao <= preduty2;
                END CASE;
            END IF;
        END IF;
    END PROCESS;
END ARCHITECTURE;

```



```
        dan <= 0;
        dbp <= 0;
        dbo <= preduty0;
        dbn <= preduty1+preduty2;
    WHEN 1 =>
        dap <= preduty0;
        dao <= preduty1+preduty2;
        dan <= 0;
        dbp <= 0;
        dbo <= preduty0+preduty1;
        dbn <= preduty2;
    WHEN 2 =>
        dap <= preduty0;
        dao <= preduty1;
        dan <= preduty2;
        dbp <= 0;
        dbo <= 255;
        dbn <= 0;
    WHEN 3 =>
        dap <= 0;
        dao <= 255;
        dan <= 0;
        dbp <= preduty0;
        dbo <= preduty1;
        dbn <= preduty2;
    WHEN 4 =>
        dap <= 0;
        dao <= preduty0+preduty1;
        dan <= preduty2;
        dbp <= preduty0;
        dbo <= preduty1+preduty2;
        dbn <= 0;
    WHEN 5 =>
        dap <= 0;
        dao <= preduty0;
        dan <= preduty1+preduty2;
        dbp <= preduty0+preduty1;
        dbo <= preduty2;
        dbn <= 0;
    WHEN OTHERS =>
        dap <= 0;
        dao <= 0;
        dan <= 0;
        dbp <= 0;
        dbo <= 0;
        dbn <= 0;
    END CASE;
END IF;
END PROCESS translate;
END funcional;
```



### F.1.4. Pwm

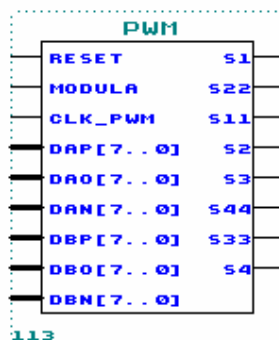


Figura F.7 Bloc pwm

Senyals d'entrada	
RESET	Senyal de reset dels comptadors i de les sortides del bloc
MODULA	Senyal que indica l'inici del comptatge dels polsos PWM per a la modulació
DAP[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt p
DAO[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt o
DAN[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt n
DBP[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt p
DBO[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt o
DBN[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt n
Senyals de sortida	
S1	Senyal de porta del transistor S1
S22	Senyal de porta del transistor S22
S11	Senyal de porta del transistor S11
S2	Senyal de porta del transistor S2
S3	Senyal de porta del transistor S3
S44	Senyal de porta del transistor S44
S33	Senyal de porta del transistor S33
S4	Senyal de porta del transistor S4

Taula F.6 Senyals d'entrada i sortida del bloc pwm



```

-----
-- pwm.vhd
-- a partir dels 6 duties definitius (3 per branca), modula els seus --
-- valors en amplitud de polsos (PWM) a la freqüència de commutació --
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY pwm IS
    PORT( reset, modula, clk_pwm          : IN STD_LOGIC;
          dap, dao, dan, dbp, dbo, dbn    : IN INTEGER RANGE 255 downto 0;
          S1, S22, S11, S2, S3, S44, S33, S4 : OUT STD_LOGIC);
END pwm;

ARCHITECTURE funcional OF pwm IS
    SIGNAL ap          : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL apmesao    : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL aomesan    : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL an         : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL bp         : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL bpmesbo    : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL bomesbn    : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL bn         : INTEGER RANGE 255 DOWNTO 0 :=0;
    SIGNAL ponnop     : STD_LOGIC :='0';          -- '0' = pon // '1' = nop
    SIGNAL S1_out     : STD_LOGIC :='0';
    SIGNAL S22_out    : STD_LOGIC :='0';
    SIGNAL S11_out    : STD_LOGIC :='0';
    SIGNAL S2_out     : STD_LOGIC :='0';
    SIGNAL S3_out     : STD_LOGIC :='0';
    SIGNAL S44_out    : STD_LOGIC :='0';
    SIGNAL S33_out    : STD_LOGIC :='0';
    SIGNAL S4_out     : STD_LOGIC :='0';
BEGIN

    modular : PROCESS (reset, modula, clk_pwm)
    BEGIN
        IF (reset='1') THEN
            ap <= 0;
            apmesao <= 0;
            aomesan <= 0;
            an <= 0;
            bp <= 0;
            bpmesbo <= 0;
            bomesbn <= 0;
            bn <= 0;
            ponnop <= '0';
            S1_out <= '0';
            S22_out <= '0';
            S11_out <= '0';
            S2_out <= '0';
            S3_out <= '0';
            S44_out <= '0';
            S33_out <= '0';
            S4_out <= '0';
        ELSE
            IF (clk_pwm'event AND clk_pwm='1') THEN
                IF (modula='1') THEN
                    ap <= dap;
                    apmesao <= dap + dao;
                    aomesan <= dao + dan;
                    an <= dan;
                    bp <= dbp;
                    bpmesbo <= dbp + dbo;
                END IF;
            END IF;
        END IF;
    END PROCESS modular;
END ARCHITECTURE funcional;

```



```

bomesbn <= dbo + dbn;
bn <= dbn;
ponnop <= NOT ponnop;
ELSE
  IF ponnop = '0' THEN
    IF ap /= 0 THEN
      S1_out <= '1';
      S11_out <= '0';
      ap <= ap - 1;
    ELSE
      S1_out <= '0';
      S11_out <= '1';
      ap <= 0;
    END IF;
    IF apmesao /= 0 THEN
      S2_out <= '0';
      S22_out <= '1';
      apmesao <= apmesao - 1;
    ELSE
      S2_out <= '1';
      S22_out <= '0';
      apmesao <= 0;
    END IF;
    IF bp /= 0 THEN
      S3_out <= '1';
      S33_out <= '0';
      bp <= bp - 1;
    ELSE
      S3_out <= '0';
      S33_out <= '1';
      bp <= 0;
    END IF;
    IF bpmesbo /= 0 THEN
      S4_out <= '0';
      S44_out <= '1';
      bpmesbo <= bpmesbo - 1;
    ELSE
      S4_out <= '1';
      S44_out <= '0';
      bpmesbo <= 0;
    END IF;
  ELSE
    IF aomesan /= 0 THEN
      S1_out <= '0';
      S11_out <= '1';
      aomesan <= aomesan - 1;
    ELSE
      S1_out <= '1';
      S11_out <= '0';
      aomesan <= 0;
    END IF;
    IF an /= 0 THEN
      S2_out <= '1';
      S22_out <= '0';
      an <= an - 1;
    ELSE
      S2_out <= '0';
      S22_out <= '1';
      an <= 0;
    END IF;
    IF bomesbn /= 0 THEN
      S3_out <= '0';
      S33_out <= '1';
      bomesbn <= bomesbn - 1;
    END IF;
  END IF;

```



```

ELSE
    S3_out <= '1';
    S33_out <= '0';
    bomesbn <= 0;
END IF;
IF bn /= 0 THEN
    S4_out <= '1';
    S44_out <= '0';
    bn <= bn - 1;
ELSE
    S4_out <= '0';
    S44_out <= '1';
    bn <= 0;
END IF;
END IF;
END IF;
END IF;
END PROCESS;
S1 <= S1_out;
S22 <= S22_out;
S11 <= S11_out;
S2 <= S2_out;
S3 <= S3_out;
S44 <= S44_out;
S33 <= S33_out;
S4 <= S4_out;
END funcional;
    
```

**F.1.5. On\_off**

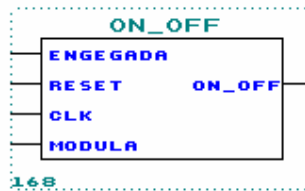


Figura F.8 Bloc on\_off

Senyals d'entrada	
ENNEGADA	Senyal de reset dels comptadors i de les sortides del bloc
RESET	Senyal de reset dels comptadors i de les sortides del bloc
CLK	Rellotge intern de la FPGA a 25,175 MHz
MODULA	Senyal que indica l'inici del comptatge dels polsos per a la modulació
Senyals de sortida	



ON_OFF	Senyal que inhabilita les sortides dels senyals de porta
--------	--

Taula F.7 Senyals d'entrada i sortida del bloc on\_off

```

-----
-- on_off.vhd
-- transmet la senyal d'engegada enviada des de dSPACE i, si s'habilita --
-- la senyal de reset, espera al principi d'un nou període de control --
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY on_off IS
    PORT( engegada, reset, clk, modula : IN STD_LOGIC;
          on_off : OUT STD_LOGIC);
END on_off;

ARCHITECTURE funcional OF on_off IS
    SIGNAL anterior : STD_LOGIC := '0';
    SIGNAL sortida : STD_LOGIC := '0';
    SIGNAL espera : STD_LOGIC := '0';
    SIGNAL counter : INTEGER RANGE 1 downto 0;
BEGIN

    vigila : PROCESS (clk, engegada, reset, modula)
    BEGIN
        IF (clk'event AND clk='1') THEN
            IF (engegada='0') THEN
                sortida <= '0';
            ELSE
                IF (reset='1') THEN
                    sortida <= '0';
                    espera <= '1';
                ELSE
                    IF (espera='1') THEN
                        anterior <= modula;
                        IF (anterior='0' AND modula='1') THEN
                            IF (counter/=1) THEN
                                counter <= counter + 1;
                            ELSE
                                counter <= 0;
                                espera <= NOT espera;
                            END IF;
                        END IF;
                        sortida <= '0';
                    ELSE
                        sortida <= '1';
                    END IF;
                END IF;
            END IF;
        END IF;
    END PROCESS;

    on_off <= sortida;

END funcional;

```





**F.1.6. Blanks**

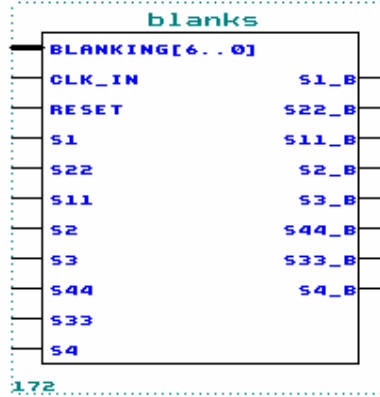


Figura F.9 Bloc blanks

<b>Senyals d'entrada</b>	
BLANKING[6..0]	Senyal de reset dels comptadors i de les sortides del bloc
CLK_IN	Rellotge intern de la FPGA a 25,175 MHz
RESET	Senyal de reset dels comptadors i de les sortides del bloc
S1...S4	Senyals de porta del transistors
<b>Senyals de sortida</b>	
S1_B...S4_B	Senyals de porta dels transistors amb el <i>blanking time</i>

Taula F.8 Senyals d'entrada i sortida del bloc blanks



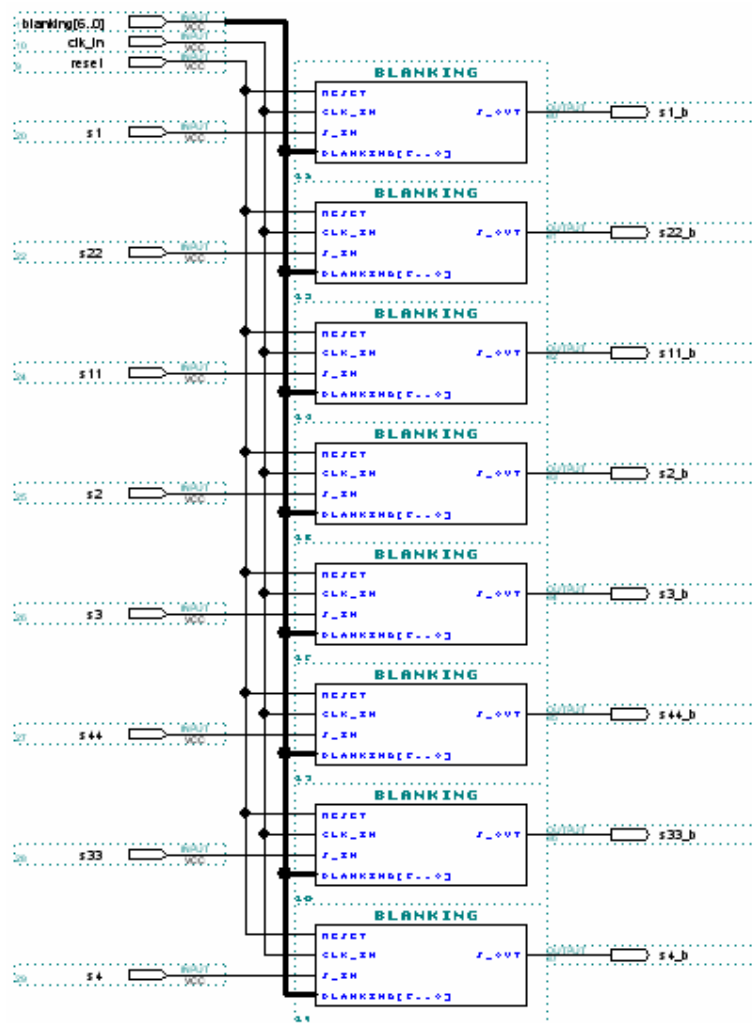


Figura F.10 Estructura interna del block blanks

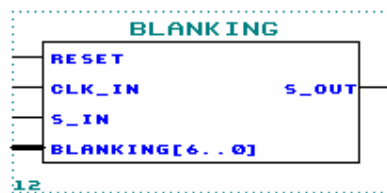


Figura F.11 Bloc blanking



```

-----
-- blanking.vhd --
-- Retrasa el flanc de pujada del senyal d'entrada el temps --
-- de blanking predefinit. --
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY blanking IS
    PORT( reset, clk_in, s_in : IN STD_LOGIC;
          blanking            : IN INTEGER RANGE 127 downto 0;
          s_out               : OUT STD_LOGIC);
END blanking;

ARCHITECTURE algorithmic OF blanking IS

BEGIN

desplaça : PROCESS (reset, clk_in)

VARIABLE s_int_ant : STD_LOGIC;
VARIABLE cnt      : INTEGER RANGE 0 to 127;

BEGIN
IF reset = '1' THEN
    s_int_ant := '0';
    cnt := 0;
ELSE
    IF (clk_in'event AND clk_in = '0') THEN
        IF (s_in='1' AND s_int_ant='0') THEN
            cnt := blanking;
        END IF;
        IF cnt = 0 THEN
            s_out <= s_in;
        ELSE
            cnt := cnt - 1;
            s_out <= '0';
        END IF;
        s_int_ant := s_in;
    END IF;
END IF;
END PROCESS desplaça;

END algorithmic;

```



## F.2. Trifàsic

La programació del dispositiu FPGA del sistema trifàsic segueix la mateixa estructura que la del sistema monofàsic. La diferència ara, és que la informació que la FPGA rep del dispositiu de control dSPACE s'ha de convertir en 12 senyals de porta per als IGBTs. Això significa que s'han hagut de fer modificacions en els blocs on es tradueix la informació de duties a senyals de porta.

Els senyals que es reben des del dispositiu de control són els mateixos que en monofàsic, tant la codificació dels duties, com els senyals de comunicació entre ambdós dispositius.

A continuació es mostren els blocs que són diferents respecte del monofàsic.

### F.2.1. Duties\_2

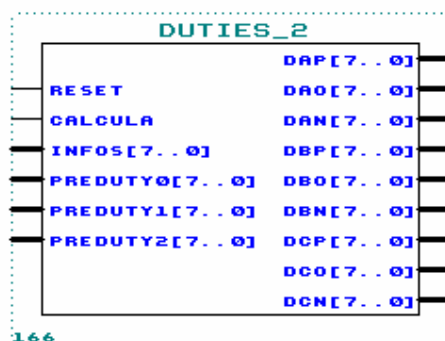


Figura F.12 Bloc duties\_2

Senyals d'entrada	
RESET	Senyal de reset dels comptadors i de les sortides del bloc
CALCULA	Senyal que indica l'inici dels càlculs de la connexió al block duties_2
INFOS[7...0]	Byte procedent del bloc Synchro que conté la informació del la regió de l'hexàgon on ha de modular el convertidor
PREDUTY0 [7...0]	Byte procedent del bloc Synchro que conté la informació del preduuty0
PREDUTY1 [7...0]	Byte procedent del bloc Synchro que conté la informació del preduuty1
PREDUTY2 [7...0]	Byte procedent del bloc Synchro que conté la informació del preduuty2
Senyals de sortida	
DAP[7..0]	Byte que conté la informació del temps de connexió de la



	branca a al punt p
DAO[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt o
DAN[7..0]	Byte que conté la informació del temps de connexió de la branca a al punt n
DBP[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt p
DBO[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt o
DBN[7..0]	Byte que conté la informació del temps de connexió de la branca b al punt n
DCP[7..0]	Byte que conté la informació del temps de connexió de la branca c al punt p
DCO[7..0]	Byte que conté la informació del temps de connexió de la branca c al punt o
DCN[7..0]	Byte que conté la informació del temps de connexió de la branca c al punt n

Taula F.9 Senyals d'entrada i sortida del bloc duties\_2

```

-----
-- duties_2.vhd
-- processa els 3 pre-duties i els converteix en els duties definitius
-----

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY duties_2 IS
    PORT(
        reset, calcula
    IN STD_LOGIC;
        infos
    : IN STD_LOGIC_VECTOR (7 downto 0);
        preduty0, preduty1, preduty2
    : IN INTEGER RANGE 255 downto 0;
        dap, dao, dan, dbp, dbo, dbn, dcp, dco, dcn
    : OUT INTEGER RANGE 255
    downto 0);
END duties_2;

ARCHITECTURE funcional OF duties_2 IS

    SIGNAL dap_aux, dao_aux, dan_aux, dbp_aux, dbo_aux, dbn_aux, dcp_aux, dco_aux, dcn_aux
    : INTEGER RANGE 255 downto 0;

BEGIN
    translate : PROCESS (reset, calcula)

BEGIN
    IF (reset='1') THEN
        dap_aux <= 0;
        dao_aux <= 0;
        dan_aux <= 0;
        dbp_aux <= 0;
        dbo_aux <= 0;
    
```



```

    dbn_aux <= 0;
    dcp_aux <= 0;
    dco_aux <= 0;
    dcn_aux <= 0;
ELSE
    IF (calcula'event and calcula = '1') THEN
        -- Fem l'assignació dels predutys per al sextant 0, després segons quin sigui el
        sextant corresponent
        -- es faran els canvis que toquin
        IF infos(4)='0' and infos(3)='0' THEN
            IF infos(2)='0' and infos(1)='0' THEN
                -- dap_aux <= preduty1+preduty2;
                dap_aux <= preduty1+preduty2;
                dao_aux <= preduty0;
                dan_aux <= 0;
                dbp_aux <= 0;
                dbo_aux <= preduty2;
                dbn_aux <= preduty0+preduty1;
                dcp_aux <= 0;
                dco_aux <= 0;
                dcn_aux <= preduty0+preduty1+preduty2;
            ELSIF infos(2)='0' and infos(1)='1' THEN
                dap_aux <= preduty0+preduty1+preduty2;
                dao_aux <= 0;
                dan_aux <= 0;
                dbp_aux <= 0;
                dbo_aux <= preduty1+preduty2;
                dbn_aux <= preduty0;
                dcp_aux <= 0;
                dco_aux <= preduty2;
                dcn_aux <= preduty0+preduty1;
            END IF;
        ELSIF infos(4)='0' and infos(3)='1' THEN
            IF infos(2)='0' and infos(1)='0' THEN
                dap_aux <= preduty2;
                dao_aux <= preduty0+preduty1;
                dan_aux <= 0;
                dbp_aux <= 0;
                dbo_aux <= preduty1+preduty2;
                dbn_aux <= preduty0;
                dcp_aux <= 0;
                dco_aux <= 0;
                dcn_aux <= preduty0+preduty1+preduty2;
            ELSIF infos(2)='0' and infos(1)='1' THEN
                dap_aux <= preduty1+preduty2;
                dao_aux <= preduty0;
                dan_aux <= 0;
                dbp_aux <= preduty2;
                dbo_aux <= preduty1;
                dbn_aux <= preduty0;
                dcp_aux <= 0;
                dco_aux <= preduty2;
                dcn_aux <= preduty0+preduty1;
            ELSIF infos(2)='1' and infos(1)='0' THEN
                dap_aux <= preduty1+preduty2;
                dao_aux <= preduty0;
                dan_aux <= 0;
                dbp_aux <= 0;
                dbo_aux <= preduty0+preduty1+preduty2;
                dbn_aux <= 0;
                dcp_aux <= 0;
                dco_aux <= preduty2;
                dcn_aux <= preduty0+preduty1;
            END IF;
        END IF;
    END IF;

```



```

ELSIF infos(2)='1' and infos(1)='1' THEN
    dap_aux <= preduty0+preduty1+preduty2;
    dao_aux <= 0;
    dan_aux <= 0;
    dbp_aux <= preduty2;
    dbo_aux <= preduty0+preduty1;
    dbn_aux <= 0;
    dcp_aux <= 0;
    dco_aux <= preduty1+preduty2;
    dcn_aux <= preduty0;
END IF;
ELSIF infos(4)='1' and infos(3)='0' THEN
    IF infos(2)='0' and infos(1)='0' THEN
        dap_aux <= preduty1+preduty2;
        dao_aux <= preduty0;
        dan_aux <= 0;
        dbp_aux <= preduty2;
        dbo_aux <= preduty0+preduty1;
        dbn_aux <= 0;
        dcp_aux <= 0;
        dco_aux <= 0;
        dcn_aux <= preduty0+preduty1+preduty2;
    ELSIF infos(2)='0' and infos(1)='1' THEN
        dap_aux <= preduty0+preduty1+preduty2;
        dao_aux <= 0;
        dan_aux <= 0;
        dbp_aux <= preduty1+preduty2;
        dbo_aux <= preduty0;
        dbn_aux <= 0;
        dcp_aux <= 0;
        dco_aux <= preduty2;
        dcn_aux <= preduty0+preduty1;
    END IF;
ELSIF infos(4)='1' and infos(3)='1' THEN
    IF infos(2)='0' and infos(1)='0' THEN
        dap_aux <= 0;
        dao_aux <= preduty0+preduty1+preduty2;
        dan_aux <= 0;
        dbp_aux <= 0;
        dbo_aux <= preduty1+preduty2;
        dbn_aux <= preduty0;
        dcp_aux <= 0;
        dco_aux <= preduty2;
        dcn_aux <= preduty0+preduty1;
    ELSIF infos(2)='0' and infos(1)='1' THEN
        dap_aux <= preduty2;
        dao_aux <= preduty0+preduty1;
        dan_aux <= 0;
        dbp_aux <= preduty2;
        dbo_aux <= preduty1;
        dbn_aux <= preduty0;
        dcp_aux <= 0;
        dco_aux <= preduty1+preduty2;
        dcn_aux <= preduty0;
    ELSIF infos(2)='1' and infos(1)='0' THEN
        dap_aux <= preduty2;
        dao_aux <= preduty0+preduty1;
        dan_aux <= 0;
        dbp_aux <= 0;
        dbo_aux <= preduty0+preduty1+preduty2;
        dbn_aux <= 0;
        dcp_aux <= 0;
        dco_aux <= preduty1+preduty2;
        dcn_aux <= preduty0;
    END IF;

```



```

                                ELSIF infos(2)='1' and infos(1)='1' THEN
                                    dap_aux <= preduty1+preduty2;
                                    dao_aux <= preduty0;
                                    dan_aux <= 0;
                                    dbp_aux <= preduty2;
                                    dbo_aux <= preduty0+preduty1;
                                    dbn_aux <= 0;
                                    dcp_aux <= 0;
                                    dco_aux <= preduty0+preduty1+preduty2;
                                    dcn_aux <= 0;
                                END IF;
                                END IF;
IF infos(7)='0' and infos(6)='0' and infos(5)='0' THEN
    dap <= dap_aux;
    dao <= dao_aux;
    dan <= dan_aux;
    dbp <= dbp_aux;
    dbo <= dbo_aux;
    dbn <= dbn_aux;
    dcp <= dcp_aux;
    dco <= dco_aux;
    dcn <= dcn_aux;
-- SEXTANT 1 [001], a->b i b->a
ELSIF infos(7)='0' and infos(6)='0' and infos(5)='1' THEN
    dap <= dbp_aux;
    dao <= dbo_aux;
    dan <= dbn_aux;
    dbp <= dap_aux;
    dbo <= dao_aux;
    dbn <= dan_aux;
    dcp <= dcp_aux;
    dco <= dco_aux;
    dcn <= dcn_aux;
-- SEXTANT 2 [010], a->b i b->c i c->a
ELSIF infos(7)='0' and infos(6)='1' and infos(5)='0' THEN
    dap <= dcp_aux;
    dao <= dco_aux;
    dan <= dcn_aux;
    dbp <= dap_aux;
    dbo <= dao_aux;
    dbn <= dan_aux;
    dcp <= dbp_aux;
    dco <= dbo_aux;
    dcn <= dbn_aux;
-- SEXTANT 3 [011], a->c i c->a
ELSIF infos(7)='0' and infos(6)='1' and infos(5)='1' THEN
    dap <= dcp_aux;
    dao <= dco_aux;
    dan <= dcn_aux;
    dbp <= dbp_aux;
    dbo <= dbo_aux;
    dbn <= dbn_aux;
    dcp <= dap_aux;
    dco <= dao_aux;
    dcn <= dan_aux;
-- SEXTANT 4 [100], a->c i b->a i c->b
ELSIF infos(7)='1' and infos(6)='0' and infos(5)='0' THEN
    dap <= dbp_aux;
    dao <= dbo_aux;
    dan <= dbn_aux;
    dbp <= dcp_aux;
    dbo <= dco_aux;
    dbn <= dcn_aux;
    dcp <= dap_aux;

```





```

        dco <= dao_aux;
        dcn <= dan_aux;
-- SEXTANT 5 [101], b->c i c->b
ELSIF infos(7)='1' and infos(6)='0' and infos(5)='1' THEN
        dap <= dap_aux;
        dao <= dao_aux;
        dan <= dan_aux;
        dbp <= dcp_aux;
        dbo <= dco_aux;
        dbn <= dcn_aux;
        dcp <= dbp_aux;
        dco <= dbo_aux;
        dcn <= dbn_aux;
END IF;

        END IF;
END IF;

-- fem els canvis corresponents segons el sextant ----
-- SEXTANT 1 [000], tot queda com l'assignació prèvia

END PROCESS translate;
END funcional;

```

## F.2.2. Pwm

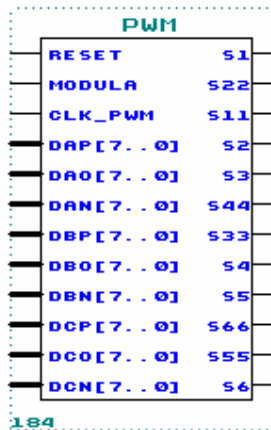


Figura F.13 Bloc pwm

```

-----
-- pwm.vhd
-- a partir dels 9 duties definitius (3 per branca), modula els seus --
-- valors en amplitud de polsos (PWM) a la freqüència de commutació
-----

```

```

LIBRARY ieee;

```



```

USE ieee.std_logic_1164.ALL;

ENTITY pwm IS
    PORT( reset, modula, clk_pwm
          : IN STD_LOGIC;
          dap, dao, dan, dbp, dbo, dbn, dcp, dco, dcn
          : IN
          S1, S22, S11, S2, S3, S44, S33, S4, S5, S66, S55, S6 : OUT STD_LOGIC);
END pwm;

ARCHITECTURE funcional OF pwm IS
    SIGNAL ap : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL apmesao : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL aomesan : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL an : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL bp : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL bpmesbo : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL bomesbn : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL bn : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL cp : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL cpmesco : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL comescn : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL cn : INTEGER RANGE 255 DOWNT0 0 :=0;
    SIGNAL ponnop : STD_LOGIC :='0'; -- '0' = pon // '1' = nop
    SIGNAL S1_out : STD_LOGIC :='0';
    SIGNAL S22_out : STD_LOGIC :='0';
    SIGNAL S11_out : STD_LOGIC :='0';
    SIGNAL S2_out : STD_LOGIC :='0';
    SIGNAL S3_out : STD_LOGIC :='0';
    SIGNAL S44_out : STD_LOGIC :='0';
    SIGNAL S33_out : STD_LOGIC :='0';
    SIGNAL S4_out : STD_LOGIC :='0';
    SIGNAL S5_out : STD_LOGIC :='0';
    SIGNAL S66_out : STD_LOGIC :='0';
    SIGNAL S55_out : STD_LOGIC :='0';
    SIGNAL S6_out : STD_LOGIC :='0';

BEGIN

modular : PROCESS (reset, modula, clk_pwm)
BEGIN
IF (reset='1') THEN
    ap <= 0;
    apmesao <= 0;
    aomesan <= 0;
    an <= 0;
    bp <= 0;
    bpmesbo <= 0;
    bomesbn <= 0;
    bn <= 0;
    cp <= 0;
    cpmesco <= 0;
    comescn <= 0;
    cn <= 0;
    ponnop <= '0';
    S1_out <= '0';
    S22_out <= '0';
    S11_out <= '0';
    S2_out <= '0';
    S3_out <= '0';
    S44_out <= '0';
    S33_out <= '0';
    S4_out <= '0';
    S5_out <= '0';

```



```

S66_out <= '0';
S55_out <= '0';
S6_out <= '0';

ELSE
  IF (clk_pwm'event AND clk_pwm='1') THEN
    IF (modula='1') THEN
      ap <= dap;
      apmesao <= dap + dao;
      aomesan <= dao + dan;
      an <= dan;
      bp <= dbp;
      bpmesbo <= dbp + dbo;
      bomesbn <= dbo + dbn;
      bn <= dbn;
      cp <= dcp;
      cpmesco <= dcp + dco;
      comescn <= dco + dcn;
      cn <= dcn;
      ponnop <= NOT ponnop;
    ELSE
      IF ponnop = '0' THEN
        IF ap /= 0 THEN
          S1_out <= '1';
          S11_out <= '0';
          ap <= ap - 1;
        ELSE
          S1_out <= '0';
          S11_out <= '1';
          ap <= 0;
        END IF;
        IF apmesao /= 0 THEN
          S2_out <= '0';
          S22_out <= '1';
          apmesao <= apmesao - 1;
        ELSE
          S2_out <= '1';
          S22_out <= '0';
          apmesao <= 0;
        END IF;
        IF bp /= 0 THEN
          S3_out <= '1';
          S33_out <= '0';
          bp <= bp - 1;
        ELSE
          S3_out <= '0';
          S33_out <= '1';
          bp <= 0;
        END IF;
        IF bpmesbo /= 0 THEN
          S4_out <= '0';
          S44_out <= '1';
          bpmesbo <= bpmesbo - 1;
        ELSE
          S4_out <= '1';
          S44_out <= '0';
          bpmesbo <= 0;
        END IF;
        IF cp /= 0 THEN
          S5_out <= '1';
          S55_out <= '0';
          cp <= cp - 1;
        ELSE
          S5_out <= '0';

```



```

        S55_out <= '1';
        cp <= 0;
    END IF;
    IF cpmesco /= 0 THEN
        S6_out <= '0';
        S66_out <= '1';
        cpmesco <= cpmesco - 1;
    ELSE
        S6_out <= '1';
        S66_out <= '0';
        cpmesco <= 0;
    END IF;
ELSE
    IF aomesan /= 0 THEN
        S1_out <= '0';
        S11_out <= '1';
        aomesan <= aomesan - 1;
    ELSE
        S1_out <= '1';
        S11_out <= '0';
        aomesan <= 0;
    END IF;
    IF an /= 0 THEN
        S2_out <= '1';
        S22_out <= '0';
        an <= an - 1;
    ELSE
        S2_out <= '0';
        S22_out <= '1';
        an <= 0;
    END IF;
    IF bomesbn /= 0 THEN
        S3_out <= '0';
        S33_out <= '1';
        bomesbn <= bomesbn - 1;
    ELSE
        S3_out <= '1';
        S33_out <= '0';
        bomesbn <= 0;
    END IF;
    IF bn /= 0 THEN
        S4_out <= '1';
        S44_out <= '0';
        bn <= bn - 1;
    ELSE
        S4_out <= '0';
        S44_out <= '1';
        bn <= 0;
    END IF;
    IF comescn /= 0 THEN
        S5_out <= '0';
        S55_out <= '1';
        comescn <= comescn - 1;
    ELSE
        S5_out <= '1';
        S55_out <= '0';
        comescn <= 0;
    END IF;
    IF cn /= 0 THEN
        S6_out <= '1';
        S66_out <= '0';
        cn <= cn - 1;
    ELSE
        S6_out <= '0';

```



```

S66_out <= '1';
cn <= 0;
END IF;
END IF;
END IF;
END IF;
END IF;
END PROCESS;
S1 <= S1_out;
S22 <= S22_out;
S11 <= S11_out;
S2 <= S2_out;
S3 <= S3_out;
S44 <= S44_out;
S33 <= S33_out;
S4 <= S4_out;
S5 <= S5_out;
S66 <= S66_out;
S55 <= S55_out;
S6 <= S6_out;

END funcional;

```

### F.2.3. Blanks\_2

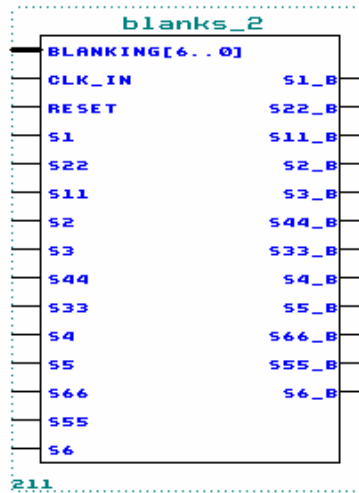


Figura F.14 Bloc blanks\_2





## ANNEX G. CIRCUIT DE PROTECCIÓ DE SOBRECORRENT PEL BUS DE CONTINUA

Per poder realitzar l'engegada del rectificador és necessari que la tensió d'entrada s'elevi gradualment des de 0V fins la tensió desitjada ( $V_{in} = 110V$  per exemple) mitjançant una font de tensió regulable de forma manual. Els condensadors del bus de contínua, al ésser en un principi descarregats per la resistència connectada en paral·lel a aquests, representen un curtcircuit inicial, de forma que la resistència equivalent que es mostra al bus de contínua és nul·la, i això fa que sigui necessari prendre precaucions a l'hora de fer una engegada del rectificador perquè el corrent inicial no sigui massa elevat. Així, si la tensió d'entrada s'eleva de forma gradual com ja s'ha comentat, els condensadors del bus de contínua també es carreguen de forma gradual i no hi ha perill de sobrecorrent. En la major part de les proves realitzades tant amb el rectificador en mode monofàsic com en mode trifàsic, la tensió s'ha elevat de forma gradual mitjançant una font monofàsica programable de California Instruments en el cas monofàsic i un autotransformador VERILEC regulable en tensió alterna en el cas trifàsic.

En la realitat però, s'ha d'intentar trobar una solució per poder engegar el rectificador sense problemes amb una connexió directe a xarxa o a una tensió alterna d'amplitud no variable qualsevol. Si l'engegada del rectificador es fes de forma sobtada des de 0V fins 110V 50Hz per exemple, el corrent d'entrada seria tant elevat que podria cremar la majoria d'IGBTs que formen el rectificador encara que el transitori fos curt en el temps. A continuació s'exposa un circuit que soluciona el problema d'engegada directa del rectificador:



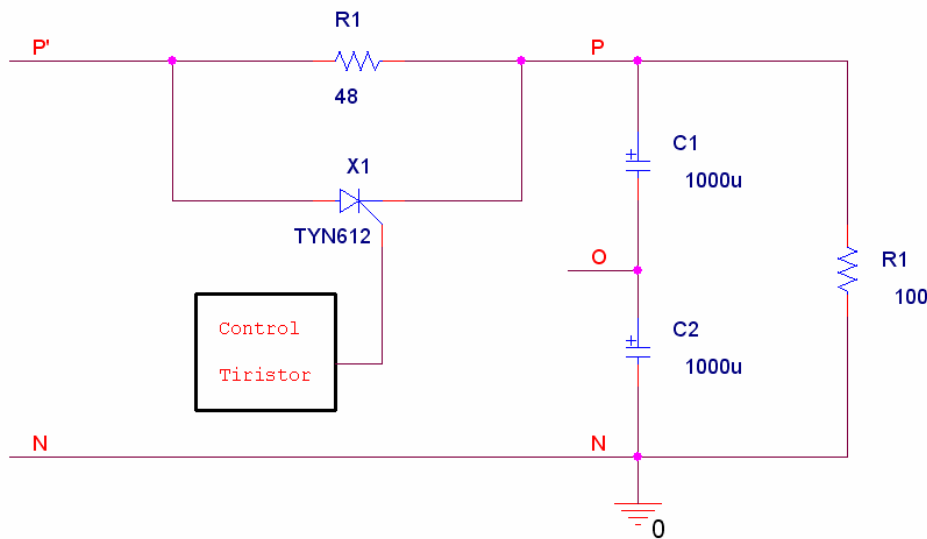


Figura G.1 Esquema del circuit

Com es pot veure a la figura, la idea és bastant senzilla. Simplement es tracta d'un circuit que actua com a divisor resistiu quan el tiristor no condueix, de forma que encara que els condensadors estiguin completament descarregats, la intensitat de corrent que hi circula pel bus de contínua està limitada per la resistència R2 i a mesura que els condensadors es carreguen la tensió es reparteix entre R2 i R1, i quan el tiristor condueix tota la tensió passa al bus de contínua, i per tant a la resistència R1.

Com que es tracta d'evitar que el primer transitori des de l'engegada directa del rectificador amb una certa tensió d'entrada creï un sobrecorrent cal que el control del tiristor es basi en la tensió dels condensadors per poder actuar o no sobre el tiristor. És a dir, quan els condensadors estiguin descarregats caldrà que el tiristor estigui en estat de bloqueig de forma que hi hagi la resistència R2 com a principal protecció contra sobrecorrents. D'aquesta manera la tensió dels condensadors augmentarà mica en mica fins arribar a un nivell llindar de tensió a definir per l'usuari a partir del qual el tiristor es posi a conduir i tota la tensió passi a ser suportada pels condensadors, i per tant també per la resistència R1.

Un cop s'ha mostrat la necessitat d'aquest circuit pel rectificador en estudi, i un cop explicada la teoria bàsica sota la qual ha de ser comandat el tiristor, es presenta a continuació el circuit detallat del control del tiristor que és comandat a partir de la tensió total del bus de contínua, i un resum detallat del funcionament del circuit implementat.







El circuit es divideix en diverses etapes:

En primer lloc, un divisor de tensió atenua la tensió suma dels condensadors del bus de contínua del rectificador (que normalment és una tensió força elevada), per poder treballar amb una tensió més petita.

La tensió  $V_{in\_ISO130}$  resultant del divisor de tensió i que correspon a la tensió d'entrada del amplificador operacional d'aïllament ISO130 és la següent:

$$V_{in\_ISO130} = V_{pn} \cdot \frac{R6}{R1 + R2 + R6 + R4 + R3} = V_{pn} \cdot \frac{R6}{420 + R6} \quad (G.1)$$

La tensió de sortida del ISO130 és 8 vegades la tensió d'entrada segons el datasheet del propi ISO130. Així, la tensió de sortida serà:

$$V_{76} = 8 \cdot V_{pn} \cdot \frac{R6}{420 + R6}, \quad R6 \text{ en k}\Omega \quad (G.2)$$

Tenint  $V_{76}$ , s'utilitza un circuit que cal resoldre per superposició:

$$V_{45} = -30 \cdot \frac{R7 + R8}{R9 + R7 + R8 + R10} + V_{76} \cdot \frac{R9 + R10}{R9 + R7 + R8 + R10} \quad (G.3)$$

Introduint els valors de les resistències a l'equació anterior:

$$V_{45} = -0.6458 + V_{76} \cdot 0.9785 \quad (G.4)$$

Quan  $V_{45}$  sigui una tensió menor de 0V, el transistor de sortida del comparador LM319 (que és de col·lector obert) passarà a conduir, de forma que la caiguda de tensió de 5V es repartirà entre la resistència R11 i la tensió de saturació del transistor del LM319 i la major part del corrent també hi circularà per R11 i el transistor, de forma que el fotodíode no envia cap senyal cap al fototransistor del optoacoblador PS2501. D'altra banda, quan  $V_{45}$  sigui major de 0V el transistor del LM319 passarà a estat de tall i per tant, el corrent circularà principalment des de la font de 5V per la resistència R12 i el fotodíode, de forma que el fotodíode pugui enviar un senyal d'activació al fototransistor del optoacoblador PS2501.

Quan el fototransistor estigui en tall, el transistor BD438 també ho estarà, i per tant el transistor no conduirà, i la tensió de sortida del rectificador quedarà repartida entre la resistència connectada en paral·lel amb el tiristor TYN612 i els condensadors  $C_{po}$  i  $C_{on}$ , connectats a la vegada a la resistència de descàrrega (R20 a l'esquema).



Quan passi a conduir el fototransistor, pel col·lector del transistor pnp BD438 hi circularà un corrent cap a la porta del tiristor suficient per posar-lo a conduir, i per tant transferint tota la tensió de sortida del rectificador cap als condensadors  $C_{po}$  i  $C_{on}$  connectats a la vegada a la resistència de descàrrega (R20 a l'esquema).

Com es pot observar a l'esquema del circuit utilitzat, R6 és simbolitzat com un potenciòmetre, i és que aquest potenciòmetre és el que permetrà decidir la tensió a partir de la qual el tiristor ha de començar a conduir per transferir tota la tensió als condensadors.

- Cas particular.

Si es vol que el tiristor condueixi a partir de que la tensió suma dels condensadors sigui de 300V, quin és el valor de R6 que permet realitzar aquest control?

Suposant que  $V_{45} = 0V$  a X.3 (cas llindar on el comparador LM319 canvia la seva sortida):

$$V_{76} = 0.66V$$

$$\text{I substituint } V_{76} = 0.66V \text{ i } V_{pn} = 300V \text{ en X.2} \rightarrow \mathbf{R6 = 115.5\Omega}$$





## ANNEX H. ESTUDI ECONÒMIC

En el present annex s'especifiquen les despeses derivades de la realització d'aquest projecte. D'acord amb la naturalesa i característiques del mateix, aquestes despeses poden considerar-se classificades en els següents conceptes: despeses relatives als recursos humans, costos derivats de l'ús d'equips, despeses en materials i despeses vàries. A continuació es desglossen els costos associats a cadascun d'aquest conceptes.

### H.1. Cost dels recursos humans

En aquest apartat s'inclouen les despeses relatives al personal que ha desenvolupat el projecte. Es distingeixen dues tasques: la que realitza l'enginyer sènior com a director del projecte, i la que fa l'enginyer júnior com a desenvolupador del mateix.

Per a la quantificació del cost s'ha considerat que el preu/hora de l'enginyer director del projecte és de 70€/h, mentre que per a l'enginyer júnior és de 15€/h, considerant que no disposa d'experiència en el desenvolupament de projectes. Així, les despeses en concepte de recursos humans són les següents:

Personal	Cost per hora	Número hores	Cost Total
Enginyer sènior	70,00 €	50	3.500,00 €
Enginyer júnior 1	15,00 €	850	12.750,00 €
Enginyer júnior 2	15,00 €	850	12.750,00 €
<b>TOTAL</b>			<b>29.000,00 €</b>

Taula H.1 Costos derivats dels recursos humans

### H.2. Cost derivat de l'ús dels equips

En aquest apartat es consideren els costos d'amortització dels equips més importants tant hardware com software que s'han utilitzat per a la realització del projecte. Es considerarà el model d'amortització lineal per a la determinació del cost d'amortització per hora de cada concepte. Referent als equips emprats, aquests han estat ordinadors personals, placa dSPACE i software associat a al placa dSPACE, placa educacional d'Altera, prototipus de rectificador, oscil·loscopi Tecktronics, font tensió alterna California Instruments.



A la Taula H.2 es mostren els costos d'amortització dels equips referits a la seva vida útil.

Equip	Valor de l'equip	Manteniment (%)	Preu + Mant.	Vida útil (hores)	Amortització (€/h)
PC Pentium IV 1	1.100,00€	8	1.188,00€	6000	0,20
PC Pentium IV 2	1.100,00€	8	1.188,00€	6000	0,20
Software	5.000,00€	10	5.500,00€	6000	0,92
Rectificador prototipus	2.000,00€	8	2.160,00€	8000	0,27
Tarjeta dSPACE	7.500,00€	3	7.725,00€	5000	1,55
Dispositiu FPGA Altera	180,00€	3	185,40€	5000	0,04
Oscil·loscopi Tecktronics	12.000,00€	3	12.360,00€	10000	1,24
Font tensió alterna	12.000,00€	3	12.360,00€	10000	1,24

Taula H.2 Cost d'amortització dels equips referits a la vida útil

A partir dels costos reflectits a la Taula H.2 i indicant les hores que s'han utilitzat els diferents equips, es pot estimar de manera aproximada el cost d'amortització d'aquests equips.

Equip	Utilització (h)	Cost Amortització (€/h)	Total (€)
PC Pentium IV 1	700	0,20	140,00 €
PC Pentium IV 2	700	0,20	140,00 €
Software	1400	0,92	1.288,00 €
Rectificador prototipus	550	0,27	148,50 €
Tarjeta dSPACE	550	1,55	852,50 €
Dispositiu FPGA Altera	600	0,04	24,00 €
Oscil·loscopi Tecktronics	550	1,24	682,00 €
Font tensió alterna	500	1,24	620,00 €
<b>TOTAL</b>			<b>3.895,00 €</b>

Taula H.3 Cost d'amortització dels equips utilitzats en aquest projecte

### H.3. Despeses de materials

En aquest apartat s'engloben totes les despeses realitzades en components i altre material divers que s'ha utilitzat en la posada en marxa i durant la verificació del funcionament del rectificador objecte d'estudi d'aquest projecte.

També s'afegeixen totes les despeses que s'han produït al llarg del projecte en concepte de material d'oficina, tinta per a la impressió del projecte, CDs, etc.

El conjunt de tots aquests costos s'ha estimat en **450€**.



#### H.4. Despeses vàries

S'ha considerat un cost afegit del 12,7% (percentatge que aplica la UPC en els seu projectes) de la suma dels conceptes anteriors en concepte de despeses vàries. Aquestes inclouen l'electricitat i l'aigua consumida durant el temps que s'ha desenvolupat el projecte. Els costos totals en concepte de despeses vàries ascendeixen a **4.234,82€**.

#### H.5. Cost total del projecte

El cost total del projecte inclou tots el apartats anteriors: cost dels recursos humans, cost d'amortització dels equips, despeses en materials i despeses vàries. A continuació es presenta una taula resum amb els cost total d'aquests quatre conceptes i el cost total global del projecte.

Concepte		Total
Recursos humans		29.000,00 €
Amortització dels equips		3.895,00 €
Despeses de material		450,00 €
	Subtotal	33.345,00 €
Varis (12,7%)		4.234,82 €
	<b>TOTAL</b>	<b>37.579,82 €</b>

Taula H.4 Cost total del projecte

El cost total d'aquest projecte és de **trenta-set mil cinc-cents setanta-nou euros i vuitanta-dos cèntims (37.579,82€)**.







## ANNEX I. FOTOGRAFIES DELS COMPONENTS DE L'EQUIP EXPERIMENTAL

En aquest annex es dona mostra fotogràfica dels principals elements que constitueixen l'equip experimental a partir del qual s'ha pogut comprovar empíricament el funcionament del rectificador en mode monofàsic i en mode trifàsic. Aquesta visualització pot servir al lector per tenir una idea de l'equip real utilitzat. Aquest equip experimental pertany al GREP, grup de recerca que treballa al departament d'enginyeria electrònica de l'ETSEIB.



Figura I.1 Panell de connexions CP1104 de la targeta dSPACE



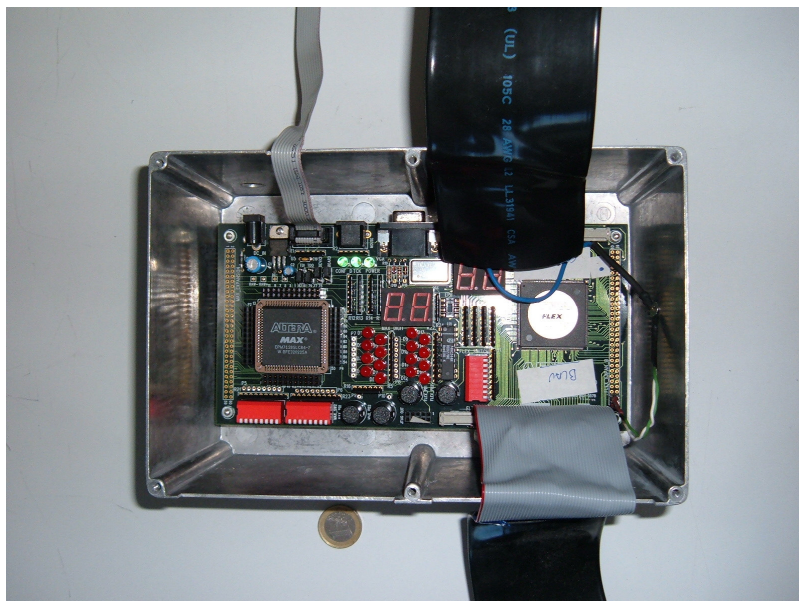


Figura I.2 Dispositiu FPGA Altera

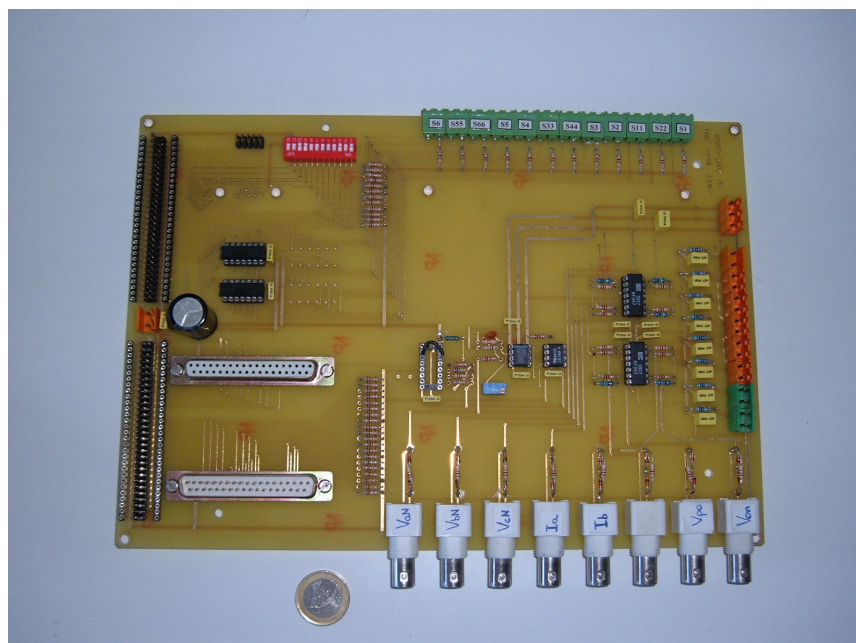


Figura I.3 Placa de connexions





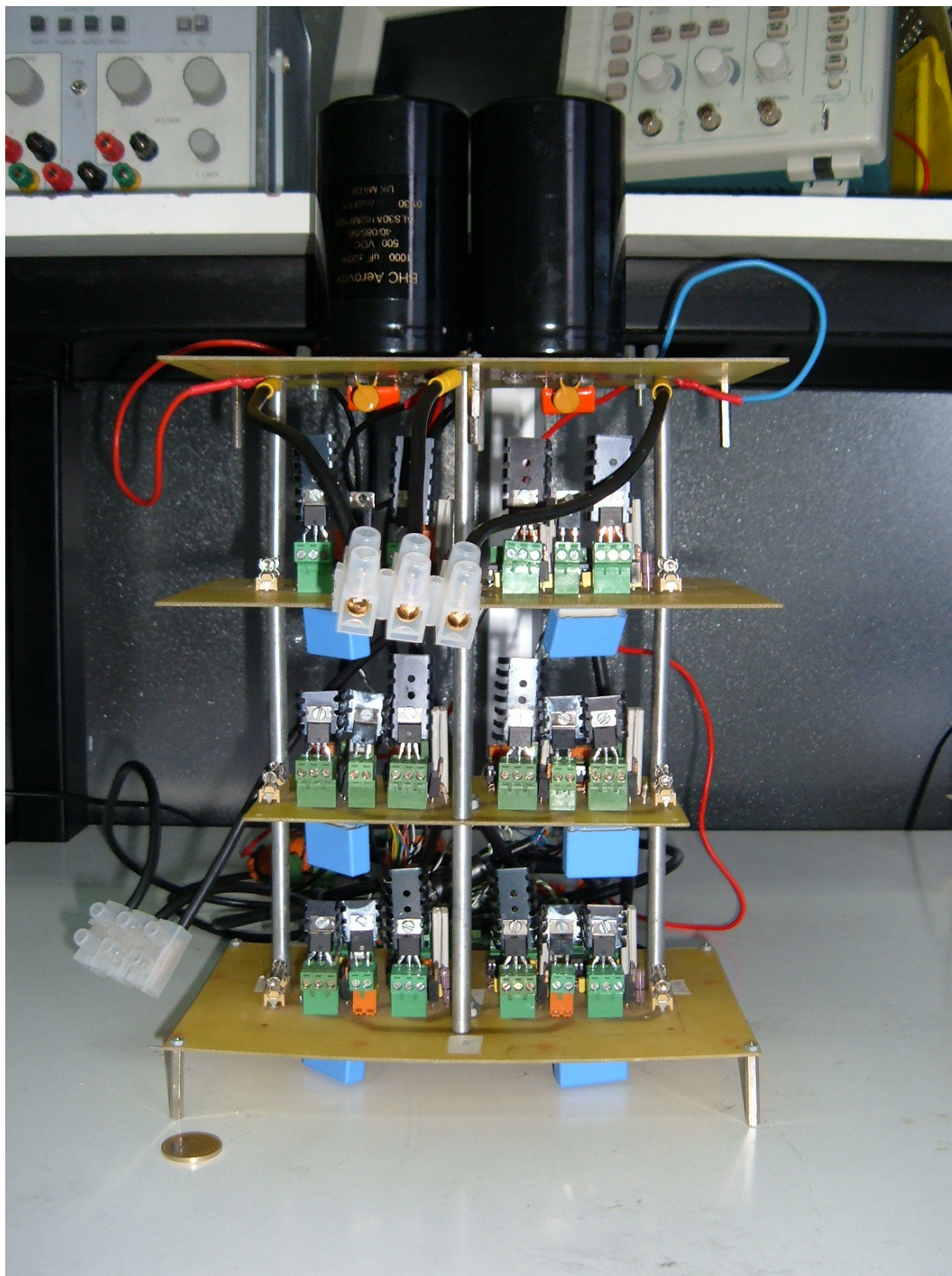


Figura I.4 Rectificador en muntatge trifàsic



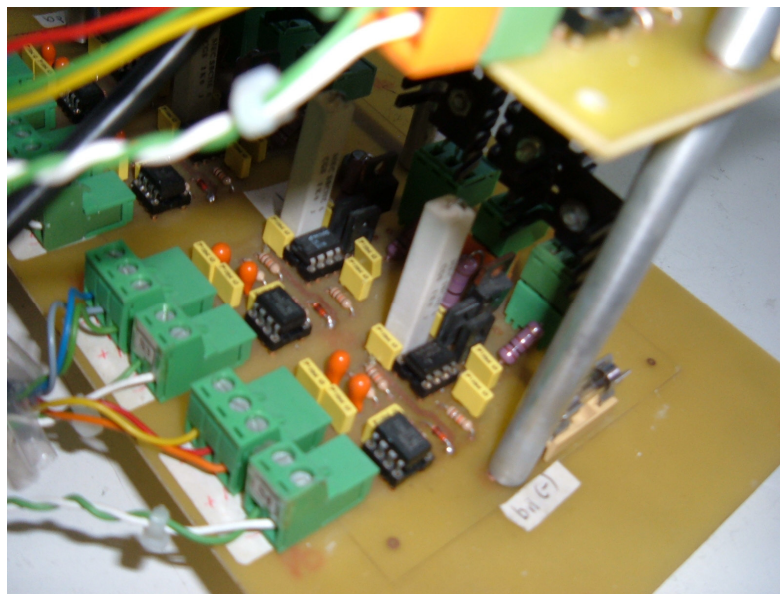


Figura I.5 Detall dels drivers



Figura I.6 Bobina utilitzada en el rectificador monofàsic  $L=6.6\text{mH}$





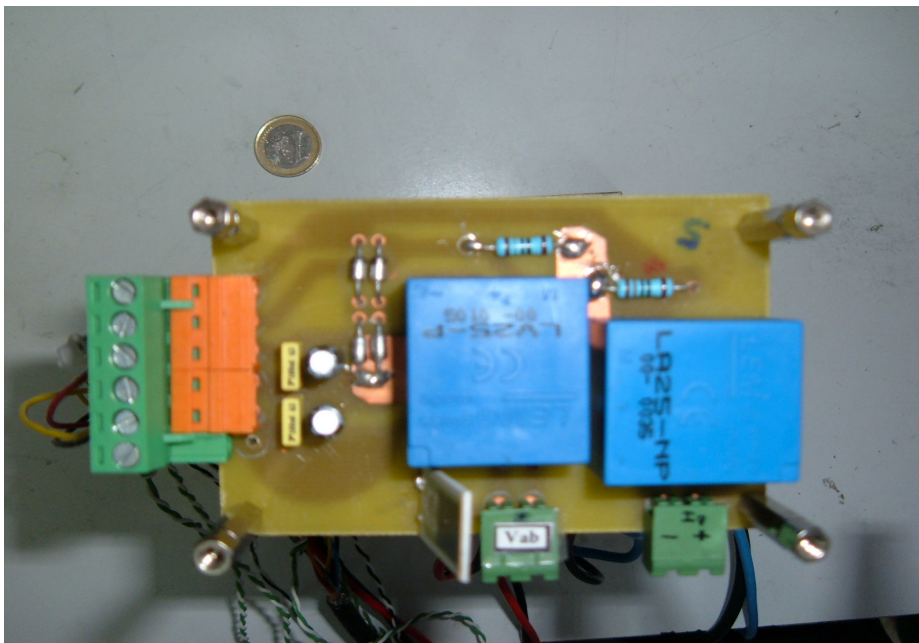


Figura I.7 Detall dels sensors de tensió i corrent

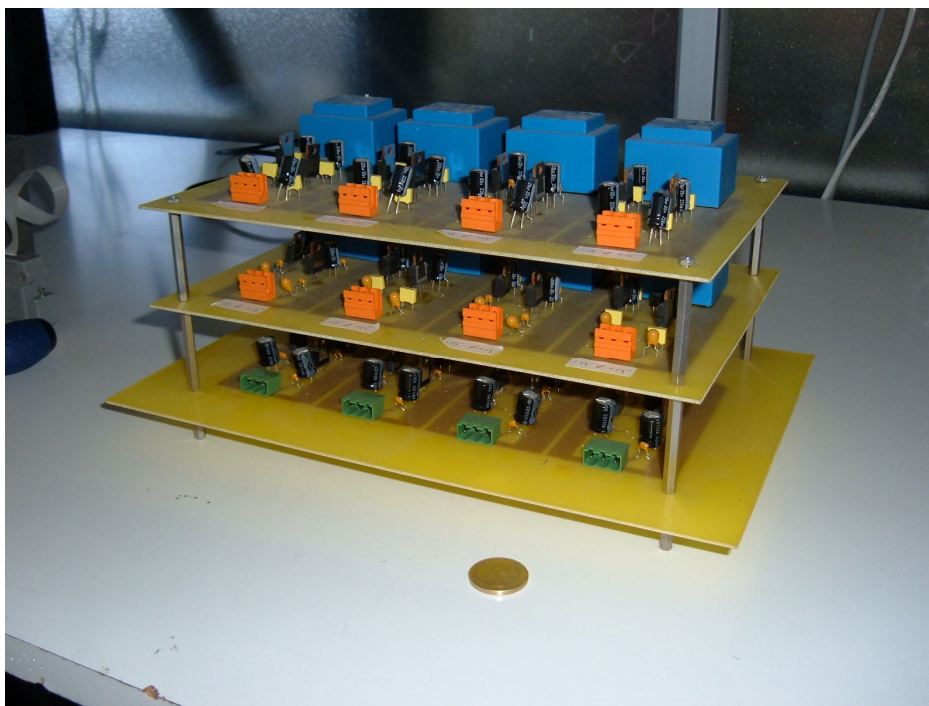


Figura I.8 Detall de la font d'alimentació dels drivers



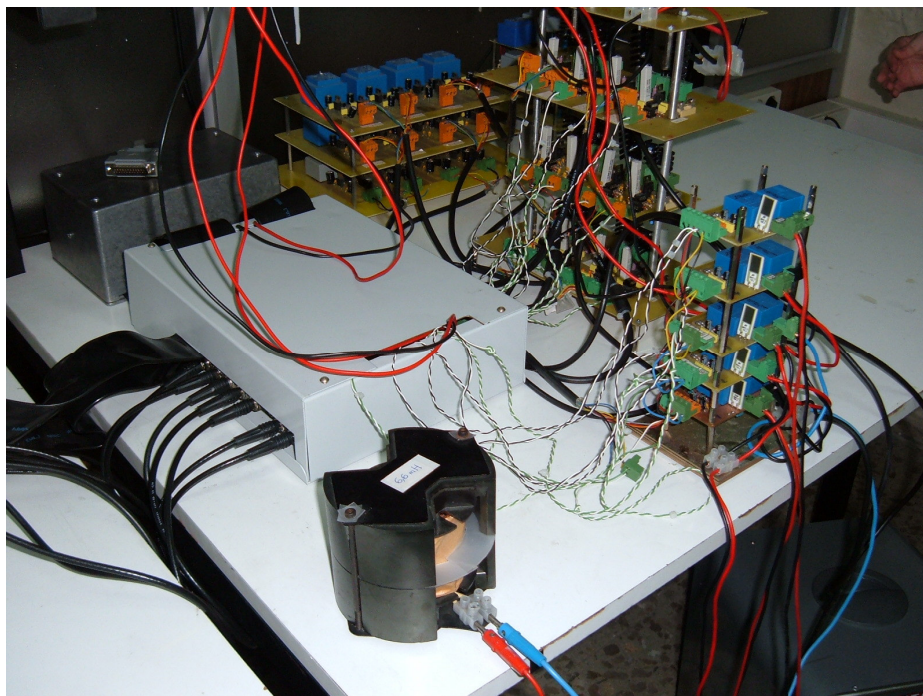


Figura I.9 Connexió dels diversos elements que conformen el sistema



Figura I.10 Detall de les dues càrregues resistives ("aerotherms")







Figura I.11 Fotografia general de l'equip experimental complet

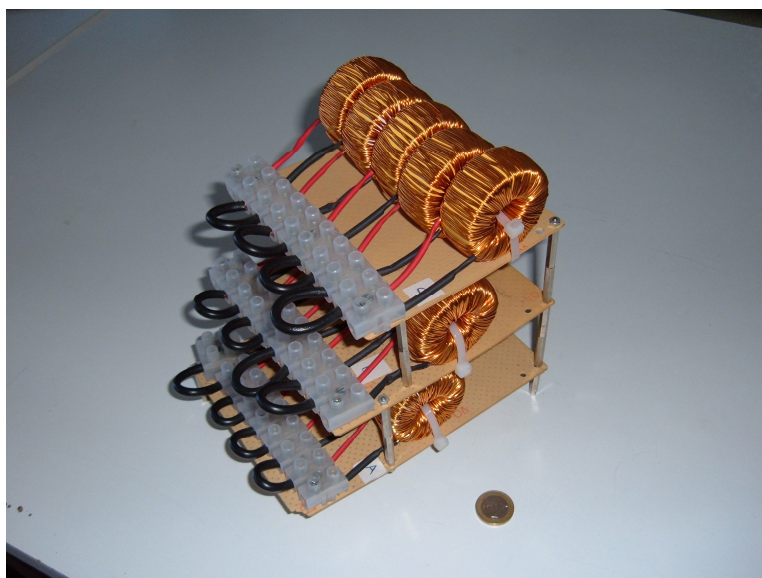


Figura I.12 Bobines utilitzades amb el rectificador trifàsic





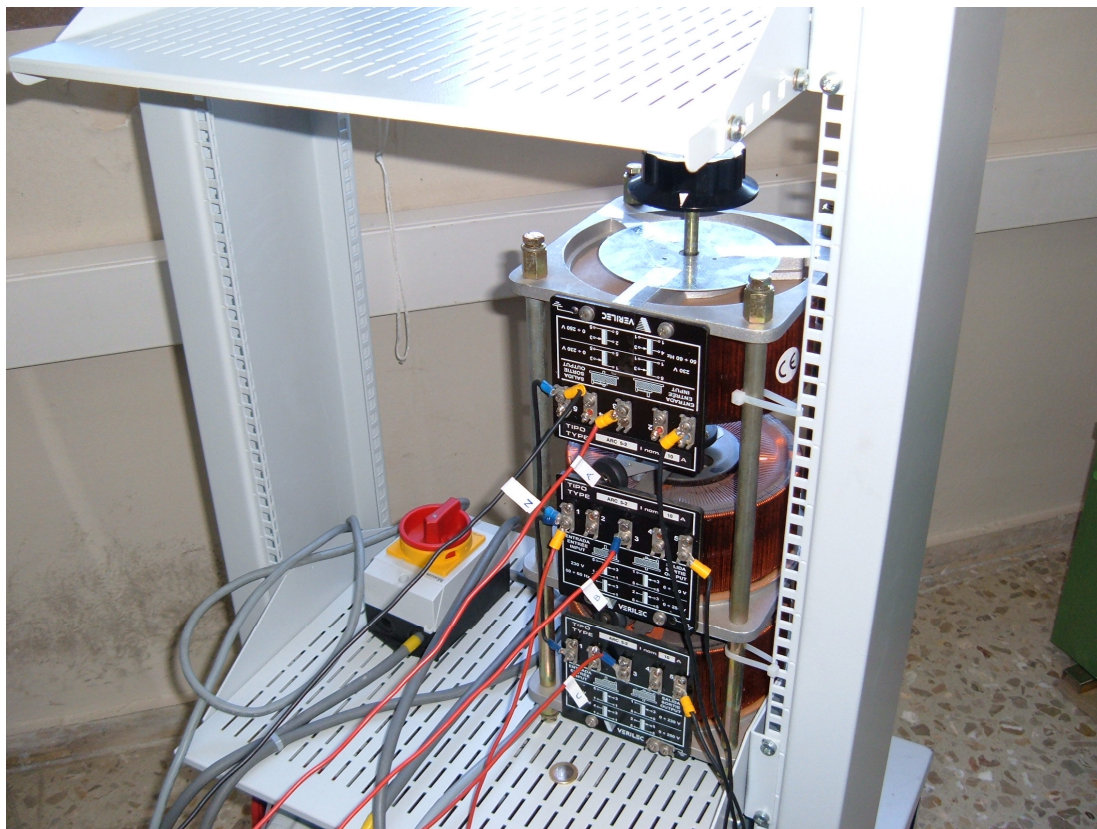


Figura I.13 Autotransformador trifàsic regulable en tensió

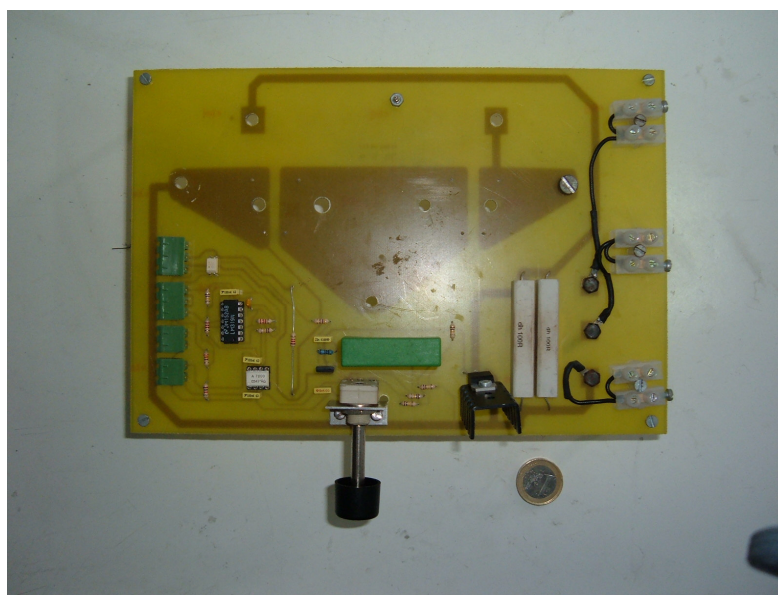


Figura I.14 PCB protecció sobrecorrent (sense els condensadors)





## ANNEX J. ALTRES PROVES EXPERIMENTALS: CÀRREGA NO LINEAL

La majoria de proves realitzades en la memòria del projecte han estat realitzades amb càrregues resistives connectades al bus de continua, és a dir, amb càrregues lineals. A continuació es presenten alguns resultats de proves realitzades amb càrrega no lineal. Per poder realitzar aquestes proves s'ha utilitzat el mateix muntatge que l'introduït a la figura C.13, en l'annex C, on el transistor IGBT en paral·lel amb la càrrega resistiva  $R_1$  commuta a una freqüència  $f$  definida, de forma que al bus de continua se li connecta una càrrega resistiva  $R_1$  i  $R_2$  en sèrie o només  $R_2$ , a aquesta freqüència de commutació. Les proves són realitzades amb el regulador de tensió dissenyat al capítol 5.3. A més dels resultats experimentals, es mostren els resultats de simulació obtinguts amb les mateixes condicions en cada cas, per poder fer una comparació entre simulació i experimentació com ja es va poder veure en altres casos a la memòria del projecte. Les freqüències amb què s'han realitzat les proves són 10Hz, 4.5Hz i 1 Hz, freqüències que es poden considerar força baixes, i que s'han escollit baixes precisament per observar els transitoris que es produeixen a la intensitat del corrent, la tensió del bus de continua i la tensió  $V_{ab}$ . Si les proves es realitzen a freqüències més elevades de commutació (100Hz per exemple), quasi no es percep cap variació de les variables abans mencionades i no té rellevància de cara a estudiar el comportament del regulador de tensió dissenyat.

- **Condicions:**  $V_{in}=100V$  / 50Hz  $R_1=90\Omega$   $R_2=132\Omega$   $V_{pn\ ref}=160V$

### Amb $f = 10\text{Hz}$ de commutació

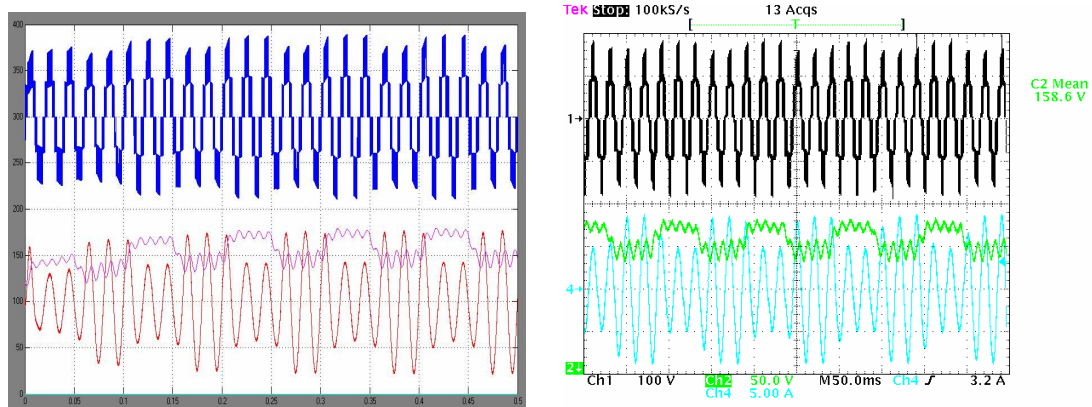


Figura J.1. Cas  $f = 10\text{ Hz}$ . Ch1:  $V_{ab}$  Ch2:  $V_{dc}$  Ch4:  $i_L$



### Amb $f = 4.5\text{Hz}$ de commutació

- **Condicions:**  $V_{in}=100\text{V} / 50\text{Hz}$   $R_1 = 90\Omega$   $R_2 = 132\Omega$   $V_{pn\ ref} = 160\text{V}$

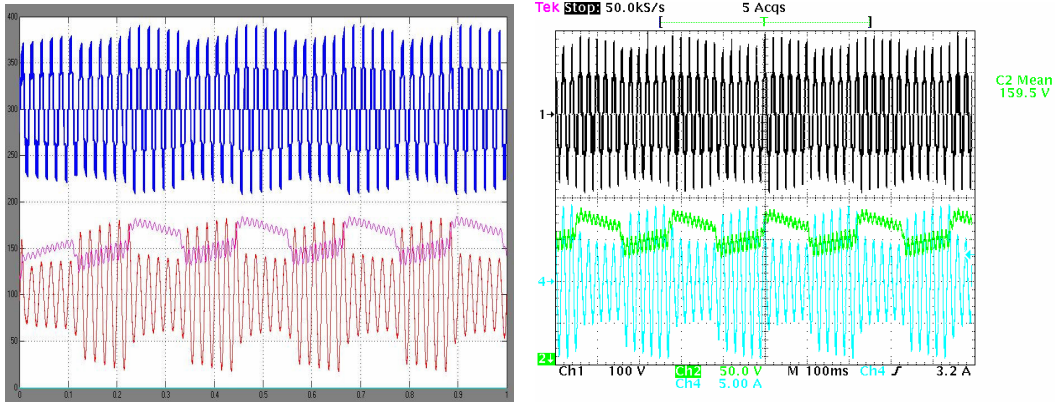


Figura J.2 Cas  $f = 4.5\text{Hz}$ . Ch1:  $V_{ab}$  Ch2:  $V_{dc}$  Ch4:  $i_L$

### Amb $f = 1\text{Hz}$ de commutació

- **Condicions:**  $V_{in}=100\text{V} / 50\text{Hz}$   $R_1 = 90\Omega$   $R_2 = 132\Omega$   $V_{pn\ ref} = 160\text{V}$

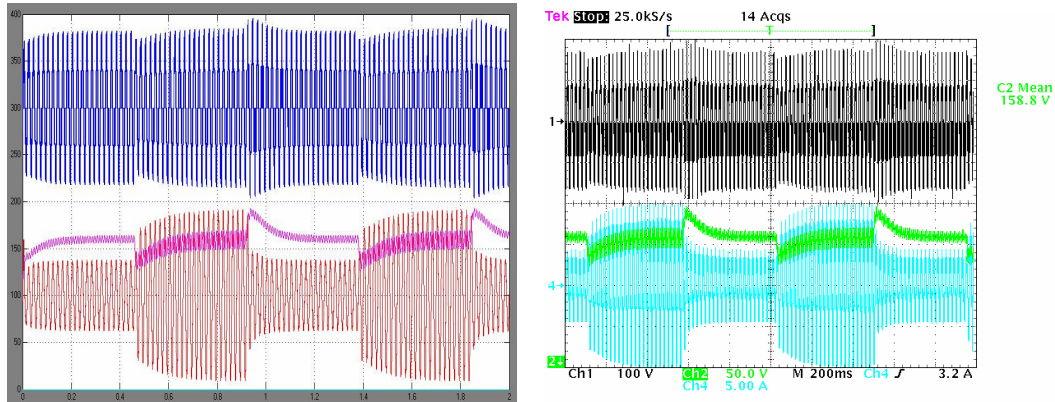


Figura J.3 Cas  $f = 1\text{Hz}$ . Ch1:  $V_{ab}$  Ch2:  $V_{dc}$  Ch4:  $i_L$

Dels resultats mostrats a les figures A.1, A.2 i A.3 anteriors, es pot observar que el control de tensió és força robust davant variacions de càrrega a diverses freqüències de commutació de l'IGBT en paral·lel amb la resistència  $R_1$ . En tots els casos mostrats, la tensió del bus de continua  $V_{dc}$  oscil·la al voltant de la consigna de tensió  $V_{pn\ ref}$  de 160V. Es comprova per tant, que el rectificador amb els controladors dissenyats està preparat per treballar correctament amb transitoris de càrrega i càrregues no lineals en general.



## ANNEX K. FULLS DE CARACTERÍSTIQUES DELS COMPONENTS DEL SISTEMA

En aquest Annex s'inclouen els fulls de les principals característiques dels components físics més significatius que componen l'equip experimental (rectificador, drivers, sensors, fonts d'alimentació i placa de connexions).

A continuació es mostra un llistat amb cadascun dels components:

	Descripció	Localització	Marca	Model
K.1.	IGBT	Rectificador	Internacional Rectifier	IRG4BC30KD
K.2	Optoacobrador	Drivers	FAIRCHILD	6N137
K.3.	Comparador de tensió	Drivers	National Semiconductor	LM311
K.4.	Transistor de potencia	Drivers	ST Microelectronics	BD679- BD680
K.5	Sensor de tensió	Sensors	LEM	LV25-P
K.6	Sensor de corrent	Sensors	LEM	LA25-N
K.7.	Amplificador operacional	Placa de connexions	National Semiconductor	LM741
K.8	Buffer inversor	Placa de connexions	Texas Instruments	SN74LS06
K.9.	Regulador de tensió positiva	Fonts d'alimentació	National Semiconductor	LM7815
K.10.	Regulador de tensió negativa	Fonts d'alimentació	National Semiconductor	LM7915
K.11.	Rectificador de pont complet	Fonts alimentació	FAIRCHILD	W06G
K.12.	Amplificador Operacional Aïllat	Control Tiristor (Annex G)	Burn-Brown	ISO130
K.13.	Amplificador operacional	Control Tiristor (Annex G)	FAIRCHILD	LM319
K.14.	Optoacobrador	Control Tiristor (Annex G)	NEC	PS2501
K.15.	Transistor BJT pnp	Control Tiristor (Annex G)	ST Microelectronics	BD438
K.16.	Tiristor	Control Tiristor (Annex G)	ST Microelectronics	TYN612



## K.1. IGBT

International  
**IR** Rectifier

PD -91595A

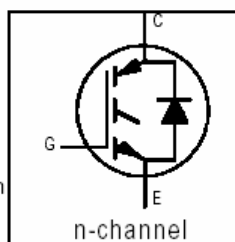
# IRG4BC30KD

INSULATED GATE BIPOLAR TRANSISTOR WITH  
ULTRAFAST SOFT RECOVERY DIODE

Short Circuit Rated  
UltraFast IGBT

### Features

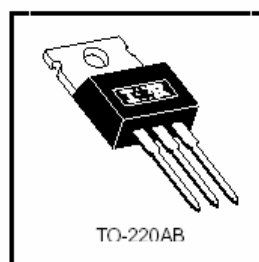
- High short circuit rating optimized for motor control,  $t_{sc} = 10\mu s$ , @360V  $V_{CE}$  (start),  $T_J = 125^\circ C$ ,  $V_{GE} = 15V$
- Combines low conduction losses with high switching speed
- tighter parameter distribution and higher efficiency than previous generations
- IGBT co-packaged with HEXFRED™ ultrafast, ultrasoft recovery antiparallel diodes



$V_{CES} = 600V$
$V_{CE(on)} \text{ typ.} = 2.21V$
@ $V_{GE} = 15V, I_C = 16A$

### Benefits

- Latest generation 4 IGBTs offer highest power density motor controls possible
- HEXFRED™ diodes optimized for performance with IGBTs. Minimized recovery characteristics reduce noise, EMI and switching losses
- This part replaces the IRGBC30KD2 and IRGBC30MD2 products
- For hints see design tip 97003



### Absolute Maximum Ratings

	Parameter	Max.	Units
$V_{CES}$	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	28	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	16	
$I_{CM}$	Pulsed Collector Current (1)	58	
$I_{LM}$	Clamped Inductive Load Current (2)	58	
$I_F @ T_C = 100^\circ C$	Diode Continuous Forward Current	12	
$I_{FM}$	Diode Maximum Forward Current	58	
$t_{sc}$	Short Circuit Withstand Time	10	$\mu s$
$V_{GE}$	Gate-to-Emitter Voltage	$\pm 20$	V
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	100	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	42	
$T_J$	Operating Junction and	-55 to +150	$^\circ C$
$T_{STG}$	Storage Temperature Range		
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting Torque, 6-32 or M3 Screw.	10 lbf•in (1.1 N•m)	

### Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	—	1.2	$^\circ C/W$
$R_{\theta JC}$	Junction-to-Case - Diode	—	—	2.5	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	—	80	
Wt	Weight	—	2 (0.07)	—	g (oz)

www.irf.com

1  
4/24/2000



# IRG4BC30KD

International  
**IRF** Rectifier

## Electrical Characteristics @ T<sub>J</sub> = 25°C (unless otherwise specified)

Parameter	Min.	Typ.	Max.	Units	Conditions
V <sub>(BR)CES</sub>	600	—	—	V	V <sub>GE</sub> = 0V, I <sub>C</sub> = 250μA
ΔV <sub>(BR)CES/ΔT<sub>J</sub></sub>	—	0.54	—	V/°C	V <sub>GE</sub> = 0V, I <sub>C</sub> = 1.0mA
V <sub>CE(on)</sub>	—	2.21	2.7	V	I <sub>C</sub> = 16A I <sub>C</sub> = 28A I <sub>C</sub> = 16A, T <sub>J</sub> = 150°C
V <sub>GE(th)</sub>	3.0	—	6.0	V	V <sub>CE</sub> = V <sub>GE</sub> , I <sub>C</sub> = 250μA
ΔV <sub>GE(th)/ΔT<sub>J</sub></sub>	—	-12	—	mV/°C	V <sub>CE</sub> = V <sub>GE</sub> , I <sub>C</sub> = 250μA
g <sub>fe</sub>	5.4	8.1	—	S	V <sub>CE</sub> = 100V, I <sub>C</sub> = 16A
I <sub>CES</sub>	—	—	250	μA	V <sub>GE</sub> = 0V, V <sub>CE</sub> = 600V
	—	—	2500	μA	V <sub>GE</sub> = 0V, V <sub>CE</sub> = 600V, T <sub>J</sub> = 150°C
V <sub>FM</sub>	—	1.4	1.7	V	I <sub>C</sub> = 12A I <sub>C</sub> = 12A, T <sub>J</sub> = 150°C
I <sub>GES</sub>	—	—	±100	nA	V <sub>GE</sub> = ±20V

## Switching Characteristics @ T<sub>J</sub> = 25°C (unless otherwise specified)

Parameter	Min.	Typ.	Max.	Units	Conditions
Q <sub>g</sub>	—	67	100	nC	I <sub>C</sub> = 16A
Q <sub>ge</sub>	—	11	16	nC	V <sub>CC</sub> = 400V V <sub>GE</sub> = 15V
Q <sub>gc</sub>	—	25	37	nC	
t <sub>d(on)</sub>	—	60	—	ns	T <sub>J</sub> = 25°C I <sub>C</sub> = 16A, V <sub>CC</sub> = 480V V <sub>GE</sub> = 15V, R <sub>G</sub> = 23Ω
t <sub>r</sub>	—	42	—	ns	
t <sub>d(off)</sub>	—	160	250	ns	
t <sub>f</sub>	—	80	120	ns	
E <sub>on</sub>	—	0.60	—	mJ	Energy losses include "tail" and diode reverse recovery See Fig. 9,10,14
E <sub>off</sub>	—	0.58	—	mJ	
E <sub>ts</sub>	—	1.18	1.6	mJ	
t <sub>sc</sub>	10	—	—	μs	V <sub>CC</sub> = 360V, T <sub>J</sub> = 125°C V <sub>GE</sub> = 15V, R <sub>G</sub> = 10Ω, V <sub>CPK</sub> < 500V
t <sub>d(on)</sub>	—	58	—	ns	T <sub>J</sub> = 150°C, See Fig. 11,14 I <sub>C</sub> = 16A, V <sub>CC</sub> = 480V V <sub>GE</sub> = 15V, R <sub>G</sub> = 23Ω
t <sub>r</sub>	—	42	—	ns	
t <sub>d(off)</sub>	—	210	—	ns	
t <sub>f</sub>	—	160	—	ns	
E <sub>ts</sub>	—	1.69	—	mJ	Energy losses include "tail" and diode reverse recovery
L <sub>E</sub>	—	7.5	—	nH	Measured 5mm from package
C <sub>ies</sub>	—	920	—	pF	V <sub>GE</sub> = 0V V <sub>CC</sub> = 30V f = 1.0MHz
C <sub>oes</sub>	—	110	—	pF	
C <sub>res</sub>	—	27	—	pF	
t <sub>rr</sub>	—	42	60	ns	T <sub>J</sub> = 25°C See Fig. 14 T <sub>J</sub> = 125°C 14
I <sub>rr</sub>	—	80	120	A	
Q <sub>rr</sub>	—	80	180	nC	
	—	220	600	nC	T <sub>J</sub> = 25°C See Fig. 16 T <sub>J</sub> = 125°C
di <sub>(rec)M</sub> /dt	—	180	—	A/μs	T <sub>J</sub> = 25°C See Fig. 17 T <sub>J</sub> = 125°C
	—	160	—	A/μs	



## K.2. Optocobrador



## HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLEDERS

### SINGLE-CHANNEL

6N137

HCPL-2601

HCPL-2611

### DUAL-CHANNEL

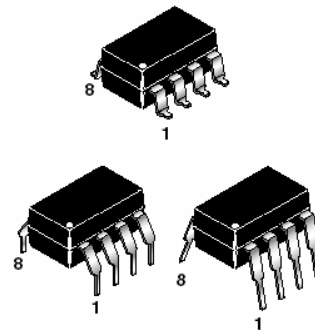
HCPL-2630

HCPL-2631

### DESCRIPTION

The 6N137, HCPL-2601/2611 single-channel and HCPL-2630/2631 dual-channel optocouplers consist of a 850 nm AlGaAs LED, optically coupled to a very high speed integrated photodetector logic gate with a strobable output. This output features an open collector, thereby permitting wired OR outputs. The coupled parameters are guaranteed over the temperature range of -40°C to +85°C. A maximum input signal of 5 mA will provide a minimum output sink current of 13 mA (fan out of 8).

An internal noise shield provides superior common mode rejection of typically 10 kV/μs. The HCPL-2601 and HCPL-2631 has a minimum CMR of 5 kV/μs. The HCPL-2611 has a minimum CMR of 10 kV/μs.

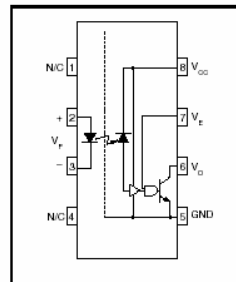


### FEATURES

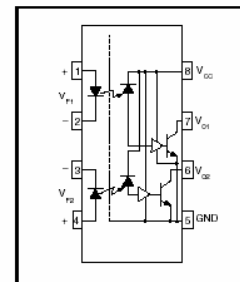
- Very high speed-10 MBit/s
- Superior CMR-10 kV/μs
- Double working voltage-480V
- Fan-out of 8 over -40°C to +85°C
- Logic gate output
- Storable output
- Wired OR-open collector
- U.L. recognized (File # E90700)

### APPLICATIONS

- Ground loop elimination
- LSTTL to TTL, LSTTL or 5-volt CMOS
- Line receiver, data transmission
- Data multiplexing
- Switching power supplies
- Pulse transformer replacement
- Computer-peripheral interface



6N137  
HCPL-2601  
HCPL-2611



HCPL-2630  
HCPL-2631

### TRUTH TABLE (Positive Logic)

Input	Enable	Output
H	H	L
L	H	H
H	L	H
L	L	H
H	NC	L
L	NC	H

A 0.1 μF bypass capacitor must be connected between pins 8 and 5.  
(See note 1)





## HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLERS

**SINGLE-CHANNEL**  
6N137  
HCPL-2601  
HCPL-2611

**DUAL-CHANNEL**  
HCPL-2630  
HCPL-2631

<b>ABSOLUTE MAXIMUM RATINGS</b> (No derating required up to 85°C)			
Parameter	Symbol	Value	Units
Storage Temperature	$T_{STG}$	-55 to +125	°C
Operating Temperature	$T_{OPR}$	-40 to +85	°C
Lead Solder Temperature	$T_{SOL}$	260 for 10 sec	°C
<b>EMITTER</b>			
DC/Average Forward Input Current	$I_F$	50	mA
Single channel			
Dual channel (Each channel)		30	
Enable Input Voltage	$V_E$	5.5	V
Single channel			
Not to exceed $V_{CC}$ by more than 500 mV			
Reverse Input Voltage	$V_R$	5.0	V
Power Dissipation	$P_I$	100	mW
Single channel			
Dual channel (Each channel)		45	
<b>DETECTOR</b>			
Supply Voltage	$V_{CC}$ (1 minute max)	7.0	V
Output Current	$I_O$	50	mA
Single channel			
Dual channel (Each channel)		50	
Output Voltage	$V_O$	7.0	V
Collector Output	$P_O$	85	mW
Single channel			
Dual channel (Each channel)		60	

<b>RECOMMENDED OPERATING CONDITIONS</b>				
Parameter	Symbol	Min	Max	Units
Input Current, Low Level	$I_{FL}$	0	250	µA
Input Current, High Level	$I_{FH}$	*6.3	15	mA
Supply Voltage, Output	$V_{CC}$	4.5	5.5	V
Enable Voltage, Low Level	$V_{EL}$	0	0.8	V
Enable Voltage, High Level	$V_{EH}$	2.0	$V_{CC}$	V
Low Level Supply Current	$T_A$	-40	+85	°C
Fan Out (TTL load)	N		8	

\* 6.3 mA is a guard banded value which allows for at least 20 % CTR degradation. Initial input current threshold value is 5.0 mA or less







## HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLEDERS

**SINGLE-CHANNEL**  
**6N137**  
**HCPL-2601**  
**HCPL-2611**

**DUAL-CHANNEL**  
**HCPL-2630**  
**HCPL-2631**

**ELECTRICAL CHARACTERISTICS** ( $T_A = -40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$  Unless otherwise specified.)

INDIVIDUAL COMPONENT CHARACTERISTICS						
Parameter	Test Conditions	Symbol	Min	Typ**	Max	Unit
<b>EMITTER</b>						
Input Forward Voltage	( $I_F = 10\text{ mA}$ ) $T_A = 25^{\circ}\text{C}$	$V_F$		1.4	1.8	V
Input Reverse Breakdown Voltage	( $I_R = 10\ \mu\text{A}$ )	$B_{VR}$	5.0			V
Input Capacitance	( $V_F = 0, f = 1\text{ MHz}$ )	$C_{IN}$		60		pF
Input Diode Temperature Coefficient	( $I_F = 10\text{ mA}$ )	$\Delta V_F / \Delta T_A$		-1.4		mV/ $^{\circ}\text{C}$
<b>DETECTOR</b>						
High Level Supply Current	Single Channel ( $V_{CC} = 5.5\text{ V}, I_F = 0\text{ mA}$ )	$I_{CCH}$		7	10	mA
	Dual Channel ( $V_E = 0.5\text{ V}$ )			10	15	
Low Level Supply Current	Single Channel ( $V_{CC} = 5.5\text{ V}, I_F = 10\text{ mA}$ )	$I_{CCL}$		9	13	mA
	Dual Channel ( $V_E = 0.5\text{ V}$ )			14	21	
Low Level Enable Current	( $V_{CC} = 5.5\text{ V}, V_E = 0.5\text{ V}$ )	$I_{EL}$		-0.8	-1.6	mA
High Level Enable Current	( $V_{CC} = 5.5\text{ V}, V_E = 2.0\text{ V}$ )	$I_{EH}$		-0.6	-1.6	mA
High Level Enable Voltage	( $V_{CC} = 5.5\text{ V}, I_F = 10\text{ mA}$ )	$V_{EH}$	2.0			V
Low Level Enable Voltage	( $V_{CC} = 5.5\text{ V}, I_F = 10\text{ mA}$ ) (Note 3)	$V_{EL}$			0.8	V

**SWITCHING CHARACTERISTICS** ( $T_A = -40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ ,  $V_{CC} = 5\text{ V}, I_F = 7.5\text{ mA}$  Unless otherwise specified.)

AC Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
Propagation Delay Time to Output High Level	(Note 4) ( $T_A = 25^{\circ}\text{C}$ ) ( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Fig. 12)	$T_{PLH}$	20	45	75	ns
	(Note 5) ( $T_A = 25^{\circ}\text{C}$ ) ( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Fig. 12)		25	45	75	
Propagation Delay Time to Output Low Level	(Note 5) ( $T_A = 25^{\circ}\text{C}$ ) ( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Fig. 12)	$T_{PHL}$			100	ns
	( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Fig. 12)				100	
Pulse Width Distortion	( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Fig. 12)	$ T_{PHL} - T_{PLH} $		3	35	ns
Output Rise Time (10-90%)	( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Note 6) (Fig. 12)	$t_r$		50		ns
Output Fall Time (90-10%)	( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Note 7) (Fig. 12)	$t_f$		12		ns
Enable Propagation Delay Time to Output High Level	( $I_F = 7.5\text{ mA}, V_{EH} = 3.5\text{ V}$ ) ( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Note 8) (Fig. 13)	$t_{ELH}$		20		ns
Enable Propagation Delay Time to Output Low Level	( $I_F = 7.5\text{ mA}, V_{EH} = 3.5\text{ V}$ ) ( $R_L = 350\ \Omega, C_L = 15\text{ pF}$ ) (Note 9) (Fig. 13)	$t_{EHL}$		20		ns
Common Mode Transient Immunity (at Output High Level)	( $T_A = 25^{\circ}\text{C}$ ) ( $V_{CM} = 50\text{ V}$ , (Peak) ( $I_F = 0\text{ mA}, V_{OH}(\text{Min.}) = 2.0\text{ V}$ ) 6N137, HCPL-2630 ( $R_L = 350\ \Omega$ ) (Note 10)	$ CM_H $		10,000		V/ $\mu\text{s}$
	HCPL-2601, HCPL-2631 (Fig. 14)		5000	10,000		
	HCPL-2611 ( $V_{CM} = 400\text{ V}$ ) ( $R_L = 350\ \Omega$ ) ( $I_F = 7.5\text{ mA}, V_{OL}(\text{Max.}) = 0.8\text{ V}$ )		10,000	15,000		
Common Mode Transient Immunity (at Output Low Level)	6N137, HCPL-2630 ( $V_{CM} = 50\text{ V}$ (Peak) HCPL-2601, HCPL-2631 ( $T_A = 25^{\circ}\text{C}$ ) (Note 11) (Fig. 14)	$ CM_L $		10,000		V/ $\mu\text{s}$
	HCPL-2611 ( $T_A = 25^{\circ}\text{C}$ ) ( $V_{CM} = 400\text{ V}$ )		5000	10,000		
			10,000	15,000		







## HIGH SPEED-10 MBit/s LOGIC GATE OPTOCOUPLERS

**SINGLE-CHANNEL**  
6N137  
HCPL-2601  
HCPL-2611

**DUAL-CHANNEL**  
HCPL-2630  
HCPL-2631

TRANSFER CHARACTERISTICS (T <sub>A</sub> = -40°C to +85°C Unless otherwise specified.)						
DC Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
High Level Output Current	(V <sub>CC</sub> = 5.5 V, V <sub>O</sub> = 5.5 V) (I <sub>F</sub> = 250 μA, V <sub>E</sub> = 2.0 V) (Note 2)	I <sub>OH</sub>			100	μA
Low Level Output Current	(V <sub>CC</sub> = 5.5 V, I <sub>F</sub> = 5 mA) (V <sub>E</sub> = 2.0 V, I <sub>CL</sub> = 13 mA) (Note 2)	V <sub>OL</sub>		.35	0.6	V
Input Threshold Current	(V <sub>CC</sub> = 5.5 V, V <sub>O</sub> = 0.6 V, V <sub>E</sub> = 2.0 V, I <sub>OL</sub> = 13 mA)	I <sub>FT</sub>		3	5	mA

ISOLATION CHARACTERISTICS (T <sub>A</sub> = -40°C to +85°C Unless otherwise specified.)						
Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
Input-Output Insulation Leakage Current	(Relative humidity = 45%) (T <sub>A</sub> = 25°C, t = 5 s) (V <sub>I-O</sub> = 3000 VDC) (Note 12)	I <sub>I-O</sub>			1.0*	μA
Withstand Insulation Test Voltage	(RH < 50%, T <sub>A</sub> = 25°C) (Note 12) ( t = 1 min.)	V <sub>ISO</sub>	2500			V <sub>RMS</sub>
Resistance (Input to Output)	(V <sub>I-O</sub> = 500 V) (Note 12)	R <sub>I-O</sub>		10 <sup>12</sup>		Ω
Capacitance (Input to Output)	(f = 1 MHz) (Note 12)	C <sub>I-O</sub>		0.6		pF

\*\* All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C

### NOTES

- The V<sub>CC</sub> supply to each optoisolator must be bypassed by a 0.1μF capacitor or larger. This can be either a ceramic or solid tantalum capacitor with good high frequency characteristic and should be connected as close as possible to the package V<sub>CC</sub> and GND pins of each device.
- Each channel.
- Enable Input - No pull up resistor required as the device has an internal pull up resistor.
- t<sub>PLH</sub> - Propagation delay is measured from the 3.75 mA level on the HIGH to LOW transition of the input current pulse to the 1.5 V level on the LOW to HIGH transition of the output voltage pulse.
- t<sub>PHL</sub> - Propagation delay is measured from the 3.75 mA level on the LOW to HIGH transition of the input current pulse to the 1.5 V level on the HIGH to LOW transition of the output voltage pulse.
- t<sub>r</sub> - Rise time is measured from the 90% to the 10% levels on the LOW to HIGH transition of the output pulse.
- t<sub>f</sub> - Fall time is measured from the 10% to the 90% levels on the HIGH to LOW transition of the output pulse.
- t<sub>ELH</sub> - Enable input propagation delay is measured from the 1.5 V level on the HIGH to LOW transition of the input voltage pulse to the 1.5 V level on the LOW to HIGH transition of the output voltage pulse.
- t<sub>EHL</sub> - Enable input propagation delay is measured from the 1.5 V level on the LOW to HIGH transition of the input voltage pulse to the 1.5 V level on the HIGH to LOW transition of the output voltage pulse.
- CM<sub>H</sub> - The maximum tolerable rate of rise of the common mode voltage to ensure the output will remain in the high state (i.e., V<sub>OUT</sub> > 2.0 V). Measured in volts per microsecond (V/μs).
- CM<sub>L</sub> - The maximum tolerable rate of rise of the common mode voltage to ensure the output will remain in the low output state (i.e., V<sub>OUT</sub> < 0.8 V). Measured in volts per microsecond (V/μs).
- Device considered a two-terminal device: Pins 1,2,3 and 4 shorted together, and Pins 5,6,7 and 8 shorted together.



### K.3. Comparador de tensió



August 2000

## LM111/LM211/LM311 Voltage Comparator

### 1.0 General Description

The LM111, LM211 and LM311 are voltage comparators that have input currents nearly a thousand times lower than devices like the LM106 or LM710. They are also designed to operate over a wider range of supply voltages: from standard  $\pm 15V$  op amp supplies down to the single 5V supply used for IC logic. Their output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50V at currents as high as 50 mA.

Both the inputs and the outputs of the LM111, LM211 or the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM106 and LM710 (200 ns response time vs 40 ns)

the devices are also much less prone to spurious oscillations. The LM111 has the same pin configuration as the LM106 and LM710.

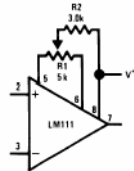
The LM211 is identical to the LM111, except that its performance is specified over a  $-25^{\circ}C$  to  $+85^{\circ}C$  temperature range instead of  $-55^{\circ}C$  to  $+125^{\circ}C$ . The LM311 has a temperature range of  $0^{\circ}C$  to  $+70^{\circ}C$ .

### 2.0 Features

- Operates from single 5V supply
- Input current: 150 nA max. over temperature
- Offset current: 20 nA max. over temperature
- Differential input voltage range:  $\pm 30V$
- Power consumption: 135 mW at  $\pm 15V$

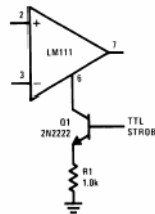
### 3.0 Typical Applications (Note 3)

Offset Balancing



DS005704-36

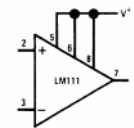
Strobing



DS005704-37

Note: Do Not Ground Strobe Pin. Output is turned off when current is pulled from Strobe Pin.

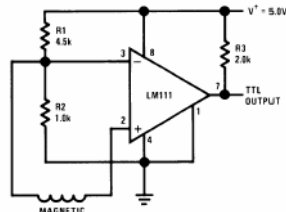
Increasing Input Stage Current (Note 1)



DS005704-38

Note 1: Increases typical common mode slew from 7.0V/ $\mu s$  to 18V/ $\mu s$ .

Detector for Magnetic Transducer



DS005704-39

LM111/LM211/LM311 Voltage Comparator



LM111/LM211/LM311

### 5.0 Absolute Maximum Ratings for the LM311<sup>(Note 12)</sup>

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Total Supply Voltage ( $V_{84}$ )	36V
Output to Negative Supply Voltage ( $V_{74}$ )	40V
Ground to Negative Supply Voltage ( $V_{14}$ )	30V
Differential Input Voltage	$\pm 30V$
Input Voltage (Note 13)	$\pm 15V$
Power Dissipation (Note 14)	500 mW
ESD Rating (Note 19)	300V
Output Short Circuit Duration	10 sec

Operating Temperature Range	0° to 70° C
Storage Temperature Range	-65° C to 150° C
Lead Temperature (soldering, 10 sec)	260° C
Voltage at Strobe Pin	$V^+ - 5V$
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260° C
Small Outline Package	
Vapor Phase (60 seconds)	215° C
Infrared (15 seconds)	220° C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.	

### Electrical Characteristics (Note 15) for the LM311

Parameter	Conditions	Min	Typ	Max	Units
Input Offset Voltage (Note 16)	$T_A = 25^\circ C, R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 16)	$T_A = 25^\circ C$		6.0	50	nA
Input Bias Current	$T_A = 25^\circ C$		100	250	nA
Voltage Gain	$T_A = 25^\circ C$	40	200		V/mV
Response Time (Note 17)	$T_A = 25^\circ C$		200		ns
Saturation Voltage	$V_{IN} \leq -10 mV, I_{OUT} = 50 mA$ $T_A = 25^\circ C$		0.75	1.5	V
Strobe ON Current (Note 18)	$T_A = 25^\circ C$		2.0	5.0	mA
Output Leakage Current	$V_{IN} \geq 10 mV, V_{OUT} = 35V$ $T_A = 25^\circ C, I_{STROBE} = 3 mA$ $V^- = Pin 1 = -5V$		0.2	50	nA
Input Offset Voltage (Note 16)	$R_S \leq 50K$			10	mV
Input Offset Current (Note 16)				70	nA
Input Bias Current				300	nA
Input Voltage Range		-14.5	13.8, -14.7	13.0	V
Saturation Voltage	$V^+ \geq 4.5V, V^- = 0$ $V_{IN} \leq -10 mV, I_{OUT} \leq 8 mA$		0.23	0.4	V
Positive Supply Current	$T_A = 25^\circ C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25^\circ C$		4.1	5.0	mA

Note 12: "Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits."

Note 13: This rating applies for  $\pm 15V$  supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 14: The maximum junction temperature of the LM311 is 110° C. For operating at elevated temperature, devices in the H08 package must be derated based on a thermal resistance of 165° C/W, junction to ambient, or 20° C/W, junction to case. The thermal resistance of the dual-in-line package is 100° C/W, junction to ambient.

Note 15: These specifications apply for  $V_S = \pm 15V$  and Pin 1 at ground, and  $0^\circ C \leq T_A \leq +70^\circ C$ , unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to  $\pm 15V$  supplies.

Note 16: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and  $R_S$ .

Note 17: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 18: This specification gives the range of current which must be drawn from the strobe pin to ensure the output is properly disabled. Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

Note 19: Human body model, 1.5 k $\Omega$  in series with 100 pF.



### K.4. Transistor de potència



## BD677/A/679/A/681 BD678/A/680/A/682

### COMPLEMENTARY SILICON POWER DARLINGTON TRANSISTORS

- STMicroelectronics PREFERRED SALESTYPES
- COMPLEMENTARY PNP - NPN DEVICES
- MONOLITHIC DARLINGTON CONFIGURATION
- INTEGRATED ANTIPARALLEL COLLECTOR-EMITTER DIODE

**APPLICATION**

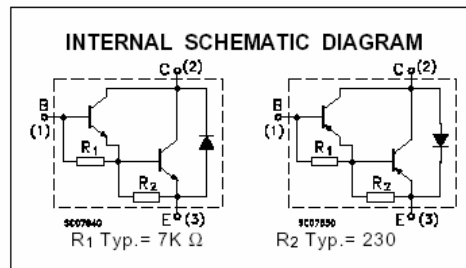
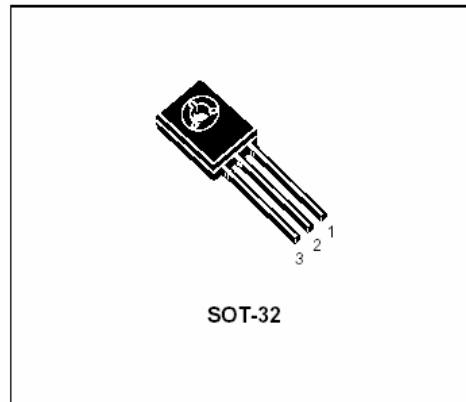
- LINEAR AND SWITCHING INDUSTRIAL EQUIPMENT

**DESCRIPTION**

The BD677, BD677A, BD679, BD679A and BD681 are silicon epitaxial-base NPN power transistors in monolithic Darlington configuration mounted in Jedec SOT-32 plastic package.

They are intended for use in medium power linear and switching applications

The complementary PNP types are BD678, BD678A, BD680, BD680A and BD682 respectively.



**ABSOLUTE MAXIMUM RATINGS**

Symbol	Parameter	Value			Unit	
		NPN	BD677/A	BD679/A		BD681
V <sub>CB0</sub>	Collector-Base Voltage (I <sub>E</sub> = 0)		60	80	100	V
V <sub>CE0</sub>	Collector-Emitter Voltage (I <sub>B</sub> = 0)		60	80	100	V
V <sub>EB0</sub>	Emitter-Base Voltage (I <sub>C</sub> = 0)		5			V
I <sub>C</sub>	Collector Current		4			A
I <sub>CM</sub>	Collector Peak Current		6			A
I <sub>B</sub>	Base Current		0.1			A
P <sub>tot</sub>	Total Dissipation at T <sub>C</sub> ≤ 25 °C		40			W
T <sub>stg</sub>	Storage Temperature		-65 to 150			°C
T <sub>J</sub>	Max. Operating Junction Temperature		150			°C

For PNP types voltage and current values are negative.



**BD677/677A/678/678A/679/679A/680/680A/681/682**

**THERMAL DATA**

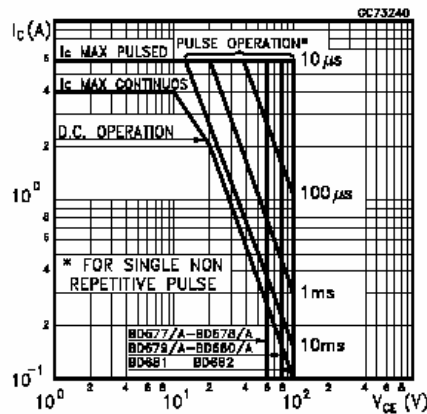
$R_{thj-case}$	Thermal Resistance Junction-case	Max	3.12	$^{\circ}C/W$
$R_{thj-amb}$	Thermal Resistance Junction-ambient	Max	100	$^{\circ}C/W$

**ELECTRICAL CHARACTERISTICS** ( $T_{case} = 25^{\circ}C$  unless otherwise specified)

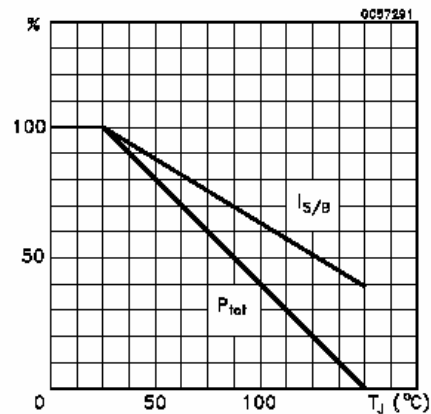
Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$I_{CBO}$	Collector Cut-off Current ( $I_E = 0$ )	$V_{CE} = \text{rated } V_{CBO}$ $V_{CE} = \text{rated } V_{CBO} \quad T_C = 100^{\circ}C$			0.2 2	mA mA
$I_{CEO}$	Collector Cut-off Current ( $I_B = 0$ )	$V_{CE} = \text{half rated } V_{CEO}$			0.5	mA
$I_{EBO}$	Emitter Cut-off Current ( $I_C = 0$ )	$V_{EB} = 5 V$			2	mA
$V_{CE(sus)*}$	Collector-Emitter Sustaining Voltage	$I_C = 50 \text{ mA}$ for <b>BD677/677A/678/678A</b> for <b>BD679/679A/680/680A</b> for <b>BD681/682</b>	60 80 100			V V V
$V_{CE(sat)*}$	Collector-Emitter Saturation Voltage	for <b>BD677/678/679/680/681/682</b> $I_C = 1.5 A \quad I_B = 30 \text{ mA}$ for <b>BD677A/678A/679A/680A</b> $I_C = 2 A \quad I_B = 40 \text{ mA}$			2.5 2.8	V V
$V_{BE*}$	Base-Emitter Voltage	for <b>BD677/678/679/680/681/682</b> $I_C = 1.5 A \quad V_{CE} = 3 V$ for <b>BD677A/678A/679A/680A</b> $I_C = 2 A \quad V_{CE} = 3 V$			2.5 2.5	V V
$h_{FE*}$	DC Current Gain	for <b>BD677/678/679/680/681/682</b> $I_C = 1.5 A \quad V_{CE} = 3 V$ for <b>BD677A/678A/679A/680A</b> $I_C = 2 A \quad V_{CE} = 3 V$	750 750			
$h_{fe}$	Small Signal Current Gain	$I_C = 1.5 A \quad V_{CE} = 3 V \quad f = 1 \text{ MHz}$	1			

\* Pulsed: Pulse duration = 300 ms, duty cycle 1.5 %

Safe Operating Areas



Derating Curve



## K.5. Sensor de tensió

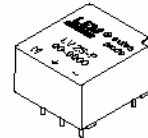


### Voltage Transducer LV 25-P

For the electronic measurement of voltages : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high voltage) and the secondary circuit (electronic circuit).

$$I_{PN} = 10 \text{ mA}$$

$$V_{PN} = 10 \dots 500 \text{ V}$$



#### Electrical data

$I_{PN}$	Primary nominal r.m.s. current	10	mA		
$I_p$	Primary current, measuring range	0 .. ± 14	mA		
$R_M$	Measuring resistance	$R_{Mmin}$	$R_{Mmax}$		
				with ± 12 V	@ ± 10 mA <sub>max</sub>
		@ ± 14 mA <sub>max</sub>	30	100	Ω
	with ± 15 V	@ ± 10 mA <sub>max</sub>	100	350	Ω
	@ ± 14 mA <sub>max</sub>	100	190	Ω	
$I_{SN}$	Secondary nominal r.m.s. current	25	mA		
$K_N$	Conversion ratio	2500 : 1000			
$V_c$	Supply voltage (± 5 %)	± 12 .. 15	V		
$I_c$	Current consumption	10 (@ ± 15 V) + $I_s$	mA		
$V_d$	R.m.s. voltage for AC isolation test <sup>1)</sup> , 50 Hz, 1 mn	2.5	kV		

#### Features

- Closed loop (compensated) voltage transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

#### Principle of use

- For voltage measurements, a current proportional to the measured voltage must be passed through an external resistor  $R_1$  which is selected by the user and installed in series with the primary circuit of the transducer.

#### Accuracy - Dynamic performance data

$X_O$	Overall Accuracy @ $I_{PN}, T_A = 25^\circ\text{C}$	@ ± 12 .. 15 V	± 0.9	%	
		@ ± 15 V (± 5 %)	± 0.8	%	
$\epsilon_L$	Linearity		< 0.2	%	
$I_o$	Offset current @ $I_p = 0, T_A = 25^\circ\text{C}$		Typ	Max	
$I_{OT}$	Thermal drift of $I_o$	0°C .. + 25°C	± 0.06	± 0.25	mA
		+ 25°C .. + 70°C	± 0.10	± 0.35	mA
$t_r$	Response time <sup>2)</sup> @ 90 % of $V_{Pmax}$		40	µs	

#### Advantages

- Excellent accuracy
- Very good linearity
- Low thermal drift
- Low response time
- High bandwidth
- High immunity to external interference
- Low disturbance in common mode.

#### General data

$T_A$	Ambient operating temperature	0 .. + 70	°C
$T_S$	Ambient storage temperature	- 25 .. + 85	°C
$R_p$	Primary coil resistance @ $T_A = 70^\circ\text{C}$	250	Ω
$R_s$	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
$m$	Mass	22	g
	Standards <sup>3)</sup>	EN 50178	

#### Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Power supplies for welding applications.

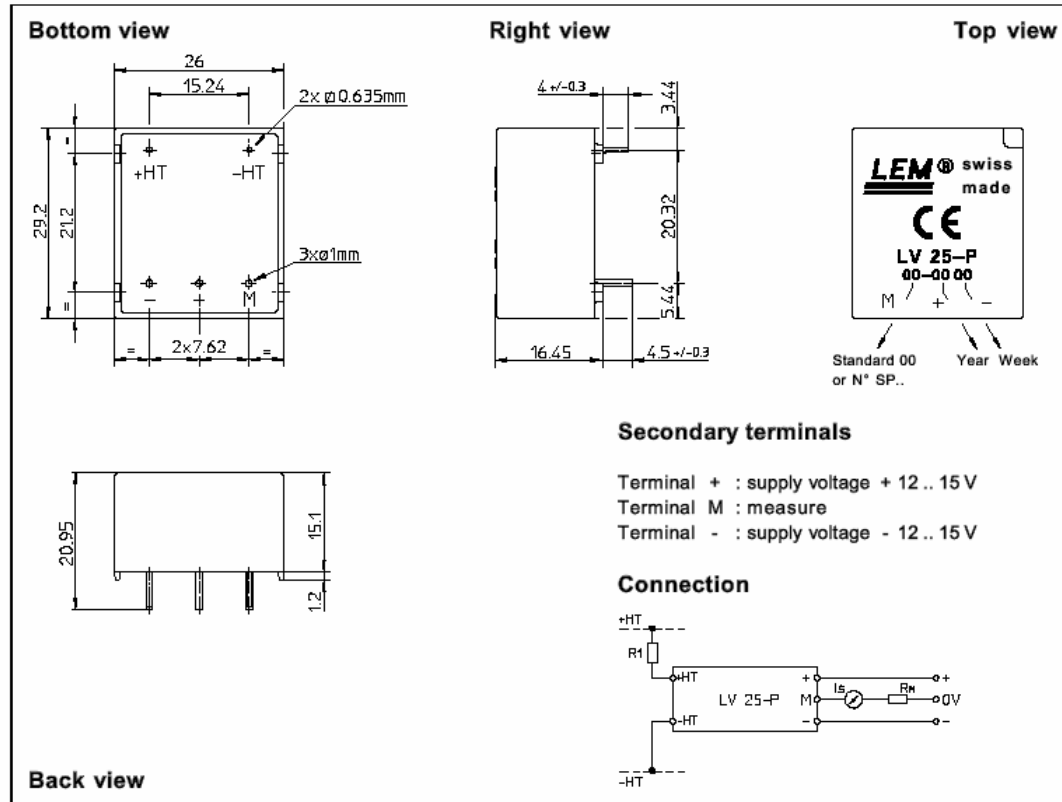
Notes : <sup>1)</sup> Between primary and secondary  
<sup>2)</sup>  $R_1 = 25 \text{ k}\Omega$  (L/R constant, produced by the resistance and inductance of the primary circuit)  
<sup>3)</sup> A list of corresponding tests is available

981125/14





**Dimensions LV 25-P** (in mm. 1 mm = 0.0394 inch)



**Mechanical characteristics**

- General tolerance ± 0.2 mm
- Fastening & connection of primary 2 pins  
0.635 x 0.635 mm
- Fastening & connection of secondary 3 pins Ø 1 mm
- Recommended PCB hole 1.2 mm

**Remarks**

- $I_s$  is positive when  $V_p$  is applied on terminal +HT.
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.

**Instructions for use of the voltage transducer model LV 25-P**

Primary resistor  $R_1$  : the transducer's optimum accuracy is obtained at the nominal primary current. As far as possible,  $R_1$  should be calculated so that the nominal voltage to be measured corresponds to a primary current of 10 mA.

Example: Voltage to be measured  $V_{PN} = 250$  V

a) $R_1 = 25$ k $\Omega$ /2.5 W, $I_p = 10$ mA	Accuracy = $\pm 0.8$ % of $V_{PN}$ (@ $T_A = +25^\circ\text{C}$ )
b) $R_1 = 50$ k $\Omega$ /1.25 W, $I_p = 5$ mA	Accuracy = $\pm 1.6$ % of $V_{PN}$ (@ $T_A = +25^\circ\text{C}$ )

Operating range (recommended) : taking into account the resistance of the primary windings (which must remain low compared to  $R_1$  in order to keep thermal deviation as low as possible) and the isolation, this transducer is suitable for measuring nominal voltages from 10 to 500 V.

LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.





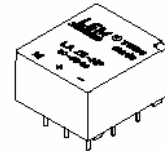
## K.6. Sensor de corrent



### Current Transducer LA 25-NP

$I_{PN} = 5-6-8-12-25 \text{ A}$

For the electronic measurement of currents : DC, AC, pulsed, mixed, with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



Electrical data				
$I_{PN}$	Primary nominal r.m.s. current	25	At	
$I_p$	Primary current, measuring range	0 .. $\pm 36$	At	
$R_M$	Measuring resistance with $\pm 15 \text{ V}$	@ $\pm 25 \text{ At}_{max}$	$R_{Mmin}$	$R_{Mmax}$
			100	320 $\Omega$
		@ $\pm 36 \text{ At}_{max}$	100	190 $\Omega$
$I_{SN}$	Secondary nominal r.m.s. current	25	mA	
$K_N$	Conversion ratio	1-2-3-4-5	: 1000	
$V_C$	Supply voltage ( $\pm 5\%$ )	$\pm 15$	V	
$I_C$	Current consumption	$10 + I_s$	mA	
$V_d$	R.m.s. voltage for AC isolation test, 50 Hz, 1 mn	2.5	kV	
$V_b$	R.m.s. rated voltage <sup>1)</sup> , safe separation basic isolation	600	V	
		1700	V	

#### Features

- Closed loop (compensated) multi-range current transducer using the Hall effect
- Insulated plastic case recognized according to UL 94-V0.

#### Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

Accuracy - Dynamic performance data			
$X$	Accuracy @ $I_{PN}, T_A = 25^\circ\text{C}$	$\pm 0.5$	%
$\epsilon_L$	Linearity	$< 0.2$	%
$I_o$	Offset current <sup>2)</sup> @ $I_p = 0, T_A = 25^\circ\text{C}$	Typ	Max
		$\pm 0.05$	$\pm 0.15$ mA
$I_{OM}$	Residual current <sup>3)</sup> @ $I_p = 0$ , after an overload of $3 \times I_{PN}$	$\pm 0.05$	$\pm 0.15$ mA
$I_{OT}$	Thermal drift of $I_o$	0°C .. + 25°C	$\pm 0.06$ $\pm 0.25$ mA
		+ 25°C .. + 70°C	$\pm 0.10$ $\pm 0.35$ mA
$t_r$	Response time <sup>4)</sup> @ 90 % of $I_{p,max}$	$< 1$	$\mu\text{s}$
$di/dt$	$di/dt$ accurately followed	$> 50$	A/ $\mu\text{s}$
$f$	Frequency bandwidth (- 1 dB)	DC .. 150	kHz

#### Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

General data			
$T_A$	Ambient operating temperature	0 .. + 70	$^\circ\text{C}$
$T_S$	Ambient storage temperature	- 25 .. + 85	$^\circ\text{C}$
$R_p$	Primary resistance per turn @ $T_A = 25^\circ\text{C}$	$< 1.25$	m $\Omega$
$R_s$	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	$\Omega$
$R_{is}$	Isolation resistance @ 500 V, $T_A = 25^\circ\text{C}$	$> 1500$	M $\Omega$
$m$	Mass	22	g
	Standards <sup>5)</sup>	EN 50178	

- Notes :**
- <sup>1)</sup> Pollution class 2
  - <sup>2)</sup> Measurement carried out after 15 mn functioning
  - <sup>3)</sup> The result of the coercive field of the magnetic circuit
  - <sup>4)</sup> With a  $di/dt$  of 100 A/ $\mu\text{s}$
  - <sup>5)</sup> A list of corresponding tests is available

980909/8







## K.7. Amplificador operacional



August 2000

### LM741 Operational Amplifier

#### General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and

output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

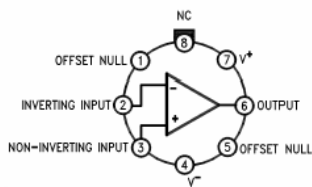
The LM741C is identical to the LM741/LM741A except that the LM741C has their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

#### Features

LM741 Operational Amplifier

#### Connection Diagrams

Metal Can Package

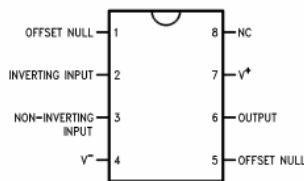


00934102

Note 1: LM741H is available per JM38510/10101

Order Number LM741H, LM741H/883 (Note 1),  
LM741AH/883 or LM741CH  
See NS Package Number H08C

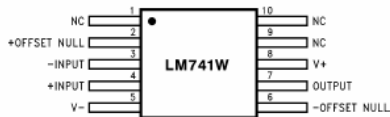
Dual-In-Line or S.O. Package



00934103

Order Number LM741J, LM741J/883, LM741CN  
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak

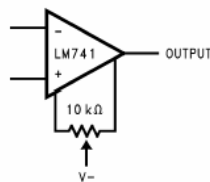


00934106

Order Number LM741W/883  
See NS Package Number W10A

#### Typical Application

Offset Nulling Circuit



00934107



LM741

**Absolute Maximum Ratings** (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 7)

	LM741A	LM741	LM741C
Supply Voltage	±22V	±22V	±18V
Power Dissipation (Note 3)	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V
Input Voltage (Note 4)	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous
Operating Temperature Range	-55°C to +125°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Junction Temperature	150°C	150°C	100°C
Soldering Information			
N-Package (10 seconds)	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C
M-Package			
Vapor Phase (60 seconds)	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.			
ESD Tolerance (Note 8)	400V	400V	400V

**Electrical Characteristics** (Note 5)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25^\circ\text{C}$					1.0	5.0		2.0	6.0	mV
	$R_S \leq 10\text{ k}\Omega$		0.8	3.0							mV
	$R_S \leq 50\Omega$			4.0			6.0			7.5	mV
Average Input Offset Voltage Drift	$T_{AMIN} \leq T_A \leq T_{AMAX}$			15							$\mu\text{V}/^\circ\text{C}$
	$R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$						6.0			7.5	mV
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	±10				±15			±15		mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							$\text{nA}/^\circ\text{C}$
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80		80	500		80	500	nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210			1.5			0.8	$\mu\text{A}$
Input Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0		0.3	2.0		M $\Omega$
	$T_{AMIN} \leq T_A \leq T_{AMAX}, V_S = \pm 20\text{V}$	0.5									M $\Omega$
Input Voltage Range	$T_A = 25^\circ\text{C}$							±12	±13		V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				±12	±13					V



LM741

Electrical Characteristics (Note 5) (Continued)											
Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}$ , $R_L \geq 2\text{ k}\Omega$ $V_S = \pm 20\text{V}$ , $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$ , $V_O = \pm 10\text{V}$	50			50	200		20	200		V/mV V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$ , $R_L \geq 2\text{ k}\Omega$ , $V_S = \pm 20\text{V}$ , $V_O = \pm 15\text{V}$ $V_S = \pm 15\text{V}$ , $V_O = \pm 10\text{V}$	32			25			15			V/mV V/mV V/mV
	$V_S = \pm 5\text{V}$ , $V_O = \pm 2\text{V}$	10									V/mV
Output Voltage Swing	$V_S = \pm 20\text{V}$ $R_L \geq 10\text{ k}\Omega$ $R_L \geq 2\text{ k}\Omega$	$\pm 16$									V V
	$V_S = \pm 15\text{V}$ $R_L \geq 10\text{ k}\Omega$ $R_L \geq 2\text{ k}\Omega$				$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		$\pm 12$ $\pm 10$	$\pm 14$ $\pm 13$		V V
Output Short Circuit Current	$T_A = 25^\circ\text{C}$	10	25	35		25		25			mA mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ $R_S \leq 10\text{ k}\Omega$ , $V_{CM} = \pm 12\text{V}$				70	90		70	90		dB dB
	$R_S \leq 50\Omega$ , $V_{CM} = \pm 12\text{V}$	80	95								
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$ , $V_S = \pm 20\text{V}$ to $V_S = \pm 5\text{V}$										dB dB
	$R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$	86	96		77	96		77	96		
Transient Response Rise Time Overshoot	$T_A = 25^\circ\text{C}$ , Unity Gain		0.25 6.0	0.8 20		0.3 5		0.3 5			$\mu\text{s}$ %
Bandwidth (Note 6)	$T_A = 25^\circ\text{C}$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ\text{C}$ , Unity Gain	0.3	0.7			0.5		0.5			V/ $\mu\text{s}$
Supply Current	$T_A = 25^\circ\text{C}$					1.7	2.8	1.7	2.8		mA
Power Consumption	$T_A = 25^\circ\text{C}$ $V_S = \pm 20\text{V}$ $V_S = \pm 15\text{V}$		80	150		50	85	50	85		mW mW
	LM741A $V_S = \pm 20\text{V}$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$			165 135							mW mW
LM741	$V_S = \pm 15\text{V}$ $T_A = T_{AMIN}$ $T_A = T_{AMAX}$					60 45	100 75				mW mW

Note 2: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.



### K.8. Buffer inversor



The SN74LS16 is obsolete and is no longer supplied.

#### SN54LS06, SN74LS06, SN74LS16 HEX INVERTER BUFFERS/DRIVERS WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS

SDL5020B – MAY 1990 – REVISED JANUARY 2002

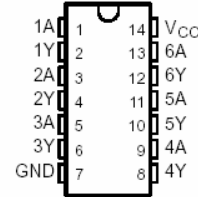
- Convert TTL Voltage Levels to MOS Levels
- High Sink-Current Capability
- Input Clamping Diodes Simplify System Design
- Open-Collector Driver for Indicator Lamps and Relays
- Inputs Fully Compatible With Most TTL Circuits

**description**

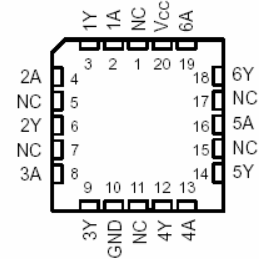
These hex inverter buffers/drivers feature high-voltage open-collector outputs to interface with high-level circuits (such as MOS), or for driving high-current loads, and also are characterized for use as inverter buffers for driving TTL inputs. The 'LS06 devices have a rated output voltage of 30 V, and the SN74LS16 has a rated output voltage of 15 V. The maximum sink current for the SN54LS06 is 30 mA, and for the SN74LS06 and SN74LS16 is 40 mA.

These devices are compatible with most TTL families. Inputs are diode-clamped to minimize transmission effects, which simplifies design. Typical power dissipation is 175 mW and average propagation delay time is 8 ns.

SN54LS06 . . . J PACKAGE  
SN74LS06, SN74LS16 . . . D, N, OR NS PACKAGE  
(TOP VIEW)



SN54LS06 . . . FK PACKAGE  
(TOP VIEW)



NC – No internal connection

**ORDERING INFORMATION**

T <sub>A</sub>	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	SOIC – D	Tube	SN74LS06D	LS06
		Tape and reel	SN74LS06DR	
	SOP – NS	Tape and reel	SN74LS06NSR	74LS06
	SSOP – DB	Tape and reel	SN74LS06DBR	LS06
	PDIP – N	Tube	SN74LS06N	SN74LS06N
–55°C to 125°C	CDIP – J	Tube	SN54LS06J	SN54LS06J
		Tube	SNJ54LS06J	SNJ54LS06J
	LCCC – FK	Tube	SNJ54LS06FK	SNJ54LS06FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2002, Texas Instruments Incorporated on products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

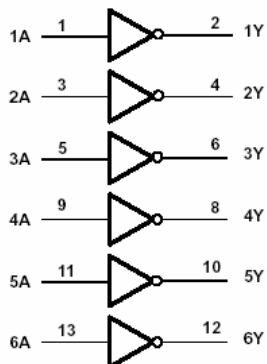


**SN54LS06, SN74LS06, SN74LS16**  
**HEX INVERTER BUFFERS/DRIVERS**  
**WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS**

SDLS020B – MAY 1990 – REVISED JANUARY 2002

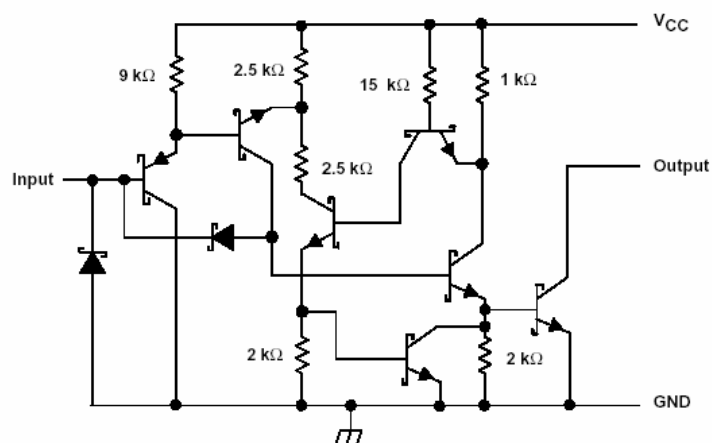
The SN74LS16 is obsolete and is no longer supplied.

**logic diagram (positive logic)**



Pin numbers shown are for the D, J, N, and NS packages.

**schematic (each gate)**



Resistor values shown are nominal.



The SN74LS16 is obsolete and is no longer supplied.

**SN54LS06, SN74LS06, SN74LS16**  
**HEX INVERTER BUFFERS/DRIVERS**  
**WITH OPEN-COLLECTOR HIGH-VOLTAGE OUTPUTS**  
 SDLS020B – MAY 1990 – REVISED JANUARY 2002

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†**

Supply voltage, $V_{CC}$ .....	7 V
Input voltage, $V_I$ (see Note 1) .....	5.5 V
Output voltage, $V_O$ (see Notes 1 and 2): SN54LS06, SN74LS06 .....	30 V
SN74LS16 .....	15 V
Package thermal impedance, $\theta_{JA}$ (see Note 3): D package .....	86°C/W
N package .....	80°C/W
NS package .....	76°C/W
Storage temperature range, $T_{stg}$ .....	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. All voltage values are with respect to GND.  
 2. This is the maximum voltage that should be applied to any output when it is in the off state.  
 3. The package thermal impedance is calculated in accordance with JESD 51-7.

**recommended operating conditions**

		SN54LS06			SN74LS06 SN74LS16			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage	0.8			0.8			V
$V_{OH}$	High-level output voltage	LS06			30			V
		SN74LS16			15			V
$I_{OL}$	Low-level output current	30			40			mA
$T_A$	Operating free-air temperature	-55			125			°C

**electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)**


PARAMETER	TEST CONDITIONS†	SN54LS06			SN74LS06 SN74LS16			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{IK}$	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$	-1.5			-1.5			V
$I_{OH}$	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}$	LS06, $V_{OH} = 30 \text{ V}$			0.25			V
		SN74LS16, $V_{OH} = 15 \text{ V}$			0.25			
$V_{OL}$	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}$	$I_{OL} = 16 \text{ mA}$			0.25			V
		$I_{OL} = 30 \text{ mA}$			0.7			
		$I_{OL} = 40 \text{ mA}$			0.7			
$I_I$	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$	1			1			mA
$I_{IH}$	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$	20			20			µA
$I_{IL}$	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$	-0.2			-0.2			mA
$I_{CCH}$	$V_{CC} = \text{MAX}$	18			18			mA
$I_{CCL}$	$V_{CC} = \text{MAX}$	60			60			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ , and  $T_A = 25^\circ\text{C}$ .



## K.9. Regulator de tensió positiva


February 1995

### LM78XX Series Voltage Regulators

**General Description**

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number

of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

**Features**

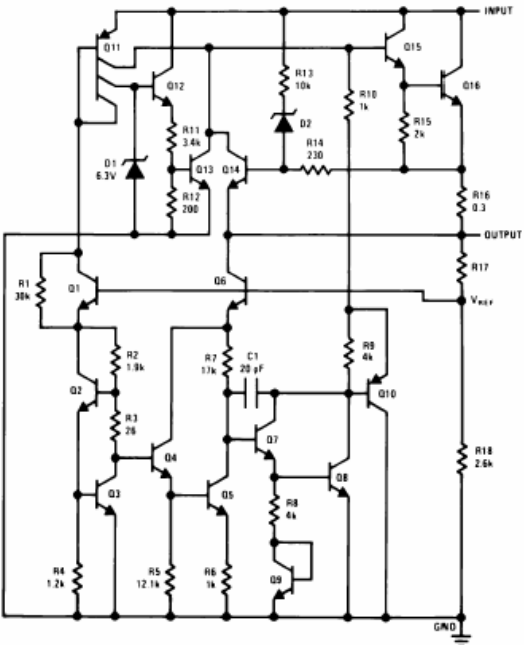
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

**Voltage Range**

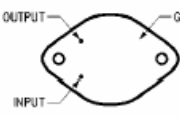
LM7805C	5V
LM7812C	12V
LM7815C	15V

---

**Schematic and Connection Diagrams**



**Metal Can Package  
TO-3 (K)  
Aluminum**

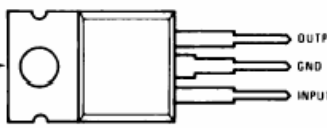


TL/H/7746-2

**Bottom View**

Order Number LM7805CK,  
LM7812CK or LM7815CK  
See NS Package Number KC02A

**Plastic Package  
TO-220 (T)**



TL/H/7746-3

**Top View**

Order Number LM7805CT,  
LM7812CT or LM7815CT  
See NS Package Number T03B

TL/H/7746-1

LM78XX Series Voltage Regulators






<b>Absolute Maximum Ratings</b>													
<b>If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.</b>						Maximum Junction Temperature (K Package) 150°C (T Package) 150°C							
Input Voltage ( $V_O = 5V, 12V$ and $15V$ ) 35V						Storage Temperature Range -65°C to +150°C							
Internal Power Dissipation (Note 1) Internally Limited						Lead Temperature (Soldering, 10 sec.) TO-3 Package K 300°C TO-220 Package T 230°C							
Operating Temperature Range ( $T_A$ ) 0°C to +70°C													
<b>Electrical Characteristics LM78XXC</b> (Note 2) 0°C ≤ $T_J$ ≤ 125°C unless otherwise noted.													
Output Voltage			5V			12V			15V			Units	
Input Voltage (unless otherwise noted)			10V			19V			23V				
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
$V_O$	Output Voltage	$T_J = 25^\circ\text{C}, 5\text{ mA} \leq I_O \leq 1\text{ A}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V	
		$P_D \leq 15\text{ W}, 5\text{ mA} \leq I_O \leq 1\text{ A}$	4.75		5.25	11.4		12.6	14.25		15.75	V	
		$V_{MIN} \leq V_{IN} \leq V_{MAX}$	(7.5 ≤ $V_{IN}$ ≤ 20)				(14.5 ≤ $V_{IN}$ ≤ 27)			(17.5 ≤ $V_{IN}$ ≤ 30)			V
$\Delta V_O$	Line Regulation	$I_O = 500\text{ mA}$	$T_J = 25^\circ\text{C}$	3	50	4	120	4	150			mV	
			$\Delta V_{IN}$	(7 ≤ $V_{IN}$ ≤ 25)			14.5 ≤ $V_{IN}$ ≤ 30)			(17.5 ≤ $V_{IN}$ ≤ 30)			V
			0°C ≤ $T_J$ ≤ +125°C		50		120		150		150		mV
		$I_O \leq 1\text{ A}$	$\Delta V_{IN}$	(8 ≤ $V_{IN}$ ≤ 20)			(15 ≤ $V_{IN}$ ≤ 27)			(18.5 ≤ $V_{IN}$ ≤ 30)			V
			$T_J = 25^\circ\text{C}$		50		120		150		150		mV
			$\Delta V_{IN}$	(7.5 ≤ $V_{IN}$ ≤ 20)			(14.6 ≤ $V_{IN}$ ≤ 27)			(17.7 ≤ $V_{IN}$ ≤ 30)			V
$\Delta V_O$	Load Regulation	$T_J = 25^\circ\text{C}$	$5\text{ mA} \leq I_O \leq 1.5\text{ A}$	10	50	12	120	12	150			mV	
			$250\text{ mA} \leq I_O \leq 750\text{ mA}$		25		60		75			mV	
		$5\text{ mA} \leq I_O \leq 1\text{ A}, 0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$		50		120		150				mV	
$I_Q$	Quiescent Current	$I_O \leq 1\text{ A}$	$T_J = 25^\circ\text{C}$	8		8		8		8		mA	
			0°C ≤ $T_J$ ≤ +125°C		8.5		8.5		8.5		8.5		mA
$\Delta I_Q$	Quiescent Current Change	$5\text{ mA} \leq I_O \leq 1\text{ A}$			0.5		0.5		0.5		0.5	mA	
		$T_J = 25^\circ\text{C}, I_O \leq 1\text{ A}$	$V_{MIN} \leq V_{IN} \leq V_{MAX}$	(7.5 ≤ $V_{IN}$ ≤ 20)		1.0		1.0		1.0		1.0	mA
			$I_O \leq 500\text{ mA}, 0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$		1.0		1.0		1.0		1.0		mA
		$V_{MIN} \leq V_{IN} \leq V_{MAX}$	(7 ≤ $V_{IN}$ ≤ 25)			(14.5 ≤ $V_{IN}$ ≤ 30)			(17.5 ≤ $V_{IN}$ ≤ 30)			V	
$V_N$	Output Noise Voltage	$T_A = 25^\circ\text{C}, 10\text{ Hz} \leq f \leq 100\text{ kHz}$	40		75		90				μV		
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	$f = 120\text{ Hz}$	$I_O \leq 1\text{ A}, T_J = 25^\circ\text{C}$ or	62	80	55	72	54	70			dB	
			$I_O \leq 500\text{ mA}$	62		55		54				dB	
			0°C ≤ $T_J$ ≤ +125°C	(8 ≤ $V_{IN}$ ≤ 18)			(15 ≤ $V_{IN}$ ≤ 25)			(18.5 ≤ $V_{IN}$ ≤ 28.5)			V
$R_O$	Dropout Voltage	$T_J = 25^\circ\text{C}, I_{OUT} = 1\text{ A}$	2.0		2.0		2.0				V		
	Output Resistance	$f = 1\text{ kHz}$	8		18		19				mΩ		
	Short-Circuit Current	$T_J = 25^\circ\text{C}$	2.1		1.5		1.2				A		
	Peak Output Current	$T_J = 25^\circ\text{C}$	2.4		2.4		2.4				A		
	Average TC of $V_{OUT}$	0°C ≤ $T_J$ ≤ +125°C, $I_O = 5\text{ mA}$	0.6		1.5		1.8				mV/°C		
$V_{IN}$	Input Voltage Required to Maintain Line Regulation	$T_J = 25^\circ\text{C}, I_O \leq 1\text{ A}$	7.5		14.6		17.7				V		
<p><b>Note 1:</b> Thermal resistance of the TO-3 package (K, KC) is typically 4°C/W junction to case and 35°C/W case to ambient. Thermal resistance of the TO-220 package (T) is typically 4°C/W junction to case and 50°C/W case to ambient.</p> <p><b>Note 2:</b> All characteristics are measured with capacitor across the input of 0.22 μF, and a capacitor across the output of 0.1 μF. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (<math>t_w \leq 10\text{ ms}</math>, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.</p>													



## K.10. Regulator de tensió negativa


September 2001

### LM79XX Series 3-Terminal Negative Regulators

**General Description**

The LM79XX series of 3-terminal regulators is available with fixed output voltages of -5V, -12V, and -15V. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting safe area protection and thermal shutdown for protection against virtually all overload conditions.

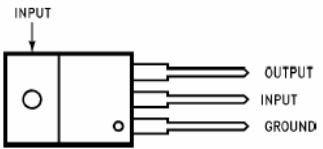
Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current drain of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode. For applications requiring other voltages, see LM137 datasheet.

**Features**

- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% tolerance on preset output voltage

#### Connection Diagrams

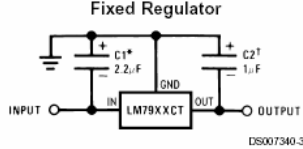
TO-220 Package



Front View  
Order Number LM7905CT, LM7912CT or LM7915CT  
See NS Package Number TO3B

#### Typical Applications

Fixed Regulator



DS007340-3

\*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100µF, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

LM79XX Series 3-Terminal Negative Regulators



LM79XX Series

<b>Absolute Maximum Ratings</b> (Note 1)		Input-Output Differential	
If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.		(V <sub>O</sub> = -5V)	25V
		(V <sub>O</sub> = -12V and -15V)	30V
Input Voltage		Power Dissipation (Note 2)	Internally Limited
(V <sub>O</sub> = -5V)	-25V	Operating Junction Temperature Range	0°C to +125°C
(V <sub>O</sub> = -12V and -15V)	-35V	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (Soldering, 10 sec.)	230°C

**Electrical Characteristics**  
 Conditions unless otherwise noted: I<sub>OUT</sub> = 500mA, C<sub>IN</sub> = 2.2µF, C<sub>OUT</sub> = 1µF, 0°C ≤ T<sub>J</sub> ≤ +125°C, Power Dissipation ≤ 1.5W.

Part Number			LM7905C			Units	
Output Voltage			-5V				
Input Voltage (unless otherwise specified)			-10V				
Symbol	Parameter	Conditions	Min	Typ	Max		
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	-4.8	-5.0	-5.2	V	
		5mA ≤ I <sub>OUT</sub> ≤ 1A,	-4.75		-5.25	V	
		P ≤ 15W		(-20 ≤ V <sub>IN</sub> ≤ -7)		V	
ΔV <sub>O</sub>	Line Regulation	T <sub>J</sub> = 25°C, (Note 3)		8	50	mV	
					(-25 ≤ V <sub>IN</sub> ≤ -7)		V
				2	15	mV	
					(-12 ≤ V <sub>IN</sub> ≤ -8)		V
ΔV <sub>O</sub>	Load Regulation	T <sub>J</sub> = 25°C, (Note 3)		15	100	mV	
					50	mV	
				5	50	mV	
I <sub>Q</sub>	Quiescent Current	T <sub>J</sub> = 25°C		1	2	mA	
ΔI <sub>Q</sub>	Quiescent Current Change	With Line			0.5	mA	
		With Load, 5mA ≤ I <sub>OUT</sub> ≤ 1A			0.5	mA	
V <sub>n</sub>	Output Noise Voltage	T <sub>A</sub> = 25°C, 10Hz ≤ f ≤ 100Hz		125		µV	
	Ripple Rejection	f = 120Hz	54	66		dB	
					(-18 ≤ V <sub>IN</sub> ≤ -8)	V	
	Dropout Voltage	T <sub>J</sub> = 25°C, I <sub>OUT</sub> = 1A		1.1		V	
I <sub>OMAX</sub>	Peak Output Current	T <sub>J</sub> = 25°C		2.2		A	
	Average Temperature Coefficient of Output Voltage	I <sub>OUT</sub> = 5mA, 0°C ≤ T <sub>J</sub> ≤ 100°C		0.4		mV/°C	

**Electrical Characteristics**  
 Conditions unless otherwise noted: I<sub>OUT</sub> = 500mA, C<sub>IN</sub> = 2.2µF, C<sub>OUT</sub> = 1µF, 0°C ≤ T<sub>J</sub> ≤ +125°C, Power Dissipation ≤ 1.5W.

Part Number			LM7912C			LM7915C			Units
Output Voltage			-12V			-15V			
Input Voltage (unless otherwise specified)			-19V			-23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C	-11.5	-12.0	-12.5	-14.4	-15.0	-15.6	V
		5mA ≤ I <sub>OUT</sub> ≤ 1A,	-11.4		-12.6	-14.25		-15.75	V
		P ≤ 15W			(-27 ≤ V <sub>IN</sub> ≤ -14.5)			(-30 ≤ V <sub>IN</sub> ≤ -17.5)	V
ΔV <sub>O</sub>	Line Regulation	T <sub>J</sub> = 25°C, (Note 3)		5	80		5	100	mV
					(-30 ≤ V <sub>IN</sub> ≤ -14.5)		(-30 ≤ V <sub>IN</sub> ≤ -17.5)		V
				3	30		3	50	mV
					(-22 ≤ V <sub>IN</sub> ≤ -16)		(-26 ≤ V <sub>IN</sub> ≤ -20)		V
ΔV <sub>O</sub>	Load Regulation	T <sub>J</sub> = 25°C, (Note 3)							



Electrical Characteristics (Continued)									
Conditions unless otherwise noted: $I_{OUT} = 500\text{mA}$ , $C_{IN} = 2.2\mu\text{F}$ , $C_{OUT} = 1\mu\text{F}$ , $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$ , Power Dissipation $\leq 1.5\text{W}$ .									
Part Number			LM7912C			LM7915C			Units
Output Voltage			-12V			-15V			
Input Voltage (unless otherwise specified)			-19V			-23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	
		$5\text{mA} \leq I_{OUT} \leq 1.5\text{A}$		15	200		15	200	mV
		$250\text{mA} \leq I_{OUT} \leq 750\text{mA}$		5	75		5	75	mV
$I_Q$	Quiescent Current	$T_J = 25^\circ\text{C}$		1.5	3		1.5	3	mA
$\Delta I_Q$	Quiescent Current Change	With Line			0.5			0.5	mA
		With Load, $5\text{mA} \leq I_{OUT} \leq 1\text{A}$			( $-30 \leq V_{IN} \leq -14.5$ )			( $-30 \leq V_{IN} \leq -17.5$ )	V
$V_n$	Output Noise Voltage	$T_A = 25^\circ\text{C}$ , $10\text{Hz} \leq f \leq 100\text{Hz}$		300			375		$\mu\text{V}$
	Ripple Rejection	$f = 120\text{Hz}$		54	70		54	70	dB
	Dropout Voltage	$T_J = 25^\circ\text{C}$ , $I_{OUT} = 1\text{A}$		1.1			1.1		V
$I_{OMAX}$	Peak Output Current	$T_J = 25^\circ\text{C}$		2.2			2.2		A
	Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{mA}$ , $0^\circ\text{C} \leq T_J \leq 100^\circ\text{C}$		-0.8			-1.0		mV/°C

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee Specific Performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics.

Note 2: Refer to Typical Performance Characteristics and Design Considerations for details.

Note 3: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

### Design Considerations

The LM79XX fixed voltage regulator series has thermal overload protection from excessive power dissipation, internal short circuit protection which limits the circuit's maximum current, and output transistor safe-area compensation for reducing the output current as the voltage across the pass transistor is increased.

Although the internal power dissipation is limited, the junction temperature must be kept below the maximum specified temperature (125°C) in order to meet data sheet specifications. To calculate the maximum junction temperature or heat sink required, the following thermal resistance values should be used:

Package	Typ $\theta_{JC}$ °C/W	Max $\theta_{JC}$ °C/W	Typ $\theta_{JA}$ °C/W	Max $\theta_{JA}$ °C/W
TO-220	3.0	5.0	60	40

$$P_{D\text{ MAX}} = \frac{T_{J\text{ Max}} - T_A}{\theta_{JC} + \theta_{CA}} \text{ or } \frac{T_{J\text{ Max}} - T_A}{\theta_{JA}}$$

$$\theta_{CA} = \theta_{CS} + \theta_{SA} \text{ (without heat sink)}$$

Solving for  $T_J$ :


$$T_J = T_A + P_D (\theta_{JC} + \theta_{CA}) \text{ or } T_J = T_A + P_D \theta_{JA} \text{ (without heat sink)}$$

Where:

- $T_J$  = Junction Temperature
- $T_A$  = Ambient Temperature
- $P_D$  = Power Dissipation



### K.11. Rectificador de pont complet




## W005G - W10G

W005G - W10G

**Features**

- Surge overload rating: 50 amperes peak.
- Glass passivated junction.
- Ideal for printed circuit board.
- Reliable low cost construction technique results in inexpensive product.
- UL certified, UL #E96005.



WOB

### Bridge Rectifiers (Glass Passivated)

**Absolute Maximum Ratings\*** T<sub>A</sub> = 25°C unless otherwise noted

Symbol	Parameter	Value							Units
		005G	01G	02G	04G	06G	08G	10G	
V <sub>RRM</sub>	Maximum Repetitive Reverse Voltage	50	100	200	400	600	800	1000	V
V <sub>RMS</sub>	Maximum RMS Bridge Input Voltage	35	70	140	280	420	560	700	V
V <sub>R</sub>	DC Reverse Voltage (Rated V <sub>R</sub> )	50	100	200	400	600	800	1000	V
I <sub>F(AV)</sub>	Average Rectified Forward Current, @ T <sub>A</sub> = 50°C	1.5							A
I <sub>FSM</sub>	Non-repetitive Peak Forward Surge Current 8.3 ms Single Half-Sine-Wave	50							A
T <sub>stg</sub>	Storage Temperature Range	-55 to +150							°C
T <sub>J</sub>	Operating Junction Temperature	-55 to +150							°C

\*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

### Thermal Characteristics

Symbol	Parameter	Value	Units
P <sub>D</sub>	Power Dissipation	3.47	W
R <sub>θJA</sub>	Thermal Resistance, Junction to Ambient,* per leg	36	°C/W
R <sub>θJL</sub>	Thermal Resistance, Junction to Lead,* per leg	11	°C/W

\*Device mounted on PCB with 0.375" (9.5 mm) lead length.

### Electrical Characteristics

T<sub>A</sub> = 25°C unless otherwise noted

Symbol	Parameter	Device	Units
V <sub>F</sub>	Forward Voltage, per bridge @ 1.0 A	1.0	V
I <sub>R</sub>	Reverse Current, total bridge @ rated V <sub>R</sub> T <sub>A</sub> = 25°C T <sub>A</sub> = 125°C	5.0 500	µA µA
	I <sup>2</sup> t rating for fusing t < 8.3 ms	10	A <sup>2</sup> s
C <sub>T</sub>	Total Capacitance, per leg V <sub>R</sub> = 4.0 V, f = 1.0 MHz	15	pF



Bridge Rectifiers (Glass Passivated)  
(continued)

Typical Characteristics

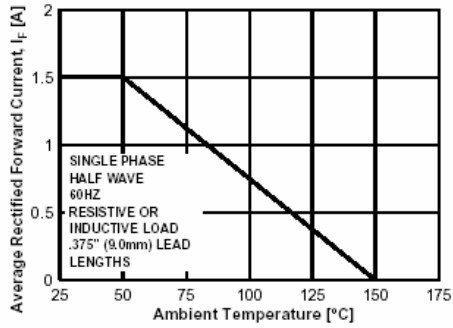


Figure 1. Forward Current Derating Curve

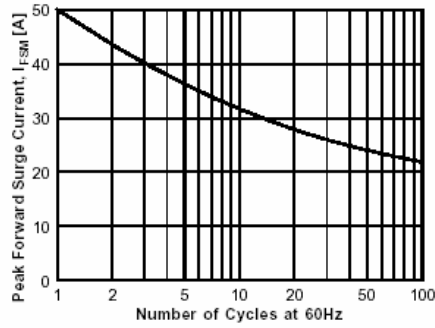


Figure 2. Non-Repetitive Surge Current

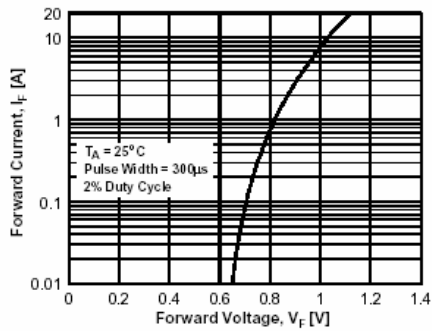


Figure 3. Forward Voltage Characteristics

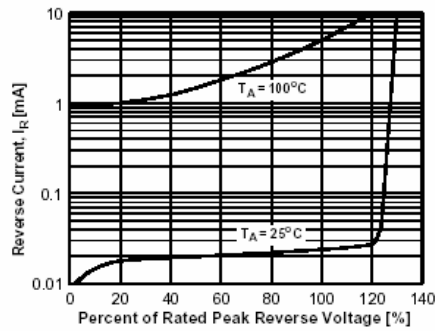


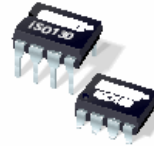
Figure 4. Reverse Current vs Reverse Voltage



## K.12. Amplificador operacional aïllat



# ISO130



SBOS220 – OCTOBER 2001

## High IMR, Low Cost ISOLATION AMPLIFIER

### FEATURES

- HIGH ISOLATION-MODE REJECTION:  
10kV/ $\mu$ s (min)
- LARGE SIGNAL BANDWIDTH: 85kHz (typ)
- DIFFERENTIAL INPUT/DIFFERENTIAL OUTPUT
- VOLTAGE OFFSET DRIFT vs  
TEMPERATURE: 4.6 $\mu$ V/ $^{\circ}$ C (typ)
- OFFSET VOLTAGE 1.8mV (max)
- INPUT REFERRED NOISE: 300 $\mu$ Vrms (typ)
- NONLINEARITY: 0.25% (max)
- SINGLE SUPPLY OPERATION
- SIGMA-DELTA A/D CONVERTER  
TECHNOLOGY
- WORLDWIDE SAFETY APPROVAL:  
UL1577 (File No. E162573), VDE0884  
(File No. 85511), CSA22.2 (File No. 88324)
- AVAILABLE IN 8-PIN PLASTIC DIP and  
8-PIN GULL-WING PLASTIC SURFACE MOUNT

### APPLICATIONS

- MOTOR AND SCR CONTROL
- MOTOR PHASE CURRENT SENSING
- INDUSTRIAL PROCESS CONTROL:  
Transducer Isolator, Isolator for  
Thermocouples, RTDs
- GENERAL PURPOSE ANALOG SIGNAL  
ISOLATION
- POWER MONITORING
- GROUND LOOP ELIMINATION

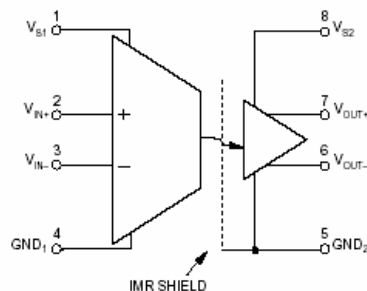
### DESCRIPTION

The ISO130 is a high isolation-mode rejection, isolation amplifier suited for motor control applications. Its versatile design provides the precision and stability needed to accurately monitor motor currents in high-noise motor control environments. The ISO130 can also be used for general analog signal isolation applications requiring stability and linearity under severe noise conditions.

The signal is transmitted digitally across the isolation barrier optically, using a high-speed AlGaAs LED. The remainder of the ISO130 is fabricated on 1 $\mu$ m CMOS IC process. A sigma-delta analog-to-digital converter, chopper stabilized amplifiers and differential input and output topologies make the isolation amplifier suitable for a variety of applications.

The ISO130 is easy to use. No external components are required for operation. The key specifications are 10kV/ $\mu$ s isolation-mode rejection, 85kHz large signal bandwidth, and 4.6 $\mu$ V/ $^{\circ}$ C  $V_{OS}$  drift. A single power supply ranging from +4.5V to +5.5V makes this amplifier ideal for low power isolation applications.

The ISO130 is available in 8-pin plastic DIP and 8-pin plastic gull-wing surface mount packages.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



Copyright © 1994, Texas Instruments Incorporated



## ELECTRICAL CHARACTERISTICS

At  $V_{IN+}$ ,  $V_{IN-} = 0V$ ,  $T_A = 25^\circ C$ ,  $V_{S1}$ ,  $V_{S2} = 5.0V$ , unless otherwise noted.

PARAMETER	CONDITIONS	ISO130P, ISO130PB ISO130U, ISO130UB			UNITS	
		MIN	TYP	MAX		
<b>INPUT</b>						
Initial Offset Voltage	1MHz Square Wave, 5ns Rise/Fall Time 0.1Hz to 100kHz	-1.8	-0.9	0.0	mV	
vs Temperature			4.6		$\mu V/^\circ C$	
vs $V_{S1}$			30		$\mu V/V$	
vs $V_{S2}$			-40		$\mu V/V$	
Power Supply Rejection; $V_{S1}$ and $V_{S2}$ Together				5	mV/V	
Noise				300	$\mu V_{rms}$	
Input Voltage Range			-200		mV	
Maximum Input Voltage Range before Output Clipping				$\pm 300$	mV	
Initial Input Bias Current <sup>(3)</sup>				-670	nA	
vs Temperature				3	nA/ $^\circ C$	
Input Resistance <sup>(3)</sup>			530	k $\Omega$		
vs Temperature			0.38	%/ $^\circ C$		
Common-Mode Rejection Ratio <sup>(4)</sup>			72	dB		
<b>GAIN<sup>(5)</sup></b>						
Initial Gain	$-200mV < V_{IN+} < 200mV$ $-200mV < V_{IN+} < 200mV$	7.61	8.00	8.40	V/V	
ISO130P/ISO130U ISO130PB/ISO130UB		7.85	7.93	8.01	V/V	
Gain vs Temperature			10	ppm/ $^\circ C$		
Gain vs $V_{S1}$			2.1	ppm/mV		
Gain vs $V_{S2}$			-0.6	ppm/mV		
Gain Nonlinearity	$-200mV < V_{IN+} < 200mV$ $-100mV < V_{IN+} < 100mV$		0.2	0.35	%	
for $-200mV < V_{IN+} < 200mV$ for $-100mV < V_{IN+} < 100mV$			0.1	0.25	%	
vs Temperature <sup>(6)</sup>	$-200mV < V_{IN+} < 200mV$		-0.001		% pts/ $^\circ C$	
vs $V_{S1}$ <sup>(6)</sup>	$-200mV < V_{IN+} < 200mV$		-0.005		% pts/V	
vs $V_{S2}$ <sup>(6)</sup>	$-200mV < V_{IN+} < 200mV$		-0.007		% pts/V	
<b>OUTPUT</b>						
Voltage Range	$V_{IN+} = +500mV$ $V_{IN+} = -500mV$ $-40^\circ C < T_A < 85^\circ C$ , $4.5V < V_{S1} < 5.5V$		3.61		V	
High			1.18		V	
Low			2.39	2.6	V	
Common-Mode Voltage			1		mA	
Current Drive <sup>(7)</sup>			9.3		mA	
Short-Circuit Current	$V_{OUT} = 0V$ or $V_{OUT} = V_{S2}$		11		$\Omega$	
Output Resistance			0.6		%/ $^\circ C$	
vs Temperature						
<b>FREQUENCY RESPONSE</b>						
Bandwidth	$-40^\circ C$ to $85^\circ C$	50	85		kHz	
-3dB			35			
-45°			4.3	6.6	$\mu s$	
Rise/Fall Time (10% - 90%)	$-40^\circ C$ to $85^\circ C$					
Propagation Delay	$-40^\circ C$ to $85^\circ C$		2.0	3.3	$\mu s$	
to 10%			3.4	5.6	$\mu s$	
to 50%			6.3	9.9	$\mu s$	
to 90%						
<b>POWER SUPPLIES</b>						
Rated Voltage	$V_{IN+} = 200mV$ , $-40^\circ C < T_A < 85^\circ C$ , $4.5V < V_{S1} < 5.5V$ $-40^\circ C < T_A < 85^\circ C$ , $4.5V < V_{S1} < 5.5V$	4.5	5.0		V	
Voltage Range				5.5		V
Quiescent Current				10.7	15.5	mA
$V_{S1}$			11.6	15.5	mA	
$V_{S2}$						
<b>TEMPERATURE RANGE</b>						
Specification		-40		85	$^\circ C$	
Operating		-40		100	$^\circ C$	
Storage		-55		125	$^\circ C$	
$\theta_{C-A}$			86		$^\circ C/W$	

NOTES: (1) This part may also be used in Pollution Degree 3 environments where the rated mains voltage is 300Vrms (per DIN VDE0109/12.83). (2) IMRR =  $20 \log (\Delta V_{IN} / \Delta V_{ISO})$ . (3) Time averaged value. (4)  $V_{IN+} = V_{IN-} = V_{CM}$ . CMRR =  $20 \log (\Delta V_{CM} / \Delta V_{OS})$ . (5) The slope of the best-fit line of  $(V_{OUT+} - V_{OUT-})$  vs  $(V_{IN+} - V_{IN-})$ . (6) Change in nonlinearity vs temperature or supply voltage expressed in number of percentage points per  $^\circ C$  or volt. (7) For best offset voltage performance. (8) For devices with minimum  $V_{ISO}$  specified at 3750Vrms, each isolation amplifier is proof-tested by applying an insulation test voltage  $\geq 4500Vrms$  for 1 second (leakage current  $< 5\mu A$ ). This specification does not guarantee continuous operation. (9) Pins 1-4 are shorted together and pins 5-8 are shorted together for this test.





### K.13. Amplificador operacional



www.fairchildsemi.com

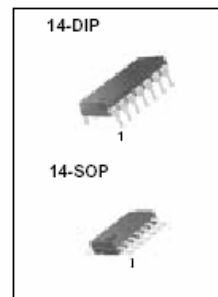
## LM319 Dual Comparator

#### Features

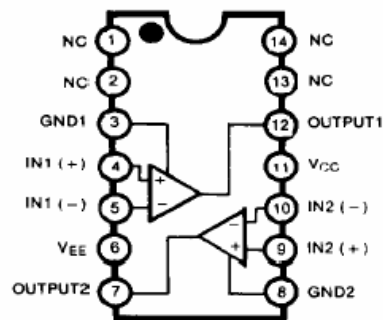
- Operates from a single 5V supply
- Typically 80ns response time at ±15V
- Open collector outputs : up to + 35V
- High output drive current : 25mA
- Inputs and outputs can be isolated from system ground
- Minimum fan-out of 2 (each side)
- Two independent comparators

#### Description

The LM319 is a dual high speed voltage comparator designed to operate from a single +5V supply up to ±15V dual supplies. Open collector of the output stage makes the LM319 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25mA. Typical response time of 80ns with ±15V power supplies makes the LM319 ideal for application in fast A/D converts, level shifters, oscillators, and multivibrators.



#### Internal Block Diagram

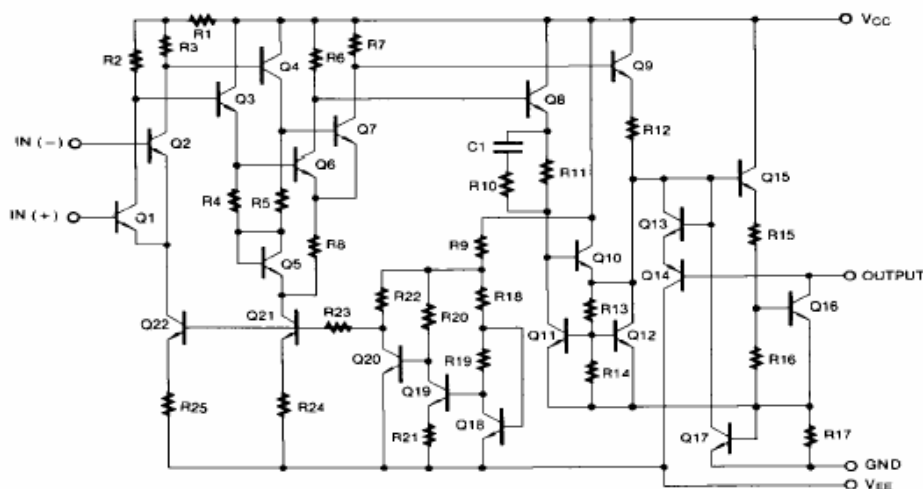


Rev. 1.0.2



LM319

### Schematic Diagram



### Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply Voltage	VCC	36	V
Output to Negative Supply Voltage	VO - VEE	36	V
Ground to Negative Supply Voltage	VEE	25	V
Ground to Positive Supply Voltage	VCC	18	V
Differential Input Voltage	VI(DIFF)	5	V
Input Voltage	VI	±15	V
Output Short Circuit Duration	-	10	sec
Power Dissipation	PD	500	mW
Operating Temperature Range	TOPR	0 ~ + 70	°C
Storage Temperature Range	TSTG	-65 ~ + 150	°C



## K.14. Optoacoblador

**DATA SHEET**

---

NEC

**PHOTOCOUPLER**

**PS2501-1,-2,-4, PS2501L-1,-2,-4**

---

**HIGH ISOLATION VOLTAGE  
SINGLE TRANSISTOR TYPE  
MULTI PHOTOCOUPLER SERIES**

-NEPOC™ Series-

---

**DESCRIPTION**

The PS2501-1, -2, -4 and PS2501L-1, -2, -4 are optically coupled isolators containing a GaAs light emitting diode and an NPN silicon phototransistor.

The PS2501-1, -2, -4 are in a plastic DIP (Dual In-line Package) and the PS2501L-1, -2, -4 are lead bending type (Gull-wing) for surface mount.

**FEATURES**

- High isolation voltage (BV = 5 000 Vr.m.s.)
- High collector to emitter voltage ( $V_{CE0} = 80$  V)
- High-speed switching ( $t_r = 3 \mu s$  TYP.,  $t_f = 5 \mu s$  TYP.)
- Ordering number of taping product: PS2501L-1-E3, E4, F3, F4, PS2501L-2-E3, E4
- UL approved: File No. E72422 (S)

**APPLICATIONS**

- Power supply
- Telephone/FAX.
- FA/OA equipment
- Programmable logic controller

The information in this document is subject to change without notice.

Document No. P10025EJ7V0DS00 (7th edition)  
Date Published April 1988 NS CP(x)  
Printed in Japan

The mark \* shows major revised points.

© NEC Corporation 1988

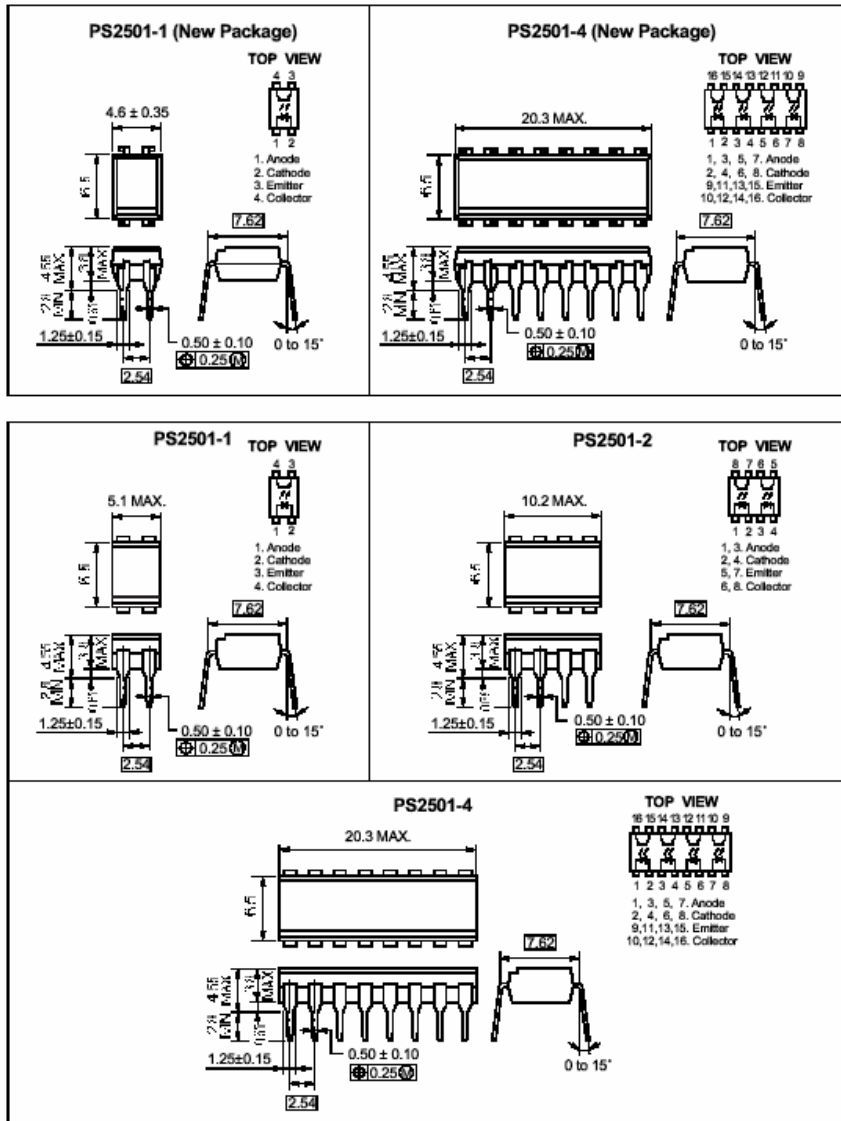


**NEC**

**PS2501-1,-2,-4,PS2501L-1,-2,-4**

★ PACKAGE DIMENSIONS (in millimeters)

DIP Type



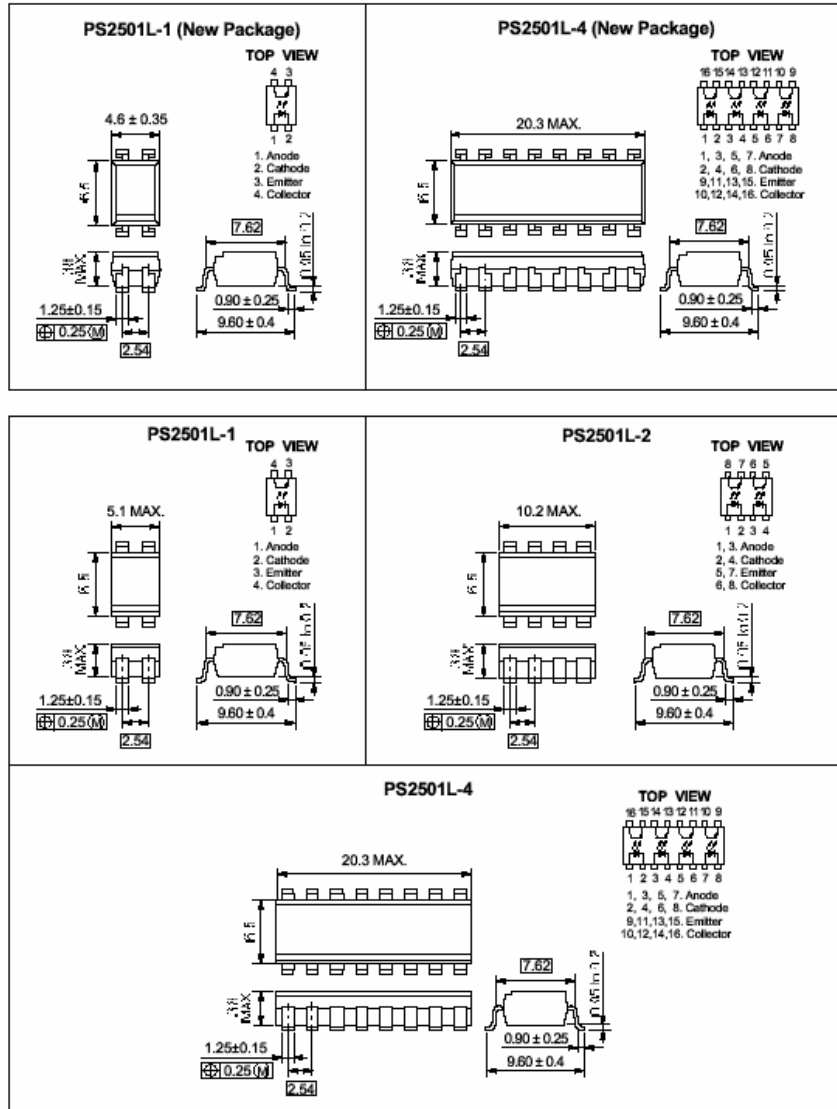
Caution New package 1-ch, 4-ch only



**NEC**

**PS2501-1,-2,-4,PS2501L-1,-2,-4**

**Lead Bending Type**



**Caution New package 1-ch, 4-ch only**



**NEC**

**PS2501-1,-2,-4,PS2501L-1,-2,-4**

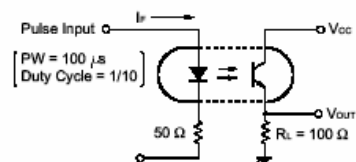
**ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25 °C)**

Parameter	Symbol	Conditions	MIN.	TYP.	MAX.	Unit
Diode	Forward Voltage	V <sub>F</sub> I <sub>F</sub> = 10 mA		1.17	1.4	V
	Reverse Current	I <sub>R</sub> V <sub>R</sub> = 5 V			5	μA
	Terminal Capacitance	C <sub>T</sub> V = 0 V, f = 1.0 MHz		50		pF
Transistor	Collector to Emitter Dark Current	I <sub>CEO</sub> V <sub>CE</sub> = 80 V, I <sub>F</sub> = 0 mA			100	nA
Coupled	Current Transfer Ratio (I <sub>C</sub> /I <sub>F</sub> ) <sup>*1</sup>	I <sub>F</sub> = 5 mA, V <sub>CE</sub> = 5 V	80	300	600	%
	Collector Saturation Voltage	V <sub>CE(sat)</sub> I <sub>F</sub> = 10 mA, I <sub>C</sub> = 2 mA			0.3	V
	Isolation Resistance	R <sub>i,o</sub> V <sub>i,o</sub> = 1.0 kV <sub>DC</sub>	10 <sup>11</sup>			Ω
	Isolation Capacitance	C <sub>i,o</sub> V = 0 V, f = 1.0 MHz		0.5		pF
	Rise Time <sup>*2</sup>	t <sub>r</sub> V <sub>CE</sub> = 10 V, I <sub>C</sub> = 2 mA, R <sub>L</sub> = 100 Ω		3		μs
	Fall Time <sup>*2</sup>	t <sub>f</sub>			5	

\*1 CTR rank ( \* : only PS2501-1, PS2501L-1)

\*2 Test circuit for switching time

- K\* : 300 to 600 (%)
- L\* : 200 to 400 (%)
- M\* : 80 to 240 (%)
- D\* : 100 to 300 (%)
- H\* : 80 to 160 (%)
- W\* : 130 to 260 (%)
- Q\* : 100 to 200 (%)
- N : 80 to 600 (%)



### K.15. Transistors BJT



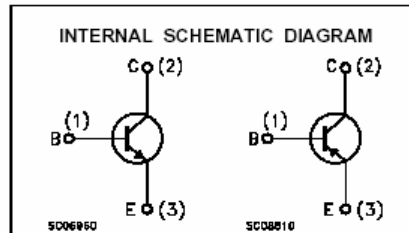
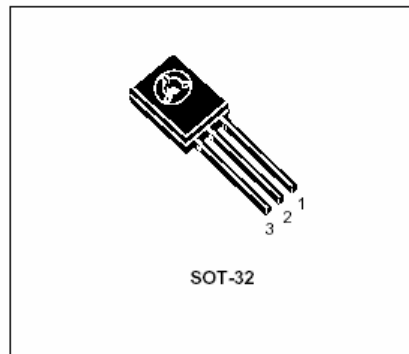
**BD433/5/7**  
**BD434/6/8**

#### COMPLEMENTARY SILICON POWER TRANSISTORS

- STMicroelectronics PREFERRED SALESTYPE
- COMPLEMENTARY PNP - NPN DEVICES

**DESCRIPTION**

The BD433, BD435, and BD437 are silicon epitaxial-base NPN power transistors in Jedec SOT-32 plastic package, intended for use in medium power linear and switching applications. The BD433 is especially suitable for use in car-radio output stages. The complementary PNP types are BD434, BD436, and BD438 respectively.



**ABSOLUTE MAXIMUM RATINGS**

Symbol	Parameter	Value				Unit
		NPN	BD433	BD435	BD437	
$V_{CBO}$	Collector-Base Voltage ( $I_E = 0$ )		22	32	45	V
$V_{CES}$	Collector-Emitter Voltage ( $V_{BE} = 0$ )		22	32	45	V
$V_{CEO}$	Collector-Emitter Voltage ( $I_B = 0$ )		22	32	45	V
$V_{EBO}$	Emitter-Base Voltage ( $I_C = 0$ )		5			V
$I_C$	Collector Current		4			A
$I_{CM}$	Collector Peak Current ( $t \leq 10$ ms)		7			A
$I_B$	Base Current		1			A
$P_{tot}$	Total Dissipation at $T_c \leq 25$ °C		36			W
$T_{stg}$	Storage Temperature		-65 to 150			°C
$T_j$	Max. Operating Junction Temperature		150			°C

For PNP types voltage and current values are negative.



**BD433 BD434 BD435 BD436 BD437 BD438**

**THERMAL DATA**

$R_{thj-case}$	Thermal Resistance Junction-case	Max	3.5	°C/W
$R_{thj-amb}$	Thermal Resistance Junction-ambient	Max	100	°C/W

**ELECTRICAL CHARACTERISTICS** ( $T_{case} = 25\text{ }^{\circ}\text{C}$  unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit	
$I_{CBO}$	Collector Cut-off Current ( $I_E = 0$ )	for <b>BD433/434</b>			100	$\mu\text{A}$	
		for <b>BD435/436</b>			100	$\mu\text{A}$	
		for <b>BD437/438</b>			100	$\mu\text{A}$	
$I_{CES}$	Collector Cut-off Current ( $V_{BE} = 0$ )	for <b>BD433/434</b>			100	$\mu\text{A}$	
		for <b>BD435/436</b>			100	$\mu\text{A}$	
		for <b>BD437/438</b>			100	$\mu\text{A}$	
$I_{EBO}$	Emitter Cut-off Current ( $I_C = 0$ )	$V_{EB} = 5\text{ V}$			1	mA	
$V_{CE0(sus)*}$	Collector-Emitter Sustaining Voltage ( $I_B = 0$ )	$I_C = 100\text{ mA}$	for <b>BD433/434</b>	22		V	
			for <b>BD435/436</b>	32		V	
			for <b>BD437/438</b>	45		V	
$V_{CE(sat)*}$	Collector-Emitter Saturation Voltage	$I_C = 2\text{ A}$	$I_B = 0.2\text{ A}$		0.2	0.5	V
			for <b>BD433/434</b>		0.2	0.5	V
			for <b>BD435/436</b>		0.2	0.6	V
$V_{BE*}$	Base-Emitter Voltage	$I_C = 10\text{ mA}$ $I_C = 2\text{ A}$	$V_{CE} = 5\text{ V}$	0.58			
			$V_{CE} = 1\text{ V}$			1.1	V
			for <b>BD433/434</b>			1.1	V
$h_{FE*}$	DC Current Gain	$I_C = 10\text{ mA}$ $I_C = 500\text{ mA}$ $I_C = 2\text{ A}$	$V_{CE} = 5\text{ V}$				
			for <b>BD433/434</b>	40	130		
			for <b>BD435/436</b>	40	130		
$h_{FE1}/h_{FE2*}$	Matched Pair	$I_C = 500\text{ mA}$	$V_{CE} = 1\text{ V}$			1.4	
			for <b>BD433/434</b>				
			for <b>BD435/436</b>				
$f_T$	Transition frequency	$I_C = 250\text{ mA}$	$V_{CE} = 1\text{ V}$	3		MHz	
			for <b>BD433/434</b>				
			for <b>BD435/436</b>				
			for <b>BD437/438</b>	40			

\* Pulsed: Pulse duration = 300  $\mu\text{s}$ , duty cycle 1.5 %





### K.16. Tiristor



## TN12, TS12 and TYNx12 Series

SENSITIVE & STANDARD

12A SCR's

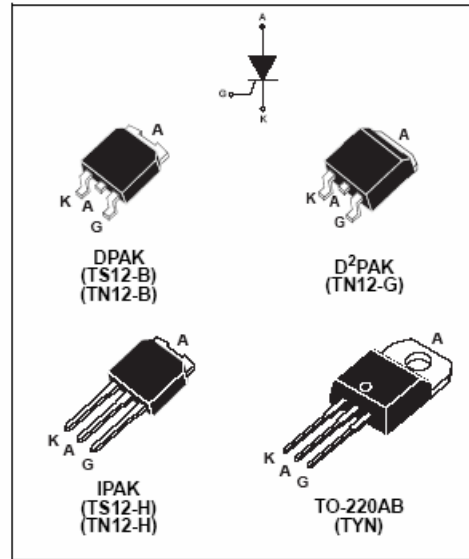
**MAIN FEATURES:**

Symbol	Value	Unit
$I_{T(RMS)}$	12	A
$V_{DRM}/V_{RRM}$	600 to 1000	V
$I_{GT}$	0.2 to 15	mA

**DESCRIPTION**

Available either in sensitive (TS12) or standard (TYN, TN12...) gate triggering levels, the 12A SCR series is suitable to fit all modes of control found in applications such as overvoltage crowbar protection, motor control circuits in power tools and kitchen aids, in-rush current limiting circuits, capacitive discharge ignition, voltage regulation circuits...

Available in through-hole or surface-mount packages, they provide an optimized performance in a limited space area.



**ABSOLUTE RATINGS** (limiting values)

Symbol	Parameter		Value	Unit		
$I_{T(RMS)}$	RMS on-state current (180° conduction angle)		$T_c = 105^{\circ}C$ 12	A		
$I_{T(AV)}$	Average on-state current (180° conduction angle)		$T_c = 105^{\circ}C$ 8	A		
$I_{TSM}$	Non repetitive surge peak on-state current	$t_p = 8.3 \text{ ms}$	$T_j = 25^{\circ}C$	DPAK / IPAK 115	A	
		$t_p = 10 \text{ ms}$		D <sup>2</sup> PAK / TO-220AB 146		
$I_t^2$	$I_t^2$ Value for fusing	$t_p = 10 \text{ ms}$	$T_j = 25^{\circ}C$	60	98	A <sup>2</sup> s
di/dt	Critical rate of rise of on-state current $I_G = 2 \times I_{GT}$ , $t_r \leq 100 \text{ ns}$	F = 60 Hz	$T_j = 125^{\circ}C$	50		A/ $\mu$ s
$I_{GM}$	Peak gate current	$t_p = 20 \mu\text{s}$	$T_j = 125^{\circ}C$	4		A
$P_{G(AV)}$	Average gate power dissipation		$T_j = 125^{\circ}C$	1		W
$T_{stg}$ $T_j$	Storage junction temperature range Operating junction temperature range		- 40 to + 150 - 40 to + 125		$^{\circ}C$	
$V_{RGM}$	Maximum peak reverse gate voltage (for TN12 & TYN)		5		V	



**TN12, TS12 and TYNx12 Series**

**ELECTRICAL CHARACTERISTICS** (Tj = 25°C, unless otherwise specified)

■ **SENSITIVE**

Symbol	Test Conditions		TS1220	Unit	
I <sub>GT</sub>	V <sub>D</sub> = 12 V R <sub>L</sub> = 140 Ω	MAX.	200	μA	
V <sub>GT</sub>		MAX.	0.8	V	
V <sub>GD</sub>	V <sub>D</sub> = V <sub>DRM</sub> R <sub>L</sub> = 3.3 kΩ R <sub>GK</sub> = 1 kΩ Tj = 125°C	MIN.	0.1	V	
V <sub>RG</sub>	I <sub>RG</sub> = 10 μA	MIN.	8	V	
I <sub>H</sub>	I <sub>T</sub> = 50 mA R <sub>GK</sub> = 1 kΩ	MAX.	5	mA	
I <sub>L</sub>	I <sub>G</sub> = 1 mA R <sub>GK</sub> = 1 kΩ	MAX.	6	mA	
dV/dt	V <sub>D</sub> = 67 % V <sub>DRM</sub> R <sub>GK</sub> = 220 Ω Tj = 125°C	MIN.	5	V/μs	
V <sub>TM</sub>	I <sub>TM</sub> = 24 A tp = 380 μs Tj = 25°C	MAX.	1.6	V	
V <sub>I0</sub>	Threshold voltage Tj = 125°C	MAX.	0.85	V	
R <sub>d</sub>	Dynamic resistance Tj = 125°C	MAX.	30	mΩ	
I <sub>DRM</sub>	V <sub>DRM</sub> = V <sub>RDM</sub> R <sub>GK</sub> = 220 Ω	Tj = 25°C	MAX.	5	μA
I <sub>RDM</sub>		Tj = 125°C		2	mA

■ **STANDARD**

Symbol	Test Conditions		TN1215		TYN		Unit
			B/H	G	x12T	x12	
I <sub>GT</sub>	V <sub>D</sub> = 12 V R <sub>L</sub> = 33 Ω	MIN.	2		0.5	2	mA
		MAX.	15		5	15	
V <sub>GT</sub>		MAX.	1.3				V
V <sub>GD</sub>	V <sub>D</sub> = V <sub>DRM</sub> R <sub>L</sub> = 3.3 kΩ Tj = 125°C	MIN.	0.2				V
I <sub>H</sub>	I <sub>T</sub> = 500 mA Gate open	MAX.	40	30	15	30	mA
I <sub>L</sub>	I <sub>G</sub> = 1.2 I <sub>GT</sub>	MAX.	80	60	30	60	mA
dV/dt	V <sub>D</sub> = 67 % V <sub>DRM</sub> Gate open Tj = 125°C	MIN.	200		40	200	V/μs
V <sub>TM</sub>	I <sub>TM</sub> = 24 A tp = 380 μs Tj = 25°C	MAX.	1.6				V
V <sub>I0</sub>	Threshold voltage Tj = 125°C	MAX.	0.85				V
R <sub>d</sub>	Dynamic resistance Tj = 125°C	MAX.	30				mΩ
I <sub>DRM</sub>	V <sub>DRM</sub> = V <sub>RDM</sub>	Tj = 25°C	MAX.		5		μA
		Tj = 125°C			2		mA

**THERMAL RESISTANCES**

Symbol	Parameter	Value	Unit
R <sub>th(j-c)</sub>	Junction to case (DC)	1.3	°C/W
R <sub>th(j-a)</sub>	Junction to ambient	TO-220AB	60
		I <sub>PAK</sub>	100
	S = 1 cm	D PAK	45
		S = 0.5 cm	DPAK

S = Copper surface under tab

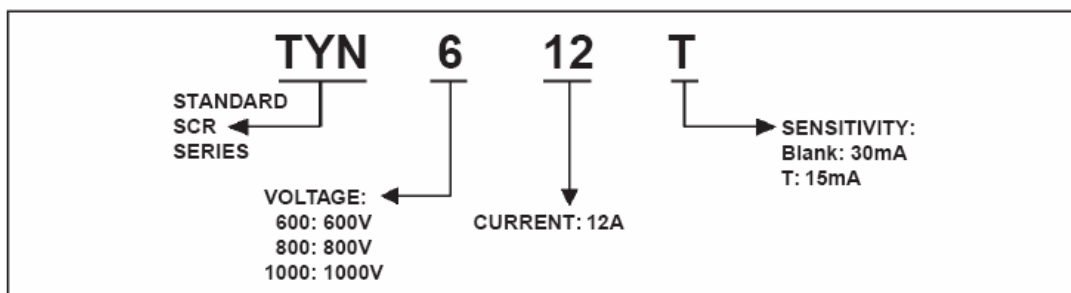
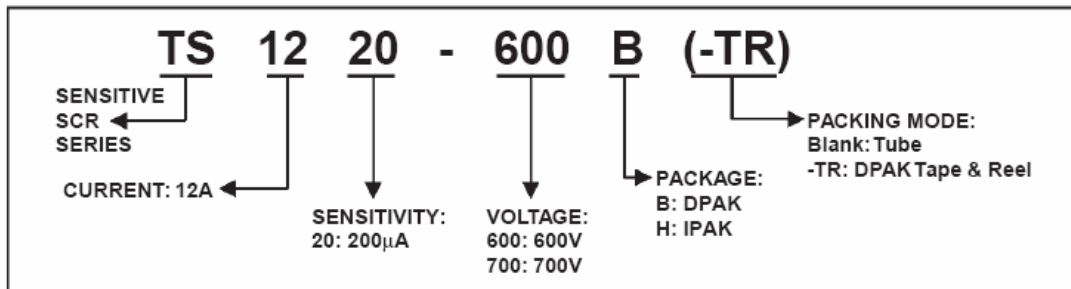
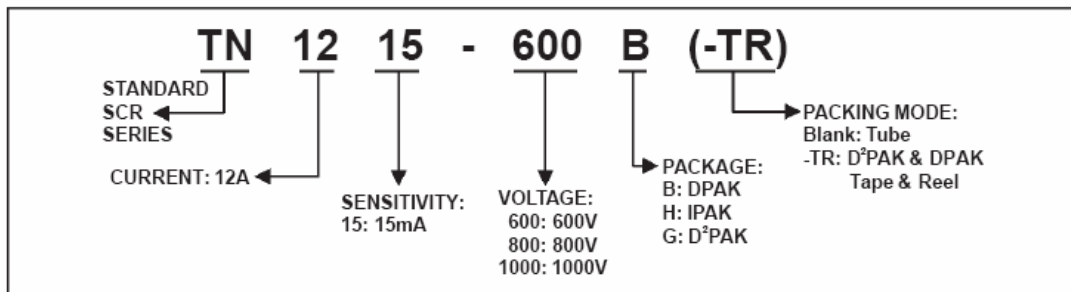


TN12, TS12 and TYNx12 Series

PRODUCT SELECTOR

Part Number	Voltage (xxx)				Sensitivity	Package
	600 V	700 V	800 V	1000 V		
TN1215-xxxB	X		X		15 mA	DDPAK
TN1215-xxxG	X		X	X	15 mA	D PAK
TN1215-xxxH	X		X		15 mA	IPAK
TS1220-xxxB	X	X			0.2 mA	DDPAK
TS1220-xxxH	X	X			0.2 mA	IPAK
TYNx12	X		X	X	30 mA	TO-220AB
TYNx12T	X		X	X	15 mA	TO-220AB

ORDERING INFORMATION





## **ANNEX L. SUPORT INFORMÀTIC**

Tota la informació referent al present projecte s'adjunta en format CD, amb la següent estructura:

- Carpeta: Models Matlab
- Carpeta: Programació dispositiu FPGA
- Carpeta: Memòria i Annexes



