

Desfasador Sintonizable CMOS para Aplicaciones de Sintonía Automática

Herminio Martínez, Eva Vidal, Eduard Alarcón, Alberto Poveda.

Dep. de Ingeniería Electrónica. Universidad Politécnica de Cataluña (UPC).

c\ Gran Capitán s/n, Edificio C4, 08034 Barcelona, Spain.

E-mail: herminio.martinez@upc.es Tel: +34.934.137.290. Fax: +34.934.137.401.

Resumen

En este artículo se presenta el diseño e implementación de un desfasador con capacidad de sintonía mediante una tensión de control externa, que ofrece un desfase de $\pi/2$ a una frecuencia específica de interés. La utilización de resistencias negativas, y su fácil implementación mediante el bloque circuital conocido como MRC (*MOS Resistive Circuit*) simplifica notablemente el diseño y realización del mismo. Los resultados experimentales obtenidos y expuestos para una tecnología CMOS de $0,8 \mu\text{m}$ validan la funcionalidad del circuito.

1.- Introducción

En procesado analógico de señal a menudo resulta necesario obtener señales con cierto desplazamiento de fase para su adecuado procesado posterior. Así, los circuitos desfasadores son utilizados ampliamente en instrumentación, control y comunicaciones. En algunas aplicaciones se requiere un desplazamiento de fase constante, generalmente de $\pi/2$, para generar de esta forma señales en cuadratura. Las redes clásicas *RLC* no pueden conseguir de forma alguna un desplazamiento de fase constante de una señal sinusoidal manteniendo constante, al mismo tiempo, la amplitud en un determinado rango frecuencial. Es por ello que se han propuesto diferentes alternativas circuitales para este fin mediante la utilización de dispositivos no lineales como son diodos de capacidad variable dependiente de tensión, transistores FET trabajando en zona óhmica para aprovechar su resistencia dinámica, multiplicadores de tensión, etc. [1].

Otras técnicas se han basado en el empleo de microprocesadores, circuitos digitales o *phase-locked loops* (PLL). Estas últimas se han venido utilizando para producir desplazamientos de fase altamente precisos [2], como por ejemplo para generar señales cuadradas o sinusoidales con un desplazamiento de fase conocido y altamente estable en instrumentación de alta precisión para la calibración de fasímetros o medida de potencia reactiva [3]. En aplicaciones especiales, es necesario un desfase de 90° para la generación de señales sinusoidales en cuadratura. Sin embargo, otras aplicaciones requieren desplazamiento de fase sintonizable en un rango frecuencial específico.

En el presente trabajo se presenta la realización circuital analógica de un desfasador sintonizable que ofrece un desfase de 90° a una frecuencia específica. Dicha

frecuencia es fijada mediante una tensión de control. Los elementos resistivos requeridos se implementan utilizando el dispositivo conocido como Circuito Resistivo MOS (MRC) [4],[5], el cual proporciona una gran versatilidad para realizar resistencias controladas electrónicamente.

2.- Estructura Desfasadora Básica

Un posible circuito desfasador consiste en una estructura de filtrado pasa-todo que, manteniendo una respuesta de magnitud constante en todo el margen frecuencial de trabajo disponible, presenta una respuesta de fase que es función de la frecuencia. La función de transferencia genérica $H_1(s)$ de primer orden responde a la expresión (1):

$$H_1(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{s - \omega_C}{s + \omega_C} \quad (1)$$

donde se puede apreciar que existen un cero en el semiplano derecho y un polo en el semiplano izquierdo simétricos respecto del eje $j\omega$, tal y como se muestra en la figura 1.

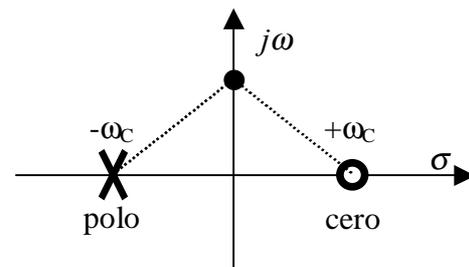


Fig. 1.- Diagrama de polos y ceros de una función pasa-todo de 1^{er} orden.

Un posible circuito básico que para implementar la función de transferencia dada por (1), una vez adecuadamente escogidos el valor de sus parámetros, se presenta en la figura 2. Este circuito está formado por un par de redes *RC* con sus asociadas constantes de tiempo (R_1C_1 y R_2C_2 , que fijarán el cero y el polo, respectivamente), más un amplificador operacional. En dicho circuito tenemos que la función de transferencia $H_2(s)$ viene dada por la expresión (2).

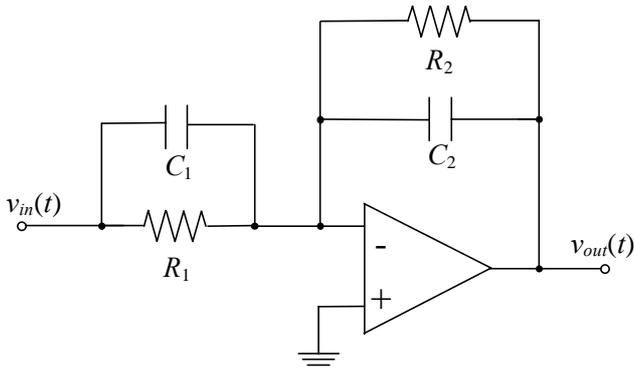


Fig. 2.- Desfasador que implementa una función pasa-todo de 1^{er}. orden mediante un polo y un cero.

$$H_2(s) = \frac{V_{out}(s)}{V_{in}(s)} = -\frac{R_2}{R_1} \cdot \frac{R_1 C_1 s + 1}{R_2 C_2 s + 1} = -\frac{C_2}{C_1} \cdot \frac{s + \frac{1}{R_1 \cdot C_1}}{s + \frac{1}{R_2 \cdot C_2}} \quad (2)$$

A partir de esta expresión puede observarse que si se consideran los condensadores iguales ($C_1=C_2$) y las resistencias cumplen $R_1 = -R_2$, se conseguirá un cero en el semiplano derecho, obteniendo de esta manera ganancia unidad en toda la banda útil de trabajo del desfasador, y un desfase de $\pi/2$ para una frecuencia de entrada $\omega = \omega_C$, dada por:

$$\omega_C = \frac{1}{R_1 \cdot C_1} = \frac{1}{R_2 \cdot C_2} \quad (3)$$

El valor negativo de la resistencia R_1 es implementable de forma adecuada en tecnología CMOS, tal y como se comenta en la siguiente sección.

3.- Implementación de las Resistencias Controlables Electrónicamente

Para poder variar la frecuencia ω_C a la que se produce el desfase de 90° se implementan las resistencias mediante estructuras controladas electrónicamente, lo que permite variar las constantes de tiempo; es decir, sintonizar el circuito a la frecuencia de interés mediante una tensión de control. Entre las diversas opciones topológicas disponibles se ha escogido la célula conocida como 'Circuito Resistivo MOS' (MRC), representado en la figura 3.a.

Considerando como condiciones necesarias que las tensiones en los dos terminales de salida del dispositivo sean idénticas ($V_3=V_4$) [6], y que los transistores trabajen siempre en zona óhmica, en primera aproximación el MRC implementa un par de resistencias iguales (figura 3.b), cuyo valor depende de la tecnología (producto $\mu \cdot C_{ox}$), de las dimensiones de los transistores (relación W/L) y de las tensiones aplicadas a los terminales de puerta (V_{C1}, V_{C2}), tal y como muestra la ecuación (4).

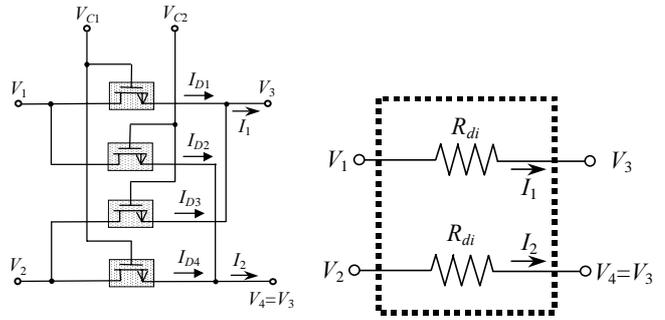


Fig. 3.- (a) Estructura del Circuito Resistivo MOS (MRC). (b) Modelo ideal para el MRC.

$$R_{di} = \frac{V_1 - V_2}{I_1 - I_2} = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{C1} - V_{C2})} = \frac{1}{K \cdot (V_{C1} - V_{C2})} \quad (4)$$

con: $K = \mu \cdot C_{ox} \cdot \frac{W}{L}$

Como puede apreciarse en la expresión anterior, la implementación de resistencias negativas es fácilmente realizable mediante un simple cambio de polaridad en la diferencia de las tensiones de control ($V_{C1}-V_{C2}$).

En trabajos previos [7],[8] se estudian los efectos no lineales que afectan el comportamiento de la célula MRC. Uno de dichos efectos viene dado por la influencia que tiene la tensión de modo común a la entrada del dispositivo. Ésta, junto con la de mejora del rechazo al ruido, son las razones por las cuales la realización del diseño del desfasador se ha llevado a cabo mediante una estructura completamente balanceada (*fully-balanced*), como se muestra en el siguiente apartado.

4.- Estructura Desfasadora Básica Fully-Balanced Sintonizable

El desfasador completo *fully-balanced* diseñado se muestra en la figura 4. Dado que la celda MRC emula el comportamiento de pares de resistencias idénticas, y sus dos terminales de salida deben estar necesariamente al mismo potencial, permite la realización de circuitería *fully-balanced* junto con amplificadores operacionales de forma sencilla. Por tanto, sus dos salidas se conectarán a las entradas inversora y no-inversora del amplificador operacional, aprovechando así el cortocircuito virtual que éste presenta a su entrada. Además, para conseguir un circuito perfectamente balanceado, se deberán añadir dos nuevos condensadores: uno, entre el terminal no-inversor del amp. op. y la entrada $-v_{in}$; y el otro, entre el terminal no-inversor y la salida $-v_{out}$.

En cada una de las células MRC (realizadas con transistores pMOS) se ha fijado una de las tensiones de control a un nivel constante que coincide con el valor de alimentación más baja $-V_{EE}$ (0 V en este caso). De esta manera, la frecuencia ω_C , a la cual se produce el desfase de $\pi/2$, puede ser ajustada mediante una única tensión de control (V_{CTRL}), la cual modifica de igual forma los valores óhmicos de las resistencias implementadas con los dispositivos MRC_1 y MRC_2 . Obsérvese que las polaridades

de la diferencia en las tensiones de control de ambos MRCs son iguales pero opuestas, consiguiendo de esta forma un cero y un polo simétricos respecto el eje de ordenadas en el plano complejo. Téngase en cuenta también que el hecho de tener un circuito balanceado implica que se pueda conseguir un desfase de $-\pi/2$ (tal y como se tienen las conexiones en la figura 4) o de $+\pi/2$ sin más que invertir la polaridad de la tensión diferencial de entrada.

La implementación se ha llevado a cabo en tecnología CMOS de AMS de $0,8 \mu\text{m}$, formando parte de un sistema de sintonía automática para un filtro pasa-banda de tiempo continuo [9]. El amplificador operacional se ha diseñado específicamente para la aplicación, y está basado en una estructura cascode regulado doblado (*folded-cascode*) regulado completamente balanceada, alimentado con una tensión simple de $+5 \text{ V}$. La figura 5 muestra el esquema de dicho amplificador operacional.

El nivel de tensión del modo común de los terminales de salida del op. amp. se ha fijado a $3,5 \text{ V}$. Esto hace que el margen de amplitud de la señal de salida se ciña entre $3,5 \text{ V}$ y 5 V (tensión de alimentación) para el semiciclo positivo, y entre $3,5 \text{ V}$ y 2 V para el negativo. Como consecuencia el margen en la tensión de control (V_{CTRL}) en las puertas de los transistores de las células MRCs debe estar por debajo del valor $2V + V_{TP}$ (donde $V_{TP} < 0$ es la tensión umbral de los pMOS) para asegurar en todo momento que los dispositivos MOSFET de las celdas MRC trabajen en su zona óhmica. Esto conduce a un margen de V_{CTRL} entre 0 V y aproximadamente $1,1 \text{ V}$. Para las medidas de los transistores escogidos en el presente diseño, se cubre prácticamente la totalidad de la banda de audio esperada (de 50 Hz a 16 kHz), para MRCs cuyos transistores tienen unas dimensiones de $W = 2 \mu\text{m}$ y $L = 62 \mu\text{m}$, y con capacidades en el circuito de valor $C = 5 \text{ pF}$.

5.- Resultados Experimentales

La figura 6 representa resultados experimentales del diseño realizado, representando el desfase entre la señal de entrada y la de salida versus la frecuencia, cuando la tensión de control de las células MRC varía desde $0,1 \text{ V}$ (curva de la izquierda) hasta $1,1 \text{ V}$ (curva derecha), con incrementos de $0,1 \text{ V}$. Por otro lado, la figura 7 muestra la frecuencia con desfase de 90° en función de la tensión de control aplicada.

Finalmente, la figura 8 representa una microfotografía, donde se aprecian el MRC y los dos condensadores de entrada al circuito (en la parte superior de la imagen), el amplificador operacional (en la zona central del *layout*) junto a sus dos condensadores de compensación (situados en la parte inferior izquierda), así como el MRC y los dos condensadores del lazo de realimentación (localizados en la zona inferior derecha de la figura).

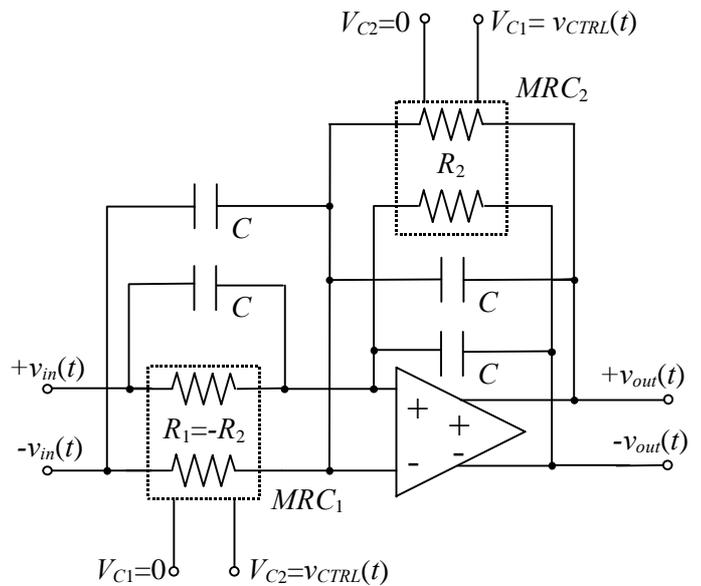


Fig. 4.- Desfasador sintonizable fully-balanced implementado con células MRC.

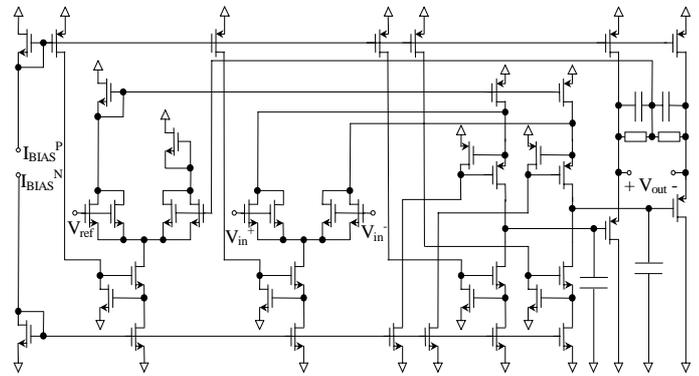


Fig. 5.- Amplificador operacional cascode regulado doblado (folded regulated-cascode) fully-balanced.

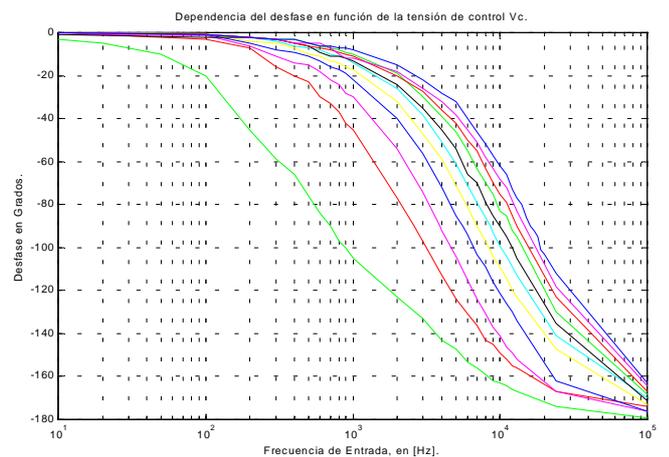


Fig. 6.- Resultados experimentales del desfasador, representando el desfase entre señal de entrada y salida en función de la frecuencia variando como parámetro la tensión de control de los MRCs del circuito desde $0,1 \text{ V}$ hasta $1,1 \text{ V}$, en sentido creciente hacia la derecha en incrementos de $0,1 \text{ V}$.

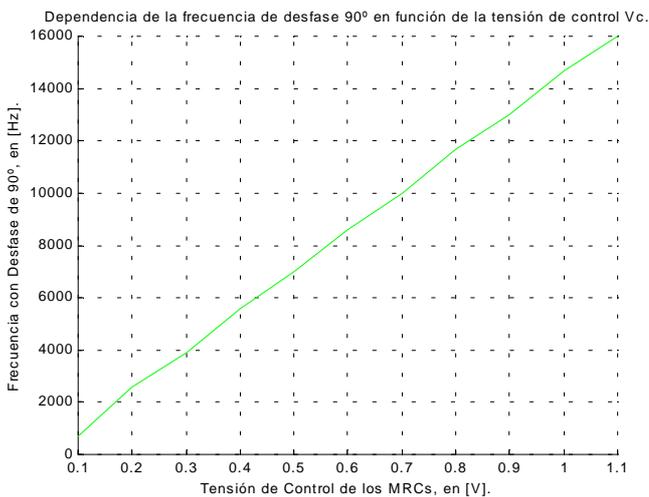


Fig. 7.- Resultados experimentales del desfasador, representando la frecuencia a la cual el desfasador presenta desfase de 90° en función de la tensión de control aplicada a los MRCs del circuito.

6.- Conclusiones

En este trabajo se ha presentado el diseño y la implementación microelectrónica de un desfasador de 90° a partir de la función de transferencia requerida para cumplir tal propósito. La estructura desfasadora es directamente sintonizable mediante una tensión de control, de forma que la frecuencia a la cual se produce el desfase de $\pi/2$ pueda ser fijada de forma exacta. La implementación del filtro conlleva la síntesis de una resistencia negativa para posicionar el cero de la función de transferencia en el semiplano derecho. El bloque circuital MRC, cuyo comportamiento ideal es el de una resistencia controlable electrónicamente, puede realizar dicha resistencia negativa de forma simple invirtiendo la polaridad de la tensión de control en sus puertas. Para minimizar los efectos no lineales que afectan el comportamiento de la célula MRC (tensión en modo común a la entrada del dispositivo, mejora en ruido, etc.) la implementación mediante una estructura *fully-balanced* queda justificada. Se incluyen resultados experimentales que validan el funcionamiento del circuito propuesto.

7.- Agradecimientos

Este trabajo ha sido parcialmente financiado por el Gobierno Español gracias a la CICYT, mediante el proyecto TIC97-0418-C02-02.

Referencias

- [1] Karybakas C.A.; G.A. Micholitsis. 'A Circuit for Constant Phase Shift Using a Narrow Pulse Duty Cycle All-Pass Filter'. *IEEE Transactions on Instrumentation and Measurement*, vol. 39 (n° 4): pp. 594-598, August 1990.
- [2] Goberman G.L. 'Digital Phase-Shift Generator'. *Electronics Letters*, vol. 13 (n° 25): pp. 772-773, December 1977.
- [3] Djokic B.; E. So; P. Bosnjakovic. 'A High Performance Frequency Insensitive Quadrature Phase Shifter and its Application in Reactive Power Measurements'. *IEEE Instrumentation and Measurement Technology Conference*. St. Paul, Minnesota, USA. pp. 807-811, May

- 1998.
- [4] Czarnul, Zdzislaw. 'Novel MOS Resistive Circuit for Synthesis of Fully Integrated Continuous-Time Filters'. *IEEE Transactions on Circuits and Systems*, vol. CAS-33 (n° 7): pp. 718-721, July, 1986.
- [5] Ismail, Mohammed; Shirley V. Smith; Richard G. Beales. 'A New MOSFET-C Universal Filter Structure for VLSI'. *IEEE Journal on solid-State Circuits*, vol. 23 (n° 1): pp. 183-194, February, 1988.
- [6] Osa, J. Ignacio; Sonia Porta; Alfonso Carlosena. 'The Most Resistive Model for the MOS Resistive Circuit'. *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS'98)*, 1998.
- [7] Vidal, Eva; Herminio Martínez; Eduard Alarcón; Alberto Poveda. 'Nonlinear Analytical Model of the MRC (MOS Resistive Circuit)'. *Proceedings of the 42th. IEEE Midwest Symposium on Circuits and Systems (MWSCAS'99)*. Las Cruces, NMSU, New Mexico, U.S.A., August 1999.
- [8] Vidal, Eva; Sonia Porta; Herminio Martínez; Eduard Alarcón; Alberto Poveda. 'Complete Nonlinear Model of the MRC (MOS Resistive Circuit)'. *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS'00)*. Geneve, Switzerland, June 2000.
- [9] Martínez, Herminio. 'Diseño de un Circuito Integrado para Sintonía Automática de un filtro de Tiempo Continuo'. Memoria del Proyecto Fin de Carrera. E.T.S.E.T.B. Univ. Politècnica de Catalunya. Barcelona, Octubre 1998.

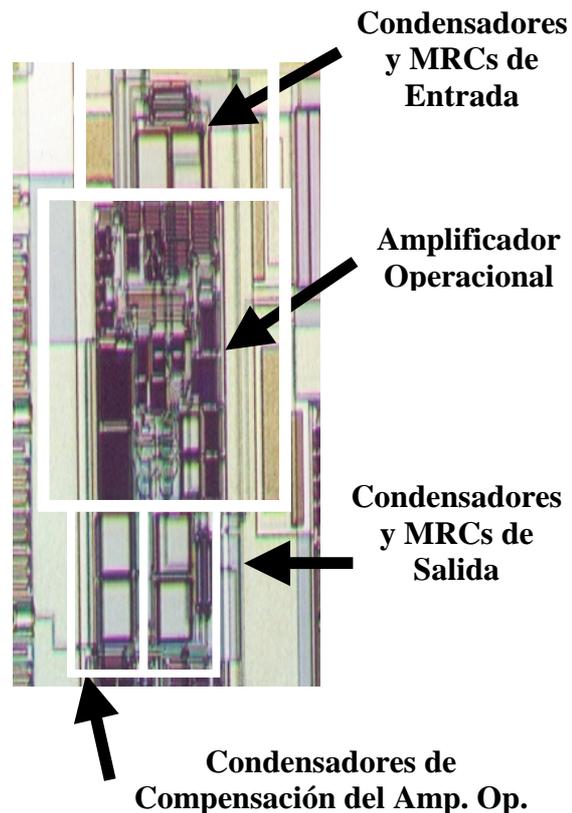


Fig. 8.- Microfotografía del circuito integrado que contiene el circuito desfasador realizado en tecnología CMOS de 0,8 μm .