

用在系统可编程逻辑器件设计快速频率合成器

福建厦门大学电子工程系(361005) 许俊 陈奕峰 许茹

摘要: 用一片 Lattice ispLSI器件设计了一种包含整数分频和小数分频的快速数字频率合成器,该数字频率合成器是实现多频移频键控的核心技术。详细介绍了其工作原理、设计思路和 ispLSI可编程逻辑器件的应用技术。

关键词: 数字频率合成,ispLSI器件,在系统编程,宏逻辑元件

传统的频率合成器采用锁相频率合成,其缺点是响应速度慢、频率稳定度低。本文介绍一种新的快速数字频率合成器,它只使用一片 Lattice公司 ispLSI器件就实现了包含整数和小数分频的快速数字频率合成,根据不同的数字输入对某一个晶振频率进行不同分频而得到所需的频率。该频率合成器具有体积小,功耗低,电路保密性好,频率稳定度高,频率变换快速等优点。

1 快速数字频率合成器工作原理

该快速数字频率合成器主要由 8位二进制数字加法器、9位可预置分频器、二位二进制计数器以及二位比较器构成。其组成如图 1

8位二进制数字加法器的 A输入端接频段偏置开关(N_0),用于调整频段,以满足不同频段数字频率合成器的要求;B输入端接收 8位数字信息 N_x 中的高六位(N_{xH})作为整数分频系数,低二位 N_{xL} 作为小数分频系数,二位比较数值比较器为高电平有效。只有输入端 A的数值小于输入端 B时,比较器的输出端(AB)为高电平,其它状态为低电平,比较器的输出端(AB)接加法器的进位输入端 C_i ,加法器的输出作为可预置分频器的分频系数,分频器的输出再经过二分频以获得对称方波。二位二进制计数器即作为频率合成器的二分频电路,又作为小数分频的二位计数器。小数分频是根

据 N_{xL} 的值改变输出脉冲的周期,再通过四次取平均获得的,下面是各种状态下, N_{xL} 与比较器输出(AB)和频率合成器输出的周期 T 的关系(输入时钟为 10MHz):

(1)当 $N_{xL} = 0$, $A \geq B$, $C = 0$, $T = 0.2(N_0 + N_{xL})$

(2)当 $N_{xL} = 1$,第 1个脉冲, $A < B$, $C = 0$, $T = 0.2(N_0 + N_{xL} + 1)$;

第 2,3,4个脉冲, $A \geq B$, $C = 0$, $T = 0.2(N_0 + N_{xL})$

(3)当 $N_{xL} = 2$,第 1,2个脉冲, $A < B$, $C = 0$, $T = 0.2(N_0 + N_{xL} + 1)$

第 3,4个脉冲, $A \geq B$, $C = 0$, $T = 0.2(N_0 + N_{xL})$

(4)当 $N_{xL} = 3$,第 1,2,3个脉冲, $A < B$, $C = 0$, $T = 0.2(N_0 + N_{xL} + 1)$;

第 4个脉冲, $A \geq B$, $C = 0$, $T = 0.2(N_0 + N_{xL})$ 。

四个脉冲的平均周期为

$$T_x = 0.2(N_0 + N_{xL} + N_{xL}/4) \quad (\mu s)$$

输出脉冲的频率为

$$F_x = 5000 / (N_0 + N_{xL} + N_{xL}/4) \quad (KHz)$$

采用这种小数分频方法,当 N_{xL} 不等于 0时,即使分频系数不变,频率合成器输出脉冲的周期有两种,相差 $0.2 \mu s$,但连续四个脉冲的平均周期相同,所以在测量周期或频率的时候,必须取 4的整数倍个脉冲来取平均值测量。

2 逻辑设计

图 2给出频率合成器集成到一片高密度在系统可编程逻辑器件的片内原理图。采用器件是一片 Lattice半导体公司出品的高密度在系统可编程逻辑器件,其型号为 ispLSI1016-60。该芯片采用 E^2 CMOS工艺制造,集成了相当于 2000个门逻辑部件,具有 32个输入输出端口,采用 44脚的 PLCC封装。这种新颖器件的最大特点是仅需一路 5V 电源和一根串

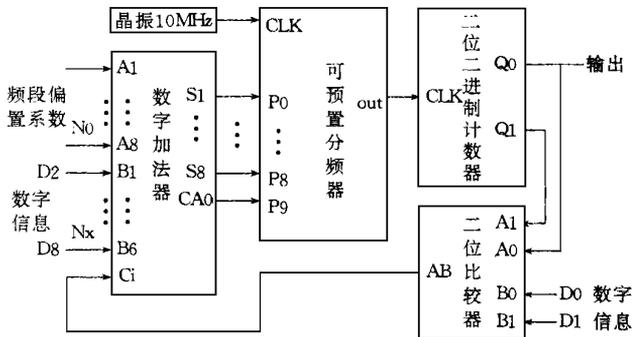


图 1 数字频率合成器原理

行接口电缆就能在电路板上对器件进行编程或改写, 无需专用的编程器和编程电源, 每个芯片至少可进行 10000 次在系统编程, 极大地提高了电路的灵活性和可靠性。同时 ispLSI 器件还具有“保密单元”, 用来对器件进行加密, 器件一经加密, 就不能从中读出逻辑结构。

为了提高设计效率, 在设计中尽量调用开发系统所提供的宏逻辑元件 (Macro), 一些非标准化的特殊逻辑元件或开发系统未提供的逻辑元件可以由使用者自行设计, 这些自行设计的宏逻辑元件可以存盘供以后的设计反复调用。宏逻辑元件的设计主要是同时采用原理图输入和 ABEL 硬件描述语言 (HDL) 输入的

方式, 设计十分灵活简便。

(1) 宏逻辑元件 ADD8 为 8 位带进位加法器, 输入端包含 A 输入端 (A8~ A1), B 输入端 (B8~ B1) 和一个进位输入端 C0, 输出端为 S8~ S1 和一个进位输出 CA0, ADD8 的输出比较特别, 假设:

输出 $OUTPUT = [CA0, S8, S7, S6, S5, S4, S3, S2, S1]$;

输入 $INPUT A = [A8, A7, A6, A5, A4, A3, A2, A1]$;

输入 $INPUT B = [B8, B7, B6, B5, B4, B3, B2, B1]$;

输入 $INPUT C = C0$;

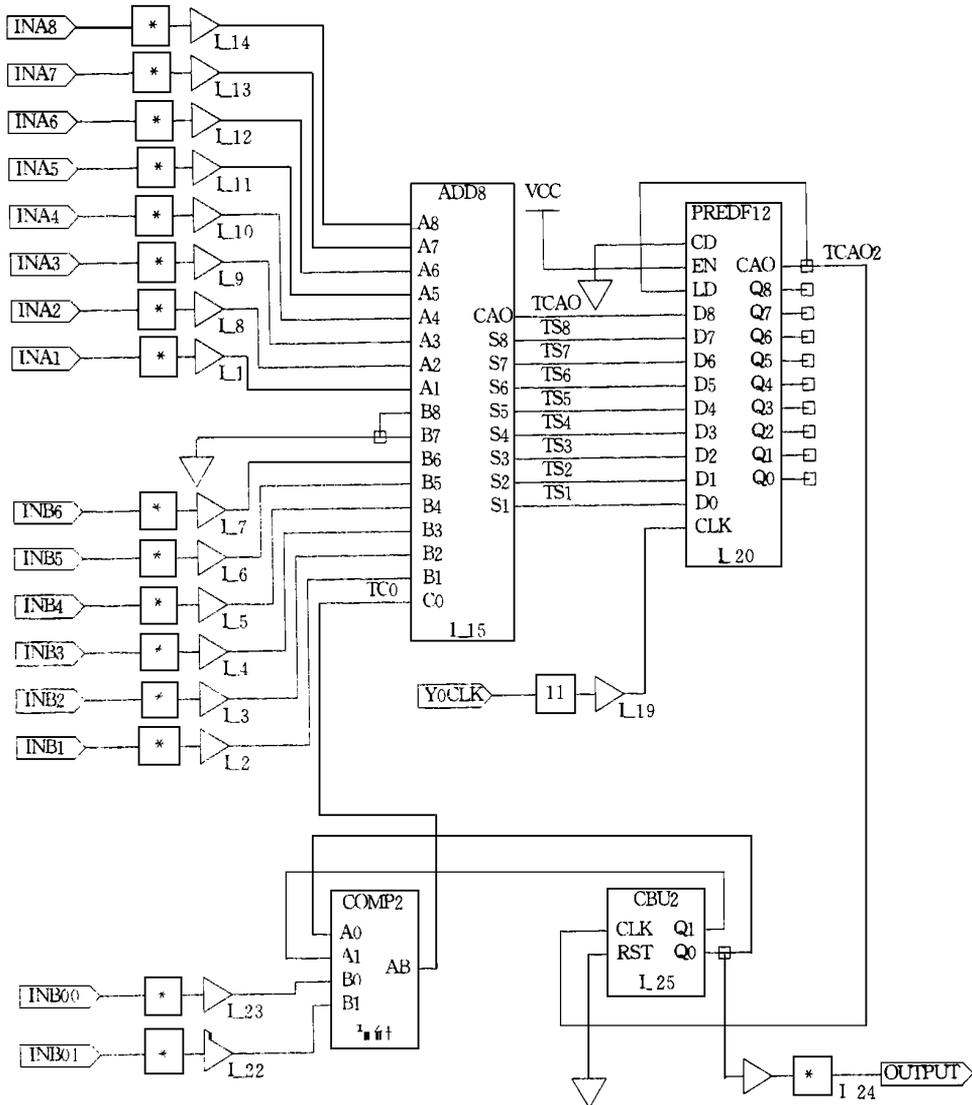


图 2 频率合成器 ispLSI 1016 片内逻辑图

MC14499译码驱动器实现四位半显示的方法

山东青岛大学机械电子工程系(266033) 徐峰 王东 谈世哲 高振东

摘要: 介绍一种使用 LED译码驱动器 MC14499实现四位半显示的方法,并给出了显示中无效零消隐的软件程序。

关键词: MC14499译码驱动器 无效零消隐

MC14499是 MOTOROLA公司生产的串行输入 BCD码十进制码输出的 CMOS集成块。由于片内具有 BCD译码器和串行接口,可以与任何 CPU接口连接。显示方式为动态扫描,因此消耗功率较低。在单片机组系统中,MC14499具有占用 I/O口少、单片控制显示器多、使用方便等特点,得到了广泛的应用。但一片 MC14499只能直接驱动和控制四位 LED七段显示器(级联时可驱动和控制 4N位 LED显示器),本文介绍四位半显示方法。

1 器件简要介绍

MC14499的管脚图如图 1所示。片内主要包括移位寄存器、锁存器、多路输出器、译码驱动器及振荡器。由多路输出器从锁存器中取出

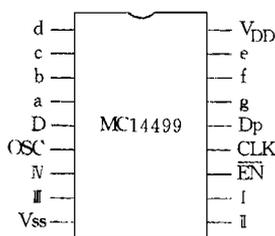


图 1

BCD码数据经段译码器译码后,送到 a~g及 DP八只输出脚上。片内振荡器产生的振荡信号经四分频后分别送到 I~IV四条位控制线,以提供对显示器的轮流扫描。

MC14499一次可接收 20位串行输入数据,如图 2所示。前四位为 4个 LED显示器的小数点选择位,相应位为“1”时小数点显示,为“0”时熄灭。后 16位是 4个 LED显示器的 BCD码输入数据。



图 2

2 硬件设计

MCS-51单片机与 MC14499进行接口有两种控制方式可供选择,如图 3所示。

2.1 I/O口控制方式

该方式由单片机提供三根 I/O口线和 MC14499进行串口接口,用软件来模拟串行输出操作,以提供 MC14499需要的时钟信号 CLK 使能信号 EN和串行数据。

2.2 串行口控制方式

该方式由单片机的串行数据发送端 TXD提供时钟信号,串行数据接收端 RXD输出串行数据,再由 P1

(接上页)

则输出与输入的算术关系是:

$OUTPUT = (INPUTA + INPUTB + INPUTC)$ 的补码;

这样设计的目的是为了与后面可预置分频器 PREDF12的同步装载作配合。

(2)宏逻辑元件 PREDF12为 9位可预置分频器,输入端包含时钟端 CLK 预置数据端 D8~D0 同步预置端 LD 输出使能端 EN 以及异步清零端 CD,输出端为 Q8~Q1 和一个进位输出 CA0 每当进位输出端 CA0 为高电平,在下一个时钟到来时,D8~D0 的数据就被装载到输出端 Q8~Q0

(3)宏逻辑元件 COM P2为 2位带进位加法器,输

入端包含 A输入端(A1~A0)和 B输入端(B1~B0),输出端为 AB,只有当 A输入端的数据小于 B输入端的数据时,输出端 AB才出高电平,其它情况下均为低电平。

(4)宏逻辑元件 CBU2为二位二进制计数器,输入端包含时钟端 CLK 和异步清零端 RST,输出端包含 Q1和 Q0,其逻辑描述方程与普通的计数器一致,在此处省略。

利用高密度在系统可编程器件设计的快速数字频率合成器可以广泛应用于水声数据传输、水声遥测遥控,而且由于 ispLSI 器件的在系统可编程特性,可以很方便地对已设计好的系统进行修改和升级。

(收稿日期:1997-06-20)