

基于 FPGA 电能质量分析仪的设计与实现

林沐晖, 陆 达

(厦门大学 计算机科学系 福建 厦门 361005)

【摘要】：实时地监测电能质量的各个参数对电力系统有着重要意义。本文介绍了基于 FPGA 的一种电能质量分析仪的设计与实现, 它的特色在于能够实时的监测每个周期的电能质量参数。首先讲述了使用 FPGA 进行信号处理的优越性, 其次介绍了电能质量分析仪的硬件设计并且讲述了电能信号与数据的处理流程, 最后介绍了电能质量分析仪的软件设计。

【关键词】：电能质量、谐波测量、FPGA、IP 核

0、引言

随着电力和电子技术的不断发展, 各种电力电子设备应用日益增多。这些设备的增加在方便人们日常工作与生活的同时也给电网带来的谐波污染。特别是那些具有非线性和冲击性特点负载, 对电网的电能质量的污染十分严重。谐波污染不仅会给电网造成严重的危害, 同时也影响用户的电能计量^[1]。因此, 研究谐波污染及其影响将对供电部门不断改善供电的质量和提提高用电服务水平有重要意义。

用 FPGA 进行数字信号处理与使用 DSP 芯片相比, 具有时钟频率相对较低并且可以基于硬件进行并行处理从而极大地加速了信号的处理过程的特点。除此之外, 使用 FPGA 进行信号处理还具有极大地灵活性, 可以开发出对设计要求有针对性的硬件实现结构。因此, 使用 FPGA 对电能信号的频谱运算, 相对于其他的方式的计算不仅速度快, 而且十分灵活。

在 FPGA 中嵌入硬核, 特别是硬处理器核心进行系统开发的方式, 能够充分发挥 PLD 芯片和 ASIC 芯片的各自长处, 是这些年来 FPGA 芯片的发展趋势。在本文中, 我们关注 FPGA 内嵌的多个 CPU 硬核在仪器设计中的作用。

1、电能质量的计算方法

1.1 电能质量简介

在电能质量指标的计算上, 关键在于谐波测量的计算方法。参考文献[2]详细介绍了各种计算谐波测量的计算方法。虽然谐波测量算法多种多样, 不过对于产品而言, 算法应该简洁可靠。基于傅里叶变换(FFT)的谐波测量仍然是目前各种谐波测量仪器中使用的算法。在本文所讲述的电能质量监测仪中采用的是国家标准^[3]来进行电能质量指标的计算。

1.2 使用 FPGA 来加快 FFT 的运算速度

由上面的分析可知, 电能质量的计量关键在于是否能够快速地进行 FFT, 相对于传统的单片机^[4]和 DSP 芯片^[5]都是使用软件的方式来进行 FFT, DSP 芯片至多

也是使用芯片内的 MAC 单元来加速运算, 本质上还是串行运算, 其计算复杂度是 $O(n \log n)$ 。而由于 FFT 采用并行的乘加单元, 仅需要 $\log n$ 级的乘加法运算的延迟便可以输出结果, 运算速度提高了 n 倍。如图 1 所示, 进行 8 个点的 FFT 运算, 如果采用单片机或者 DSP 芯片运算的话, 要等 12 次的乘加运算完成后才获得结果, 而采用 FPGA 使用并行 FFT 电路去运算的话, 只需要 3 级乘加法运算的延迟, 极大提高了信号处理的速度。

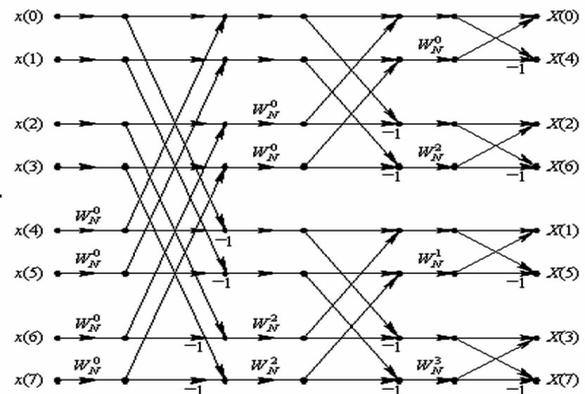


图 1 FFT 并行电路

2、电能质量分析仪的硬件设计

电能质量分析仪的硬件设计如图 2 所示。该仪器采用 Xilinx V2p30 FPGA。该 FPGA 不仅有丰富的可编程逻辑资源, 而且内嵌了两颗 powerpc 硬核处理器。在片内逻辑的开发上, 使用了 Xilinx EDK 开发工具来进行整个硬件设计。图中的 BUFFER0、FLAG0 和 BUFFER1、FLAG1 是使用 Verilog 硬件描述语言^[6]编写的处理 AD 芯片转换过来的数字信号的缓冲区, 它使用双缓冲设计, 当 IP 核填满 BUFFER0 的时候便会将 FLAG0 置位, 同时将 FLAG1 清零, 这样 FLAG0 便产生一个上升沿通知 FFT IP core 进行傅里叶变换, 在变换的过程中 IP 核将下一个周波的信号填充在 BUFFER1 里面, 如此不断反复。这种双缓冲的结构能保证不丢失

每一个周波的数据,从而保证的实时性的要求。FFT IP core 会将傅里叶变换的结果存储在 BRAM 里面,进而 Powerpc 处理器 1 便可以根据谐波变换后的结果计算电能质量的相关指标。Powerpc 处理器 1 的使用分担了很大一部分计算负担减轻了 powerpc 处理器 0 的负载,从而进一步满足了实时性的要求。Powerpc 处理器 0 通过双端口存储器与 powerpc 处理器 1 交换数据,并且通过 PLB 总线连接内存条、以太网、CF 卡等外部设备。当系统设计完成后可以利用 system ACE 芯片将存储在 CF 卡上的比特流通过 JTAG 配置 FPGA 芯片。CF 卡除了保存配置芯片所需的比特流之外,同时还可以保存电能质量的数据。除此之外,由于离散傅里叶变换本身具有频谱泄露的特性,因此在 AD 转换电路中加了锁相环设计,使得能够根据信号的频率来确定采样的时间间隔,这样即使信号不加窗也能有很好的效果。

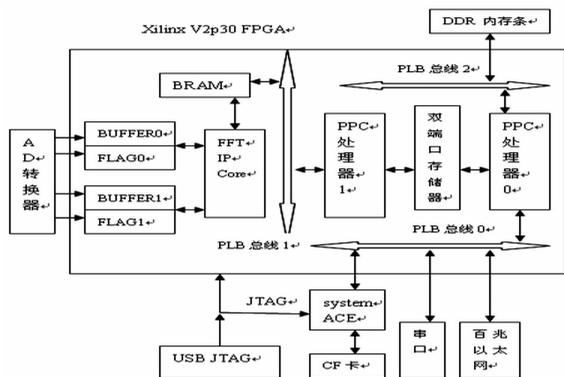


图 2 电能质量分析仪硬件简图

3、电能质量分析仪的软件设计

在软件算法上对电能质量指标的计算主要是依据国家标准 GB/T 14549-1993。在 Xilinx V2p30 FPGA 中内嵌了两颗 powerpc 处理器,因此,如何分配两颗处理器的计算资源便成了软件设计中最早面临的问题。在本电能质量分析仪中,采用了如下的设计:在 powerpc 处理器 1 上不使用操作系统,直接运行应用程序,专门计算各个电能质量指标的算法,同时通过双端口存储器将计算结果传给 powerpc 处理器 0;由于数据管理和通讯的需要,移植了 Linux 操作系统^[7]在 powerpc 处理器 0 上。在 Linux 操作系统运行一个监测程序^[8],实时地将 powerpc 处理器 1 传递过来的数据存储在 CF 卡上,由于实时数据量十分大,每个周波便有一条实时记录,一分钟便有大约 3000 条记录产生,一张 32G 的 CF 卡也只能存储大概一天的数据,因此需要及时地将数据同步到上位机的大数据库中,所以还得再 Linux 上运行一个服务程序,及时将数据通过以太网传输到上位机中。

Powerpc 处理器 1 程序的伪代码如下:

```
int main()
{
    开启指令 cache 和数据 cache;
    while(1){
```

```
    轮询缓冲区 0 的标记 flag0 是否置位;
    if(flag0 置位){
        根据 BRAM0 中的频谱数据计算电能质量;
        将计算出的的电能质量指标拷贝到双端口存储器中;
        标记相关的标志位;//用于两颗处理器同步
    }

    轮询缓冲区 1 的标记 flag1 是否置位;
    if(flag1 置位){
        根据 BRAM1 中的频谱数据计算电能质量;
        将计算出的的电能质量指标拷贝到双端口存储器中;
        标记相关的标志位;//用于两颗处理器同步
    }
}
```

Powerpc 处理器 0 监控程序的伪代码如下:

```
int main()
{
    映射双端口存储器到内核空间;
    while(1){
        轮询标记位;
        if(标记位是奇数){
            处理缓冲区 0 对应的电能质量数据;
        }else{
            处理缓冲区 1 对应的电能质量数据;
        }
    }
}
```

4、结束语

本文所设计的电能质量分析仪具有如下特点:

- (1)使用 FPGA 极大加速了 FFT 的运算过程。
- (2)利用了 FPGA 内嵌的多个 CPU 协同计算与存储,满足了实时性的要求。
- (3)采用了 SOPC 的设计理念进行系统的设计。

虽然本文设计的电能质量检测仪是用来对电能信号进行检测与处理,但是对其他应用可能涉及到的信号处理也有一定的参考价值。

参考文献

- [1] 林海雪. 现代电能质量的基本问题 [J]. 电网技术, 2001.10, 25 (10):5-12.
- [2] 肖雁鸿, 毛苒, 周靖林, 等. 电力系统谐波测量方法综述 [J]. 电网技术, 2002, 26(6):61-64.
- [3] GB/T 14549-1993. 电能质量 公用电网谐波 [S].
- [4] 解蕾, 解大, 张延迟. 新型电能质量表的算法及实现 [J]. 电测与仪表, 2008, 45(513):1-4.
- [5] 孙攀, 张广明. 基于 DSP 的电能质量监测系统的设计 [J]. 自动化仪表, 2012.1, 33(1):82-86.
- [6] Samir Palnitkar. Verilog HDL: A Guide to Digital Design and Synthesis (2nd Edition) [M]. Prentice Hall. 2003.
- [7] Robert Love. Linux Kernel Development (3rd Edition) [M]. Addison-Wesley Professional. 2010.
- [8] W. Richard Stevens, Stephen A. Rago. Advanced Programming in the UNIX Environment (2nd Edition) [M]. Addison-Wesley Professional. 2005.