

基于FPGA的8PSK软解调的研究与实现

林志坚^①, 黄联芬^①, 陈翔^②, 王京^②

(^①厦门大学信息科学与技术学院, 福建 厦门 361000; ^②清华大学信息技术研究院, 北京 100084)

【摘要】首先分析了8PSK的软解调原理,针对最优的对数似然比(LLR)运算复杂度较高的特点,选用了相对简化的最大值(MAX)算法作为可编程逻辑门阵列(FPGA)硬件平台实现方案。随后,通过QUARTUS II仿真平台对8PSK软解调器进行了硬件描述语言(VHDL)的设计实现和功能仿真,并通过与LDPC译码模块级联在Altera公司的Stratix II系列FPGA芯片上完成最终测试。通过与MATLAB仿真结果进行比较,验证上述简化8PSK软解调器设计的正确性和可行性。

【关键词】8PSK; 软解调; LLR; MAX算法; 现场可编程门阵列

【中图分类号】TN914

【文献标识码】A

【文章编号】1002-0802(2011)02-0045-03

Research and Implementation of Soft-Decision Demodulation for 8PSK Based on FPGA

LIN Zhi-jian^①, HUANG Lian-fen^①, CHEN Xiang^②, WANG Jing^②

(^①College of Information Science and Technology, Xiamen University, Xiamen Fujian 361000, China;

^②Research Institute of Information Technology, Tsinghua University, Beijing 100084, China)

【Abstract】In this paper, the principle of soft-decision demodulation for 8PSK is investigated, and the simplified Maximum (MAX) algorithm, for its low computational complexity, is selected for the implementation of field programmable gate array (FPGA) instead of the optimal Log Likelihood Ratio(LLR) algorithm. The Verilog hardware description language (VHDL) implementations and functional verifications for 8PSK soft demodulator are then carried out on the QUARTUS II platform. Then the final tests in combination with the LDPC decoder are conducted on the Altera Stratix II FPGA platform. By comparing with the MATLAB simulation results, the correctness and feasibility of the simplified 8PSK soft demodulator are verified.

【Key words】8PSK; soft-decision demodulation; LLR; max algorithm; FPGA

0 引言

随着卫星通信服务业的发展,人们对服务质量的要求越来越高。2003年,卫星数字视频广播(DVB-S2)系统采用了高效的低密度奇偶校验码(LDPC),提高了大约30%的带宽效率^[1]。众所周知,卫星通信系统中常用LDPC与BCH级联的前向纠错编码来获得较高的性能,为了达到这种性能要求,接收信号在解调部分需要使用软解调^[2],因此在高阶调制系统(例如8PSK)中,需要一种合适的,简单易实现的软解调技术来对接收信号进行解映射。在传统的无线通信系统设计中,对数似然比(LLR)算法作为性能最优算法常被

用于软判决技术中,然而由于该算法的复杂度过高,涉及到多次对数与指数运算,不适合于硬件实现,因此,很多简化软判决算法相继出现^[3]。其中最大值(MAX)算法在LLR算法的基础上简化了指数和对数运算,其硬件实现复杂度与LLR相比大大降低,同时相比LLR算法性能损失较小。因此,在通信系统硬件设计中,通常选用MAX算法作为一种合适的软解调算法对接收信号进行软解调。

这里首先分析了8PSK软解调算法的复杂度以及MAX算法的基本原理,并在Altera公司的Stratix II系列FPGA芯片上实现了此软解调硬件模块,同时与LDPC译码模块进行了联合验证。通过软硬件验证和分析表明,此设计在运算复杂度、吞吐量、最终误码性能上取得很好的折中。

1 8PSK软解调原理

8PSK的调制星座图如图1所示,每个符号代表三个比

收稿日期:2010-07-09。

作者简介:林志坚(1984-),男,硕士研究生,主要研究方向为无线通信基带信号处理;黄联芬(1963-),女,高级工程师,主要研究方向为无线通信,数字信号处理;陈翔(1980-),男,助理研究员,主要研究方向为统计信号处理、数字信号处理与无线通信;王京(1958-),男,教授,主要研究方向为卫星通信,无线与移动通信。

特, 式 (1) 表示经过高斯白噪声信道后接收信号的概率密度函数, 式 (2) 描述了星座图上每个星座点的值, S_i 代表该星座图上 1 到 8 个星座点。

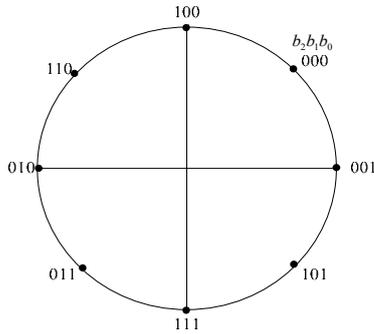


图 1 8PSK 调制星座

$$P_i = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{|r-s_i|^2}{2\sigma^2}}, i=0,1,\dots,7, \quad (1)$$

其中假设 $m_i = -|r-s_i|^2$ 。

$$\begin{aligned} 000(b_2b_1b_0): S_0 &= \cos\left(\frac{\pi}{4}\right) + j\sin\left(\frac{\pi}{4}\right), \\ 001(b_2b_1b_0): S_1 &= \cos(0) + j\sin(0), \\ 010(b_2b_1b_0): S_2 &= \cos(\pi) + j\sin(\pi), \\ 011(b_2b_1b_0): S_3 &= -\cos\left(\frac{\pi}{4}\right) - j\sin\left(\frac{\pi}{4}\right), \\ 100(b_2b_1b_0): S_4 &= \cos\left(\frac{\pi}{2}\right) + j\sin\left(\frac{\pi}{2}\right), \\ 101(b_2b_1b_0): S_5 &= \cos\left(\frac{\pi}{4}\right) - j\sin\left(\frac{\pi}{4}\right), \\ 110(b_2b_1b_0): S_6 &= -\cos\left(\frac{\pi}{4}\right) + j\sin\left(\frac{\pi}{4}\right), \\ 111(b_2b_1b_0): S_7 &= \cos\left(\frac{\pi}{2}\right) - j\sin\left(\frac{\pi}{2}\right). \end{aligned} \quad (2)$$

其中 σ 是高斯白噪声信道的标准差。利用 LLR 算法, 软判决如式 (3) 所示, 其中分子上的各项表示此比特为 0 的概率之和, 分母各项表示此比特为 1 的概率之和。

$$\begin{aligned} LLR(b_2) &= \log_e \frac{P_0 + P_1 + P_2 + P_3}{P_4 + P_5 + P_6 + P_7}, \\ LLR(b_1) &= \log_e \frac{P_0 + P_1 + P_4 + P_5}{P_2 + P_3 + P_6 + P_7}, \\ LLR(b_0) &= \log_e \frac{P_0 + P_2 + P_4 + P_6}{P_1 + P_3 + P_5 + P_7}. \end{aligned} \quad (3)$$

从式 (2) 和式 (3) 可以看出, 每计算一比特的 LLR, 都需要平方、指数和对数运算, 因此 LLR 算法具有较高的运算复杂度和较大的资源开销, 尤其是硬件实现指数、对数复杂度高, 所以 LLR 算法不适合 FPGA 实现。而最大值 (MAX) 算法能有效避免计算每比特对数似然值的指数和对数运算, 其原理如式 (4) 所示^[2]。

$$\begin{aligned} \log_e(e^a + e^b + e^c) &= \log_e(e^a(1 + e^{b-a} + e^{c-a})) \approx \\ \log_e(e^a) &= a, (a > b \text{ 且 } a > c), \\ \log_e(e^a + e^b + e^c) &= \log_e(e^b(1 + e^{a-b} + e^{c-b})) \approx \\ \log_e(e^b) &= b, (b > a \text{ 且 } b > c), \\ \log_e(e^a + e^b + e^c) &= \log_e(e^c(1 + e^{a-c} + e^{b-c})) \approx \\ \log_e(e^c) &= c, (c > a \text{ 且 } c > b). \end{aligned} \quad (4)$$

由式 (3) 和式 (4) 可知, 简化以后的 MAX 算法如下式 (5) 所示, 对于式 (3) 和式 (5) 可知, LLR 算法在硬件上很难实现指数和对数运算, 而 MAX 算法只需要简单的加减运算和少数乘法运算, 易于工程硬件实现, 因此选取 MAX 算法作为硬件实现的最终方案。

$$\begin{aligned} LLR(b_2) &= \{\max(m_0, m_1, m_2, m_3) - \\ &\max(m_4, m_5, m_6, m_7)\} \times \frac{1}{2\sigma^2}, \\ LLR(b_1) &= \{\max(m_0, m_1, m_4, m_5) - \\ &\max(m_2, m_3, m_6, m_7)\} \times \frac{1}{2\sigma^2}, \\ LLR(b_0) &= \{\max(m_0, m_2, m_4, m_6) - \\ &\max(m_1, m_3, m_5, m_7)\} \times \frac{1}{2\sigma^2}. \end{aligned} \quad (5)$$

2 算法性能分析

通过 MATLAB 仿真平台, 做了如下性能仿真对比分析。由 MATLAB 产生一组随机序列, 长度为 10 万个编码块, 每个编码块为 4 032 bit, 再经过码率为 1/2 的 LDPC 编码模块, 通过对应的 8PSK 调制, 在 E_b/N_0 为 4 dB 到 7 dB 的区间内, 分别经过 LLR 最优算法、浮点 MAX 算法、定点 MAX 算法算出对数似然比, 最后分别经过 LDPC 译码模块, 得出误码性能。

表 1 是通过 MATLAB 仿真平台计算出来的每个 E_b/N_0 所对应的误码率, 图 2 是与之相对应的误码率曲线图。由图 2 可知, 对于 E_b/N_0 测试区间为 4 dB 到 7 dB 的任意一个测试点, LLR 最优算法的误码率总比定点 MAX 算法和浮点 MAX 算法要小, 其中浮点 MAX 算法误码性能居中, 定点 MAX 算法最差。MAX 算法是通过降低误码性能来换取运算复杂度的降低, 其误码性能要比 LLR 最优算法差。与浮点 MAX 算法相比, 定点 MAX 算法对输入软解调模块的 I、Q 两路信号和输出的似然比分别进行了截位和限幅, 如图 2 所示, 定点 MAX 算法相对于浮点 MAX 算法损失了一定的误码性能。由表可知, 定点 MAX 算法在 E_b/N_0 为 6.64 dB 时, 其误码率为 6.5125×10^{-8} , 验证了该定点方案能够满足系统设计要求。

表 1 MATLAB 误码率仿真表

$(E_b/N_0)/\text{dB}$	算法		
	LLR 最优 算法	浮点 MAX 算法	定点 MAX 算法
4	0.045 1	0.054 6	0.072 6
5	0.018 1	0.037 2	0.043 2
6	0.002 3	0.011 1	0.021 4
6.2	0.000 7	0.001 7	0.013 1
6.4	$3.001 3 \times 10^{-5}$	$3.393 6 \times 10^{-5}$	$4.213 4 \times 10^{-5}$
6.64	$3.312 5 \times 10^{-8}$	$5.952 4 \times 10^{-8}$	$6.312 5 \times 10^{-8}$
7	$1.132 2 \times 10^{-9}$	$2.834 5 \times 10^{-9}$	$4.243 75 \times 10^{-9}$

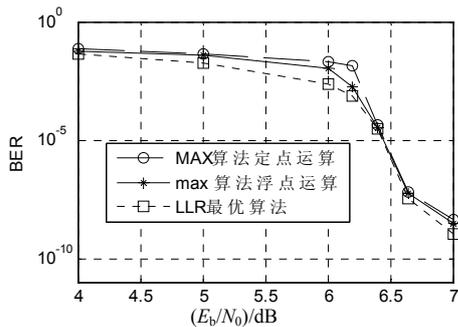


图 2 MATLAB 误码率仿真

3 MAX 算法硬件实现

由于硬件实现都是定点运算,所以 MAX 算法的实现是针对定点的 MAX 算法进行硬件设计的。硬件仿真流程图如图 3 所示,首先利用 MATLAB 产生随机序列,假设每一编码块为 4032 bit, LDPC 编码效率为 1/2 码率,则经过 LDPC 编码后,每一编码块为 8 064 bit,经 8PSK 调制成符号后,每一个编码块被调制成 2 688 个符号,实部虚部分为 I、Q 两路,再叠加信噪比为 SNR 的高斯白噪声,最后把数据文件存储在 RAM 中。在硬件实现上,定点 MAX 软解调模块以一定速率从 RAM 读取数据并进行软解调,软解调输出的对数似然比存储在乒乓 RAM 中,每存满一个编码块就向 LDPC 译码器发出一个读有效信号,LDPC 译码器在接收到该有效信号的下一个时钟周期就开始以一定速率读取整个编码块的对数似然值,接着开始进行 LDPC 译码,最后以一定速率输出最终的译码结果。

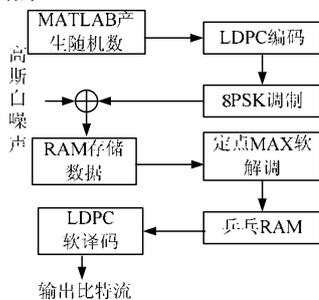


图 3 硬件设计仿真

4 硬件设计结果分析

验证一个软解调模块性能的好坏,需要级联译码模块进行仿真综合验证。在硬件设计中,通过在 Stratix II FPGA 硬件平台上级联 MAX 定点算法模块与 LDPC 译码算法模块,然后进行综合布线,最后下载到硬件平台进行测试。

将仿真通过的工程文件使用 Chipscope 添加观察采样信号,触发信号和待观察信号后重新综合、布局布线生成 bit 文件,下载到目标板后用 Chipscope 进行在线测试,通过将输出结果与输入比特流进行比较,验证设计正确性。分析 QUARTUS II 综合报告,该设计模块只需加减法器,部分寄存器和 16 个乘法模块,使用资源较少,能满足低复杂度、高吞吐量的设计要求。

5 结语

由于 LLR 算法具有较高的运算复杂度,不易于硬件实现,而经过简化的 MAX 算法由于避免了指数和对数运算,大大降低运算复杂度,只需进行加减法和少数乘法运算,适合于硬件实现。该设计通过 MATLAB 与 VHDL 仿真对照,验证了 MAX 软解调算法硬件设计的准确性,同时将该模块与 LDPC 译码模块级联,在具体的 FPGA 芯片上运行,利用片上分析仪 Chipscope 进一步验证设计的可行性。

参考文献

- [1] ZESONG F, LEI W, JINGMING K. Improved Binary Turbo Coded Modulation with 16QAM in HSDPA[J]. IEEE Wireless Commun. and Networking Conf., 2003 (01): 322-325.
- [2] JANG WOONG PARK, MYUNG HOON SUNWOO. Low Complexity Soft-Decision Demapper for High Order Modulation of DVB-S2 system[C]. USA: IEEE, 2008: 37-40.
- [3] CHOI S H, OH C H, OH D, et al. The Mapping and Demapping Algorithms for High Order Modulation of DVB-S2 Systems[C]. USA: IEEE, 2006: 1-5.

(上接第 44 页)

参考文献

- [1] KE Hongfa, CHEN Yongguang. An Interpolation Technique Based on Grey Relational Theory[J]. The Journal of Grey System, 2006, 18(01): 79-83.
- [2] KE Hongfa, CHEN Yongguang, WANG Guoyu. Target Assignment Model of Electronic Equipments Based on GM(1,1) Model[J]. The Journal of Grey System, 2005, 17(03): 235-242.
- [3] 柯宏发,陈永光.一种新的基于 GM(1,1)模型的粗大误差判别模型[J].系统工程与电子技术, 2008, 30 (10): 2003-2006.
- [4] KE Hongfa, CHEN Yongguang, CHU Zhenfeng. Grey Processing of Electronic Equipment Test Data[J]. Systems Engineering and

- Electronics, 2005, 27(08): 1409-1411.
- [5] 李成杰, 裴峥. 无线信号服从瑞利分布的验证方法[J]. 通信技术, 2009, 42 (05): 51-53.
- [6] 王正明, 易东云. 测量数据建模与参数估计[M]. 长沙: 国防科技大学出版社, 1997: 24-155.
- [7] 余剑. 高精度智能测量系统中粗大误差的处理技术[J]. 测试技术学报, 2003, 17 (03): 258-261.
- [8] 朱坚民, 宾鸿赞, 王中宇, 等. 测量数据粗大误差的非统计判别[J]. 华中理工大学学报, 2000, 28 (04): 17-19.
- [9] WEN Kun-li, CHANG Ting-cheng, CHANG Wei-che. The Study of Missing Point in GM(1,1) Model[J]. Proceedings of 2000 IEEE International Conference on Systems, 2000(05): 3384-3387.
- [10] 邓聚龙. 灰理论基础[M]. 武汉: 华中科技大学出版社, 2002: 210-258.