

## 多码率 QC-LDPC 译码器设计与实现

陈 赟<sup>①</sup>, 陈 翔<sup>②</sup>, 赵 明<sup>②</sup>, 王 京<sup>②</sup>

(①厦门大学 信息科学与技术学院, 福建 厦门 361000; ②清华大学 信息技术研究院, 北京 100084)

**【摘要】**低密度奇偶校验码(LDPC)是目前最有效的差错控制手段之一,而其中准循环LDPC码(QC-LDPC)应用最为广泛。提出了一种通用的多码率QC-LDPC译码器设计方法,并在FPGA上完成了实现和测试。测试结果表明,该多码率译码器在资源占用不超过2种码率译码器资源之和的前提下能够有效支持至少3种码率;且工作时钟在110 MHz时,固定迭代次数为16次,该译码器的吞吐率能保持在110 Mb/s以上。

**【关键词】**多码率; QC-LDPC译码器; 偏移值最小和算法; 现场可编程门阵列

**【中图分类号】**TP929.5

**【文献标识码】**A

**【文章编号】**1002-0802(2011)02-0034-02

## Design and Implementation of Multi-rate QC-LDPC Decoder

CHEN Yun<sup>①</sup>, CHEN Xiang<sup>②</sup>, ZHAO Ming<sup>②</sup>, WANG Jing<sup>②</sup>

(①College of Information Science and Technology, Xiamen University, Xiamen Fujian 361000, China;

②Research Institute of Information Technology, Tsinghua University, Beijing 100084, China)

**【Abstract】**Low-density parity-check (LDPC) code is one of the most effective error-controlling methods, in which the quasi-cyclic (QC) LDPC code is the most popular class. This paper proposes a design method for multi-rate QC-LDPC decoder, and then describes the implementation and test on FPGA. The test results show that the resource occupied by the multi-rate decoder is not more than two times of the resource occupied by the single-rate decoder, and this multi-rate decoder could support at least 3 code rates with the throughput higher than 100Mbps when the iteration number is fixed to 16 and the clock frequency set to 110 MHz.

**【Key words】**multi-rate; QC-LDPC decoder; offset min-sum algorithm; FPGA

## 0 引言

LDPC码最早于1962年由Gallager<sup>[1]</sup>提出,可以看成是一个具有稀疏校验矩阵的线性分组码。自从Mackay和Neal发现LDPC码的性能非常接近香农限以后<sup>[2]</sup>,LDPC码越来越受到人们的重视。基于准循环LDPC(QC-LDPC)码结构特点,提出了一种支持多种码率QC-LDPC译码器的设计方法,并设计实现了一个能够实时自适应支持三个不同 $H$ 阵的通用QC-LDPC译码器。

## 1 QC-LDPC码简介

QC-LDPC码的校验矩阵 $H_{qc}$ 是由 $c \times t$ 个循环置换矩阵组成的,其中 $c, t$ 均为整数,且 $c < t$ 。将QC-LDPC码的校

验矩阵中每一个置换矩阵替换为相应的移位值,这样得到了一个新的矩阵,称为基本矩阵。基本矩阵与 $H$ 阵是一一对应的。QC-LDPC规则的结构使得其编译码在工程上易于实现,因此许多标准中的LDPC码都采用了QC-LDPC码。

## 2 译码算法简介

这里设计的译码器主要采用基于软判决的偏移值最小和算法<sup>[3-4]</sup>。偏移值最小和算法是在和积算法和最小和算法的基础上改进而来,具有译码复杂度低,性能优异等特点。为了能够较好地描述该算法,先对一些符号进行定义。

$L(c_i)$ 表示输入译码器变量节点 $i$ 的原始软信息, $L(r_{ji})$ 表示由校验节点 $j$ 传递给变量节点 $i$ 的信息, $L(q_{ij})$ 表示由变量节点 $i$ 传递给校验节点 $j$ 的信息。而 $\alpha_{ij}, \beta_{i,j}$ 的意义如式

1所示:

$$\begin{aligned} \alpha_{ij} &= \text{sign}(L(q_{ij})), \\ \beta_{i,j} &= \text{abs}(L(q_{ij})). \end{aligned} \quad (1)$$

具体的算法步骤如下所示:

**收稿日期:**2010-07-09。

**作者简介:**陈赟(1985-),男,硕士研究生,主要研究方向为信道差错控制编译码技术;陈翔(1980-),男,助理研究员,主要研究方向为统计信号处理、数字信号处理与无线通信;赵明(1971-),男,教授,主要研究方向为卫星通信、无线与移动通信;王京(1958-),男,教授,主要研究方向为卫星通信、无线与移动通信。

初始化码字的原始概率信息。

$$L(q_{ij}) = L(c_i). \quad (2)$$

第 1 步, 更新校验节点的概率信息 (CNU, Check Node Update)。

$$L(r_{ji}) = \left[ \prod_{i \in R_j \setminus i} \alpha_{r_{ji}} \right] \max \left[ \min_{i \in R_j \setminus i} \beta_{r_{ji}} - \text{offset}, 0 \right]. \quad (3)$$

第 2 步, 更新信息节点的概率信息 (VNU, Variable Node Update)。

$$L(q_{ij}) = L(c_i) + \sum_{j \in C_i \setminus j} L(r_{ji}), \quad (4)$$

同时计算

$$L(Q_i) = L(c_i) + \sum_{j \in C_i} L(r_{ji}). \quad (5)$$

$L(Q_i)$  进行硬判决, 若  $L(Q_i) > 0$ , 判决为 0 否则为 1。计算  $cH^T$  是否为 0, 或者已经达到设定的最大迭代次数, 如果是转第 3 步, 否则转第 1 步。

第 3 步, 输出判决结果。

通过仿真, 文中确定的译码器输入定点化方案如下: 量化位宽为 6 bit, 其中 3 bit 表示整数位, 2 bit 表示小数位。

### 3 多码率 LDPC 译码器设计

首先考虑下面 3 种 QC-LDPC 码字作为参考, 码长 8 064 bit, 码率分别为 7/8, 3/4, 1/2。其中, 不同码率的最小和译码算法所需的最佳偏移值((3)式中的 offset 值)经仿真得到, 分别为 1, 0.7, 0.5。上述 QC-LDPC 码中所用到的码型膨胀因子是 112。

文中实现的 LDPC 译码器基于部分并行的译码结构<sup>[5]</sup>, 对译码器进行了输入输出双缓冲处理, 支持数据连续处理, 总体的结构如图 1 所示。

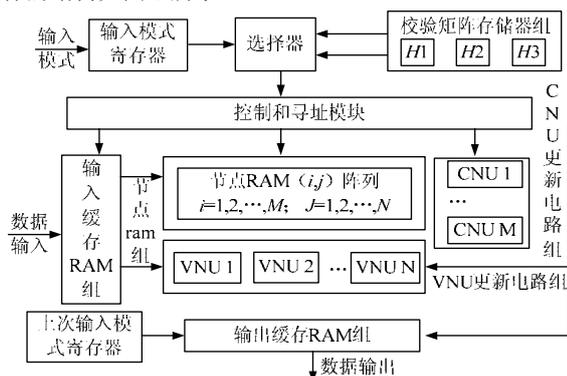


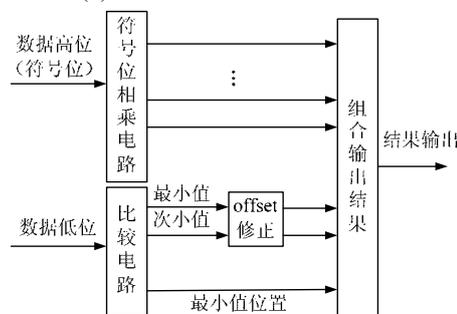
图 1 译码器的总体结构

由于要支持三个不同  $H$  阵的 LDPC 码, 所以需要有一个模式端口, 告知译码器当前数据块是属于哪个码型。输入模式寄存器控制选择器选择不同的  $H$  阵来配置控制和寻址模块, 使其能选择需要更新的节点 RAM 和需要更新的校验节点单元(CNU), 变量节点单元(VNU)的电路套数。

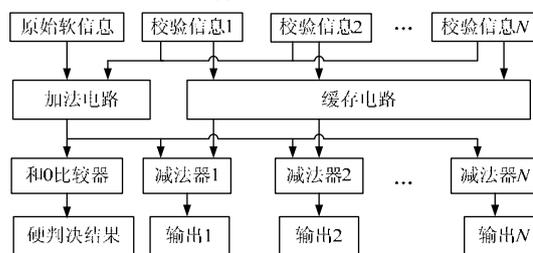
输入数据首先输入到输入缓存 RAM 组中, 输入缓存 RAM 组按照基本矩阵的列数分成  $N$  块对数据进行缓存, 其中  $N$  可配置, 文中用到的  $N$  是 72。数据存满一帧编码块后,

就输入到节点 RAM 组中。节点 RAM 组的作用是对算法迭代更新时的中间信息进行存储。由于基本矩阵中有较多的零矩阵, 所以实际生成的节点 RAM 个数远小于  $M \times N$  个。

CNU 电路的用途是做校验节点概率更新, 完成式(3)的计算。实现结构如图 2(a)所示。VNU 电路的用途是做变量节点概率更新, 同时计算硬判决结果, 完成式(4)和式(5)的计算。具体结构如图 2(b)所示。



(a) CNU 电路结构



(b) VNU 电路结构

图 2 CNU 和 VNU 电路的结构

输出缓存 RAM 组用来存储和输出译码结果, 同样也采取了乒乓操作, 支持数据块连续的输入输出。控制和寻址模块是译码器的核心模块, 它为译码器提供各种控制信号和读写 RAM 的寻址信号。寻址模块分为 CNU 地址产生模块和 VNU 地址产生模块两部分, CNU 地址产生模块的起始地址都是其偏移值; 而 VNU 地址产生的地址则都是从 0 到  $Z$ 。

由于采用了输入输出双缓冲, 所以译码器中最多可以存在三块数据块, 同时这三块数据块可以是不同码率的数据块, 这就实现了对连续输入的不同码率数据块自适应译码的功能。

### 4 FPGA 实现以及性能测试

根据以上设计方案, 选用 Verilog HDL 进行设计, 同时采用了 Modelsim 6.1b 进行了仿真验证, 最后在 Stratix II EP2S180F1020I4 芯片上进行了测试。具体见表 1 所示。

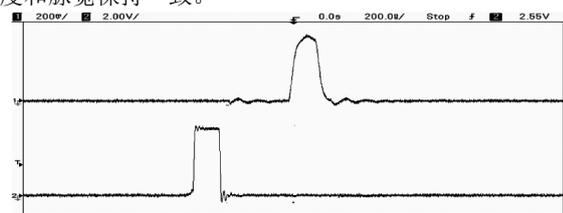
表 1 资源占用情况

参数	逻辑利用率			
	已用 (7/8)	已用多码率	可用	使用率多码率/%
ALUTs	26121	62946	143520	44
Registers	27709	54695	143520	38
Block RAM	602906	971839	9383040	10

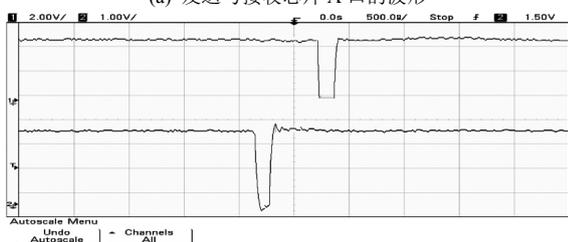
表 1 中同时也列出了一个单码率译码器的资源占用(7/8

(下转第 38 页)

得  $R_2 \approx 0, T \approx 1$ , 其余参数同上。保持传输双绞线距离和传输信号幅度不变, 可以算得脉冲信号的传输延时为 325.65 ns, 接收端信号幅值为 2.668 V, 终端不产生反射信号。用示波器测发送芯片输出与接收芯片输入的波形如图 3(a)所示, 输入信号幅度+4 V, 接收端信号延时约 318 ns, 幅度为+2.74 V; 图 3(b)为脉冲信号在电路发送端与接收端的信号波形, 信号的传输延时为 400 ns, 其中在传输线上延时约 320 ns, 发送和接收芯片内部分别延时约 40 ns, 发送端和接收端脉冲信号幅度和脉宽保持一致。



(a) 发送与接收芯片 A 口的波形



(b) 发送与接收端信号的波形

图 3 双绞线终端接 100  $\Omega$  电阻时波形

综上所述可知对于脉冲信号经过长线传输, 用传输线理论进行分析是完全正确的。对脉冲信号在长线传输中产生的畸变和振荡, 可以通过在传输线源端串接电阻或在终端并接匹配电阻的方法来消除传输信号在传输线两端的反射。

当收发两端距离较远或通讯速率较高时, 还需要在传输

线两端接偏置电阻, 用来将传输线上无数据时的电平置 0 电平, 降低由于干扰或信号反射引起的接收端误操作。

### 3 结语

对于脉冲信号的长线传输, 需要用传输线理论来分析其传输特性, 通过改变传输线或端接匹配电阻等方法来保持信号传输的完整性。实验证明采用 MAX-485 芯片组成的传输电路可以有效消除信号在传输中的衰减和干扰, 通过端接匹配电阻可以很好的保持信号传输的稳定性和完整性。该方案结构简单, 性能可靠, 在实际应用中有很大大应用和推广价值。

### 参考文献

- [1] JOHNSON Howard, GRAHAM Martin. High-Speed Digital Design: A Handbook of Black Magic[M]. 北京: 电子工业出版社, 2009.
- [2] 郭爱煌, 傅君眉. 传输线中脉冲信号传输特性的联合时频分析[J]. 光纤与电缆及其应用技术, 2001 (05): 13-17.
- [3] 张瑛, WANG Janet M, 肖亮. 传输线的随机建模及瞬态响应数值实验分析[J]. 电子与信息学报, 2006, 28 (8), 1516-1520.
- [4] WAN Jian-ru, YU Hua-jun, LIU Hong-chi. Effects of Cable Characters on the Load Using the Transmission Theory[J]. Journal of Tianjin University, 2002, 93 (6): 93-98.
- [5] 孙立山, 刘洪臣, 王晓媛. 传输线参数测试方法研究[J]. 电气电子教学学报, 2008, 5 (30), 18-20.
- [6] 黄乘顺, 李星亮, 蔡益宇. 传输线阻抗匹配模型及精确计算[J]. 通信技术, 2007, 40 (11), 119-120.
- [7] 郑文争, 王旭阳. 基于 RS-485 串行口的远程实时信号传输设计[J]. 通信技术, 2007, 40 (05): 16-17.

(上接第 35 页)

码率)。可以看出, 该多码率译码器在资源占用不超过 2 种码率译码器资源之和的前提下能够有效支持 3 种码率。

同时, 还针对每种码率都测试了其吞吐率和运行的最高时钟, 其中三种码率(1/2, 3/4, 7/8)工作最高时钟均为 110 MHz, 最高吞吐率分别为 110 Mb/s、165 Mb/s 和 192.5 Mb/s。从该测试结果可以看出, 该多码率译码器吞吐率也在 110 Mb/s 以上, 说明其在满足自适应多码率应用需求的同时, 仍然保持了很高的译码吞吐率。

### 5 结语

针对 QC-LDPC 码特点, 提出了一种多码率 QC-LDPC 译码器实现方法, 并用 FPGA 实现了此通用的多码率译码器, 可支持至少三种不同码型的 QC-LDPC 码。此多码率 QC-LDPC 译码器的输入输出参数可以根据所需支持的码型灵活配置, 最终实现的译码吞吐率对任何码率都可超过

110 Mb/s, 兼顾了多码率译码器所需的灵活性和高吞吐量。

### 参考文献

- [1] GALLAGER R G. Low Density Parity Check Codes[J]. IRE Trans Inform Theory, 1962 (08): 21-28.
- [2] MACKEY D, NEAL R. Near Shannon Limit Performance of Low Density Parity Check Codes[J]. Electronics Letters, 1996, 32 (18): 1645.
- [3] CHEN J, FOSSORIER M P C. Density Evolution for Two Improved BP-Based Decoding Algorithms of LDPC Codes[J]. IEEE Commun. Letters, 2002, 6 (05): 208-210.
- [4] 杨建平, 陈庆春. IEEE802.16e 标准 LDPC 译码器设计与实现[J]. 通信技术, 2010, 43 (05): 84-86.
- [5] CHEN Yanni, PARHI K K. Overlapped Message Passing for Quasi-Cyclic Low-Density Parity Check Codes[J]. IEEE Trans. Circuits and System-I: Regular Papers, 2004, 51 (06): 1-8.