

# 基于分层原理的纠错码测试平台设计

王琳<sup>1,2</sup>, 祝磊<sup>1</sup>, 谢东福<sup>2</sup>

(1. 重庆邮电大学 编码技术研究所, 重庆 400065; 2. 厦门大学 通信工程系, 福建 厦门 361005)

**摘要:** 纠错技术是现代通信系统不可缺少的技术, 针对目前纠错码测试可重构性要求高和测试数据量大的特点, 提出了一种针对纠错码的基于分层原理的软硬件联合测试平台。采用分层的设计结构, 使得该平台具备高度的可重构性, 能够在不同纠错码测试之间进行迅速重构。利用高速的 PCI 数据采集卡 PCF7300A 在 PC 和 FPGA 之间进行数据传输, 并在 PC 和 FPGA 端对数据进行分层封装和添加校验与确认-重传机制, 以此保证数据高速、顺序、无差错地传输。通过利用该平台对多进制 LDPC 码进行测试, 结果表明, 在传输时钟为 20 MHz 的时候, 平台吞吐量达到 446.83 Mbit/s。

**关键词:** 分层原理; 纠错码; 测试平台; PCF7300A; 可重构性

中图分类号: TN919

文献标识码: A

文章编号: 1673-825X(2010)02-0188-04

## ECC testing platform based on layering principle

WANG Lin<sup>1,2</sup>, ZHU Lei<sup>1</sup>, XIE Dong-Fu<sup>2</sup>

(1. Institute of Coding and Information Technology, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R. China

2. Department of Communication Engineering, Xiamen University, Xiamen 361005, P. R. China)

**Abstract** The error correcting technology is indispensable in modern communication system. In this paper, in order to meet the high reconfigurable requirement of current error correcting test, a new error correcting codes (ECC) test platform was proposed based on the layering principle and the hardware-software co-design. The layering design construction enables the platform of high reconfiguration ability, which reconfigures quickly between the different ECC. In order to ensure the high speed, ordinal and error-free data transmission, high-speed PCI data collection card PCF7300A was used to transmit data between PC and FPGA, and the data was packaged layeredly and the parity bit and confirm-retransmission mechanism was added between port of PC and FPGA. Through the testing of non-binary LDPC by using this platform, the results show that the throughput of the platform reach to 446.83 Mbps when the transmit clock is 20 MHz.

**Key words** layering principle; error correcting codes (ECC); testing platform; PCF7300A; reconfigurable

## 0 引言

现代通信系统对通信可靠性要求愈来愈高, 诸如卫星通信、移动通信、卫星广播、文字广播和数据存储等领域, 纠错技术已成为不可缺少的技术, 纠错码测试也就显得越来越重要。目前主要的纠错码测试平台都是针对特定纠错码和信道模型进行设计的<sup>[1,2]</sup>, 没有一种通用的测试平台, 对不同的码型测试时需要做很多重复的工作。同时, 纠错码的性能要求也越来越高, 使得测试数据量越来越大, 比如, 利用传统的 PC (personal computer) 对 LDPC (low density parity check) 码在 BER (bit error rate) 为

$10^{-10}$  点进行仿真, 通常需要花费数十天的时间<sup>[1]</sup>。

针对目前纠错码测试可重构性要求高和测试数据量大的特点, 本文提出了一种基于分层原理<sup>[3]</sup>的针对纠错码测试的软硬件联合测试平台, 利用分层结构的层级隔离特性使它具有高度可重构性, 能够实现对不同码型、信道模型和量化方案进行快速测试配置, 对已有模块进行快速更新, 并且分层结构改变了以往的按数据流单向测试的方法为并行数据传输方式, 使得该平台拥有较高的系统吞吐量<sup>[4,6]</sup>, 可以使数据量在  $10^{12}$  bit 的测试在 3 h 内完成, 从而极大地提高了测试效率。

## 1 总体设计架构

纠错码测试平台的主要模块包括测试信源、编码器、信道模型、译码器和性能统计模块<sup>[4,6]</sup>, 在设计不同阶段, 被测试模块的实现载体亦有不同, 考虑到测试平台的实用性和高度可重构性, 该平台包

收稿日期: 2009-05-13 修订日期: 2009-10-21

基金项目: 福建省重点科技项目 (2006H0039); 重庆市科委自然科学基金项目 (CSTC, 2007BB2387)

**Foundation Items** The Major Project of National Science and Technology of Fujian Province (2006H0039); The Natural Science Foundation Project of CQ CSTC. (CSTC, 2007BB2387)

括由 PC 机和 PCI 数据采集卡 PC F7300A<sup>[7]</sup> 构成的软件子系统和 FPGA (field programmable gate array) 实现的硬件子系统构成, 其中, PC 包括测试环境模块和分层模块 2 个部分, 其中, 测试环境模块包括平台主控和非测试模块, FPGA 中包含被测测试模块和硬件子系统分层模块, 利用 PCI 数据采集卡在 PC 和 FPGA 之间进行通信, 平台整体架构如图 1 所示。

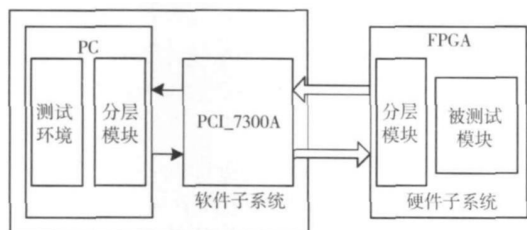


图 1 平台架构

Fig 1 Platform architecture

在 PC 端的分层模块产生封装好的测试数据帧后经 PC F7300A 发送到 FPGA 端, 该端数据帧首先被硬件子系统的分层模块接收, 检测数据帧获得已封装标志和校验信息, 判断接收数据帧的正确性并进行相应的处理, 然后将正确接收到的被测试数据送入被测试模块。待被测试模块数据处理完成后, 对输出数据进行相应的封装后经 PC F7300A 送入 PC 端, 在 PC 端对结果进行对比, 判断被测试模块的性能。

## 2 数据处理与控制

从图 1 可看出, 数据的传输通道在软硬件子系统之间是对称的, 其功能也是一样的, 但是, 由于软硬件数据处理方式的不一样, 二者数据处理和控制的流程也不一样。

软件子系统的主要功能包括平台控制和数据传输与采集。平台控制主要包括平台启动、测试启动、数据统计与测试停止等过程, 各个过程的主要功能和过程间转换条件如图 2 所示。数据传输与采集通道根据实际通信系统模型也可以分为上行通道和下行通道, 由于软件端采用 C 语言实现, 因此, 上下行数据通道不能同时工作。系统实现时, 在软硬件之间通过握手的方式来使得上行通道和下行通道交替工作。硬件子系统的通道采用并行方式工作, 因此, 不存在上述问题。

## 3 分层结构

采用分层结构的目的是提高平台的可重构性能和吞吐量, 保证数据的无差错传输。层级之间接口和分层外部接口均采用 FIFO (first in first out) 缓冲接口进行连接, 这样就可以做到层与层之间、层

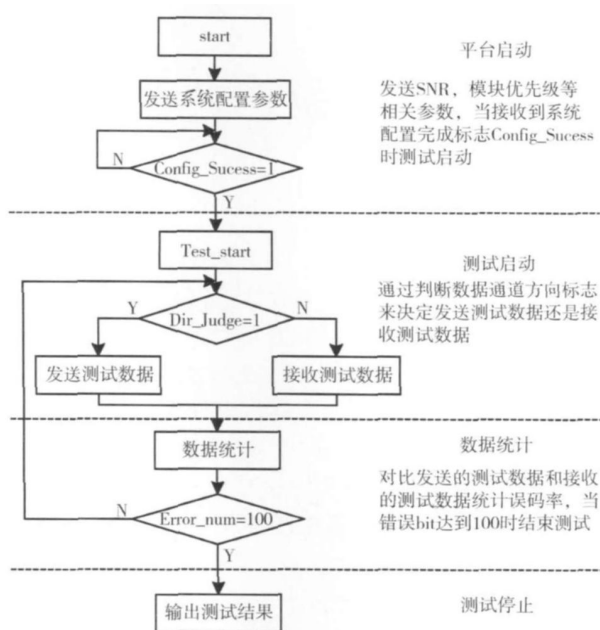


图 2 软件子系统数据流控制流程

Fig 2 Control process of software subsystem data flow

与外部模块之间相互独立, 极大地提高了平台的可重构能力和降低了设计复杂度。因此, 在对不同的纠错码, 或者不同的码型进行测试时, 不需要修改传输结构, 只需要将分层传输的接口和被测试模块重新连接即可, 同时也可以自由更换物理层, 以使用不同的物理接口。

分层模块直接与被测试模块相连, 二者之间的连接关系如图 3 所示。分层模块作为被测试模块之间的数据调度枢纽, 使整个平台的吞吐量仅仅受分层模块吞吐量的影响, 如若被测试模块吞吐量较小, 通过例化多个被测试模块使其吞吐量与分层模块相当, 这样就可以使平台的吞吐量达到最大。

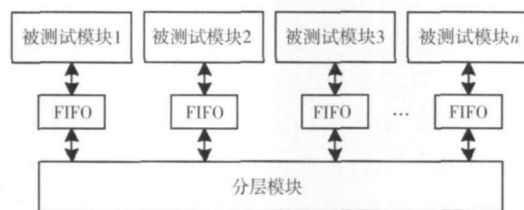


图 3 分层模块与被测试模块连接关系图

Fig 3 Connection of layer and being tested module

分层模块结构图如图 4 所示, 主要包括链路层、运输层和应用层, 功能说明如下。

1) 链路层。该层主要包括和 PCI-7300A 相连接的物理适配层和数据校验层, 物理适配层是为配合物理层接口而进行设计的, 可以根据不同的接口进行设置, 由于其使用 FIFO 缓冲接口与外界连接, 因而其变化不会对其他部分产生影响。数据校验层的主要功能是通过计算来自信源端数据的校验位与直

接收到的校验位进行对比来保证接收到的数据的正确性。

2)运输层。该层的主要功能是将待传输的数据进行本层封装,并且检测被抛弃的数据帧的序号,然后判断是否要求重传,利用这种确认—重传机制以保证数据无差错的传输。

3)应用层。该层是直接和被测试模块或者提供测试环境的相关模块连接,通过对各个模块进行编号以示区别。利用封装数据里面的目的端标志位信息,将来自源端的数据正确地送入目的端,并且将被测试模块的输出数据封装后传到对应的目的端。在应用层内的模块之间的数据流通过层内的 FIFO 缓冲接口进行传输。FIFO 缓冲接口的作用是利用 FIFO 做为模块之间的连接缓冲接口,可以保证模块之间的数据独立。

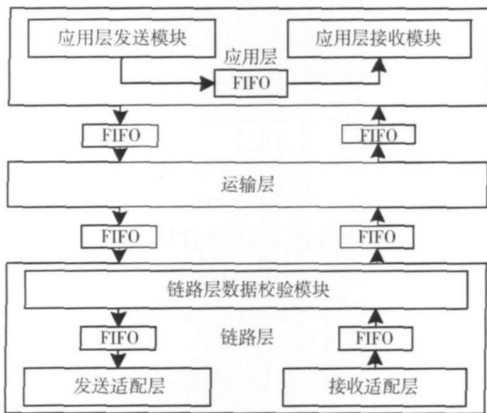


图 4 分层模块结构图

Fig 4 Layer module structure

### 4 无差错传输保证

目前的纠错码测试已经深入到 BER 为  $10^{-10}$  的低 BER 测试阶段,由于测试平台数据传输的错误将会导致纠错码的测试性能发生大的变化,因此必须保证被测试模块和测试环境之间的数据无差错传输。

本平台采用的数据校验和确认—重传的方式来保证数据的正确传输,通过对 PCF7300A 的测试,传输数据出错主要有 3 种类型,如表 1 所示。

表 1 传输错误类型

Tab 1 Transmission error types

错误类型	错误类型描述	错误产生原因
1	多余数据插入	REQ 信号产生毛刺
2	数据丢失	REQ 信号边沿未检测到
3	数据出错	采样时钟沿位于数据抖动位置

注: REQ 信号为数据发送的请求信号

数据,由于 FPGA 和数据采集卡之间的接口连接不理想,会使 REQ 信号产生毛刺或者变形,由此而导致表 1 中类型 1 和 2 的 2 种错误,同时,由于数据线也可能出现毛刺引起数据抖动,而抖动的位置正好位于 REQ 信号的边沿处,因此就出现了第 3 种错误类型。通过测试发现,表 1 所出现的错误数据量都比较小,在 1 个数据位到 4 个数据位之间,因此利用异或校验进行检测,在实际的仿真过程中也说明了这种校验方式的有效性。在链路层数据校验模块对数据发送帧的尾部添加了异或校验位,同时对接收到的数据计算校验位,然后与接收到的校验位进行异或处理来判断数据的正确性。对正确接收的数据剥离标志位后经运输层和应用层送入到被测试模块。

为了重发在链路层因为传输错误而抛弃的数据帧,在运输层为数据添加了发送帧序号,当数据帧正确到达目的端,目的端封装下一帧数据时附带发回确认信息,否则发送重传信息。在信源端,将接收到确认信息的分组序号在发送列表中除去,重传未收到确认信号的分组。在实现上,采用一种改进的 6 窗滑动窗口方式,结构如图 5 所示。

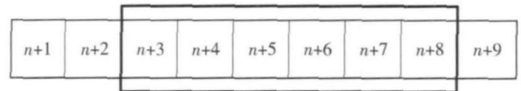


图 5 滑动窗口结构图

Fig 5 Glide window structure

在图 5 的结构中,说明在信源端的发送数据序列中,  $n+3$  之前的序列已经正确地接收到了,所以将发送窗口内部的序列首先发送出去,当确认接收的序列为  $n+3$  接收端窗口起始端移动到  $n+4$  但是如果此时的接收序列为  $n+4$  或者其后的序列,则说明  $n+3$  序列丢失了,此时序号  $n+3$  的数据帧需重传,而此时的最新确认接收序列仍然是  $n+2$ ,当经过重发后接收到  $n+3$  的确认序号时,将窗口起始端移动至  $n+5$  继续发送。

### 5 实现与仿真

为了利用本平台对四进制 LDPC 码进行测试,搭建了如图 6 所示的仿真平台。

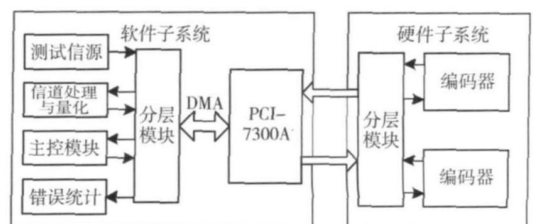


图 6 实际测试平台结构图

Fig 6 Practical testing platform structure

在 FPGA 中是通过检测 REQ 信号边沿来接收

该四进制 LDPC 码长为 1 784 码率为 0.437。量化采用 6 bit 均匀量化方案。整个平台的硬件子系统利用 Verilog HDL 编写, 工作时钟为 50 MHz, 利用 Xilinx Vertex4 XC4VLX60 实现, 在 ModelSim SE Plus 6.1f 中进行仿真, 利用 Xilinx ISE 9.1 进行综合。表 2 显示了硬件子系统分层模块资源消耗情况。

表 2 分层模块资源消耗图

Tab 2 Resource consumption of the layer

	Used	Available	Utilization/%
Filp Flops	2 163	53 248	4
LUTs	3 812	53 248	7
Slices	3 631	26 624	13
FIFO 16/RamB16s	18	160	11
DCM_ADVs	1	8	12

分层模块的封装帧长为 512 bytes, 其中帧头帧尾标志位共计消耗 68 bytes, 帧有效数据率为 85.384%。PCF7300A 配置成内置时钟 20 MHz 的带触发的工作模式, 实际传输的输入输出 ModelSim 仿真时序图如图 7 所示, 通过计算可得整个硬件子系统的有效数据吞吐量为 446.83 Mbit/s。

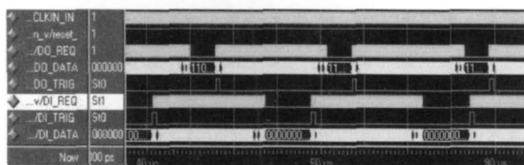


图 7 硬件子系统接口时序图

Fig 7 Hardware subsystem interface timing sequence diagram

软件子系统使用 C 语言实现, 在 Microsoft Visual C++ 6.0 中进行调试和编译, 利用 ADLNK 提供的 PCF7300A 函数库实现数据从 PC 机的 PCI 接口读入和读出, 在 PC 和 PCF7300A 之间自动启动 DMA 传输进行数据传递。

联合软件子系统和硬件子系统对多进制 LDPC 进行仿真, 得到的仿真结果如图 8 所示。

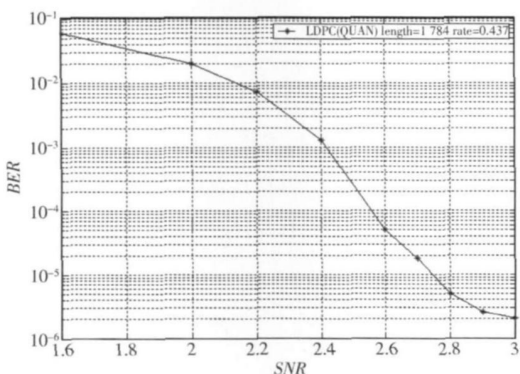


图 8 多进制 LDPC 码仿真性能图

Fig 8 Non-binary LDPC code performance

## 6 结束语

本文首先提出了一种基于分层原理的纠错码测试平台软硬件设计方法, 再从整体结构、传输接口、分层模块设计以及数据无差错保证等方面对该平台进行了具体介绍, 最后介绍了利用该平台对多进制 LDPC 进行仿真, 并得到了相关的性能参数。由于该平台所具有的高度可重构能力, 不但可以为纠错码的编解码硬件设计提供测试环境, 还可以在芯片测试时发挥重要作用, 具有很强的实用性。

### 参考文献:

- [1] SUN Ling-yan, SONG Hong-wei. Field programmable gate array-based investigation of the error floor of low density parity check codes for magnetic recording channels [J]. Magnetics IEEE Transactions on, 2005, 41 (10): 2983-2985.
- [2] LIMing, JIANG Jingsai, PENG Mingming. A Test Platform for Turbo Encoder & Decoder Based on S3C2410 [C] // High Density packaging and Microsystem Integration, 2007 HDP '07. International Symposium on Shanghai China [s.n.], 2007, 1-4: 26-28.
- [3] DOUGLAS E Comer. 用 TCP/IP 进行网际互连——原理、协议与结构 [M]. 五版, 一卷. 北京: 电子工业出版社, 2007: 128-162.
- [4] 范光荣, 王华, 匡镜明. 信道编码测试平台的建立 [J]. 北京理工大学学报, 2007, 27(2): 156-160.
- [5] 张海亮, 赵行波, 王亮, 等. 基于 FPGA 的可配置通信平台设计 [J]. 微计算机信息, 2006, 22(32): 192-194.
- [6] 张文俊, 王琳, 徐哲鑫. 自适应码率 QC-LDPC 码编码器的 FPGA 实现 [J]. 重庆邮电大学学报(自然科学版), 2008, 20(5): 534-537.
- [7] ADLNK. NuIPC/NuDAQ. PCF7300A & PCF7300A 80MB Ultra High Speed 32-CH Digital I/O Boards User's Guide [M]. 台湾: ADLNK Technology, 2003: 26-46.

### 作者简介:

王琳 (1963), 重庆人, 教授, 博士, 教育部新世纪人才, 现为厦门大学电路与系统专业博士生导师, 研究方向为宽带/超宽带无线通信技术算法设计与硬件实现。



祝磊 (1987-), 男, 贵州六盘水人, 硕士研究生, 主要研究方向为宽带无线通信。E-mail: zhuleil98712@163.com.

(编辑: 魏琴芳)