

基于 SoPC 的高速通信接口设计*

陈文娟 石江宏 陈凌宇

(厦门大学信息科学与技术学院 厦门 361005)

摘要: 基于 FPGA 的可编程片上系统(SoPC)以其设计灵活、可裁剪、软硬件可在线编程等特点和优势,成为嵌入式系统设计,乃至电子领域发展的一个重要方向。用户 IP 核的设计是 SoPC 设计的重要组成部分,介绍了通信系统的 SoPC 系统架构,提出利用 IPIF 将用户 IP 核挂载到 PLB 总线上的方法,给出了 RLC 和物理层接口的 IP 核的设计与实现。设计中首先把 IPIF 信号转换成用户逻辑的内部信号,同时对不同速率的接口进行数据缓存,实现流水线传输,从而提高传输速率。

关键词: SoPC; IP 核; IPIF; FIFO

中图分类号: TP334 **文献标识码:** A

High-speed communication interface based on SOPC

Chen Wenjuan Shi Jianghong Chen Lingyu

(School of Information Science and Technology, Xiamen University, Xiamen 361005)

Abstract: FPGA-based Programmable System on Chip(SoPC) with its flexible design, scalable, hardware and software online programming and other features and advantages, becomes an important direction of the embedded system design, and even the development of electronic. User IP core design is an important part of SoPC design. The paper first briefly introduces the SoPC architecture of communication system, and then makes use of IPIF to mount the user IPcore to the PLB bus, at last gives the design and implementation of RLC and PHY Layer interface IP core. In the design, first transfer the IPIF signals into the user logic internal signal, and then cache data of the interface of different rates, to realize the pipelined transmission and improve the transmission speed.

Keywords: SOPC; IPCore; IPIF; FIFO

0 引言

近年来随着微电子工业的发展, FPGA (Field Programmable Gate Array) 作为可编程逻辑器件之一得到了越来越广泛的应用。SOPC(System On a Programmable Chip, 片上可编程系统)技术正是在可编程逻辑器件的基础上发展起来的一种灵活、高效的嵌入式系统解决方案^[1-2]。它将处理器、存储器、I/O 口、LVDS, UART 等系统设计所需要的部件集成到一片 FPGA 器件上,各个部件一般都以 IP 核的形式构建成一个可编程的片上系统,它具有灵活性、低成本等特点。

IP 核是指用于专用集成电路(ASIC)或者可编程逻辑器件(FPGA)的逻辑块或数据块。将一些在数字电路中常用但比较复杂的功能块,如 FIR 滤波器, SDRAM 控制器, PCI 接口等设计成可修改参数的模块,让其他用户可以直接调用这些模块,这样就大大减轻了工程师的负担,避免重

复劳动。IP 核设计一般可以有 3 个来源:EDA 厂商提供,用户自定义,第三方提供。

Xilinx 的 EDK 软件提供了丰富的 IP 模块,加上可以利用 IPIF(IP Interface)连接用户定制的 IP,极其方便,用户利用这些资源,可以构建一个完善的嵌入式微处理器系统,满足复杂多变的嵌入式需求,降低了设计的复杂度,加速产品的开发。

在通信系统设计中,为了使设计的复杂性降低,一般都采用分层结构来构造通信系统^[3],各层之间的接口通信,也成为设计的要点。无线链路控制 RLC 层主要完成的功能是将网络层的数据进行拆分,然后按照一定的格式发送给物理层,并接收物理层数据,重组传往上层;PHY 物理层的主要任务是实现通信双方的物理连接,由于数据量大和实时性高的特点,一般用 FPGA 来实现 PHY。本系统用 CPU 来实现 RLC 及上层服务,CPU+ FPGA 构成整个通信系统的 SoPC 架构,如图 1 所示。

* 基金项目:福建省重大专项项目资助(2009HZ0003-1)

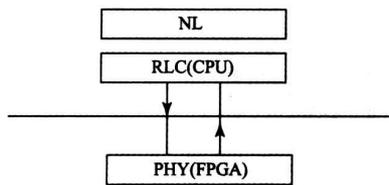


图 1 通信系统的 SoPC 架构

要实现 CPU 和 FPGA 的通信,就必须在二者之间添加接口转换机制,我们设计自定义 IP 核 PPC_Cooperate 来实现 RLC 和物理层的快速数据交互,本文重点介绍 IP 核 PPC_Cooperate 的设计。

1 整体硬件设计

本文通过 Xilinx 公司的 EDK^[4] 开发软件搭建系统的硬件平台。Xilinx 的 EDK 开发工具最大的优点就是提供了大量的可配置可定制的 IP 核资源,这大大提高了设计的效率,可以使设计者将精力集中于系统架构设计上。本设计的系统架构如图 2 所示。

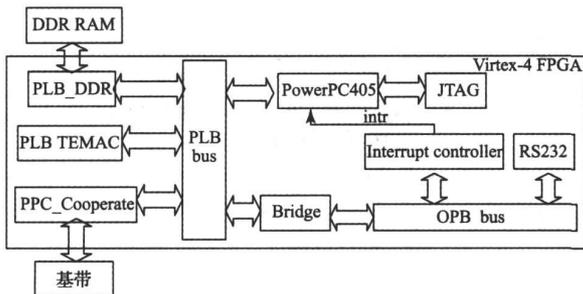


图 2 整体系统架构

PowerPC405 用来完成 RLC 处理过程,包括数据的拆分和重组等工作。PPC_Cooperate 是用户自定义的 IP 核,需要在 ISE 下丰富并完成它的功能实现,然后在 EDK 中按照 PLB 总线的协议挂接在总线上。这个 IP 是 RLC 层与 PHY 层连接的核心模块,也是我们设计的主要内容,对此将在下一节进行详细阐述。

2 用户 IP 核设计

本设计用 FPGA 实现 RLC 和物理层之间的接口转换,设计 IP 核 PPC_Cooperate,主要功能是用 FPGA 逻辑资源和内嵌的 BlockRam 实现数据的搬移并按照固定的时序和格式发送到物理层,同时接收物理层发来的一定格式的数据包,并解包送往 CPU。这个 IP 核是按照 PLB 总线的协议挂接到总线上的。

2.1 IPIF 介绍与应用

本系统采用的微处理器为 PowerPC405,它支持 IBM Core

Connect 总线结构。CoreConnect 总线协议复杂,用户想要把自定义 IP 挂接到总线上必须了解 CoreConnect 总线的协议才能够把 IP 挂接到总线上,然而这对一般的工程用户来说难度较大,不利于技术的推广,也失去了 SoPC 的可编程特性^[5]。XILINX 公司为了使用户自己编写的逻辑能够方便的连接到 PLB 总线上,提供了一种总线与用户逻辑之间的接口,即 IPIF(IP Interface, IP 接口)。利用它解决总线接口信号,总线协议和其他接口问题。在用户逻辑看来,IPIF 表现为一系列接口信号 IPIC(IP InterConnect, IP 内联信号)。用户逻辑与 IPIF 共同构成了用户 IP 核,其结构如图 3 所示。

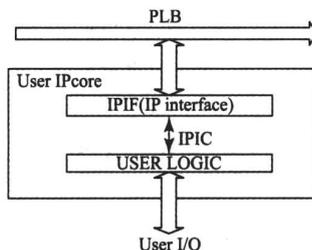


图 3 用户 IP 核结构

PLB IPIF 给用户提供了一些服务,大部分服务都可以选择添加或去除。PLB IPIF 服务的基本单元就是 Slave Attachment,这个模块给 PLB 的设备操作提供了基本功能,可以在 IPIC 和 PLB 总线之间执行协议和时序解释。设备连接可以选择突发传输支持,这个特性给 PLB 顺序地址访问提供了更高的数据传输速率^[6]。

本文利用 IPIF 设计 IP 核 PPC_Cooperate,其内部结构如图 4 所示。

IP 核 PPC_Cooperate 是 CPU 的一个外围模块,挂在系统总线上,由于它需要以较高的速率连续的传输数据,所以设计中选择了 IPIF 提供的可选 DMA 服务,它允许用户 IP 或 IPIF FIFOs 和 PLB 的其他外围设备可以在不在 CPU 干预下的进行大量数据交换。DMA 是个 MASTER,可以发起总线请求和总线操作,图中的 User_logic 是个 SLAVE,只能对主设备的操作做出反应。通过 DMA 通道为 PPC_Cooperate 存取数据,可以将 CPU 从繁重的数据传输中解脱出来去处理其他的任务,从而提高系统的效率。

CPU 发送数据到 PHY 时,首先要配置 DMA,给 DMA 提供数据的起始地址和长度,配置结束后, DMA 就开始从内存中读取数据,并将数据写入 User_logic 的发送 FIFO——PackSwitchFromPPC。

CPU 接收 PHY 数据时, User_logic 将收到的数据写入接收 FIFO——PackSwitchToPPC。接收完一个包发起接收中断,通知 CPU 读取数据,申请 DMA 响应。

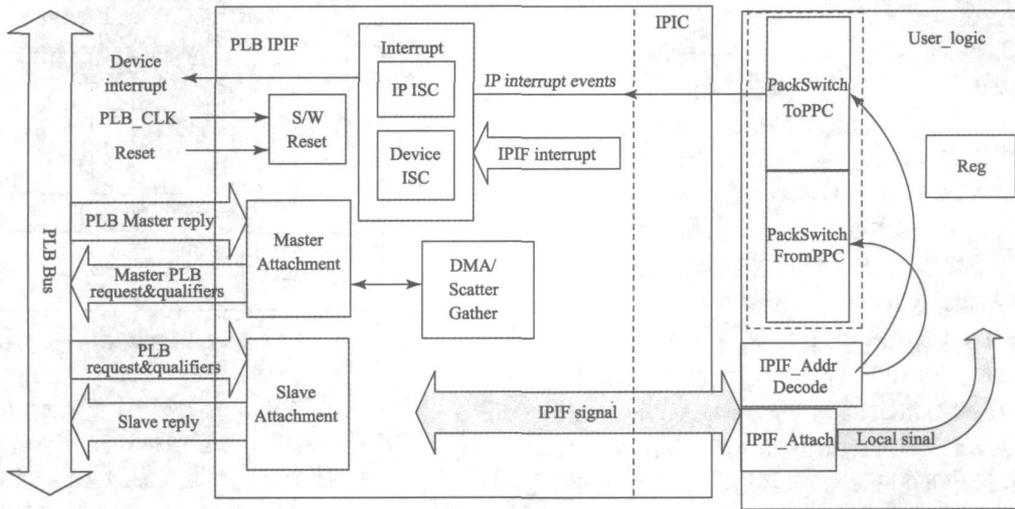


图 4 IP 核 PPC_Cooperate 内部结构

2.2 用户逻辑设计

用户逻辑设计首先要解决总线时序问题, 把 IPIC 信号例化为 User_logic 的接口信号。同时由于 PLB 和 PHY 的接口速率不一样, 必须为这两个模块之间提供数据缓存。所以用户逻辑部分主要包括两大模块, 接口转换和数据缓存。

2.2.1 接口转换

IPIF_Attach 模块: 与嵌入式系统的 IPIF 接口, 做接口转换, 把 IPIF 的信号转换为用户逻辑的内部信号, 如上图

User_logic 部分。这样在设计中, 我们只需要关心内部信号问题, 而不需要关心总线的信号结构。其中 IPIF_WrCS 和 IPIF_RdCS 表示这个地址为本 IPIF 的地址, IntrEvent 为接收到一个数据包产生的中断信号, Bus_Rd 和 Bus_Wr 总线的一次读写请求, 输出一个时钟宽度脉冲。

IPIF_AddrDecode 模块: 实现对不同存储器的地址选择。负责对 PLB 总线上的地址进行译码, 根据地址映射产生相应模块的选择信号。具体的信号连接如图 5 所示。

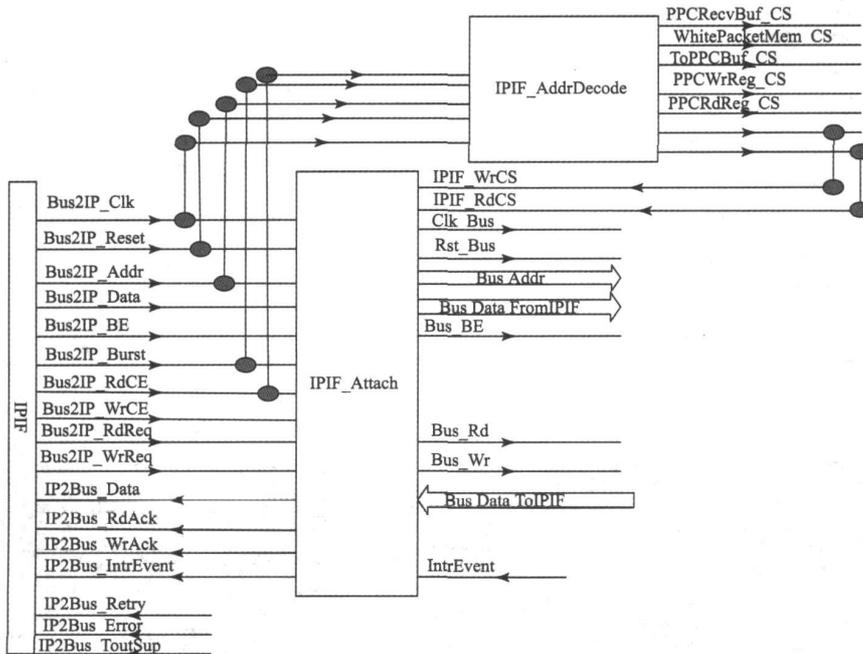


图 5 接口转换信号连接

2.2.2 数据缓存

由于 PLB 和基带系统的接口速率不一样,中间必须加入数据缓存, FIFO 起的就是这个作用。对于 FIFO 的设计,最关键的问题是如何实现 RAM 的读写双方的信息交换。一般情况下,设计者都直接调用厂商为自己的 FPGA 专门打造的 FIFO 核。FIFO 读写双方的信息交换是基于 FIFO 所使用 RAM 读写操作的最小单元,如一个字节,一个字或者是一个双字,而系统物理层数据的处理单元是 1500 bit 的数据包。因此采用了一种基于信元的 FIFO 设计方法,实现嵌入式系统与 PHY 的快速数据交换^[7]。

本设计中的总线和 PHY 的接口缓冲模型结构如图 6 所示。主要由两部分组成:读出 FIFO 和写入 FIFO。读出 FIFO 记录从基带到 PPC 的数据包,每个单元包括物理层的相关属性值;写入 FIFO 记录从 PPC 到基带的信息,每个单元包括一定格式和时序的网络层数据和一些相关属性值。

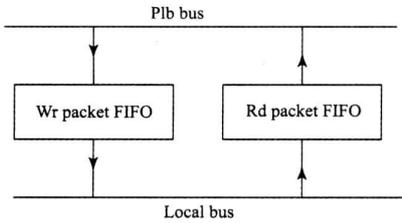


图 6 总线缓冲模型

读出 FIFO 和写入 FIFO 的结构是完全相同的, FIFO 两侧的读写时钟不同,分别是 Clk_Bus 和 Clk, Clk_Bus 由 CPU 决定, Clk 由 PHY 决定,所以是异步 FIFO 操作。

总线接口中的这种缓冲模型可以允许数据传输以流水线的方式执行。这样,一端发完一个包之后,不需要等到另一端接收后才启动下一次发送,而可以连续发送,保证 MAC 和 PHY 之间交换数据是连续。

本设计中的 FIFO 的总体结构如图 7 所示, FIFO 由双口 RAM、写地址控制器、读地址控制器和异步比较器组成。双口 RAM 用于暂存写入 FIFO 的数据;写、读地址控制器分别接收外部的读写使能信号 Rd 和 Wr,产生读写地址和空满信号控制 FIFO 将数据写入或者读出双口 RAM;异步比较器根据写、读地址来判断 FIFO 的状态,向写、读地址控制器输出“满”、“空”信号。写、读地址控制器和异步比较器构成 FIFO 控制器。

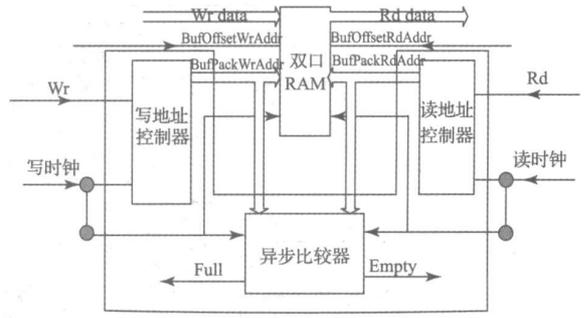


图 7 FIFO 的总体结构

Packet FIFO 的存储单位是一个 Packet,其外部操作和普通 FIFO 一样,只不过它的指针移动是以块进行的。由于本设计中的数据量比较庞大,由文献[8]估算 FIFO 深度,我们采用 1024×64 的 BRAM,一个数据包在 FIFO 中分配深度为 32×64 bit 单元的 FIFO 块。如图 7 所示, BufPackWrAddr 和 BufPackRdAddr 分别为写、读地址控制器产生的读写地址, BufOffsetWrAddr 和 BufOffsetRdAddr 为包内的偏移地址,由外部电路提供。{BufPackWrAddr, BufOffsetWrAddr} 构成 RAM 的读写地址。在 Rd 和 Wr 为低时,为一个包的读写期间。因为每次写入允许最多写 32 个 64 位单元,所以模块地址范围为 0x00~0xFF。为了设定包的写结束标志位,令偏移地址 BufOffsetWrAddr 为 L_Bus_Addr[7:3],当写到 0xF8 时,结束一个数据包的写操作。

当读写完一个包时,置位写、读地址控制器的使能信号 Wr 和 Rd,读写地址 BufPackWrAddr 和 BufPackRdAddr 加一,由于是高位地址,增量为一个包,实现了指针移动是以块进行的,这样就构造了一个 PacketFIFO。

对 Packet FIFO 操作,在写一个包期间,对 FIFO 进行写保护,确保包的完整性。当一个包写入一个数据 FIFO 块时,且这个包写完时,不管有没有填满这个 FIFO 块,下一个包继续写入,则填入另一个 FIFO 块。

3 设计验证

在本文设计中,主要采用软件仿真验证 IP 核的功能和时序。使用 Modelsim 工具仿真 PPC_Cooperate 模块, FPGA 选用 Xilinx 公司的 XC4VFX60-12FF672,系统时钟 120 M。得到仿真波形如图 8 所示。

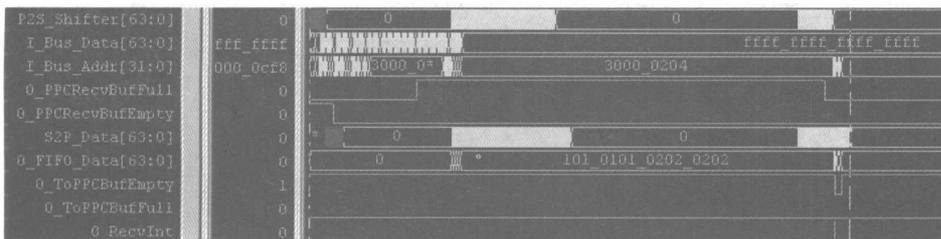


图 8 IP 核仿真波形

(下转第 124 页)

带方便,减轻了铁路系统相关工作人员的劳动强度,因此,具有较高的实用价值和市场推广前景。

参 考 文 献

- [1] 杨波,张宝生. 直流系统在线绝缘检测装置的研制[J]. 继电器, 2006(17): 47-51.
- [2] 成永红. 电力设备绝缘检测与诊断[M]. 北京: 中国电力出版社, 2001.
- [3] 阳海华,吴智铭. PC27-1 数字式自动量程绝缘电阻表的设计[J]. 自动化与仪器仪表, 2003(12): 23-25.
- [4] 宋兴元,李威,严旭. 基于 MSP430F149 的数字式绝缘电阻测试仪[J]. 中国仪器仪表, 2003(7): 31-33.
- [5] 彭文辉,郑钧宜. 高精度多路绝缘检测装置设计[J]. 电子测量技术, 2002(4): 22, 24.

- [6] THE I2G-BUS SPECIFICATION VERSION 2. 1 [Z]. Philips Semiconductors. 2000. 1
- [7] 李汉军. 直流电压的单片机测量电路设计[J]. 仪器仪表. 2001(1): 48-49.
- [8] 王友仁,崔江,刘新峰. 直流系统在线绝缘检测技术研究[J]. 仪器仪表学报, 2005(8): 82-85.

作 者 简 介

党保华,男,1975年1月出生,硕士,讲师,洛阳理工学院机电工程系,主要研究方向为智能检测与智能控制技术等。

E-mail: dangbh@126.com

(上接第120页)

前5个信号为RLC到PHY过程,后5个信号为反过程。由图中可以看出,在CPU的写过程中,可以实现CPU一边写FPGA一边读,直到FIFO写满,禁止CPU继续写入。在CPU读过程中,FIFO接收到一个数据包产生一次中断信号。通过仿真分析,该IP核功能正确。在实际测试中,该接口符合系统接口要求,在12M的通信速率下工作正常,适用于高速通信系统中。

4 结 论

本文针对RLC与物理层的接口,设计IP核PPG-Cooperate。通过研究基于IPIF的接口转换机制,把总线信号转换为IP核内部信号;通过构造Packet FIFO解决CPU与FPGA之间的流水线数据传输,设计出PPG-Cooperate核,实现了RLC与PHY的快速接口转换,该IP核可用于高速通信系统中。

参 考 文 献

- [1] 冯永新. 基于IPIF的用户IP核的设计与实现[C]. 2006年全国第六届嵌入式系统学术年会论文集.
- [2] 张春生. 面向SOPC的IP核设计与IP复用技术研究[D]. 长沙: 国防科技大学信息与通信工程, 2006.
- [3] 刘新宁. 无线局域网(IEEE802.11)数据链路层

(MAC)的研究和实现[D]. 南京: 东南大学微电子学与固体电子学, 2003.

- [4] Xilinx. EDK_92_PPC_Tutorial.
- [5] 王攀科,程波,周维超. 定制IP在SOPC系统中的实现及性能分析[J]. 仪器仪表用户, 2009, 16(1): 69-70.
- [6] Xilinx Inc. PLB IPIF(v 2.00a) <http://www.xilinx.com/>
- [7] 姚超云. 高性能DSP中UTOPIA部件的设计与实现[D]. 长沙: 国防科技大学计算机科学与技术, 2006.
- [8] 宋宇鲲,王锐,胡永华,等. 使用排队论模型对FIFO深度的研究[J]. 仪器仪表学报, 2006, 27(6): 2485-2487.

作 者 简 介

陈文娟,女,1985年出生,硕士研究生,主要研究方向为无线通信技术。

E-mail: wenjuan22103@sina.com

石江宏,男,1966年出生,博士,副教授,主要研究方向为无线通信技术。

凌凌宇,男,1983年出生,博士研究生,主要研究方向为无线通信技术。