

文章编号: 1003-5850(2012) 08-0061-03

基于CPLD的单片机之间的通信接口设计

杨志鹏¹, 王世尧², 徐旭²

(1. 厦门大学, 福建 厦门 361005, 2. 北方自动控制技术研究所, 太原 030006)

摘要: 介绍了ALTERA公司CPLD器件EP1K30芯片的特点, 利用MAX+ plus 开发软件在EP1K30芯片上设计了一个三通道双向FIFO存储器阵列, 实现了一个C8051F020单片机通过总线与其他3个C8051F020单片机的双向数据通信, 用于一款嵌入式多路数据通信控制器的实时传输控制。

关键词: CPLD, FIFO, 单片机, EP1K30

中图分类号: TP368.1 **文献标识码:** A

Design of Communication Interface between MCUs Based on CPLD

YANG Zhi-peng¹, WANG Shi-yao², XU Xu²

(1. Xiamen University, Xiamen 361005, China, 2. North Automatic Control Technology Institute, Taiyuan, 030006, China)

Abstract: The feature of the EP1K30 of ALTERA's CPLD is introduced. With the development software of MAX+ plus, a three-way dual-direction FIFO memory array is designed on a EP1K30, one C8051F020 MCU can communicate with three other C8051F020 MCUs by BUS, it can be used for real-time transmission control of a built-in multi-way data communication controller.

Key words: CPLD, FIFO, MCU, EP1K30

在一个远程实时测控系统中, 测控中心通过电话线与多个远程检测点进行数据通信。测控中心接收各检测点采集的数据, 同时向检测点发送控制指令, 系统框图如图1所示。测控中心由测控终端和多路通信控制器组成, 两者通过异步串口通信。多路通信控制器由一块通信控制板和多块有线传输板组成, 其中通信控制板采用C8051F020单片机完成多路数据的分发控制, 每块有线传输板采用C8051F020单片机实现一路数据的有线传输控制。为了保证数据通信的实时性, 通信控制板采用ALTERA公司的CPLD器件EP1K30芯片设计了一个三通道双向FIFO存储器阵列, 实现了通信控制板单片机与3块有线传输板单片机之间的总线接口, 用于通信控制板与有线传输板之间的实时性通信。用两片EP1K30芯片可以实现六路数据的有线传输控制。

1 EP1K30简介

1.1 EP1K30的特点

EP1K30是ALTERA公司中等密度CPLD器

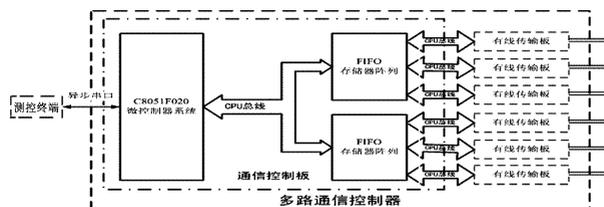


图1 测控系统框图

件, 内含一个嵌入式存储阵列和一个通用逻辑阵列, 提供了24 576比特的存储空间和30 000个通用逻辑门。嵌入式存储阵列由一系列嵌入式阵列块(EAB)组成, 每一个EAB提供4 096比特的存储空间, 可以用来实现存储器和复杂的逻辑功能; 逻辑阵列由一系列逻辑阵列块(LAB)组成, 用于实现通用逻辑功能。其增强型EAB支持双口RAM, 非常适合FIFO存储器的实

* 收稿日期: 2012-03-13, 修回日期: 2012-06-12

* * © 杨志鹏(男, 1991年生, 在读本科, 研究方向: 电子工程。Publishing House. All rights reserved. <http://www.cnki.net>

现。在双端口工作方式下,EAB 的读写端口使用分离的读写时钟和分离的同步时钟使能信号,使得读与写可以由不同的处理器进行独立操作,可用于处理器之间的通信。

1.2 EP1K30 的应用

C8051F020 是美国 Cygnal 公司推出的高速单片机,指令执行的最小时序单位为系统时钟,当其CIP-51内核工作在最大系统时钟频率 25 MHz 时,它的峰值性能达到25 MIPS。本设计中,通信控制板和有线传输板都采用 C8051F020 单片机实现数据的传输控制,通信控制板和有线传输板之间的通信实际上就是嵌入式单片机系统之间的通信。

本设计利用 MAX+ plus 开发软件,在通信控制板上用 EP1K30 芯片设计了一个三通道 FIFO 存储器阵列,通过复用方式分别与通信控制板和有线传输板上 C8051F020 单片机的总线系统连接,使通信控制板可以通过单片机总线与 3 块有线传输板进行高速数据通信,用两块 EP1K30 芯片可与 6 块有线传输板进行高速数据通信。

2 FIFO 存储器阵列的设计

本设计采用了自下向上的层次化设计方法,在底层设计中,用图形编辑输入法设计双向 FIFO 存储器模块、用语言描述输入法设计与有线传输板接口的单路逻辑端口和与通信控制板上 C8051F020 单片机接口的多路逻辑端口等 3 个功能模块;在顶层设计中,直接调用了 3 个双向 FIFO 存储器模块、3 个单路逻辑端口和一个多路逻辑端口,通过逻辑组合组成一个 3 通道双向 FIFO 存储器阵列,实现了一个 C8051F020 单片机系统与其他 3 个 C8051F020 单片机系统之间的总线接口,用于通信控制板与 3 块有线传输板之间的实时通信。

2.1 双向 FIFO 存储器模块的设计

MAX+ plus 是 ALTERA 公司推出的 CPLD 开发软件,该软件为设计者提供了丰富的参数可调模块库(LPM),其中双时钟异步 FIFO 存储器模块(LPM-FIFO-DC)的输入端口和输出端口具有分离的同步时钟和使能控制信号,使得输入端口和输出端口可以依据各自的时钟和使能控制信号进行独立的读写操作,其元件符号如图 2 所示,输入端口和输出端口的定义见表 1,读写操作逻辑关系见表 2。

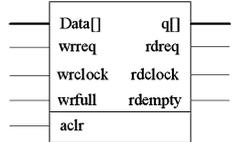


图2 LPM-FIFO-DC 元件符号图

入端口到输出端口的单向数据传输,采用两个双时钟异步 FIFO 存储器模块反向连接起来即可实现双向数据通信。在本设计中,用图形编辑输入法直接从模块库中调用了两个双时钟异步 FIFO 存储器模块,通过简单的逻辑连接构成一个可以实现一路数据收发的双向 FIFO 存储器模块,其原理如图 3 所示。

表1 LPM-FIFO-DC 端口定义

输入端口		
端口名称	功能描述	备注
data[]	数据输入	LPM_WIDTH 参数设置的宽度
Wrclock	写同步时钟	上升沿有效
Wrreq	写使能控制	wrfull= 1 写操作无效
Wrfull	写满指示	存储器满 wrfull= 1
输出端口		
端口名称	功能描述	备注
q[]	数据输出	LPM_WIDTH 参数设置的宽度
Rdclock	读同步时钟	上升沿有效
Rdreq	读使能控制	rdempty= 1 读操作无效
Rdempty	读空指示	存储器空 rdempty= 1

表2 LPM-FIFO-DC 存储器读写操作逻辑

Rdclock	Rdreq	Wrclock	Wrreq	aclr	操作功能描述
X	X	X	X	H	复位后 lpm_fifo_dc 存储器为空
~	L	X	X	L	读使能信号为低电平,读操作无效
~	H	X	X	L	读操作(非空状态)
X	X	~	L	L	写使能信号为低电平,写操作无效
X	X	~	H	L	写操作(非满状态)

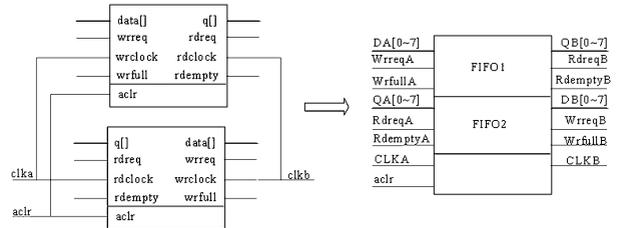


图3 双通道FIFO 存储器模块原理图

双时钟异步 FIFO 存储器模块的数据宽度和存储空间都可由 LPM-FIFO-DC 模块的配置参数项进行设置,其中数据宽度由参数 LPM-WIDTH 设置,存储空间由参数 LPM-NUWORDS 设置。本设计中,设置 LPM-WIDTH = 8, LPM-NUWORDS = 512, 则 24

$576 \div (2 \times 8 \times 512) = 3$, 即每片 EP1K 30 芯片可设计成 3 个存储空间为 512 比特的 8 位双向 FIFO 存储器模块。

2.2 单路逻辑端口的设计

单路逻辑端口用于双向 FIFO 存储器模块与有线传输板之间的接口, 它将一个双向 FIFO 存储器模块的一组输入/输出端口(端口 B) 转化为数据存储器形式, 以外部存储器的方式与有线传输板上 C8051F020 单片机的总线系统连接。

单路逻辑端口采用语言描述输入法设计, 其逻辑描述语句如下, 图形符号见图 4。

```

wrdclk <= ale or wr or rd;
wrreq <= wr nor cs;
q <= rd nor cs;
q <= io when (wr nor cs) =
'1' else q;
io <= d when (rd nor cs) =
'1' else
(others = > 'Z');
    
```

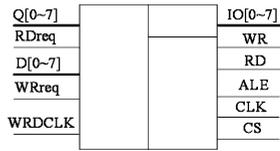


图 4 单路逻辑端口图形符号

2.3 多路逻辑端口的设计

多路逻辑端口用于 3 个双向 FIFO 存储器模块与通信控制板上 C8051F020 单片机之间的接口, 它将 3 个双向 FIFO 存储器模块的各组输入/输出端口(端口 A) 进行统一编址, 转化为数据存储器形式, 以外部存储器的方式与通信控制板上 C8051F020 单片机总线系统连接。

多路逻辑端口采用语言描述输入法设计, 其逻辑描述语句如下, 生成的图形符号见图 5。

```

IF (cs = '0') THEN
    WHEN "0000" = > y <
= "110110";
    WHEN "0001" = > y <
= "101101";
    WHEN "0010" = > y <
= "011011";
    WHEN OTHERS = >
y < = "111111";
END CASE;
    
```

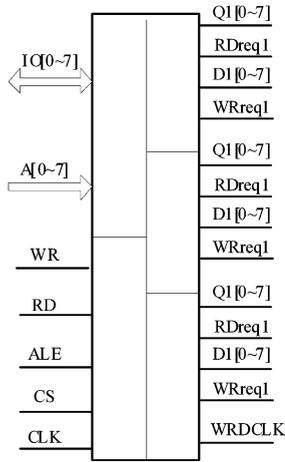


图 5 多路逻辑端口图形符号

```

ELSE
y < = "111111";
wrdclk <= ale or wr or rd;
wrreq1 <= wr nor y(3);
rdreq1 <= rd nor y(0);
wrreq2 <= wr nor y(4);
rdreq2 <= rd nor y(1);
wrreq3 <= wr nor y(5);
    
```

```

rdreq3 <= rd nor y(2);
io <= d0 when cs = '0' and (rd nor y(0)) = '1' else
d1 when cs = '0' and (rd nor y(1)) = '1' else
d2 when cs = '0' and (rd nor y(2)) = '1' else
(others = > 'Z');
q1 <= io when (wr nor y(3)) = '1' and cs = '0' else
q1;
q2 <= io when (wr nor y(4)) = '1' and cs = '0' else q2;
q3 <= io when (wr nor y(5)) = '1' and cs = '0' else q3;
    
```

2.4 顶层设计

FIFO 存储器阵列使用了 3 个双向 FIFO 存储器模块、3 个单路逻辑端口和 1 个多路逻辑端口, 实现通信控制板与 3 块有线传输板之间的总线接口。在顶层设计中, 采用图形编辑输入法直接调用各模块的图形符号, 通过逻辑组合完成 FIFO 存储器阵列的设计。

每个双向 FIFO 存储器模块的“写满(WrfullB)”和“读空(RdemptyB)”等状态信号连接到对应有线传输板 C8051F020 单片机的 IO 口, “写满(WrfullA)”和“读空(RdemptyA)”状态信号连接到通信控制板 C8051F020 单片机的 IO 口, 通过读引脚判断双向 FIFO 存储器模块的空、满状态。当“读空”指示“非空(RdemptyB/A = 0)”时, 读双向 FIFO 存储器模块中的数据, 直至“读空”指示“空(RdemptyB/A = 1)”; 要写数据时, 首先判断“写满”状态, 当“写满”指示“非满(WrfullB/A = 0)”时, 可向双向 FIFO 存储器模块写数据, 直至“写满”指示“满(WrfullB/A = 1)”或数据已写完。

3 结束语

基于 CPLD 的单片机之间通信接口可用于单片机之间通过总线进行数据通信, 保证数据通信的实时性。CPLD 的应用大大减少了设计所用元器件的数量, 缩小了电路板尺寸、降低了产品功耗, 提高了可靠性, 非常适合便携式产品的开发和设计。MAX+ plus 开发软件提供了在线仿真功能, 在产品设计的每层、每个阶段, 都可进行开发模块的功能测试和验证, 设计修改非常方便, 避免了由于硬件设计错误而带来的返工和成本的浪费。

参考文献:

[1] 黄正谨. CPLD 系统设计技术入门与应用[M]. 北京: 电子工业出版社, 2002.
 [2] 王志鹏. 可编程逻辑器件开发技术[M]. 北京: 国防工业出版社, 2005.
 [3] 琢臻金. C8051FXXX 高速 SOC 单片机原理与应用[M]. 北京: 北京航空航天大学出版社, 2002.