

分量译码模块、权重模块和交织 解交织模块, 采用超高速集成电路硬件描述语言 VHDL (Very High Speed Integrated Circuit Hardware Description Language) 编写各模块代码, 利用 ISE 和 ModelSim 软件进行仿真、综合、布局布线。

1 1 顶层模块

Turbo 译码器的顶层模块, 主要实现 FPGA 板与 PC 机之间的通信, 获得译码的输入信息, 包括系统信息和校验信息, 并对译码输入信息进行存储和译码, 并输出译码输出信息。顶层模块的总体框架如图 2 所示。

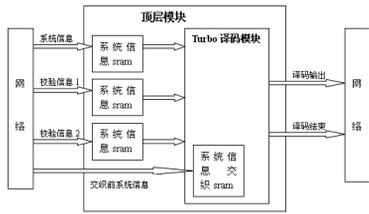


图 2 网络通信下实现 Turbo 译码的总体框图

该模块用 ISE 的 Core Generator 产生了三个 SRAM, 分别存储系统信息、校验信息 1 和校验信息 2。由于本设计中帧长为 1024 位, 故空间大小定义为 1024 × 16。这三个 SRAM 的写入是在该模块完成的, 而读出是由 Turbo 译码模块控制的, 即由 Turbo 译码模块提供三个 SRAM 的读允许信号及读地址信号。

1 2 Turbo 译码模块

Turbo 译码模块, 主要实现的功能是对接收到的系统信息和校验信息进行 Turbo 译码, 产生 Turbo 译码器的译码输出信息。该模块是根据所设计 Turbo 译码器的结构来编写代码的, 主要调用了 SOVA 分量译码模块、权重模块和交织 解交织模块。迭代结束后, 直接将 SOVA 产生的似然值作为 Turbo 译码器的译码输出, 而对似然值进行解交织和硬判决的过程是在 SOVA 分量译码模块完成的。

SOVA 分量译码模块, 主要实现的功能是利用 SOVA 译码算法产生似然值, 并对似然值进行解交织和硬判决, 以及计算外信息值。权重模块实现的是图 1 中权重模块 1 和权重模块 2 的功能。交织 解交织模块实现的是图 1 中交织器和解交织器的功能, 交织器采用的是分组交织器 [5]。

Turbo 译码模块的功能仿真结果如图 3 所示。假设编码器的输入序列为 0100110110101110, 产生的校验信息 1 为 0010001000001010, 校验信息 2 为 0101010001010100。从仿真波形中可以看出, 译码器输入的系统信息 (is_sram_di) 为 0100110110100110 (经过加噪), 则译码器的译码输出信息 (sova_datao) 为 0100110110101110, 与编码器的输入序列是一致的, 纠正了译码输入中的一个错误, 说明 Turbo 译码模块能实现纠错功能。

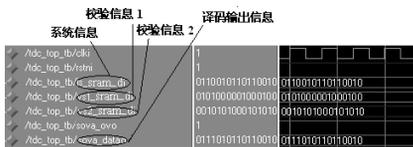


图 3 Turbo 译码模块的仿真波形图

2 SoPC 系统的设计

EDK 是 Xilinx 公司特别为 FPGA 设计的 SoPC 软硬件开发

工具 [6], 利用 EDK 的设计流程, 可以开发内嵌 MicroBlaze 与 Power PC 处理器的 Xilinx 嵌入式系统。本文利用 EDK 软件构建了一个内嵌 MicroBlaze 处理器的 SoPC 系统 [7], 通过系统的 OPB 总线将 Turbo 译码器和以太网网络模块加入到 SoPC 系统中, 并把生成的硬件比特流和软件程序下载到 Spartan 3S1500 开发板上进行验证。Spartan 3 FPGA 芯片是一款高性能的系统级逻辑器件, 特别适合于嵌入式系统设计。

2 1 以太网网络模块

为了将译码器的输入和输出数据借助以太网传输, 实现动态传输和实时纠错, 需要构建一个以太网通信模块, 用来实现 PC 机和 FPGA 开发板之间的网络通信。

首先, 利用 EDK 的软核——OPB 10/100 Ethernet MAC, 作为开发板上网络芯片的控制器, 网络芯片是 Broadcom 公司的单物理层芯片 BCM 5221; 然后, 利用 EDK 软件提供的 LwIP 函数库 [8], 来编写网络程序。该网络采用 http 协议, 基于 C/S 模式, 将 FPGA 板作为服务器, PC 机作为客户机, 用网页来实现浏览, 只要在浏览器中输入开发板的 IP 地址, 即可访问该板。利用 EDK 软件提供的 LwIP 函数库, 用 C 语言编写以太网网络模块的程序代码, 主要有两个: 一是用来建立 TCP/IP 网络连接和设置板的 IP 地址、子网掩码、网关等的程序; 二是利用 http 协议来进行网页操作的程序。

2 2 SoPC 系统

首先, 在 EDK 软件平台中, 选择主菜单“Hardware”下的“Create or Import Peripheral...”选项, 生成 Turbo 译码器 IP 核, 并进行相应修改; 然后, 将 Turbo 译码器 IP 核加入 SoPC 网络系统中, 并将整个 SoPC 下载到 Xilinx Spartan 3S1500 开发板上进行硬件验证。所构建的整个 SoPC 的综合结果如图 4 所示。

Logic Utilization:
Total Number Slice Registers: 4,811 out of 26,624 18%
Number of 4 input LUTs: 7,366 out of 26,624 27%
Logic Distribution:
Number of occupied Slices: 6,098 out of 13,312 45%
Number of Slices containing only related logic: 6,098 out of 6,098 100%
Number of Slices containing unrelated logic: 0 out of 6,098 0%
Total Number of 4 input LUTs: 8,625 out of 26,624 32%
Number of bonded IOBs: 72 out of 487 14%
Number of Block RAMs: 26 out of 32 81%
Number of MULT18X18s: 3 out of 32 9%
Number of GCLKs: 7 out of 8 87%
Number of DCMs: 2 out of 4 50%
Number of BSCANs: 1 out of 1 100%

图 4 整个 SoPC 的资源占用情况

这样, 只要在浏览器中输入 FPGA 开发板的 IP 地址即可访问“EDK 网络传输系统”网页 (如图 5 所示)。Turbo 译码器的输入信息 (包括系统信息和校验信息) 和输出信息可在该网页中显示。



图 5 “EDK 网络传输系统”网页

本方案得出的误码率与信噪比的关系如图 6 所示。

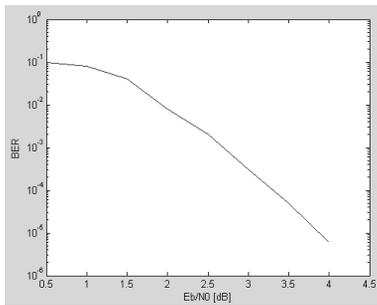


图6 误码率与信噪比的关系曲线

3 结论

本文利用 EDK 构建了一个能实现动态传输的 Turbo 译码 SoPC 系统。编写了各功能模块的 VHDL 代码,在 ISE 和 ModelSim 中仿真、综合、布局布线;并将 Turbo 译码器作为一个 IP 核加入到 SoPC 系统中,在 Spartan-3S1500 开发板上验证,通过网络通信得到了 Turbo 译码器的译码输入信息和输出信息。实验结果表明,所设计的 Turbo 译码器能实现网络通信和信道纠错。

参 考 文 献

- [1] 刘东华. Turbo 码原理与应用技术 [M]. 北京: 电子工业出版社, 2004
- [2] Fujii H, Saba T, Sasase I. Novel decoding algorithm with weighting of extrinsic information for punctured turbo codes [C] // 4th European Personal Mobile Communications Conference, 2001
- [3] 蔡剑卿, 陈怀铭, 黄春晖. Turbo 译码器在数据协调中的应用与仿真 [J]. 现代电子技术, 2008, 274(11): 40-42
- [4] Sharma S, Atri S, Chauhan R. C. A Simplified and Efficient Implementation of FPGA-Based Turbo Decoder [J]. Performance, computing and communications conference 2003, 4: 207-213
- [5] 高晶, 达新宇, 褚振勇. 基于 FPGA 的改进型分组组织器的设计与实现 [J]. 微计算机信息: 嵌入式与 SOC, 2008, 24(6-2): 228-230
- [6] Xilinx Inc. Embedded System Tools Guide v6.3 2004.
- [7] Embedded System Tools Reference Guide [EB/OL]. http://www.xilinx.com/ise/embedded/edk9_1docs/est_m.pdf
- [8] EDK OS and Libraries Reference Guide [EB/OL]. http://www.xilinx.com/ise/embedded/edk9_1docs/oslib_m.pdf

(上接第 179 页)

学时有为报考拍摄的准考证照片, 毕业时有为学历证书登记注册而采集的电子注册照片。两种照片分别在入学前和毕业前导入, 以二进制形式存入数据表。

(4) 学籍状态管理模块 主要功能包括班级分配、专业分配、导师设置、证书申报、证书办理、离校交表等。其中, 班级分配、专业分配、导师设置的操作分别建立学生与班级、学生与专业、学生与导师之间的一一对应关系, 证书申报、证书办理、离校交表的功能则是在研究生通过毕业论文答辩之后、离校之前需处理的业务。

(5) 学籍异动管理模块 学籍异动管理是研究生学籍管理系统中非常重要的部分。学籍异动的操作处理除形成学籍异动表中的一条记录外, 还修改学生信息表的有关属性 (如当前状

况、学籍异动性质、当前院系、当前专业等), 以实时反映学籍状态。学籍异动管理模块的主要功能包括: 休学、复学、退学等学籍异动的查询和操作处理; 研究生转系、转专业的查询和操作处理; 研究生延期毕业的查询和操作处理; 解除延期状态的查询和操作处理; 研究生出境信息的登记和查询处理; 研究生出境的操作处理; 入境的查询和操作处理; 硕博连读生的转博处理。

(6) 学费管理模块 主要功能包括: 学费名单导入、学费名单维护、交费记录录入、交费情况统计。

(7) 证书模版管理模块 主要功能包括: (a) 硕士生、博士生、代培生证书模版格式设置; (b) 指定当前模版。系统提供了可自由设置的证书模版。为保留历史版式, 硕士、博士证书可分别同时保留 3 个版本, 打印前设定其一即可。

(8) 统计与查询模块 主要功能包括: (a) 学籍情况统计。按年级、院系、学生类型、在校情况、性别等进行人数统计, 统计结果可以打印或导出。(b) 学籍异动情况查询和统计。按异动性质、异动类型、年级、院系、办理时间查询学籍异动记录, 统计异动人数。(c) 学生工资查询, 即对单个学生, 查询入校以来每月工资明细。(d) 住宿情况查询和统计, 主要根据学生信息表中的住宿属性, 按住宿楼、住宿房间代码表查询并图示入住信息, 统计房间数、入住人数和入住率。

6 结束语

本文主要介绍了基于业务流程的研究生学籍管理系统设计, 包括系统总体设计、助研岗位管理和档案转递业务流程的分析和优化、数据库概要设计以及各系统模块的功能。与已有的研究生学籍管理系统不同, 本文重点强调要在系统设计之前需基于业务流程管理对所设计的业务流程进行分析, 找出其中的问题并结合信息技术对其进行优化。

参 考 文 献

- [1] James T C Teng. 流程再造——理论、方法和技术 [M]. 梅绍祖, 译. 清华大学出版社, 2004
- [2] 葛星, 黄鹏. 流程管理理论设计工具实践 [M]. 清华大学出版社, 2008
- [3] 李枫林. 企业业务流程管理 [M]. 武汉大学出版社, 2006
- [4] 张筱沛. 基于校园网的学籍管理系统的研究与实现 [D]. 中国海洋大学, 2007
- [5] 杨海澜. 基于组件技术的学籍管理信息系统研究 [D]. 华中科技大学, 2005
- [6] 万敏. 基于信息安全技术的高校学籍管理系统的开发研究 [D]. 电子科技大学, 2007
- [7] 方少华. 业务流程咨询方法、工具与案例 [M]. 2 版. 经济出版社, 2008.
- [8] 杨捷. 基于流程的高校学籍信息化管理 [J]. 商业经济, 2008(7): 118-119.
- [9] 王鹏, 王树宗. 基于 Petri 网的军队院校学籍管理流程优化 [J]. 武汉理工大学学报: 信息与管理工程版, 2006, 28(12): 27-30.
- [10] 曹晖. 运用 BPR 理论改造学籍管理流程的设想 [J]. 上海商业职业技术学院学报, 2003, 4(3): 32-35
- [11] 吴应良, 高海军, 林梓鹏. 一种以业务流程为中心的信息系统设计方法 [J]. 科学技术与工程, 2007, 7(17): 4548-4952
- [12] 孙键, 赵涛. 按流程执行 [M]. 企业管理出版社, 2008.