

学校编码: 10384

分类号 _____ 密级 _____

学 号: S200330019

UDC _____

厦 门 大 学

硕 士 学 位 论 文

一种高速高分辨率流水线型 A/D 转换器的
低功耗设计

The Low Power Dissipation Design of a High-speed and
High-resolution Pipelined A/D Converter

柴 宝 玉

指导教师姓名: 郭东辉 教授

专 业 名 称: 通信与信息系统

论文提交日期: 2006 年 7 月

论文答辩时间: 2006 年 7 月

学位授予日期: 2006 年 月

答辩委员会主席: _____

评 阅 人: _____

2006 年 7 月

厦门大学学位论文原创性声明

兹提交的学位论文，是本人在导师指导下独立完成的研究成果。本人在论文写作中参考的其他个人或集体的研究成果，均在文中以明确方式标明。本人依法享有和承担由此论文而产生的权利和责任。

声明人（签名）：

2006 年 月 日

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留并向国家主管部门或其指定机构送交论文的纸质版和电子版，有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅，有权将学位论文的内容编入有关数据库进行检索，有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

本学位论文属于

- 1、保密（ ），在 年解密后适用本授权书。
- 2、不保密（ ）

（请在以上相应括号内打“√”）

作者签名： 日期： 年 月 日

导师签名： 日期： 年 月 日

摘要

现代电子系统已经发展到复杂的片上系统（SOC）阶段，而数字处理技术的成熟使得模/数（A/D）转换器成为系统性能提高的瓶颈。为了满足高分辨率成像和无线通信领域等便携式应用对高速、高分辨率 A/D 转换器的低功耗要求，本论文对一种转换速率为 30Msample/s(MSPS)、分辨率为 14 位的流水线型 A/D 转换器的子电路进行低功耗设计和仿真。

本论文首先分析比较各种 A/D 转换结构的性能特点，选择采用在高速、高分辨率和低功耗等性能指标之间达到良好折衷的流水线结构来进行设计。接着分析流水线电路的工作原理和特点，选择采用 1.5 位的最优的每级分辨率。然后详细分析了影响 ADC 性能指标的多种非理想因素，并指出消除或减少这些非理想因素影响的各种技术，其中详细介绍了两种误差消除技术：下极板采样技术和数字校正技术。最后，在理论分析的基础上采用 0.6 μm 的 CMOS 工艺与器件模型来设计该流水线 A/D 转换器的具体电路，并采用全定制版图设计方法完成了主要电路模块的版图设计。

仿真结果表明，设计完成的子电路性能基本符合设计要求。本论文的创新之处在于：1、采用自顶向下的设计方法设计流水线 A/D 电路，完成了各个子电路模块的设计仿真；2、采用了一种使用增益提高技术的套筒式共源共栅运算放大器，在提高增益和带宽的同时降低了功耗，运放主体部分的功耗仅为 2.6mW；3、子 ADC 中关键部分比较器的设计采用了一种对工艺变化和器件不匹配具有鲁棒性的动态比较器，功耗仅为 155 μW ，极大地降低了系统的功耗。

关键词：流水线；模/数转换器；集成电路设计

Abstract

Modern electronic systems have stepped into an era of complicated System-on-a-chip (SOC), but the mature of digital processing technology makes analog-to-digital (A/D) converter as a neck of performance improvement of the whole system. To satisfy the request of low power dissipation of high-resolution and high-speed A/D converters in portable applications such as high-resolution imaging and wireless communication, this paper is to design low power dissipation subcircuits for a 30Msamples/s, 14bit pipelined A/D converter.

In this paper, I do first to compare the performance characteristics of various types of A/D structures, and adopt pipelined architecture for our converter design due to its good tradeoff between high speed, high resolution and low power dissipation. Then, I analyze its operational principles and characteristics, and choose an optimum 1.5bit resolution per stage. Following that, non-idealities affecting the performance of ADC are analyzed in detail, and several kinds of technologies are introduced to eliminate or reduce all the non-idealities, and bottom-plate sampling and digital calibration technology are emphasized. Finally, subcircuits for implementing pipelined ADC are designed on the 0.6 μ m CMOS device model with theoretical analysis, and the main subcircuits' layout is realized in full custom design method.

The simulation results show that the subcircuits meet with our design request. The innovations in our design are that: 1、the whole A/D converter is designed on the method of top-down design; 2、a gain boosting telescopic cascode operational amplifier is chosen to improve the gain and bandwidth, but the system power dissipation is reduced and the power dissipation of the main part of amplifier is only 2.6mW; 3、the most critical comparator in sub-ADC is chosen as a dynamic comparator for reducing the power dissipation greatly, which is robust to technology variation and device mismatch, and its power dissipation is only 155 μ W.

Key words: Pipeline; A/D converter; IC design

目 录

第一章 绪论	1
1.1 现代电子系统发展的现状	1
1.2 A/D 转换器的发展现状	2
1.3 各类 A/D 转换结构性能比较	2
1.4 关键技术问题	3
1.5 本论文的研究工作	4
第二章 流水线 A/D 转换器原理	6
2.1 基本工作原理	6
2.2 每级分辨率的选择	7
2.3 误差分析	8
2.3.1 比较器失调	8
2.3.2 CMOS 运算放大器产生的误差	10
2.3.3 MOS 开关引入的误差	12
2.3.4 匹配误差	16
2.4 误差消除技术	16
2.4.1 下极板采样技术	17
2.4.2 数字校正技术	18
第三章 电路的设计实现	23
3.1 总体设计	23
3.2 S/H 电路	24
3.2.1 S/H 电路模块	24
3.2.2 MDAC 电路模块	26

3.2.3 CMOS 运放的设计	28
3.3 子 ADC 模块	31
3.3.1 动态比较器.....	32
3.3.2 精确比较器.....	36
3.3.3 编码电路.....	38
3.4 延迟对准电路	41
3.5 数字校正电路	41
3.6 时钟电路	43
3.7 基准参考电路	44
第四章 电路仿真分析	47
4.1 S/H 模块.....	47
4.2 子 ADC 模块	49
4.3 时钟电路	51
4.4 数字延迟与校正电路	52
4.5 基准参考电路	53
第五章 版图设计	55
5.1 CMOS 工艺简介	55
5.2 设计技术	56
5.2.1 匹配设计.....	56
5.2.2 抗干扰设计.....	58
5.2.3 布局考虑.....	58
5.3 主要模块版图	58
5.3.1 S/H 模块	59
5.3.2 基准参考电路.....	60

5.3.3 比较器.....	61
5.3.4 延迟对准电路.....	61
第六章 结论与展望	62
参考文献	63
致 谢	67
附录 I CMOS 工艺器件模型	68
附录 II 各子电路模块网表	68
附录 III 总体电路图	68
攻读硕士学位期间发表的论文	69

厦门大学博硕士学位论文摘要

Content

Chapter 1 Exordium	1
1.1 The growing state of modern electronic system	1
1.2 The growing state of A/D converters	2
1.3 The performance comparison of various A/D architectures.....	2
1.4 The key technical issues.....	3
1.5 The scope of the paper	4
Chapter 2 The principle of pipelined A/D converter	6
2.1 The basic operational principle	6
2.2 The choice of stage resolution	7
2.3 The error analysis	8
2.3.1 Comparator offset	8
2.3.2 The error caused by CMOS operational amplifier	10
2.3.3 The error caused by CMOS switch	12
2.3.4 Mismatch error.....	16
2.4 The techniques of error elimination.....	16
2.4.1 The bottom-plate sampling	17
2.4.2 Digital Calibration Technique.....	18
Chapter 3 Integrated circuit implementation	23
3.1 System -Level design.....	23
3.2 S/H circuit module	24
3.2.1 S/H module	24
3.2.2 MDAC module.....	26
3.2.3 CMOS operational amplifier.....	28
3.3 Sub-ADC module	31

3.3.1	Dynamic comparator.....	32
3.3.2	Precise comparator.....	36
3.3.3	Encoder	38
3.4	Delay and alignment circuit	41
3.5	Digital correction circuit	41
3.6	Clock generator	43
3.7	Reference circuit	44
Chapter 4	Circuits simulation analysis.....	47
4.1	S/H circuit module	47
4.2	Sub-ADC module	49
4.3	Clock generator.....	51
4.4	Digital delay and calibration circuit.....	52
4.5	Reference circuit	53
Chaper 5	Layout Design	55
5.1	Brief introduction of CMOS technology.....	55
5.2	Design technology.....	56
5.2.1	Matching design	56
5.2.2	Anti-jamming design	58
5.2.3	Floor planning.....	58
5.3	The layout of main modules	58
5.3.1	S/H circuit module	59
5.3.2	Reference circuit	60
5.3.3	Comparator	61
5.3.4	Delay and calibraton circuit.....	61
Chapter 6	Conclusion and prospect	62

References	63
Acknowledgement	67
Appendix I CMOS device model.....	68
Appendix II The netlist of subcircuit modules.....	68
AppendixIII System –Level circuit	68
The Paper Published During the Master Education	69

厦门大学博硕士学位论文摘要库

厦门大学博硕士学位论文摘要库

第一章 绪论

本论文工作的目的是将动态比较器速度快、功耗小等特点应用于高速高分辨率的流水线型模/数(A/D)转换器, 来降低转换器(ADC)的整体功耗。为了强调本论文的必要性和可行性, 本章首先介绍现代电子系统发展的现状, 说明低功耗是必然要求, 尤其是对便携式电子系统; 接着分析 A/D 转换器的发展现状, 分析比较目前广泛使用的几种 A/D 转换器的性能特点; 然后指出目前 A/D 转换器发展的关键技术问题, 说明流水线型结构是广泛采用的高速、高分辨率、低功耗的 A/D 转换结构, 并分析其工作特点, 说明动态比较器应用的可行性, 由此展开本论文的工作; 最后, 简要介绍本论文其它章节的安排。

1.1 现代电子系统发展的现状

近几十年来, 电子系统的应用日益广泛, 已经渗透到军事、消费电子、通信和工业应用等各个技术领域。随着微电子技术和计算机技术的成熟和发展、实际应用的要求不断提高, 现代电子系统已经发展到复杂的片上系统 SOC (System-on-a-Chip) 阶段^[1]。它是将信号采集、处理、存储和输出等完整的系统集成在一起的单片电子系统。近年来数字处理技术飞速发展, 加上其抗干扰能力强、便于传输、存储无损失、精度高、功耗小等显著的优点和优势^[2], 在信号处理和存储等方面得到广泛的采用。但自然界的各种物理信息(如语音、图像等)是由模拟信号体现出来的, 要想用数字技术对这些信息进行处理和存储, 就必须先把模拟信号转换成数字信号, A/D 转换器就是实现这一转换的器件。

SOC 将 A/D 转换器、微处理器(CPU)或数字信号处理器(DSP)、存储器等集成在一起, 构成复杂的数模混合系统, 这样对芯片的成本、功耗、面积等提出了更高的要求。而除 A/D 转换器外, 其它部分都使用数字系统来完成, 可以充分利用数字技术的优点。因此, 如何提高 A/D 转换器的性能、降低功耗和成本成为电子系统设计的一个关键问题, 特别是对便携式电子系统(如手机、数码相机等)。

1.2 A/D 转换器的发展现状

A/D 转换器的出现起源于两大领域（模拟世界和数字世界）信息的交互。自 20 世纪 30 年代末开始，电话的出现引起了人们对脉冲编码调制研究，然而直到 20 世纪 50 年代早期，高速数字计算机、航空设备和导弹遥感勘测系统等的出现才引起了发明家和开发者对 A/D 转换的关注^[3]。他们相继推出了各种各样的 A/D 转换结构，但只有少数几种类型获得了广泛的实际应用，包括 Σ - Δ 型、逐次逼近型、积分型和闪烁型等。

Σ - Δ 型结构虽然早在 60 年代就被提出，但直到近年来才得到蓬勃发展，并以其分辨率高、线性度好、成本低等特点得到越来越广泛的应用，有取代积分型 ADC 的趋势^[2]。 Σ - Δ 型结构的发展完全得益于超大规模（VLSI）集成电路的发展和数字信号处理技术的成熟。

随着工艺技术的成熟，逐次逼近型 A/D 转换器的精度也得到提高^[4]。它的关键部分 D/A 转换器制约着整个 A/D 转换器的精度和速度。其传统制作方法是使用精密电阻网络实现，但精度不高。随着 MOS 工艺的成熟，精密电容的制造变得容易，而且电容损耗极小。这样就出现了以电容阵列为基础，采用电荷重分布技术的 D/A 转换器，它可以获得更高的精度。

近年来，对高速电路的研究更为活跃，在基本的闪烁结构基础上出现了一些改进结构，如分区式或分级（sub-ranging）电路结构^[5]。它将高分辨率的 A/D 转换分成两级或多级，能极大地减少电路的规模，但转换速度因此受到影响。接着出现了一种新型的流水线型结构^[6]，它也是基于闪烁结构的多步转换结构，与分区式结构的显著区别就是每一级增加了一个采样/保持放大器，它可保证各级流水线的同时运作，在速度、分辨率、功耗及价格方面都比分区式结构更具优势。

总之，自 A/D 转换器出现至今，其性能不断得到提高，这完全归因于工艺制造技术和电路设计技术的不断进步。

1.3 各类 A/D 转换结构性能比较

A/D 转换器的性能指标有很多，其中最关键的指标是分辨率和转换速度。而在保证这两个指标的基础上，降低功耗也是重要的性能指标要求。表 1.1 主要从

分辨率、转换速度、功耗及价格等方面对目前存在的闪烁型、逐次逼近型、电容积分型、 Σ - Δ 型和流水线型等多种 A/D 转换结构进行比较^[7,8]。

闪烁型 A/D 转换结构因为全并行信号处理的特点，在现有的各种结构中转换速度最快^[9,10]，但缺点是元件数和功耗随分辨率的增加成指数上升；电容积分型结构采用了积分器，有很强的抗干扰能力，可在元件精度较低的情况下获得较高的分辨率，但缺点是转换速度慢^[11]；逐次逼近型结构则采用串行工作方式，其复杂度、面积和功耗都比较低，精度较高，缺点是转换速度慢^[4,12]； Σ - Δ 结构将过采样技术和噪声整形技术、数字滤波技术相结合，能充分利用现代数字信号处理技术，可以获得比其它结构都要高的分辨率，并且易与数字系统集成，但过采样技术限制了输入信号的带宽^[2,13]。与上述结构相比，流水线结构将高分辨率的 A/D 转换分为多级低分辨率的 A/D 转换，各级流水运作，可以兼顾高速和高分辨率，在高速高分辨率场合得到最广泛的应用^[14]。

表 1.1: 各种 A/D 转换结构的性能比较

类型 项目	闪烁型	电容积分型	逐次逼近型	Σ - Δ 型	流水线型
主要特点	高速低精度	低速高精度	低中速中高精度	低中速高精度	高速高精度
分辨率	3~8位	12~22位	8~16位	16~24位以上	8~16位
转换速率	数百MSPS 到GSPS级	几十sps至 几KSPS	几十KSPS至 几MSPS	几十SPS至 几MSPS	几十至 几百MSPS
功耗	高	低	低	中	中
价格	高	低	中	中	高
主要用途	接收机、 雷达等	数字仪表 传感器	便携设备 仪器仪表	音频、多媒体、 地震勘测	视频、高速数据 采集、无线通信

1.4 关键技术问题

随着电子系统发展到 SOC 阶段，人们除了对 A/D 转换器的分辨率和转换速率的要求不断提高外，对其低功耗的要求也越来越高，那么如何在保持 A/D 转

换器高速、高分辨率的前提下降低功耗成为需要解决的重要问题。

在目前的各种 A/D 转换结构中，闪烁型结构转换速度极快，但分辨率相对较低，对工艺的要求很高，只能通过提高电阻的精度和匹配度、提高比较器的准确度等来提高分辨率，而且功耗很大，不宜于集成；逐次逼近型结构分辨率相对较高，功耗较低，但需要高精度的 D/A 转换器，对元器件的精度要求也很高，因其串行工作方式限制，提升速度也很困难； Σ - Δ 型结构能以相对较低的元器件精度获得高分辨率的转换器，但是需要采用复杂的数字处理算法，提升速度方面也存在较大难度；流水线型结构则能在高速、高分辨率和低功耗之间达到很好的折衷，是高速高分辨率应用的最佳选择。

流水线结构将高分辨率的 A/D 转换分为多级低分辨率的子 A/D 转换，因此其设计灵活，可以从多方面来对流水线电路进行优化设计：1) 通过合理分配各级分辨率和优化级间缩减系数来降低功耗^[15,16]；2) 考虑其相邻两级工作方式的特点，共享单元电路（如运放等）来降低功耗；3) 通过设计低功耗的单元电路来降低整体功耗^[17]。特别要提出的是，流水线结构的 A/D 转换电路在各级子电路中引入冗余位，并结合数字校正技术可以消除比较器失调带来的误差，大大放宽了对比较器失调的要求。因此可以采用具有低功耗特性的动态比较器来降低整体功耗^[16-18]。

1.5 本论文的研究工作

本论文的工作目标是在 $0.6\mu\text{m}$ CMOS 工艺条件下，对一个转换速率为 30MSPS、分辨率为 14 位的流水线型 A/D 转换器的子电路进行低功耗设计。在兼顾高速高分辨率的同时，主要从以下几个方面来降低功耗：通过合理选择最优的每级分辨率，在获得高的转换速率的同时降低功耗；采用一种对工艺变化和器件不匹配具有鲁棒性的低功耗动态比较器来降低功耗；采用一种使用了增益提高技术的套筒式共源共栅运算放大器来降低功耗。

本论文工作分为六章，除本章外，第二章介绍了流水线电路的工作原理并选择采用最优的每级分辨率；指出影响流水线电路转换速率和分辨率的各种误差因素；并在此基础上提出了采用的各种消除误差的技术。第三章重点介绍了流水线 A/D 转换器的总体设计及各个子电路模块的设计实现。第四章对第三章设计的各

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士学位论文摘要库