

学校编码: 10384

密级_____

学号: 23120080150536

厦 门 大 学

博 士 学 位 论 文

面向极低误比特率测试的信道编译码算法
及硬件实现研究

Research on Algorithms and Hardware Implementation of
Channel Coding for Very Low Bit Error Rate Test

谢东福

指导教师姓名: 王琳 教授

专业名称: 电路与系统

论文提交日期: 2011 年 月

论文答辩时间: 2011 年 月

学位授予日期: 2011 年 月

2011 年 月

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为()课题(组)的研究成果,获得()课题(组)经费或实验室的资助,在()实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

摘要

信道纠错码作为数字通信系统物理层技术的核心,一直以来都是理论与工程实现研究的热点。目前构成信道纠错码研究领域的四大内容分别是理论分析、算法设计与仿真、硬件实现和系统测试。其中,系统测试是沟通算法设计和硬件实现的桥梁。近年来受海量数据存储与高清传输的驱动,通信系统极低误比特率(BER)性能受到关注,致使测试技术日渐成为通信技术发展不可或缺的重要手段。

鉴于此,本文主要研究适用于不同纠错码类型且能实现极低 BER 测试的信道编译码算法及硬件实现,为定量研究不同码型在极低 BER 区域的性能提供测试方法。主要工作及其成果如下:

1. 为了给信道编译码研究提供便捷的测试方法,有必要研究能兼容测试多种码型极低 BER 性能的方法和能用外界采集的数据测试编译码器的技术,但是这方面的研究较少受到研究者关注。为了提供便捷的信道编译码测试方法,针对降低测试平台重构复杂度和实现数据无差错传输的目标,将开放式系统互连(OSI)的分层思想运用于可重构系统中,构建信道编译码系统测试平台。实验表明,基于本文所提出的可重构信道编译码测试方法,实现多边类型低密度奇偶校验(LDPC)码和 Golay 码 BER 达到 10^{-10} 级别的性能测试,同时能够用外界采集的数据高速测试编译码器性能。

2. 当前 LDPC 码译码器架构的研究,主要集中于面向具体应用的结构化 LDPC 码的译码器架构,鲜见以测试为目标的可用于多种码型的通用译码器架构。为了在同一译码器架构中实现多种 LDPC 码译码,以随机 LDPC 码作为设计出发点,利用 LDPC 码的树状图结构,我们提出基于缓存的 LDPC 码译码器架构。FPGA 验证表明,该译码器架构能以较高的吞吐量和较低的资源消耗实现多种 LDPC 码译码。

3. 为了实现高吞吐量和低资源消耗的通用 LDPC 码译码器,在一个高效的译码器架构下,以降低校验点和变量点的运算复杂度为目标,有必要研究适用于硬件实现的译码算法。面向译码器的高效硬件实现,基于 Reed 所提出的比特错误概率估计方法,结合 Chase 的代数软判决译码算法,从代数软判决的角度出发,

我们提出基于 Reed 方法的译码算法。研究发现该译码算法与 Min-Sum 译码算法具有相同的形式。

4. 目前有关 Golay 码代数软判决译码算法的研究主要考虑如何提高纠错性能，鲜有学者关注 Golay 码面向硬件实现的译码算法。以硬件实现为目标，针对降低译码算法复杂度，采用改进概率表征值和缩减错误模式集合的方法，我们提出适用于硬件实现的 Golay 码可纠六错的软判决译码算法。计算机仿真表明，译码算法复杂度得到较大幅度降低，尤其是高信噪比条件下，如信噪比为 5dB 时，算法复杂度降低了 11.89 倍。

5. 为了测试 Golay 码的极低 BER 性能，必须对 Golay 码译码算法进行硬件建模。基于所提出的 Golay 码可纠六错的软判决译码算法，为了避免集中式控制方法所导致的高硬件复杂度，我们将路由协议与分布式控制方法应用于软判决译码器的设计。实验表明，本文所提出的软判决译码器相较 Chase 软判决译码器，在保持相同的 BER 性能的同时，具有更低的硬件资源占用，尤其是高信噪比条件下，如信噪比为 5dB 时，资源消耗降低了 5.63 倍。

关键词：低密度奇偶校验码，格雷码，极低误比特率，测试平台，可重构系统，开放式系统互联

ABSTRACT

Channel coding has always been attracted on both theoretical research and hardware implementation in digital communication system. The field of channel coding mainly consists of four aspects: theoretical analysis, algorithm design and simulation, hardware implementation and test, where test connects algorithm design with hardware implementation. With the increasing drive by the need for large data storage and high data rate communications, the channel coding with very low bit error rate (BER) performance is becoming very important in the field. Thus the test technique has been increasingly indispensable in the development of communication.

As for the above requirements, our paper attempts to propose a test scheme for channel coding, which are suitable to various types of channel coding & decoding and also guarantees the test of very low BER performance. The main contributions of our works are:

1. The traditional testing techniques for channel coding have never focus on one flexible test bench suitable for different channel codings of very low BER test. With the aim to give such a test bench by means of fast reconfiguration, this paper introduce reconfiguration system into the test of channel coding, which provide a high-speed constructible platform for test. Meanwhile, Open Systems Interconnection (OSI) layer is also introduced so as to lower the complexity of reconfiguring platform. The experimental results show that based on our final completed test bench, the BER can be tested to be low to 10^{-10} for Multi-edge Low Density Parity Check (LDPC) code as well as one algebraic code, Golay Code.

2. The current studied of LDPC decoder mainly focus on the specific structured LDPC framework. A generalized LDPC decoder targeting test for various codes is seldom proposed. To carry out decoding of various LDPC codes in the same decoder framework, derived from the random LDPC code, we take advantages of the tree graph of LDPC codes to propose one LDPC decoder architecture based on caches. The FPGA validate that this proposed decoder is able to implement decoder for

various LDPC codes with relatively high throughput and low resource consumption.

3. To achieve this generalized LDPC decoder with high throughput and low overhead, in one efficient decoder framework, with the aim to reduce computation complexity of check and variable nodes, it is necessary to propose a decoding tailored for hardware implementation. For the efficient hardware implementation of decoder, based on bit error probability approximation proposed by Reed, combined with the algebra soft decoding of Chase, the decoding based on Reed's method is applied into the generalized LDPC decoder. It is found that this decoding algorithm is the same with the simplified belief propagation algorithm (Min-Sum).

4. The algebra soft decoding algorithm of Golay code mainly focus on improvement of the error correcting ability, there is little research on hardware implementation. With the aim to reduce the complexity of decoding, we further propose a method of modifying the emblematic probability value and reducing the set of the error pattern, one soft decoding for Golay code that can correct six errors tailored for hardware implementation is proposed. The computer simulation shows the complexity of decoding is reduced remarkably, especially at the high region of SNR, such as SNR of a value 5 dB, the complexity is reduced by 11.89 times.

5. In order to test the low BER of Golay code, this paper designs an algebraic soft decoder correcting up to six errors based on soft decoding tailed for hardware implementation. To avoid high hardware complexity of center controller, the route protocol and distribute controller are used in this decoder, thus to avoid the high hardware complexity induced by center controller. The experimental results show that in comparison with the decoder based on Chase algorithm, the proposed decoder has an advantage of lower hardware overhead, while keeping the same BER performance, especially at the high region of SNR, such as SNR of a value 5 dB., the hardware complexity is reduced by 5.63 times.

Keywords: LDPC codes, Golay code, Low BER, Test bench, Reconfiguration system, OSI

目 录

第一章 绪论	1
1.1 信道编译码极低 BER 测试的研究背景	1
1.2 信道编译码极低 BER 测试的发展现状	2
1.3 论文的主要工作和关键问题	4
1.4 论文的主要贡献	5
1.5 论文的结构以及内容安排	6
第二章 面向极低 BER 测试的硬件平台	8
2.1 引言	8
2.2 基本原理	9
2.2.1 可重构系统的基本原理	9
2.2.2 OSI 分层思想概述	11
2.3 基于 OSI 分层思想的可重构系统设计	12
2.4.1 硬件平台构建	13
2.4.2 分层结构设计	16
2.4 本章小结	20
第三章 LDPC 码编译码算法及硬件实现	22
3.1 引言	22
3.2 基本原理	22
3.2.1 LDPC 码表示	22
3.2.2 LDPC 码构造	23
3.2.3 LDPC 码编码算法	25
3.2.4 LDPC 码译码算法	26
3.3 基于脉动阵列的 LDPC 码编码器设计	29
3.4 基于树状图的 LDPC 码译码器设计	32
3.4.1 基于 Reed 方法的译码算法设计	32
3.4.2 多边类型的 LDPC 码及其译码流程	39

3.4.3 框架设计.....	41
3.4.4 基本运算单元设计.....	50
3.4.5 性能分析.....	54
3.5 本章小结.....	55
第四章 Golay 码软判决编译码算法及硬件实现.....	57
4.1 引言.....	57
4.2 基本原理.....	57
4.2.1 Golay 码编码算法及硬判决译码算法.....	58
4.2.2 Golay 码可纠四错的软判决译码算法.....	59
4.2.2 Golay 码可纠五错的软判决译码算法.....	61
4.3 基于 Golay 码完备码特性的纠六错译码算法设计.....	62
4.4 面向硬件实现的译码算法设计.....	63
4.4.1 概率表征值改进.....	64
4.4.2 错误模式集合缩减.....	66
4.4.3 译码算法流程.....	68
4.5 采用分布式控制方法的译码器硬件实现.....	70
4.5.1 译码器顶层设计.....	70
4.5.2 代数硬判决模块设计.....	71
4.5.3 软判决模块设计.....	76
4.6 编码器硬件实现.....	82
4.7 性能分析.....	83
4.8 本章小结.....	84
第五章 信道编译码极低 BER 测试平台性能分析.....	86
5.1 引言.....	86
5.2 高斯信道下的极低 BER 测试.....	87
5.2.1 极低 BER 测试的系统结构.....	87
5.2.2 随机信源硬件建模.....	88
5.2.3 高斯信道硬件建模.....	91
5.2.4 性能分析.....	98

5.3 特定数据测试	102
5.4 硬件建模验证	104
5.5 本章小结	105
第六章 总结与展望	107
6.1 总结	107
6.2 展望	108
参考文献	110
攻读博士期间完成的论文和科研工作	117
致 谢	119

厦门大学博硕士学位论文摘要库

TABLE OF CONTENTS

Chapter 1	INTRODUCTION	1
1.1	Background of Channel Coding Low BER Testing	1
1.2	Development of Channel Coding Low BER Testing	2
1.3	Main Work and Key Problems	4
1.4	Main Contributions	5
1.5	Structure of the Thesies	6
Chapter 2	HARDWARE PLATFORM FOR LOW BER TEST	8
2.1	Introduction.....	8
2.2	Background	9
2.2.1	Principals of Reconfig System	9
2.2.2	Principals of OSI Achitecture	11
2.3	Designing Reconfigurable System with OSI Layer.....	12
2.4.1	Constructing Hardware Platform	13
2.4.2	Designing Hierarchical Architecture.....	16
2.4	Summary.....	20
Chapter 3	ALGORITHMS AND HARDWARE IMPLEMENTATION OF LDPC CODES.....	22
3.1	Introduction.....	22
3.2	Background	22
3.2.1	Representation of LDPC Codes	22
3.2.2	Construction of LDPC Codes	23
3.2.3	Encoding algorithm of LDPC Codes	25
3.2.4	Decoding algorithm of LDPC Codes.....	26
3.3	Hardware Implementation of LDPC Encoder Based on Systolic Array	29
3.4	Hardware Implementation of LDPC Decoder Based on Tree Graph...32	
3.4.1	Designing Decoding Algorithm based on Reed Method	32
3.4.2	MET-LDPC Codes and its Decoding Flow.....	39
3.4.3	Achitecture Designing	41
3.4.4	Basic Operation Unit Designing	50
3.4.5	Performance Analysis	54
3.5	Summary.....	55
Chapter 4	ENCODING, SOFT DECODING AND IMPLEMENTATION OF GOLAY CODE.....	57
4.1	Introduction.....	57

4.2 Background	57
4.2.1 Encoding Algorithm and Hard Decoding Algorithm for Golay Codes	58
4.2.2 Soft Decoding Algorithm upto Four Errors for Golay Codes.....	59
4.2.2 Soft Decoding Algorithm upto Five Errors for Golay Codes	61
4.3 Designing Soft Decoding Algorithm upto Six Errors for Golay Codes.	62
4.4 Designing Soft Decoding Algorithm for Hardware Implementation	63
4.4.1 Modifying the Emblematic Probability Value	64
4.4.2 Reducing the Set of Error Patterns.....	66
4.4.3 Flow of Decoding Algorithm	68
4.5 Hardware Implementation of Decoder based on Distributed Control Method	70
4.5.1 Top Level of Decoder	70
4.5.2 Algebraic Hard Decoding Module.....	71
4.5.3 Soft Decoding Module	76
4.6 Hardware Implementation of Encoder	82
4.7 Performance Analysis	83
4.8 Summary.....	84
Chapter 5 PERFORMANCE ANALYSIS OF TESTBENCH for ERROR CORRECTING CODES.....	86
5.1 Introduction.....	86
5.2 Testing on AWGN for Low BER.....	87
5.2.1 System Architecture for Low BER	87
5.2.2 Hardware Implementation for Random Source	88
5.2.3 Hardware Implementation for AWGN Channel.....	91
5.2.4 Performance Analysis	98
5.3 Testing for Special Data.....	102
5.4 Verifying for Hardware Implementation.....	104
5.5 Summary.....	105
Chapter 6 CONCLUSION AND FUTURE WORK.....	107
6.1 Conulsion	107
6.2 Future Work	108
REFERENCE	110
PAPERS AND RELATED CONTRIBUTIONS	117
ACKNOWLEDGMENTS.....	119

缩略词表

LDPC	Low Density Parity Check	低密度奇偶校验
BCH	Bose-Chaudhuri-Hocquenghem	一种二进制循环码
RS	Reed-Solomon	一种多进制循环码
EXIT	Extrinsic Information Transfer	外信息转移
BER	Bit Error Rate	误比特率
DVB-S2	Digital Video Broadcasting - Satellite - Second Generation	第二代卫星广播电视标准
WBAN	Wireless Body Area Network	无线人体网
FPGA	Field-programmable gate array	现场可编程逻辑阵列
GPU	Graphics Processing Unit	图形处理单元
ASIC	Application Specific Integrated Circuit	专用集成电路
PC	Personal Computer	个人电脑
PCI	Peripheral Component Interconnect	外围部件互连总线
OSI	Open Systems Interconnection	开放式系统互联
CPU	Central Processing Unit	中央处理单元
CDF	Cumulative distribution function	累积分布函数
PDF	Probability density function	概率密度函数
RA	repeat-accumulate	重复积累
IRA	irregular repeat-accumulate	不规则重复积累
MET-LDPC	multi-edge type LDPC	多边类型 LDPC
BPSK	Binary Phase-shift keying	二进制相位键控调制
VLSI	Very-large-scale integration	超大规模集成电路
SPCC	Single Parity Check Code	单校验码
BP	belief propagation	信度传播
AWGN	Additive white Gaussian noise	加性高斯白噪声
VNU	Variable node unit	变量点单元
CNU	Check node unit	校验点单元
V2C	Variable node to Check node	变量点到校验点
C2V	Check node to Variable node	校验点到变量点
MUX	multiplexer	多路选择器
FIFO	First in first out buffer	先入先出缓存
EPV	emblematic probability value	概率表征值

图表目录

图 2.1	可重构系统基本构成图	9
图 2.2	FPGA 基本构成	10
图 2.3	可重构系统开发流程图	10
图 2.4	OSI 模型示意图	12
图 2.5	可重构系统的硬件结构图	13
图 2.6	数据输入流程图	14
图 2.7	数据输入时序图	14
图 2.8	数据输出流程图	15
图 2.9	数据输出时序图	15
图 2.10	可重构系统电路板	16
图 2.11	分层结构图	17
图 2.12	帧格式图	18
图 2.13	分组格式图	19
图 3.1	LDPC 码的校验矩阵	23
图 3.2	LDPC 码的双边图	23
图 3.3	$\varphi(x)$ 曲线示意图	28
图 3.4	计算校验码字的数据依赖图	31
图 3.5	计算校验码字的一维数据依赖图	31
图 3.6	一维数据依赖图节点结构图	31
图 3.7	变量节点和校验点的结构示意图	37
图 3.8	多边类型 LDPC 码双边图的示意图	40
图 3.9	不同 LDPC 码码型性能对比图	40
图 3.10	LDPC 码校验矩阵及其双边图	41
图 3.11	LDPC 码树状展开图	42
图 3.12	树状结构硬件资源分配图	42
图 3.13	LDPC 码译码器初步框架图	43
图 3.14	生成 C2V 信息与生成 V2C 信息所需时钟数	46

图 3.15	缓存数量与 Ira down 码译码的关系	46
图 3.16	缓存数量与 Ira up 码译码	46
图 3.17	缓存数量与 Spc 码译码的关系	46
图 3.18	基于缓存的译码器结构图	47
图 3.19	具有 1 个 CNU 与 VNU 的部分并行译码器结构图	48
图 3.20	具有 5 个 CNU 与 VNU 的部分并行译码器结构图	48
图 3.21	5bits 量化与浮点的 BER 性能对比图	51
图 3.22	校验点端有序存储	51
图 3.23	变量点端有序存储	51
图 3.24	变量点计算单元	53
图 3.25	校验点计算单元	53
图 3.26	量化后软件仿真与硬件测试的 BER 性能对比图	55
图 4.1	Lin 等人提出的纠四错软判决译码算法流程图	60
图 4.2	查找最可能错误模式的流程图	67
图 4.3	EDA、SDA 和 Chase 译码算法的 BER 性能对比图	68
图 4.4	Golay 码译码器顶层结构图	70
图 4.5	Golay 码译码器工作流程图	71
图 4.6	代数硬判决结构图	71
图 4.7	GF(2)上的乘法器	72
图 4.8	D^{1365} 结构图	72
图 4.9	D_1^{2046} 结构图	72
图 4.10	获取错误多项式系数结构图	75
图 4.11	chien-search 模块的顶层结构图	75
图 4.12	$L(\alpha^i)$ 的电路结构图	76
图 4.13	软判决模块结构图	76
图 4.14	译码数据帧	77
图 4.15	SM 运算结构图	81
图 4.16	查找引擎子模块结构图	81

图 4.17 Golay 码编码器结构图	82
图 4.18 Golay 码不同译码算法硬件实现的 BER 性能对比图	83
图 5.1 处于工作状态的信道纠错码测试平台图	86
图 5.2 用于极低 BER 测试的系统结构	87
图 5.3 MT19937 算法的系统结构图	91
图 5.4 高斯分布拖尾截短对比图	94
图 5.5 Box-Muller Transform 算法的系统结构图	96
图 5.6 对数均方根运算折线逼近与理论值的对比图	97
图 5.7 余弦运算折线逼近与理论值的对比图	97
图 5.8 BPSK 系统在软硬件两种高斯信道下的性能对比图	98
图 5.9 多边类型 LDPC 码 BER/FER 性能图	100
图 5.10 Golay 码硬判决译码 BER/FER 性能图	100
图 5.11 Golay 码软判决译码 BER/FER 性能图	101
图 5.12 特定测试数据系统结构图	103
图 5.13 纯白图 0dB 未编码图	103
图 5.14 纯白图 0dB Golay 码软判决译码器纠错图	103
图 5.15 纯白图 1dB 未编码图	103
图 5.16 纯白图 1dB Golay 码软判决译码器纠错图	103
图 5.17 彩色图 0dB 未编码图	104
图 5.18 彩色图 0dB LDPC 码软判决译码器纠错图	104
图 5.19 彩色图 1dB 未编码图	104
图 5.20 彩色图 1dB LDPC 码软判决译码器纠错图	104
图 5.21 单独验证译码器系统结构图	105
表 2.1 端口号与子模块的关联表	19
表 2.2 分层结构硬件资源占用表	20
表 3.1 编码器资源占用	32
表 3.2 缓存译码器结构和两种部分并行译码器结构的资源占用量	49
表 3.3 3 种结构的吞吐量	49
表 3.4 三级缓存和 15 输入多路选择器的资源占用量	49
表 3.5 LDPC 码译码器资源对比表	54

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库