

学校编码: 10384

分类号____密级____

学号: 200430024

UDC____

厦 门 大 学

硕 士 学 位 论 文

OR1200 向量处理器的设计及在 MPEG-4 中的应用

OR1200 Vector Processor Design
and Application in MPEG-4

贾 磊

指导教师姓名: 谢 廷 贵 副 教 授

专 业 名 称: 电 路 与 系 统

论文提交日期: 2007 年 4 月

论文答辩时间: 2007 年 5 月

学位授予日期: 2007 年 月

答辩委员会主席: _____

评 阅 人: _____

2007 年 4 月

厦门大学学位论文原创性声明

兹呈交的学位论文，是本人在导师指导下独立完成的研究成果。本人在论文写作中参考的其他个人或集体的研究成果，均在文中以明确方式标明。本人依法享有和承担由此论文产生的权利和责任。

声明人（签名）：

年 月 日

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留并向国家主管部门或其指定机构送交论文的纸质版和电子版，有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅，有权将学位论文的内容编入有关数据库进行检索，有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

本学位论文属于

1. 保密 ()，在 年解密后适用本授权书。
2. 不保密 ()

(请在以上相应括号内打“√”)

作者签名: 日期: 年 月 日

导师签名: 日期: 年 月 日

摘要

随着信息时代的到来，多媒体技术已经成为了人们生活中不可缺少的一部分。而多媒体技术应用中所具有的大数据量、高处理速度等特点又给作为系统运算和控制核心的嵌入式处理器带来新的要求，如低成本、低功耗、能够有效支持多媒体信息处理与传输、具有很强的网络通信和与其他设备交换信息的能力等。因此，无论在理论研究上还是在实际应用上，研究和设计面向多媒体应用的微处理器都将有重要的意义。

在比较了各种媒体处理器结构之后，考虑到成本和性能的折衷，本文选择了灵活性好，成本相对低的单内核处理器结构作为媒体处理器的基本结构，并选择开源处理器作为基核。同时，向量处理技术在媒体信息处理等应用中取得了很好的效果，并已经在许多高端的通用微处理器中得到应用，将向量处理技术应用到嵌入式处理器中，必然会提高其处理媒体信息等应用的能力。但在主要的开源处理器中，并没有具体实现向量处理技术。

本文以 MPEG-4 视频编码为背景，比较了各种开源处理器后，提出一种可用于 MPEG-4 视频编码的单内核处理器结构的 OR1200 向量扩展处理器。研究了基于 OR1200 处理器的标量扩展向量媒体处理技术，扩展了向量指令集，实现了各个组成单元，比较相关多媒体运算算法并设计了适用于 MPEG-4 的可向量处理的 NEDA DCT 单元。最后完成了 OR1200 向量扩展处理器的 RTL 级 verilog 源码，并基于 modelsim 仿真说明了功能的正确性。

总体来讲，单内核处理器结构的 OR1200 向量扩展处理器不仅有较强的多媒体处理能力，而且通过标量向量混合执行的方式，可以有效的利用处理器硬件资源，有低成本、低功耗、高性能的优点，适合于 MPEG-4 编码系统等嵌入式处理器应用。

关键词：OpenRISC；向量处理技术；媒体处理器

Abstract

With the boosting in information area, multimedia technology has been rapidly adopted in our daily life and been an important part of people's life. At the same time, large amount of data and rapid processing speed of multimedia demand for a new-type multimedia embeded processor. The processor must offers low cost, high performance, effective capability of multimedia information processing and a strong capability of communicating with network and other equipments. Therefore, the research on the proceesor for multimedia is very important both on theory and application.

By comparing each kind of media processor architectures and considering the compromise between cost and performance, the single core processor architecture is adapted in our design based on opencode processor core.

Vector technology has been used in many high-end general microprocessor, and archieves good performances in many applications, such as multimedia applications. Apply vector technology in embeded microprocessor could improve its performance in multimedia applications. But the vector procesor can not be found in the main stream opencode processors.

According to the requirements of MPEG-4 applications, each kind of opencode processor are compared and presents vector extending processors in this paper for MPEG-4 coding , based on OR1200 and using the single core processor architecture. Based on OR1200 processor, scalar processor's extending to vector media processing is analyzed and the realization of every part is discussed in this paper. Correlative multimedia algorithms are also compared and the DCT unit of NEDA is realized in this paper. Finally, the full RTL verilog code of OR1200 vector proceesor has been given and verified on modelsim.

On the whole, OR1200 vector proceesor using the single core processor architecture, not only has good multimedia proceesing capacity but also can make effective use of processor hardware resource based on mix-execution. And it is fit for

MPEG-4 coding application of embeded processor because of its low cost, low power and high performance.

Key Words: OpenRISC; Vector Process Technology; Media Processor

厦门大学博硕士学位论文摘要库

目 录

第一章 绪论	1
1.1 论文的研究背景	1
1.2 视频压缩编码技术	2
1.3 媒体处理器的主要实现方法	3
1.4 常用的 RISC 处理器核.....	4
1.5 向量处理技术	7
1.6 本文的工作和结构	8
第二章 MPEG-4 标准概述.....	10
2.1 MPEG-4 的特点和功能.....	10
2.2 MPEG-4 视频编码的主要内容.....	11
2.2.1 系统框架.....	11
2.2.2 MPEG-4 视频流数据逻辑结构.....	14
2.2.3 MPEG-4 视频编码步骤.....	16
2.2.4 MPEG-4 基于 VOP 的编码算法分析.....	17
第三章 RISC 技术和 OpenRISC1200 处理器.....	20
3.1 RISC 技术.....	20
3.1.1 RISC 的起源.....	20
3.1.2 RISC 的特点和本质.....	21
3.2 OpenRISC1200 处理器	22
3.2.1 指令集定义和寻址模式.....	23
3.2.2 存储器地址模式和数据格式.....	25
3.2.3 寄存器定义.....	26
3.2.4 CPU/DSP 单元	28
3.2.5 存储器体系.....	30
3.2.6 WISHBONE 互连总线.....	30
3.2.7 软件开发环境(SDK).....	33
第四章 OR1200 向量扩展及在 MPEG-4 中的应用.....	34
4.1 OR1200 向量处理技术的实现	35
4.1.1 向量处理结构.....	35
4.1.2 OR1200 向量处理微体系结构的实现.....	37
4.1.3 OR1200 向量指令的实现	40
4.2 MPEG-4 中的 DCT 算法研究	44
4.2.1 DCT 基本概念与意义.....	44
4.2.2 DCT 快速算法.....	47
4.2.3 NEDA DCT 算法.....	48

第五章 仿真与验证	54
5.1 组件及接口模块独立仿真	54
5.2 系统仿真	54
5.2.1 仿真模型的建立.....	54
5.2.2 系统测试的激励.....	55
5.2.3 仿真结果及分析.....	56
5.3 性能分析	61
第六章 总结和展望	62
参考文献	64
致 谢	68
附录 攻读学位期间发表的学术论文.....	69

Contents

Chapter 1 Foreword	1
1.1 Background of the Subject	1
1.2 Video Compression Coding Technology	2
1.3 Main Implement Methods of Media Processor.....	3
1.4 Usual RISC Processor Core.....	4
1.5 Vetor Processing Technology	7
1.6 Main works of this article	8
Chapter 2 Summary on MPEG-4 Standard.....	10
2.1 Functions and Features of MPEG-4	10
2.2 Major contents of MPEG-4 Veido Coding	11
2.2.1 Systems Framework.....	12
2.2.2 Logic Structure of MPEG-4 Vedio Stream	14
2.2.3 The Steps of MPEG-4 Vedio Voding	16
2.2.4 The analysis of MPEG-4 Coding algorithm based VOP	17
Chapter 3 RISC Technology and OPENRISC1200 Processor	20
3.1 RISC Technology	20
3.1.1 The Origin of RISC Technology	20
3.1.2 The Essence and Features of RISC	21
3.2 OPENRISC1200 Processor	22
3.2.1 Instrction Set and Addressing Mode	23
3.2.2 Memory Addressing Mode and Data format	25
3.3.3 Register Defination	26
3.3.4 CPU/DSP Unit	28
3.2.5 Storage Hierarchy	30
3.2.6 WISHBONE Interconnection Bus	30
3.2.7 Software Development Environment.....	33
Chapter 4 OR1200 Vector Processor and Application in MPEG-4 ...	34
4.1 Realization of Vector Processing Technology	35
4.1.1 Vector Processing architecture	35
4.1.2 The Realization of OR1200 Vector Processor Microarchitecture.....	37
4.1.3 The Realization of OR1200 Vector Instruction.....	40
4.2 Resarch of DCT Algorithms for MPEG-4.....	44
4.2.1 Basic Concept and Meaning of DCT	44
4.2.2 Fast Algorithms of DCT.....	47
4.2.3 NEDA DCT Algorithm	48

Chapter 5 Simulation and Verification	54
5.1 Independent Simulation of Units and interface module	54
5.2 System Simulation	54
5.2.1 Building of Simulation Model	54
5.2.2 Signls of System testing	55
5.2.3 Simulation result and analysis	56
5.3 Performance Analysis	61
Chapter 6 Conclusion and Expectation	62
References	64
Acknowledgement	68
Appendix	69

第一章 绪论

1.1 论文的研究背景

随着网络技术和以半导体技术为基础的计算机技术的飞速发展，人类已经进入数字化、网络化、全球一体化的信息时代。以数字化为基础，以网络为媒介，以视频和音频为主要内容的现代多媒体技术^[1~2]，如高清晰电视 HDTV，数码相机，视频点播，P2P 的网络电视，车载定位系统，3G 手机等已经成为现代生活方式不可缺少的一部分。众所周知，人类通过视觉获得的信息量占总信息量的 70%，而且视频信息具有信息量大、生动直观的特点。所以视频技术已经成为多媒体技术中的关键技术。

然而，数字化后的视频信息有着信息量巨大的缺点，如，对视频序列中一帧为 640×480 像素的原始图像，如果每个像素的颜色深度为 24bit，以 25 帧/秒（PAL 制式）的速度播放，则一秒中内的视频数据量高达 176Mbit。显然这样大的数据量不仅超出了计算机的存储和处理能力，而且未经压缩直接在 Internet 上传输是无法容忍的，更何况要实时传输和处理更是不可能的。因此，研究有效的多媒体数据压缩编码方法，以压缩的形式存储和传输这些数据才是最佳的选择。目前主要的视频压缩编码方法有 ITU 的 H.26X 系列和 MPEG 组织的 MPEG-X 系列标准，它们在各个领域得到了广泛的应用，特别是 MPEG-4 以其良好的性能和适应性广泛应用于因特网、网络电视、多媒体等。

与此同时，越来越多的多媒体应用给作为运算和控制核心的嵌入式微处理器^[3]提出了更高的要求。主要表现在能够有效支持多媒体信息的传输和处理；具有很强的网络通信能力和与其他设备交互信息的能力；适合与嵌入式应用；价格低廉等。而常用的各类嵌入式处理器又有各种不足，如 MCU 虽然控制能力很强但是数字信号计算能力和网络通信能力差，DSP 虽然数字信息计算能力好但是通用计算能力、控制能力和通信能力都很弱，通用处理器虽然通用计算能力、数字信号处理能力和控制能力都很不错但是外围结构和操作系统过于复杂。

随着多媒体技术的发展，必然有越来越多的场合需要强大的多媒体处理能力，那么对适用于多媒体应用的嵌入式多媒体处理器的研究将会有着重要的理论

研究和实际应用意义。

1.2 视频压缩编码技术

虽然数字化的视频图像数据量非常大，但视频图像数据是高度相关的。一幅图像内部或者视频序列中相邻图像之间有大量的冗余信息，这其中包括了时间冗余、空间冗余、信息熵冗余、结构冗余、知识冗余和视觉冗余等形式，消除冗余是视频图像压缩编码技术的出发点。视频压缩的目的就是要在保证一定视频图像质量的前提下，尽可能地消除这些冗余信息，以降低用于传输和存储图像所需要的数据量。图像压缩技术^[4-7]大体上分为两大类：一类是无损压缩或可逆编码，特点是在压缩过程中不丢失任何数据，但压缩效率低，如 Huffman 可变长编码、游程编码、算术编码等；另一类是有损压缩，特点是解压缩后的数据会丢失，但主要丢失一些人眼所不敏感的图像信息，而且丢失的信息不可逆。几乎所有具有高压缩比的算法都采用有损压缩。总体来说，主要的视频压缩技术有 Huffman 编码，游程编码 RLC，算术编码，预测及内插编码，矢量量化编码，变换编码，模型编码，小波变换编码等等。

目前最为重要的数字视频压缩编码标准有国际电信联盟 ITU-T 的 H.261、H.263 和 H.264 等和 ISO 的运动图像组专家的 MPEG-1、MPEG-2、MPEG-4 和 MPEG-7 等。下面对这些标准做简要介绍。

CCITT（即后来的 ITU）用于覆盖 ISDN 基群信道满足会议电视和可视电话业务发展的需要，在 1988 年提出了 H.261，1990 年定名为“ $p \times 64\text{kbps}$ 视听业务的视频编码器”，其中 $p=1\sim 30$ 。1995 年提出了 H.263 标准，即“甚低码率通信的视频编码”，目标是在视频压缩率低于 64kbps ，在诸如 28.8kbps 等速率的信道上进行可视电话通信。MPEG-1 制订于 1992 年，主要是针对数字存储媒体，如 CD-ROM 等，但也被用于数字电话网络上的视频传输。MPEG-2 制订于 1994 年，设计目标是高级工业标准的图像质量以及更高的传输率，是实现 DVD 的标准技术。

MPEG-4 标准于 1999 年正式公布，是目前发展最迅速、影响最大的多媒体数据压缩编码国际标准之一。MPEG-4 标准的全称是音频和视觉对象的通用编码，它定义了多媒体编码和解码、Internet 传输和交互等的一整套框架，涵盖了多媒体的绝大部分应用领域。MPEG-4 基于对象的编码思想使其具有高压缩比、

可扩展性、可交互性等许多优点。同时，MPEG-4 标准编码系统是开放的，只定义其码流语法和解码过程，对编码算法和过程并不做规定和描述，可以随时加入新的有效的算法模块，这样就给 MPEG-4 标准的具体实现留有很大余地。人们可以不断改进编解码算法，提高视频图像质量以及编码效率。

2003 年 H.264/AVC 由 ITU-T 的视频编码专家组 (Video Coding Experts Group) 和 ISO/IEC 的活动图像专家组 (Moving Picture Experts Group) 联合推出，被成为 ITU-T 的 H.264 协议或 ISO/IEC 的 MPEG-4 高级视频编码部分，是最新的视频编码国际标准，压缩率显著提高，同时也标志着编码标准的融合趋势。

总之，压缩标准各有优缺点和适用范围，而随着目前网络的普及在基于 Internet 的视频应用中，MPEG 系列标准中 MPEG-4 因其具有交互性强、压缩比高、存储空间小和图像质量好等特点，将会在移动通信、手持设备等领域有更广阔的应用空间，在一段时间内成为应用的主流。

1.3 媒体处理器的主要实现方法

媒体处理器有如下几种实现方式：单纯处理器的纯软件方式实现、微控制器 (MCU) + 数字信号处理 (DSP) 协处理的多核方式和通用处理器的媒体扩展方式^[8~11]。面对多媒体数据处理特别是视频数据处理的数据量大、算法复杂、要求运算速度高等特点，用单纯处理器的纯软件方式，必然会在数据吞吐量和代码长度方面出现瓶颈并且难以达到实时处理，这种方法现在很少采用。下面主要介绍其他几种方法。

(1) MCU+DSP 的多核方式

这种多内核一般采用把控制性能强微处理器和高性能低功耗的 DSPs 内核结合起来的方式，主要优势在于由两个独立的组件来完成应用处理任务，其中 MCU 负责支持应用操作系统并完成以控制核心的应用处理，而 DSPs 则负责完成多媒体信号（如音频、图像/视频信号）的处理。这种构架的优势在于便于提高操作系统的执行效率和多媒体代码的优化，将总工作负荷合理划分使 CPU 性能极大提高，但同时带来了一些新问题：芯片面积增加，需要开辟额外的寄存器、缓存和内部存储空间；功耗显著增大；设计变得异常复杂，需要处理多内核的协作和同步问题、两套不同的指令集，增加了新品设计的复杂性和开发周期。另外，由

于需要在两个独立内核的体系结构下进行各自编程并保持相互通信,使得系统开发和调试环境变得异常复杂且难于掌握。

(2) 媒体指令集扩展方式

媒体指令集扩展方式是以微处理器核为基础,但在微处理器核中加入一些用于专门处理的指令。这种方法几乎没有增加芯片尺寸和内核设计的复杂性,但却有一个致命缺点:当执行那些复杂的多循环的指令时,由于要进行数据信号处理、通信协议和图像等专门函数处理,微处理器核就会出现性能瓶颈。

(3) 新型的单内核处理器结构方式

这是一种新型的单内核处理器结构,拥有一个微处理执行单元和一个独立的 DSP 执行单元,两个单元使用一套定长指令集,但包括指令译码在内的内核其它部分对两个单元都是共用的。同时,精巧而高效的指令缓存、单独的一套寄存器和共享的存储器总线接口等一系列措施也简化了芯片硬件逻辑和软件编程的复杂性。该结构既解决了媒体指令集扩展方式中加一些专门指令的限制,也克服了 MCU+DSP 的多核结构过于复杂的缺点。这种设计在最小化芯片的封装形式、功耗和指令复杂度的同时,却没有牺牲纯微处理器核的性能。由于指令集可以方便地扩展,所以其它一些新的专用功能指令或指令集可以取代或加入到 DSP 单元之中,使之成为同微处理器单元并行的执行单元。通过这种方法,一些专门指令可以方便地扩充到指令集中,例如一些专门的图像和通信处理指令,甚至是实现高精度制造技术中一些算法,如模糊逻辑指令集等。此外,由于其成本较低,使得该结构可以广泛用于各种嵌入式系统。

1.4 常用的 RISC 处理器核

RISC (Reduced Instruction Set Computer) 处理器具有结构简单、处理速度快和处理功能强等优点,嵌入式领域几乎都是 RISC 指令集的处理器内核。常见的 RISC 核可以分为商业内核和开源内核两类。ARM 公司的 ARM 处理器,IBM 的 Power PC 处理器, MIPS 公司的 MIPS 处理器, Motorola 的 Mcore 处理器, Tensilica 公司的 Xtensa 处理器都属于商用内核,使用者必须支付昂贵的授权费。

下面主要对几种流行的开源处理器核进行介绍和比较^[12~18],如表 1.1。

(1) LEON2

LEON2 由 Jiri Gaisle 个人开发, 受到欧洲航天局工作的支持, 它使用 VHDL 描述, 分为标准版和容错版两个版本。其中标准版是一种开源软核, 使用 GUN LGPL 授权协议, 可以免费的应用于研究、教学和商业目的。LEON2 的指令集与 IEEE1754 (SPARC V8) 兼容, 使用 5 级流水线, 具有 8 个全局寄存器、2~32 个本地寄存器、整数乘/除法器、16×16 的 DSP MAC 单元、浮点处理器和自定义协处理器接口、Cache、MMU、硬件调试和跟踪缓冲。外部总线使用 ARM 的 AMBA 标准。LEON2 没有针对 FPGA 和 ASIC 工艺进行优化, 其硬件开发环境由具体的实现工艺而定, 软件开发使用 GNU 交叉编译开发包。支持 LEON2 的操作系统有 linux 和 RTEMS。

(2) OpenRISC 1200

OpenRISC 是由 OpenCores 组织负责开发和维护的, 开源的 32/64 位 RISC 处理器内核家族。OpenRISC 的设计强调了高性能、结构简洁、低功耗、可测量性和多功能性, 其设计目标是中高端的网络应用、便携设备、嵌入式系统和车载应用等。OpenRISC 包括 OpenRISC1000 和 OpenRISC2000 两个体系, OpenRISC2000 目前还只处于计划阶段。OpenRISC1200 (简称 OR1200) 是 OpenRISC1000 体系中的最新成员, 用 Verilog 语言描述, 2001 年 7 月出现到 2002 年 8 月基本成熟, 至今仍在改进和维护。OR1200 采用了自主设计的 OpenRISC1000 体系结构和 ORBIS32 指令集还可以根据需要自定义用户指令。它是采用 Harvard 结构设计, 拥有一个 5 级流水线的整数单元和一个 32×32 的 MAC 单元, 具备基本的 DSP 处理功能。OR1200 具有 1K~64K 可配置大小的数据 Cache 和指令 Cache 以及可供选择的内存管理单元, 同时还提供了一个用于降低功耗的电源管理单元(Power Manager)和一个支持片内调试的调试单元(Debug Unit)。OR1200 采用了 Silicore 公司提出的 WISHBONE 开放性总线标准, 包括一个数据 WISHBONE 接口和一个指令 WISHBONE 接口。总线管理模块将内存控制器、调试单元、UART 接口、PCI 接口和 Ethernet 接口等模块连接在一起。OR1200 的软件开发同样使用 GNU 的交叉编译开发包, 支持 OR1200 的操作系统有 uClinux、Linux、RTEMS 和 eC/OS。OR1200 在 2002 年 9 月被 Flextronics 公司选中, 用于集成在 Flextronics 的设计中, 并提供商业服务, 成功的实现了商业化。

(3) NiosII

Nios 系列处理器是 Altera 公司推出的基于 RISC 体系结构的通用嵌入式处理器软核，它是 Altera 的可编程逻辑和可编程片上系统(SoPC)设计综合解决方案的核心部分。Altera 前后推出了两代 Nios 系列处理器：Nios 和 NiosII。NiosII 是第二代完全 32 bit 的 RISC 处理器，具有 32bit 的指令集、数据通路和地址空间。NiosII 处理器也是采用 5 级流水线和数据、指令分离的 Harvard 结构，拥有自己专用的体系结构与指令集，支持 32 bit 的硬件乘法指令，有 32 个通用寄存器。用户还可以根据自己的需要自定义最多 256 条指令。NiosII 采用了 Altera 公司自己的 Avalon 片内总线标准，用于连接定时器、UART 接口、LCD 接口、内存控制器和以太网接口等片内模块。NiosII 同时还提供了一个 Debug 模块，支持 JTAG 在线调试。Altera 公司为 NiosII 提供了极为完善的软件开发环境。NiosII 处理器方案是基于 HDL 源码构建的，提供了三种性能和资源消耗不同的基本软核：NiosII/f(快速型)，NiosII/s(标准型)和 NiosII/e (经济型)。通过 QuartusII 开发软件中的 SOPCBuilder 系统开发工具，使用者可以在任何一种软核的基础上方便的配置符合自己的需要 NiosII 内核。Altera 公司同时为 NiosII 提供了基于 GNU c/c++ toolchain 和 Eclipse IDE 的软件开发环境。用户可以在这个开发环境下方便的完成编码、仿真和调试等工作。NiosII 的开发套件内免费提供了一个 vc/OS-II 的实时操作系统支持，同时 NiosII 还支持 uClinux，Nucleus Plus，KROS 等第三方操作系统。和上面所提到的 LEON2 和 OpenR1SCI200 两种完全开放的处理器内核不同，NiosII 内核属于“半开放”的内核。用户可以免费获得 NiosII 的开发平台，不过 NiosII 只支持 Altera 的 Stratix 和 Cyclone 器件。用户只能在 Altera 的 FPGA 芯片上免费使用 NiosII，而且无法获得 NiosII 的 HDL 源代码。另外设计者若要在 ASIC 设计中使用 NiosII 内核，则需要向 Altera 公司支付一定的授权费用。

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库