

学校编码: 10384
学号: 200430019

分类号 _____ 密级 _____
UDC _____

厦 门 大 学

硕 士 学 位 论 文

无线接入 SOC 芯片的低功耗物理设计

Low Power Physical Design using Wireless Access SOC Chip

郭慧晶

指导教师姓名: 陈辉煌 教授

周剑扬 博士

专 业 名 称: 无线电物理

论文提交日期: 2007 年 5 月

论文答辩时间: 2007 年 月

学位授予日期: 2007 年 月

答辩委员会主席: _____

评 阅 人: _____

2007 年 5 月

厦门大学学位论文原创性声明

兹提交的学位论文，是本人在导师指导下独立完成的研究成果。本人在论文写作中参考的其他个人或集体的研究成果，均在文中以明确方式标明。本人依法享有和承担由此论文而产生的权利和责任。

声明人（签名）：

年 月 日

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留并向国家主管部门或其指定机构送交论文的纸质版和电子版，有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅，有权将学位论文的内容编入有关数据库进行检索，有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

本学位论文属于

1. 保密（ ），在年解密后适用本授权书。
2. 不保密（ ）

（请在以上相应括号内打“√”）

作者签名： 日期： 年 月 日

导师签名： 日期： 年 月 日

厦门大学博硕士学位论文摘要库

中文摘要

当代超大规模集成电路设计日趋成熟，集成电路产业已经成为现代工业发展的基石，已经被广泛的应用到计算机、通讯、互联网、制造业等。当工艺发展到深亚微米的时候，功耗对电路的影响已经成为集成电路设计中的不可忽略的问题。功耗不但直接影响芯片的封装形式和成本，而且过高的功耗将导致芯片热量的增加，直接影响着芯片的可靠性。同时片上系统的设计是集成电路工艺提高的必然结果。对电路的性能、功耗、成本和可靠性都非常有利，已经成为集成电路发展的方向。但由于门数较多，功耗也就成为一个设计中的瓶颈问题。

无线接入 SOC 芯片是无线自组织网的节点芯片，无线传感网络的上层协议采用的是基于 IEEE802.15.4 自行开发的协议，主要是针对低功耗、低速率的应用，数据传输速率在 100Kps 左右。本文研究了该芯片从逻辑综合到物理实现各个阶段的低功耗设计及其实施方法，为芯片的低功耗设计提供了方法和流程上的参考。该设计在芯片中均获得了有效的验证，可以应用在其它芯片设计中。为其它的芯片设计奠定基础。

全文首先详细阐述了低功耗设计技术的发展状况以及研究意义，接下来具体分析功耗的组成，以及在逻辑设计阶段动态功耗和静态功耗的优化方法。论文以无线接入 SOC 芯片为例，基于 Cadence 的 EDA 平台，对无线接入 SOC 芯片在逻辑综合阶段进行了低功耗的优化，主要采用的是门控时钟方法，并比较了优化结果；同时对无线接入 SOC 芯片的完成了后端设计，并对于物理实现的每个过程中的功耗优化策略进行了详细研究。在布局阶段：通过不断分析比较得到了最佳功耗布局方案；在时钟树生成阶段：采用多种功耗优化方法实现了低功耗设计。论文最后分析了深亚微米工艺条件下电源完整性问题，并进行了物理验证，以及问题的修复。

关键词： 低功耗；逻辑综合；物理实现

厦门大学博硕士学位论文摘要库

Abstract

In the present ages, the development of VLSI design is tend to be mature, IC industry has become the footstone of the development of modern industry, It has been broad applied to computer, communication, internet and manufacturing. When the process grow to deep sub micron, power could not be ignored in IC design., it not only effect the package and cost, but also lead to the too much heat, which directly effect chip reliability. SOC design is the result of IC development. It's helpful for the circuit performance, power, cost and reliability, which has become to the direction of IC development. But with area growing, power has become to the key problem of IC design.

Wireless access SOC chip is Wireless access chip, higher-layer protocol is based on the IEEE802.15.4 own develop protocol, mostly based on low power, low speed application, transmission speed is about 100Kps. This paper describes concept and methods of the implement of low power design of WirelessChip from logic synthesis to physical design, which provide a reference of implement method and flow. It can apply to other chip design to the basic of other chip design.

This paper first provide an overview of low power technology development and research signification; then discusses the power distribution and optimization of all level. presents the method of low power synthesis of WirelessChip;.Based on Cadence EDA platform, implemented logic design and emphasized clock tree synthesis of low power, implemented low power physical design, floorplan phase adopt many methods for a better result, cts phase applied many ways to implemented low power design. At last this paper analyzed the power and physical verification problem of deep-sub micron process.

Key words: Low power, Logic synthesis, Physical implement

厦门大学博硕士学位论文摘要库

目 录

中文摘要.....	i
Abstract	iii
第一章 绪 论	1
1.1 集成电路产业发展的现状.....	1
1.2 低功耗技术的研究意义.....	3
1.3 本文研究的内容和意义.....	4
第二章 低功耗技术研究	5
2.1 功耗的发展现状.....	5
2.2 功耗的分类.....	6
2.2.1 动态功耗.....	6
2.2.2 静态功耗.....	9
2.3 功耗优化技术.....	10
2.3.1 算法级低功耗设计.....	11
2.3.2 体系结构级低功耗设计.....	12
2.3.3 寄存器传输级的低功耗设计.....	12
2.3.4 逻辑门级低功耗设计.....	15
2.3.5 晶体管级低功耗设计.....	16
2.3.6 静态功耗优化方法.....	17
2.4 低功耗技术的应用.....	19
第三章 无线接入 SOC 芯片的低功耗综合策略研究	20
3.1 无线接入芯片概述.....	20
3.2 Power Compiler 功耗计算的原理.....	21
3.3. RTL 级功耗估计.....	23
3.4 无线接入 SOC 芯片的低功耗逻辑综合流程.....	26
3.4.1 门控技术功耗优化.....	26
3.4.2 PowerCompiler 低功耗综合的约束条件.....	27
3.5 无线接入芯片低功耗综合结果.....	29
3.6 本章小结.....	31
第四章 无线接入 SOC 芯片的低功耗物理实现的研究	32
4.1 总体流程及选用的 EDA 工具.....	32
4.2. FloorPlan 阶段的工作.....	33
4.2.1 floorPlan 阶段的主要工作.....	33
4.2.2 布局阶段的低功耗设计方法研究.....	34
4.3 标准单元摆放阶段的工作.....	37
4.3.1 标准单元摆放要完成的工作.....	37
4.3.2 标准单元摆放的功耗考虑.....	37
4.4 时钟树综合阶段的工作.....	38
4.4.1 时钟树综合完成的工作.....	38
4.4.2 时钟树综合阶段的功耗优化策略.....	41

4.5 布线(Routing)阶段的工作	44
4.5.1 全局布线和详细布线所做的工作.....	44
4.5.2 布线中的功耗优化策略.....	46
4.6 寄生参数提取和延迟计算.....	47
4.7 电源分析和功耗分析	48
4.8 设计规则检查 (DRC)	51
4.9 LVS (Layout Versus Schematic) 验证.....	52
5.0 本章小结.....	53
第五章 总结与展望.....	55
参考文献	57
致 谢.....	60

content

Chapter 1 Introduction	1
1.1 Development of IC design	1
1.2 Significance of Low Power Design	3
1.3 Significance and Contents of this paper.....	4
Chapter 2 Low Power Technology	5
2.1 Development of Power	5
2.2 Types of Power	6
2.2.1 Dynamic Power.....	6
2.2.2 Static Power	9
2.3 Technology of Power Optimization	10
2.3.1 Arithmetic Level	11
2.3.2 System Level.....	12
2.3.3 RTL Level	12
2.3.4 Logical Gate Level.....	15
2.3.5 Transition Level.....	16
2.3.6 Static Power	17
2.4 Application of Low Power	19
Chapter 3 Low power Synthesis for WirelessChip	20
3.1 Summary of Ad hoc Chip	20
3.2 Principle of Power Compiler	21
3.3 RTL Level Power estimate	23
3.4 Synthesis Flow	26
3.4.1 Clock Gating Method.....	26
3.4.2 PowerCompiler Low Power Synthesis Constraints.....	27
3.5 Synthesis Results	29
3.6 Chapter Summary	31
Chapter 4 Physical Implementation of WirelessChip	32
4.1 Flow and EDA tools	32
4.2 FloorPlan	33
4.2.1 FloorPlan Implementation	33
4.2.2 Low Power in FloorPlan.....	34
4.3 Placement	37
4.3.1 Placement Implementation	37
4.3.2 Low Power in Placement	37
4.4 Clock Tree Synthesis	38
4.4.1 CTS implementation.....	38
4.4.2 Low Power in CTS.....	41
4.5 Routing	44

4.5.1 Global and Detail Route.....	44
4.5.2 Low Power in Route	46
4.6 Extraction and Delay Calculation	47
4.7 Power Analysis	48
4.8 DRC	51
4.9 LVS (Layout Versus Schematic)	52
5.0 Chapter Summary	53
Chapter 5 Conclusions.....	55
Reference	57
Acknowledgement	60

第一章 绪 论

1.1 集成电路产业发展的现状

自晶体管发明以来, 半导体工业在 50 多年时间里取得了巨大的发展并趋于成熟。从早期的仅包含几个逻辑门(与非门, 或非门等)的小规模集成电路, 到增加了集成范围具有较大逻辑功能的中规模集成电路, 再到在单个芯片上集成了更强大的功能的大规模集成电路, 以及如今的超大规模集成电路发展到现在的特大规模 (ULSI)。集成电路工艺的发展也从最初的 10 μm 缩小到 0.18 μm , 0.13 μm , 0.09 μm , 如表 1-1-1 所示。集成电路的发展始终遵循摩尔规则: 特征尺寸平均每三年缩小 1.414 倍, 集成度则平均每三年增加 4 倍, CPU 功能和复杂性每年(后期减慢为 18 个月)会增加一倍, 成本却成比例递减[1]。

表 1-1-1 集成电路工艺的发展

工 艺 (μm)	0.25	0.18	0.15	0.13	0.10	0.07
时 间	1997	1999	2001	2003	2006	2009
晶体管数量	11M	21M	40M	76M	200M	520M
片上时钟 (MHz)	750	1200	1400	1600	2000	2500
面积 (mm^2)	300	340	385	430	520	620
布线层数	4	6-7	7	7	7-8	8-9

从集成电路设计方法发展来看, 主要有全定制 ASIC、半定制 ASIC、SOC 等三个重要阶段。而半定制 ASIC 又可分为基于标准单元的 ASIC 和基于门阵列的 ASIC。

全定制设计包括一些或者全部定制的逻辑单元或全部定制的掩膜层。整个芯片的设计是从一个晶体管开始的, 设计的工作量大, 周期长, 一个全定制 IC 的制造周期(不包括设计时间)一般为 8 周。但可能获得较高的性能, 专门的全定制 IC 常为特殊应用而设计。随着芯片规模的增长和产品生命期的缩短, 全定制设计很难满足设计需求。所以只有在设计极高性能的产品时, 如高性能 CPU 才采用全定制设计方法。

半定制 ASIC 设计方法中所有逻辑单元是预先设计好的,有些(也可能全部)掩膜层是需要定制的,采用单元库中预先定义好的单元可以使设计人员的工作变得更加轻松。它主要是针对快速设计的要求,满足对高集成度、低成本、高可靠性的要求。

基于标准单元的 ASIC 采用预先设计好的逻辑单元(或与门,或门,多路开关,触发器)。设计者只需要确定标准单元的布局以及布线等,即可以进行操作了。该设计方法具有省时、省钱、风险小等优点。另外,可对个别标准单元进行优化,并且可以内嵌定制的功能块,制造周期约为 8 周[2]。

基于门阵列的 ASIC 采用在硅圆片上预先确定的晶体管。基本阵列由最小单元重复排列而成。最小单元即为基本单元。设计者只需从门阵列单元库中选择特定的逻辑单元,用全定制掩膜方式确定上面几层互连金属层。这种门阵列构成掩膜式门阵列(MGA, masked gate array)。该方法制作周期短,制作灵活,成本小。

SOC(片上系统)是随着集成度的进一步提高而提出的一种方法,它是在单一硅片上集成信号采集、转换、存储、处理和 I/O 等功能模块,以 CPU 为核心来完成系统中信息处理的功能,集成外围模块和存储器,实现整个信息处理系统或其分系统。SOC 的基本模块是集成度较高的 IP 模块,并且具有知识产权、功能明确具体、接口规范明确、可在多个设计中重复使用。SOC 的优点是速度快、集成度高、功耗低,成本低,体积小,系统更新换代的速度快[3]。

目前,国内的 IC 以使用 0.25 μm 和 0.18 μm 线宽工艺为主,并已经成为主流生产技术,0.13 μm 及以下工艺已经在一些高端产品中得到应用并快速发展。晶圆直径也越来越大,从 1 英寸、2 英寸、3 英寸、5 英寸,直到目前 10-12 英寸。

1.2 低功耗技术的研究意义

集成电路在刚刚开始发展之时,设计电路的规模并不大,之后的 CMOS 工艺的广泛应用,由于它的功耗相对很小,功耗问题对电路几乎没有影响,因此芯片的性能和面积成为设计者考虑的重心。随着半导体工艺不断发展并且趋于成熟,集成电路的设计规模不断增大,芯片的工作频率和集成度不断提高,甚至出现了集成整个系统的系统级芯片,使得芯片设计越来越复杂。集成电路的深亚微米时代已经走进了半导体工业。但这在另一方面也使得芯片的功耗不断增大。传统的 IC 设计方法已无法满足现代产业界的产品需求。芯片工作时需要强

力风扇进行散热，利于散热的封装在芯片生产成本中占了相当大比例。过大的功耗不仅提高芯片的封装成本，降低芯片的市场竞争力，更为甚者，它将严重影响着芯片的可靠性[4]。

由此可见，进入深亚微米工艺后，功耗问题已经成为大规模集成电路设计领域中一个不得不考虑的问题，因此针对低功耗设计的研究已具有极其重要的地位。工业界对芯片的低功耗设计产生了巨大的需求，这在移动多媒体、数码相机、手机、PDA 等移动设备领域表现得更为突出。这些都促使集成电路低功耗技术成为学术界研究的热点之一。

片上系统(System on a Chip, SOC)是集成电路发展到一定阶段的产物。片上系统能大大缩小系统的体积和面积，对芯片电路的可靠性和性能等方面无疑是非常有利。此外，系统级 SOC 芯片在设计中可以在很大程度上复用其他厂商设计的 IP 核，大大降低产品上市时间，增强市场竞争能力。目前，国内很多片上系统的设计都要进行功耗分析，再根据分析结果来进行结构的设计，改进及优化。可见，功耗问题已经成为整个 SOC 设计的重点问题，也是整个设计成功与否的关键。另一方面，系统级芯片的出现无疑对电路的功耗问题提出了更为严峻的挑战。深亚微米的工艺、百万门级以上的芯片规模、更高的工作频率，都将使芯片功耗激增。本文选题正是从当前集成电路研究热点话题入手，探讨在物理设计中 SOC 芯片所使用的低功耗方法。

1.3 本文研究的内容和意义

本文首先详细分析了 CMOS 电路功耗来源和评估方法，探讨了低功耗的基本设计方法及不同设计阶段的低功耗技术。在此基础上结合一款实际的 SOC 芯片设计，对 CMOS 电路、特别是 SOC 芯片的低功耗设计从理论和实践两个方面进行较为全面地探讨和研究。并在 180nm 的工艺条件下完成了低功耗综合，以及在 180nm 工艺下的低功耗物理实现。论文分为五个部分，具体内容如下：

本文第二章首先对功耗的发展现状做了简要的介绍，接着简单分析了功耗的来源，并将动态功耗和静态功耗单独进行分析。在此基础上从对各设计层次中的低功耗技术进行了详细说明。最后阐述了低功耗设计技术的主要应用。

在第三章中，首先介绍了无线接入 SOC 芯片的基本架构，接下来对 Power Compiler 的工作原理进行了详细阐述。提出了芯片具体的低功耗逻辑综合方案，

并对所采用的优化方法做了详细的介绍。最后采用 Synopsys 公司的 Design Compiler 工具给出了部分模块及总体芯片功耗估算的模拟结果。由结果可知，设计方案基本达到了低功耗要求。

第四章首先介绍了物理设计的总体流程，在此流程上，分别从布局，布线，时钟树综合开始讲该无线接入芯片的设计方法，遇到的问题以及解决方法。并对每一步可以应用的低功耗设计方法进行了详细的说明。最后在 SoC Encounter 平台上初步完成了无线接入自组织网 SOC 芯片低功耗物理实现。通过详细介绍芯片物理实现的通用流程，分析总结出一套功耗分析和优化的方法，并且给出了电源分析和功耗分析的内容与结果。

第五章总结了论文所做的具体工作、论文的新颖之处、论文有待完善的地方和对今后的一些展望。

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库