

学校编码: 10384

分类号 _____ 密级 _____

学号: 200428040

UDC _____

厦 门 大 学

硕 士 学 位 论 文

基于 FPGA 的 SCI 节点的研究与实现

Research and implementation on SCI-node based on FPGA

陈国鹏

指导教师姓名: 陆 达 教授

专 业 名 称: 计算机系统结构

论文提交日期: 2007 年 月

论文答辩时间: 2007 年 月

学位授予日期: 2007 年 月

答辩委员会主席: _____

评 阅 人: _____

2007 年 月

厦门大学博硕士学位论文摘要库

厦门大学学位论文原创性声明

兹提交的学位论文，是本人在导师指导下独立完成的研究成果。本人在论文写作中参考的其他个人或集体的研究成果，均在文中以明确方式标明。本人依法享有和承担由此论文产生的权利和责任。

声明人（签名）：

年 月 日

厦门大学博硕士学位论文摘要库

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留并向国家主管部门或其指定机构送交论文的纸质版和电子版，有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅，有权将学位论文的内容编入有关数据库进行检索，有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

本学位论文属于

1、保密 ()，在 年解密后适用本授权书。

2、不保密 ()。

(请在以上相应括号内打“√”)

作者签名: 日期: 年 月 日

导师签名: 日期: 年 月 日

厦门大学博硕士学位论文摘要库

摘要

国家 863 项目“飞行控制计算机系统 FC 通信卡研制”的任务是研究设计符合 CPCI 总线标准的 FC 通信卡,本课题是这个项目的进一步引伸,用于设计 SCI 接口,以实现环上多计算机系统间的高速串行通信。

本文以此项目为背景,对基于 FPGA 的 SCI 节点进行研究与实现。论文先概述 SCI 协议和 SCI 节点模型。SCI 协议是一种可支持高性能多处理器,一致性内存共享,高度可扩展的互联标准;SCI 节点模型包含发送和接收存储器、旁路 FIFO、地址解码、多路复合和高速串行通信接口等。接着详细介绍利用 FPGA 上的资源如何在嵌入式开发工具 EDK 中实现 SCI 节点模型。利用 FPGA 上的块 RAM 实现发送和接收存储器;设计一个同步 FIFO 实现旁路 FIFO;利用 FPGA 内嵌的 RocketIO 高速串行收发器实现主机间的高速串行通信,并利用 Aurora IP 核实现了 Aurora 链路层协议;地址解码和多路复合分别被实现在控制逻辑中;最后采用 OPB-PCI 桥接核实现了 CPCI 接口逻辑。

本课题采用 SOPC 方案来实现 FPGA 逻辑设计。采用 Verilog 硬件描述语言实现旁路 FIFO;采用 VHDL 硬件描述语言来实现 Aurora 链路层模块。在 Xilinx ISE 中分别实现旁路 FIFO 和 Aurora 模块的功能及时序仿真;最后在 EDK 中实现整体设计,下载到开发板上,并利用 ChipScope Pro 虚拟逻辑分析仪对设计进行验证。

本课题设计完成的 SCI 接口在 Windows 2000 操作系统下在两台主机 A 和 B 间进行通信,两机 A->B 直接传输速率目前为 3.4MB/s;通过 FIFO 转发 A->B->A 的传输速率目前为 0.88MB/s。

文章最后分析传输性能上的原因,指出工作中的不足之处和需要进一步完善的地方。

关键字: FPGA; SCI; 高速串行通信;

厦门大学博硕士学位论文摘要库

Abstract

The national 863 project “*Development of FC board for the Flight-controlling computer system*” is to design an FC board compliant with CPCI bus standard. This subject is the further extension of the project, which is to design Scalable Coherent Interface (SCI) for high-speed serial communication among multiprocessor systems.

Under this background, the SCI-node is researched and designed in this thesis. At first, introduce the SCI protocol and SCI-node model in general. SCI is an interface standard for very high performance multiprocessor systems. It supports a coherent shared-memory model. SCI's low pin counts and simple ring topology make it cost-effective for small systems as well as for the massively parallel ones. A SCI-node includes a sending RAM, a receiving RAM, a bypass FIFO, an address decoding module, a multiplexer (MUX) and high-speed serial interface. Then introduce how to implement the SCI-node in detail in embedded development kits (EDK). It is with the block RAM to design the sending RAM and the receiving RAM. Design a synchronous FIFO to implement the bypass FIFO. It is with the RocketIO to implement the high-speed communication and with Aurora IP core to implement the Aurora link layer protocol. The address decoder and MUX are implemented in the control logic. It is with the OPB-PCI bridge to implement the CPCI .

It is with the SOPC solution to implement the FPGA logic. The FIFO is designed in Verilog, and the Aurora module is designed in VHDL. The function and timing simulation by ModelSim is done in Xilinx ISE. Then the whole design is implemented in EDK. At last the design is downloaded into the PROM in the development board, and is verified by ChiopScope Pro.

The SCI-communication is tested between computer A with a FC card and computer B with a FC card under Windows OS 2000. The result shows that the direct transfer-speed between A->B is 3.4MB/s now, and the transfer-speed among A->B->A with bypass FIFO is 0.88MB/s now.

The reason of the low transfer-speed is discussed at the end of this thesis. It also

points out the problems and the further work.

Key Words: FPGA; SCI; high-speed serial communication;

厦门大学博硕士学位论文摘要库

目录

第一章 绪论	1
1.1 概述.....	1
1.2 基于 SCI 协议的通信接口.....	1
1.2.1 项目来源及意义.....	1
1.2.2 SCI 协议产生的背景和基本内容	2
1.2.3 SCI 节点接口结构	4
1.2.4 SCI 拓扑结构	5
1.3 研究内容	5
1.4 本文的组织结构	6
第二章 设计开发基础	7
2.1 数字系统设计概述	7
2.1.1 硬件描述语言.....	7
2.1.2 IP 核.....	8
2.2 FPGA 简介.....	8
2.2.1 概述.....	9
2.2.2 FPGA 特点	11
2.2.3 FPGA 设计流程	11
2.2.4 Xilinx Virtex-II Pro FPGA 简介.....	13
2.3 Xilinx SOPC 集成开发环境 EDK.....	15
2.3.1 EDK 概述	15
2.3.2 EDK 系统描述文件	15
2.3.3 EDK 开发流程	16
2.4 通信卡硬件平台	18
第三章 SCI 接口卡的整体逻辑设计	25
3.1 SCI 接口卡整体逻辑划分.....	25
3.2 基于 PowerPC 405 处理器嵌入式系统.....	26
3.2.1 PowerPC 405 硬件系统结构与外部设备概述	26
3.2.2 系统地址分配.....	27
3.2.3 CPCI 总线逻辑设计.....	27
第四章 SCI 接口内部的 FPGA 逻辑设计	31
4.1 本课题中使用的传输帧的类型和格式	31
4.1.1 地址帧.....	31
4.1.2 文件数据帧.....	33
4.1.3 文件传输过程概述.....	33
4.2 SCI 接口的实现.....	34
4.2.1 Aurora IP 核通信模块的仿真和实现.....	34
4.2.2 旁路 FIFO 的仿真和实现.....	40
4.2.3 接收和发送存储器的实现.....	41
4.2.4 地址解码和 MUX 的实现	43
4.3 SCI 接口的工作流程.....	44
第五章 系统测试及性能分析	49

5. 1 Chipscope 验证.....	49
5. 2 系统测试及性能分析	52
5. 2. 1 板级通信组成.....	52
5. 2. 2 通信应用程序.....	52
5. 2. 3 性能分析.....	54
第六章 结束语	59
6. 1 工作总结	59
6. 2 存在问题及今后工作	59
参考文献.....	61
致谢.....	63

厦门大学博硕士论文摘要库

Table of Contents

Chapter 1 Introduction.....	1
1. 1 Overview	1
1. 2 Communication Interface Based on SCI Protocol.....	1
1. 2. 1 About.....	1
1. 2. 2 Background and Contents of SCI Protocol.....	2
1. 2. 3 SCI-node Architecture	4
1. 2. 4 SCI Topology Architecture	5
1. 3 Contents	5
1. 4 Organization.....	6
Chapter 2 Basis of Design	7
2. 1 Overview of Design of Digital System	7
2. 1. 1 HDL	7
2. 1. 2 IP Core	8
2. 2 Introduction to FPGA.....	8
2. 2. 1 Overview.....	9
2. 2. 2 FPGA Feature.....	11
2. 2. 3 FPGA Design Flow	11
2. 2. 4 Xilinx Virtex-II Pro FPGA.....	13
2. 3 Xilinx SOPC Integrated Development Kits EDK	15
2. 3. 1 EDK Overview.....	15
2. 3. 2 EDK System Description Files	15
2. 3. 3 EDK Design Flow.....	16
2. 4 Communication Card	18
Chapter 3 The Logic Design of SCI Card	25
3. 1 The Whole Logic of SCI Card	25
3. 2 Embedded System Based on PowerPC 405	26
3. 2. 1 Overview.....	26
3. 2. 2 System Address Allocation	27
3. 2. 3 CPCI Bus Design	27
Chapter 4 FPGA Logic Design of SCI-node	31
4. 1 Transfer frame.....	31
4. 1. 1 Address Frame	31
4. 1. 2 File Data Frame.....	33
4. 1. 3 Overview of File Transfer	33
4. 2 SCI-node Design.....	34
4. 2. 1 Simulation and Implement of Aurora IP Core Module.....	34
4. 2. 2 Simulation and Implement of Bypass FIFO	40
4. 2. 3 Implement of Sending and Receiving RAM.....	41
4. 2. 4 Implement of Address Decoder and MUX	43
4. 3 SCI-node Work Flow	44
Chapter 5 System Test and Performance Analysis	49

5. 1 Chipscope Verification	49
5. 2 System Test and Performace Analysis	52
5. 2. 1 Communication System Structure	52
5. 2. 2 Communication Application Program	52
5. 2. 3 Performance Analysis	54
Chapter 6 Conclusion	59
6. 1 Summary	59
6. 2 Problems and Future Work	59
References	61
Acknowledge	63

厦门大学博硕士学位论文摘要库

第一章 绪论

1. 1 概述

随着各领域对控制系统的可靠性要求不断提高, 集群式高性能互连计算机系统的应用越来越广泛。当前在系统级互连设计中, 高速通讯技术正迅速取代传统技术成为业界趋势。IEEE 标准 1596-1992 为 SCI^{[20] [21] [22]} (Scalable Coherent Interface) 技术定义了三种传输协议, 即并行 (16 位) 传输协议、电气串行传输协议和光纤串行传输协议。

SCI 又名规模可扩展的计算机连接接口技术。是一种先进的多处理机高速互联协议。SCI 的延迟更少 (理论值 1.46 微秒, 实测值 3-4 微秒), 并且其单向速度达到 10Gb / 秒, 与 InfiniBand 4X 的理论值一样。SCI 是基于环拓扑的网络系统。这将使在较大规模的节点之间通信速度更快。

在数字化、信息化的时代, 系统向着高速度、低功耗、低电压和多媒体、网络化、移动化方向发展, 其对电路的要求越来越高, 传统的单一功能的集成电路设计技术已无法满足性能日益提高的整机系统要求。可编程逻辑器件随着微电子制造工艺的发展取得了长足的进步, 今天已经发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的现场可编程逻辑器件(FPGA)。FPGA 具有许多优点, 既继承了 ASIC(专用集成电路)的大规模、高集成度、高可靠性的优点, 又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点, 逐步成为复杂数字硬件电路设计的理想首选。本设计借助 FPGA 的各种优越性逐步实现 SCI 技术。

1. 2 基于 SCI 协议的通信接口

1. 2. 1 项目来源及意义

厦门大学计算机系与清华大学智能技术与系统国家重点实验室合作的国家“863”项目“飞行控制计算机系统 FC 通信卡的研制”, 任务是为飞行控制计算机系统高速串行通信接口。其飞行控制计算机系统采用多机系统结构, 根据

工作的要求,为保障系统的可靠性工作,飞行控制计算机采用三余度容错系统,使整个系统达到一次计算机故障工作,二次故障安全的设计原则。飞行控制计算机系统单机部分确定为 CPCI 总线标准的工控机结构,计算机之间的通信信道为光纤通道。

本课题是上述 863 项目一飞控计算机通讯卡的进一步引伸,即采用 FPGA 芯片设计实现 SCI 接口,以将多台机子以一定的拓扑结构连接起来完成某些功能。

在这个大的背景下,本课题的重点在于采用 Virtex-II Pro FPGA^[7]器件作为通信卡的核心控制芯片,实现 SCI 协议的基本节点模型,包括传输包的编码和解码、地址解析、多路复用、输入输出存储块和旁路 FIFO 等模块,以及实现高速串行数据的收发,和通信卡与主机的 PCI 接口等。

另外,该芯片中配置的 300MHZ IBM Power PC 405 CPU^{[15][16]}可以极大地增强通信接口的数据处理及控制能力,构成“智能通信卡”。既能减轻主机 CPU 的通信处理负担,又能满足不同通信协议对数据链路层功能的变化需求。因而,在今后的工作中,我们将进一步设计出适合飞控系统的 SCI 协议实现方案,这是今后继续研究的重点。

1. 2. 2 SCI 协议产生的背景和基本内容

随着计算机应用领域的拓展与加深,对计算机性能的要求也越来越高。进而对系统中的信息交互提出了更高的要求。

传统的总线技术是一种共享介质,在某一时刻只能被一个发送器占用。因此,系统总带宽的上限受介质传输率的限制。由于每一时刻只能有一个发送器访问总线介质。因此每个节点所拥有的网络带宽随节点数的增加而递减,消息延时却随着节点数的增加而递增。因此总线限制了总线上节点的数目。传统的总线技术由于存在以上固有的限制已成为阻碍系统性能提高的瓶颈。

可扩展的一致性接口 SCI 的出现克服了总线技术的不足,大大改善了信息交互的效率,带宽满足了系统中和系统间的互连要求,成为先进互连技术的代表。其低延迟高带宽的特点完全可胜任各种关键应用领域,美国的 JAST 联合先进攻击计划组已把 SCI 及其实时版本 SCI/RT 作为第四代先进航电系统的首选互连技术。

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库