

学校编码: 10384

学号: 200424002

分类号_____密级_____

UDC_____

厦 门 大 学

硕 士 学 位 论 文

锁相频率合成器及其在 DTS 系统中
的应用设计与研究

Research and Design of PLL Frequency Synthesizer and Its
Application in The DTS

周书伟

指导教师姓名: 郭东辉 教授

专 业 名 称: 微电子学与固体电子学

论文提交日期: 2007 年 8 月

论文答辩时间: 2007 年 10 月

学位授予日期: 2007 年 月

答辩委员会主席: _____

评 阅 人: _____

2007 年 10 月

厦门大学博硕士学位论文摘要库

厦门大学学位论文原创性声明

兹呈交的学位论文，是本人在导师指导下独立完成的研究成果。

本人在论文写作中参考的其他个人或集体的研究成果，均在文中以明确方式标明。本人依法享有和承担由此论文产生的权利和责任。

声明人（签名）：周书伟

2007年11月22日

厦门大学博硕士学位论文摘要库

厦门大学学位论文著作权使用声明

本人完全了解厦门大学有关保留、使用学位论文的规定。厦门大学有权保留并向国家主管部门或其指定机构送交论文的纸质版和电子版，有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅，有权将学位论文的内容编入有关数据库进行检索，有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

本学位论文属于

- 1、保密（ ），在 年解密后适用本授权书。
- 2、不保密（）

（请在以上相应括号内打“√”）

作者签名：周书伟

日期：2007年11月22日

导师签名：郭东辉

日期：2007年11月22日

厦门大学博硕士学位论文摘要库

摘 要

随着微电子技术的高速发展，单片集成的数字调谐系统（DTS）就能够提供密集、高精度、高稳定度的可调频率信号，它基本上已取代了传统的机械调谐系统，广泛应用于各种音响、电视等无线电接收系统中。其中锁相频率合成器和微控制器是数字调谐系统的关键部件和主要功耗器件，因此，自主设计低功耗高性价比的锁相频率合成器及其微控制器电路对数字调谐系统的产品普及和推广具有重要的意义。

本论文的课题目标是在分析借鉴现有 DTS 芯片电路的基础上自主设计一款适用于移动终端的片上 DTS 系统芯片，工作重点在于设计低功耗高性能的锁相频率合成器。论文的内容包括分析介绍锁相环与频率合成技术原理与关键问题，根据应用需求自主设计锁相频率合成器的预置分频器、参考频率选择器和鉴相器，最后完成一个完整的可单片集成的 DTS 芯片整体电路设计。本论文工作的创新点主要体现在对锁相频率合成器的设计上，包括：

1. 采用动态触发器设计了一种新型双模式分频器电路，该电路通过选通输入频率信号或其二分频信号来实现 15/16 双模式分频，提高了分频效率。

2. 设计一种串联反馈型的可编程计数器电路，它可实现整体复位方式的周期计数，相比于一般并行可编程计数器大大节省了电路器件数。

3. 改进了传统吞脉冲计数器结构，设计了一种利用传输门来实现数据选择的反馈控制电路，通过时钟屏蔽来消除无效触发，从而降低了吞脉冲计数器的实际功耗。

此外，本论文所设计的 DTS 芯片整体电路也是有实际参考价值的，这些电路包括：1. DTS 微控制器的内部电路，如：ALU、存储器、控制器、寄存器组、控制缓存等电路；2. DTS 外围功能模块电路，如：A/D 转换器、显示驱动、蜂鸣音产生器、中频计数器、键盘输入接口、电源产生、时钟产生等电路。

关键词：数字调谐；频率合成器；片上系统

Abstract

With the rapid development of microelectronics technology, the single-chip integrated Digital Tuning System (DTS) is able to provide the adjustable frequency signal that is compact, accurate and stable. It has basically replaced the traditional mechanical tuning system, and is widely used in all kinds of radio receiver system, such as audio, video, etc. PLL(Phase Lock Loop) frequency synthesizer and micro-controller are the key components and the main power consumption devices in digital tuning system. Therefore, to design a PLL frequency synthesizer, with low power consumption and high performance-price ratio, and corresponding microcontroller independently is of great significance to popularizing and promoting the product of the digital tuning System.

The objective of this paper is to design a Digital Tuning System on chip which is fit for mobile terminals. This DTS chip bases on the analysis of the existing DTS chip circuit. The focus is the design of low-power consumption and high-performance PLL frequency synthesizer. This paper includes following: presenting the principle and key issues of PLL frequency synthesizer technology, and then according to applications designing the prescaler, the reference frequency selector and the phase detector of PLL frequency synthesizer independently, finally accomplishing the design of a complete DTS integrated circuit chip. In this paper, the major innovation embodies in the design of PLL frequency synthesizer, includes:

1. Providing a new circuit which achieves dual-mode frequency divider by using dynamic triggers, the circuit realizes 15/16 dual-mode frequency dividing through choosing the direct input signal or its dimidiate frequency signal, and increases the frequency dividing efficiency.

2. Designing a feedback programmable counter, it can achieve a new counting cycle through collectivity reset, and save substantial number of circuit components compared to the general parallel programmable counter.

3. Ameliorating the traditional pulse-swallow counter structures, designing a feedback control circuit by using of transmission gates to choose the data. It uses the clock-shielded to remove invalid clock trigger and reduces the actual power consumption of the pulse-swallow counter.

In addition, the whole circuit of DTS chip that is offered in this paper is practically valuable for reference. These circuits include: 1. microcontroller internal circuits, such as: ALU, memory, controller, group registers, control buffer, etc; 2. DTS external circuit modules, such as: A / D converters, display driver, buzzing sound generator, intermediate frequency counter, the input and output interfaces, power generator, clock generator, etc.

Key words: DTS; Frequency Synthesizer; SOC

厦门大学博硕士学位论文摘要库

目 录

第一章	绪论	1
1.1	研究意义.....	1
1.2	数字调谐系统简介	2
1.3	关键技术问题	3
1.3.1	锁相频率合成器.....	4
1.3.2	微控制器	4
1.3.3	外围功能模块	5
1.4	本论文的主要工作和章节安排	5
第二章	锁相与频率合成的基本原理	7
2.1	锁相环基本原理.....	7
2.1.1	锁相环的工作原理	7
2.1.2	锁相环的基本数学模型	8
2.1.3	锁相环的分类及其应用	13
2.2	频率合成技术	14
2.2.1	直接合成法.....	14
2.2.2	数字合成法.....	15
2.2.3	锁相合成法.....	16
2.3	频率合成器的性能指标	19
2.4	本章小结.....	20
第三章	锁相频率合成器的设计与实现	21
3.1	引言.....	21
3.2	DTS 专用锁相频率合成器总体结构	21
3.3	预置分频器的设计与仿真.....	22
3.3.1	双模式分频器的设计与仿真	22
3.3.2	可编程计数器的设计与仿真	26
3.3.3	吞脉冲计数器的设计与仿真	30
3.4	参考频率选择器的设计与仿真	32
3.5	鉴相器模块的电路设计与仿真	34

3.6	本章小结.....	38
第四章	DTS 系统微控制器的设计	39
4.1	引言	39
4.2	DTS 系统微控制器总体结构	39
4.3	ALU 的设计	40
4.4	存储器的设计	45
4.4.1	ROM	45
4.4.2	RAM.....	51
4.5	控制器的设计	53
4.5.1	数据通道选择器.....	54
4.5.2	程序计数器	55
4.5.3	微指令译码器	57
4.6	寄存器组的设计	58
4.7	PLL 控制缓存	59
4.8	本章小结.....	59
第五章	DTS 系统外围功能模块的设计	60
5.1	A/D 转换模块的设计	60
5.1.1	比较器	61
5.1.2	逐次逼近寄存器.....	62
5.1.3	D/A 转换器	63
5.2	显示驱动模块的设计.....	65
5.2.1	时序产生电路	66
5.2.2	Com 信号产生电路	69
5.2.3	段驱动电路	71
5.3	蜂鸣音产生器的设计.....	73
5.4	中频计数器的设计	74
5.5	键盘输入接口的设计.....	75
5.5.1	模拟输入接口	76
5.5.2	数字键盘扫描电路	76
5.6	电源产生电路的设计.....	77

5.6.1	稳压电路	77
5.6.2	倍压电路	79
5.7	时钟产生电路的设计	80
5.8	本章小结	81
第六章	版图设计	82
6.1	制造工艺	82
6.2	版图设计规则	83
6.3	版图设计验证	84
6.4	全定制的版图设计	84
6.5	DTS 系统的电路版图设计	85
6.5.1	版图的整体布局	85
6.5.2	触发器的版图设计	87
6.5.3	缓存器的版图设计	88
6.5.4	一位全加器的版图设计	88
6.5.5	段驱动电路的版图设计	89
6.5.6	RAM 存储单元的版图设计	90
6.6	本章小结	90
第七章	总结与展望	91
7.1	总结	91
7.2	展望	92
参考文献	93
致谢	99
附录	101

Content

Chapter 1 Introduction	1
1.1 Significance of the research	1
1.2 Brief introduction of digital tuning system	2
1.3 Key technical problems	3
1.3.1 PLL frequency synthesizer	4
1.3.2 Microcontroller	4
1.3.3 External functional module	5
1.4 The main work and chapter arrangements of the thesis	5
Chapter 2 The basic theory of PLL and frequency synthesizer	7
2.1 The basic theory of PLL	7
2.1.1 Working principle of PLL	7
2.1.2 The basic mathematical model of PLL	8
2.1.3 The classification and application of PLL	13
2.2 Frequency synthesis technology	14
2.2.1 Direct synthesis method	14
2.2.2 Digital synthesis method	15
2.2.3 PLL synthesis method	16
2.3 The performance indicator of Frequency Synthesizer	19
2.4 Section conclusion	20
Chapter 3 Design and implementation of PLL frequency synthesizer	21
3.1 Introduction	21
3.2 Configuration of the DTS's PLL frequency synthesizer	21
3.3 The design and simulation of prescaler	22
3.3.1 The design and simulation of dual-modulus divider	22
3.3.2 The design and simulation of programmable counter	26
3.3.3 The design and simulation of pulse-swallowing counter	30
3.4 The design and simulation of reference frequency selector	32
3.5 The design and simulation of phase detector	34

3.6	Section conclusion	38
Chapter 4	Design of DTS's microcontroller.....	39
4.1	Introduction	39
4.2	Configuration of the DTS's microcontroller.....	39
4.3	The design of ALU	40
4.4	Memory design.....	45
4.4.1	ROM	45
4.4.2	RAM.....	51
4.5	The design of controller	53
4.5.1	Data demultiplexer	54
4.5.2	Program counter	55
4.5.3	Microinstruction encoder	57
4.6	The design of Group registers	58
4.7	PLL control buffer	59
4.8	Section conclusion	59
Chapter 5	Design of DTS's peripheral function module.....	60
5.1	The design of A/D converter.....	60
5.1.1	Comparator	61
5.1.2	Successive approximation register	62
5.1.3	D/A converter	63
5.2	The design of display driver module.....	65
5.2.1	Sequential circuit.....	66
5.2.2	Com signal generator.....	69
5.2.3	Segment signal driver	71
5.3	The design of buzzing sound generator	73
5.4	The design of IF counter.....	74
5.5	The design of keyboard input and output interface.....	75
5.5.1	Analog input interface	76
5.5.2	Digital keyboard scanning interface	76
5.6	The design of power circuit.....	77
5.6.1	Voltage regulator.....	77
5.6.2	Voltage doubler	79
5.7	The design of clock circuit.....	80

5.8	Section conclusion	81
Chapter 6	Layout design	82
6.1	Manufacture process	82
6.2	Layout design rules.....	83
6.3	Layout design verification	84
6.4	Full custom design of laout.....	84
6.5	The design of DTS'layout	85
6.5.1	Overall arrangement of layout.....	85
6.5.2	The design of trigger's layout.....	87
6.5.3	The design of buffer's layout	88
6.5.4	The design of 1 bit adder's layout	88
6.5.5	The design of segment driver's layout	89
6.5.6	The design of RAM store unit's layout	90
6.6	Section conclusion	90
Chapter 7	Summary and outlook.....	91
7.1	Summary.....	91
7.2	Prospects.....	92
References	93
Acknowledgement	93
Appendix	93

厦门大学博硕士学位论文摘要库

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库