

学校编码: 10384

分类号\_\_\_\_\_密级\_\_\_\_\_

学号: 19820081153005

UDC\_\_\_\_\_

厦 门 大 学

硕 士 学 位 论 文

高质量 Si 基 Ge 材料外延生长及其  
MOS 结构界面特性研究

Epitaxial growth of high quality Si-based Ge materials and  
interface properties of Ge MOS structures

郑 元 宇

指导教师姓名: 李 成 教 授

专 业 名 称: 凝 聚 态 物 理

论文提交日期: 2011 年 5 月

论文答辩日期: 2011 年 6 月

学位授予日期: 2011 年 月

答辩委员会主席: \_\_\_\_\_

评 阅 人: \_\_\_\_\_

2011 年 6 月

## 厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下，独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果，均在文中以适当方式明确标明，并符合法律规范和《厦门大学研究生学术活动规范（试行）》。

另外，该学位论文为（）课题（组）的研究成果，获得（）课题（组）经费或实验室的资助，在（）实验室完成。（请在以上括号内填写课题或课题组负责人或实验室名称，未有此项声明内容的，可以不作特别声明。）

声明人（签名）：

年 月 日

## 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

- (        ) 1. 经厦门大学保密委员会审查核定的保密学位论文，  
于     年    月    日解密，解密后适用上述授权。
- (        ) 2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年    月    日

厦门大学博硕士学位论文摘要库

## 摘 要

Si 基 Ge 材料具有较高的载流子迁移率，并且与传统硅工艺相兼容，是未来制备先进 CMOS 器件和 Si 基光电子器件的理想材料之一。然而，由于 Si 与 Ge 之间晶格失配度大，在 Si 衬底上外延生长高质量的 Ge 材料仍然是一个重大的挑战。在 Ge MOS 器件的制备过程中，栅介质/Ge 界面处极易形成锗氧化物( $\text{GeO}_x$ )，引入较高的界面态，使器件性能退化。因此，研究高质量 Si 基 Ge 材料外延生长和控制栅介质/Ge 界面态技术对制备高性能 Si 基 Ge MOS 器件具有重要的意义。

本论文首先采用 UHV/CVD 系统，在 Si 衬底上外延生长出高质量的 Ge 材料，研究了降低 Ge 外延层位错密度的方法及机理；在此基础上，利用热氧化 Si 盖帽层制备出具有不同物理界面的 Si 基 Ge MOS 结构，研究了氧化物/Ge 的界面物理改性对其电学特性的影响，主要研究内容如下：

1、提出采用低温相干 Ge 岛缓冲层，结合 SiGe/Ge 多量子阱插层技术在 Si 衬底上外延生长高质量 Ge 材料的方法。研究低温 Ge 缓冲层和 SiGe/Ge 多量子阱在降低 Ge 材料位错密度和提高表面平整性等方面的作用机理。制备的 Si 基 Ge 外延层（880nm）的位错密度低至  $1.49 \times 10^6 \text{cm}^{-2}$ ，表面粗糙度 RMS 仅为 0.45nm。此外，还研究了高温退火对 Si 基 Ge 材料光学性质及位错密度的影响。

2、研究了 Si 基 Ge 材料的原位掺杂技术。以  $\text{B}_2\text{H}_6$  和  $\text{PH}_3$  为源气体，探索了掺杂源气体流量对 Ge 生长速率、样品表面形貌及掺杂浓度的影响。结果表明掺杂时 Ge 的生长速率变小，样品表面粗糙度略有增加，掺杂浓度随源气体流量近线性增加。

3、研究了氧化物/Ge 的界面物理改性对其电学特性的影响机理。在高质量的 Si 基 Ge 材料上生长约 2.0nm 的 Si 盖帽层，通过改变热氧化 Si 盖帽层温度和时间，制备出具有不同物理界面的 Si 基 Ge MOS 结构，研究了氧化物界面物理性质及相应的电学特性。结果表明界面处  $\text{GeO}_x$  的存在会引入氧化物陷阱电荷和界面陷阱电荷，引起较大的 C-V 回线差和高界面态。在氧化物/Ge 界面处保留一薄层 Si，可以有效减小  $\text{GeO}_x$  对界面特性的影响。当 Si 薄层厚度约为 7ML 时，可获得相对较理想的 C-V 特性和较低的界面态密度。

关键词：低温 Ge 缓冲层；SiGe/Ge 多量子阱；原位掺杂；Si 基 Ge MOS 结构；  
氧化物/Ge 界面

厦门大学博硕士学位论文摘要库

## Abstract

Due to the high carrier mobilities and the compatibility with silicon microelectronics technology, Si-based Ge is considered to be one of the promising materials for advanced CMOS devices and Si-based optoelectronic devices in the future. However, epitaxial growth of high-quality Ge films on Si substrates is still a challenge because of the large lattice mismatch between them. During the fabrication of Ge MOS devices, Ge suboxide ( $\text{GeO}_x$ ) is easily formed at the Ge/dielectric interface, which may increase the interface states density and degrade the device performance. Therefore, high-quality epitaxy of Si-based Ge films and significant reduction of the interface states at the Ge/dielectric interface are the key issues in high-performance Si-based Ge devices fabrication.

In this thesis, high-quality Si-based Ge materials are epitaxially grown in UHV/CVD system. Several Methods are studied to reduce the dislocation density in the epitaxial Ge layer. Ge MOS structures were fabricated by thermal oxidation of the Si cap layer. The influence of the interfacial properties on the the electrical characteristics of the MOS structures was studied. The details are as following:

- 1、 High-quality epitaxial Si-based Ge materials were grown with a low temperature self-patterned Ge coalescence islands template and SiGe/Ge multiple quantum well (MQW) techniques. The role of low temperature Ge buffer and SiGe/Ge MQW in reducing dislocation density and flattening the surface are systematically studied. By these two techniques, the dislocation density was found greatly reduced. For a 880nm thick Si-based Ge epitaxial layer, the threading dislocation density was measured to be around  $1.49 \times 10^6 \text{cm}^{-2}$  and the root-mean-square (RMS) surface roughness is about 0.45nm. The impacts of thermal annealing on the optical properties and the threading dislocation density of the Ge materials are also investigated.

- 2、 In situ doping of the Si-based Ge films were studied.  $\text{B}_2\text{H}_6(0.5\%)$  and  $\text{PH}_3(0.5\%)$  diluted with hydrogen were used as the p-type and n-type dopant source gases. Dependence of the growth rate, surface morphology and doping concentration on the

flow rates of the source gases was explored. The doping concentration is found linearly increased with the increasing flow rate of the source gases. Furthermore, doping process may reduce the Ge growth rate, and increase the surface roughness of the Ge epilayer.

3、 To investigate the effect of the physical properties of the oxide/Ge interface on its electrical properties, a 2.0-nm-thick Si cap layer was deposited on the grown Si-based Ge materials and then thermal oxidized under various conditions to fabricate Ge MOS structures. The capacitance-voltage (C-V) results show that  $\text{GeO}_x$  at the interface may generate a high density of interfacial charge traps, and is responsible for the large hysteresis of the C-V curves. However, if some residual Si remains at the Ge/oxide interface, the detrimental effect of the  $\text{GeO}_x$  on the interfacial electrical properties can be effectively reduced. Ideal C-V curves and low interface states densities were obtained when the thickness of the remaining Si layer is about 7ML.

Key words: low temperature Ge buffer; SiGe/Ge MQW; *in situ* doping; Si-based Ge MOS structure; oxide/Ge interface



# 目 录

第一章 绪论	1
1.1 研究背景和意义	1
1.2 Si 基 Ge 材料外延生长方法及研究进展	2
1.3 Si 基 Ge MOS 器件发展现状	6
1.4 本论文主要工作	8
参考文献	9
第二章 Si 基 Ge 材料外延生长系统及表征方法	15
2.1 超高真空化学气相沉积 (UHV/CVD) 系统	15
2.2 Si 基 Ge 材料表征方法	17
参考文献	23
第三章 Si 基 Ge 材料外延生长及原位掺杂	24
3.1 高质量 Si 基 Ge 材料的制备	24
3.1.1 低温相干 Ge 岛缓冲层	24
3.1.2 SiGe/Ge MQW 插层改善 Si 基 Ge 材料质量	30
3.1.3 退火对 Si 基 Ge 材料质量的影响	34
3.2 Si 基 Ge 材料原位掺杂	40
3.3 本章小结	43
参考文献	45
第四章 Si 基 Ge MOS 结构界面特性研究	47
4.1 Si 基 Ge MOS 结构样品的制备	47
4.2 氧化物/Ge 界面物理改性对其电学特性的影响	50
4.3 本章小结	59
参考文献	61
第五章 总结与展望	63
附录 硕士期间科研成果	65

厦门大学博硕士学位论文摘要库

# Contents

<b>Chapter 1 Introduction</b> .....	<b>1</b>
1.1 Background and motivation .....	1
1.2 Epitaxial growth methods of Si-based Ge materials.....	2
1.3 Progress of Si-based Ge MOS devices.....	6
1.4 Thesis objective and organization.....	8
References.....	9
<b>Chapter 2 UHV/CVD system and characterization of Si-based Ge materials</b> .....	<b>15</b>
2.1 Ultra-high vacuum chemical vapor deposition (UHV/CVD) system.....	15
2.2 Characterization of Si-based Ge materials .....	17
References.....	23
<b>Chapter 3 Epitaxial growth and <i>in situ</i> doping of Si-based Ge materials</b> .....	<b>24</b>
3.1 Epitaxial growth of Si-based Ge materials.....	24
3.1.1 Low temperature self-patterned Ge coalescence islands template.....	24
3.1.2 SiGe/Ge MQW to improve quality of Si-based Ge materials.....	30
3.1.3 Thermal annealing effect on properties of Si-based Ge materials.....	34
3.2 <i>In situ</i> boron and phosphorus doped Si-based Ge materials.....	40
3.3 Conclusions.....	43
References.....	45
<b>Chapter 4 Interface properties of Si based Ge MOS structures</b> .....	<b>47</b>
4.1 Preparation of Si based Ge MOS structures .....	47
4.2 Silicon passivation on oxide/Ge interface and its impact on C-V characteristics.....	50

<b>4.3 Conclusions</b> .....	<b>59</b>
<b>References</b> .....	<b>61</b>
<b>Chapter 5 Summary and future work</b> .....	<b>63</b>
<b>Appendix—List of Publication</b> .....	<b>65</b>
<b>Acknowledgements</b> .....	<b>66</b>

厦门大学博硕士论文摘要库

## 第一章 绪论

### 1.1 研究背景和意义

硅 (Si) 是微电子领域最重要的半导体材料之一, 经过五十多年的发展, Si 微电子技术已经成为 20 世纪最引人注目的高新技术之一, 对人类社会的发展发挥了重要的作用。Si 微电子在电子和信息领域的主导地位, 可以归因于: Si 是地球上含量最丰富的半导体元素, 价格低廉; Si 可以被提炼到非常高的纯度, 并能得到近乎完美的晶体结构; Si 具有好的机械性能和导热性能, 并且表面可形成稳定的  $\text{SiO}_2$  绝缘层。

一直以来, 微电子器件性能的不断f提高依赖于按比例不断减小器件的尺寸, 目前以 32nm 为特征线宽的深亚微米集成电路工艺已经进入了工业化阶段。随着集成电路特征尺寸进入纳米尺度, 电路性能将受到其物理极限的限制。未雨绸缪, 开发与 Si 工艺兼容的新材料、新技术以延续“摩尔定律”具有重要的科学意义和应用价值。

锗 (Ge) 和硅 (Si) 同属于 IV 族半导体材料, Ge 的电子和空穴迁移率分别是 Si 的 2 倍和 4 倍, Ge 的禁带宽度比 Si 小, 室温下约为 0.67eV, 在等比例降低电源电压、降低功耗方面具有更大的潜力; 更重要的是, Ge 器件工艺与标准 Si 工艺兼容, 使 Ge 材料成为未来制备高性能 MOS 器件的重要备选材料之一<sup>[1,2]</sup>。此外, Ge 比 Si 具有更好的光电性质, 如在 1.3-1.5 $\mu\text{m}$  通信波段具有高的吸收系数, 可以用于制作红外探测器<sup>[3-5]</sup>; 由于 Ge 的直接带底与间接带底相差很小, 仅约 136meV, 是准直接带隙材料, 基于能带改性工程有望成为发光器件的增益介质<sup>[6-9]</sup>; Ge 与 GaAs 的晶格失配度仅 0.07%, 因此 Ge 也可以作为 Si 衬底上外延生长 III-V 族半导体材料的过渡层<sup>[10,11]</sup>。然而, Ge 元素在地壳中含量非常少, 价格昂贵, 所以直接使用 Ge 衬底不合适。Si 基外延 Ge 材料不仅和 Ge 具有同样的性质, 而且满足 Si 集成需要, 因此, Si 基 Ge 材料生长及其微电子和光电子器件的研制引起人们浓厚的兴趣。

在 Si 衬底上外延生长高质量的 Ge 材料是制备高性能器件的前提条件。然而,

在 Si 衬底上外延生长 Ge 材料的最大挑战是 Si 和 Ge 之间较大的晶格失配度，容易引起高表面粗糙度和高位错密度<sup>[12,13]</sup>。粗糙的表面将增加器件制作的工艺难度；高位错密度将增加器件漏电流，降低器件的性能。因此，降低表面粗糙度和减少位错密度成为外延生长高质量 Si 基 Ge 材料的关键。

在 Ge MOS 器件的制备过程中，高 K 栅介质与 Ge 界面处极易形成锗氧化物 ( $\text{GeO}_x$ )，由于  $\text{GeO}_x$  介电常数低，热稳定性差、易潮解以及高的 Ge/ $\text{GeO}_x$  界面态密度等固有问题，恶化界面特性，引起器件性能的严重退化<sup>[14,15]</sup>，需要采用各种技术如表面氮化、薄层 Si 等以钝化栅介质与 Ge 界面。不论采用何种方法淀积何种栅介质，Ge 的界面总伴随着产生  $\text{GeO}_x$  等中间层，对 Ge MOS 器件电学特性产生影响。因此，研究氧化物/Ge 的界面特性，降低界面态密度，对制备高质量 Si 基 Ge MOS 器件具有重要意义。

## 1.2 Si 基 Ge 材料外延生长方法及研究进展

Si 和 Ge 同属金刚石结构材料，室温下的晶格常数分别为 0.357nm 和 0.357nm，晶格失配度高达 4.18%，且会随温度的增加继续增大<sup>[16,17]</sup>。此外，由于 Si 和 Ge 之间热失配的存在，在 Si 衬底上外延生长高质量的 Ge 材料，仍然是一个重大的挑战。从上个世纪八十年代起，人们就开始研究 Si 基 Ge 材料的生长机理及方法，并提出了 Ge 组分变化缓冲层<sup>[18-22]</sup>、选区外延<sup>[23-26]</sup>、表面活性剂辅助<sup>[19,27,28]</sup>和低温 Ge 缓冲层<sup>[29,36,37]</sup>等各种外延生长方法。

### 1、Ge 组分变化缓冲层法

Ge 组分变化缓冲层法包括组分渐变增加和组分阶梯增加两种。组分渐变增加是通过逐渐增加 SiGe 缓冲层里 Ge 的组分，直至达到纯 Ge，然后生长所需要厚度的 Ge 层。随着生长的进行，外延层的厚度增加，积累的应变能通过产生失配位错而逐步释放，位错分布在整个 SiGe 缓冲层内，如图 1-1 (a) 所示<sup>[20]</sup>，各界面处的位错密度降低，位错的钉扎几率减小，利于已有位错半环的扩展运动，抑制了新的位错产生，降低了位错密度。Currie 等<sup>[18]</sup>采用 UHV/CVD，用组分渐变缓冲层和化学机械抛光 (CMP) 技术并二次外延获得 Ge 层位错密度为  $2.1 \times 10^6 \text{cm}^{-2}$ ，表面粗糙度为 24.2nm。Liu 等<sup>[19]</sup>采用 MBE，用组分渐变缓冲层和 Sb

表面活性剂法，获得 Ge 的位错密度降低至  $5.4 \times 10^5 \text{cm}^{-2}$ ，表面粗糙度为 3.5nm。Thomas 等<sup>[20]</sup>采用低能等离子化学气相沉积 (LEPECVD) 设备，用 10 $\mu\text{m}$  的 SiGe 渐变缓冲层(变化率为 10%/ $\mu\text{m}$ )，获得 Ge 层位错密度进一步降低至  $1.1 \times 10^5 \text{cm}^{-2}$ ，表面粗糙度为 3.2nm。采用 Ge 组分变化缓冲层方法，Ge 组分的变化率一般控制在 10%/ $\mu\text{m}$ ，因此 SiGe 缓冲层的厚度通常需要达到 10 $\mu\text{m}$  以上，厚度比较大，生长周期过长，材料导热性变差，不利于器件的集成化。

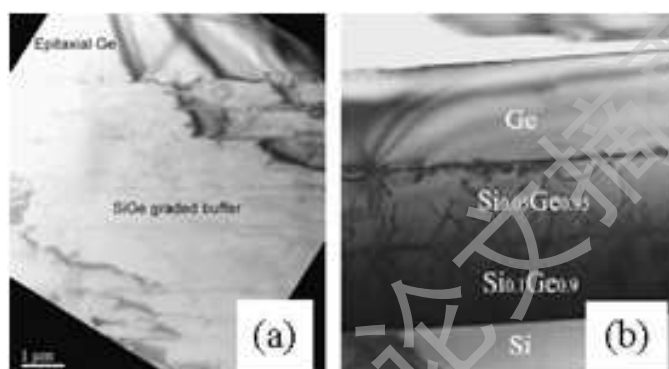


图 1-1 Ge 组分变化缓冲层法生长 Ge 的 TEM 截面图

(a) 组分线性增加<sup>[20]</sup> (b) 双层 SiGe 缓冲层<sup>[21]</sup>

组分阶梯增加方法是指 SiGe 缓冲层里 Ge 的组分呈阶梯状增加，在保证晶体质量的情况下，大大降低缓冲层的厚度。Luo 等<sup>[21]</sup>采用 UHV/CVD，提出了组份跳变的双层 SiGe 缓冲层法生长 Ge 材料，通过界面应力限制位错的传播和原位退火湮灭位错，1.0 $\mu\text{m}$  厚的 Ge 外延层位错密度为  $3.0 \times 10^6 \text{cm}^{-2}$ ，表面粗糙度为 3.2 nm，两层 SiGe 的总厚度只有 1.6 $\mu\text{m}$ ，位错分布如图 1-1(b)所示<sup>[21]</sup>。Huang 等<sup>[22]</sup>也使用了两层 SiGe 缓冲层，缓冲层的总厚度降低至 0.5 $\mu\text{m}$ ，在生长完两层 SiGe 后，利用退火和低温 Ge 层方法，外延出 1.7 $\mu\text{m}$  厚的 Ge 层晶体质量很好，位错密度为  $7.0 \times 10^6 \text{cm}^{-2}$ 。虽然采用这种方法外延生长出 Ge 材料的位错密度较低，但表面粗糙度仍然很高（大于 2.0nm）。

## 2、选区外延法

选区外延法是指首先在衬底上通过光刻、刻蚀形成图形结构（图形衬底），然后再进行选择性的外延生长。选区外延极大的降低了外延层中的位错密度，其

作用原理如图1-2 (a) 所示<sup>[26]</sup>，界面处的失配位错沿[110]方向，线位错在 (111) 面内运动，位错Burgers矢量与Si (100) 面的夹角为45°，当图形刻槽的深度大于其宽度时，位错将会被侧壁 (SiO<sub>2</sub>) 阻止并湮灭，从而降低上外延层的位错密度<sup>[23]</sup>。Luan等<sup>[24]</sup> 采用UHV/CVD，在SiO<sub>2</sub>/Si图形衬底上选区生长，并通过循环退火，生长出Ge的位错密度低至 $2.3 \times 10^6 \text{cm}^{-2}$ 。Langdo等<sup>[23]</sup>和Li等<sup>[25]</sup>分别采用UHV/CVD和MBE，在SiO<sub>2</sub>/Si形成的深坑中生长高质量Ge材料，TEM测试发现Ge层中只存在一定量的堆垛层错和孪晶界，没有线位错。Park等<sup>[26]</sup>对SiO<sub>2</sub>沟槽中生长的Ge材料进行观测发现，大部份线位错被SiO<sub>2</sub>侧壁阻止，上部份Ge层中位错很少，甚至没有线位错，如图1-2 (b) 所示<sup>[26]</sup>。采用选区外延法方法可以得到较高质量的Ge材料，因此被人们广泛的运用于Si基Ge材料的外延生长。

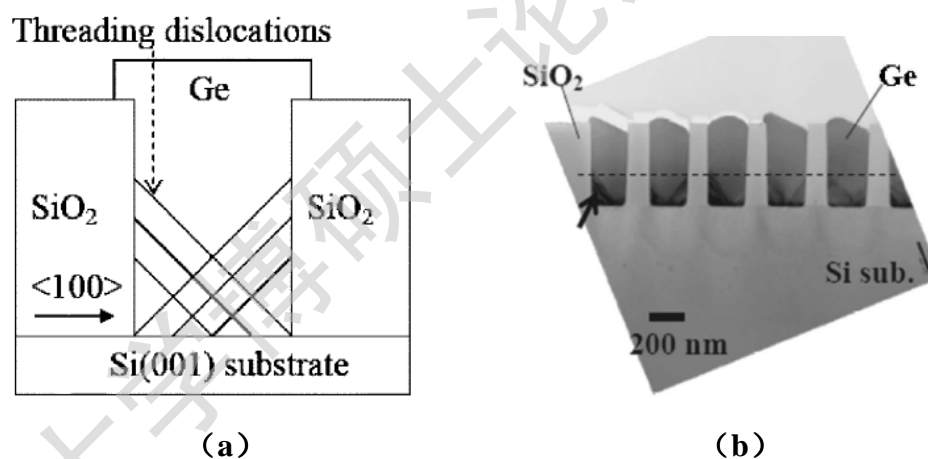


图 1-2 (a) 图形衬底阻止位错传输原理图<sup>[26]</sup>

(b) 图形衬底上 Ge 外延层位错分布 TEM 截面图<sup>[26]</sup>

### 3、表面活性剂辅助法

表面活性剂辅助生长是指先在表面上生长一个单原子层的活性剂，如 Sb，在随后的生长过程中，以小流量活性剂来继续维持，辅助生长。表面活性剂不仅可以抑制岛的形成，而且可以控制缺陷的结构，生长最初阶段由于应力弛豫形成穿透位错，在随后的生长过程中会自行湮灭或滑移到界面处，在界面处形成位错网，因此可以生长出位错密度小的良好的外延层结构<sup>[27]</sup>。

Wietler 等<sup>[28]</sup>采用 MBE，先在 Si 衬底上生长一原子层的 Sb，然后在 670°C



Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.

厦门大学博硕士学位论文摘要库