

学校编码: 10384

密级\_\_\_\_\_

学号: 19820071152313

# 厦门大学

## 硕士学位论文

### 一种用于 SerDes 收发器接口的电荷泵锁相环设计

### DESIGN OF A CHARGE-PUMP PHASE-LOCKED LOOP USED FOR SERDES TRANSRECEIVER

王亮

指导教师姓名: 李开航 副教授

专业名称: 微电子与固体电子学

论文提交日期: 2010年5月

论文答辩日期: 2010年6月

2010年5月

## 厦门大学学位论文 原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为( )课题(组)的研究成果,获得( )课题(组)经费或实验室的资助,在( )实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

## 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，于 年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

## 摘要

近年来由于计算机处理速度和网路的快速发展,电子工业界兴起了一股向数据传输和高速串行数据通信研究的热潮。传统并行接口技术已无法满足数据传输速率的进一步提高,过去主要用于光纤通信的串行通信技术—SerDes 正逐步取代传统并行总线而成为高速接口技术的主流。

SerDes 是一种时分多路复用(TMD)、点对点的通信技术,即在发送端多路低速并行信号被转换为高速串行信号,经过传输线,最后在接收端高速串行信号重新转换成低速并行信号。这种串行技术充分利用传输媒体的信道容量,减少所需的传输信道和器件引脚数,从而大大降低了通信成本。本论文实现了一款用于 SerDes 接口发送端和接收端的电荷泵锁相环,将 25MHz 到 80MHz 的输入信号二倍频后产生 18 个同频率的相位时钟,做为数据由并行转串行的时钟脉冲信号。

文章首先从理论上分析锁相环各个模块的工作原理,进而分析各种鉴相器、电荷泵、环路滤波器、压控振荡器、除频器的结构和性能。通过对比不同结构的优缺点,根据实际需要选取最优模块组合,确定了整个系统的架构。电路设计方面,努力通过优化电路结构,以避免鉴频鉴相器陷入死区,并达到提高电路工作频率的目的。研究时钟馈通、电荷注入和电流匹配等非线性因素对电荷泵的影响,提出了一个双通道电荷泵结构,从而实现了很好的动态匹配。采用自偏置锁相环技术和多频带技术相结合,以完成自动调整环路带宽,降低输出噪声、加快捕获速度。另外,所有偏置点都由压控振荡器的控制电压决定,无需外加带隙基准源。采用九级差分结构的环形振荡器,输出 18 个同频率的相位时钟,满足 SerDes 高速串行数据输出。并且设计了一个简单的电平转换结构,将 VCO 输出信号扩大到全摆幅,且确保一个宽频带范围内 50% 的占空比。分频器采用 D 触发器结构,以满足高速要求。最后给出整块电路的版图,并提出版图上的一些指导性意见。

本设计采用 SMIC 0.18um 混合逻辑 1P6M 1.8V/3.3V CMOS 工艺。整体电路采用高精度数模混合仿真工具进行前仿真和后仿真,仿真结果显示,电路能满足 SerDes 收发器芯片对锁相环时钟电路的要求。

**关键词:** 电荷泵锁相环 SerDes 双通道电荷泵 自偏置 多频带 多相位

## Abstract

Under the development of the network and computer operator speed in recent years, a trend of data transmission and study at high-speed serial communication is growing. The conventional parallel bus interface technology is unable to meet the increasing speed of data transmission. Serial link interface used in optical fiber communication in the past ---SerDes is replacing gradually the conventional parallel bus interface and becoming the mainstream in high-speed interface technology.

SerDes is a kind of TMD and point-to-point communication technology. First its multi-channels low speed parallel signals was converted into high-speed serial signals in the transmitter, though the transmission line, at last the high-speed serial signals was converted multi-channels low speed parallel signals in the receiver. This technology can utilize channel capacity of transmission line as soon as possible and reduce the number of channels, pins and costs. The thesis is implemented a CPPLL for the transmitter and receiver of SerDes. It can multiply the frequency of input signals ranging from 25MHz to 80MHz with 2 and generates eighteen phase clock of the same frequency. The output signals were used as the trigger pulse when serial data turn into parallel data.

Firstly, the thesis analyses all the models of PLL in principle, the it analyses the construction and function of every kind of phase detector, electric charge pump, low pass filter, voltage controlled oscillator and frequency divider. Contrasting with the merit and shortcoming of different structure, we choose the best models combination according to the demand. In aspect of circuit implementation, various structures of phase frequency detector are discussed, and in order to overcome dead zone of phase frequency detector and improve operating frequency of circuit, circuit architectures are optimized. To study effect of the non-ideal factors of charge pump such as clock feed-through, charge injection and current matching, a dual-path charge pump is proposed to achieve perfect current matching. Combine self-biasing PLL technology

and Multi-frequency band technology can automatically switch the loop bandwidth, reduce the phase noise and improve the capture time. Another, all biasing voltage points in the circuit are decided by the control voltage of the VCO, and do not need any bandgap circuit. Using nine stages differential structure of loop oscillators generate eighteen phase clocks of the same frequency to meet the demands of output high-speed serial data transmission. At the same time, a simple level shifter structure is designed to amplify the VCO output signal to the full voltage swing and guarantee 50% duty cycle for a wide range of frequency. In order to reach high-speed, the D flip-flop is used in the frequency divider. At last the layout of whole PLL circuit is presented, and also there are some advices on the layout.

The design is fabricated in SMIC 0.18um 1P6M 1.8V/3.3V Mixed-Logic CMOS technology. Front-and post-simulation of the whole circuit use high-precision mixed signal simulation tools. The result shows that the circuit can satisfy the requirement for the clock frequency of SerDes transceiver chip.

**Keywords:** CP-PLL; SerDes; Dual-Path Charge-Pump; Self-biasing; Multi-Frequency Band; Multi-Phase

## 目 录

摘 要.....	I
Abstract.....	II
第一章 引言 .....	1
1.1 SerDes简介 .....	1
1.2 课题意义及本人工作 .....	5
1.3 论文的组织结构 .....	6
参 考 文 献 .....	7
第二章 锁相环基本概念 .....	9
2.1 锁相环基本原理 .....	9
2.2 鉴频/鉴相器 (PFD) .....	10
2.3 电荷泵 (CHP) .....	12
2.4 环路滤波器 (LPF) .....	14
2.5 压控振荡器 (VCO) .....	16
2.6 分频器 (FD) .....	19
参 考 文 献 .....	20
第三章 相位噪声的分析 .....	22
3.1 基本的噪声理论 .....	22
3.2 锁相环系统相位噪声理论 .....	23
3.3 相位噪声和时钟抖动概念 .....	25
3.3.1 相位噪声 .....	25
3.3.2 时钟抖动 .....	26
3.4 VCO相位噪声及模型 .....	28
参 考 文 献 .....	31

<b>第四章 自偏置锁相环技术与多频带技术</b> .....	<b>32</b>
<b>4.1 自偏置锁相环技术</b> .....	<b>32</b>
4.1.1 系统理论与频率响应 .....	32
4.1.2 带宽跟踪与捕捉特性 .....	35
4.1.3 反馈零点和反馈偏置 .....	36
<b>4.2 多频带技术</b> .....	<b>36</b>
4.2.1 基本原理 .....	37
4.2.2 多频带VCO举例 .....	37
<b>参 考 文 献</b> .....	<b>40</b>
<b>第五章 电荷泵锁相环的电路设计 (CPPLL)</b> .....	<b>42</b>
<b>5.1 鉴频/鉴相器的设计</b> .....	<b>43</b>
<b>5.2 电荷泵与低通滤波器的设计</b> .....	<b>48</b>
5.2.1 双通道电荷泵设计 .....	48
5.2.2 自偏置电路设计 .....	50
5.2.3 预充电电路设计 .....	52
5.2.4 启动复位电路设计 .....	53
<b>5.3 压控振荡器的设计</b> .....	<b>54</b>
5.3.1 多频带VCO的设计 .....	55
5.3.2 电平转移电路设计 .....	59
<b>5.4 分频器的设计</b> .....	<b>61</b>
<b>参 考 文 献</b> .....	<b>63</b>
<b>第六章 版图设计</b> .....	<b>64</b>
6.1 模拟版图布局考虑因素 .....	64
6.2 版图设计基本准则 .....	65
6.3 电荷泵锁相环电路版图布局 .....	66
<b>参 考 文 献</b> .....	<b>68</b>
<b>第七章 仿真结果</b> .....	<b>69</b>



7.1 前仿真 .....	69
7.2 后仿真 .....	71
参 考 文 献 .....	75
总结与展望 .....	76
攻读学位期间发表学术论文 .....	78
致 谢.....	79

厦门大学博硕士学位论文摘要库

## Table of Contents

<b>Abstract in Chinese</b> .....	<b>I</b>
<b>Abstract in English</b> .....	<b>II</b>
<b>Chapter 1 Introduction</b> .....	<b>1</b>
1.1 SerDes Introduction .....	1
1.2 Motivation and Works .....	5
1.3 Organizations.....	6
<b>References</b> .....	<b>7</b>
<b>Chapter 2 The Concept of Phase-Locked Loop</b> .....	<b>9</b>
2.1 PLL Background Theory .....	9
2.2 Phase Frequency Detector (PFD) .....	10
2.3 Charge Pump (CHP) .....	12
2.4 Low Pass Filter (LPF) .....	14
2.5 Voltage-Controlled Oscillator (VCO) .....	16
2.6 Frequency Divider (FD) .....	19
<b>References</b> .....	<b>20</b>
<b>Chapter 3 Phase Noise Analysis</b> .....	<b>22</b>
3.1 Basic Noise background Theory.....	22
3.2 System Phase Noise Theory of PLL .....	23
3.3 The Concept of Phase Noise and Clock Jitter.....	25
3.3.1 Phase Noise .....	25
3.3.2 Clock Jitter .....	26
3.4 Phase Noise and Models of VCO.....	28
<b>References</b> .....	<b>31</b>

<b>Chapter 4 Self-biasing PLL Technology and Multi-Frequency Band Technology .....</b>	<b>32</b>
<b>4.1 Self-biasing PLL Technology .....</b>	<b>32</b>
4.1.1 System Theory and Frequency Response .....	32
3.1.2 Bandwidth Tracking and Characteristic of Capture.....	35
4.1.3 Feedback Zero and Feedback Biasing .....	36
<b>4.2 Multi-Frequency Band Technology.....</b>	<b>36</b>
4.2.1 Basic Theory .....	37
3.2.2 Examples of Multi-Frequency Band VCO .....	37
<b>References .....</b>	<b>40</b>
<b>Chapter 5 Design of Charge-Pump Phase-Locked Loop .....</b>	<b>42</b>
<b>5.1 Design of Phase Frequency Detector .....</b>	<b>43</b>
<b>5.2 Design of Charge-Pump and Low Pass Filter .....</b>	<b>48</b>
5.2.1 Design of Dual-path Charge-Pump.....	48
5.2.2 Design of Self-biasing Circuit .....	50
5.2.3 Design of Precharge Circuit.....	52
5.2.4 Design of Start and Reset Circuit.....	53
<b>5.3 Design of Voltage-Controlled Oscillator .....</b>	<b>54</b>
5.3.1 Design of Multi-Frequency Band VCO .....	55
5.3.2 Design of Level-Shift Circuit.....	59
<b>5.4 Design of Frequency Divider .....</b>	<b>61</b>
<b>References .....</b>	<b>63</b>
<b>Chapter 6 Design of Layout .....</b>	<b>64</b>
<b>6.1 Analog Layout Considerations .....</b>	<b>64</b>
<b>6.2 The Basic Layout Guidelines .....</b>	<b>65</b>
<b>6.3 Charge-Pump PLL Layout .....</b>	<b>66</b>
<b>References .....</b>	<b>68</b>

<b>Chapter 7 The Results of Simulation .....</b>	<b>69</b>
<b>7.1 Front Simulation.....</b>	<b>69</b>
<b>7.2 Post Simulation .....</b>	<b>71</b>
<b>References .....</b>	<b>75</b>
<b>Conclusions and Future Perspectives .....</b>	<b>76</b>
<b>Published Papers.....</b>	<b>78</b>
<b>Acknowledgement.....</b>	<b>79</b>

厦门大学博硕士学位论文摘要库

## 第一章 引言

锁相环（PLL）是一个能够检测和稳定输入信号和频率的反馈回路自动控制系统，是大多数数模混合集成电路和片上系统（SOC）不可或缺的基本元件，在集成电路系统中已成为一热门且重要的电路<sup>[1][2]</sup>。国内外对锁相环的研究已有相当历史，早在上世纪 30 年代，无线电信号的同步检波理论就发表了对锁相环的描述。上世纪 40 年代，锁相环首次应用在电视接收机中做水平和垂直的同步扫描，由于当时锁相环各部件的制造费用相当昂贵，所以它的发展受到限制，只有在航天领域和高精度的通信、测量设备中才用到。到了上世纪 70 年代，锁相环已经成为现代通讯，电子技术领域中不可缺少的重要控制技术。上世纪 80 年代以后，随着数字锁相、集成锁相以及频率合成技术的出现，锁相环电路很快在电子学和通信领域中获得广泛应用，大大推动了数字通讯、卫星通讯的发展。至今，全世界的大量电子器件内部都有锁相环，无数的应用中也都有锁相环。在高频电路的设计中，锁相环电路已经被广泛使用来解决时钟分布网路传输延时所造成的外部时钟与芯片内部时钟信号不同问题，并且能够有效地抑制时钟扭曲，同时为整个系统提供不同频率、不同性能指标的时钟，使芯片系统内部各个电路均能正常工作<sup>[3][4][5][6]</sup>。

### 1.1 SerDes 简介

随着对信息流量需求的不断增长，传统的并行接口技术成为进一步提高数据传输速率的瓶颈。过去要用于光纤通信的串行通信技术—SerDes 正逐渐取代传统并行总线而成为高速接口技术的主流。SerDes 是英文 Serializer（串行器）/Deserializer(解串器)的简称，它是一种时分多路复用（TDM）、点对点的通信技术，即在发送端多路低速并行信号被转换成高速串行信号，经过传输线，最后在接收端高速串行信号重新被转换成低速并行信号。常见的有线传送收发器包括三个主要部分：发送端（Transmitter, TX）、传输线通道（Channel）以及接收端（Receiver, RX）。如图 1.1 所示，发送端接收到 N 位并行数据之后，经过内部

时钟和数字逻辑电路的并串转换，然后通过低压差分传输信号（LVDS）的方式来将串行数据输出，串行数据经过差分通道后到达接收端，接收端将接收到的低压差分信号进行转换，经过时钟恢复和内部数字逻辑电路的串并转换，最后输出N位并行数据。这种点对点的串行通信技术有效利用传输通道的信道容量，增加操作的频宽，从而减少了所需的数据传输通道数，达到了降低高速通信的成本。

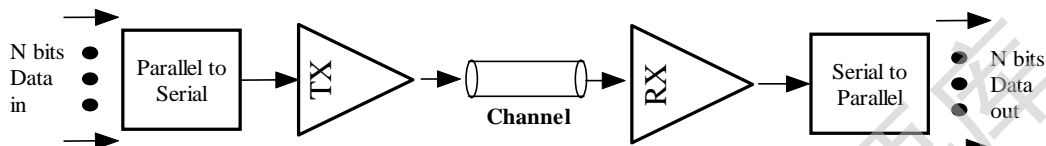


图 1.1 基本的串行数据传输原理图

基于SerDes的高速串行接口采用以下措施突破传统并行I/O接口的数据传输瓶颈：一是采用低压差分信号传输（LVDS）代替单端信号传输，从而增强了抗噪声、抗干扰的能力；二是采用时钟和数据恢复技术代替同时传输数据和时钟，从而解决了限制数据传输速率的信号时钟偏移问题。图 1.2 所示为本文实现的电荷泵锁相环应用于整块SerDes收发器芯片单通道 1.28Gbps、双通道 2.56 Gbps传输链路的原理图。该架构基于图 1.1 串行数据传输原理，将发送端和接收端做在同一块芯片上，从而实现发送和接收的功能，其主要由编码器、串化器、发送器以及时钟产生电路组成发送通道和解码器、解串器、接收器以及时钟恢复电路组成接收通道组成。编码器和解码器完成编码和解码的功能，其中 8B/10B、时钟插入和不规则编码是最常用的编码方案。在SerDes芯片中主要使用时钟插入编码，故本文中锁相环的设计采用多相位时钟输出来满足设计需求。串化器和解串器主要负责将数据从并行到串行和从串行到并行的转换，其中串化器在转换过程中需要时钟产生电路为其提供时钟，该时钟产生电路通常由锁相环（PLL）来实现，解串器进行转换的过程也需要时钟和数据恢复电路（CDR），该时钟恢复电路通常也由锁相环来实现，为减少设计的复杂度，本文设计的电荷泵锁相环既能作为发送端提供时钟也能在接收端做时钟恢复电路。发送器和接收器主要完成差分信号的发送和接收，其中LVDS和CML<sup>[7][8]</sup>是最常用的两种差分信号标准。另外，附加一些辅助电路可以用来实现环路测试和内置误码率测试等功能。

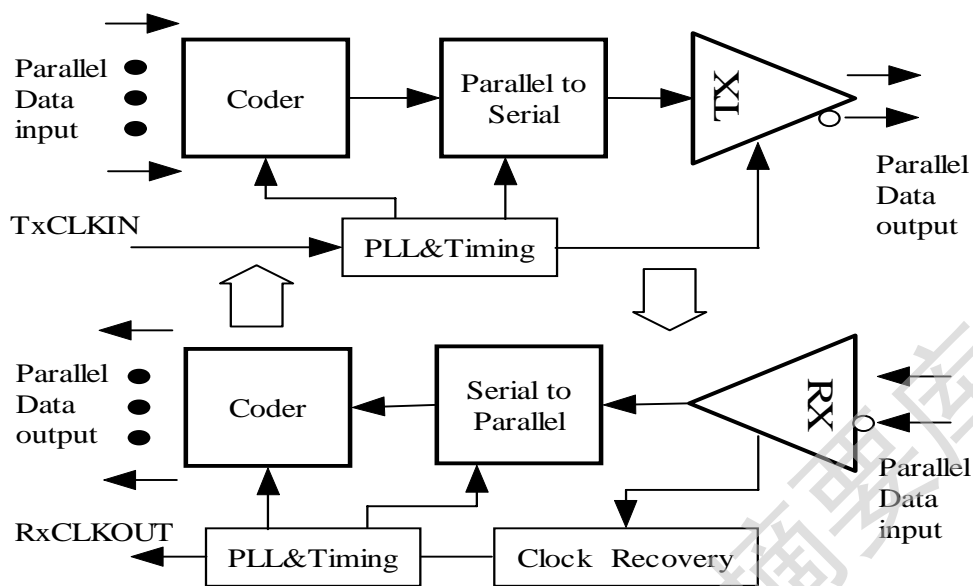


图 1.2 高速 SerDes 收发器原理图

计算机和通讯的结合为 SerDes 技术开辟了更为广阔的应用前景。基于 SerDes 技术的高速串行接口正在成为一种通用的 IO 接口标准，在信息高速公路的建设中发挥主导作用。为了确保系统的可靠性和互用性，近年来世界上有多个标准组织已经或者正在制定高速串行通讯接口严格的性能指标，表 1.1 给出了部分组织制定的标准。从表中可以看出，1~6Gbps+SerDes 产品成为当前高速串行接口标准主流，其中 2.5Gbps/3.125Gbps 为第一代产品，5Gbps/6.25Gbps 为第二代产品，这种芯片采用 0.18um 的 CMOS 工艺就可以实现。

表 1.1 串行通信标准

标准组织	接口速率	主要应用领域
RapidIO 行业协会	1.25Gbps, 2.5Gbps, 3.125Gbps (串行 RapidIO)	嵌入式系统互联接口
光互连论坛 (OIF)	2.488-3.125Gbps (SFI-4.2/SPI-5/TFI-5), 4.976-6+Gbps, 9.95-11+Gbps (CEI)	芯片与芯片及背板的公共接口
外国设备接口特殊兴趣小组 (PCI-SIG)	2.5 Gbps (PCI Express, x1, x2, x4, x8, x12, x16, x32)	计算机, 服务器, 工作站, 通信及嵌入式系统
IEEE802.3, 10G 以太网联盟 (10GEA)	1.25Gbps(GbE), 3.125x4Gbps (XAUI), 10Gbps (10GbE)	以太网, 局域网 (LAN), 城域网 (MAN)
infiniBand 行业协会	2.5Gbps (x1, x4, x12)	服务器, 存储设备
ANSI 下属信息技术标准国际委员会 (INCITS), T10-串行通信 SCSI(SAS), T11-光纤信道 (FC), T13-串行 ATA(SATA)	1.5 Gbps, 3.0 Gbps (SAS/SATA), 1.063Gbps, 2.125Gbps, 4.25Gbps, 10Gbps (FC)	直接连接存储 (DAS), 网络连接存储 (NAS), 专用存储区域网 (SAN)
美国国家标准局(ANSI), 国际电信同盟 (ITU-T)	2.5Gbps (OC-48), 10Gbps (OC-192), 40Gbps (OC-768)	SONET/SDH, 广域网 (WAN) 城域网 (MAN)

半导体工艺的飞速发展,使得各大公司在深亚微米工艺制程上设计出更先进的 SerDes 芯片。安华高科技 (Avago Technologies) 最近推出了 65 纳米制程的 17Gbps SerDes 有效能输出,能节省 25%的能耗和面积。另外,采用的模组化架构和多重速率使其处理能力具有缩放弹性,可应用于 Ethernet 交换机、路由器及存储交换设备。该嵌入式 SerDes 在技术上支持 PCI-Express、光纤通讯 (1GFC-16GFC)、CX-4、XAUI/CEI-6G 以及 802.3ap 等标准,同时也适合芯片间互联以及背板式架构应用。该公司还表示已经在 40 纳米 CMOS 制程上实现了 25Gbps 的 SerDes 效能表现,该芯片具有相当高的整合度,非常容易达到数百个



Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.

厦门大学博硕士论文摘要库