

学校编码: 10384

密级\_\_\_\_\_

学号: 19820071152323

厦 门 大 学

硕 士 学 位 论 文

低压低功耗轨对轨运放及其带隙  
基准源的设计与仿真

Design and Simulation of Low Power Low Voltage Rail to  
Rail Operational Amplifier and the bandgap reference

曾 华 阳

指导教师姓名: 黄文达 教授

专 业 名 称: 微电子学与固体电子学

论文提交日期: 2010 年 5 月

论文答辩日期: 2010 年 6 月

2010 年 5 月

## 厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为( )课题(组)的研究成果,获得( )课题(组)经费或实验室的资助,在( )实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

## 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，  
于 年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

---

## 摘要

运算放大器是模拟和混合电路中被广泛应用的基本模块，其精度和稳定性决定着系统的性能，而 CMOS 轨对轨运算放大器以其优异的输入、输出电压范围等特点受到广泛的应用。本文主要针对 CMOS 轨对轨运算放大器及其辅助电路带隙基准源进行设计与仿真。

本论文首先针对国内外低压低功耗轨对轨运算放大器做了广泛的调查和研究，在吸收前人成果的基础上，设计了一个低压低功耗轨对轨运算放大器。运算放大器采用两级运放的结构。运放的第一级采用互补差分对结构以实现轨对轨输入，采用折叠式共源共栅结构实现第一级的高增益。采用 3 倍电流镜技术来实现输入级的跨导的恒定。输出级采用浮动电流源控制的互补甲乙类输出结构，提高了输出电压的范围和效率，达到了轨对轨输出。

芯片内部带有带隙基准电路，该带隙基准电路采用了一种亚阈值 MOS 管二阶曲率补偿结构，有比较低的温度系数，同时利用深度负反馈的方法，有效的抑制了电源电压变化给带隙基准源所带来的影响，从而提高了电源抑制比。该带隙基准电路温度系数可以达到  $3.15\text{ppm}/^\circ\text{C}$ ，电源抑制比达到  $92.6\text{dB}$ 。运放的频率补偿采用密勒补偿的方法。整个电路采用台积电(TSMC)0.18um 工艺库进行设计，并经过 cadence 中的 spectre 仿真软件仿真。最终的仿真结果表明，在电源电压 2V 的情况下，运放的静态功耗为  $82\mu\text{W}$ ，直流增益为  $100\text{dB}$ ，单位增益带宽为  $6.1\text{MHz}$ ，相位裕度为  $73.1^\circ$ ，正转换速率为  $3.70\text{V}/\mu\text{s}$ ，负转换速率为  $3.57\text{V}/\mu\text{s}$ ，输入共模电压范围为  $0\text{-}2\text{V}$ ，输出电压摆幅为  $0\text{-}2\text{V}$ ，运放实现了轨对轨的输入和输出。

**关键词：**轨对轨；运放；带隙基准

---

## Abstract

Operational amplifiers are analog and mixed circuits are widely used in the basic module, its precision and stability determine the performance of the system, and rail to rail CMOS operational amplifier with excellent input and output voltage range and so on are widely used. This article will focus CMOS rail to rail operational amplifier and the auxiliary bandgap reference circuit design and simulation.

The thesis first domestic low-voltage low-power rail to rail op amp to do extensive surveys and studies, the absorption based on previous results, we designed a low voltage low power rail to rail operational amplifier. Operational amplifier made up by two op-amp structure. The first stage use a differential pair with complementary structure to achieve the rail to rail input, using folded cascode structure to achieve high-gain. Use 3 times current mirror technology to achieve the input stage transconductance constant. Output stage use floating current structure of the complementary stream of Class AB output structure, increase the output voltage range and efficiency of the rail to rail output.

Chip with a band gap reference circuit. The bandgap reference circuit, a second-order sub-threshold MOS pipe curvature compensation structure, a relatively low temperature coefficient; the same time using the depth of the negative feedback method, effectively restrain the power supply voltage to the bandgap reference brought impact, resulting in improved power supply rejection ratio. The temperature coefficient bandgap reference circuit can reach  $3.15\text{ppm}/^\circ\text{C}$ ; power supply rejection ratio can reach  $92.61\text{dB}$ . The frequency of the op amp use Miller compensation method of compensation. The entire circuit use TSMC  $0.18\mu\text{m}$  technology library design, and after cadence the spectre simulation software simulation. The final simulation results show that the power supply voltage of  $2\text{V}$  in the case, the op amp's quiescent power dissipation  $82.18\mu\text{W}$ , DC gain of  $99.91\text{dB}$ , the gain bandwidth is  $6.097\text{MHz}$ , the phase margin is  $73.1^\circ$ , is conversion rate to  $3.70\text{V} / \mu\text{S}$ , the negative

---

conversion rate 3.57V/uS, input common-mode voltage range of 0-2V, the output voltage swing for the 0.009-1.982V, the op amp can achieve rail to rail input and output.

**Keywords:** rail to rail; op amp; bandgap

厦门大学博硕士学位论文摘要库

---

# 目录

摘要.....	1
第一章 绪论.....	1
1.1 研究背景以及意义.....	1
1.2 本论文主要工作 .....	3
第二章 CMOS 运算放大器设计基础 .....	4
2.1 MOS 管的模型.....	4
2.1.1 MOSFET 的 I/V 特性.....	5
2.1.2 MOSFET 的二阶效应 .....	7
2.1.2.1 体效应 .....	7
2.1.2.2 沟道长度调制 .....	8
2.1.2.3 亚阈值导电性 .....	9
2.1.3 MOS 管的小信号模型 .....	9
2.2 运算放大器设计流程.....	11
2.3 本章小结.....	12
第三章 轨对轨运算放大器的具体设计 .....	13
3.1 低压低功耗电路 .....	13
3.2 运放的输入级设计.....	13
3.2.1 传统的运放输入级 .....	13
3.2.2 轨对轨运放的输入级 .....	15
3.2.3 恒定跨导输入级 .....	17
3.2.4 三倍电流镜恒定跨导输入级 .....	22
3.3 折叠式共源共栅中间放大电路.....	26
3.3.1 套筒式共源共栅运算放大器 .....	27
3.3.2 折叠式共源共栅运算放大器 .....	29
3.3.3 低压宽摆幅共源共栅电流镜 .....	31

---

<b>3.4 运放的轨对轨输出级设计 .....</b>	<b>35</b>
3.4.1 甲乙类输出级 .....	35
3.4.2 前馈式甲乙类输出级 .....	37
3.4.3 浮动电流源控制的前馈甲乙类输出级 .....	38
<b>3.5 运放的频率补偿电路的设计.....</b>	<b>40</b>
3.5.1 反馈系统的稳定性 .....	40
3.5.2 运放的频率补偿 .....	42
<b>3.6 放大器中的偏置电路的设计.....</b>	<b>45</b>
<b>3.7 本章总结 .....</b>	<b>46</b>
<b>第四章 运放中带隙基准源的设计与仿真 .....</b>	<b>47</b>
4.1 带隙基准的原理 .....	47
4.2 带隙基准的曲率补偿.....	49
4.3 带隙基准的设计 .....	55
4.3.1 整体框架设计 .....	55
4.3.2 带隙基准中的运放设计以及曲率补偿 .....	57
4.4 带隙基准电压源的仿真 .....	62
4.5 本章小结 .....	65
<b>第五章 运算放大器的仿真.....</b>	<b>66</b>
5.1 直流特性.....	66
5.1.1 输入共模电压范围的仿真 .....	66
5.1.2 输出电压摆幅的仿真 .....	67
5.1.3 输入失调电压的仿真 .....	68
5.1.4 系统失调电压温度系数的仿真 .....	69
5.2 交流特性.....	71
5.2.1 幅频相频响应仿真 .....	71
5.2.2 共模抑制比(CMRR)仿真.....	71
5.2.3 运放的电源抑制比 (PSRR) 的仿真.....	74
5.3 瞬态特性.....	75



---

5.3.1 转换速率的仿真 .....	75
5.3.2 建立时间的仿真 .....	76
5.4 运算放大器等效输入噪声的仿真 .....	77
5.5 运算放大器功耗的仿真 .....	77
5.6 本章小结 .....	78
第六章 总结与展望 .....	80
参 考 文 献.....	81
攻读硕士期间发表论文.....	86
致 谢.....	87

---

# Content

<b>Abstract .....</b>	<b>I</b>
<b>Chapter 1 Preface.....</b>	<b>1</b>
<b>1.1 Background and Significance .....</b>	<b>1</b>
<b>1.2 This thesis work.....</b>	<b>3</b>
<b>Chapter 2 CMOS operational amplifier design basis .....</b>	<b>4</b>
<b>2.1 MOS tube mode .....</b>	<b>4</b>
2.1.1 MOSFET's I / V characteristics .....	5
2.1.2 MOSFET of the second-order effects .....	7
2.1.2.1 Body effect .....	7
2.1.2.2 Channel length modulation .....	8
2.1.2.3 Sub-threshold electrical conductivity .....	9
2.1.3 MOS small signal model of management.....	9
<b>2.2 Operational amplifier design process.....</b>	<b>11</b>
<b>2.3 SUMMARY .....</b>	<b>12</b>
<b>Chapter 3 Rail to rail op amp specific design .....</b>	<b>13</b>
<b>3.1 Low-voltage low-power circuit .....</b>	<b>13</b>
<b>3.2 Op amp's input stage design .....</b>	<b>13</b>
3.2.1 Conventional op amp input stage .....	13
3.2.2 Rail to rail op amp's input stage .....	15
3.2.3 Constant transconductance input stage .....	17
3.2.4 Three times the current mirror input stage transconductance constant ....	22
<b>3.3 Folded cascode amplifier intermediate.....</b>	<b>26</b>
3.3.1 Telescopic cascode operational amplifier .....	27
3.3.2 Folded cascode operational amplifier .....	29
3.3.3 Low-voltage wide-swing cascode current mirror .....	31

<b>3.4 Rail to rail op amp output stage design.....</b>	<b>35</b>
3.4.1 Class AB output stage .....	35
3.4.2 Feedforward class AB output stage.....	37
3.4.3 Floating current source control feedforward class AB output stage .....	38
<b>3.5 Op-amp frequency compensation circuit .....</b>	<b>40</b>
3.5.1 Stability of Feedback system .....	40
3.5.2 Frequency compensation .....	42
<b>3.6 Amplifier Bias Circuit .....</b>	<b>45</b>
<b>3.7 SUMMARY .....</b>	<b>46</b>
<b>Chapter 4 Design and simulation of the bandgap reference .....</b>	<b>47</b>
<b>4.1 Bandgap reference principle .....</b>	<b>47</b>
<b>4.2 Bandgap reference curvature compensation .....</b>	<b>49</b>
<b>4.3 Bandgap Reference Design .....</b>	<b>55</b>
4.3.1 Design of the Framework .....	55
4.3.2 Design of the op amp in Bandgap and curvature compensation.....	57
<b>4.4 Bandgap voltage reference simulation.....</b>	<b>62</b>
<b>4.5 SUMMARY .....</b>	<b>65</b>
<b>Chapter 5 Operational amplifier simulation .....</b>	<b>66</b>
<b>5.1 DC Characteristics.....</b>	<b>66</b>
5.1.1 Simulation of Input common-mode voltage range .....	66
5.1.2 Simulation of the output voltage swing .....	67
5.1.3 Simulation of input offset voltage .....	68
5.1.4 Simulation of the system offset voltage temperature coefficie .....	69
<b>5.2 AC Characteristics .....</b>	<b>71</b>
5.2.1 Simulation of amplitude frequency phase frequency respons .....	71
5.2.2 Simulation of CMRR.....	71
5.2.3 Simulation of PSRR .....	74
<b>5.3 TRAN Characteristics .....</b>	<b>75</b>

---

5.3.1 Simulation of conversion rate .....	75
5.3.2 Simulation of set-up time .....	76
<b>5.4 Simulation of the Operational amplifier equivalent input noise .....</b>	<b>77</b>
<b>5.5 Simulation of operational amplifier power .....</b>	<b>77</b>
<b>5.6 SUMMARY .....</b>	<b>78</b>
<b>Chapter 6 Summary and outlook .....</b>	<b>80</b>
<b>References .....</b>	<b>81</b>
<b>Publications .....</b>	<b>86</b>
<b>Acknowledgement .....</b>	<b>87</b>

厦门大学博硕士学位论文摘要库

## 第一章 绪论

### 1.1 研究背景以及意义

20 世纪 80 年代初期, 由于计算机与信息产业数字化浪潮逐渐兴起, 许多专家普遍认为模拟集成电路不久之后即将消失。当时, 由于有应用领域更宽广、集成化程度更高的设计工具帮助, 数学模型复杂、计算量巨大的数字信号处理算法可以较容易实现, 这些算法的功能扩展非常迅速, 再加上现代集成电路工艺技术的集成化程度日益提高, 需要百万门以上逻辑门电路的数字算法可以在很小的芯片面积上集成。人们推测随着数字信息处理算法的不断优化, 全部的信号处理功能最终将在数字领域内实现<sup>[1]</sup>。

但是, 实际情况是, 尽管此后数字信号处理和 IC 技术一直迅猛发展, 人们已经能够制造包含上百万个晶体管、每秒处理数万亿次操作的处理器了, 且许多类型的信号处理确实已经转移到数字领域, 但是在现代许多复杂高性能系统中模拟电路从根本上已被证明是必需的。因为我们的世界是“模拟”的, 在自然界信号的处理、数字通信、磁盘驱动电子学、无线接受器、光接收器、传感器、微处理器和存储器等系统中都不可避免地要涉及到许多模拟技术。

半导体元件的发展历史可以追溯到 20 世纪 30 年代, 当时由两位研究人员 Lilienned 和 Heil 率先提出了金属氧化物半导体(Metal Oxide Semiconductor, MOS)场效应晶体管(Field-Effect Transistor, FET)的概念。然后由于制造技术的限制, MOS 技术走向实用的时间比较晚, 在 20 世纪 60 年代初期, 早期的几代产品是 n 型的。20 世纪 60 年代中期发明的互补 MOS(Complementary Metal Oxide Semiconductor, CMOS)器件(即同时采用 n 型和 p 型晶体管), 引起了半导体工业的一场革命。较低的制造成本和在同一芯片上同时包含模拟和数字电路以改善整体性能和降低封装成本 CMOS 技术更具有吸引力。CMOS 技术很快占领了数字市场。紧接着的一个明显进步就是将 CMOS 技术应用到模拟电路设计中。

20 世纪 90 年代以来, 随着亚微米、超深亚微米技术的发展和系统芯片(SOC)技术的日益成熟, 采用电池供电的便携式电子产品获得了迅猛发展和快速普及。

其性能要求越来越高,开发周期越来越短,对开发与生产成本的制约也日趋严格,这使低压低功耗技术受到了极大的关注<sup>[2]</sup>,低压低功耗电路已成为集成电路重要的发展方向之一<sup>[3]</sup>。

由于电池技术的发展远远跟不上 IC 与电子系统的发展,其容量在最近的五年内也无法出现超过 30%到 40%的提升<sup>[4]</sup>,不能满足日益复杂的 IC 的要求,从心脏起搏器到助听器、移动电话和各种各样 PDA 产品都对电子产品的供电电压和功耗提出了严格的限制。一方面,现代 CMOS 工艺的特征尺寸持续减小。在 2007 年,最小沟道长度趋近 45nm,而在 2010 年,AMD 也即将推出基于 28nm 工艺的 CPU 产品,这样器件栅氧化层的厚度越来越变薄。为了避免栅击穿和保证器件的可靠性,电源电压必须降低。另一方面,集成度的持续提高要求解决单位面积的功耗问题。然而,对于标准 CMOS 工艺中的阈值电压 (threshold voltage)并不会随着电源电压的降低而有明显的下降<sup>[5]</sup>。阈值电压的限制使模拟 IC 设计变得非常复杂,传统的电路结构已不能满足设计要求。常规设计的运算放大器受阈值电压及饱和电压降的影响而导致其输入输出动态范围的不断减小,而在混合信号 CMOS 集成电路中,噪声电压却在增加<sup>[6]</sup>,影响后级电路的正常工作,为增大其动态范围,迫切需求能够实现全摆幅的轨对轨输入输出的电路结构<sup>[7]</sup>。高性能,通用的 CMOS rail-to-rail 运算放大器的研究与设计不仅可以满足新的电路应用的要求,对一些其他类型的电路,比如 PLL、开关电容、滤波器、DAC 和 ADC 等电路的发展也有积极的推动作用。

国外各大 IC 设计与制造公司关于高性能 CMOS 轨对轨运算放大器的研究一直在不断地发展着,对特殊参数要求的新产品不断面市,应用于特殊行业的高性能运算。比如美国微芯公司(Microchip Technology)推出的 MCP604X 系列运算放大器,具有增益稳定、轨对轨输入输出功能,主要作为电池供电的低电流,低电压应用,工作电压范围从 5.5V 降到 1.4V,具有 14kHz 的增益稳定的增益带宽积,1 $\mu$ A 的最大静态电流。美国 Maxim 公司的高性能运放比如 Max406, Max407 系列等等均已经达到了低压低功耗的水平。在整个工作电压范围内,Max406 的典型工作电流为 1 $\mu$ A,几乎不变。最新一代运放的带宽可以从 5kHz 到 1GHz<sup>[8]</sup>,供电电源,输入失调电压和失调电流也越来越小<sup>[9-10]</sup>。

在国内，由于受到工艺条件、基础研究与设计水平等方面的限制，低压轨至轨运放的研发方面才刚刚开始，比国外要晚的多，复旦大学，清华大学，西北大学，西安电子科技大学等都在进行这方面的研究工作<sup>[62-65]</sup>。但是极少有流片成功的例子。国内整体水平与国外相比还有很大的差距，因此研究开发具有自主知识产权的低压低功耗全摆幅 CMOS 运放变得非常重要。

## 1.2 本论文主要工作

本文的目的就是在参考国内外研究成果的基础上，分析各类运放指标，设计一个低压低功耗的轨对轨运算放大器，主要用于对电源电压和功耗都要求比较低的场合，如传感器的缓冲放大器等<sup>[11-12]</sup>。具体性能指标要求有：能够实现轨至轨输入/输出，增益大于 80dB，相位裕度大于  $60^{\circ}$ ，跨导稳定在 5%-15% 范围内。各章具体内容如下：

第一章介绍了低压低功耗轨对轨放大器的研究背景和意义，国内外研究现状和发展态势，并大致介绍了各章节的结构安排和内容。

第二章，对 CMOS 的基本原理进行了详细的分析介绍，包括大信号模型，小信号模型，几种重要的二阶效应等，并对运算放大器的设计做一简单介绍。

第三章，主要介绍了一下低压低功耗轨对轨运算放大器的具体设计，并设计了一个横跨导轨对轨运算放大器。

第四章，简单介绍了带隙基准的基本原理以及二阶曲率补偿，设计了一个亚阈值区 MOS 管补偿的二阶带隙基准源电路。

第五章，采用 TSMC0.18 $\mu\text{m}$  工艺库以及 cadence spectre 仿真软件对运放各项性能参数进行了详细的仿真分析。

第六章，对本文工作进行总结以及展望。

## 第二章 CMOS 运算放大器设计基础

### 2.1 MOS 管的模型

N 型 MOS 器件的简化结构如图 2.1 所示。器件制作在 P 型衬底上(衬底也称作 bulk 或 body), 两个重掺杂 n 区形成源端和漏端, 重掺杂的(导电的)多晶硅区(通常称作 poly)作为栅, 即 G 极, 一层薄 SiO<sub>2</sub> 使栅与衬底隔离。器件的有效作用就发生在栅氧下的衬底区。图 2.1 所示结构中的源和漏是对称的。

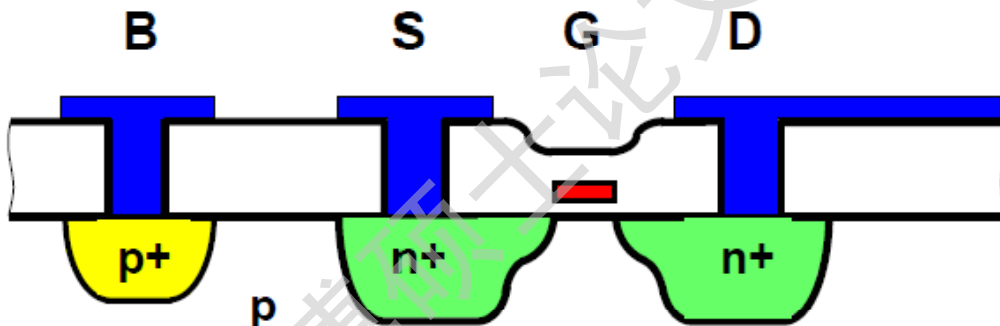


图 2.1 NMOS 器件的结构

但实际生产中, NMOS 和 PMOS 器件必须做在同一晶片上, 也就是说做在相同的衬底上。由于这一原因, 其中某一种类型的器件要做在一个“局部衬底”上, 通常称为“阱”。现在大多数 CMOS 工艺中, PMOS 器件做在 n 阱中。用来表示 NMOS 和 PMOS 晶体管的电路符号如图 2.2 所示:



Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.

厦门大学博硕士论文摘要库