

学校编码: 10384

分类号 \_\_\_\_\_ 密级 \_\_\_\_\_

学号: 23220101153215

UDC \_\_\_\_\_

厦门大学

硕士学位论文

基于 FPGA 的双核嵌入式系统构建

Design of Dual Processor Embedded System Based on FPGA

徐飞


指导教师: 姚铭 高级工程师

专业名称: 控制工程

论文提交日期: 2013 年 5 月

论文答辩日期: 2013 年 月

学位授予日期: 2013 年 月

答辩委员会主席: 

评阅人: \_\_\_\_\_

2013 年 月

## 厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为( )课题(组)的研究成果,获得( )课题(组)经费或实验室的资助,在( )实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名): 徐飞

2013年6月3日

## 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，于  
年 月 日解密，解密后适用上述授权。

2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）： 徐飞

2013年6月3日

## 摘要

随着信息处理技术的不断发展，传统的嵌入式单核系统在提升整体性能上面临瓶颈，基于 FPAG 的多核系统设计也逐渐发展起来。基于摩尔定律，处理器芯片厂商一直在不断提高芯片工作频率来提高处理器的性能，但随着芯片设计与制造工艺的不断改进，处理器芯片上集成的晶体管已超过上亿个，在体系结构的限制下已很难单纯通过提高主频来提升性能，同时，主频提高带来的功耗问题也不容小觑。然而从应用需求来看，日益复杂的多媒体，科学计算，虚拟现实等多个领域都需要计算机提供更强大的计算能力，因此多线程，多内核技术的发展成为必然趋势。

本文综述了多核处理器架构与并行计算的发展历程，分析了并行计算机系统的体系结构，根据指令流和数据流的不同组织方式，结合实验室现有的 Xilinx 公司设计的 Virtex-II Pro 开发板的特点提出了一种构建双核系统的方法，并通过并程序的运行验证了其可靠性。本设计利用了 XUP Virtex-II Pro 开发板的两个 PowerPC405 硬核，两个处理器共享了一部分外设，并设置了共享通道。两个处理器也分别独占了部分外设，PPC\_0 通过总线桥控制外设 DIP Switches，PPC\_1 控制外设 LED\_4Bits，这样可以验证处理器的工作状态，为了保存程序，为两个处理器分别设置了独占的 Boot BRAM 及中断控制器和复位控制器，2 个 PowerPC 共享 JTAG，都能通过串口进行输出。在并行程序对比中，本文通过 OpenMP 多线程编写了双核 FFT 算法，实验结果表明效率有明显提升。在 Xilinx 公司的系列开发工具并不支持在 Virtex-II Pro 开发板上构建双核的情况下，国内的多数大学实验室都是进行的单核 PowerPC405 的应用开发，没有利用到其有两个硬核的优势，造成资源闲置。

本项目实现了在 FPGA 开发板上的双核系统构建，充分利用了系统资源，能通过互锁程序合理控制共享的外设，并能共用一个串口进行输出，克服了调试不便的难题。本文的设计方法简洁易行，运行结果证明了其可靠性，该系统为基于 FPGA 的双核嵌入式系统设计提供了参考价值。

关键词：双核系统 FPGA 并行计算

厦门大学博硕士论文摘要库

## Abstract

With the continuous development of information technology, the single-core embedded system is difficult in improving the computing ability, and the multi-core system designed based on FPAG gradually developed. Based on Moore's Law, the manufacturers which make the processor chip have been constantly improving the operating frequency to improve the performance of the processor. However, when over hundreds of millions of transistors are integrated on the processor chip, the system goes to the structural limitation and can not be designed to improve performance just by increasing the frequency. Also, the power consumption cannot be underestimated with the increasing frequency. Therefore, multi-threaded and multi-core technology has become an inevitable trend in order to satisfy the more and more computing demand.

A dual-core system based on Virtex-II Pro board made by Xilinx Inc is designed. The development of multi-core architectures and parallel computing are reviewed. The multi-core system architecture about the different organization of the instruction and data are useful knowledge to that design. This system uses two PowerPC405 hard core, and two processors share a part of peripherals which are set up a shared channel. Two processors were also exclusive of part of the peripheral. The DIP Switches are controlled by the PPC\_0 with Bus Bridge and the PPC\_1 controls peripheral LED\_4Bits, so you can verify the work status of the different processor. In order to save the program for two processors, exclusive Boot BRAM and interrupt controller and reset controller are necessary. The two PowerPC shared JTAG and the serial port. As a Comparison, a dual-core FFT algorithm written in OpenMP is tested. The experimental results shows the significant efficiency. In the case of Xilinx's series tools not supporting the dual-core system on the Virtex-II Pro board, this design is a reference for

practitioners.

The project builds a dual-core system on the FPGA board, which make full use of the system resources and be able to share the JTAG through the interlock program. The design method can be achieved easily and the result proved its stability.

**Keywords:** dual-core system; FPGA; parallel computing

厦门大学博硕士学位论文摘要库

## 目 录

<b>第一章 绪论</b> .....	<b>1</b>
1.1 引言 .....	1
1.2 基于 FPGA 的多核技术概况 .....	2
1.3 论文意义与主要内容 .....	4
<b>第二章 多核技术与并行计算</b> .....	<b>6</b>
2.1 多核架构 .....	6
2.1.1 多核芯片 .....	6
2.1.2 多核单芯片架构性能 .....	6
2.1.3 多核与超线程 .....	8
2.2 并行计算 .....	9
2.2.1 并行计算模型 .....	9
2.2.2 并行计算编程环境 .....	11
2.3 操作系统对多核处理器的支持方法 .....	12
2.3.1 调度与中断 .....	12
2.3.2 支持多核的操作系统 .....	14
<b>第三章 基于 Virtex-II 的双核系统硬件设计</b> .....	<b>16</b>
3.1 硬件系统描述 .....	16
3.1.1 Xilinx 公司的 XUP Virtex-II Pro 开发板介绍 .....	16
3.1.2 硬件系统架构图 .....	17
3.1.3 PowerPC405 架构图 .....	19
3.2 单核系统的生成 .....	21
3.3 PPC_1 及相关 IP 核的配置 .....	28
<b>第四章 基于 Virtex-II 的双核系统软件工程配置</b> .....	<b>33</b>



<b>4.1 软件平台的配置与互锁程序的编写</b> .....	<b>33</b>
<b>4.2 测试程序的编写</b> .....	<b>37</b>
<b>4.3 LINUX 操作系统的移植</b> .....	<b>40</b>
4.3.1 在 EDK 中创建 BSP .....	41
4.3.2 Linux 内核移植 .....	42
4.3.2.1 内核源码 .....	42
4.3.2.2 内核启动分析 .....	44
4.3.2.3 内核配置与编译 .....	45
4.3.3 文件系统的制作 .....	48
4.3.3.1 文件系统的目录结构 .....	48
4.3.3.2 busybox 的移植 .....	50
4.3.3.3 构建根文件系统 .....	52
4.3.4 U-Boot 引导实现 .....	53
4.3.4.1 Bootloader 简介 .....	53
4.3.4.2 U-Boot 源码目录结构 .....	54
4.3.4.3 U-Boot 的启动分析 .....	54
4.3.4.4 U-Boot 的配置与编译 .....	58
<b>第五章 FFT 双核并行算法的验证</b> .....	<b>62</b>
<b>5.1 FFT 算法简介</b> .....	<b>62</b>
<b>5.2 并行处理的 FFT 算法</b> .....	<b>64</b>
5.2.1 OpenMP 并行编程模型 .....	64
5.2.2 基于 OpenMP 的并行 FFT .....	66
5.2.3 并行 FFT 在 FPGA 平台的尝试 .....	69
<b>第六章 总结与展望</b> .....	<b>70</b>
<b>6.1 总结</b> .....	<b>70</b>
<b>6.2 展望</b> .....	<b>70</b>
<b>参 考 文 献</b> .....	<b>71</b>

攻读学位期间发表的学术论文 .....73

致 谢 .....74

厦门大学博硕士论文摘要库

---

## Content

<b>Chapter 1 Introduction</b> .....	<b>1</b>
<b>1.1 Introduction</b> .....	<b>1</b>
<b>1.2 Multi-core system based on FPGA</b> .....	<b>2</b>
<b>1.3 Research object and main content of this paper</b> .....	<b>4</b>
<b>Chapter 2 Multi-core technology and parallel computing</b> .....	<b>6</b>
<b>2.1 Multi-core architecture</b> .....	<b>6</b>
2.1.1 Multi-core chips .....	6
2.1.2 Properties of multi-core architecture .....	6
2.1.3 Multi-core and hyper-threading .....	8
<b>2.2 Parallel computing</b> .....	<b>9</b>
2.2.1 Parallel computing model .....	9
2.2.2 Programming of parallel computing .....	11
<b>2.3 Support of operating system</b> .....	<b>12</b>
2.3.1 Scheduling and interrupt .....	12
2.3.2 Operating system with multi-core .....	14
<b>Chapter 3 Hardware design of dual-core system based on Virtex- II</b> .....	<b>16</b>
<b>3.1 Hardware design</b> .....	<b>16</b>
3.1.1 Introduction of XUP Virtex-II Pro .....	16
3.1.2 Hardware system architecture diagram .....	17
3.1.3 PowerPC405 architecture .....	19
<b>3.2 Single processor system</b> .....	<b>21</b>
<b>3.3 PPC_1 and IP core</b> .....	<b>28</b>
<b>Chapter 4 Software design based on Virtex- II</b> .....	<b>33</b>

---

<b>4.1 Software platform and interlock programming</b>	<b>33</b>
<b>4.2 Test procedures</b>	<b>37</b>
<b>4.3 Linux system transplantation</b>	<b>40</b>
4.3.1 Create BSP with EDK	41
4.3.2 Linux kernel	42
4.3.2.1 Source code	42
4.3.2.2 Boot of kernel	44
4.3.2.3 Kernel configuration and compilation	45
4.3.3 File system	48
4.3.3.1 Structure of the file system	48
4.3.3.2 Busybox	50
4.3.3.3 Root file system	52
4.3.4 U-Boot	53
4.3.4.1 Bootloader	53
4.3.4.2 U-Boot source code	54
4.3.4.3 Start of U-Boot	54
4.3.4.4 configuration and compilation of U-Boot	58
<b>Chapter 5 Dual-core and parallel algorithm in FFT</b>	<b>62</b>
<b>5.1 FFT algorithm</b>	<b>62</b>
<b>5.2 Parallel FFT algorithm</b>	<b>64</b>
5.2.1 OpenMP	64
5.2.2 FFT with OpenMP	66
5.2.3 Parallel FFT on FPGA	69
<b>Chapter 6 Conclusion and prospect</b>	<b>70</b>
<b>6.1 Conclusion</b>	<b>70</b>
<b>6.2 Prospect</b>	<b>70</b>
<b>References</b>	<b>71</b>

**Main achivement of scientific research .....73**

**Acknowledgements .....74**

厦门大学博硕士学位论文摘要库

## 第一章 绪论

### 1.1 引言

一直以来，提升处理器计算能力的做法是增加时钟脉冲的频率。不过这个技术方案已经到了瓶颈阶段。而增加处理器核的数量，不仅能提升计算功能，也能解决能耗、散热与复杂设计方案带来的问题。随着多核处理技术的迅速发展及推广，并行计算蓬勃发展起来，不需多时，并行计算将会成为主流。短短几年的时间，多核处理器已成为个人电脑的独一配备，也陆续进入嵌入式系统、移动互联网设备等领域。然而，从软件开发的角度来看，怎样去充分发挥与利用多核计算系统的潜能是非常复杂的，这是一片开阔的充满挑战的学术领域。在这样的背景下，各主流处理器厂商将产品战略从提高芯片的时钟频率转向多线程、多内核。

提升CPU主频越来越困难，于是Intel、AMD和Sparc、PowerPC等主流芯片的厂商纷纷调整研究方向，向超线程和多核架构发展，在同一CPU中放置多个执行内核。自从IA阵营正式推出多核产品，多核普及成为必然，多核架构的出现满足了人们对计算能力永无止境的追求，全球进入一个充满挑战和机遇的多核时代。在未来数年内，随着芯片内核数量持续增长，计算机性能剧增的时代即将来临。这些计算机将带来高效的万亿次浮点运算性能，以满足未来新兴应用的处理要求。随着多核的普及，如何开发与多核相适应的软件日益成为众人关注的焦点<sup>[1]</sup>。

当前主流的商用片上多核处理器主要针对多线程应用，提出多核结构的初衷也是如此，如果不采用特殊措施，串行程序很难利用多核的优势。而大量的传统应用都是串行程序，基于兼容性的考虑，片上多核处理器必须支持它们的运行，即便是多线程应用，每个线程也是串行执行的。同时，由于在一个芯片上集成了多个处理器核，出于功耗和面积的考虑，处理器设计者往往倾向于此采用结构相对简单的处理器核。以上种种有可能造成单处理器执行串行程序的速度比多核还要快。因此，在多核环境加速串行程序，具有重要的研究意义和实际的应用需求。Intel和AMD相继宣称推出具备多核加速串行程序能力的商用机器。一方面，说明该领域的研究相对滞后；另一方面，也从应用的角度说明了在多核环境加速串行程序具有重要的研究意义。因此，多核CPU的高效运行是解决摩尔定律发展的必

然产物，能适应对计算性能要求高的行业需求，成为当今最热门的技术。本文将 Xilinx 公司设计的 Virtex-II Pro 开发板上内置的两个硬核 PowerPC405 构建了双核系统，充分利用了系统资源，设置了互锁程序与共享通道，使得运行效率有显著提高<sup>[2]</sup>。

## 1.2 基于 FPGA 的多核技术概况

现场可编程门阵列 FPGA (Field Programmable Gate Array) 是美国 Xilinx 公司于 1984 年首先开发的一种通用型用户可编程器件。FPGA 既具有门阵列器件的高集成度和通用性，又有可编程逻辑器件用户可编程的灵活性。

FPGA 由可编程逻辑单元阵列、布线资源和可编程的 I/O 单元阵列构成，一个 FPGA 包含丰富的逻辑门、寄存器和 I/O 资源。一片 FPGA 芯片就可以实现数百片甚至更多个标准数字集成电路所实现的系统。FPGA 结构灵活，其逻辑单元、可编程内部连线和 I/O 单元都可以由用户自由编程，可以实现任何逻辑功能，满足各种设计需求。其速度快，功耗低，通用性强，特别适用于复杂系统的设计。使用 FPGA 还可以实现动态配置、在线系统重构（可以在系统运行的不同时刻，按需要改变电路的功能，使系统具备多种空间相关或时间相关的任务）及硬件软化、软件硬化等功能<sup>[3]</sup>。

FPGA 已经历了十几年的发展历史。在这十几年的发展过程中，以 FPGA 为代表的数字系统现场集成技术取得了惊人的发展：现场可编程逻辑器件从最初的 1200 个可利用门，发展到 90 年代的 25 万个可利用门，乃至当新世纪来临之即，国际上现场可编程逻辑器件的著名厂商 Altera 公司、Xilinx 公司又陆续推出了数百万门的单片 FPGA 芯片，将现场可编程器件的集成度提高到一个新的水平。纵观现场可编程逻辑器件的发展历史，其之所以具有巨大的市场吸引力，其根本在于：FPGA 不仅可以解决电子系统小型化、低功耗、高可靠性等问题，而且其开发周期短、开发软件投入少、芯片价格不断降低，促使 FPGA 越来越多地取代了 ASIC 的市场，特别是对小批量、多品种的产品需求，使 FPGA 成为首选。

目前，FPGA 的主要发展动向是：随着大规模现场可编程逻辑器件的发展，系统设计进入“片上可编程系统”（SOPC）的新纪元；芯片朝着高密度、低压、低功耗方向挺进；国际各大公司都在积极扩充其 IP 库，以优化的资源更好的满

足用户的需求,扩大市场;特别是引人注目的所谓 FPGA 动态可重构技术的开拓,将推动数字系统设计观念的巨大转变。

推动 FPGA 数字系统现场集成技术发展的原因归纳起来有以下几点:

- 深亚微米技术的发展正在推动片上系统(SOPC)的发展。
- 芯片朝着高密度、低压、低功耗的方向挺进。
- IP 库的发展及其作用。
- FPGA 动态可重构技术。

综上所述, FPGA 数字系统现场集成技术正朝着以下几个方向发展:

- 随着便携式设备需求的增长,对现场可编程器件的低压、低功耗的要求日益迫切。
- 芯片向大规模系统芯片挺进,力求在大规模应用中取代 ASIC。
- 为增强市场竞争力,各大厂商都在积极推广其知识产权 IP 库。
- 动态可重构技术的发展,将带来系统设计方法的转变。

结合两个或更多微处理器共同完成一个或多个相关任务的系统通常为多处理器系统。开发者使用 Altera Nios II 处理器和 SOPC Builder 工具能够很快的设计和建立起共享资源的多处理器系统。SOPC Builder 是用来创建 SOPC 设计系统的系统开发工具,它包括处理器、外围设备和存储器。Nios II 处理器系统主要指处理核、一套片上外围设备、片上存储器及与片外存储器的接口都集成在单个 Alter 装置上的系统。多处理器系统具有优化性能的优点,但却增加了系统的复杂度。鉴于此,均衡多处理器(SMP)机制在高档 PC 计算系统中是限制使用的。当 SMP 的通常开支对大多数的嵌入式系统来说过高时,在一片处理器上使用多核技术来实现不同的任务和功能的方案获得了广泛的认可。Altera 公司生产的 FPGA 器件为开发非对称的嵌入式多处理器系统提供了理想平台,因为 SOPC Builder 工具的易修正性和良好的硬件协调等特性可以为设计的实现提供最佳的系统性能,而且 Altera 公司在 FPGA 器件尺寸上的改进使在单片上嵌入多 Nios II 处理器的系统设计成为可能。并且,有了像 SOPC Builder 这样高性能的集成工具,可以针对不同系统结构进行快速的设计、建立和评估。Nios II 处理器的嵌入式设计作为一种系统设计新技术,已经在国外得到了广泛的应用。但在国内对其进行的嵌入式设计和开发仅处于起步阶段。开发者多是采用已经通过市场验证的



Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.

厦门大学博硕士论文摘要库