

学校编码: 10384

分类号 _____ 密级 _____

学 号: 19820111152877

UDC _____

厦 门 大 学

硕 士 学 位 论 文

Ge 沟道肖特基源漏场效应晶体管的制备与特性分析

Fabrication and Characterization of Germanium Channel

Schottky Barrier MOSFET

张茂添

指导教师姓名: 李 成 教 授

专 业 名 称: 微 电 子 学 与 固 体 电 子 学

论文提交日期: 2014 年 5 月

论文答辩时间: 2014 年 5 月

学位授予日期: 2014 年 月

答辩委员会主席: _____

评 阅 人: _____

2014 年 5 月

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为(硅基光电子材料与器件)课题(组)的研究成果,获得(硅基光电子材料与器件)课题(组)经费或实验室的资助,在(硅基光电子材料与器件)实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1.经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

2.不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月

摘要

随着半导体技术的不断发展，Si MOSFET 器件的小型化日益接近其物理极限，而具有高迁移率的 Ge 材料和 HfO_2 等高 κ 介质由于其在未来 MOSFET 技术中的应用前景得到研究者的广泛关注。各种新结构 Ge MOSFET 器件中，肖特基源漏场效应晶体管（SB-MOSFET）因为在源漏浅结的制造、源漏接触电阻的降低、制备温度的降低和制备工艺的简化等方面具有优势而成为了研究的热点。

本文首先通过仿真模拟分析了 SB-MOSFET 的特性和工作原理，并分别设计了传统 pn 结源漏 MOSFET 和 SB-MOSFET 两种器件的结构、工艺及版图。分别以体 Ge、体 Si、绝缘体上 Ge 材料（germanium on insulator, GOI）和绝缘体上 Si 材料（silicon on insulator, SOI）为衬底制备了上述两种器件，并进行相应的特性表征和分析，得到的主要成果如下：

- 1、对 p 沟道 SB-MOSFET 器件的仿真结果表明：与体 Ge 衬底相比，GOI 衬底上实现 SB-MOSFET 具有更大的开态电流和更小的关态电流。器件的驱动电流随着源漏处肖特基结的电子势垒高度增大而增大；而关态电流随着 GOI 上 Ge 层厚度的减小而降低。
- 2、在 Ge、Si 衬底上制备了 pn 结源漏 MOSFET。其中 Ge MOSFET 的有效空穴迁移率达到了 $200\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ ，比传统 Si MOSFET 略高，并且是实验对照 Si MOSFET 的三倍左右。但是，由于制备的两个器件有效掺杂浓度较低，使器件串联电阻非常大，限制了器件驱动电流的提高；另一方面由于在高温下退火，引起了栅介质性能退化。Ge MOSFET 和 Si MOSFET 都因这一原因而使器件的转移特性和栅极性能未表现出较理想的性质。
- 3、在体 Ge、体 Si、GOI 衬底上制备了 SB-MOSFET，性能测试表明，制备的 Ge 器件获得了较好的特性，其源漏肖特基结整流比达到 5.6×10^2 ，并获得了较小的亚阈值摆幅，约 $278\text{mV}/\text{dec}$ ；较大的开关比，约 4.5×10^2 ；其有效空穴迁移率达到了 $275\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ ，比传统 Si MOSFET 提升了约 83%。制备的 Si 器件获得了较小的亚阈值摆幅约 $139\text{mV}/\text{dec}$ 和较大的开关比约 1.7×10^3 。GOI SB-MOSFET 的峰值有效空穴迁移率达到了 $300\text{cm}^2\cdot\text{V}^{-1}\cdot\text{s}^{-1}$ ，但由于衬底材料本身掺杂过高，导致器件关态电流过大，影响了器件的转移特性和输出特性。

关键字: HfO_2/Ge , 肖特基势垒, 掺杂浓度, 开态电流, 关态电流, 迁移率。

厦门大学博硕士论文摘要库

Abstract

With downscaling of MOSFET to its physical limitation, germanium has been extensively investigated as channel material to replace Si due to its high carrier mobilities. Schottky barrier MOSFET is expected for the competitive MOSFET devices due to its advantages of shallow junction preparation, low resistance contact preparation, low temperature process and process simplification.

Ge SB-MOSFETs were simulated by TCAD. Both pn junction source/drain MOSFET and SB-MOSFET were designed and fabricated on bulk Ge, Si, GOI and SOI substrates. The performance of these devices were characterized and comparatively analyzed.

1、 P-type Ge channel Schottky barrier MOSFET (SB-MOSFET) was studied by simulation using silvaco TCAD. The simulation results indicate that the device based on GOI substrate has a better transfer characteristics and smaller off-state current(I_{off}) compared to the one based on Ge substrate. The on-state current of the SB- MOSFET increases with the increase of its electron Schottky barrier height ($eSBH$) in the drain and source. On the other hand, its off-state current could be lowered by the reduction of the Ge thickness of the GOI substrate.

2、 Ge- and Si- channel MOSFET with pn junction S/D were prepared and characterized. The effective hole mobility of the Ge MOSFET reaches $200\text{cm}^2.\text{V}^{-1}\text{s}^{-1}$, which is a little larger than universal Si device and three times over the control Si device. The performance of the devices are suffered from the large source/drain contact resistance due to the low doping concentration and gate leakage current with the degradation of the gate dielectric by annealing under high temperature, which leads to limited drive current.

3、 Si- and Ge- channel MOSFET with Schottky barrier S/D are prepared respectively. The Si channel MOSFET gets a small subthreshold swing(SS) and a large I_{on}/I_{off} ratio. Its SS is smaller than $170\text{mV}/\text{dec}$ and the I_{on}/I_{off} ratio larger than 10^3 . The SB-MOSFET based on Ge substrate gets a I_{on}/I_{off} ratio of 4.5×10^2 , a SS of $278\text{mV}/\text{dec}$ and a 83% enhancement of effective hole mobility over the universal Si

device. Despite of the device fabricated on GOI substrate has a large off-state current due to its large channel doping concentration, it gets a peak effective hole mobility of $300 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$.

Key words: HfO₂/Ge, Schottky barrier, doping concentration, on-state current, off-state current, mobility.

厦门大学博硕士学位论文摘要库

目录

第一章 绪论	1
1.1 研究背景与意义	1
1.2 Ge MOSFET 材料与器件研究现状	3
1.3 本论文主要工作	11
参考文献	12
第二章 MOSFET 基本原理及仿真	17
2.1 MOSFET 基本原理	17
2.2 MOSFET 性能表征与关键参数提取方法	18
2.3 SB-MOSFET 器件仿真	23
2.3.1 SB-MOSFET 结构设计及仿真模型	23
2.3.2 SB-MOSFET 仿真结果分析	26
2.4 本章小结	30
参考文献	32
第三章 Ge MOSFET 的制备与特性分析	33
3.1 Ge MOSFET 制备工艺设计	33
3.2 Ge MOSFET 特性分析	39
3.3 本章小结	43
参考文献	45
第四章 Ge SB-MOSFET 的制备与特性分析	46
4.1 Ge SB-MOSFET 制备工艺设计	46
4.2 Si 沟道 SB-MOSFET 特性分析	49
4.3 Ge 沟道 SB-MOSFET 特性分析	52
4.4 本章小结	58
参考文献	59
第五章 总结与展望	60
附录 硕士期间科研成果	62

厦门大学博硕士学位论文摘要库

Contents

Chapter 1 Introduction.....	1
1.1 Background and motivation.....	1
1.2 Research progress of Ge MOSFETs in material and devices.....	3
1.3 Main work of this thesis	11
References	12
Chapter 2 Principles of MOSFETs and its simulation	17
2.1 Principles of MOSFETs	17
2.2 Characterization and parameters of MOSFETs	18
2.3 Simulation of SB-MOSFET	23
2.3.1 Structure design and models of SB-MOSFET simulation	23
2.3.2 Simulation analysis of SB-MOSFET	26
2.4 Conclusions	30
References	32
Chapter 3 Preparation and characteristics of Ge MOSFET	34
3.1 Fabrication process design of Ge MOSFET	34
3.2 Characteristics of Ge MOSFET	40
3.3 Conclusions	44
References	46
Chapter 4 Preparation and characteristics of SB-MOSFET	47
4.1 Fabrication process design of SB-MOSFET.....	47
4.2 Characteristics of Si channel SB-MOSFET	50
4.3 Characteristics of Ge channel SB-MOSFET	53
4.4 Conclusions	59
References	61
Chapter 5 Summary and outlook	62
Appendix Publication list	64

Acknowledgements65

厦门大学博硕士学位论文摘要库

第一章 绪论

1.1 研究背景与意义

半导体技术是几十年来发展最快的高新技术之一，它的发展速度极快，对人类社会产生了空前的影响，是科学技术和社会发展史上产生了革命性的影响，它所引领的这场信息技术产业革命将人类带入了信息时代。微电子技术产业的发展极大的推动了电子工业乃至国民经济的发展。在全球经济社会飞速发展的今天，以计算机和电子信息为代表的信息技术已成为经济发展的核心技术，而信息技术产业也已经成为了当今世界最大的技术产业。

CMOS 集成电路技术是微电子产业的核心，它的迅速进步直接推动了信息技术的极大发展。集成电路的集成度和性能的不断提高及功耗的减小是其核心体现，这也是集成电路持续发展的关键^{[1][2]}。而金属-氧化物-半导体场效应晶体管（MOSFET）是构成现代 CMOS 集成电路的基本单元。1960 年，Kahng 和 Attala 研制成功了第一只 MOS 场效应晶体管^[3]。1964 年，Snow 等人提出了高可靠氧化物的常规方法生长技术^[4]，这使得 MOSFET 技术开始走向真正意义上的实用，此后 CMOS 集成电路遵循等比例缩小规则实现了飞速发展。这一规则指出，为保证器件内部电场保持不变，使器件不会出现迁移率降低、碰撞电离、热载流子效应等高电场效应，要求器件在水平和垂直方向上的参数以及电压等均按同一个比例因子等比例缩小，同时衬底掺杂浓度则按该比例因子等比例增大。

摩尔定律指出，CMOS 集成电路的晶体管集成度每隔约 18 个月便会增加一倍，其芯片性能也将提升一倍，而提高集成度的主要方法正是缩小晶体管特征尺寸(scale-down)^[5]。晶体管的特征尺寸已经从 1978 年的 10 μm 缩小到现在的 22nm。以 14nm 为特征线宽的集成电路制造工艺也已经被研发成功。然而，随着摩尔定律的延续，器件栅极介质材料 SiO₂ 的厚度越来越接近其物理极限，这导致栅极漏电迅速增加。D. A. Muller^[6]和 Hui Wong^[7]等人的实验和理论研究表明，要保证 SiO₂ 的本征特性，氧化物必须包括至少两层相邻的 O 原子^{[6][7]}，因此作为集成电路中的栅介质层的 SiO₂ 的极限厚度为 0.7nm。这一物理极限的存在使得 CMOS 工艺在 90nm 节点时 SiO₂ 栅介质厚度（1.2nm）无法进一步减薄。为了消除器件等比例缩小导致介质太薄引起的过大栅极漏电流，必须寻找新的材料作为栅极介质。

MOSFET 器件沟道的开启和关闭是由其垂直方向的 MOS 结构控制，该结构类似一个平板电容，其电容密度大小由下式^[8]给出：

$$\frac{C_{ox}}{A} = \frac{\epsilon_0 \cdot \kappa}{d} \quad 1-1$$

其中 A 代表电容面积， ϵ_0 代表真空介电常数， κ 代表介质材料的相对介电常数，d 代表介质层厚度。从上式可以得出，当减小介质层厚度时，可以使电容增大满足集成电路等比例缩小规则的要求；而增大介质材料的 κ 值也可以达到增大电极电容密度的目的。因此，在 SiO_2/Si 结构 MOS 系统中的 SiO_2 达到物理极限之后，寻找高 κ 值材料替代 SiO_2 作为栅极介质是一种可能的解决方案。从电容和栅漏电流的角度来考虑，在相同电容的前提下，使用高 κ 值的介质材料允许制造工艺采用更厚的介质层，从而达到降低栅极漏电流的目的。然而，不同的介质材料其物理化学性质也差异较大，如化学性质与热稳定性、与半导体的势垒高度差、与半导体和金属接触的性质和界面态等。

在众多的高 κ 介质材料中， HfO_2 、 Al_2O_3 、 ZrO_2 等是近年来被研究的最为广泛的材料。其中 HfO_2 具有较好的综合性质，在 2007 年被 Intel 首次应用于 Si 基 CMOS 集成电路生产，是 Intel 45nm CMOS 制程工艺实现产业化的关键。然而，栅介质厚度减小带来的大栅极漏电流只是 CMOS 器件性能进一步提升面临的问题之一，器件尺寸缩小带来的源漏区浅结制造困难和更严重的短沟道效应使得通过单一的等比例缩小方法来提高器件和集成电路性能变得越来越困难^[9]。因此，要进一步提高晶体管和 CMOS 集成电路的性能，必须做出更多的努力和研究来寻找其它途径。

国际半导体技术蓝图 (ITRS) 在 2011 年对未来 CMOS 技术发展作出规划和预测，如图 1.1 所示^[10]。从图中可以看到在未来的 CMOS 技术发展进程中，栅极依然会采用金属/高 κ 介质结构，而沟道材料则可能由铟镓砷 (InGaAs) 材料或锗 (Ge) 材料替代现在的 Si 材料。图 1.2 给出不同材料的迁移率对比^[11]，从图中可以看出，Ge 具有最高的空穴迁移率。在当今 Si CMOS 集成电路中，p 沟道晶体管由于其低空穴迁移率导致电路需要增大 p 沟道晶体管的栅宽来提高驱动电流，成为了限制集成电路集成度提高的重要因素。此外，Ge 具有较小的禁带宽度，有利于降低器件工作电压和功耗，且与现今的 Si CMOS 工艺具有很好的兼容性。因此，Ge 成为了未来 CMOS 集成电路制造技术最有潜力的沟道材料之

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库