

学校编码: 10384

分类号 \_\_\_\_\_ 密级 \_\_\_\_\_

学号: 19820111152883

UDC \_\_\_\_\_

厦 门 大 学

硕 士 学 位 论 文

# 低频电荷泵锁相环频率合成器设计

## Design of A Low Frequency Charge-Pump

## PLL Frequency Synthesizer

庄锦清

指导教师姓名: 李开航 副教授

专业名称: 电子与通信工程

论文提交日期: 2014 年 4 月

论文答辩日期: 2014 年 5 月

答辩委员会主席: \_\_\_\_\_

评 阅 人: \_\_\_\_\_

2014 年 5 月

## 厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为( )课题(组)的研究成果,获得( )课题(组)经费或实验室的资助,在( )实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日



## 厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

1. 经厦门大学保密委员会审查核定的保密学位论文，  
于 年 月 日解密，解密后适用上述授权。
2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日



## 摘 要

近年来 D 类功率放大器凭借其高效率、低功耗、体积小等特点，广泛地应用于小型便携式音频设备中。它采用脉冲宽度调制（PWM）技术来实现音频信号的放大。而作为脉冲宽度调制技术所必须的三角波信号的性能很大程度上影响着功放的性能。电荷泵锁相环频率合成器（CPPLL）凭借其频谱纯、稳定性高、体积小等特点成为了频率合成器发展的主要方向，并广泛地应用于通信、计算机等领域。本文将设计一款电荷泵锁相环频率合成器，使其产生 D 类功率放大器所需要的低频三角波信号。

在介绍了锁相环基本原理，比较各模块电路性能的基础上，本文设计的可编程电荷泵锁相环频率合成器主要包括鉴频鉴相器、电荷泵、低通滤波器以及压控振荡器。其中鉴频鉴相器采用动态 D 触发器鉴频鉴相器（TSPC-PFD），其鉴相范围为  $\pm 2\pi$ 。电荷泵锁相环采用全差分输入电流舵电荷泵，具有良好的充放电电流匹配性，同时具有快速开关等特点。对于电荷泵开关时间造成的死区效应则可以通过调节鉴频鉴相器的反馈死区时间加以弥补，提高环路的精度。环路滤波器则采用简单的二阶低通滤波器。压控振荡器作为实现低频率输出的关键，本文采用对电容充放电形成三角波的结构，并根据实际要求加以改进，通过调节充放电电流实现不同频率输出，并达到一定的输出频率范围。分频器为简单的  $2/3$  双模分频器与本文设计的简单  $N/1$  分频器级联而成，并实现分频比可控。

本文基于 Cadence 仿真软件，采用 HHNEC BCD350 工艺实现电路的设计与仿真。电荷泵锁相环频率合成器最终实现 100kHz、300kHz、600kHz、900kHz 以及 1.2MHz 三角波及方波输出，并通过温度分别为  $-20^{\circ}\text{C}$ 、 $27^{\circ}\text{C}$  以及  $100^{\circ}\text{C}$  环境下的 tt、ff、ss 工艺角仿真。

**关键字：**频率合成；电荷泵；锁相环



## Abstract

In recent years, Class D power amplifiers are widely used in small-scale portable audio devices because of its high efficiency, low power consumption and smaller size etc.. It is based on the pulse width modulation (PWM) technology to realize the audio signal amplification. The characteristic of the triangular wave which is the important part of the PWM technology has a large extent affect on the Class D power amplifier's performance. Charge-pump phase-locked loop (CPPLL) frequency synthesizer with its high spectral purity, high stability, small size become the main development direction of the frequency synthesizer. And it is widely used in the field of communication, computer, etc.. This paper designs a charge-pump phase-locked loop frequency synthesizer to produce the triangle wave that the class D audio power amplifier needs.

This paper analyzes the principle of phase-locked loop and compares the characteristics of various types of charge-pump phase-locked loops, then shows the circuit of the programmable charge-pump phase-locked loop frequency synthesizer. It includes a frequency phase detectors, a charge pump, a low pass filter and a voltage-controlled oscillator. This paper uses the true single phase clock PFD whose phase detection range is  $\pm 2\pi$  as the first part of the CPPLL . And a current steering charging-pump is included. It has a good matching between the charging current and the discharging current. At the same time it has the characteristic of fast switching. On the other way the dead zone of the charge pump can be offset by the delay time of the PFD's reset signal. Voltage-controlled oscillator as a important part of CPPLL alters the frequency by changing the charging/discharging current of the capacity. The programmable frequency divider is composed by the  $2/3$  frequency divider and the  $N/1$  divider which is made up by simple logic gates.

The circuit is designed in HHNEC BCD035 process and the behavior is simulated in Cadence. The output of the CPPLL frequency synthesizer can be the triangular wave or the square wave. It can alters among 100kHz、300kHz、600kHz、



900kHz and 1.2MHz. The CPPLL frequency synthesizer also has a good performance under the tt, ff, ss corners from -20°C to 100°C.

**Key words:** frequency synthesizer; charge pump; phase lock

厦门大学博硕士论文摘要库

<b>目录</b>	
中文摘要.....	I
英文摘要.....	II
<b>第一章 绪论</b> .....	VI
1.1 锁相环发展概述.....	1
1.2 锁相环的分类与应用.....	2
1.3 本课题研究背景.....	3
1.4 论文组织结构.....	4
<b>第二章 锁相环基本原理介绍</b> .....	6
2.1 锁相环基本结构.....	6
2.1.1 鉴相器 (PD) .....	7
2.1.2 环路滤波器 (LF) .....	8
2.1.3 压控振荡器 (VCO) .....	10
2.2 锁相环数学模型.....	12
2.3 锁相环的主要参数.....	16
2.3.1 锁相环的工作状态及过程.....	16
2.3.2 锁相环主要参数.....	17
2.4 锁相环的噪声性能.....	19
2.4.1 基本噪声理论.....	19
2.4.2 锁相环噪声理论.....	20
2.5 电荷泵锁相环.....	21
<b>第三章 频率合成器简介</b> .....	24
3.1 频率合成器概念.....	24
3.2 频率合成的基本方法与实现部件.....	24
3.3 频率合成器的性能参数.....	26
<b>第四章 CPPLL 频率合成器电路分析与设计</b> .....	28

<b>4.1 鉴频鉴相器电路分析</b> .....	28
4.1.1 鉴频鉴相器简述.....	28
4.1.2 鉴频鉴相器电路介绍.....	29
<b>4.2 电荷泵电路分析</b> .....	33
4.2.1 电荷泵的非理想特性.....	33
4.2.2 常见的电荷泵电路.....	36
<b>4.3 环路滤波器</b> .....	39
<b>4.4 压控振荡器电路分析</b> .....	40
4.3.1 环形压控振荡器.....	40
4.3.2 LC 压控振荡器.....	43
4.3.3 电容充放电结构压控振荡器.....	45
<b>4.5 可编程分频器</b> .....	50
<b>第五章 CPPLL 频率合成器电路整体仿真</b> .....	53
5.1 CPPLL 频率合成器瞬态仿真结果.....	53
5.2 CPPLL 频率合成器工艺角仿真.....	55
<b>第六章 总结</b> .....	57
<b>[参考文献]</b> .....	59
<b>致 谢</b> .....	63
<b>硕士期间发表的论文</b> .....	64

<b>Abstract in Chinese</b> .....	I
<b>Abstract in English</b> .....	II
<b>Chapter 1 Introduction</b> .....	1
<b>1.1 PLLs Development Overview</b> .....	1
<b>1.2 Classification and Application of PLLs</b> .....	2
<b>1.3 Background</b> .....	3
<b>1.4 Organization</b> .....	4
<b>Chapter 2 Introduction of PLLs</b> .....	6
<b>2.1 PLL Structure</b> .....	6
2.1.1 Phase Detector (PF) .....	7
2.1.2 Loop Filter (LF) .....	8
2.1.3 Voltage-Controlled Oscillator (VCO) .....	10
<b>2.2 Mathematical model of PLLs</b> .....	12
<b>2.3 Parameters of PLLs</b> .....	16
2.3.1 Working State and Process.....	16
2.3.2 Major Parameters.....	17
<b>2.4 Noise Performance of PLLs</b> .....	19
2.4.1 Basic Theory of Noise.....	19
2.4.2 Noise of PLLs.....	20
<b>2.5 Charge-Pump PLL</b> .....	21
<b>Chapter 3 Introduction of Frequency Synthesizer</b> .....	24
<b>3.1 Concept of Frequency Synthesizer</b> .....	24
<b>3.2 Method and Components</b> .....	24
<b>3.3 Major Parameters</b> .....	26
<b>Chapter 4 Design of CPPLL Frequency Synthesizer</b> .....	28
<b>4.1 Design of PFD</b> .....	28

4.1.1 Concept of PFD.....	28
4.1.2 Circuit Design.....	29
<b>4.2 Design of Charge Pump.....</b>	<b>33</b>
4.2.1 Properties of Charge Pump.....	33
4.2.2 Circuit Design.....	36
<b>4.3 Design of LPF.....</b>	<b>39</b>
<b>4.4 Design of VCO.....</b>	<b>40</b>
4.3.1 Voltage-Controlled Ring Oscillator.....	40
4.3.2 Voltage-Controlled LC Oscillator.....	43
4.3.3 VCO of Current-Capacitance.....	45
<b>4.5 Programmable Frequency Divider.....</b>	<b>50</b>
<b>Chapter 5 Simulation of CPPLL Frequency Synthesizer.....</b>	<b>53</b>
5.1 Transient Simulation.....	53
5.2 Corners Simulation.....	55
<b>Chapter 6 Conclusion.....</b>	<b>57</b>
<b>References.....</b>	<b>59</b>
<b>Acknowledgements.....</b>	<b>63</b>
<b>Publications.....</b>	<b>64</b>

## 第一章 绪论

### 1.1 锁相环发展概述

锁相环 (Phase-Locked Loop) 是把输出相位和输入相位相比较的反馈系统<sup>[1]</sup>, 是自动频率控制和自动相位控制技术的融合。由于其优良的性能在电子学和通信领域中得到广泛的应用。基本锁相环 (PLL) 结构包括鉴相器 (PD)、环路滤波器 (LF) 和压控振荡器 (VCO)。鉴相器用于检测两个输入信号的相位差; 环路滤波器则将鉴相器输出的信号平均化取其直流成分; 压控振荡器利用环路滤波器输出的直流信号控制其振荡频率, 得到与参考信号同步的输出信号, 实现相位锁定<sup>[2]</sup>。

早在 20 世纪 30 年代锁相 (phase locking) 概念就已经被提出。1932 年, 一位英国的科研人员研究出了可以替代 Edwin Armstrong 超外差接收机的零差接收机 (直接转换接收机), 而在这之前几乎所有的无线接收机中都采用超外差方式。同年该技术由法国科学家 Henri de Bellescize 发表于法国杂志 L'Onde Électrique。当时并不使用 PLL 术语, 而称为 Synchronyne (同步接收机)。但是同步接收机在当时并没有实用化。直到 1947 年, 锁相环才第一次应用于电视接收水平和垂直扫描的同步, 很好地改善电视图象的同步性能。1954 年, 锁相环进一步应用于彩色电视机的色彩同步信号提取。

大约在 1965 年, 第一个 PLL 集成芯片出现, 它是一个纯粹的模拟器件。1969 年 Signetics 公司研发出了可以集成一个完整的锁相环系统于一个芯片上的单片集成电路, 从此锁相环技术被大规模应用于通信、计算机、雷达、航天等领域中。随后, PLL 的研究逐渐向数字领域发展。大约在 1970 年, 出现了第一个数字锁相环。它实际上是一个数模混合器件, 整个 PLL 中只有鉴相器采用数字电路结构。随着计算机、通信等行业的迅速发展, 锁相环作为数字通信中的关键部分, 为了更好地与数字系统兼容, 对 PLL 的研究向数字方向更加深入, 出现了全数字锁相环 (All Digital Phase-Locked Loop, ADPLL)。全数字锁相环包括由全数字乘法器等构成的相位检测器、数字滤波器以及数控振荡器等, 它具有面积小易集成、可靠性高、功耗小、价格便宜等特点。

本世纪计算机软件迅速发展,软件仿真在集成电路的设计过程中扮演着越来越重要的角色,软件应用成为了通信、航空等各个领域不可或缺的部分。软件锁相环 (Soft Phase-Locked Loop, SPLL) 亦用纯软件实现,摆脱了硬件电路的复杂设计且处理灵活,解决了一些模拟电路遇到的问题,提高了系统的稳定性和可靠性。最初,由于受到微机运行速度的限制,软件锁相环的上限工作频率较低,未能得到实际的应用。现今,微机工作速度越来越高,软件锁相环也迅速发展并已得到实际应用<sup>[3][4]</sup>。

随着微电子技术的迅速发展,从第一个集成电路锁相环至今,其制造工艺出现了多种实现方式,如 CMOS、双极型、BiCOMS、GaAs 以及 SiGe 等。其中 GaAs 工艺一般用在高频高性能的场合,但其代价较高。而对于其它工艺,同等条件下双极型器件的速度较 CMOS 器件快得多。但 CMOS 工艺具有低功耗、高集成度、低成本、容易实现等优点,因而得到广泛运用。目前 90nm SiGe BiCMOS 工艺下的锁相环已能达到 300GHz<sup>[5]</sup>。

## 1.2 锁相环的分类与应用

锁相环发展至今,其技术日趋成熟,从其发展历程来看,锁相环主要可分为:模拟锁相环 (APLL)、数模混合锁相环 (DPLL)、全数字锁相环 (ADPLL)、软件锁相环 (SPLL)<sup>[3][6]</sup>。目前,模拟锁相环已渐渐不再使用,而数模混合锁相环凭借其低成本、高效高性能、灵活、可靠性高等特点被广泛地应用于各个行业。电荷泵锁相环 (Charge-Pump Phase-Locked Loop, CPPLL) 是典型的数模混合锁相环,其中的鉴频鉴相器以及分频器等由数字电路构成,而压控振荡器以及电荷泵等则为模拟电路。电荷泵锁相环具有低功耗、锁定相位差小、高效简单等特点,主要运用于频率综合电路 (Frequency Synthesizer)、数据及时钟恢复电路 (Clock and Data Recovery, CDR) 以及无线接收发送等领域。全数字锁相环中完全没有模拟器件,整个电路中只有高低电平两种状态,受电源以及外界环境的干扰较小,具有系统可靠性高、易集成、低成本等优势。但由于其存在结构复杂、工作频率不高、噪声性能相对差以及电路性能不及数模混合锁相环等缺点,全数字锁相环的应用范围相对受限。软件锁相环完全无硬件结构,灵活性高,但由于受到微机性能的限制,还未能得到较多的应用。目前对软件锁相环的研究已逐步展开<sup>[7]</sup>,

在实际应用中初露头角,如基于 DSP 技术的三相软件锁相环成功地应用于 PWM 整流器中<sup>[8]</sup>。

锁相环凭借其良好的性能、低成本、高灵活性、稳定的结构在各个领域得到广泛的应用。在通信领域中锁相环主要用于发射、接收机中的主振与本振源、有线通信中的载波形成以及各种通信系统中的调制与解调、数字通信中的载波同步等<sup>[9]</sup>。在计算机领域中,主要用于各种时钟信号的供给,时钟恢复以及控制系统中等<sup>[10]</sup>。在电视及高保真设备中,锁相环主要用于电视机同步、门限扩展解调、电视台的锁相连播同步、频率合成等<sup>[11]</sup>,这是锁相环传统的应用之一。另外,锁相环还广泛运用于导航<sup>[12]</sup>、空间技术<sup>[13]</sup>、仪器仪表、生物医学电子<sup>[14]</sup>等领域<sup>[15]</sup>。

### 1.3 本课题研究背景

随着手机、笔记本电脑、MP4 播放器等音频消费电子的发展,对电子产品的便携性、续航能力、功耗等的要求越来越高。音频功率放大器作为这些电子产品最常用的组件之一,也面临着越来越高的性能要求,特别是对音频功放效率的要求。音频功率放大器主要有 A 类(甲类)、B 类(乙类)、AB 类(甲乙类)以及 D 类功放。其中 A 类功放虽然声音醇厚,但其耗能大、效率低、输出功率小<sup>[16]</sup>。而 AB 类功率放大器拥有高品质的音频放大性能,但其效率低,输出功率相对较低,若想要 AB 类功率放大器输出高功率,则其必定消耗更多的功率产生热量,故需要强大的散热系统,增加了器件的体积与成本<sup>[17]</sup>。D 类功率放大器的工作方式不同于 AB 类功率放大器,它采用电压切换的方式,所以其输出级或是处于导通状态或是处在截止状态,大大提高了功率放大器的效率。D 类功率放大器的效率达到 80%以上,大约比 AB 类功率放大器高 2-3 倍,所以 D 类功率放大器被广泛地用在便携式高功率音频设备中<sup>[18][19][20]</sup>。

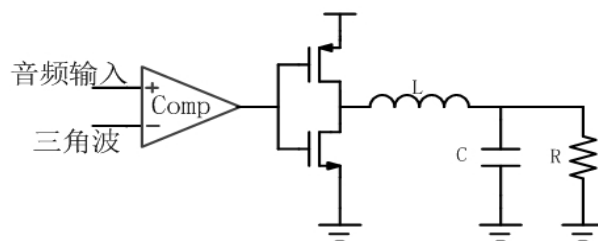


图 1.1 D 类功率放大器基本结构



Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to [etd@xmu.edu.cn](mailto:etd@xmu.edu.cn) for delivery details.

厦门大学博硕士论文摘要库