

片上系统的设计技术及其研究进展*

慈艳柯¹, 陈秀英², 吴孙桃¹, 郭东辉¹

(1. 厦门大学技术物理研究所, 福建 厦门 361005; 2. 厦门厦新电子公司, 福建 厦门 361005)

摘要: 综述了微电子领域中集成电路以及片上系统目前的发展情况, 详细介绍了片上系统的设计方法、设计技术及其设计过程中亟待解决的问题, 并对其研究进展做了展望。

关键词: 片上系统; 电子设计自动化; 集成电路设计

中图分类号: TN492; TN401 **文献标识码:** A **文章编号:** 1003-353X(2001)07-0012-05

Reviews of SOC design technology

CI Yan-ke¹, CHEN Xiu-ying², WU Sun-tao¹, GUO Dong-hui¹

(1. Institute of Technical Physics, Xiamen University, Xiamen 361005 China; 2. Amoisonic Inc., Xiamen 361005 China)

Abstract: This paper is to review on the design technology of Integrated Circuit and System on a Chip (SOC) in the area of microelectronics, and detail on the methods and techniques of SOC design. The problems of future research in this area are as well analyzed and concluded in this paper.

Keywords: SOC; EDA; IC design

1 引言

目前, 随着多媒体、网络化、移动化的发展, 过去利用印刷板技术和 IC 芯片来实现的系统, 由于芯片之间延迟过长、电压较高、体积较大等因素, 使其无法满足市场对整机系统越来越高的性能要求。正是在市场需求和集成电路技术发展的双重作用下, 出现了将整个电子系统集成在单个芯片上的技术^[1], 即“片上系统”(System on a Chip, 简称 SOC)。

1995 年 Dataquest 对片上系统下了一个定义: SOC 包括计算单元(微处理器、微控制器或数字信号处理器)、至少 10 万门和相当大的片上存储器^[2]。现在的 SOC 能够在单一硅芯片上集成存储器、信号采集和转换电路、MCU、MPU、DSP 等模拟与数字混合电路, 从而构成一个完整的系统。SOC 直接实现的系统具有集成度提高、体积减小、功耗降低、成本下降等优点, 因此被广泛应用于计算机、通

信、消费类电子产品、工业、军事等许多领域。

片上系统的设计与传统的集成电路设计有很大的区别, 它需要在能够支持混合信号的设计环境下, 运用自上至下的设计方法, 并采用复用 IP 核、软硬件协同设计以及 DFT/BIST 综合测试验证等技术来实现。本文就片上系统的主要设计方法和设计技术加以讨论, 并指出实现 SOC 中亟待解决的问题。

2 片上系统的设计方法

集成电路设计指得是从硬件的一种描述形式到另一种描述形式的变换, 设计的最终目标是得出集成电路的某种可制造的描述形式^[3]。传统的硬件系统设计多采用自下至上的方法: 首先根据系统对硬件的要求, 合理划分功能模块; 然后进行各子电路及系统设计、调试; 最后, 当电路设计完成后, 再根据工艺线的具体工艺条件进行物理设计、制作掩模版及制造芯片。采用自下至上的设

* 国家自然科学基金项目 69886002; 福建省科技项目: 98-I-7

计方法,整个系统的功能验证只能在所有底层模块设计完成后进行。如果系统功能不符合设计要求,就有可能要对所有的底层模块进行重新设计,使得设计时间延长。

随着深亚微米技术的不断发展,芯片的规模逐渐扩大,芯片内的线路也越来越复杂。目前的超大规模集成电路(VLSI),特别是片上系统,采用传统的硬件设计方法根本无法完成其功能设计。因此IC设计者必须在先进的EDA开发工具的基础上,采用自上至下、结构化设计、设计再利用和软硬件协同设计的方法来完成SOC的系统功能设计。

2.1 自上至下的方法

就是从系统总体出发,先确定系统的技术要求;然后自上至下将设计内容细化,选择和设计构造系统所需要的单元;最后完成系统硬件的整体设计。在整个设计过程中,不论是总体的行为设计,还是最终的逻辑综合,每一步都要进行仿真测试。在版图设计完成后,还要进行版图验证,包括设计规则检查(DRC)、版图的电路提取(NE)、电学规则检查(ERC)和寄生参数提取(PE)等,以确保版图满足制造工艺要求和符合系统的设计规范。采用自上至下的设计方法有利于在设计早期发现问题,这时发现的问题比较容易改正且花费较少。设计中的多次仿真测试可以保证设计的正确性,减少设计的反复次数,从而缩短产品进入市场的时间。

2.2 结构化设计的方法

将一个复杂系统分解成多个层次独立的子模块,然后分别进行设计,这样将大大降低设计的复杂度。由于每个层次独立于其上层的设计进程,使得IC设计者们能够并行地进行子模块的设计与仿真,并且对各个子模块的设计修改只影响该子模块本身,而不会影响其它的子模块。

2.3 设计再利用的方法

现在片上系统的规模大致为1000万等效门左右,而IC工程师的设计能力平均为200门/(人·天),如果仅靠设计者本身从头完成一个片上系统几乎是不可行的。这样,不仅需要很长的设计

开发时间和大量的NRE(Non-recurring Engineering)费用,产品还可能会彻底失去市场。为了解决设计能力跟不上制造能力的矛盾,IC设计者在设计过程中大量复用自行设计开发或其它第三方拥有知识产权的IP(Intelligent Property)模块。基于IP模块的SOC设计技术已经成为设计片上系统的主要方法,建立功能模块和子系统IP库也成为实现系统级芯片的关键之一。设计再利用使得IC设计者只需要考虑系统的其它功能部分以及与IP模块的接口部分,就能在系统级完成电路设计。

2.4 软、硬件协同设计的方法

片上系统中通常要包含CPU、DSP等核心模块,因此必然包含软件,所以充分考虑如何合理规划软件和硬件所实现的系统功能以及如何实现软、硬件之间的信息传递是十分必要的。目前软件与硬件进行联合设计、协同开发也已经成为IC设计者所关注的热点。系统中软件实现功能的增加可降低升级费用,还增强了设计的灵活性,并进一步缩短了芯片的设计时间。

3 片上系统的设计技术

设计片上系统是一项十分艰难的任务,利用已验证的、可重复使用的IP模块参加SOC芯片设计,可以使得设计变得容易。因此,如何设计可重复使用、可重复综合的IP模块,如何重复使用过去自行设计或第三方的IP模块以及如何对系统级进行验证,在片上系统的设计技术中都是十分关键的。

3.1 IP模块

IP模块不同于传统意义上的单元库,它是指具有很高知识含量、规模更大并被系统设计者认可的具有知识产权的功能单元块。IP模块主要有三种不同的存在形式:

(1) 利用HDL语言描述并能够被完全综合的称为软件IP(soft core)模块。SOC设计者可以将其重新布局布线,方便地重复使用于各种不同的工艺技术上,也可以根据不同应用加以修改,在片上系统设计中表现出了很大的灵活性。但是软核的时序不能准确预测,增加了系统设计后测

试的难度；

(2) 由 IP 提供者完成版图设计的 IP 模块称为硬件 IP (hard core) 模块。它与硅工艺、时序等紧密联系, 并对芯片密度、速度和功率等进行了最优化设计。但是对于硬件 IP 模块, 例如, 存储器和大多数的微处理器等, 系统设计者不允许对其进行任何改动, 而只能被当成一个完整的库单元处理。因此, 系统设计中的布局布线以及与其它 IP 的接口变得很困难;

(3) 以 RTL 代码和对对应具体工艺网单的混合描述形式提供给设计者的 IP 模块称为固件 IP (crusty core) 模块, 象一些模拟电路或射频电路等。固件 IP 模块通常以逻辑门层次的网单形式提供, 系统设计者可以根据特殊需要对其做一定的修改。但是固件 IP 模块的知识产权不易保护, 因此缺乏其提供商。

3.2 片上系统的复用技术

实际中无论设计或复用何种形式的 IP 模块, IC 设计者都要充分考虑 IP 模块的综合、搭配和调试 (mix and match)。设计 IP 模块时, 应该采用标准接口、可重复使用的策略, 还要在不公开 IP 模块核心技术的前提下构造出足够精确的 IP 模块的仿真模型。复用第三方提供的 IP 模块时, 要先对其性能、功能和工作情况进行评估。例如, 验证软件 IP 模块是否能在实际的硅芯片上正常工作, 验证 IP 模块是否确实能够完成 IP 提供商所给出的功能以及验证 IP 模块是否符合片上系统工作时的速度、容量等要求^[4]。另外, 还应该针对单个 IP 模块先进行测试, 确保其具有可测性。当然, 复用多个 IP 模块设计片上系统时, 也要保证整体的可测性^[5]。为了使复用的多个模块更容易匹配和调试, IC 设计者必须先确定带有总线的系统结构框架和该系统所服从的总线协议, 这样可以使得各个模块能够通过片上总线与 MCU、MPU 或 DSP 进行有效的信息传递^[6]。

3.3 片上系统的测试技术

随着集成度的提高, 测试在集成电路设计中所占的比重越来越大, 已经成为制约设计周期缩短的主要障碍。对于片上系统来说, 由于所需的测试矢量数量太多, 仅采用早期的扫描技术完成

SOC 的测试任务变得越来越困难, 而且十分耗时。另外, 设计片上系统时大量复用 IP 模块, 而这些预先设计好的 IP 模块会影响片上系统的测试, 所以要求片上系统设计者较早地从宏观上进行验证和测试技术的考虑, 并寻找能够使用较少测试矢量证明芯片正常工作的方法。现在 SOC 设计者开始广泛关注可测性设计 (DFT) 和内置自检 (BIST) 技术, 并且在设计初期就加以考虑, 以便得到最优的 DFT/BIST 策略。设计人员利用 VHDL 或 Verilog 自行编写测试代码, 然后借助于 EDA 来完成大量的 DFT/BIST 任务。在进行测试时, 要充分考虑可能出现的各种问题, 同时结合全扫描、部分扫描和边界扫描技术以便于获得较高的故障覆盖率^[7]。

集成电路技术的发展将使 IP 模块成为片上系统设计的基本单元, IC 设计者采用桌面集成的办法, 把设计的专用电路与 IP 模块结合起来完成 SOC 芯片的设计。基于 IP 模块的片上系统设计技术, 不但提高了系统设计者的设计能力, 而且推动着电子和半导体工业迅速向前发展。

4 片上系统中存在的问题

4.1 设计中存在的问题

尽管片上系统是人们关注的焦点, 但由于 SOC 的设计方法、设计技术中有许多不成熟的研究领域, 所以在片上系统的设计过程中还存在大量亟待解决的问题。例如, 在深亚微米条件下, 片上系统的特征尺寸不断减小, 而主时钟频率却不断提高, 已经达到 1GHz^[8]。建立快速、精确的混合层模拟模型来描述时序关系, 以支持行为级、门级甚至晶体管级的仿真验证^[9]。片上系统中集成了很多的功能, SRAM、DRAM、处理器、总线、模拟电路和 A/D、D/A 转换等, 但这些功能的要求有些是互相冲突的, 如何对这些不同的功能进行优化处理就是一个很大的问题。另外, 即使能够把它们集成在同一芯片上, 增加的 BIST 电路也会过多地占用片上系统的位置, 影响整体系统功能的实现^[10]。

当 IC 设计者进行片上系统设计时, 可以采用不同方法来实现设计输入, 既可以复用 IP 模块, 也可以输入原理图。既可以在一个片上系统中使

用同一公司不同形式的IP模块,也可以使用不同公司的或者自行设计开发的IP模块。但是各个IP模块的提供商都遵循自己的标准,因此如何制定出不同电子设计间相互联结的传递标准以及统一的设计规范是片上系统设计中又一个亟待解决的问题。IP模块的复用是SOC设计的关键,许多芯片厂商提供了各种IP模块供IC设计者使用,但是目前没有现成的法律可以保护这些IP模块,依靠技术手段来解决也比较困难。如何能够既保护知识产权,又方便使用者的再利用,如何对IP模块进行准确地评估等也同样是进行片上系统设计所需要解决的问题。

对于集成电路芯片来说,因为能量是作为具有一定速度的电磁波沿着传输线发送出去,所以连线延迟是不可避免的。当集成电路工艺线条宽度达到 $0.8\mu\text{m}$ 时,连线延迟已经与门延迟相当。而对于片上系统,事实上连线的延迟已超过了门的延迟。所以如何在进行电性能模拟仿真时准确地描述传输线的精确延时参数是一个保证仿真和验证正确性的十分关键的问题。

4.2 设计中涌现的新技术

片上系统设计过程中还存在着很多其它的问题。比如,高效、准确地将高层次硬件描述语言自动合成RTL级、门级电路;利用或消除集成电路中的寄生电阻、寄生电容;进行片上系统的面积最小、速度最快之间的折衷,以实现系统的最优化设计以及实现系统中软件集成和软硬件配合。现在世界上许多著名的EDA公司如Cadence、Mentor Graphics、Synopsys等开始关注这些问题,并开发出了一系列先进的开发工具。EDA产业界也在不断地涌现出各种关于SOC设计的新技术,例如,Mentor公司在其专有的Calibre技术基础上,推出了Xcalibre技术,可以高效精确地进行深亚微米IC设计的互联寄生参数提取;Synopsys公司提供的Formality形式验证等效检查工具及Prime Time静态时序分析工具,可以大大加快仿真验证的速度;Cadence公司的Felix新技术使软件与硬件的联合设计成为可能等等。随着设计及工艺技术的不断提高,片上系统设计中所存在的问题必将逐步得到解决。

July 2001

5 片上系统的研究进展

在电子设计自动化技术高速发展的驱动下,片上系统设计也有了很大的发展,到2002年,SOC的规模可以达到单个硅芯片上集成3千万门,SOC芯片开始在IC市场占据重要地位^[1]。SOC领域不断涌现出各种新技术,过去只针对ASIC而言的设计复用方法已经被广泛应用于各种可编程逻辑器件中,并开发出了一系列适合于系统级芯片设计的FPGA器件,使之成为实现片上系统的一个重要途径^[2]。基于片上总线的测试平台为SOC的验证带来了新的机遇,通过片上总线执行静态时序分析和功能验证可以大大减轻SOC的设计任务^[5]。在综合测试的内置自检技术中引入线性反馈移位寄存器(LFSR)的概念,可以使复杂电路通过LFSR的简单逻辑激励来高效完成自检任务^[13]。

新兴的EDA公司还提出了重点发展C++语言、标准单元库和网上设计服务等新的发展策略,并且开发基于C++语言的硬件描述工具。采用C++为设计语言,不但运行速度比HDL快2~3个数量级,而且可以为IP供应商提供知识产权保护。

总之,21世纪的SOC技术会得到更进一步的发展,将突破基于当代计算机系统处理问题的能力极限,创造出基于更新的原理和结构的系统芯片。

参考文献

- 1 王阳元. 21世纪的微电子技术. 世界科技研究与发展, 1999; (3)
- 2 Fields C. SOC和系统级集成时代的FPGA设计复用策略. 电子工程专辑, 2000: 12
- 3 王志华, 邓仰东. 数字集成系统的结构化设计与高层次综合. 清华大学出版社, 2000
- 4 Stewart D. Evaluation of 3rd party intellectual property over the internet. Electronic Engineering, 2000; 72(881)
- 5 Tuck B. How do you guarantee the testability of an IP block. Computer Design, 1997; 36(10)
- 6 Vollmer A. Sea-of-IP design methodology delivers next-generation system-on-a-chip solutions. Electronic Design, 2000, 48(11)
- 7 Turino J. 用于SOC设计的DFT和BIST技术. 电子工程专辑, 2000, (9)
- 8 李志坚. 21世纪微电子技术发展展望. 科技导报, 1999; (3)

Semiconductor Technology Vol. 26 No. 7 15

- 9 Cheng E K. Analog/Power Trends. 1999
- 10 Havvind R. System-on-a-chip:Not as easy as it looks . Solid State Technology, 2000,36(11)
- 11 Kawarabayash i M, Lu JQ, Goto K, Fung P W. System level design methodolgy for system on a chip. Nec Research&Development, 2000; 41 (3)
- 12 Varhol P. The Iprevolution reaches programmable logic. Computer Design, 1997; 36(6)
- 13 Rajski J, Tamarapalli N, Tuszer J. Automated synthesis of

phase shifter for built-in self-test applications. IEEE Transactions on Computer-aided Design of Integrated Circuit and Susters, 2000; 19 (10)

(收稿日期: 20010413)

慈艳柯 女, 厦门大学物理学系信息与电子技术方向硕士研究生, 主要从事片上系统、可编程ASIC系统的设计与仿真以及单片机电子技术应用方面的研究。

(上接第 2 页)

有网站 (WWW.CCID-MRD.COM.CN) 为基础平台, 将会员单位组织起来, 集体上网宣传, 在全行业建成业务互通、技术共享的一体化的信息发布与沟通网络, 用先进的技术手段为会员单位和政府部门提供功能强大的信息支撑和技术服务体系, 各会员单位可以在该网站上自由的、无偿的进行企业所需的各种链接, 进行本企业产品的网上宣传, 适应和迎接信息时代和网络经济的挑战

⑤ 开展技术合作和咨询服务工作。通过多种途径从国内外搜集各类技术信息, 向会员单位提供技术支撑服务, 逐步形成能够胜任和适应行业内会员单位需求的技术服务能力;

⑥ 组织研讨会和展览会。组织举办本行业国

内外新产品、新技术研讨会和展览会 (展示会、展销会), 为企业开拓市场服务。首先针对某项产品或某个领域的个别企业举办研讨会、交流会等, 逐步创造条件举办大型研讨会、展览会;

⑦ 组织行业培训与交流活动;

⑧ 加强协会自身组织建设。

按照上述工作构想, 我们要扎实工作, 不懈努力, 加强协会的中介职能, 形成协会、政府主管部门和会员单位之间良好互动作用, 争取得到全行业和社会力量对协会工作的理解和支持。

让我们积极行动起来, 为实现我国“十五”半导体产业的发展目标和新世纪我国半导体产业的腾飞, 努力做好行业服务工作。

(上接第 7 页)

与对 IP 的保护不够有关。因此, 集成、验证和保密性是 IP 面临的三大挑战和未来发展趋势。

尽管片上系统设计中的 IP 复用存在着许多问题需要解决, 但由于 IP 复用技术本身的优点和巨大的市场前景, 吸引了越来越多 SOC 设计者和半导体厂商的关注。随着设计工具与设计方法学的不断改进以及相关标准的制定和实施, IP 复用的前景一片光明!

参考文献

- 1 Jozwiak L. Quality-driven system-on-a-chip design. IEEE 2000 First International Symposium on Quality Electronic Design, 2000, 93~102
- 2 Savage W, Chilton J, Camposano R. IP reuse in the system on a chip era. Proceedings of the 13th International Symposium on System Synthesis, 2000, 2~7

- 3 Michael Keating and Pierre Bricaud, Reuse Methodology Manual for System-on-a-Chips Designs, Kluwer Academic Publishers, 1999
- 4 Bricaud P J. IP reuse creation for system-on-a-chip design. Proceedings of the IEEE Custom Integrated Circuits, 1999, 395~401
- 5 Gajski D D, Wu A C H, Chaiyakul V *et al.* Essential issues for IP reuse. Proceedings of the ASP-DAC Design Automation Conference, Asia and South Pacific, 2000, 37 ~42
- 6 Jim Tully. Semiconductor Intellectual Property - Market Overview and Outlook. IP-DESIGN 2000: International Workshop on IP based Synthesis and SoC Design, 2~5

(收稿日期: 20010505)

朱全庆 男, 博士研究生, 1997年、2000年分别获华中理工大学、华中科技大学学士、硕士学位, 2000年入华中科技大学图象识别与人工智能研究所攻读博士学位, 主要研究方向是专用集成电路设计。