

一种增/减量可变的计数式数控振荡器的设计

周书伟, 王云峰, 李晓潮, 郭东辉

(厦门大学 福建 厦门 361005)

摘要: 数控振荡器是全数字锁相环中的关键部件, 目前应用较多的是除 N 计数式数控振荡器和增量/减量计数式数控振荡器, 应用于锁相环时, 前者做一次分频比调整就能使环路进入锁定状态, 捕捉时间短, 后者捕捉时间长, 却有着前者没有的优势: 结构简单、易于集成。提出了一种增/减量可变的计数式数控振荡器电路, 此电路结构简单, 同时也具有捕捉时间短的优点。

关键词: 全数字锁相环; 数控振荡器; 可编程计数器; 边沿感应器

中图分类号: TN742

文献标识码: B

文章编号: 1004-373X(2007)18-0010-04

Design of an Increment/Decrement Adjustable Digital Control Oscillator

ZHOU Shuwei, WANG Yunfeng, LI Xiaochao, GUO Donghui

(Xiamen University, Xiamen, 361005, China)

Abstract: DCO is a key module of DPLL, generally there are two design methods: N divided counter control and increment/decrement counter control. For the former, one frequency adjustment can make the loop reach the locked state, having a short capture time. The latter's capture time is much longer, but its structure is simple and easy for integration. In view of the above problem, this paper presents an increment/decrement adjustable DCO based on increment/decrement counter control principle. It adopts output feedback design and has a simple structure. It can gain the same capture speed of N divided counter DCO. The simulation results show that the DCO can change frequency in a large range rapidly.

Keywords: DPLL; DCO; programmable counter; fringe inductor

1 引言

锁相环(Phase Locked Loop, PLL)是一个闭环相位自动跟踪系统, 是由鉴相器(PD)、环路滤波器(LF)和压控振荡器(VCO)组成, 其最早是由 Debellescize 于 1932 年提出的^[1], 现已得到了广泛的应用, 如跟踪滤波、调制解调、时钟同步、频率合成等技术都用到了锁相环。随着数字电路技术的成熟, 1967 年 Drogin 提出了一种全数字锁相环(All Digital Phase Locked Loop, ADPLL)^[2], 他是由数字鉴相器(DPD)、数字环路滤波器(DLF)及数控振荡器(DCO)组成。与模拟 PLL 相比, ADPLL 具有更好的抗干扰能力和稳定性, 特别是避免了模拟 PLL 中 VCO 的非线性、部件饱和以及鉴相特性的零点漂移等问题, 且采用数字电路技术易于 ADPLL 器件集成^[3]。

但是由于集成电路本身逻辑速度的限制, ADPLL 目前主要是应用于一些工作频率较低的领域如: 调频(FM)或 FSK 信号解调, 移相键控信号(PSK)解调以及位同步技术等^[4], 因此提高 ADPLL 电路性能关键在于如何提高

DPD, DLF 和 DCO 的响应速度。目前在实际应用中的 DCO 有除 N 计数式 DCO 和增量/减量计数式 DCO, 其中前者的响应时间快, 但是结构较为复杂, 而后者虽然响应时间长, 但其结构简单且易于单片集成^[3]。鉴于后者易于集成的特点, 提出一种增/减量可变的计数式 DCO 电路, 以提高 DCO 的响应速度。本文主要介绍该种 DCO 的工作原理及其主控器电路设计, 并用 cadence 中的 verilog_XL 工具来进行功能仿真, 结果表明此 DCO 能够迅速的大幅改变输出频率, 达到了除 N 计数式 DCO 的响应速度。

2 基本工作原理

增量/减量计数式 DCO 的基本电路模块结构图如图 1 所示。

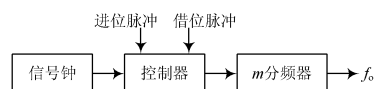


图 1 增/减计数式 DCO 结构图

其中信号钟模块是一个可产生输出频率为 f_o 的高频振荡源电路, 控制器模块和 m 分频器模块共同构成一个相位调整电路, 主要用来调整输出信号 f_o 的相位。一般计数式 DCO 的工作原理是: 当没有进位脉冲或借位脉冲时输

收稿日期: 2007-03-29

基金项目: 福建省自然科学基金计划资助项目(A410007)

出控制器时,控制器仅对 f_s 进行二频分,此时输出频率 $f_o = f_s / (2m)$; 当有进位脉冲输入控制器时,在控制器的输出脉冲序列中会添加一个脉冲,则使经 m 分频器分频后的输出脉冲的相位提前 $1/m$ 个周期,即输出频率增大;而当有借位脉冲输入控制器时,在控制器的输出脉冲序列中会扣除一个脉冲,则使经 m 分频器分频后的输出脉冲相位推后 $1/m$ 个周期,即输出频率减小。由此可见,这种 DCO 每次只能对输出频率进行微调,应用于锁相环路时,需经过多次频率调整才能达到锁定状态,因此使得环路的捕捉时间较长。

为了减小环路捕捉时间,提高环路捕捉速度,文中对控制器模块电路进行改进,实现一种增/减量可变的计数式 DCO 电路,其工作原理框图如 2 所示。

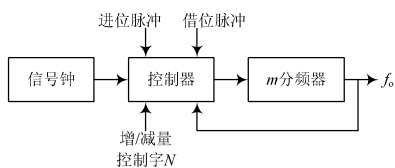


图 2 改进型的 DCO 结构图

其中控制器模块增加了增/减量控制字的控制输入和输出反馈输入,成为整个 DCO 电路的主控制器。这样,当进位控制信号 INC 与借位控制信号 DEC 均为 0 时,输出频率 $f_o = f_s / (2m)$,当 INC=1 且 DEC=0 时,控制器将通过添加 N (N 为增/减量控制字) 个脉冲而使 f_o 迅速增大;而当 INC=0 且 DEC=1 时,控制器将通过扣除 $N-1$ 个脉冲而使 f_o 迅速减小。DCO 输出信号周期 $T_o = 1/f_o$ 是 N 的线性函数,设 $T_s = 1/f_s$,则 T_o 的具体值如表 1 所示。

表 1 T_o 的具体值

INC	DEC	$T_o(1/f_o)$
0	0	$2mT_s$
0	1	$(2m - N + 1)T_s$
1	0	$(2m + N)T_s$
1	1	不工作

其中 $0 \leq N \leq m$; 可见当 $N = m$ 时,此 DCO 可输出最大频率为 $f_{max} = 1/[(m+1)T_s] = f_s/(m+1)$; 可输出最小频率为 $f_{min} = 1/(3mT_s) = f_s/(3m)$ 。

3 主控制器电路设计

由上面分析可见,本改进型的 DCO 设计主要体现在主控制器的内部功能电路实现上,下面详细介绍该主控制器总体电路和关键电路的设计。

3.1 总体电路设计

所设计的主控制器总体电路结构如图 3 所示。

其中虚线框中为控制器主体结构图,INC 为进位控制

输入端,DEC 为借位控制输入端, N 为增/减量控制字输入端,CP 为高频时钟输入端,RESET 为复位输入端。控制器输出信号经 m 分频器分频后即可得到所需的频率信号,边沿检测器可以灵敏的检测到输出信号边沿(上升沿和下降沿)的变化,并输出一个复位信号到控制器,配合控制器对整个电路进行控制。下面按照表 1 所示的 3 种工作模式详细介绍一下控制器的控制原理:

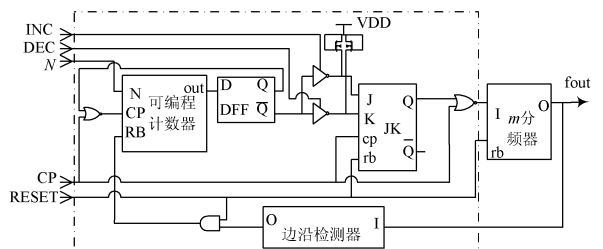


图 3 主控制器总体电路图

(1) 二频分模式

当进位与借位控制端输入均为低电平时,控制器工作在二频分模式。由于 INC=0,DEC=0,使得 2 个三态门均处于关闭状态,可编程计数器与 JK 触发器不相通,处于无效工作状态。此时上拉 N 管使得 JK 触发器的 J, K 输入端被置为高电平,JK 触发器对高频时钟信号进行二频分,控制器最终输出占空比为 1:4 的方波信号,此频率信号经 m 分频器后输出频率为 $f_s/(2m)$ 的对称方波信号。

(2) 添加脉冲模式

当进位控制端输入为高电平,借位控制端输入为低电平时,控制器工作在添加脉冲模式。由于 INC=1,DEC=0,使得与 JK 触发器 J 端相连的三态门打开,可编程计数器的输出端与 JK 触发器的 J 端相通,而 K 端仍被上拉为高电平。此种模式的工作原理为:开始时 RESET 端输入低电平,此时可编程计数器,JK 触发器, m 分频器均被复位;当 reset 变为高电平后,可编程计数器从 0 开始做加计数,在此期间可编程计数器输出为高电平,经过三态门反向后,输出给 JK 触发器的 J 端,使得 JK 触发器输出保持为低电平,此时控制器输出频率为 f_s ,当可编程计数器计到控制字的设定值 N 时停止计数,并输出低电平,从而使 JK 触发器的 J 端输入变为高电平,JK 触发器对高频时钟进行二频分,而当 DCO 总的输出信号出现边沿的变化时,边沿检测器立即产生一个复位信号给可编程计数器,使其复位并重新从 0 开始做加计数...重复上述过程。通过分析可以看出,在每一个工作周期(可编程计数器复位重新计数 2 次)中,控制器向 m 分频器的输入脉冲信号中添加了 N 个脉冲,从而使 m 分频器提前 NT_s 计满脉冲数,即使得 DCO 输出信号周期减小了 NT_s 。

(3) 扣除脉冲模式

当进位控制端输入为低电平,借位控制端输入为高电平时,控制器工作在扣除脉冲模式。由于 INC=0,DEC=

1,使得与 JK 触发器 K 端相连的三态门打开,可变编程计数器的输出端与 JK 触发器的 K 端相通,而 J 端仍被上拉为高电平。此种模式的工作原理:开始时 RESET 为低电平,此时可编程计数器,JK 触发器, m 分频器均被复位;当 RESET 变为高电平后,可编程计数器从 0 开始做加计数,在此期间可编程计数器输出为高电平,经过三态门反向后,输出给 JK 触发器的 K 端,使得 JK 触发器输出保持为高电平,此时控制器输出保持为低电平,当可编程计数器计到控制字设定值 N 时停止计数,并输出低电平,从而使 JK 触发器的 K 端输入变为高电平,JK 触发器对高频时钟进行二分频;而当 DCO 总的输出信号出现边沿的变化时,边沿检测器立即产生一个复位信号给可编程计数器,使其复位并重新从 0 开始做加计数...重复上述过程。通过以上分析可以看出,在整体电路每一个工作周期(可编程计数器复位重新计数两次)中,控制器从 m 分频器的输入脉冲信号中扣除了 $N - 1$ 个脉冲,从而使 m 分频器滞后 $(N - 1)T_s$ 才能计满脉冲数,即使得 DCO 输出信号周期增大了 $(N - 1)T_s$ 。

由此可见,通过向 m 分频器的输入脉冲信号中插入脉冲或从 m 分频器的输入脉冲信号中扣除脉冲来改变 DCO 的分频比,进而来大幅调整输出频率。向 m 分频器输入信号中插入脉冲可以增大 m 分频器的输出频率(即 DCO 的输出频率),反之,扣除 m 分频器输入信号中的一部分脉冲可以减小 m 分频器的输出频率。

3.2 关键电路的设计

通过 3.1 中的原理分析可知边沿检测器和可编程计数器是控制器中最为关键的部件,他们的性能直接影响控制器的功能和效率,下面详细介绍一下这两个模块的设计。

(1) 边沿检测器的设计

边沿检测器实际上是一个单脉冲产生电路,如图 4(a) 所示,其基本原理是利用反向器的延迟时间来产生一个窄脉冲⁷¹。图 4(b) 为其仿真波形图,可见,当输入信号没有发生变化时,其输出为高电平,当输入信号出现沿的变化时,他会输出一个短的低脉冲信号,低脉冲的宽度决定于 Y 个反相器总的延迟时间。

(2) 可编程计数器的设计

这里设计的可编程计数器结构如图 5(a) 所示(以 8 位计数器为例):

图 5(a) 中虚线框中为一级单元,他是由一个上升沿触发的 D 触发器,一个与门和两个异或门组成的反馈控制结构,其中每一级代表一位,中间省略了 4 级单元没有画出; X1, X2, X3, ..., X14 为异或门, D<7:0> 为控制字输入端, Rb 为复位输入端, CP 为时钟信号输入端, SEP 是计满标志位输出端,为了提高性能,采取并行结构设计,各级用同一时钟控制,这样,各级单元可以在时钟上升沿到来时同时改变状态并输出结果,跟串行结构相比,大大减小了

延迟时间和相位抖动。同时为了减少边沿感应器中反向延迟器的个数,采取异步复位方式,不管时钟上升沿是否到来,只要有复位信号产生,可编程计数器立即复位,并在下一时钟上升沿到来时重新从 0 开始计数。

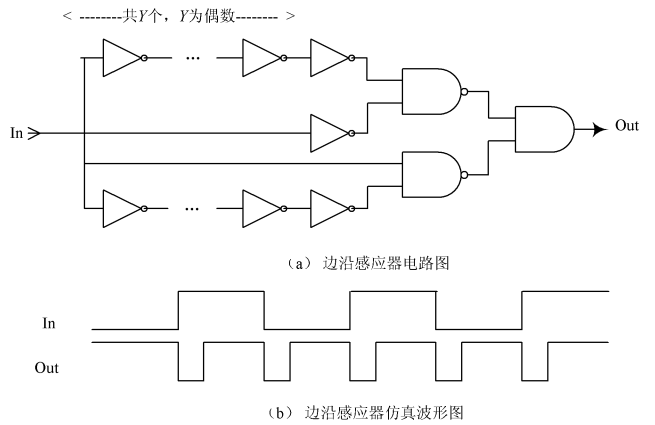


图 4 边沿检测器

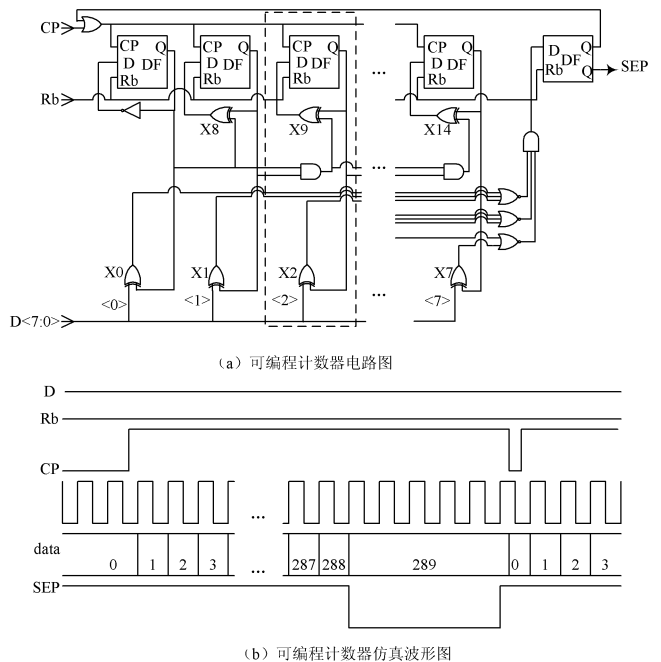


图 5 可编程计数器

由图中可以看出时钟信号要经过一个由 SEP 的反向信号控制的或门才能输入到各级 D 触发器中,因此当 SEP=0 时,此或门被关闭,时钟信号不能输入到各级 D 触发器,此时可编程计数器的状态不再变化。下面详细介绍该可编程计数器的工作原理:开始时,复位输入端为低电平,各级触发器均被置为 0 状态,可编程计数器的状态为 00000000,此时 SEP 输出端为高电平,时钟输入端的或门被打开;当 Rb 变为高电平后,计数器开始从 0 开始做加计数,当计到与控制字输入端的数据相同后,SEP 输出端输出低电平,时钟输入端的或门被关闭,此时时钟不能输入到可编程计数器中,可编程计数器的状态不再变化。当有

低脉冲输入到复位输入端时,计数器立即复位并重新从0开始计数,并重复上述过程。图5(b)为该可编程计数器的仿真波形图,其中D为输入控制字(仿真中设定为289),Rb为复位输入信号,CP为时钟信号,data表示可编程计数器的状态,SEP为可编程计数器计满标志位的输出。由仿真结果可以看出,由于采取异步复位,即使复位脉冲在时钟上升沿到来之前已经恢复为高电平,也可以使可编程计数器复位,并重新从0开始计数,这就降低了边沿检测器的设计难度。

4 电路仿真与结果分析

本文在仿真时,设定增/减量控制字 $N = 81$,图6(a),(b)分别是添加脉冲和扣除脉冲的仿真结果。其中CP为来自高频源的时钟信号,data为可编程计数器的状态值,con_o为控制器的输出信号,out为DCO总的输出信号(也即边沿检测器的输入信号),mc_o为边沿感应器的输出信号。

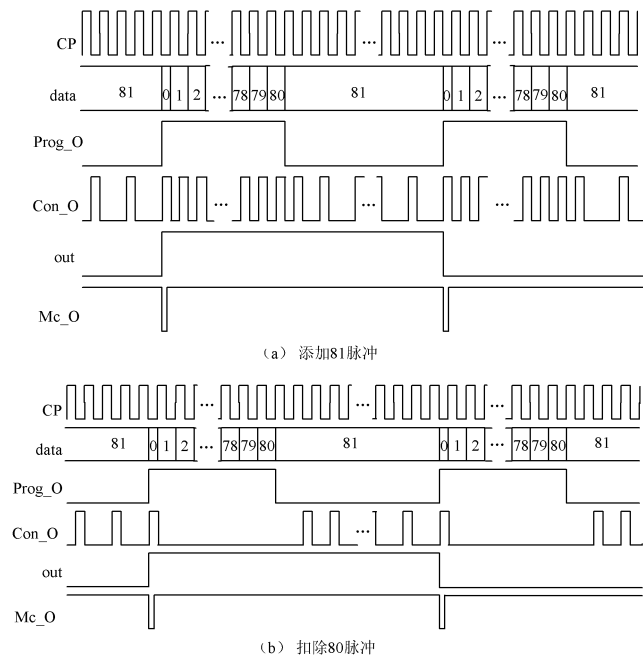


图6 添加脉冲和扣除脉冲的仿真结果

由波形图可知,当DCO输出信号发生沿的变化(包括上升沿和下降沿)时,边沿感应器会立即输出一个窄的低脉冲信号,使可编程计数器复位并重新从0开始计数,从图6

中可看出在此DCO输出信号的一个周期中,由于边沿感应器的作用,可编程计数器被复位并重新计数两次,在添加脉冲工作模式时,控制器在其每一次计数期间向输入 m 分频器的脉冲信号中添加40.5个脉冲,这样在整个周期中,控制器总共向输入 m 分频器的脉冲信号中添加了81个脉冲;在扣除脉冲工作模式时,控制器在其每一次计数期间从输入 m 分频器的脉冲信号中扣除40个脉冲,在整个周期中控制器总共从输入 m 分频器的脉冲信号中扣除了80个脉冲。由此可见DCO最后输出的是占空比为50%的对称方波信号。

由上可见,此DCO可以看作是一个分频比可变的分频器,其是通过控制器向 m 分频器的输入脉冲信号中插入脉冲或从 m 分频器的输入脉冲信号中扣除脉冲来改变其分频比,进而实现频率调整的。

5 结语

文中所述DCO是基于增/减量计数式DCO的工作原理所设计的,具有结构简单,易于集成的特点,其通过改变整体电路的分频比来大幅调整输出信号的频率,其功能与除 N 计数式DCO相当,该DCO集中了增/减量计数式DCO和除 N 式计数器的优点,应用于锁相环路时既可达到除 N 式计数器的响应速度,又由于其简单的结构而易于集成。

参考文献

- [1] Roland E Best. Phase Locked Loops: Theory, Design and Applications [M]. McGraw Hill, 1984.
- [2] Drogin E M. Steering on Course to Safer Air Travel [M]. Electronics, 1967.
- [3] 王福昌,鲁昆生. 锁相技术 [M]. 武汉:华中理工大学出版社,1997.
- [4] 陈世伟. 锁相环路原理及应用 [M]. 北京:兵器工业出版社,1990.
- [5] 郑继禹. 锁相同步理论 [M]. 重庆:重庆大学出版社,1991.
- [6] TI Data Sheet From Harris Semiconductor.
- [7] Phyu M W, Goh W L, Yeo K S. Low-power/High performance Explicit pulsed Flip flop Using Static Latch and Dynamic Pulse Generator [J]. IEE Proc.-Circuits Devices Syst., 2006, 153(3).

作者简介 周书伟 男,1981年出生,河北衡水人,厦门大学硕士研究生。研究方向为集成电路设计。

欢迎订阅 2007 年度《现代电子技术》(半月刊)
 邮发代号: 52-126 定价: 15 元/期 360 元/年价
 电话: 029-85393376 传真: 029-85393376