

# EDA 工程建模及其管理方法研究

陈 怡<sup>1</sup>, 曾剑平<sup>1,2</sup>, 李晓潮<sup>1,2</sup>, 郭东辉<sup>1,2</sup>

(1. 厦门大学 福建 厦门 361005; 2. 厦门睿智微电子有限公司 福建 厦门 361005)

**摘要:** 现代电子设计技术面临着集成电路(IC)芯片设计的复杂度不断增大而产品的研发时限不断缩短的挑战。为了提高芯片质量和设计效率,人们将抽象建模的思想应用于芯片设计和管理,提出结合抽象建模技术的芯片设计方法,并且在大规模芯片设计中采用层次化的分组协作。针对当前电子设计自动化(EDA)技术的发展情况,介绍了一种基于统一建模语言(UML)的芯片设计方法及其相关技术,阐述了目前大型 EDA 工程所采用的层次化分组协作管理方法的原理,分析其优点和不足,并提出了改进方案。

**关键词:** EDA 工程; SoC; SystemC; UML

中图分类号: TP311.5; TN43

文献标识码: A

文章编号: 1004-373X(2007)13-105-05

## Research on EDA Engineering Modeling and Its Management Method

CHEN Yi<sup>1</sup>, ZENG Jianping<sup>1,2</sup>, LI Xiaochao<sup>1,2</sup>, GUO Donghui<sup>1,2</sup>

(1. Xiamen University, Xiamen, 361005, China; 2. Xiamen RichIT Microelectronics Technology Ltd., Xiamen, 361005, China)

**Abstract:** Design technology of modern electronic system is facing on the challenge of much more complex design of Integrate Circuit (IC) and the requirement of system development in shorten time. In order to improve the quality of IC chip and its design efficiency, ideas of abstraction modeling have been introduced into the area of IC design and project management, and the new Electronic Design Automation (EDA) technology has been presented with combination of abstraction modeling technology and hierarchical project management. In connection with the new development of EDA technology, this paper is to introduce a new method of UML-based IC design and its implementation technology. As well, we discuss detail on the principle of hierarchical management in the large-scale EDA engineering projects. With analyzing their merits and shortness, an ameliorative project management and its implementation is presented in this paper.

**Keywords** EDA engineering; SoC; SystemC; UML

## 1 引言

随着微电子技术及计算机技术的日益成熟,电子设计自动化(EDA)技术在电子产品与集成电路(IC)芯片特别是单片集成(SoC)芯片的设计应用中显得越来越重要。EDA 技术采用“自上至下”的设计思想<sup>[1]</sup>,允许设计人员能够从系统功能级或电路功能级进行产品或芯片的设计,有利于产品在系统功能上的综合优化,从而提高了电子设计项目的协作开发效率,降低新产品的研发成本。

近十年来,EDA 电路设计技术和工程管理方面的发展主要呈现出两个趋势:

(1) 电路的集成水平已经进入了深亚微米的阶段<sup>[2]</sup>,其复杂程度以每年 58% 的幅度<sup>[3]</sup> 迅速增加,芯片设计的抽象层次越来越高,而产品的研发时限却不断缩短。

(2) IC 芯片的开发过程也日趋复杂。从前期的整体设计、功能划分,到具体的逻辑综合、仿真测试,直至后期的电路封装、排版布线,都需要反复的验证和修改,单靠个人力量无法完成。IC 芯片的开发已经实行多人分组协作。

由此可见,如何提高设计的抽象层次,在较短时间内设计出较高性能的芯片,如何改进 EDA 工程管理,保证芯片在多组协作设计下的兼容性和稳定性,已经成为当前 EDA 工程中最受关注的问题。

针对这些问题,人们提出了软硬件协同建模设计<sup>[4]</sup>的思想,将统一建模语言(UML)与 SoC 设计流程相结合,产生了新型的 SoC 设计方法<sup>[5]</sup>,同时对 EDA 工程的分组协作采用层次化管理<sup>[6]</sup>,提高了芯片研发团队的协调合作能力,进一步加快 SoC 产品的开发速度。本文从建模的思想出发,主要阐述了结合 UML 建模技术的新型 SoC 设计流程的原理及其优势,介绍了支持 SystemC 的 UML 架构及其应用,最后针对 EDA 工程的分组协作的管理问题,介绍了一种层次化管理的原理和改进方案。

收稿日期: 2006-11-15

基金项目: 国家自然科学基金项目、国家人事部留学人员创业

基金项目和福建省自然科学基金项目(A0410007)

的联合资助。

## 2 基于 UML 建模的 SoC 设计方法

SoC 设计的关键在于异类模块之间的协作兼容程度以及这些模块在高抽象层次上的工作能力<sup>[7]</sup>。常规的 SoC 设计过程,如图 1 所示,是从最初的系统的需求描述开始的,然后根据该需求描述,系统被划分成多个功能模块,例如存储器部分,放大器部分等。功能划分的正确性,将在较高层次的功能仿真中得到检验。

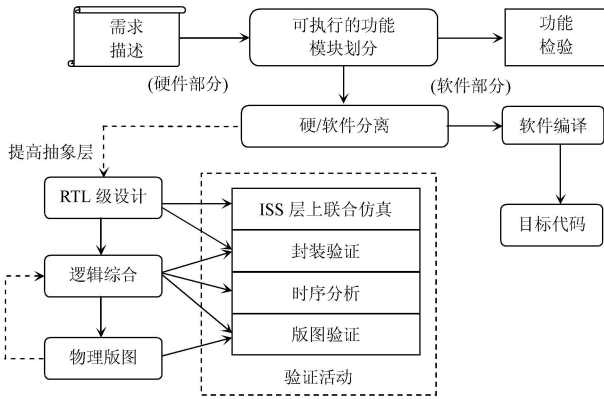


图 1 常规的 SoC 设计流程

功能划分之后,系统进入最重要的软硬件分离阶段,分离开的硬件和软件部分有其各自的设计流程。通常,软件部分使用程序语言(如 C/C++)编写代码,形成目标文件后即可进行仿真测试。而硬件部分被分离出来之后,需要进一步细化、抽象才能进入寄存器传输级(RTL)的描述阶段。在这个阶段,硬件采用硬件描述语言(如 HDL)来描述,然后通过进一步逻辑综合,形成常规元件库或预定义元件库中已有的逻辑单元。这些逻辑单元有固定的封装,再经过版图规划,时钟模拟和自动布线以后,形成最终的物理版图。然而,硬件部分从分离出来到进入 RTL 级的设计过程缺乏有效的衔接,制约了 SoC 设计抽象程度的提高。

在这种常规的 SoC 设计流程中,软硬件的设计包含了一系列的仿真和验证活动:硬件的 RTL 级描述和软件的目标代码通过运行指令设置仿真器,检验各自 ISS(指令设置)的正确性;在逻辑单元的综合过程中不断进行封装验证、时序分析和版图验证;最后生成的物理版图还要与逻辑单元进行一致性校验。但是由于这些验证要在硬件的 RTL 级描述和软件的目标代码都完成之后才能进行,因此检测出的错误通常是难以修复的。这些错误无疑将影响到芯片在高抽象层次上的工作性能和各模块之间的协作交互能力。

为了改进 SoC 的设计,人们将抽象建模结合到芯片设计过程中,采用 UML 语言为芯片设计过程进行建模,提出了基于 UML 的 SoC 设计方法<sup>[5]</sup>。他充分利用了 UML 定义良好、易于表达、支持各种抽象程度的综合<sup>[8]</sup>的优势,弥补了常规 SoC 设计方法的上述不足。

在这种新型的 SoC 设计流程中,如图 2 所示,UML 被

用于从需求分析开始的整个芯片开发过程。使用 UML 为系统建模,能够由简明到详尽地描绘系统的需求、结构、功能以及相应的行为,使开发者对所开发的 SoC 有准确而且全面的了解,其功能划分的正确性也更易于检验。经过功能划分,硬、软件分离之后,软件部分的建模先由 UML 的类图、状态图、时序图、活动图等多种方式来描述,再通过代码自动生成系统,得到相应的 C/C++ 目标代码。这比直接编写代码更直观、灵活,易于维护和修改,使设计者能够在较高层次上专注于芯片的整体规划,而不必被低层次的代码实现细节所束缚。

而硬件部分采用 SystemC<sup>[9]</sup>来描述,可以在门级、RTL 级和系统级等各个抽象层次上和软件部分一起进行仿真和测试,使开发者能够对尽早地发现错误,在逻辑单元综合之前即可改进电路,及时解决问题,保证了芯片的各个模块在高抽象层上的交互性能,同时也缩小了整个仿真验证的工作量,提高了一次设计的成功率。

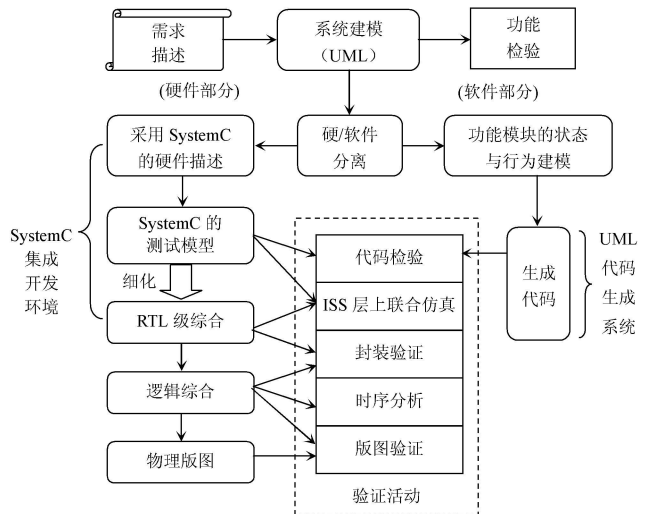


图 2 结合 UML 的新型 SoC 设计流程

这种基于 UML 的 SoC 设计方法,使得电路设计的抽象程度从编写代码提高到了系统级建模的层次,优化了 SoC 的设计流程,提高了设计效率。在 2005 年召开的“UML for SoC Design Workshop 2005”会议上,意法半导体(ST)就发布了适用于该方法的由芯片的 UML 模型自动生成 SystemC 代码的 EDA 系统<sup>[10]</sup>,下面具体介绍这种工具的实现架构。

## 3 支持 SystemC 的 UML 架构

UML 语言对 C/C++, JAVA 等编程语言具有很强的支持能力,而 SystemC 是基于 C++ 语言的软硬件协同设计语言,包含了 C++ 类库和仿真内核。与 HDL 相比,他不仅能够描述芯片的硬件,还可以描述系统的测试平台,支持抽象层的仿真和测试,具有和 C++ 语言一样良好的扩展性<sup>[11]</sup>。支持 SystemC 的 UML 架构,是在 UML 2.0 版本的基础上,结合了 SystemC 2.0 的类库定义和表达规则,

将原有的 UML 语义(包括图符、约束关系和标注值)进行一系列的扩展以及功能上的提高,使之与 SystemC 相对应。他可以看成是为特殊的应用领域(如无线通讯、实时系统、软件测试等)定制的具有特殊功能的 UML 建模开发框架<sup>[12]</sup>。

支持 SystemC 的 UML 架构总体框架如图 3 所示。其中,可视化建模区为芯片的整体设计、模块结构和各个模块功能的具体实现提供了功能强大的图形化建模平台。在该平台上,设计人员能够在为芯片建立总体模型,然后借助于丰富的 UML 模版和图符,对各个功能模块的具体结构、模块之间的相互关系,以及模块内部的成员(包括子模块、成员函数、成员变量等)进行详细的定义和描述。完整的 UML 模型建立后,通过代码自动生成系统的翻译和转换(这期间可能要要进行可扩展标记语言(XML)的解析<sup>[13]</sup>),最终产生用 SystemC 描述的目标代码文件。

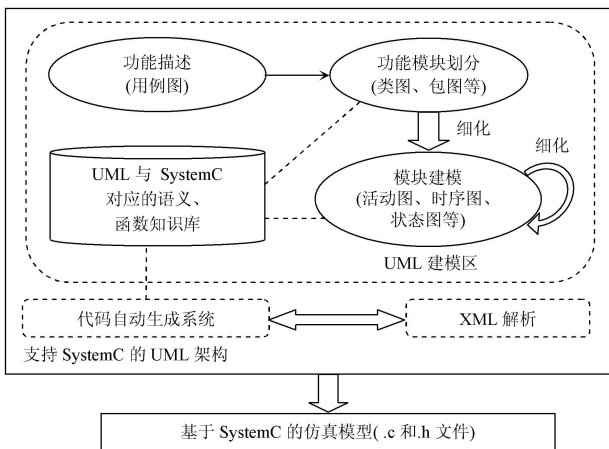


图 3 支持 SystemC 的 UML 架构的总体框架图

在整个架构中,UML 与 SystemC 的对应语义、函数知识库是连接 UML 和 SystemC 的关键部分,他主要由 SystemC 核心类库、核心函数库、数据类型库和预定义通道、接口、端口库组成<sup>[7]</sup>。这些类库中增设了适合为 SystemC 程序建模的图符和模版,为 UML 图符和 SystemC 语言之间提供了密切而直观的对应关系<sup>[14]</sup>。图 4 给出了几个常用的 SystemC 类或方法以及他们在 UML 中对应的图符或表达形式。

根据这些对应关系,UML 的结构图(例如类图、包图等)就可以通过表示模块、端口、接口等硬件类的图符来描述这些硬件的结构和层次。而 UML 的行为图(例如状态图、活动图、时序图等)就可以用表示等待、循环等状态类的图符来描述硬件功能的具体行为和同步情况。这些图能够在高抽象层次描述 SystemC 过程,并且生成有效而简洁的 SystemC 代码。

目前,意法半导体已经将这种架构应用到了 IEEE802.11a 物理层转发及收发电路中<sup>[15]</sup>。这种结合 UML 建模的方法在实际芯片设计应用中已经体现出较大

优势。采用该 UML 架构为芯片建模,使 SoC 设计(特别是硬件部分)的流程更进一步从 RTL 的抽象上升到系统级抽象。与 RTL 级的直接描述方法相比,建模使硬件设计更系统化,而且具有软件设计一样的灵活性和 IP(知识产权)可复用性<sup>[12]</sup>。在支持 SystemC 的 UML 架构中,功能模块的仿真和检测可以在直观的建模层次上进行,使芯片的错误比在 RTL 级上更容易被发现和纠正。除此以外,使用 UML 建模的设计方式更适用于芯片模块在多人协作开发下的统一。由于 UML 语义是标准化的,而且最后的目标代码由系统自动生成,这就消除了由于设计人员之间编程风格不同而造成的代码的不连贯。

SystemC 中的类或方法	UML 图符或表达形式	备注
sc_module (模块)	<code>&lt;&lt;sc_module&gt;&gt;</code> ModuleName <code>&lt;&lt;sc_module&gt;&gt;</code> partName:ModuleName	对于动态定义的 sc_module,其图符左右两条边为双线结构
sc_port (端口)	PortName	默认情况下,一个 port 只关联到一个 channel
sc_interface (接口)	<code>&lt;&lt;sc_interface&gt;&gt;</code> InterfaceName	
sc_channel (通道)	<code>&lt;&lt;sc_channel&gt;&gt;</code> ChannelName	
method 型的方法 sc_method		通常是包含在 module 或 channel 类中的成员,用标注有<<sc_method>>的状态图描述其行为
thread 型的方法 sc_thread		通常是包含在 module 或 channel 类中的成员,用标注有<<sc_method>>的状态图描述其行为
sc_event (事件)		通常是包含在 module 或 channel 类中的成员,用标注有<<sc_event>>的状态图描述其行为
while{...} (条件循环)		"do/" 后面的语句即是进入 while 循环后要执行的 SystemC 代码
sc_wait() (等待)		e* 为等待状态结束的触发事件或信号

图 4 支持 SystemC 的 UML 架构新图符定义

由于支持 SystemC 的 UML 架构是目前 EDA 领域较新的技术,其功能还在不断的扩展和研究中。目前,法国 INRIA 公司的开发小组发表了利用序列图等表现并行及实时特性的 UML 扩展标准“MARTE”<sup>[16]</sup>;比利时 Katholieke Universiteit Leuven 公司也提出了能够表现 SoC 硬件性能要求的扩展标准“SysML”<sup>[17]</sup>;意法半导体则准备进一步实现由 SystemC 程序到 UML 的逆向转换功能<sup>[15]</sup>。这些工作都将进一步扩大 UML 对 SoC 的建模能力,使抽象建模在芯片设计中应用更加广泛。

#### 4 层次化的分组协作管理方法

UML 建模在 SoC 设计流程中的应用,有效提高了

EDA 工程中软硬件的设计效率。然而,现在的 EDA 工程对复杂系统的设计是通过专业分工(如功能划分、模块设计、仿真测试、版图规划、封装布线等)后形成多个小组共同协作完成的。为了协调多组之间的分工,确保芯片各个模块在多人设计下的兼容性和质量稳定性,人们通常采用层次化的分组协作管理方法进行复杂系统的设计管理。这种层次化的分组协作管理方法主要包括以下 4 个方面:

(1) 工程中芯片开发人员实行分级权限控制。工程管理者可以设置整个工程,查看各小组的进度和 IC 设计流程各个环节的执行情况,对数据库有全权的读写权利。而小组管理员为组内每个成员进行具体分工,分配资源(如设计工具,数据文件等),负责本组和其他小组之间的进度协调。

(2) 多组之间的通信平台采用实时的工程信息管理机制。管理员享有芯片版本和修改方案的发布权,处理由其他成员提交的资源申请,设计方案等,而其他成员可以定制自己的信息处理方式,以便最快地获得工程信息。

(3) 采用分层的文件系统存放工程信息(包括芯片设计数据、软硬件资源数据、成员信息等),并且为每个开发小组提供独立的工作区和资源库,使设计人员在自己的工作目录下工作。文件系统里还预定义了一系列功能扩展规则,设计人员可以按照这些规则对自己的工作区进行需求设计,例如修改子目录格式,创建信息发布形式,自定义 EDA 工具等。

(4) 对于资源库,包括芯片的数据信息库、工程人员分工信息库、建模工具库(如 rose 系列的 UML 建模软件<sup>[18]</sup>)、电路设计工具库(如 Cadence<sup>[19]</sup>系列工具软件)、元件信息库等,实行分级共享和管理。允许多个 EDA 工程连接到某些共同的资源库,而工程内部成员对资源库的连接范围和使用权限,由管理员根据成员的分工权限给予分配。

这种层次化的分组协作管理方法使设计人员之间权限明确,互不干扰,提高了项目开发的安全性。其中实时的信息管理加强了分组成员之间的协作,分层的文件存放系统使工程数据更易于查询和使用,资源库的连接控制和共享提高了资源的利用率和使用的安全性。当前的许多 EDA 公司(例如 Cadence、Synopsys<sup>[20]</sup>公司等)都推出了基于该方法的分组协作管理软件(例如 Cadence 的 Team Design Manager<sup>[6]</sup>等)。一些 EDA 实验室<sup>[21]</sup>和 EDA 平台<sup>[22]</sup>的建设也开始使用层次化的管理方法,以提高团队的科研和开发效率。

目前,层次化的管理方法主要适用于使用同一公司的 EDA 工具的开发团队。而在大规模的芯片设计流程中,设计人员有可能混合使用不同公司(例如 Cadence、Synopsys 和 Mentor Graphics<sup>[23]</sup>公司)的 EDA 工具。这些工具的接口标准不一定相同,所以用一种分组管理软件中的层

次化管理方法对跨公司的工具进行管理还存在一定的困难。因此,我们将这种层次化的管理方法与 UML 结合,使用 UML 描述分组协作层次化机构和 EDA 工具之间的调用,同时利用 UML 的语义的统一性可以生成一致的标准,或在文件之间进行标准转换,以解决不同工具的协作问题。

鉴于 UML 是用例图、结构图、活动图等表示的,不但能够描述设计人员的权限管理和资源分配,还可以描述层次化设计管理中的不同工具接口、设计过程中的信息处理等问题。如图 5 所示,采用 UML 来描述管理员进行信息处理过程的活动图。当芯片设计过程中有某个模块需要修改时,管理员通常会收到开发人员提交的设计修改方案,然后将其应用到整体设计进行综合仿真、测试等一系列验证,若修改方案不可行,管理员将向提交者发送验证结果和修改建议等信息,若修改方案可行,管理员将向提交者发送确认信息,同时向工程内其他小组发布该修改方案,使各小组按照方案更新各自负责的芯片部分。其中,状态图中“do/...”语句是管理员根据工程需要,自定义具体执行内容,例如字符串转换、数据库读写、工具的调用、接口标准转换等。由于 UML 可以采用标准化的模型和代码来转换不同的工具的文件标准,使 SoC 设计的各分工小组对不同公司的 EDA 工具调用变得统一,有利于控制芯片模块的质量,从而确保 SOC 芯片的设计效率和质量。

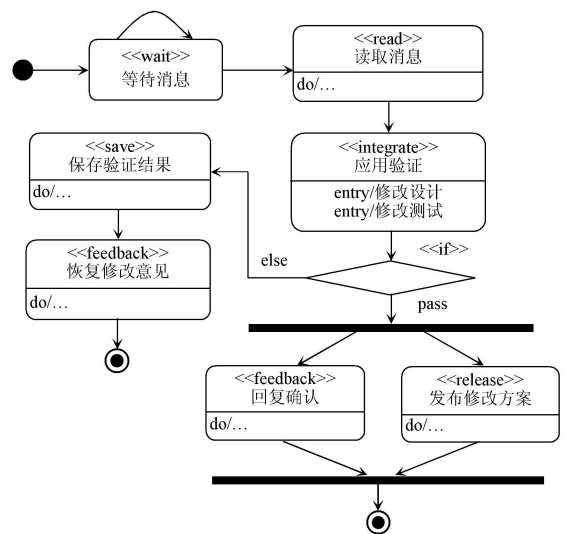


图 5 消息处理活动图

## 5 结 语

结合 UML 建模的 SoC 设计方法和层次化的分组管理方法有效地解决了当前芯片设计时限缩短、设计分工不断复杂化而带来种种问题。UML 建模与 SoC 设计的结合,实现了芯片的系统级设计。支持 SystemC 的 UML 架构在这种新型设计流程中的使用,可以有效衔接从硬件分

离到进入 RTL 级的设计过程,解决了硬件部分在 RTL 级的设计抽象层次低、错误检测不及时困难,提高了芯片的开发效率。而层次化的分组协作管理方法能够对有效协调 SoC 设计流程中多个设计小组的复杂分工与协作,使芯片各模块在多人开发的过程中始终兼容一致,这种管理方法与 UML 的结合还有利于优化分组协作,解决不同标准的 EDA 工具之间的协作问题。

## 参 考 文 献

- [1] 慈艳柯,李秀英,吴孙桃.片上系统的设计技术及其研究进展[J].半导体技术,2001,26(7):12-16.
- [2] 袁丽晖.Soc 时代下的 EDA 技术发展趋势[J].电子科技,2005(2):53-56.
- [3] San Mateo. The National Technology Roadmap for Semiconductors: Technology Needs[R]. CA: Semiconductor Industry Association, 1997.
- [4] 赵川,徐涛,孙晓光.软硬件协同设计方法的研究[J].计算机工程与设计,2003,24(7):7-9.
- [5] Moore T, Vanderperren Y, Sonck G, *et al.* A Design Methodology for the Development of a Complex System on Chip using UML and Executable System Models. In Proc. of ECSL'02.
- [6] Incisive Verification management. <http://www.cadence.com/products/functional-ver/vmanager/index.aspx>, 2004.
- [7] Elvinia Riccobene, Alberto Rosti, Patrizia Scandurran. Improving SoC Design Flow by means of MDA and UML Profiles[R]. STM icroelectronics White Papers, 2004.
- [8] 张莉,葛科,王云.UML 软件开发过程和支持环境研究[J].北京航空航天大学学报,1998,24(4):407-410.
- [9] 陈曦,徐宁仪.SystemC 片上系统设计[M].北京:科学出版社,2004.
- [10] UML for SoC Design Workshop Offers Diverse Program on Emerging Methodology; Event to be Held June 12 During 42nd Design Automation Conference. <http://www.cimdata.com/newsletter/2005/16/04/16.04.05.htm>, 2005.
- [11] 陈咏恩. SystemC: 一种软/硬件协同设计语言[J]. 电路与系统学报, 2001, 6(1): 93-98.
- [12] Riccobene E, Scandurra P, Rosti A, *et al.* A SoC Design Methodology Involving aUML 2.0 Profile for SystemC [R]. DATE05 Technical Report, 2005.
- [13] 陈必泉. 基于 UML 状态图的嵌入式实时软件测试用例生成方法研究[D]. 广州:暨南大学, 2005.
- [14] Riccobene E, Scandurra P, Rosti A. A UML 2.0 Profile for SystemC [R]. ST Microelectronics Technical Report, 2004.
- [15] 日经 BP 社. 意法半导体试制可自动由 UML 生成 SystemC 的 EDA 系统 - 技术在线 [EB/OL]. <http://china.nikkeibp.co.jp/china/news/new/s/200506/semi200506150112.html>, 2005.
- [16] 日经 BP 社. 硬件结构描述也将实现自动化富士通等提交 SoC 用 UML 扩展标准 [EB/OL]. <http://china.nikkeibp.co.jp/china/news/new/s/200506/semi200506150111.html>, 2005.
- [17] SysML Partners web site. <http://www.sysml.org/>, 2005.
- [18] BM Rational Software. <http://www306.ibm.com/software/rational/swatoz/indexR.html>, 2002.
- [19] Synopsys World Leader in EDA Software and Services. <http://www.synopsys.com>, 2006.
- [20] 郭东辉,纪安妮,李立峰.EDA 中心实验室建设初探[J].实验室研究与探索,1999,18(6):41-44.
- [21] 于德泳,钱培怡.EDA 平台的规划与实现[J].华北航天工业学院学报(增刊),2001(11):27-28.

作者简介 陈 怡 女,1983 年出生,福建霞浦人,硕士研究生。主要研究方向为电路设计自动化的网络平台管理与软件应用。  
曾剑平 男,1973 年出生,福建惠安人,博士研究生。主要研究方向为智能信息处理。  
郭东辉 男,1967 年出生,福建莆田人,教授,博士生导师。主要研究方向为计算机网络通讯、人工智能、电路设计自动化等。

## 欢迎订阅《现代电子技术》(半月刊)合订本

为满足广大读者要求,2003 年、2004 年、2005 年《现代电子技术》合订本正在销售,合订本包括单行本全部内容及广告页,单价 180 元(含邮费);2006 年合订本单价 260 元(含邮费)。需要者按以下方式订购:

银行汇款

收款单位:陕西电子杂志社

帐 号:611301074018000794620

开 户 行:交通银行西安含光路支行

发行信箱:faxing@xddz.com.cn

邮局汇款

地 址:西安市雁塔西路 158 号双鱼花园广场 B 座 1606 室

邮 编:710061

电 话:(029)85393376

联 系 人:薛进良

传 真:(029)85393376