

一种适用于高低压电路单片集成的 LDMOS 器件

陈利^{1,3}, 李开航¹, 郭东辉^{1,2,3}

(1. 厦门大学物理系, 福建厦门 361005; 2. 厦门大学电子工程系, 福建厦门 361005;

3. 厦门元顺微电子有限公司, 福建厦门 361005)

摘要: 利用 RESURF 与场板结构结合的技术, 设计了一种可以兼容低压 BiCMOS 工艺的 LDMOS 器件。该器件的漂移区长度 $l \leq 60 \mu\text{m}$, 就可实现 600 V 以上的耐压, 适用于高低压单片集成电路芯片开发。基于一款荧光灯交流电子镇流器驱动芯片的高低压集成电路功能及其器件耐压要求, 介绍了该 LDMOS 器件的结构和设计方法。采用 ATHENA(工艺模拟)和 ATLAS(器件模拟)工具, 分析优化影响 LDMOS 器件耐压的关键参数; 最后, 对实际芯片的 PCM 器件参数进行了测试和分析。

关键词: 高压器件; LDMOS; RESURF; 场板

中图分类号: TN43

文献标识码: A

文章编号: 1004-3365(2006)06-0837-05

Design of an LDMOS Device for Monolithic High/ Low Voltage IC' s

CHEN Li^{1,3}, LI Kaihang¹, GUO Donghui^{1,2,3}

(1. Dept. of Phys., Xiamen Univ., Xiamen, Fujian 361005, P. R. China; 2. Dept. of Elec. Engineer., Xiamen Univ., Xiamen, Fujian 361005, P. R. China; 3. Xiamen Unisonic Technologies Co. Ltd., Xiamen, Fujian 361005, P. R. China)

Abstract: Using RESURF and field plate technology, an LDMOS device compatible with low voltage BiCMOS process is designed. Having a breakdown voltage higher than 600 V, the device can be used as a high voltage device for monolithic high/ low voltage IC' s. The structure of the LDMOS and its design method are described based on an actual chip. Parameters sensitive to LDMOS' s breakdown voltage are analyzed and optimized using ATHENA and ATLAS tools.

Key words: High voltage device; LDMOS; RESURF; Field plate

EEACC: 2570K

1 引言

高压功率集成电路(HVPIC)已被广泛应用于开关电源、电机控制、汽车电子、消费电子等领域^[1], 它一般是单片集成高压功率器件和低压控制逻辑电路。由于 LDMOS 功率器件的源、栅、漏三个电极都在芯片的表面, 易于采用普通二维集成电路工艺实现高低压电路的单片集成, 所以它是 HVPIC 中常用的器件。目前, 能够兼容实现耐高压 LDMOS 器件的工艺主要有: 1) 硅单晶工艺, 该工艺方法简单, 易与常规 CMOS 工艺兼容; 2) 硅外延工艺, 它容易

通过控制外延层的参数提高器件耐压^[2, 3]; 3) SOI 工艺, 利用绝缘材料实现单片的高压隔离^[4], 但工艺复杂, 成本高。鉴于合作单位, 即福顺微电子技术公司, 拥有比较成熟的外延 BiCMOS 工艺, 所以利用外延 BCD (BiCMOS-DMOS) 工艺来设计适合 HVPIC 开发的 LDMOS 器件。对于外延 BCD 工艺的 LDMOS 器件, 为了实现与低压器件之间的电隔离, 要求外延层的厚度尽量薄, 通常采用 RESURF 结构技术^[5]来实现。但是, 由于器件表面电荷的实际存在, 使基于 RESURF 结构的 LDMOS 器件实际耐压值不是很高^[6, 7], 因此, 本文又结合场板结构技术^[8]来设计 LDMOS 器件。通过对器件的模拟仿真

收稿日期: 2006-04-25; 定稿日期: 2006-08-12

基金项目: 国家火炬计划资助项目(2005EB010933); 福建省自然科学基金资助项目(A0410007)

和分析, 本文设计的 LDMOS 器件在漂移区长度 $l \leq 60 \mu\text{m}$, 即可达到 600 V 以上的耐压。

首先, 介绍 HVPIC 芯片的电路功能, 说明其对 LDMOS 器件的耐压性能要求; 然后, 介绍基于 RESURF 与场板结构结合技术设计的 LDMOS 器件结构, 提出影响器件耐压的关键参数, 并通过仿真工具对该器件进行优化设计; 最后, 给出初次流片后的测试结果。

2 芯片的电路功能

该芯片是一款用于驱动荧光灯交流电子镇流器的集成电路, 能实现灯丝预热、点亮和镇流全部功能。芯片用了三个高压 LDMOS 管, 其中两个 LDMOS 管在高压控制模块电路部分, 如图 1 所示。该模块电路用于实现低压到高压的转换。P₁、P₂ 为低压控制信号, 分别使三极管 Q₇₃、Q₇₄ 集电极为高阻或低电平; N₂₇₃、N₂₇₄ 为高压 LDMOS 管, 由于两路电路结构相同, 这里仅就一路说明。当 Q₇₄ 集电极为高阻时, N₂₇₄ 极小的漏电流会使自身源电位不断提高, 而栅压保持为 V_S, 故 N₂₇₄ 会自动截止; Q₇₄ 集电极为低电平时, Q₇₄ 中流过固定大电流, 由于 N₂₇₄ 的栅压为 V_S, 故 Q₇₄ 集电极电压不会超过 V_S。此时, 电阻 R₁₀₉ 产生压降, 从而将低压控制信号转换为高压控制信号。另一个高压 LDMOS 管用于自举模块电路, 如图 2 所示。本模块电路通过适当控制 LDMOS 器件(图 2 中的 N₀) 的通断来代替单向导电的外接二极管。

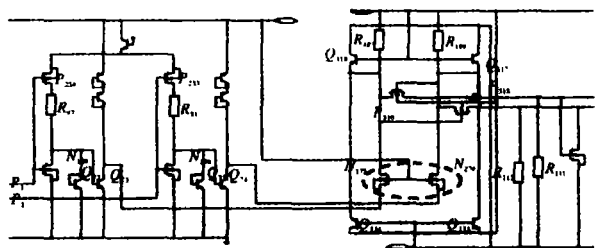


图 1 高压控制模块

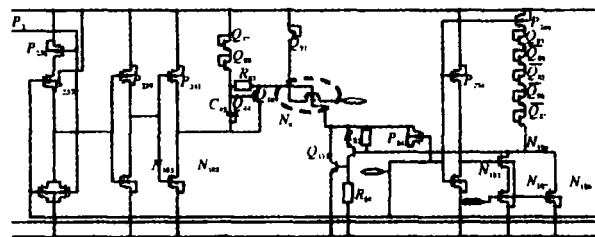


图 2 自举电路模块

图 2 中, P₃ 与 1 V_g 反相, C₁ 为控制信号。正常工作时, N₀ 的衬底电位被抬高(减少衬偏效应), 驱动源极为 V_S 的 N₀, 电路采用了自举结构。C₄₄ 和 C₄₅ 为自举电容, 当 P₃ 为高压控制信号时, 三极管 Q₁₀₉ 集电极(C 极) 被拉低, 发射极(E 极) 被钳位在 V_S ~ 2 V_{be}, 电容被充电到 V_S ~ 2 V_{be}, N₀ 截止; P₃ 为低压控制信号时, C 极抬高, E 极被抬高到 2 V_S ~ 2 V_{be} (不超过 2 V_Z, Q₇₇ 和 Q₈₈ 为齐纳管), N₀ 导通。C₁ 为高电平时, 电路不工作, N₀ 关断。N₀ 的衬底悬空, 是为了防止对外部自举电容的误充电。N₂₇₃、N₂₇₄ 和 N₀ 这三个 LDMOS 管的耐压值要求达到 600 V 以上。

芯片中高压器件和高压部分电路的版图如图 3 所示。图 3 中, 环形部分为三个耐压要求 600 V 以上的高压 LDMOS 管和高压内部部分电路, 环形四周通过 P⁺ 与低压部分电路进行电隔离。其中两个圆形结构的 LDMOS 管为高压控制模块电路中的 N₂₇₃、N₂₇₄ 高压管; 矩形结构的 LDMOS 管为自举模块电路中的 N₀ 高压管, 它不同于圆形结构的 LDMOS 管的地方只是它的源端电极和 p⁺ body 欧姆接触的 p⁺ 不互相连接。所以, 这三个 LDMOS 管的设计方法是一致的。本文以圆形结构的 LDMOS 器件为例, 进行优化设计。

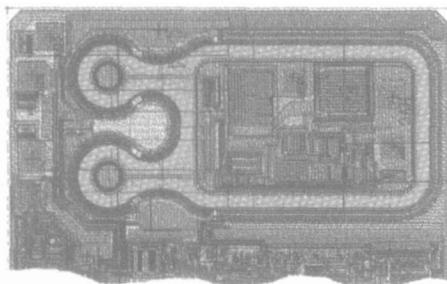


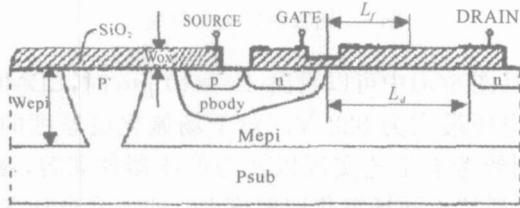
图 3 芯片高压部分版图

3 高压 LDMOS 结构设计与分析

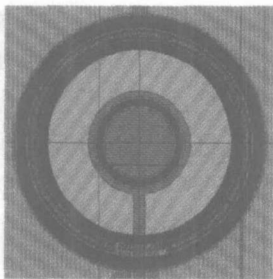
LDMOS 是一种采用双扩散技术的 MOS 结构, 如图 4(a) 所示, 即在同一窗口相继进行硼、磷两次扩散, 通过两次杂质扩散横向结深之差, 可以精确地确定沟道长度。LDMOS 的源区和漏区之间是低掺杂的外延层, 也称为漂移区, 一般源极 P-body 的掺杂浓度比漂移区的掺杂浓度大两个数量级左右, 所以, V_{DS} 的绝大部分都降落在漂移区上。高阻漂移区的存在提高了器件的击穿电压, 同时, 漂移区在沟道和漏极之间起缓冲作用, 削弱了 LDMOS 的短沟

道效应,使器件不易发生穿通击穿。

由于受平面 PN 结(非平行平面结)曲率效应的影响,使器件表面的最大电场常大于体内的最大电场,LDMOS 器件的耐压主要由表面击穿电压决定;而且,表面电荷 Q_f 的存在,将造成表面电场的集中和不稳定,严重影响器件的耐压特性。1979 年,Appels, J. A. 等人提出了 RESURF 技术^[9]。它可以在薄外延层上获得高的击穿电压,并明显降低了器件的导通电阻。RESURF 技术是利用轻掺杂的外延层制作高压器件,在器件达到击穿电压之前,整个漂移区(外延层)就已经全部耗尽。由于 P-body 外延结耗尽区电场和 P_{sub} 外延结耗尽区电场的相互作用,削弱了表面电场,使雪崩击穿从表面转移到了体内,从而提高了 LDMOS 的击穿电压。RESURF 技术对表面电荷很敏感,而场板技术^[10]可以有效地抑制表面电荷引起的低击穿,使表面电场分布更加平坦。RESURF 技术和场板技术的结合使用,显然可以改善 LDMOS 器件表面击穿的特性。



(a)高压 LDMOS 结构的剖面图



(b)高压 LDMOS 结构的版图

图 4 高压 RESURF LDMOS 结构的剖面图和版图

LDMOS 结构设计的核心是解决高耐压和低导通电阻的优化设计。在保证耐压的基础上,要求器件的导通电阻尽可能小,必须通过优化器件结构或增大 LDMOS 的栅宽,以降低器件导通电阻。然而,后者是以增大芯片面积为代价的。本文研究的高压 LDMOS 器件采用圆形结构,用 P-body 和 p 埋层形成对通隔离,实现了与低压器件的电隔离,其剖面图和版图如图 4(a)、(b)所示。根据 RESURF 和场板

技术的耐压敏感参数^[5, 8, 10],该高压 LDMOS 器件的耐压主要取决于外延层的浓度 N_{epi} 和厚度 W_{epi} 、衬底杂质浓度 N_{sub} 、漂移区长度 L_d 、场板的长度 L_f 和场氧化层的厚度 W_{ox} , 以及表面电荷浓度 Q_f 。

4 LDMOS 关键参数设计与仿真

根据 RESURF 原理^[9],优化的 RESURF LDMOS 应该设计成:在 P-body/外延结附近电场尚未达到临界电场之前,整个漂移区就已全部耗尽,否则,器件表面就容易发生雪崩击穿。所以,首先必须正确地设计外延层的掺杂浓度 N_{epi} 、厚度 W_{epi} 和衬底的掺杂浓度 N_{sub} 。Appels, J. A. 等人总结出满足 RESURF 原理的条件:对于均匀掺杂的外延层,外延层单位面积杂质密度 N_{tot} 需满足:

$$N_{tot} = N_{epi} \cdot W_{epi} \approx 1.0 \times 10^{12} \text{ cm}^{-2} \quad (1)$$

在这种情况下,雪崩击穿将不再发生在表面,而是转移到 n^+ 漏结或外延/衬底结。如果漂移区长度 L_d 取得足够长,则 n^+ 漏结的雪崩击穿电压也可以做得足够高^[11],从而 LDMOS 的耐压最终取决于外延衬底结的击穿电压。

外延衬底结的击穿电压公式:

$$BV_{epi/sub} = \frac{\epsilon E_c^2}{2qN_{eff}} \quad (2)$$

式中, E_c 表示临界电场, N_{eff} 表示外延/衬底结的有效掺杂浓度,分别由下面两式决定:

$$E_c = 9.5 \times 10^2 \cdot N_{eff}^{1/6} \quad (3)$$

$$N_{eff} = \frac{N_{epi} \times N_{sub}}{N_{epi} + N_{sub}} \quad (4)$$

由于外延层的浓度太小,器件的导通电阻就会太大;而外延层的浓度太大,则外延/衬底结的击穿电压将变小。综合考虑,本文取外延层的掺杂浓度为 $1.5 \times 10^{15} \text{ cm}^{-3}$,由(1)式可求得外延层的厚度大约为 $7 \mu\text{m}$ 。为了使 LDMOS 的耐压在 600 V 以上,即要求 $BV_{epi/sub} \geq 600 \text{ V}$;由(2)式~(4)式,同时考虑到三维效应和其他因素的影响^[12],本文取衬底掺杂浓度为 $1.5 \times 10^{14} \text{ cm}^{-3}$ 。本节将在上述参数的基础上,并借助 SILVACO 公司的工艺模拟软件(Athena)^[13]和器件模拟软件(Atlas)^[14],对该高压 RESURF LDMOS 器件结构中的其他耐压敏感参数进行优化设计。

模拟 LDMOS 的基本工艺和器件结构参数设计如下: P⁻ 衬底掺杂浓度 $1.5 \text{E}14 \text{ cm}^{-3}$, P⁻ 衬底厚度 $450 \mu\text{m}$, P⁺ 埋层(下隔离)离子注入浓度 $1.0 \text{E}15$

cm^{-2} , N^- 外延层掺杂浓度 $1.5\text{E}15 \text{ cm}^{-3}$, N^- 外延层厚度 $7 \mu\text{m}$, P_{iso} (上隔离) 离子注入浓度 $2.0\text{E}14 \text{ cm}^{-2}$, 栅氧化层厚度 $0.1 \mu\text{m}$, P^+ (P-body 欧姆接触) 离子注入浓度 $1.0\text{E}15 \text{ cm}^{-2}$, P-body 离子注入浓度 $4.0\text{E}14 \text{ cm}^{-2}$, P-body 结深 $3.0 \mu\text{m}$, N^+ 源区或 N^+ 漏区的离子注入浓度 $1.0\text{E}15 \text{ cm}^{-2}$, N^+ 源区或 N^+ 漏区的结深 $0.8 \mu\text{m}$ 。

4.1 漂移区长度 L_d 对器件耐压的影响

漂移区长度较短时, 器件的纵向耐压大于横向耐压, 此时器件的击穿电压由横向耐压决定, 漂移区长度越长, 横向耐压越高, 所以击穿电压随漂移区长度的增大而增大; 当漂移区长度增大到器件的横向耐压大于纵向耐压时, 器件的耐压将由纵向耐压来决定, 此时器件的击穿电压就不会随漂移区长度的增长而增大, 而是趋于一定值^[15]。随着漂移区长度的增加, 漂移区电阻(导通电阻)成正比增加, 同时, 也增大了器件的芯片面积, 成本也随之提高。所以, 需要对漂移区的长度进行优化, 即在满足器件耐压要求的情况下尽可能地减小漂移区的长度。模拟时, 其他参数不变, 改变漂移区的长度 L_d , 得到 LDMOS 击穿电压的变化曲线, 如图 5 所示。考虑到表面电荷以及其他因素的影响, 取漂移区长度为 $60 \mu\text{m}$, 此时器件的击穿电压为 775 V 左右。

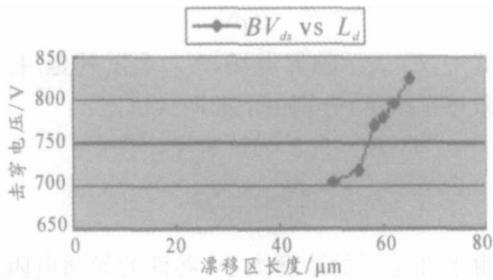
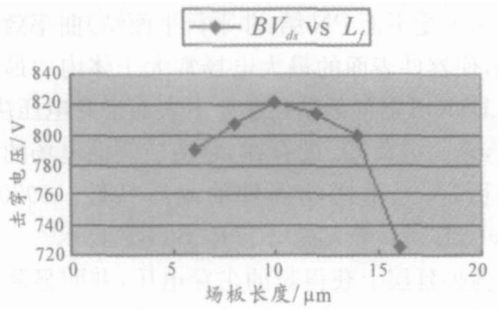


图 5 击穿电压随漂移区长度的变化曲线

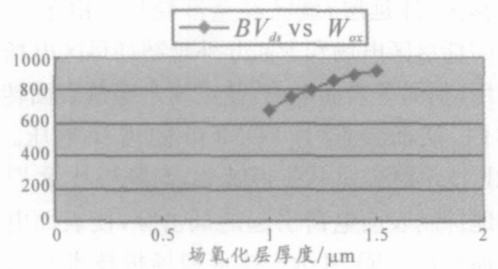
4.2 场板长度和场氧化层厚度对器件耐压的影响

场板是提高平面结击穿电压的一种很有效的方法, 但它的缺点是在其边缘处有一电场峰值, 影响了器件的耐压。根据 O' Neil 等人对场板结构的近似分析^[16], 场板的长度 L_f 等效于平面结的横向曲率半径, 场板下的氧化层厚度 W_{ox} 等效于平面结的结深。增加场板的长度或场板下氧化层的厚度, 可以降低场板边缘处峰值电场的影响, 并且场板的长度和氧化层厚度存在优值^[10]。选取适当的氧化层厚度和场板长度, 使得平面 PN 结曲率部分和场板边缘处同时击穿, 此时的击穿电压则为平面结耐压最大值, 即场板的最优设计。图 6 (a) 是模拟不同场板(多晶硅栅极场

板) 长度 L_f 时的击穿电压变化曲线。



(a) 击穿电压随场板长度的变化曲线



(b) 击穿电压随场氧化层厚度的变化曲线

图 6 场板参数优化曲线

从图 6 (a) 中可以看出, $L_f = 10 \mu\text{m}$ 时, LDMOS 击穿电压最大为 822 V 。对于场氧化层厚度的选择, 则要考虑工艺实现以及与低压器件兼容, 图 6 (b) 是模拟不同场氧化层厚度 W_{ox} 的击穿电压曲线图。取场氧化层厚度为 $1.5 \mu\text{m}$, 此时击穿电压为 920 V 。

4.3 表面电荷效应对器件耐压的影响

表面电荷的存在严重影响了 RESURF LDMOS 的耐压特性, 目前主要是通过优化工艺过程, 从而尽量避免引入不必要的电荷。随着工艺的发展, 表面电荷浓度一般可以控制在 $10^{11} \sim 10^{12} \text{ cm}^{-2}$ 范围内^[7]。在上述优化参数的基础上, 取表面电荷分别为: $5.0\text{E}10 \text{ cm}^{-2}$, $1.0\text{E}11 \text{ cm}^{-2}$, $2.0\text{E}11 \text{ cm}^{-2}$, $3.0\text{E}11 \text{ cm}^{-2}$, $5.0\text{E}11 \text{ cm}^{-2}$, $1.0\text{E}12 \text{ cm}^{-2}$, 模拟结果如图 7 所示。

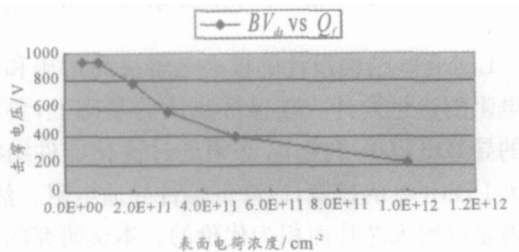


图 7 不同表面电荷浓度的器件击穿曲线

从图 7 可以看出, 当 $Q_f \leq 1.0\text{E}11 \text{ cm}^{-2}$ 时, 器件耐压保持着相对高的水平, 即此时表面电荷效应对

器件击穿电压的影响较小，一旦 Q_f 超出此范围后，LDMOS 的击穿电压迅速降低；当 $Q_f = 3.0E11 \text{ cm}^{-2}$ 时，器件的击穿电压下降约 40%。由此可见，要使器件达到较高的耐压水平，除了需要对有关参数进行优化外，还必须严格控制器件的表面电荷浓度，以削弱表面电荷效应对器件耐压性能的不良影响。所以，要使 LDMOS 耐压超过 600 V，则要求表面电荷控制在 $2.0E11 \text{ cm}^{-2}$ 内，此时，器件击穿电压降到 780 V。

5 仿真和测试结果

根据以上分析，得到一组最佳的 RESURF LDMOS 的耐压敏感参数：外延层浓度 $1.5E15 \text{ cm}^{-3}$ ，外延层厚度 $7 \mu\text{m}$ ，衬底浓度 $1.5E14 \text{ cm}^{-3}$ ，漂移区长度 $60 \mu\text{m}$ ，多晶硅场板长度 $10 \mu\text{m}$ ，场氧化层厚度 $1.5 \mu\text{m}$ ，并在模拟程序中设置表面电荷浓度为 $2.0E11 \text{ cm}^{-2}$ ，其他参数如前所述。对优化后的 RESURF LDMOS 进行模拟，结果如图 8 所示，击穿电压为 780 V，满足器件耐压要求。

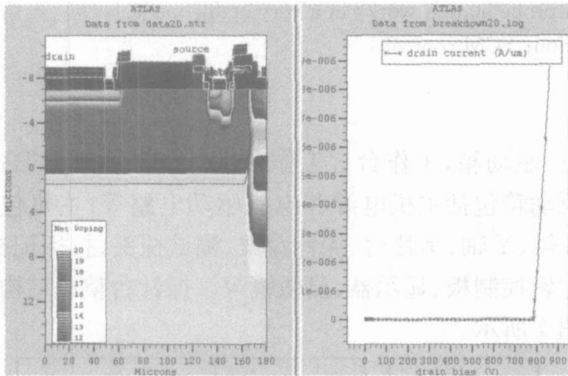


图 8 优化的 RESURF LDMOS 器件结构及其击穿电压

中的 LDMOS 击穿特性进行测量，结果如图 9 所示，击穿电压达到 680 V 左右，满足电路耐压要求，但与理论分析有一定的偏差。本文认为，原因可能在于表面电荷密度偏大，实际制造工艺偏差等；另外，模拟软件与实际工艺过程毕竟有一定差别，所以，流片结果与本文的理论分析还是基本上一致的。

6 结 论

通过工艺和器件模拟软件，分析并讨论了 RESURF LDMOS 高压器件的结构及其耐压敏感参数。从仿真与测试图形中可以看出，在参数优化的条件下，器件结构不仅具有较为理想的高击穿电压，而且其导通电阻比较低，即在某种程度上较好地实现了器件耐压与导通电阻间的折中。基于以上分析，又兼顾器件结构及工艺相对简单，尽量避免了 RESURF 技术对工艺参数波动的敏感性，因此，可以认为该 LDMOS 是一种适用于高低压电路单片集成的高压器件。

参 考 文 献：

- [1] 陈星弼. 功率 MOSFET 与高压集成电路[M]. 南京：东南大学出版社，1990.
- [2] Parpia Z, Ander C, Salama T. Optimization of RESURF analytical LDMOS transistors: an approach [J]. IEEE Trans Elec Dev, 1990, 37(3): 789-796.
- [3] Sankara E M, Narayanan, Amaratunga G, et al. A study of the resurf principle for thin epitaxial layer high voltage integrated circuits [A]. Int Symp Power Semicond Dev and IC' s [C]. Tokyo, Japan. 1992. 160-175.
- [4] 吴秀龙, 陈军宁, 孟坚, 等. SOI LDMOS 晶体管耐压结构的研究[J]. 半导体技术, 2005, 30(3): 27-31.
- [5] Ludikhuizen A W. A review of RESURF technology [A]. Int Symp Power Semicond Dev and IC' s [C]. Toulouse, France. 2000. 11-18.
- [6] Stengl R, Falck E. Surface breakdown and stability of high voltage planar junctions [J]. IEEE Trans Elec Dev, 1991, 38(9): 2181-2188.
- [7] Yilmaz H. Optimization and surface charge sensitivity of high voltage blocking structures with shallow junctions [J]. IEEE Trans Elec Dev, 1991, 38(7): 1666-1675.
- [8] Hossain Z, Ishiguro T, Tu L, et al. Field plate effects on the breakdown voltage of an integrated high voltage LDMOS transistor [A]. Int Symp Power Semicond Dev and IC' s [C]. Kitakyushu, Japan. 2004. 237-240.

(下转第 844 页)

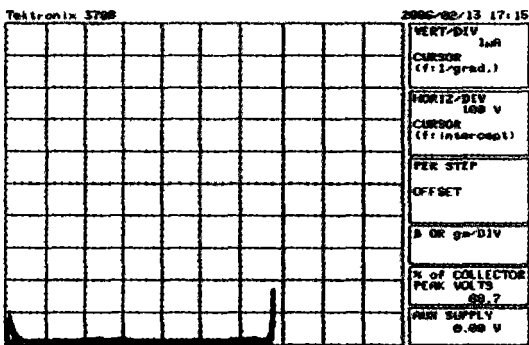


图 9 LDMOS 击穿特性曲线

基于上述 LDMOS 器件的结构以及工艺参数，在福顺微电子有限公司进行了初次流片。对 PCM

重复执行,如程序中的关键指令(送数、置数等);使用看门狗技术;数据表格的尾部设置软件陷阱。

5 技术改造前后的比较

显示器改造:显示部分原来使用数码管,现在改为真彩色 YD-901 液晶显示,人机对话界面友好。

键盘改造:由原来的机械按键改为可靠性高的触摸按键。

软件改造:测试参数掉电记忆功能,可修改新功能;回零功能;自动工作方式的中停功能;不合格数的记数显示功能。

可靠性比较:采用了新技术和抗干扰措施,四台设备运行两年,工作稳定可靠。

测试效率:通过测试改造后,探针台测试效率比改造前提高了一倍;表 1 列出改造后探针台的技术指标。

表 1 多探针自动测试台改造后的技术指标

名称	技术指标
最大行程	130 mm
行进速度	18~ 23 mm/s
步进范围	0.2~ 9.99 mm
步进分辨率	0.01 mm
重复精度	±0002 mm
定位精度	±0.01 mm
不垂直度	0.0025/130 mm
吸盘直径	130 mm
Z 向升降工作台最大行程	0.85 mm
Z 向步进分辨率	0.01 mm
速度 Z 向跳动	0.008 mm
⊙ 向转角	0~ 180°

6 结束语

自动探针测试台是半导体集成电路测试的重要设备。改造完成的自动多探针测试台通过测试,各项技术指标都达到了国内同期产品的技术水平;并且可靠性高、维护方便、界面友好、操作简单,增加的自动检测盒对不合格管芯可以直接打点。到目前为此,已经改造完成 4 台设备。这 4 台设备使用两年来,测试效率高,设备的工作稳定可靠;通过测试验证,已达到实用化。

参考文献:

- [1] 何立明. 单片机应用技术选编 [M]. 北京: 北京航空航天大学出版社, 1998.
- [2] 董本敏. 标准集成电路数据手册—TTL 集成电路 [M]. 北京: 电子工业出版社, 1989.
- [3] 中国集成电路编写委员会. 中国集成电路大全—COMS 集成电路 [M]. 北京: 国防工业出版社, 1990.
- [4] 阎石. 数字电子电路 [M]. 北京: 中央广播电视大学出版社, 1993.
- [5] 张毅刚, 修林成, 胡振江. MCS-51 单片机应用设计 [M]. 哈尔滨: 哈尔滨工业出版社, 1989.
- [6] 《机械设计手册》联合编写组编. 机械设计手册 [M]. 北京: 化学工业出版社, 1983.
- [7] 东北工学院《机械零件设计手册》编写组. 简明机械零件设计 [M]. 北京: 冶金工业出版社, 1985.

作者简介:吴小燕(1966—),女(汉族),四川成都市人,工程师,1987年毕业于成都无线电机械学校电气自动化专业,2006年毕业于中央广播电视大学(本科)计算机科学与技术专业,长期从事半导体设备维修和设备技术改造。

(上接第 841 页)

- [9] Appels J A, Vaes H M J. High voltage thin layer devices (RESURF devices) [A]. IEDM Tech Dig [C]. 1979, 25(3): 238-241.
- [10] Conti F, Conti M. Surface breakdown in silicon planar diodes equipped with field plate [J]. Sol Sta Elec, 1960, 15(2): 93-105.
- [11] Colak S. Effects of drift region parameters on the static properties of power LDMOST [J]. IEEE Trans Elec Dev, 1981, 28(12): 1455-1466.
- [12] 卢豫曾. 高压 RESURF LDMOSFET 的实现 [J]. 电子学报, 1995, 23(8): 10-14.
- [13] Athena User's Manual. Silvaco International Inc. [Z]. 1998.
- [14] Atlas User's Manual. Silvaco International Inc. [Z]. 1998.
- [15] 孙智林, 孙伟锋, 易扬波, 等. LDMOSFET 漂移区参数灵敏度分析 [J]. 微电子学, 2004, 34(2): 198-202.
- [16] Patrick V O, Alonas G P. Relation between oxide thickness and the breakdown voltage of a planar junction with field relief electrode [J]. IEEE Trans Elec Dev, 1979, 26(7): 1098-1100.

作者简介:陈利(1980—),男(汉族),福建福州人,硕士研究生,研究方向为高压功率器件。