

# USB 接口引擎的软核设计与 FPGA 兑现

邹琼, 郭东辉

(厦门大学 福建 厦门 361005)

**摘要:** 在 USB Open Core 的基础上, 对 USB 接口引擎进行 RTL 级的 Verilog HDL 语言功能设计和 FPGA 兑现验证。主要介绍了 USB 通讯协议的基本原理, 根据 USB 接口引擎的结构框图, 说明各功能模块的设计思路和方法, 并在 ModelSim 中进行功能仿真分析, 最后下载到 Xilinx 公司的 FPGA 中进行综合。

**关键词:** 通用串行总线; 现场可编程门阵列; 寄存器传输级; Open Core

中图分类号: TP336

文献标识码: B

文章编号: 1004 - 373X(2006) 12 - 069 - 04

## FPGA Implementation and Design of USB SIE IPCore

ZOU Qiong, GUO Donghui

(Xiamen University, Xiamen, 361005, China)

**Abstract:** On the basis of USB Open Core, a novel USB SIE (Serial Interface Engine) logic block architecture is designed. The USB SIE is partitioned into several temporally independent functional modules, and each of which is designed with RTL (Register Transfer Level) individually. All the modules are then integrated into one design and simulated successfully. The USB SIE logic blocks are synthesized and implemented on FPGA successfully.

**Keywords** Universal Serial Bus(USB); field programmable gate array; register transfer level; Open Core

### 1 引言

USB(Universal Serial Bus, 通用串行总线)<sup>[1]</sup>是 Intel 公司在 1996 年提出, 由 Compaq 等 7 家公司联合制定的新型接口标准协议。如今 USB 协议已经发展到了 USB 2.0 的版本, 他的传输速率可达到 480 Mb/s。由于 USB 具有接口统一, 数据传输速率高, 支持即插即用, 易于扩充等特点, 在消费电子产品或仪器设备中得到广泛的应用<sup>[2]</sup>。

然而, 国内产品中所用到的 USB 芯片都依赖进口, 主要由国外的 IC 设计芯片厂商如 Cypress, NEC 等一些国际著名公司提供。鉴于 USB 芯片有很好的市场前景和利润空间, 尽管国内企业或研究机构目前还只是处于 USB 芯片应用开发的技术水平, 人们还是希望自主开发出有自主知识产权的 USB 芯片, 因此, 近年来国内也有许多单位在探索独立设计 USB 芯片<sup>[3-5]</sup>。

目前市面上出现 USB 芯片主要有 2 种: 一种是有内置微控制器(MCU)的, 如 Cypress 公司的 EZ-USB; 另一种是仅提供 USB 接口引擎的芯片, 如 Philips 的 PDIUSB-D12, 他仅处理 USB 标准协议包的通信处理, 需要外接

MCU 构成完整的 USB 设备系统。后者由于结构相对简单, 设计复杂性低, 且有许多公开的软核(Open Core)<sup>[6,7]</sup>提供给芯片设计者参考。所以, 本文也是仅针对 USB 接口引擎进行分析和设计的。即在 USB Open Core 的基础上对 USB 接口引擎进行 RTL 级的仿真分析, 并综合到 FPGA 验证测试, 希望能够提供一个实际可复用的 USB 接口软核。

### 2 USB 接口原理

USB 接口采用半双工的通信方式, 其数据发送模块和数据接收模块相互独立。USB 设备的接口数据流框图如图 1 所示。

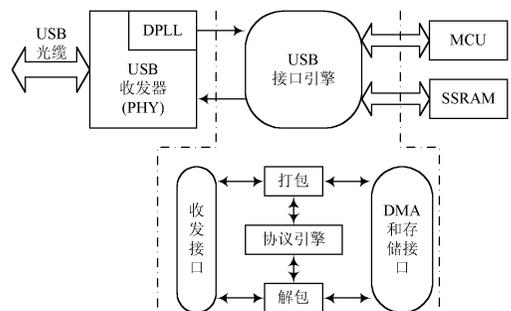


图 1 USB 接口设备整体框图

其中 USB 收发器<sup>[8]</sup>作为 USB 接口的模拟前端, 功能包括数字锁相环时钟恢复及倍频, 差分信号的 NRZI 编/

收稿日期: 2006 - 03 - 29

基金项目: 国家自然科学基金项目;

国家人事部留学人员创业基金项目;

福建省自然科学基金项目(A0410007)的联合资助。

解码,位处理和串并转换等,可以选用已有的成品替代,如 NEC 的  $\mu$ PD720120 芯片。因此,为了避免模拟前端无法在 FPGA 直接兑现的困难,主要考虑涉及 USB 接口引擎部分的设计。该接口引擎可以分解为打包(Packet Assembler, PA),解包(Packet Disassembler, PD),协议引擎(Packet Engine),收发接口,DMA 和存储接口(Internal Direct Memory Access, IDMA)等 5 个主要模块。

其中,打包模块应主机要求,把信息包数据进行编码后发送。解包模块则是将接收到的信息包数据进行检测解码,解出 PID, ADDR 和 ENDP, Frame Number 以及有效 Data。协议引擎模块是核心,他在整个 USB 通信中起到控制和调度作用,处理各种 IN, OUT 以及 SETUP 事务,同时确定当前操作的 ENDP 地址,和执行 Data Toggle 机制。收发接口模块以半双工方式接收打包模块和解包模块的控制,在与收发器相接的数据线上进行输入或输出数据的缓存处理;存储接口模块的功能负责裁定 USB 接口引擎和外接微处理器对存储器的访问,两者均通过采用内部 DMA(Direct Memory Access)方式访问 SSAM。

### 3 RTL 级的功能设计

在用 HDL 语言设计时,数据处理的中间结果保存在寄存器中,然后进行下一步的数据处理,并将处理结果仍保存在寄存器中,这种通过数据处理,数据存储及寄存器之间的数据传输,来完成所需设计功能的设计方法被称为 RTL(Register Transfer Level, 寄存器传输级)设计<sup>[9,10]</sup>。数字系统的各种功能都可以通过 RTL 的具体操作实现,用 RTL 编写时具有更好的可读性和综合性。

#### 3.1 打包模块的设计

根据 USB 1.1/2.0 协议的规定,应主机要求对获得的不同包标识(PID)判断后,打包模块把要发送的数据包 PID(DATA0/DATA1 等)或标记包 PID(OUT/IN 等)安排好,依次发送数据信息。在发送 DATA0/DATA1 等时,需要把有效数据的 CRC16 校验位放在包末尾一起发送;发送 OUT/IN 等时,把 CRC5 校验位放在末尾一起发送。另外一种情况是直接发送握手包 PID(ACK/NAK 等),不带任何校验信息。打包模块状态转移如图 2 所示。

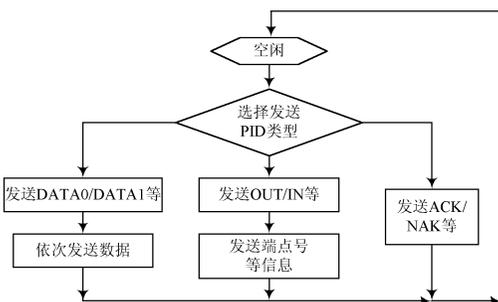


图2 打包模块状态转移图

其中,基于 RTL 级设计的 Data path Muxes 如下:

```
always @( send_token or token_pid or tx_data_data)
    if( send_token) tx_data = token_pid;
    else tx_data = tx_data_data;
always @( dsel or tx_data_st or tx_spec_data)
    if( dsel) tx_data_data = tx_spec_data;
    else tx_data_data = tx_data_st;
always @( crc_sel1 or crc_sel2 or data_pid or crc16_rev)
    if(! crc_sel1 & ! crc_sel2)
        x_spec_data = data_pid;
    else
        if( crc_sel1)
            tx_spec_data = crc16_rev[15:8]; // CRC 1
        else
            tx_spec_data = crc16_rev[7:0]; // CRC 2
```

在上述程序段中可以看到,每动作一步后数据结果都会存入对应的寄存器;用 always 语句加各种控制线完成 MUX 的动作;用 send\_token 控制传送 PID 的类型包;由 dsel 控制线决定此刻是发送数据信息还是数据信息外的字段;另外,数据信息外字段也分成了 PID 类型包段和 CRC16 两个部分进行选择。

#### 3.2 解包模块的设计

解包模块是打包模块的逆过程。图 3 给出了 USB 接口引擎在进行数据解包的状态转移图。

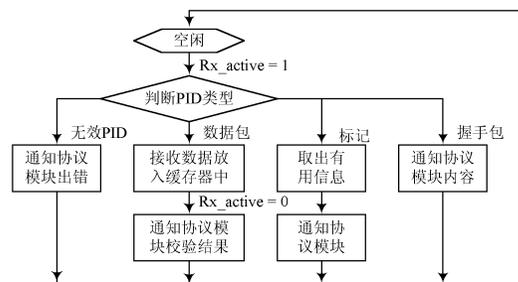


图3 解包模块状态转移图

解包模块将接收到的信息包数据进行解析,解析出 PID, 端点地址和 Function 地址以及包含在包中的有效数据。在解码时,要对必要的标记包进行 CRC5 校验,对数据包进行 CRC16 校验。

其中,解包的关键 PID Decoding Logic 如下:

```
if (! rst) pid <= # 18'hf0; else if( pid_ld_en) pid <=
# 1 rx_data;
```

PID 解包模型用 always 语句读入接收到的第一组 8 位数据段。从硬件角度考虑会发现,当 pid\_ld\_en 为 0 时,任何输入到 rx\_data 的变化在穿过上述 always 语句后,没有更新 pid 的输出值,这就暗示了时序逻辑是用 rx\_data 作为锁存器的输入,pid\_ld\_en 作为高有效的锁存使能端以及用 pid 作为锁存输出。

#### 3.3 协议引擎模块的设计

协议引擎模块是协议层的核心模块,在整个 USB 通信中起到控制和调度作用。另外,USB 协议规定了 Data Toggle 的机制以保证多事务中数据发送器和接收器之间的数据序列同步;他通过 DATA0 和 DATA1 PID, 以及发

送器和接收器的切换时序位的使用而完成; 仅在接收器能接收数据并且在收到带有正确的数据 PID 的无错数据包时, 接收器时序位才切换; 而仅在数据发送器收到合法的 ACK 握手时, 发送器时序位才切换。数据发送器和接收器必须在事务开始的时候同步他们的时序位。

协议引擎模块处理 PID 选择的整个过程都使用了 `case` 语句, 以此提高了综合器优化该 Data PID 逻辑的灵活性。当无关值  $x'$  作为默认包含在 `case` 语句中时, 由此所得到的组合逻辑可能包含 MUX, 也可能不包含 MUX, 这与逻辑优化程度有关。

#### 4 功能仿真与 FPGA 综合

为了说明采用 RTL 级设计思路对 USB 接口引擎各功能模块的正确设计, 分别采用 ModelSim 软件工具和 Xilinx 公司的 ISE 工具进行了功能仿真与 FPGA 综合。

##### 4.1 功能仿真

首先, 通过 Verilog 语言的调试, 并编写激励数据信号输入, 结果表明整个接口引擎都可以正确地接收和发送数据。图 4 是整个接口引擎模块协同运作的时序图。

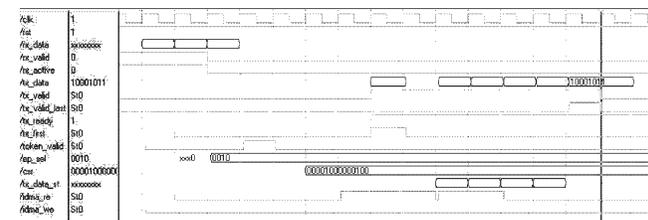


图 4 协议模块时序图

首先, function 地址是 `7b000_0100`, 解包模块接收到主机传来的 3 组 8 位数据。第一组是 `8b' 01001101` 的 IN 标识, 第二组指出主机要求地址是 `4'b0010` 终端输入数据信息。因此, 接收到正确的 PID 标识后 `token_valid` 有一个 `clk` 时钟的高电平, 然后主机就准备发送信息。当 `tx_first` 出高表示主机已经把数据准备好, 然后 `tx_data` 开始一次逐个输出数据, 最后由 `tx_valid_last` 出一个 `clk` 时钟的高电平夹断打包模块的输出。

##### 4.2 FPGA 综合结果

经过功能仿真验证与我们的设计要求指标一致后, 在 ISE 工具环境中选用型号为 VirtexE xc2v40 - 6cs144 的 FPGA 器件进行综合, 生成了具体的器件结构文件和综合报告文件。其中, 图 5 是整个软核综合后的 FPGA 内部构建图。

输入端口在最左的部分, 相对的最右部分为输出端口。同时, 人为地标出了打包 PA, 解包 PD, 协议引擎 PE, 存储器接口 idma 等模块, 而其余部分实现调用和速度判断的功能。而综合报告文件分别给出了 FPGA 资源利用报告和器件的延迟时间与时钟速率的指标报告, 报告内容如下:

(1) 最顶层综合后的部分资源报告如下:

Number of Slices: 189 out of 768 24%

Number of Slice Flip Flops: 234 out of 1536 15%

Number of 4 input LUTs: 326 out of 1536 21%

Number of bonded IOBs: 125 out of 180 69%

Number of GCLKs: 1 out of 4 25%

综合后的器件延迟时间和时钟速率报告指出:

Minimum period: 15.955ns (Maximum Frequency: 62.676MHz)

Minimum input arrival time before clock: 16.836ns

Maximum output required time after clock: 25.885ns

Maximum combinational path delay: 29.717ns

如图 1 所示, 在 USB 传输过程中没有独立的时钟, 他把时钟信息和数据信息以差分的方式传输; 接收器用一个 4 倍频的锁相环 PLL 来恢复时钟, 对芯片之间的通信进行同步<sup>[9]</sup>。对于全速的 USB 设备, 12 MHz 的通信频率此时在 USB 接口引擎运行频率最少为 48 MHz<sup>[9]</sup>。从时间报告上看到, 整个协议模块综合后达到 62.676 MHz, 完全符合最低为 48 MHz 的要求。

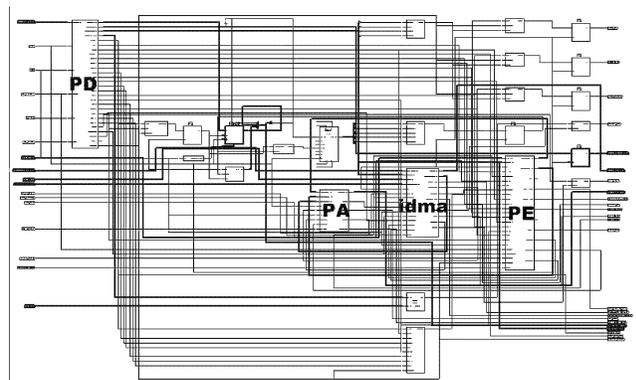


图 5 整个软核综合后的结构视图

##### 4.3 RTL 级综合优势

任何符合 HDL 语法标准的代码都是对硬件行为的一种描述, 但不一定是可直接对应成电路的设计信息。对于目前大部分 EDA 软件的综合能力, 只有 RTL 或更低层次的行为描述才能保证是可综合的<sup>[10, 11]</sup>。例如在设计 CRC (Cyclic Redundancy Check, 循环冗余校验)<sup>[11]</sup>检测时, 根据 CRC5 的定义, 很容易写出他的算法级程序, “`crc_out = data_in % 5'b11_0101;`”同时在前仿真软件中通过, 但是使用 Xilinx ISE 综合时却失败了。

因此, 改用基于 RTL 级的 CRC 串行算法或并行算法。考虑到并行算法运行速度快, 占用资源不是很大的特点, 使用并行 CRC5 的算法综合, 内部构建如图 6。综合报告指出, 他仅占用了 9 个 Slices, 4 个 input LUTs 以及 21 个 Bonded IOBs。

同样, 如果仅采用目前网上提供的 USB OpenCore<sup>[6]</sup>直接进行 FPGA 综合是有缺陷的, 无法达到采用 RTL 级设计思路进行设计的效果。

#### 5 结论

采用 RTL 级 Verilog HDL 语言设计各个模块, 因而

各个模块有着很强的可读性和很好的综合性。在具体设计时,以并行算法程序代替串行以提高软核运行速度,满足 USB 接口引擎对面积要求比较低,而满足 USB 对运行速度要求却很苛刻的特点。现场测试结果表明了 USB 接口引擎的各项功能均能正确实现,并且在关键指标的要求上也达到预期的目标,整体工作性能良好,充分证明了本文提出的方案是正确可行的。

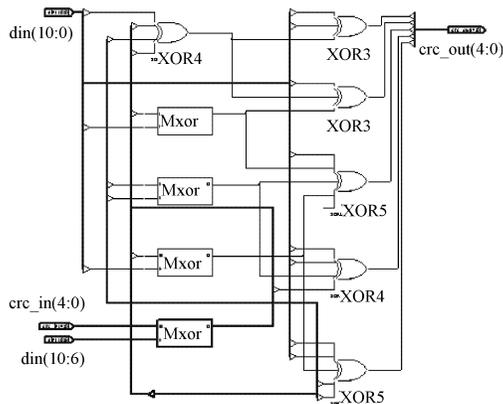


图 6 CRC5 综合后的结构视图

#### 参 考 文 献

- [1] Compaq. Universal Serial Bus Revision 2.0 specification[S]. <http://www.usb.org/developers/docs/>. 2006-02-26.
- [2] 王省书,秦石乔,邵福球.通用串行总线及其应用[J].计算机应用研究,2000,17(1):6-8.

- [3] 梅杰,曹以龙,许明东.基于 Verilog HDL 语言的 USB 收发器设计[J].计算机应用,2003,30(12):19-21.
- [4] 杜占坤,吴敏,李铮,等.USB 2.0 SIE 的 ASIC 设计与实现[J].半导体技术,2004,29(10):61-64.
- [5] 申柏泉,王玉艳.USB 设备控制器中串行接口引擎的设计[J].计算机工程,2004,30(21):183-185.
- [6] Rudolf Usselmann. USB Function IP Core [EB/OL]. <http://www.opencores.org>. 2006-02-26.
- [7] Trenz electronic. Full-Speed USB 1.1 Function Controller [EB/OL]. <http://www.trenz-electronic.de>. 2006-02-26.
- [8] Intel Corporation. UTMII specification Version 1.05 [S]. [http://www.intel.com/technology/usb/download/2\\_0\\_xcvr\\_macrocell\\_1\\_05.pdf](http://www.intel.com/technology/usb/download/2_0_xcvr_macrocell_1_05.pdf). 2006-02-26.
- [9] Intel Corporation. Designing a robust USB serial interface engine (SIE) [EB/OL]. [www.usb.org/developers/whitepapers/siewp.pdf](http://www.usb.org/developers/whitepapers/siewp.pdf). 2006-02-26.
- [10] [美]Samir Palnikar. Verilog HDL 数字设计与综合[M].第2版.北京:电子工业出版社,2004.
- [11] [美]Michael D Ciletti. Verilog HDL 高级数字设计[M].北京:电子工业出版社,2004.
- [12] [美]Michael John Sebastian Smith. 专用集成电路[M].第2版.北京:电子工业出版社,2004.
- [13] Sung-Mo Kang, Yusuf Leblebici. CMOS 数字集成电路——分析与设计[M].第3版.北京:清华大学出版社,2005.

作者简介 邹琼 女,1981年出生,目前是厦门大学物理系硕士研究生。  
郭东辉 厦门大学教授,博士生导师。

(上接第68页)

学生选课表 记录学生所有选择的课程,存储用户的ID、课程代码、课程学习状态。

课程表 记录本教学平台所提供的课程资料,存储课程代码、课程名称、对课程主要内容的概括性描述、课程初始的测试文件,以检测学生是在适合学习本门课程。测试文件可以检验学生对本门课程的掌握程度。

章节表 课程的结构,存储章节代码、章节序号、章节名称、章节层次、章节所属课程的课程代码及本章节的详细内容对应的HTML文件的路径,对本章节主要内容的概括性描述,本章节对应的试题文件的编号。

知识点网络表 用来记录知识点的拓扑网络关系。

## 4 结 语

基于 Web 的 ICAI 系统是在现代教育理论的指导下,结合 Internet 的发展水平,综合运用人工智能术、Web 技术与网络数据库技术分析和设计的,充分体现了以“学生”

为中心的教育思想和认知心理学理论基础上的适应性导航策略。可方便学生自由选择学习的内容和时间,这样不但增强了学生学习的主动性与灵活性,而且还提高了学生的学习兴趣。他对于促进教育改革,提高教学的质量与效率,具有重要的现实意义。

#### 参 考 文 献

- [1] 丁兴富. 远程教育学[M]. 北京:北京师范大学出版社,2004.
- [2] 蔡晓东. 计算机网络技术[M]. 西安:西安电子科技大学出版社,1998.
- [3] 戴汝为,王珏. 智能系统中的互补策略[J]. 模式识别与人工智能,1993,6(1):1-11.
- [4] 陈颖,何钦铭,王申康. 基于超文本结构的智能计算机辅助教学系统[J]. 计算机研究与发展,1998,35(5):442-446.
- [5] 蒋天发,郑崇伟. 基于 Intranet 多媒体 ICAI 的研究与探讨[J]. 计算机工程与应用,2004,40(1):162-164.

作者简介 刘建平 男,1982年出生,陕西师范大学新闻与传播学院2004级研究生。