

# 高压功率 MOSFET 结终端保护技术及其组合优化设计

陈利<sup>1,2</sup>, 李开航<sup>1</sup>, 郭东辉<sup>1,2</sup>

(1. 厦门大学 福建 厦门 361005; 2. 厦门元顺微电子有限公司 福建 厦门 361005)

**摘要:**场板与场限环是用来提高功率 MOSFET 抗电压击穿能力的常用结终端保护技术,文章将分别介绍场板与场限环结终端保护技术各自的特点和耐压敏感参数,通过场板和场限环的互补组合来优化设计一款高耐压的 VDMOS 器件结构,最后采用 ATHENA(工艺模拟)和 ATLAS(器件模拟)工具来仿真验证优化设计的结果。

**关键词:**高压;功率 MOSFET;结终端保护;场板;场限环

**中图分类号:** TN323<sup>+</sup>. 4

**文献标识码:** B

**文章编号:** 1004-373X(2006)11-071-04

## Optimized Design of Junction Termination Techniques and Combination for High-voltage Power MOSFET

CHEN Li<sup>1,2</sup>, LI Kaihang<sup>1</sup>, GUO Donghui<sup>1,2</sup>

(1. Xiamen University, Xiamen, 361005, China; 2. Xiamen Unisonic Technologies Co. Ltd., Xiamen, 361005, China)

**Abstract:** Field plates and field limiting rings are usually used as junction termination techniques for high-voltage power MOSFET. The paper introduces the basic principle of them respectively. According to the optimized sensitive parameters of their avalanche breakdown characteristics, we design a high blocking voltage power MOSFET using field plates and field limiting rings complementary combination. And we use ATHENA and ATLAS for experimental verification.

**Keywords:** high-voltage; power MOSFET; junction termination technique; field plate; field limiting ring

### 1 引言

现代功率器件的基本要求是能够耐高压且大电流工作。其中,硅基功率 MOSFET 通常是通过并联大量的 MOS 单元形成宽长比大的 MOS 功率器件,以保证实现大电流工作。但是,对于高压工作的 MOSFET 来说,位于器件中间各并联 MOS 单元间的表面电压大致相同,而位于边界(即终端)的 MOS 单元与衬底表面的电压却相差很大,往往引起表面电场过于集中造成了器件的边缘击穿。因此,为了保证硅基功率 MOSFET 能够在高压下正常工作,通常需要在器件边界处采取措施即结终端保护技术<sup>[1]</sup>,来减小表面电场强度,提高 MOS 功率器件 PN 结击穿电压。

目前结终端保护技术主要有场板(Field Plate, FP)、场限环(Field Limiting Ring, FLR)、结终端扩展(Junction Termination Extension, JTE)和横向变掺杂(Variation of Lateral Doping, VLD)等<sup>[2]</sup>。其中,FP 和 FLR 组合使用是一种改善表面击穿特性常用的有效方法。FP 可以有效地抑制表面电荷引起的低击穿,FLR 则可以减缓平面结曲

率效应造成的 PN 结击穿,并且他们结构简单,工艺兼容性好,FP 和 FLR 的结合使用显然可以提高功率 MOSFET 的整体耐压性能<sup>[3]</sup>。

结终端保护是高压功率 MOSFET 设计的一个重要环节。对于场板技术和场限环技术,科研工作者进行了许多分析工作,并建立了各种优化设计方法<sup>[4~7]</sup>。但是,这些文献中的分析和设计方法都偏于理论或理想化,比如文献[3]对 FP 结构的优化设计是建立在场板长度无限大的假设前提下,而实际器件场板长度是有限的,文献[4]的方法仅适用于穿通(Punch-Through)工作方式,而文献[5~7]的理论推导以及公式显得非常复杂,这些分析或设计方法很难应用于实际器件的设计。

为了能够获得和实现性能好的高压功率 MOSFET,本文对 FP 和 FLR 两种结终端保护技术进行了理论分析和优化,通过组合使用 FP 技术和 FLR 技术,设计了一款耐压超过 500 V 的 VDMOS<sup>[8]</sup>功率器件,该功率器件具有占用的芯片面积小、成本低的优点。

## 2 FP 技术和 FLR 技术的理论分析和优化设计

### 2.1 FP 技术

场板是提高平面结击穿电压的一种很有效的方法<sup>[9]</sup>,但他存在一固有缺点是在其边缘处电场高度集中,影响器件的耐压。文献[10]认为场板边缘的峰值电场是由于场板

收稿日期:2005-12-14

基金项目:国家火炬计划项目(205EB010933)、福建省自然科学基金项目(A0410007)和厦门市科技项目的联合资助

的静电感应,场板边缘(如图 1(a))下的表面电荷产生的横向电场互相加强,造成一个横向场的峰值。所以带有场板结构的平面结有两个峰值电场,如图 1(b)所示,一个对应在场板边缘处如图 1(a)的 A 点,另一个则对应在场板边缘下的 B 点。要实现平面 PN 结的最大击穿电压,需要选择合适的场板长度和场板下氧化层厚度<sup>[11,12]</sup>,使得平面结曲率部分和场板边缘处同时击穿,即实现场板结构的最高耐压值。

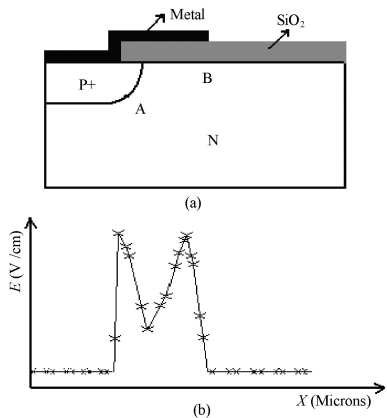


图 1 带有场板的 P+N 结(a)和场板结构的电场强度分布图(b)

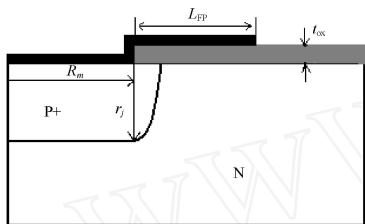


图 2 场板结构的 P+N 结

如图 2 所示,  $r_j$  和  $R_m$  分别表示平面 PN 结的结深和掩膜版窗口宽度,场板的长度为  $L_{FP}$ ,场板下氧化层厚度为  $t_{ox}$ 。当击穿发生在平面 PN 结弯曲处(即柱面结)时,击穿电压表达式为<sup>[13]</sup>:

$$BV_{CYL} = \frac{1}{x-1} \left[ \left( \frac{r_j}{W_{c,pp}} \right)^2 + 2 \left( \frac{7x-1}{8} \right)^{1/7} \left( \frac{r_j}{W_{c,pp}} \right)^{6/7} \right] \cdot \left\{ \left( \frac{r_j}{W_{c,pp}} \right)^{x+1} + (x+1) \left( \frac{7x-1}{8} \right)^{1/7} \times \left[ \left( \frac{r_j}{W_{c,pp}} \right)^{x-1/7} \right]^{2/(x+1)} \right\} \cdot BV_{pp} \quad (1)$$

式中:

$$BV_{pp} = 5.34 \times 10^{13} N^{-3/4} \quad (2)$$

$$W_{c,pp} = 2.67 \times 10 N^{-7/8} \quad (3)$$

$$x = (R_m/r_j + 2) / (R_m/r_j + 1) \quad (4)$$

其中:  $BV_{pp}$  和  $W_{c,pp}$  分别表示平行平面结的击穿电压和击穿时的耗尽区宽度,  $x$  是 PN 结形状因子。

当击穿发生在场板边缘处时,根据 O Neil 等人对场板结构的近似分析<sup>[14,15]</sup>,场板的长度  $L_{FP}$  等效于平面结的横向曲率半径,场板下的氧化层厚度  $t_{ox}$  等效于平面结的结深。但场板与平面结的差别是场板与硅之间还隔着一氧

化层,所以场板边缘处的击穿电压是由这两种材料共同承担的,即硅和场板下的氧化层两部分电压,分别记为  $V_{si}$  和  $V_{ox}$ 。对于硅材料部分的电压,根据上述的近似分析,场板长度和氧化层厚度分别等效于 PN 结的横向半径和结深,则可得:

$$\begin{cases} R_m = \frac{r_{si}}{r_{ox}} \cdot L_{FP} \\ r = \frac{r_{si}}{r_{ox}} \cdot t_{ox} \end{cases} \quad (5)$$

代入式(4)得:

$$x = (R_m/r_j + 2) / (R_m/r_j + 1) \quad (6)$$

将式(5),式(6)代入式(1)即得硅部分电压  $V_{si}$ 。对于氧化层部分的电压  $V_{ox}$ ,因为氧化层中的电场强度是硅的临界电场强度的  $r_{si}/r_{ox}$  倍<sup>[14]</sup>( $\epsilon_{si}/\epsilon_{ox}$  是材料的电介常数),很容易得到氧化层部分的电压。所以,场板边缘处的击穿电压  $BV_{FP}$  可以表示为<sup>[15]</sup>:

$$BV_{FP} = \frac{1}{x-1} \left[ \left( \frac{r_j}{W_{c,pp}} \right)^2 + 2 \left( \frac{7x-1}{8} \right)^{1/7} \left( \frac{r_j}{W_{c,pp}} \right)^{6/7} \right] \cdot \left\{ \left( \frac{r_j}{W_{c,pp}} \right)^{x+1} + (x+1) \left( \frac{7x-1}{8} \right)^{1/7} \times \left[ \left( \frac{r_j}{W_{c,pp}} \right)^{x-1/7} \right]^{2/(x+1)} \right\} \cdot BV_{pp} + E_{cur} \cdot \frac{r_{si}}{r_{ox}} \cdot t_{ox} \quad (7)$$

其中:

$$E_{cur} = \left[ \frac{7x-1}{8} \frac{r}{W_{c,pp}} \right]^{1/7} \cdot E_c \quad (8)$$

式中  $E_c = 4.010 N^{1/8}$ ,即平行平面结的临界击穿电场强度。这样,根据  $BV_{FP} = BV_{CYL}$  可选取最佳的场板参数。

## 2.2 FLR 技术

场板结构的击穿电压受氧化层厚度及其致密度影响很大<sup>[16]</sup>,使用单一的场板技术对于提高功率 MOSFET 的击穿电压并不理想。在平面型高压功率器件设计中,常结合使用场限环技术来提高器件的击穿电压。场限环与主结及其他电极没有电接触,因此又称浮空场限环(Floating FLR, FFLR)。

场限环的基本结构如图 3 所示。当加在主结上的电压逐渐增大,主结的耗尽区也逐渐往外扩展,在电压增大到主结的雪崩电压之前,两个结(主结及场限环)的耗尽区已经汇合,即两个结处于穿通(punch-through)情形。如果主结上的电压继续增加,则增加的部分将降落在场限环上。场限环在某种程度上起到分压器的作用,并有助于明显地增大主结耗尽区的曲率半径。

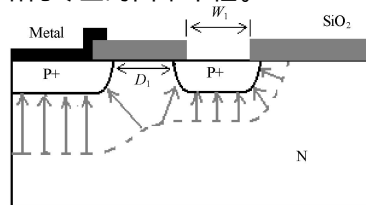


图 3 带有一个场限环的 P+N 结

环宽度( $W_i$ )和环间距( $W$ )的优化是场限环结构设计的关键。文献[10]给出了场限环优化间距公式:

$$W_i = [r_i^2 + 5.19(N_B/10^{16})^{-7/8} \cdot r_i]^{1/2} - r_i \quad (9)$$

设主结及各环的曲率半径均等于同一个结深 $X_j$ ,则用 $X_j$ 代替上式中的 $r_i$ 即得所需的优化环间距。上式的结论是在一些假设以及近似(同等对待主结和场限环)的前提下得到的,具有一定的参考价值,但跟实际情况有相差,并不是最优的环距离,通过模拟仿真软件很容易得到最佳环距。同时根据文献[17],按最外环宽度为 $2X_j \sim 2.5X_j$ ,环宽度由外向内递增、环间距由外向内递减的原则,选择环宽度和环间距,并根据 $W_1 + D_1 \triangleq W_2 + D_2 \triangleq \dots \triangleq W_n + D_n$ 取环间距值。

场限环结构对表面电荷效应非常敏感,特别是浅平面结的场限环结构,往往因为表面电荷影响导致器件击穿电压下降,甚至使器件失效。在实际应用中,常采用场板和场限环组合使用的结终端技术。场限环对与主结的分压作用具有明显的效果,而场板对于抑制表面电荷效应的影响也非常显著。图4所示为4个场板和3个场限环(4FP3FLR)组合使用的结终端结构图。

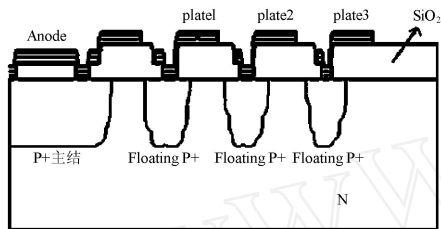


图4 4FP3FLR 结终端结构

### 3 实例仿真与结果分析

在上述理论分析的基础上,通过一个实例来具体分析FP技术和FLR技术组合使用的设计。以我们公司正在开发的产品(UTC01N601)为例,该产品为高压VDMOS分立功率器件,图5表示该功率器件的MOS单元以及FP/FLR组合结终端结构的平面图和对应剖面图。该VDMOS器件的耐压设计值要求是500V以上。

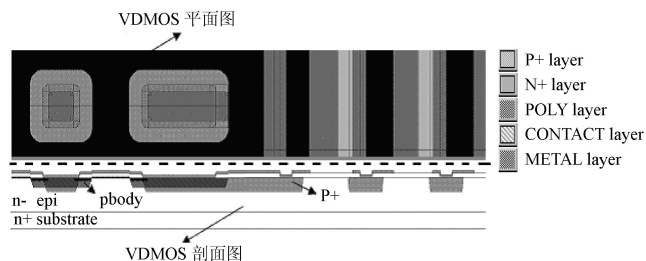


图5 VDMOS(UTC01N601)单元以及结终端结构示意图

综合考虑我们设计了一4个场板结合3个场限环(4FP3FLR)的结终端组合结构(如图8),利用工艺仿真软件Athena<sup>[18]</sup>和器件仿真软件Atlas<sup>[19]</sup>,对结深为4 $\mu$ m的P+N结(VDMOS的P+区结深)进行了仿真,通过参数优化和多

次仿真得到了一组最佳的工艺参数,如表1所示。

表1 工艺仿真参数

参数名称	参数值
resistivity of the n+ substrate	0.016 $\Omega$ -cm
n+ substrate thickness	450 $\mu$ m
resistivity of the n- epitaxial	20.0 $\Omega$ -cm
epitaxial layer thickness	48 $\mu$ m
P+ depth	4.0 $\mu$ m
P+ implant dose	2.0e15 cm <sup>-2</sup>
P+ mask width $R_m$	47.0 $\mu$ m
Gate oxide thickness	1000 $\text{Å}$
Field oxide thickness	1.2 $\mu$ m
Dielectric $\epsilon$ oxide thickness	1.0 $\mu$ m
Metal field plate length	20.0 $\mu$ m
Field limiting ring	$W_1 = 14 \mu\text{m}$ $D_1 = 25 \mu\text{m}$ $W_2 = 12 \mu\text{m}$ $D_2 = 27 \mu\text{m}$ $W_3 = 10 \mu\text{m}$ $D_3 = 29 \mu\text{m}$

利用表1的工艺参数进行仿真的结果:在主结没有采取任何终端措施时,耐压只有275V左右(见图6)。图7(a)为他的等位线分布图,等位线在P+N主结的弯曲处最密集,即最容易发生击穿;从他的电场强度分布图图7(b),也可以看出最大电场强度是在主结的弯曲处(图中的“ $\odot$ ”表示P+N结最大电场强度),即击穿首先在这个地方发生,这与前面理论分析的结论是一致的。当加上场板和场限环后,耐压提高到了600V左右(见图8),满足VDMOS功率器件的耐压要求。

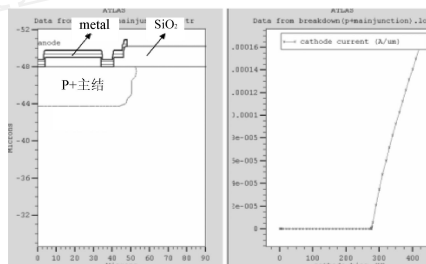


图6 主结及其击穿电压

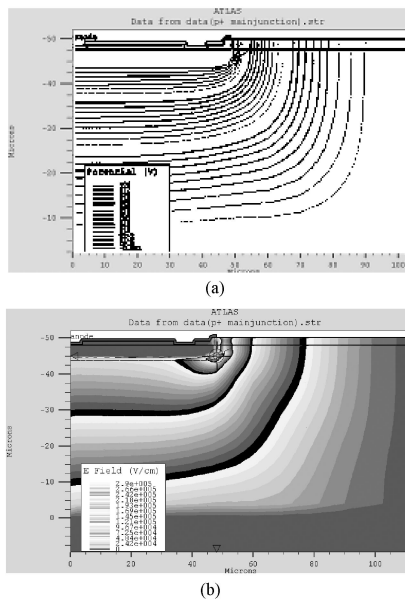


图7 主结等位线(a)和电场强度(b)分布图

图 9(a) 表示加上场板和场限环后的平面 P + N 结的等位线分布图,在结曲率部分和金属场板边缘处等位线分布最密集,这些地方相对于其他地方更容易发生击穿;从图 9(b)的电场强度分布图也可以看出这两处电场强度最大,即 P + N 结存在两个峰值电场,这也与前面理论论述是一致的。

最终得到的结终端保护结构如图 8 所示。与文献 [20]中的 VDMOS 相比,在耐压相同的条件下,我们设计的结终端面积显然小很多,节省了芯片制造成本。

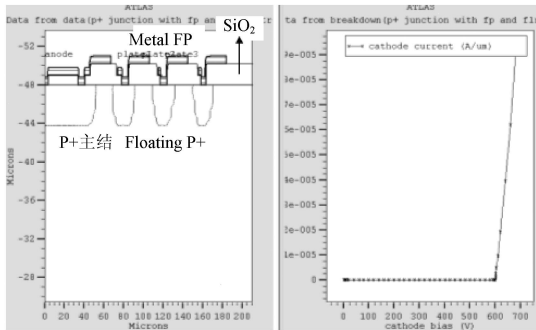


图 8 场板和场限环组合使用的平面结及击穿电压

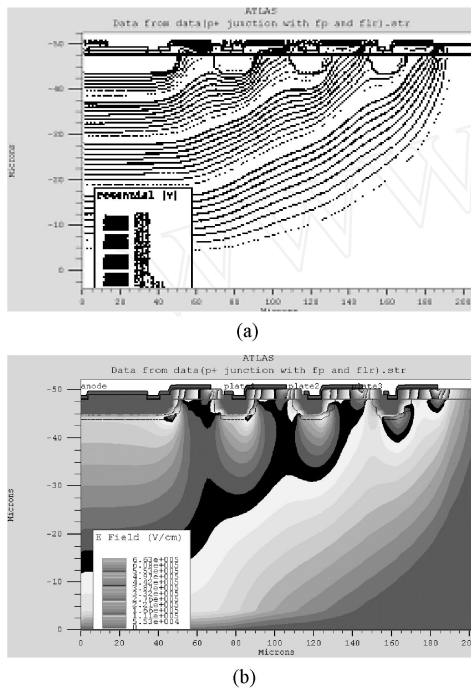


图 9 场板和场限环组合使用的平面结等位线 (a) 和电场强度 (b) 分布图

#### 4 结 语

通过以上的理论分析和实例仿真结果可见,场板和场限环组合使用技术确实有效地改善了功率 MOSFET 的击穿特性。通过理论分析及实验模拟仿真可实现最优器件结构和耐压值,且他们在工艺上很容易实现以及兼容性好。因此他们是高压功率器件设计中常采用的十分有效且经济的结终端保护技术。

#### 参 考 文 献

- [1] 王阳元, T I 卡明斯, 赵宝瑛, 等. 多晶硅薄膜及其在集成电路中的应用[M]. 北京: 科学出版社, 2001.
- [2] Sankara Narayanan E M, Spulber O, Sweet M. Progress in MOS - controlled Bipolar Devices and Edge Termination Technologies [J]. Microelectronics Journal, 2004, 35 (3) : 235 -248.
- [3] Hamza Yilmaz. Optimization and Surface Charge Sensitivity of High - voltage Blocking Structures with Shallow Junctions[J]. IEEE Trans. Electron Devices, 1991, 38(7) : 1 666 - 1 675.
- [4] Kyoung Yang, Dae - Seok Byeon, Min - Koo, et al. Ootimum Design of the Field Plate in the Cylindrical P + N Junction: Analytical Approach[J]. Solid - State Electronics, 1998, 42 (9) : 1 651 - 1 655.
- [5] Boisson V, Helley M L, Chante J P. Analytical Expression for the Potential of Guard Rings of Diodes Operating in the Punchthrough Mode [J]. IEEE Trans. Electron Devices, 1985, 32(4) : 838 - 840.
- [6] Brieger K P, Elmar Falck, Willi Gerlach. The Contour of an Optimal Field Plate - An Analytical Approach [J]. IEEE Trans. Electron Devices, 1988, 35(5) : 684 - 688.
- [7] Dong - Gun Bae, Sang - Koo Chung. An Analytic Model of Planar Junctions wwith Multiple Floating Field Limiting Rings[J]. Solid - State Electronics, 1998, 42(3) : 349 - 354.
- [8] 刘三清, 曹广军, 应建华. 垂直双扩散结构 MOS 功率集成电路的设计[J]. 华中理工大学学报, 1995, 23(9) : 15 - 20.
- [9] 布利舍, 叶润涛. 场效应和双极性功率晶体管原理[M]. 北京: 科学出版社, 1988.
- [10] 陈星弼. 功率 MOSFET 与高压集成电路[M]. 南京: 东南大学出版社, 1990.
- [11] Conti F, Conti M. Surface Breakdown in Silicon Planar Diodes Equipped with Field Plate [J]. Solid - State Electronics, 1972, 15 : 93 - 105.
- [12] Basavana Goud C, Bhat K N. Two - Dimensional Analysis and Design Considerations of High - voltage Planar Junctions Equipped with Field Plate and Guard Ring [J]. IEEE Trans. Electron Devices, 1991, 38(6) : 1 497 - 1 504.
- [13] Il - Jung Kim, Seong - Dong Kim, Yearn - Ik, et al. Analytical Expression for the Three - Dimensional Effect on the Breakdown Voltages of Planar Junctions in Non-punchthrough and Punchthrough Cases [J]. IEEE Trans. Electron Devices, 1994, 41(9) : 1 661 - 1 665.
- [14] Patrick O Neil V, Paul G Alonas. Relation between Oxide Thickness and the Breakdown Voltage of a Planar Junction with Field Relief Electrode [J]. IEEE Trans. Electron Devices, 1979, 26(7) : 1 098 - 1 100.

(下转第 78 页)

4 结 语

本文提出了一种新的高阶可调的 CCCII 电流模式多功能滤波器,经过上述电路分析及 PSpice 仿真验证,可得该滤波器具有如下优点:

- (1) 该设计方法简单、明了、综合性强,无需改变电路结构,可以很方便地实现  $n$  阶低通,高通,带通,带阻以及全通函数,且每种滤波器结构简单。
- (2) 与以往所报道的高阶多功能 CCCII-C 滤波器相比,由该方法导出的滤波器电路含有最少的元件, $n$  阶滤波器仅含  $n$  个 CCCII 和  $n$  个电容。
- (3) 通过控制 CCCII 偏置电流的大小,可实现滤波器的极点角频率等参数的电调谐。
- (4) 设计的电路不含电阻,仅含 CCCII 和接地电容,与 MOS VLSI 工艺兼容,易于单片集成。
- (5) 设计的滤波器具有良好的高频性能。

参 考 文 献

[1] Fabre A. High Frequency Applications Based on a New Cur-

rent Controlled Conveyor [J]. IEEE Trans. on CAS(I), 1996, 43(2): 82-91.

[2] Fabre A. Low Power Current Mode Second-order Bandpass IF Filter [J]. IEEE Trans. on CAS(II), 1997, 44(6): 436-446.

[3] Alain Fabre. High Frequency High-Q BICMOS Current-mode Bandpass Filter and Mobile Communication Application [J]. IEEE Journal of Solid-state Circuits, 1998, 33(4): 614-624.

[4] Qzguz S, Acar. Universal Current-mode Filter with Reduced Number of Active and Passive Components [J]. IEE Electronics Letters, 1997, 33(11): 948-949.

[5] 彭良玉, 何怡刚, 黄满池, 等. 电流模式  $N$  阶 CCCII  $\pm$ -C 低通滤波器的系统设计 [J]. 电子学报, 2003, 31(8): 1234-1236.

[6] Chun Ming Chang, Al-Hashimi B M. Analytical Synthesis of Current Mode High-order OTA-C Filters [J]. Circuits and Systems I: Fundamental Theory and Applications, 2003, 9(50): 188-192.

[7] Yuce E, Minaei S, Metin B. Electronically Tunable Current Mode Second-order Universal Filter Using Minimum Elements [J]. Electronics Letters, 2005, 8(41): 453.

**作者简介** 周细凤 女, 1979 年出生, 湖南邵阳人, 湖南师范大学工学院研究生。主要研究方向为有源滤波器设计, 开关电容技术。  
 彭良玉 女, 1965 年出生, 江西省九江市人。现为湖南师范大学电子信息科学系教授, 北京航空航天大学光电技术研究所博士后。研究方向为信号处理和有源滤波器设计, 发表学术论文 40 余篇。  
 韩 英 女, 1979 年出生, 湖南常德人, 湖南师范大学工学院研究生。主要研究方向为有源滤波器设计和信号处理。  
 黄满池 男, 在职博士, 副教授。主要从事电子及其计算机应用研究工作。

(上接第 74 页)

[15] Jin He, Xing Zhang. A Semi-theoretical Relationship between the Breakdown Voltage of Field Plate Edge and Field Design in Planar P-N Junction Terminated with Finite Field Plate [J]. Microelectronics Journal, 2001, 32(9): 763-767.

[16] 万积庆, 陈迪平. 场限环与场板复合结构浅平面结高压器件设计 [J]. 微细加工技术, 1996(2): 49-53.

[17] Brieger K P, Gerlach W, Pelka J. Blocking Capability of

Planar Devices with Field Limiting Rings [J]. Solid-state Electronics, 1983, 26(8): 739-745.

[18] ATHENA User's Manual [M]. SILVACO International Inc, 1998.

[19] ATLAS User's Manual [M]. SILVACO International Inc, 1998.

[20] 陈宁, 朱长纯, 吴一清, 等. 500 V/11 A VDMOSFET 的研究 [J]. 西安交通大学学报, 1998, 32(5): 22-25.

**作者简介** 陈 利 男, 1980 年出生, 福建省福州市人, 硕士研究生。

**中国移动: 开展“阳光绿色”网络工程**

移动信息服务已经和国民经济发展以及广大人民群众的生活息息相关。中国移动一直遵循“积极发展、加强管理、趋利避害、为我所用”的方针, 一手抓发展, 一手抓规范。推进文明办网、文明上网, 必须抓好规范运营。中国移动将从技术手段和管理手段两个方面入手, 全面推进和加强移动增值业务的管理。

中国移动在管理方面一是要把好接入关, 严格把控 SP 资格审查和业务上线前内容审核; 二是加强日常监

控和违规处罚, 通过日常拨测, 发现问题立即屏蔽业务并追究违约责任; 三是全面推出移动梦网 SP 信用积分管理办法, 对于 SP 的经营行为进行信用累积计分, 加强对 SP 的管理。

下一步中国移动将认真贯彻落实胡锦涛总书记关于树立社会主义荣辱观重要讲话精神, 扎实推进文明办网、文明上网活动, 深入开展“阳光·绿色网络工程”, 积极配合行业主管部门, 共同努力, 构建和谐网络环境。