

基于 STI 工艺的 高压 LDMOS 器件设计与优化

周杰¹, 陈利², 郭东辉^{1,2}

(1. 厦门大学 物理系, 福建 厦门 361005;
2. 厦门大学 电子工程系, 福建 厦门 361005)

摘要 在 LDMOS 功率器件设计中可以引入 STI 工艺替代 LOCOS 工艺来进一步抑制表面电荷效应, 以提高 LDMOS 功率器件的耐压强度及降低比导通电阻。本文将介绍 STI 工艺的优势和 LDMOS 器件设计原理, 并在 TSMC 0.6 μm BCD 工艺基础上增加 STI 工艺流程来设计一款适用于汽车电子应用的 40 V LDMOS 器件。通过 ATHENA(工艺模拟)和 ATLAS(器件仿真)仿真实验与器件参数提取, 表明采用 STI 工艺的 LDMOS 器件比采用 LOCOS 工艺的 LDMOS 器件在耐压漂移区长度比方面提高了 23.40%, 且比导通电阻降低了 66.12%。

关键字: LDMOS; STI 工艺; 高压器件

Optimization and design of LDMOS Based on STI Technology

ZHOU Jie¹, CHEN Li², GUO Dong-hui^{1,2}

(1. Dept. of Phys., Xiamen Univ., Xiamen, Fujian 361005, P. R. China;
2. Dept. of Elec., Xiamen Univ., Xiamen, Fujian 361005, P. R. China)

Abstract: For suppressing the surface charge effect to obtain higher breakdown voltage and lower $R_{on,sp}$, we choose STI technology to replace STI technology. The paper will introduce the superiority of STI technology and the basic principles of LDMOS design, and a 40V LDMOS based on TSMC 0.6 μm BCD technology added with STI technology will be designed for automotive applications. Using ATHENA and ATLAS to simulate the devices and extract the parameters of LDMOS, the data shows that the LDMOS with STI technology have better performance compare with the LDMOS with LOCOS technology, for the breakdown voltage VS the length of drift increased 23.4% and the decreased 66.12%.

Keywords: LDMOS; STI; High-voltage device

1 引言

高压功率集成电路(HVPIC)已被广泛应用于开关电源和汽车电子等相关领域,LDMOS 高压功率器件是 HVPIC 产品设计的核心器件之一^[1]。为了提高 LDMOS^[2]器件的击穿电压和降低比导通电阻,需要抑制器件的表面电荷效应^{[3][4]},通常是采用 LOCOS (Local Oxidation of Silicon,简称局部氧化隔离)工艺来达到这一个目的。LOCOS 工艺是以氮化硅作为缓冲层在热生长条件中形成二氧化硅场板,这个工艺存在热生长缺陷,比如场板厚度偏小,横向扩散系数过大和曲率过小等,限制了 LDMOS 器件耐压值的进一步提高。而 STI (Shallow Trench Isolation,简称浅槽隔离)工艺则是采用精密的刻蚀工艺,二氧化硅填充工艺和 CMP (Chemical Mechanical Planarization,化学机械平坦化)工艺,使器件在获得厚氧化层的同时又避免了 LOCOS 工艺中的缺陷。

本文在 TSMC 0.6 μ m BCD 工艺下引入 STI^{[5][6]}工艺替代 LDMOS 当中的 LOCOS 工艺,在获得厚场氧化层的同时,避免了场氧化层横向扩散过大和曲率过小的缺点,提高了器件的耐压值,降低了器件的导通电阻。本论文首先分析了 STI 工艺在 LDMOS 器件中的优势,然后在 TSMC 0.6 μ m BCD 工艺为基础增加 STI 工艺流程对 40 V LDMOS 进行设计,再通过 SILVACO 软件中的工艺模拟模块 ATHENA 和器件模拟模块 ATLAS 来分析各工艺参数对器件耐压敏感参数和比导通电阻($R_{on,sp}$)敏感参数的影响,对各个参数进行折中并得出优化结果,最后把所得参数与采用 LOCOS 工艺的 LDMOS 器件参数进行对比。

2 STI 工艺的优势

如图 1 所示,在传统的 LDMOS 器件中,当漏电压上升,位于栅电极下的漂移区逐渐耗尽并在硅鸟嘴处达到最大场强,从而达到最大击穿电压。而如果是外延层浓度过大,击穿处有可能位于 PN 结处。

栅氧化层下的电场有点类似于无场地板的柱形 PN 结,其表面势可表示为^[7]:

$$\varphi_{cy} = \varphi_{pp} \left\{ \left[(2+\gamma) \gamma \right] \frac{1}{2} - \gamma \right\} \quad (1)$$

$$\gamma = (\varepsilon_{si} t_{ox}) / (\omega_{pp} \varepsilon_{SiO_2}) \quad (2)$$

其中 φ_{pp} 为平面结构的表面击穿势垒, γ 为有效半径的曲线参数, ε_{si} 和 ε_{SiO_2} 为 Si 和 SiO₂ 的相对介电常数, ω_{pp} 为 φ_{pp} 时的在耗尽层宽度, t_{ox} 为场氧化层厚度。

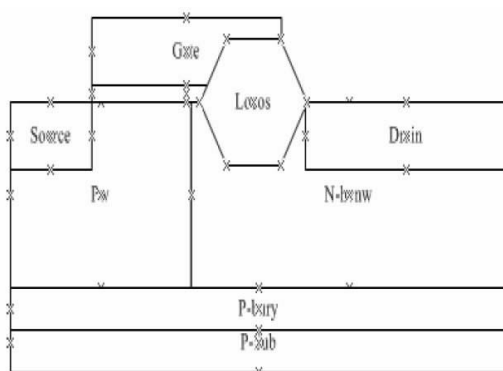


图 1 传统的 LDMOS

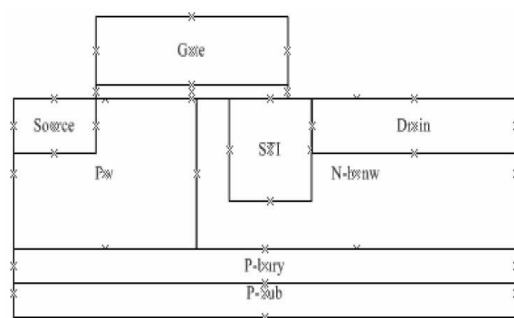


图 2 STI LDMOS

而在远离 LDMOS 的表面处的耗尽结可用泊松方程表示,因此击穿电压可表示为:

$$BV_c = \varphi_{cy} + \frac{t_{ox}}{\varepsilon_0 \varepsilon_{SiO_2}} (2\varepsilon_0 \varepsilon_{si} q N_D \varphi_{cy})^{\frac{1}{2}} \quad (3)$$

其中 ε_0 为基础常数, q 为电荷量, N_D 为高压阱浓度。

从(1)(2)(3)可以看出,击穿电压与 t_{ox} 参数成正比。传统的 LOCOS 工艺却对 t_{ox} 参数存在很强的限制:1) LOCOS 的横向扩散过大,厚度为 0.5 μ m (有效场板厚度为 0.2 μ m) 的氧化层横向扩散达

到了 $0.5\mu\text{m}$ 。2) LOCOS 场氧化层的鸟嘴处的曲率过小,不能有效抵制表面电场强度,不利于器件耐压。

STI 工艺常作为 $0.18\mu\text{m}$ BCD 工艺以下逻辑电路的隔离层工艺,由精密的刻蚀工艺、二氧化硅填充工艺和 CMP 平坦化工艺三大部分组成。所以采用 STI 工艺的场氧化层的横向扩散系数和刻蚀角度只由精密刻蚀工艺中的同向刻蚀比和异向刻蚀比决定,而不受制 LOCOS 工艺的热氧化生长过程的氧化层厚度影响。所以 STI 工艺能很好地克服 LOCOS 工艺中的缺陷。如图 (3) 所示,采用 STI 工艺的 LDMOS(其中 DEEP 为场极板有效厚度, L_w ^{[8][9]}为场极板与 PN 结的距离, Angle 为刻蚀角度)的有效场极板厚度为 $0.4\mu\text{m}$ 时,横向扩散长度仅为 $0.2\mu\text{m}$,而曲率达到了 118° 。

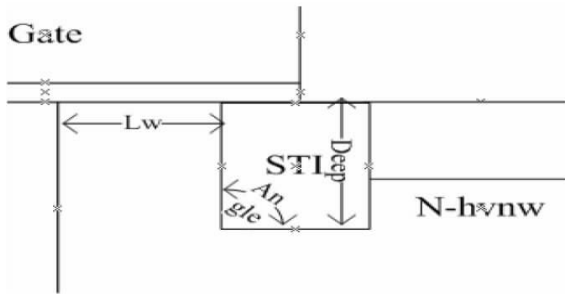


图3 STI-LDMOS部分放大图

3 基于 STI 工艺的 LDMOS 器件的设计与优化

3.1 基于 STI 工艺的 LDMOS 的设计

根据 RESURF^[10]原理, LDMOS 的外延层的单位杂质密度为^[10]:

$$N_{tot} = N_{epi} \cdot W_{epi} \approx 1.0 \times 10^{12} \text{ cm}^{-2} \quad (4)$$

其中 N_{epi} 是漂移浓度, W_{epi} 是漂移区厚度, N_{tot} 为漂移区离子注入量, 则 LDMOS 的雪崩击穿点将从器件表面转移到 N^+ 漏结处或者外延/衬底处(沟道长度足够长, 以避免穿通击穿)。而外延衬底处的

击穿电压为:

$$BV_{epi/sub} = \frac{\epsilon E_c^2}{2qN_{eff}} \quad (5)$$

$$E_c = 9.5 \times 10^2 \cdot N_{eff}^{1/6} \quad (6)$$

$$N_{eff} = \frac{N_{epi} \times N_{sub}}{N_{epi} + N_{sub}} \quad (7)$$

其中 $BV_{epi/sub}$ 为器件击穿电压, ϵ 为介电常数, E_c 为器件的击穿场强一般取 $2.0 \times 10^5 \text{ V/cm}$, N_{sub} 为衬底浓度, N_{eff} 为漂移区有效浓度。

根据 RESURF 原理, 在场氧层厚度固定及其它条件一定的情况下, 外延层的浓度与击穿电压成反比, 而与导通电流成正比^[10]。综合考虑本文取 $N_{tot} = 5.0 \times 10^{12} \text{ cm}^{-2}$, $T_{epi} = 3\mu\text{m}$ 。由式(4)计算可得漂移区浓度为 $1.66 \times 10^{16} \text{ cm}^{-3}$ 。由式(5)(6)(7)可知, 为了使耐压值在 40 V 以上, 所以本文取衬底浓度 N_{sub} 为 $1.0 \times 10^{15} \text{ cm}^{-3}$ 。

3.2 工艺参数优化

3.2.1 沟槽与 PN 结距离 L_w 对器件电气参数的影响

器件的电气参数和 L_w ^[11](场极板与 PN 结的距离)紧密联系, 文献[12]已经证明了导通电流与 L_w 成正比。图 4 是 STI-LDMOS 的导通电流图, 可以看出电流从源区通过 STI 与 PN 结之间的通道, 再沿着 STI 表面达到漏端^[12], 其中 L_w 主要决定其电流通道的宽度。图 5 指出了 L_w 对击穿电压和导通电流的影响: 随着 L_w 从 $0.1\mu\text{m}$ 增大到 $0.7\mu\text{m}$, 器件

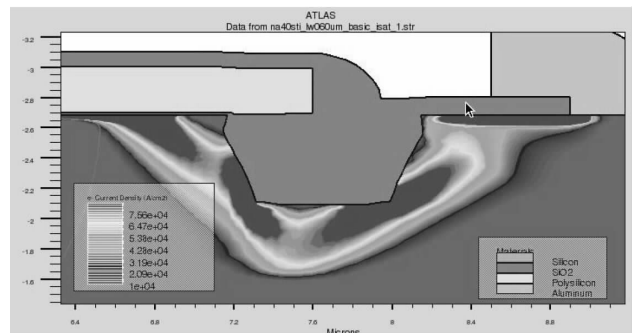
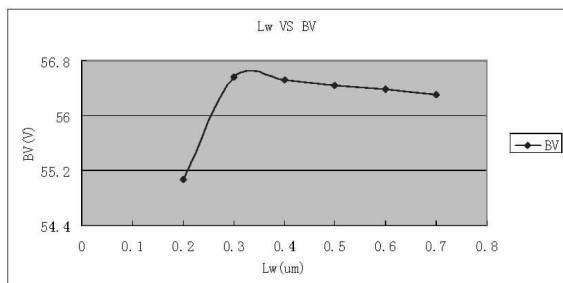
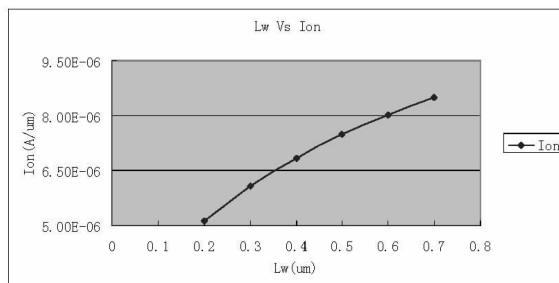


图4 STI-LDMOS导通电流图放大图



(a) Lw与击穿电压关系图



(b) Lw与导通电流关系图

图5 STI-LDMOS的Lw与器件参数的关系图

的耐压值一直保持在 55 V 左右,而器件的导通电流则从 $5.00 \times 10^{-6} \text{ A}/\mu\text{m}$ 线性增加到了 $8.50 \text{ A}/\mu\text{m}$ 。所以 L_w 与导通电流成正比关系, L_w 越大导通电流越大,而 L_w 对击穿电压的影响较小,因为器件的耐压性主要与漂移区的面积和浓度有关^[13]。综合权衡考虑,本文取 L_w 的优化值为 $0.6 \mu\text{m}$ 。

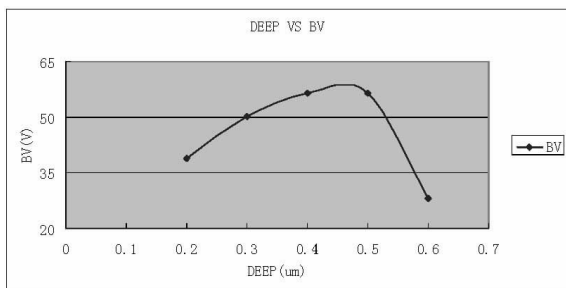
3.2.2 场氧化层厚度 DEEP 对器件电气参数的影响

场极板长度等效于平面结横向曲率半径^[14],场极板下的氧化层厚度 t_{ox} 等效于平面结的结深。测试显示在 STI 厚度为 $0.2 \mu\text{m}$ 时,STI 左侧的体硅最高电场强度达到了 $5 \times 10^5 \text{ V}/\text{cm}$,而 STI 的厚度为 $0.5 \mu\text{m}$ 时,STI 附近体硅的最高电场强度被抑制在 $3 \times 10^5 \text{ V}/\text{cm}$ 左右,显示了 STI 厚度对器件表面电场强度的抑制作用。图 6 指出了 DEEP 对击穿电压和导通电流的影响:图 6(a) 显示当 DEEP 从 $0.2 \mu\text{m}$ 增大 $0.4 \mu\text{m} - 0.5 \mu\text{m}$ 之间的过程中击穿电压从 38 V 增加到 55 V 左右,但随着 DEEP 进一步增加到 $0.6 \mu\text{m}$ 时击穿电压反而下降到 20 V 左右;图 6(b)

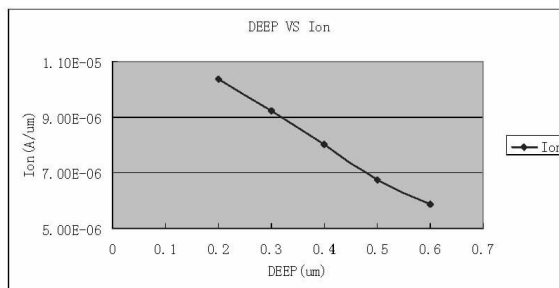
显示随着 DEEP 从 $0.2 \mu\text{m}$ 增大 $0.6 \mu\text{m}$ 导通电流线性地从 $10.50 \times 10^{-6} \text{ A}/\mu\text{m}$ 下降到 $5.20 \times 10^{-6} \text{ A}/\mu\text{m}$ 。文献 [8-10] 证明了 STI 的深度 DEEP 在一定范围内决定导通电流的流经路径长度^[15],其与导通电流成反比关系。综合权衡考虑,本文取 DEEP 的优化值为 $0.4 \mu\text{m}$ 。

3.2.3 STI 场氧化层刻蚀角度对器件电气参数的影响

由 STI 的刻蚀工艺产生的 STI 底部刻蚀角度也影响着 STI-LDMOS 的击穿电压和导通电阻。测试显示,当刻蚀角度垂直时,STI 的左侧的体硅最高电场强度达到了 $4.80 \times 10^5 \text{ V}/\text{cm}$;而刻蚀角度在 118° 时,器件体硅的最高电场强度被很好地控制在了 $4.00 \times 10^5 \text{ V}/\text{cm}$ 左右。图 7 显示了器件参数与 DEEP 之间的关系:图 7(a) 显示随着器件的刻蚀角度从 90° 增加到 115° ,器件耐压值从 42 V 增加到 55 V 左右;图 7(b) 显示随着器件的刻蚀角度从 90° 增加到 115° ,导通电流从 $9.5 \times 10^{-6} \text{ A}/\mu\text{m}$ 线性下降到 $8.00 \times 10^{-6} \text{ A}/\mu\text{m}$ 左右。经过权衡考虑,本文取刻蚀角

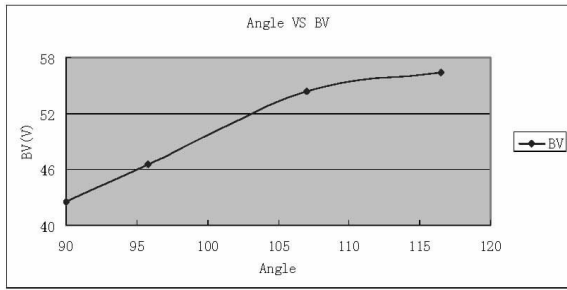


(a) DEEP与击穿电压的关系图

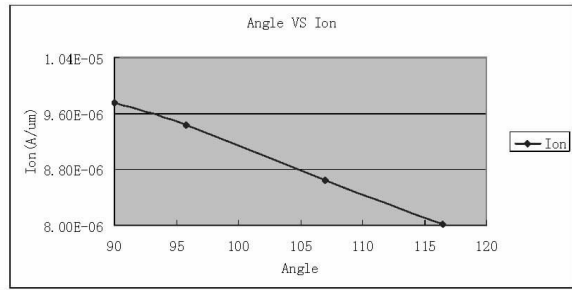


(b) DEEP与导通电流的关系图

图6 STI-LDMOS场氧化层厚度 DEEP与器件参数的关系图

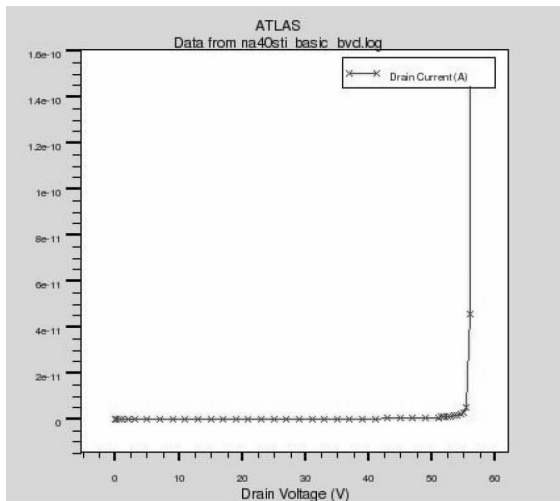


(a) 刻蚀角度与击穿电压关系图

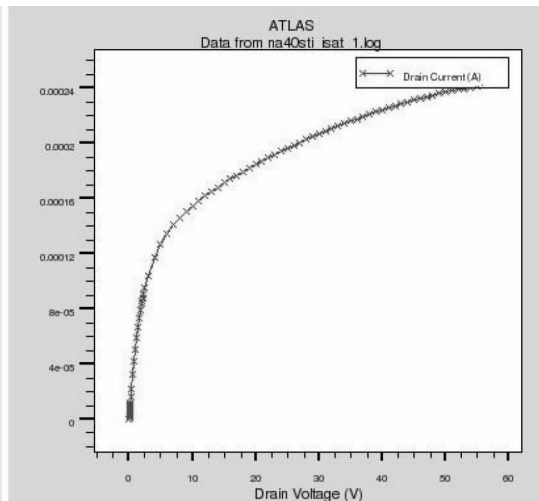


(b) 刻蚀角度与导通电流关系图

图 7 STI-LDMOS 的不同刻蚀角度 ANGLE 与器件参数的关系图



(a) STI LDMOS 的击穿电压图



(b) STI LDMOS 的饱和电流图

图 8 STI LDMOS 的击穿电压图和饱和电流图

度为 118 度。

4 仿真结果对比

本文在 $0.6\mu\text{m}$ BCD 工艺下, 利用 SILVACO 软件中的工艺模拟模块 ATHENA 和器件模拟模块 ATLAS 分别对应用 LOCOS 技术的 LDMOS 器件和应用 STI 技术的 LDMOS 器件进行仿真并优化。其中 STI-LDMOS 的三个关键工艺参数分别设定为: 沟槽与 PN 结距离 L_w 为 $0.6\mu\text{m}$, 场氧化层厚度 DEEP 为 $0.4\mu\text{m}$, STI 场氧化层刻蚀角度为 118 度, 图 8 为 STI-LDMOS 的电气参数仿真图。

表 1 列出了优化的 LOCOS-LDMOS 和优化的

STI-LDMOS 的工艺参数之间的区别, 其中 LOCOS-LDMOS 的 t_{SiO_2} 有效厚度为 2000\AA , 而 STI-LDMOS 的 t_{SiO_2} 有效厚度达到了 4000\AA 。

表 2 对优化后的两种器件的电气参数进行对比。其中 STI-LDMOS 的击穿电压漂移区长度为 $9.39\text{V}/\mu\text{m}$, 而 LOCOS-LDMOS 的击穿电压漂移区长度为 $7.61\text{V}/\mu\text{m}$ 。STI-LDMOS 的比导通电阻为 $1.25\text{m}\Omega\cdot\text{cm}^2$, 而 LOCOS-LDMOS 的比导通电阻为 $3.69\text{m}\Omega\cdot\text{cm}^2$ 。计算可得 STI-LDMOS 相对于 LOCOS-LDMOS 耐压漂移区长度比提高了 23.40%, 比导通电阻也降低了 66.12%。

5 总结

表 1 优化的传统 LDMOS 和优化的 STI LDMOS 的工艺参数对比

	常规 LDMOS	STILD MOS
衬底浓度(cm^{-3})	1.00e15	1.00e15
P 埋层注入浓度(cm^{-2})	1.0e13	9.0e12
外延层厚度 (μm)	3	2.7
外延层浓度(cm^{-3})	1.0e14	1.0e14
高压 N 阱注入浓度(cm^{-2})	5.0e12	7.0e12
P 阱注入浓度(cm^{-2})	1.0e13	1.0e13
LOCOS 总厚度 (\AA)	5000	0
t_{SiO_2} 有效厚度 (\AA)	2000	4000
STI 厚度 (\AA)	0	4000
栅氧厚度 (\AA)	213	213
沟道长度 (μm)	2	2
漂移区版图长度 (μm)	9.2	6

表 2 优化的传统 LDMOS 和优化的 STI LDMOS 器件参数对比

	常规 LDMOS	STI LDMOS
开启电压 (V)	0.82	0.65
击穿电压 (V)	69.99	56.38
导通电流 ($A/\mu m$) ($V_g=5 V, V_d=0.1 V$)	3.52e-6	8.01e-6
饱和电流 ($A/\mu m$)	1.58e-4	2.42e-4
击穿电压漂移区长度比 ($V/\mu m$)	7.61	9.39
比导通电阻 $R_{on}(m\Omega \cdot cm^2)$	3.69	1.25

本文在标准的 $0.6\mu m$ BCD 工艺下,引入 STI 技术(增加了一层 STI 掩模版 RIE 刻蚀工艺和 CMP 平坦工艺)设计了一款耐压为 40 V 的 LDMOS。在此基础上,分析了新引进版图中的 L_w (PN 结与 STI 版图距离),DEEP(STI 刻蚀深度)和 ANGLE(STI 刻蚀角度)对新器件的影响。最后优化所得的 STI-LDMOS 相对于 LOCOS-LDMOS 耐压漂移区长

度比提高了 23.40%,比导通电阻也降低了 66.12%。

参考文献

- [1]陈星弼.功率 MOSFET 与高压集成电路[M].南京:东南大学出版社,1990.
- [2]Jone F.Chen, J.R.Lee, Kuo-Ming Wu, Tsung-Yi Huang, C.M.Liu. Mechanism and Improvement of On-Resistance Degradation Induced by Avalanche

- Breakdown in Lateral DMOS Transistors[J]. IEEE Trans Elec dev, 2008,55(8):2259-2262
- [3]Hamza Yilmaz. Optimication and Surface Charge Sensitivity of High-voltage Blocking Stuctures with Shallow Junctions[J].IEEE trans.Electron Devices,1991, 38(7):1666-1675
- [4]Zahir Parpia, C.ANDRE T. SALAMA. Optimization Of RESURF LDMOS Transistors: An Analytical Approach [J].IEEE Trans Elec Dev, 1990, 37(3): 789-796.
- [5]Andrew B. Kahng, Puneet Sharma. Exploiting STI Stress for Performance. IEEE International Conference, 2007,Nov :83-90
- [6]Ke-Wei Su, Yi-Ming sheu. A Scaleable Model for STI Mechanical Stress Effect on Layout Dependence of MOS Electrical Characteristics. IEEE Conference, Custom Integrated Circuits Conference,2003:245-248
- [7]V. P. O'Neil and P. G. Alonas, "Relation between oxide thickness and the breakdown voltage of a planar junction with field relief electrode," IEEE Trans. Electron Devices, vol. Ed-26, pp.1098-1100
- [8]Mayank Shrivastava, Maryam Shojaei Baghini. Part I: Mixed-Signal Performance of Various High-Voltage Drain-Extended MOS Devices. IEEE Trans Dev,2010, 57(2):448-457
- [9]Ru-Yi Su, P. Y. Chiang, Jeng Gong. Investigation on the Initial Hot-Carrier Injection in P-LDMOS Transistors With Shallow Trench Isolation Structure. IEEE Trans Dev,2008,55(2):3569-3573
- [10]Appels J A, Vaes H M J. High voltage thin layer devices (RESURF devices) [A]. IEDM Tech Dig[C]. 1979,25(3):238-241
- [11]C. T. Huang, Bing-Yue Tsui. The Impact of Hing-Voltage Drift N-Well and Shallow Trench Isolation Layouts on Electrical Characteristics of LDMOSFETS. IEEE 2007
- [12]Susanna Reggiani, Giorgio Baccarani. Explanation of the Rugged LDMOS Behaviour by Means of Numerical Analysis. IEEE Trans Dev,2009,56(11): 2811-2817
- [13]陈利,李开航,郭东辉.一种适用于高低压电路单片集成的LDMOS器件.微电子学.2006,6(36): 837-842
- [14]Patrick V O, Alonas G P. Relation between oxide thickness and the breakdown voltage of a planar junction with field relief electrode [J]. IEEE Trans Elec Dev, 1979,26(7):1098-1100
- [15]Mayank Shrivastava, Maryam Shojaei Baghini. Part II: A Novel Scheme to Optimize the Mixed-Signal Performance and Hot-carrier Reliability of Drain-Extended MOS Devices. IEEE Trans Dev,2010, 57(2):458-465

作者简介

周杰 硕士研究生,研究方向为高压功率器件。

美光推出车用高密度Axcel I NOR闪存装置

美光科技宣布推出面向汽车应用的高密度 Axcell NOR 闪存装置,强化其在汽车市场广泛的产品组合和领先的技术。该装置采用最先进的 NOR 闪存工艺技术,为信息娱乐制造商、车内电脑和其它汽车电子产品提供最高容量的存储解决方案。

美光的汽车产品组合包括传统和先进的 DRAM 解决方案、多样化的 NOR 和 NAND 闪存产品,及一系列的 eMMC 存储解决方案。全新的 65nm 512Mb 车用 Axcell NOR 装置采用并行接口,完全符合汽车行业标准,也符合所有车用闪存组件数据完整性的要求。