

# USB 2.0 设备接口 IP 核的 OPB 接口技术研究和实现

杨娟<sup>1</sup>, 李晓潮<sup>2</sup>, 郭东辉<sup>2</sup>

(1. 厦门大学 物理系, 厦门 361005 ;

2. 厦门大学 电子工程系, 厦门 361005)

**摘要** USB 接口已经成为嵌入式系统与 PC 连接的首要选择。为了将 USB 2.0 设备接口 IP 核和 PowerPC 微控制器集成, 需要解决 USB IP 核和 OPB 总线分处不同时钟域, 以及 IP 核内部内存映射的问题。为此我们根据 OPB 总线协议, 研究和比较了 OPB 总线与 IP 核连接的两种方式, 并利用集成了 PPC405 核的 FPGA 对这两种桥接方式进行验证, 证明该接口设计是可行的。

**关键词** USB 设备接口 IP 核, PowerPC, OPB 接口, Wishbone 总线

## Research and realization of OPB interface in USB2.0 device IP core

YANG Juan<sup>1</sup>, LI Xiao-chao<sup>2</sup>, GUO Dong-hui<sup>2</sup>

(1. Department of Physics, Xiamen University, Xiamen Fujian 361005, China;

2. Department of Electronic Engineering, Xiamen University, Xiamen Fujian 361005, China)

**Abstract:** USB interface has become the first choice to realize the connection between embedded system and PC. In order to integrate USB 2.0 Device Interface IP core into the PowerPC micro-controller, we need to solve the problem that USB IP core and the OPB bus are in different clock domain, as well as the internal memory-mapped problem in IP core. We research and compare the two bridges between OPB bus and IP core based on the OPB bus protocol, and verify them on the FPGA with integrated PPC405. The result shows that this interface design is feasible.

**Keywords:** USB Device IP core, PowerPC, OPB interface, Wishbone bus

### 1 引言

USB接口由于其即插即用, 接口体积小巧, 传输可靠, 良好的兼容性, 低成本等优点, 已经成为嵌入式系统与 PC 连接的首要选择。一般, USB 设备接口

IP 核仅处理设备端 USB 标准协议包的通信, 它需要内置或外接微控制器来构成完整的 USB 设备。在内置微控制器的方案中, USB 设备接口 IP 核与嵌入式处理器总线的桥接是整个 USB 设备设计的关键技术。目前的研究主要集中在 USB 设备接口 IP 核与

ARM、PowerPC 微处理器的接口技术上,文献[1]介绍了一种 USB 2.0 设备控制器 IP 核的 AHB 桥接技术,这种方式采用 DPRAM(双口 SRAM)作为 USB 和 AHB 间的数据缓冲;文献[2]提出了处理器 OPB 总线<sup>[3]</sup>与 USB IP 核桥接方案,该方案放弃了 OPB 总线针对 Slave 提供的 IPIF 接口服务,增加了控制的复杂性。

我们设计的 USB 2.0 设备接口 IP 核采用 Wishbone 总线来进行内部连接,主要是连接 SSRAM(同步静态 SRAM)、寄存器管理模块。为了实现该 IP 核与 FPGA 内部的微处理器 PowerPC<sup>[4]</sup>的连接,本文根据 Wishbone 总线和 OPB 总线的协议,利用 Xilinx Virtex-II Pro 开发平台和 EDK<sup>[5]</sup>开发工具,设计了两种基于 IPIF 服务<sup>[6]</sup>的桥接方式:寄存器模式和存储器模式。这两种桥接方式有各自的特点,可以应用于不同的场合:前者以内部寄存器为缓冲,控制逻辑完全由自己编写,不需要改变 USB 设备接口 IP 核内部的时序,但是读写速率比较低;后者以 RAM 为缓冲,读写速率比较快,但是需要改变 USB 设备接口 IP 核内时序。最后,本文对所设计的两种桥接方式在 Virtex-II XC2VP30 芯片内进行验证,实验数据表明 PowerPC 处理器可以通过这两种桥接方式与 USB 2.0 设备接口 IP 核通信,证明了本文设计方案的正确性。

## 2 USB 设备结构和 OPB 总线介绍

### 2.1 USB 2.0 设备内部硬件结构

USB 2.0 设备内部结构包括以下几个部分,如图 1 所示。

(1) 物理收发器,符合 UTMI(USB Transceiver Macrocell Interface)标准,连接主机与 USB 设备,主要功能是串行至并行和并行至串行转换、同步、位填充、反转不归零解码等。

(2) UTMI 接口模块:这部分的主要功能是检测总线状态,完成挂起和恢复,全速和高速模式的转换。有一组发送 FIFO 和接收 FIFO,主要完成在物理

收发器模块和协议层处理模块之间的数据传递,从协议处理模块读过来的数据先送入 Tx FIFO,经过处理再通过 USB 物理收发器送到 USB 主机,从主机接受到的数据会先存入 Rx FIFO,再送给协议处理模块。

(3) 协议处理模块是设备的核心模块,负责管理所有 USB 数据 I/O 和控制通信,完成打包和解包的功能,并处理所有的 USB 握手信号。任何一次数据的传输都是由主机发起的,应主机“IN”或者“SETUP”的要求,打包模块首先把要发送的 token PID 或者 data PID 准备好,将其组成包头,然后增加相应的数据域,最后将它们放到输出缓冲区中,在发送 Data 时,需要把有效数据的 CRC16 校验位放在包末尾一起发送;发送 token 包时,把 CRC5 校验位放在末尾一起发送。解包模块是打包模块的逆过程,解包模块对从 UTMI 接口模块接收到的数据进行解码,把解出的 PID 根据 USB 2.0 的协议判断 PID 类型;如果是 token PID 则继续接收 ADDR 和 ENDP;如果是 data PID 则接收有效数据;同时相应做 CRC5 或者 CRC16 校验。

(4) 存储器接口和仲裁模块:允许控制器接外部存储器,仲裁模块实现对内部 DMA 和外部总线对 SSRAM(同步静态随机存取存储器)访问之间的仲裁,DMA 传输的优先级大于外部总线。

(5) 寄存器管理模块:这部分主要由寄存器和它们的响应处理器读写控制逻辑组成。这些寄存器都分配有一个独立地址,可由处理器直接进行访问,主要有控制寄存器、命令状态寄存器、中断寄存器等。

(6) Wishbone 总线:WishBone 是由 Silicore 公司提出的,该总线由控制线、地址总线 and 数据总线等部分组成;使用 32 位的单向数据总线和 18 位的地址总线,它可实现对 32 kbit 的静态 RAM 和内部寄存器的访问,其中第 18 位是用来识别访问的是 SSRAM 还是内部寄存器。寄存器管理模块,以及存储器接口和仲裁模块是以共享总线(Shared Bus)的连接方式连接到 Wishbone 上的从设备,Wishbone

仲裁机制决定什么时候哪个从设备能够访问总线，

(6) OPB Slave 接口模块：主要完成 OPB 总线与 Wishbone 总线的桥接，包括数据、地址和控制信号的处理，使 PowerPC 处理器能通过该模块对 USB IP 核进行参数配置和读写操作。

(7) PowerPC 处理器：嵌入到 Virtex- II Pro 芯片中的 IBM PowerPC405 硬核处理器核是一种 32 位哈佛结构的 RISC 核，支持 IBM CoreConnect 总线架构<sup>[4]</sup>，CoreConnect 总线架构分为本地总线 PLB (Peripheral Local Bus) 和片上外设总线 OPB (on-chip Peripheral Bus)，这两条总线通过 PLB2OPB 和 OPB2PLB 桥完成指令和数据的传输。

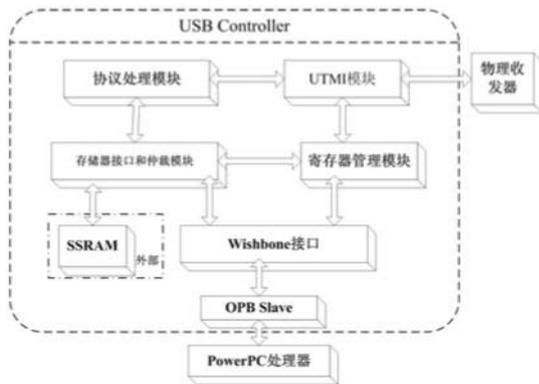


图 1 USB 设备硬件结构

## 2.2 OPB 总线

PowerPC 是通过 OPB 总线对外设进行访问的，OPB 总线允许在系统添加周边设备而不影响 OPB 仲裁器或其他周边设备上的 I/O，OPB 总线上外设分为主设备和从设备。主设备若要获得总线需先向仲裁器提出请求，仲裁器会根据优先判决法则授权给某个主设备。该主设备获得允许后就可以通过总线与某个从设备进行数据操作。连接到 OPB 总线上的每一个从设备都被分配了一段独一无二的地址空间，这样可以和别的从设备区分开来。从设备在操作完成后会以 ACK 回复信号作为响应。主设备收到 ACK 信号后会主动放弃总线，由另一个提出请求的主设备占用总线。若长期没有收到 ACK 信号，如超过 16 个时钟周期，仲裁器会发出 TIMEOUT 信号以

终止主设备的操作。每一个主设备和从设备都会有地址总线、输入和输出数据总线，以及控制总线。

## 2.3 Wishbone 总线

Wishbone 总线规范是一种片上系统 IP 核互联体系结构。它定义了一种 IP 核之间公共的逻辑接口，减轻了系统组件集成的难度，提高了系统组件的可重用性、可靠性和可移植性，加快了市场化的速度。Wishbone 总线规范可用于软核、固核和硬核，对开发工具和目标硬件没有特殊要求，并且兼容绝大多数已有的综合工具，可以用多种硬件描述语言来实现。Wishbone 总线规范的目的是作为一种 IP 核之间的通用接口，因此它定义了一套标准的信号和总线周期，以连接不同的模块，而不是试图去规范 IP 核的功能和接口。

Wishbone 总线结构十分简单，它仅仅定义了一条高速总线。由于 IP 核种类多样，其间并没有一种统一的连接方式。为满足不同系统的需求，Wishbone 总线提供了 4 种不同的 IP 核互联方式：

- (1) 点到点 (Point to Point)：用于两个 IP 核直接互联；
- (2) 数据流 (Data Flow)：用于多个串行 IP 核之间的数据并发传输；
- (3) 共享总线 (Shared Bus)：多个 IP 核共享一条总线；
- (4) 交叉开关 (Crossbar Switch)：同时连接多个主从部件，提高系统吞吐量。

## 3 OPB 接口设计

为了配置 USB 设备接口，PowerPC 需要能够对 USB IP 核内 64 个端点寄存器和一个外部 15 位地址译码的 SSRAM 进行读写，总线地址译码范围至少要达到 128 kb，才能访问到这些寄存器和外部 SSRAM。

Xilinx 为了用户自己编写的逻辑能够方便地连接到 OPB 总线上，提供了一种总线与用户逻辑之间

的接口,即 IPIF (IP interface) 服务<sup>[6]</sup>,利用它解决总线接口信号,总线协议和其他接口问题。在用户逻辑看来,IPIF 表现为一系列接口信号 IPIC (IP InterConnect),这样与系统总线的连接只考虑和 IPIC 的关系,使得用户逻辑设计简单易行。用户逻辑与 IPIF 共同构成了用户 IP 核<sup>[7]</sup>。其结构如图 2 所示。

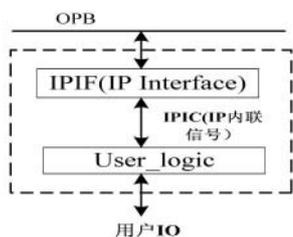


图 2 用户 IP 核结构

IPIF 服务中提供了两种对用户逻辑读写的方式,分别是寄存器模式和存储器模式<sup>[6]</sup>。

### 3.1 寄存器模式桥

寄存器模式桥如图 3 所示,EDK 中提供了 32 个 32 位软件可访问寄存器,这些寄存器用来缓存从总线来的数据,并可以例化为 USB IP 核的输入信号,以 CE (Chip Enable) 为激活信号,每个寄存器都有独立的读写地址,总线通过地址译码对这些寄存器进行读写。其接口信号 IPIC 如表 1 所示。

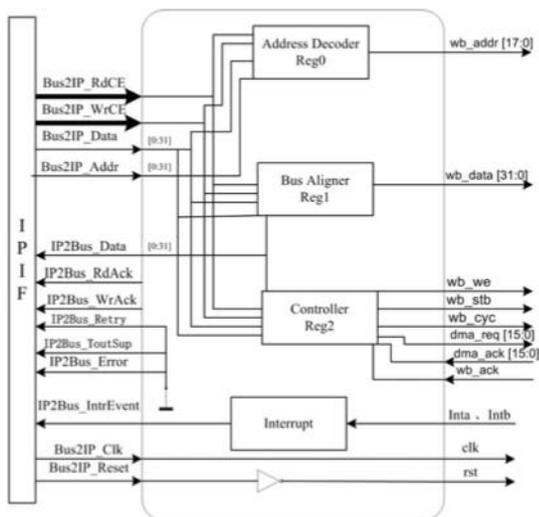


图 3 寄存器模式桥

表 1 寄存器模式 IPIC 接口信号

信号名称	信号说明
Bus2IP_Clk	总线到IP时钟
Bus2IP_Reset	总线到IP复位
IP2Bus_IntrEvent	IP 到总线中断
Bus2IP_Data	总线到IP数据线
Bus2IP_Addr	总线到IP地址线
Bus2IP_BE	总线到IP字节传输使能
Bus2IP_RdCE	总线到IP读信号
Bus2IP_WrCE	总线到IP写信号
IP2Bus_Data	IP到总线数据线
IP2Bus_Ack	IP 到总线回复信号
IP2Bus_Retry	IP 到总线重试信号
IP2Bus_Error	IP 到总线错误报告
IP2Bus_ToutSup	IP 到总线TimeOut表示

Bus2IP\_Addr 是软件可访问寄存器的译码地址,这些地址在定制 IPIF 层时自动分配,不可更改,并且与 USB IP 核内的寄存器偏移地址不匹配,总线无法通过这些译码访问 USB IP 核内部寄存器,且其寻址范围只达到 128 字节,不满足 128 k 字节的地址译码要求。

为了解决这个问题,本文在 IPIC 和 USB IP 核中间加入地址解码模块,以及控制逻辑模块和数据处理模块。地址解码模块,完成对数据总线的复用,就是将 32 位 Bus2IP\_Data 数据线,既作为总线到寄存器的数据总线,也作为地址总线,例化为 Wishbone 地址输入 wb\_addr\_i,并对内部寄存器和外部 SSRAM 进行译码;数据处理模块完成总线数据与 Wishbone 数据输入 wb\_data\_i 和数据输出 wb\_data\_o 的例化;控制逻辑处理从 IP 核回复过来的 wb\_ack\_o 信号,而不用回复到总线上,当 wb\_ack\_o 信号到来时,就拉低建立写周期信号 (wb\_we\_i),有效周期传送的开始信号 (wb\_stb\_i) 和有效传送周期信号 (wb\_cyc\_i);中断模块完成从 USB IP 核来的中断信号 Inta 和 Intb 送到 OPB 总线去处理的连接。

如图 4 所示为寄存器模式桥的仿真波形图,

0x78000000 为寄存器地址译码，当数据信号  $wb\_data\_i$  和地址信号  $wb\_addr\_i$  同时有效时， $wb\_we\_i$ 、 $wb\_stb\_i$ 、 $wb\_cyc\_i$  同时被置为有效，表示总线写入 USB IP 核寄存器，0x0002000c 是送到 IP 核的地址，0x000ba3ff 是地址对应的数据。当从设备回复  $wb\_ack\_o$  时，这三个信号被置为无效。当总线读 USB IP 核寄存器时， $wb\_we\_i$  为 0， $wb\_stb\_i$ 、 $wb\_cyc\_i$  有效，从 USB IP 核送来的数据 0x000ba3ff 被放到总线寄存器 IP2Bus\_Data 中。由图可以看出，这个寄存器模式桥满足 Wishbone 总线的读写时序。

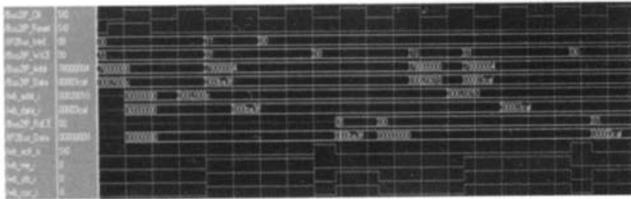


图 4 寄存器模式桥仿真图

寄存器模式桥的优点在于，数据信号到来后，控制信号线完全是自己可控制的，可以满足数据、地址、控制信号可以在同一个时钟被采样到，不用改变 USB IP 核内部的时序，就能正确配置核内寄存器和访问外部 SSRAM。缺点在于，为了使数据保持到地址信号和控制信号的到来，需要延时一段时间，降低了读写的速率。

### 3.2 存储器模式桥

存储器模式如图 5 所示，为 IP 核提供读写、数据和地址信号，以 CS 为激活信号，寻址方式是基地址加偏移地址，可以满足 USB 2.0 内部 64 个端点寄存器和全速传输 SSRAM 缓存的寻址范围。其 IPIC 接口信号如表 2 所示。

将这些 IPIC 信号例化成 USB IP 核的接口信号，Bus2IP\_RNW 取反后例化为建立写周期信号 ( $wb\_we\_i$ )，Bus2IP\_ArCS 信号例化为有效周期传送的开始信号 ( $wb\_stb\_i$ ) 和有效传送周期信号 ( $wb\_cyc\_i$ )，Bus2IP\_Addr 和 Bus2IP\_ArData 分别例化为地址和数据输入。本文对 USB IP 核内部的寄存器和外部 SSRAM 进行译码后，总线通过这些译码

表 2 存储器模式 IPIC 接口

信号名称	信号说明
Bus2IP_Clk	总线到IP时钟
Bus2IP_Reset	总线到IP复位
Bus2IP_ArData	总线到IP数据线
Bus2IP_Addr	总线到IP地址线
Bus2IP_RNW	总线到IP读非写信号
Bus2IP_ArCS	总线到IP地址译码片选信号
Bus2IP_ArBE	总线到IP字节传输使能信号
IP2Bus_ArData	IP 到总线数据线
IP2Bus_Ack	IP 到总线回复信号
IP2Bus_Retry	IP 到总线重试信号
IP2Bus_Error	IP 到总线错误报告
IP2Bus_ToutSup	IP 到总线TimeOut表示

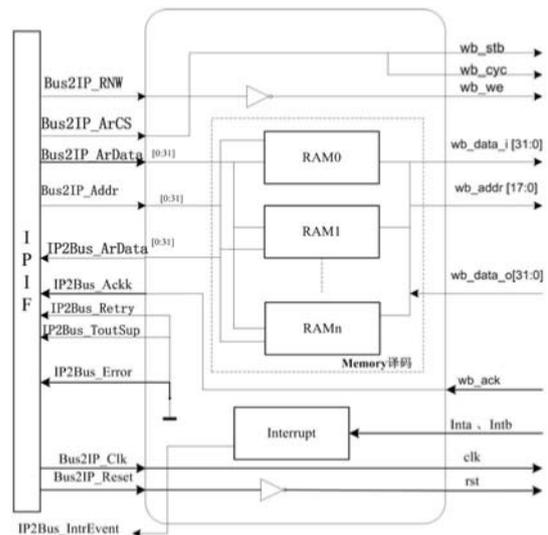


图 5 存储器模式桥

对 IP 核内部的寄存器和外部 SSRAM 进行读写。从 IP 核回复的  $wb\_ack\_o$  信号送回 OPB 总线，OPB 总线接收到  $wb\_ack\_o$  信号后，会拉低 Bus2IP\_ArCS，表示一个写周期或读周期的结束。这种方式相对于 Register 方式比较简单，但是控制信号 Bus2IP\_ArCS 是在数据和地址快结束的最后一个总线时钟到来，OPB 总线现时钟是 100 MHz，而 USB 工作在最大 60 MHz 的时钟，由快时钟域到慢时钟域可能寄存器采样不到控制信号，所以需要延长源控制信号的高电平，采用两级寄存器同步方式，达到同步的效果。

在配置内部寄存器时，由于核内部模块之间数

据是直连的,而控制信号是通过时钟采样的,这样导致数据和地址来到时,控制信号还没到来,为了解决这个问题,本文对 USB IP 核内部时序进行修改,将数据和地址分别采样多次,以达到与控制信号线同步,才能正确写入端点寄存器;写外部 SSRAM 时,回复信号 wb\_ack\_o 来得过早, Bus2IP\_ArCS 信号没能保持足够长的时间,使时钟未能采样到数据和地址,所以在 IP 核内部,对回复信号进行延时,再送到 OPB 总线,以满足 Bus2IP\_ArCS 保持足够长的时间,才能采样到数据和地址。处理器通过存储器模式桥写入 IP 核内部寄存器时序图见第三节实验数据与分析中的图 8 所示。

这种桥接方式相比于寄存器模式具有读写速率快,且控制逻辑简单的优点,但是由于时延的问题,需要修改 USB 设备接口 IP 核内部时序,增加了设计的复杂性。

#### 4 实验数据与分析

将上面所设计的两种桥接通过 EDK 下载到 Xilinx Virtex-II Pro XC2VP30 后, PowerPC 通过这两种桥分别对 IP 核内部端点寄存器和外部 SSRAM 进行读写。然后观察分析读写时序图,验证这两种接口桥是否能正常工作。为了方便数据的采集,我们将 IP 核的一些控制信号、数据总线、以及地址总线约束定位到开发板的扩展口,并通过 Agilent MSO6032A 逻辑分析仪采集。

图 6 为 PowerPC 处理器通过寄存器模式桥对外部 SSRAM(地址译码 0x00020004)进行写入 32 位数据 0x00000001 操作的时序图。图中, OPB 总线通过 Wishbone 接口模块和存储器接口和仲裁模块将数据、地址和控制信号信号送出到外部 SSRAM。B1 为数据信号 sram\_data\_o, B2 为外部 SSRAM 地址信号 sram\_adr\_o, 由于本文所采用的逻辑分析仪数据线有限, B1 和 B2 只采样了数据和地址的低四位, 分别为 0x0001 和 0x0100; D11 为外部 SSRAM 写控制信号 sram\_we\_o, 读控制信号一直保持为高; D7、D10

分别为从 Wishbone 接口送到存储器和仲裁模块的写信号 ma\_we 和请求信号 ma\_req, 当 ma\_req 为高时, 仲裁器模块选择从总线来得数据, 地址和写信号送到 SSRAM; D3 为从存储器接口和仲裁模块送给 Wishbone 接口的回复信号, 表示一个存储器模块传输周期的结束, 这个回复置信号 D10 和请求信号 D7 无效, 并拉高 D2, D2 表示 wb\_ack\_o, 是由 Wishbone 接口送到 OPB 总线上的回复信号, 表示完整的一个传送周期的结束。从图中可以看出, 要写入 SSRAM 的数据和相应的地址以及写控制信号可以在同一个时钟被采样, 满足 SSRAM 写信号的时序逻辑。

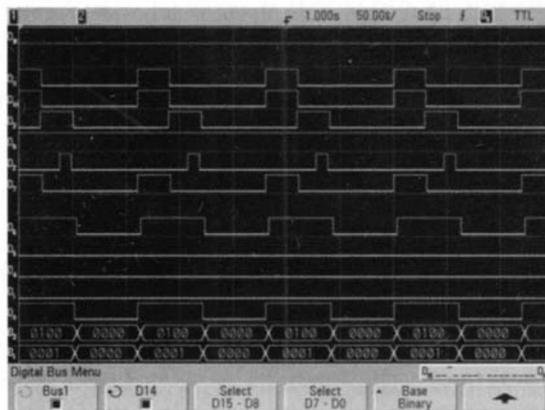


图 6 Register 模式桥写 SSRAM 时序图

图 7 为 OPB 总线时序图, 其中 B1 是 OPB 总线数据, 值为 0xFFFFFFFF, B2 是 CSR 寄存器的地址译码 0x00000004。片选信号 D2 是在数据和地址信号快要结束的最后一个时钟到来的, 并且只保持了 1 个时钟周期。D3 是读信号, 当读信号低时, 表示为写信号; D5 是 IP 核到总线的回复信号, 当回复信号到来时, 总线会拉低片选信号和写信号, 表示一个写周期的结束。实验数据表明, 由于片选信号来得晚且保持的时间短, 要想把数据写入内部寄存器, 必须对 USB 设备接口核内部的时序进行修改。

图 8 为 PowerPC 处理器通过存储器模式桥向内部端点控制状态寄存器 CSR 进行写操作的时序图, 控制状态寄存器在端点中起着非常重要的作用, 它定义了该端点的端点号, 端点类型以及传输方式等。图中, B1 是总线写入端点寄存器的数据

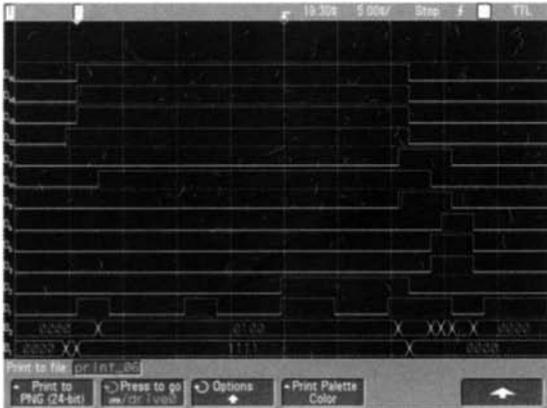


图 7 OPB 总线时序图

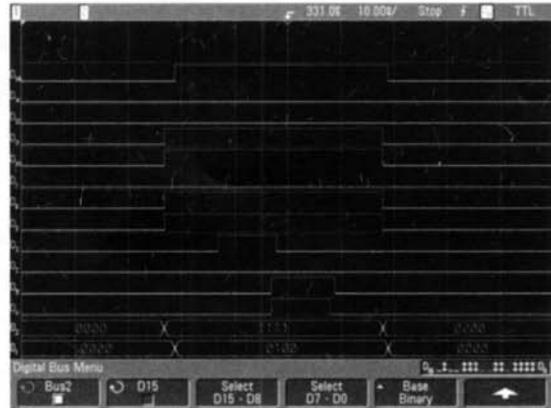


图 8 Memory 模式桥写内部寄存器时序图

0xFFFFFFFF, B2 是端点 CSR 的地址, 它相对存储器译码初始地址的偏移量是 0x00000040, 图中是将数据和地址信号经过同步采样两次后的结果。D2 是读信号, 当读信号低时, 表示为写信号, D3 是片选信号, 当片选信号和写信号为高时, Wishbone 接口模块会送给寄存器管理模块一个写信号有效信号 D9, D9 为高, 且满足 CSR 地址译码正确时, 写寄存器信号 D0 就会被置高。

从图中的波形数据可以看出, 写入 CSR 寄存器的写控制信号、地址信号和数据信号在同一时钟能被采样到, 时序正确, PowerPC 可以成功地将数据写入端点寄存器。

## 5 总结

本文利用 Xilinx EDK 工具设计了 PowerPC OPB 总线与 USB 设备接口 IP 核的两种桥接方式, 并比较了这两种桥接方式的优缺点。最后在 VirtexII Pro 开发板上分别对这两种桥接进行了验证, PowerPC 微处理器可以通过着两种桥访问内 USB 设备内部寄存器和外部 SSRAM, 证明了该接口设计是可行的。■

## 参考文献

- [1] 田园园, 董金明, 崔玉亮. FPGA 开发中一种新的 OPB 总线与 IP 核连接设计[J], 电子测量技术, 2009, 1.
- [2] 左宏权. USB2.0 设备控制器 IP 核的 AHB 接口技术[J], 单片机与嵌入式系统应用, 2007, 1.
- [3] 董代洁, 郭怀里, 曹春雨. 基于 FPGA 的可编程 SoC 设计[M]. 北京航空航天大学出版社, 2006, 6.
- [4] 叶咏辰, 赵光恒. 用 PowerPC 硬核的 FPGA 片上系统及在存储系统中的应用[J], 电子技术, 2005, 5: 48-52.
- [5] Xilinx. EDK\_82\_PPC\_Tutorial.
- [6] OPB IPIF (v3.01c) DataSheet[EB/OL]. <http://www.xilinx.com/>.
- [7] 叶咏辰, 赵光恒. 用 PowerPC 硬核的 FPGA 片上系统及在存储系统中的应用[J], 电子技术, 2005, 5: 48-52.

## 作者简介

杨娟, 厦门大学凝聚态学专业硕士研究生; 主研方向: 嵌入式硬件系统设计;  
李晓潮, 副教授(博士), 厦门大学电子工程系硕士研究生导师。