

基于标准 CMOS 工艺的 一款宽带限幅放大器芯片设计 *

王伟明¹ 杨涛¹ 高铭坤¹ 王云峰² 郭东辉^{1,2,3}

(1. 厦门大学物理系, 福建 厦门 361005 ;

2. 厦门大学电工系, 福建 厦门 361005 ;

3. 厦门睿智微电子有限公司, 福建 厦门 361005)

摘要 采用 SMC 0.35 μ m CMOS 混合信号工艺来设计开发一款适用于 SDH STM-16 的光接收机前端限幅放大器芯片。该限幅放大器的设计采用了电容中和技术来实现带宽的扩展, 可满足 2.5Gbps 速率要求, 芯片电路拥有信号丢失检测和自动静噪功能。芯片版图的参数提取仿真表明, 芯片最小输入动态范围可达 2mV, 50 Ω 负载上的双端输出摆幅约为 1400mV_{pp}, 在 3.3V 供电下静态功耗仅为 66mW, 动态功耗为 105mW, 有实际推广价值。

关键词 限幅放大器; 电容中和; CMOS 工艺

A Wideband Limiting Amplifier design of Basing on CMOS Technics

WANG Wei-ming¹, YANG Tao¹, GAO Ming-kun¹, WANG Yun-feng², GUO Don-hui^{1,2,3}

(1. Department of Physics, Xiamen University, Xiamen 361005, China;

2. Department of Electronic Engineering, Xiamen University, Xiamen 361005, China;

3 Xiamen Rich IT Microelectronic Technologies LTD, Xiamen 361005, china)

Abstract A 2.5Gbps limiting amplifier was realized in SMIC 0.35 μ m CMOS mixed signal process for optical receiver's front end. This limiting amplifier uses capacitance neutralization technology to improve bandwidth and can satisfy 2.5 Gbps requirement for SDH STM-16 system. The chip also includes detecting lost signals and automatic squelch module. The post-simulation results show that this chip offers an input dynamic range as small as 2 mV, and provides a constant double-end output of 1.4 V_{pp} over a 50 Ω load. The static power dissipation is only 66 mW and dynamic power dissipation is 105 mW with the supply voltage of 3.3 V.

Keywords: limiting amplifier; capacitance neutralization; CMOS technology

*本文得到国家教育部新世纪人才计划项目、国家自然科学基金项目和福建省科技项目的联合资助。

1 引言

目前宽带通讯接入方式主要有 xDSL、Cable Modem 和 FTTx (即光纤接入) 三种^[1], 与 xDSL、Cable Modem 相比, FTTx 具有明显的通讯带宽优势。随着互联网应用的普及, 特别是人们对多媒体通讯的需求越来越广泛, 在不久的将来, FTTx 接入必然占统治地位。现阶段光纤通信收发系统成本偏高是推广 FTTx 接入的主要障碍, 如何降低光纤通信收发系统成本已成为人们需要解决的一个重要问题。其中, 限幅放大器作为光收发系统的核心器件之一, 其主要功能是将前置放大器输出的较小幅度的电压放大到一个恒定的幅度, 以满足后续数据判决和时钟恢复电路对输入电平的需求, 因此设计出低成本、高性能的限幅放大器是当前研究的热点。

相较于昂贵的 SiGe、GaAs、双极工艺, 低成本、低功耗的 CMOS 工艺经过几十年的发展已经广泛用于光通信系统的各个方面^[2]。因此本论文采用基于 SMIC 0.35 μ m CMOS 工艺进行限幅放大器的设计。为了实现 2.5Gbps 速率级, 使用常规的电路技术已经不能满足这样高速率的要求, 因此必须使用带宽拓展技术来实现。常用的拓展频带技术主要有: 反比例级联技术^[3,4]、电容或电感峰值技术^[2,3,5,6]、分布式技术^[2,3,7]、Cherry-Hooper 技术^[2,8]、 F_T 倍增器^[2,3]和电容中和技术^[9]等等。在文献[9]中详细介绍了反比例级联、电感峰值、分布式技术等频带拓宽技术的优点及不足之处, 而文献[9]应用的电容峰值技术需要将尾电流源分拆成两个, 降低了差分放大器对衬底噪声抑制能力和共模抑制比, Cherry-Hooper 技术则需要使用双电流漏, 降低电压裕度^[2]。

为此, 综合考虑所采用 CMOS 标准工艺的特点及各种带宽拓展技术, 本文选择使用电容中和技术设计放大电路以获得带宽的拓展。在第二节将具体分析电容中和技术的电路设计原理, 第三节介绍限幅放大器整体电路的设计与仿真结果, 而版图设计结果和验证分析在第四节介绍, 最后给出设计总结。

2 宽带放大器的电路设计原理

放大器电路的带宽大小主要取决于可能存在的寄生电容问题, 因此, 设计宽带放大器所采用的带宽拓展技术主要是可以通过设计抵消寄生电容的电容中和技术来实现。其电路拓扑如图 1(a) 所示, C_1 为节点 X 上的寄生电容, C_c 为引入的中和电容。由米勒效应原理^[10]可知电容 C_c 在 X 节点上的等效电容等于 $(1-A_V)C_c$, 即在 X 节点上的等效电容为 $C_1+(1-A_V)C_c$, 如图 1(b) 所示。当取 $C_c=\frac{C_1}{A_V-1}$ 时, X 节点上的等效电容为 0, 实现电容相消。

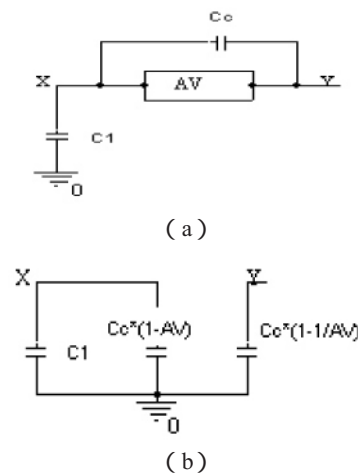


图 1 电容中和技术分析

因此, 宽带放大器的增益电路可以按如图 2(a) 所示来设计, 其中: 差分对 M1、M2 和负载电阻 R1、R2 构成了 F_T 倍增放大器, 电容 C_1 、 C_2 用于中和输入差分对 M1、M2 的栅漏、栅源寄生电容。其差分对单端等效电路图如图 2(b) 所示, C_{gd1} 、 C_{gs1} 分别为 M1 的栅漏、栅源寄生电容, 其在输入节点 INP 的等效电容为 $C_{gs1}+(1+g_m R_L)C_{gd1}$, 相消电容 C_1 在输入节点 INP 的等效米勒电容为 $(1-g_m R_L)C_1=\frac{C_{gs1}+(1+g_m R_L)C_{gd1}}{g_m R_L-1}$, 只要取 $(g_m R_L-1>1)$ 就可以消除 M1 的栅漏、栅源电容, 实现电容相消, 从而拓展放大器电路的带宽。

此外, 在差分对放大器电路后插入源级跟随器,

用于电平转移和降低差分对的电容负载^[2],以进一步拓展放大器电路的带宽。

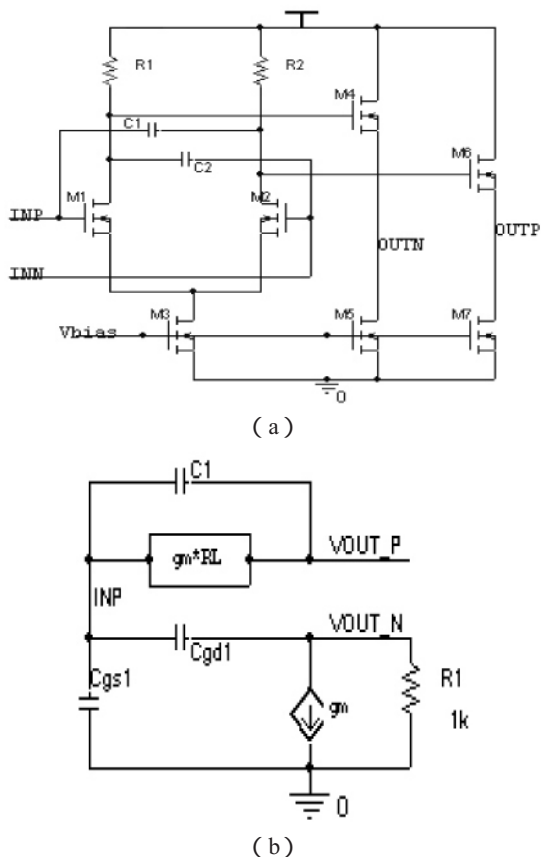


图 2 (a) 使用电容中和技术设计的增益单元
(b) 增益单元单边等效小信号模型

3 限幅放大器的设计与功能仿真

在光接收系统中,低噪音前置放大器输出的毫伏级信号需要放大到一个恒定幅度的电信号,即需要限幅放大器,其工作原理是当输入信号幅度较小时,限幅放大器工作在线性区域,当输入信号幅度超过一定值时,限幅放大器进入非线性工作区域,使得输出信号幅度保持恒定。此外,所设计的限幅放大器要求在较大动态范围输入的情况下具有宽频带、高增益的特性。对于 SDH STM-16 光接收系统,通常要求限幅放大器具有约为 1.8G 的增益带宽^[11],增益约为 40dB^[5]。

为了满足实际应用要求,本文所设计限幅放大

器的总体电路结构如图 3 所示,主要由增益单元、输出缓冲,直流失调反馈补偿回路以及信号丢失检测和自动静噪模块组成。其中, A 模块为如图 2 所示的限幅放大器的增益单元,根据对增益、带宽、功耗等的折衷,本文最终采用 7 级增益电路单元串接级联的结构, OBuf 模块为限幅放大器的输出缓冲,用于实现输出阻抗匹配,提高驱动能力; DC offset 模块为直流失调反馈补偿模块,用于补偿由于版图不对称可能引起的直流失调,实现输入阻抗匹配; LostDetect 模块为信号丢失检测和自动静噪模块,主要功能是用于检测限幅放大器的输入信号幅度。

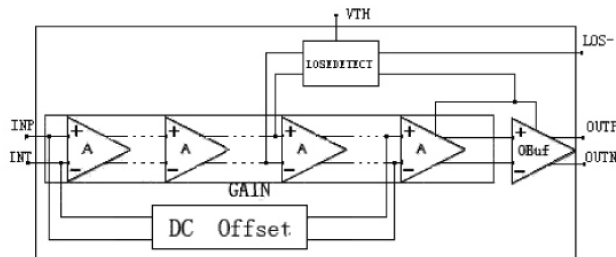


图 3 限幅放大器整体框架图

OBuf 模块的电路结构如图 4 所示。R1、R2 为片内集成电阻, R3、R4 为片外精确电阻, 以满足同时实现 50Ω 和 75Ω 负载匹配的应用需求。片内集成电阻 R1、R2 阻值为 100Ω, 片外电阻 R3、R4 的阻值可以根据两种不同的负载要求取不同阻值, 50Ω 阻抗匹配时 R3、R4 取值为 100Ω, 75Ω 阻抗匹配时 R3、R4 阻值取 300Ω。通过外接精确电阻可以提高输出电阻与传输线的匹配精度。

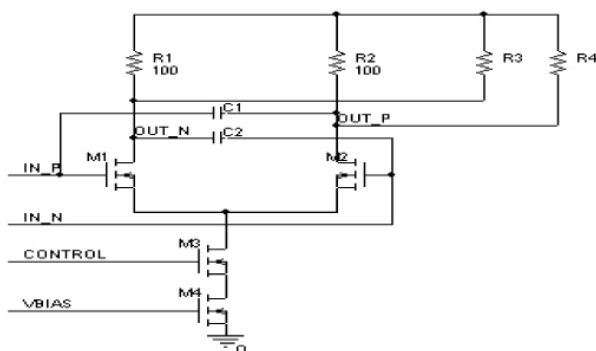


图 4 输出缓冲模块电路

DC offset 模块的电路结构如图 5 所示。电阻 R1、R2 的阻值为 50Ω, 用于实现输入 50Ω 阻抗匹

配。电阻 R3、R4、C1 组成低通滤波器,用于实现直流失调补偿,低通滤波器的截止频率应尽可能小,一般为几十 KHz 左右^[5]。

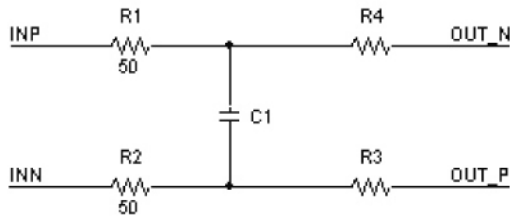
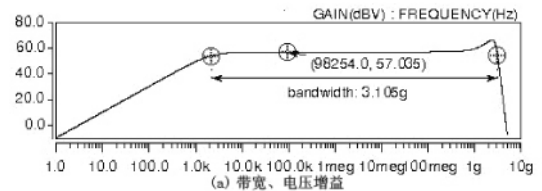


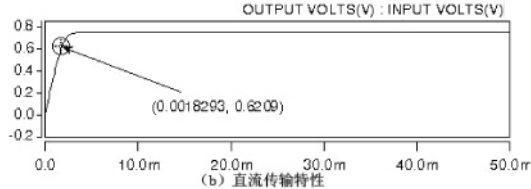
图 5 直流失调反馈补偿

LostDetect 模块主要是用来检测输入信号幅度是否满足设定的输入信号门限值要求。当输入信号幅度小于设定的门限值时,关断增益电路单元和输出电路单元,屏蔽输出信号降低芯片的静态功耗,并发出告警信号。其电路结构如图 6 所示,主要由整流电路、放大电路、比较与驱动电路三部分组成。

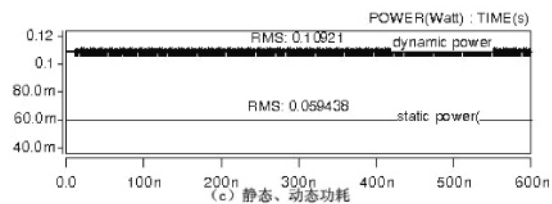
限幅放大器电路的整体电路经 Hspice 仿真结果如图 7 所示。图 7(a)表明芯片的整体增益约为 57dB,带宽为 3.1GHz,满足 STM-16 速率级的带宽要求。图 7(b)表明芯片最小输入动态范围为 2mV。图 7(c)表明芯片处于工作状态下其动态功耗为 109mW;在输入信号低于设定的门限值,电路自动关断增益电路单元和输出电路单元,芯片功耗仅为 60mW,明显降低芯片的信号静态功耗。



(a) 带宽、电压增益



(b) 直流传输特性



(c) 静态、动态功耗

图 7 限幅放大器整体前端仿真结果

4 版图设计与验证分析

本限幅放大器的电路版图是采用 SMIC 0.35μm 的 PDK 套件来设计的,其中电路版图的核心部分即差分对电路是采用共质心版图设计技术实现的。这是由于差分放大器需要更严格的匹配,而

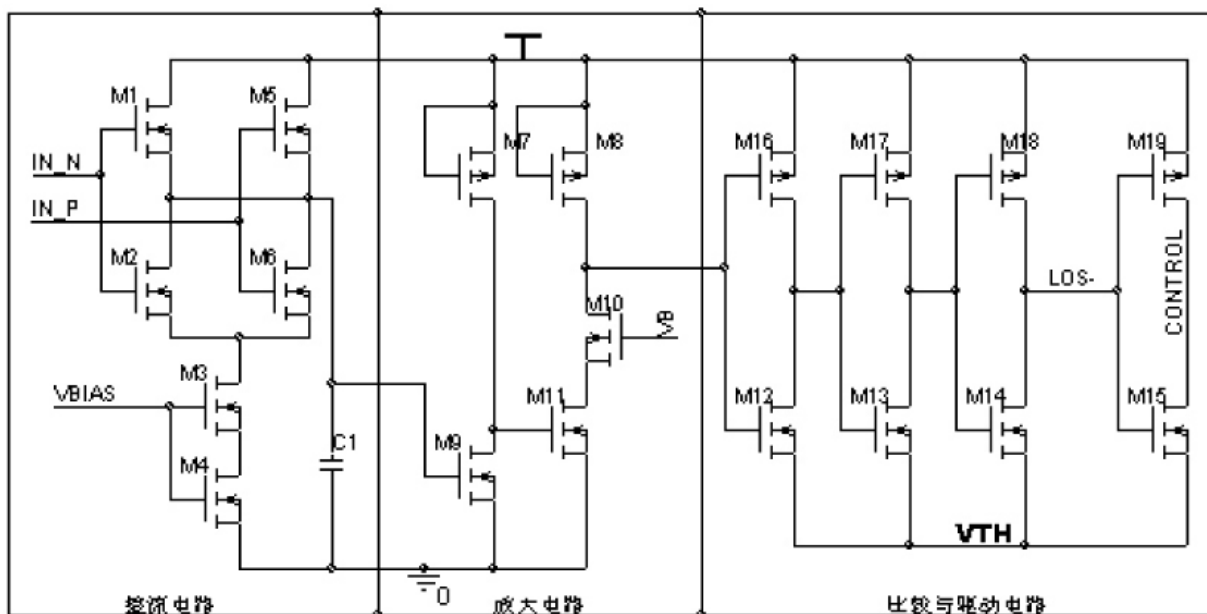


图 6 信号丢失检测和自动静噪

共质心版图设计^[12]是目前 PDK 套件所能使用的最佳匹配的技术,它可以同时抵消 X 方向和 Y 方向上的工艺梯度。最终设计出来的限幅放大器整体电路版图如图 8 所示,版图面积仅为 $0.4 \times 0.5\text{mm}$ 。

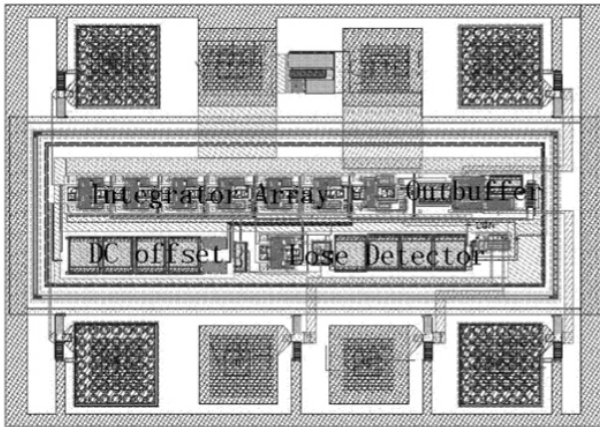


图 8 限幅放大器版图

在版图设计过程中,由于各电路单元的布局、器件兑现的方式、电路器件间的隔离与连线、输出引脚的 PAD 设计和 ESD 保护等都可能产生寄生器件参数的影响,因此,高频的集成电路设计均需要版图寄生参数的提取和后仿真。通过对图 8 所示的版图寄生参数提取,得到版图的电路网表,同样使用 Hspice 进行仿真,其仿真结果如图 9、10 所示。

如图 9(a)所示,限幅放大器增益为 56dB,带宽降低为 1.9GHz,相对于前端仿真结果,芯片的带宽

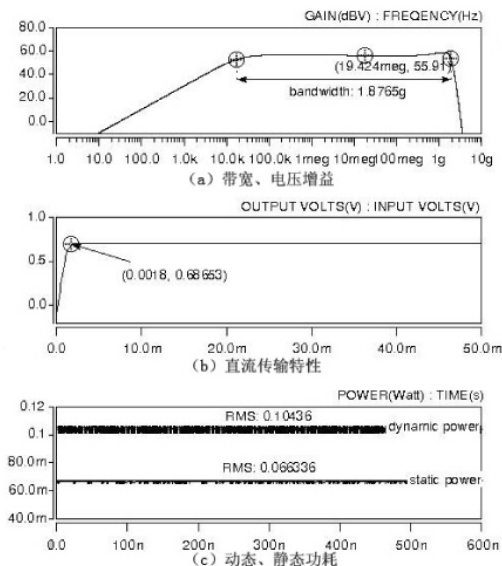


图 9 限幅放大器整体后端仿真结果

下降的比较厉害,这主要是由 PAD、ESD、连接线等的寄生电容引起的,但仍然满足 STM-16 速率级的带宽要求。图 9(b)表明芯片的最小输入动态范围仍然可达 2mV,与前端仿真比较结果变化不是很大。图 9(c)表明芯片动态功耗约为 105mW,静态功耗约为 66mW,与前端仿真比较结果变化不大。

图 10 为在 2.5Gbps 的速率下,输入幅度分别为 2mV 和 1V 伪随机码的情况下得到的双端输出信号眼图,可以看出结果较为理想,满足设计要求。

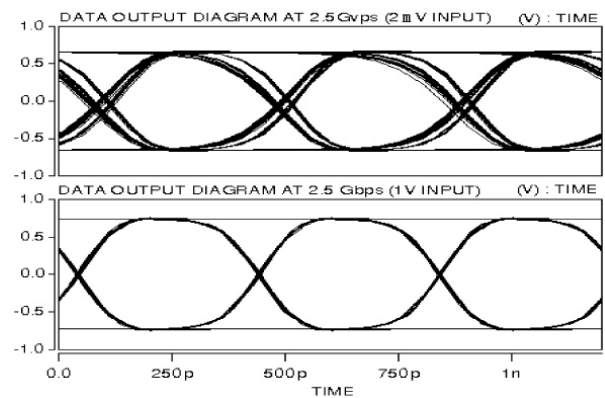


图 10 2.5Gbps 2mV、1V 幅度下的输出眼图

5 结论

本文基于 SMIC $0.35\mu\text{m}$ CMOS 混合信号工艺制程实现了一款限幅放大器芯片设计。芯片利用电容中和技术,在不增加功耗的情况下拓展了增益单元的带宽,芯片拥有自动静噪功能,能够在芯片不工作和输入信号幅度低于阈值幅度的情况下关闭部分电路,极大降低了芯片功耗。通过后仿真表明,本文设计的限幅放大器芯片可用作 SDH STM-16 光接收机的限幅放大器,具有实际推广价值。

参考文献

- [1]北京诺达咨询有限公司,2008FTTH(光纤到户)产业发展与市场机遇研究报告,2008年2月
- [2]Behzad Razavi, "Design of Integrated Circuits for Optical Communications [M]," McGraw-Hill Inc., International Edition, 2003.

(下转第 48 页)

参考文献

- [1] Axel Jantsch, Hannu Tenhunen. Network on Chip [M]. Academic Publishers, 2003.
- [2] H.F. Wedde, M. Farooq, Y. Zhang. Beehive: an efficient fault-tolerant routing algorithm inspired by honey bee behavior. Ant Colony Optimization and Swarm Intelligence, LNCS 3172, Springer-Verlag, 2004, pp. 83-94
- [3] Wang Z, Crowcroft J. Quality of Service routing for supporting multimedia application. IEEE Journal on Selected Areas in Communications, 1996, 14 (7): 1228-1234
- [4] Sun Baolin, Li Layuan, Multiple constraints-based QoS multicast routing: model and algorithms, 系统工程

与电子技术 (英文版) Journal of Systems Engineering and Electronics, 2005(1), pp.44-50

- [5] OPNET Modeler documentation, OPNET Technologies, Inc. <http://www.opnet.com/>, 2004.
- [6] Z Lu, A Jantsch, Admitting and ejecting flits in wormhole switched NoC, Computers & Digital Techniques IET, Sept. 2007, pp.546-556.

作者简介

刘宝起, 硕士研究生, 主要研究方向: 群体智能、片上网络 (NoC);

王长山, 硕士生导师, 主要研究方向: 直连网络、传感器、片上网络;

李瑞, 硕士研究生, 主要研究方向: 计算机网络, 二维码。

上接第 33 页

- [3] Thomas H. Lee 著, CMOS 射频集成电路设计 (第二版)(英文版)[M]. 北京: 电子工业出版社, 2005
- [4] Eduard Sackinger and Wilhelm C. Fischer. "A 3-GHz 32-dB CMOS Limiting Amplifier for SONET OC-48 Receivers [J]." IEEE Journal of Solid-State Circuits, Dec 2000, 35(12): 1884-1888
- [5] Sherif Galal, Student Member, IEEE, and Behzad Razavi, Fellow, IEEE, "10, gb/s limiting amplifier and laser modulator driver in 0.18 μ m cmos technology[J]", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 12, DECEMBER 2003, PP. 2138-146.
- [6] Ty Yoon, Bahram Jalali, "Front-End CMOS Chipset for Fiber-based Gigabit Ethernet [C]", Symposium on VLSI Circuits Digest of Technical Papers, 1998: 188-191
- [7] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed Amplification [J]," Proc. IRE, August 1948, PP. 956-69
- [8] E.M. Cherry, D.E. Hooper, "The Design of Wideband Transistor Feedback Amplifiers," Proc. IEE, Vol. 110, pp. 375-389, Feb. 1963.

[9] 江浩, 2.5Gb/s CMOS 限幅放大器的设计, 厦门, 厦门大学, 2005.7

- [10] John M. Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit [J]", Scientific Papers of the Bureau of Standards, 15(351): 367-385, 1920.
- [11] Maxim Integrated Products, "NRZ Bandwidth - HF Cutoff vs. SNR", Application Note HFAN-09.0.1 Rev. 2, Dec 07, 2001
- [12] R. Jacob Baker, CMOS 电路设计、布局与仿真[M]. 北京: 机械工业出版社, 2003.

作者简介

王伟明, 厦门大学硕士研究生, 研究方向为集成电路;

郭东辉, 厦门大学教授。