

# CMOS 异或电路的设计与应用

吴孙桃, 慈艳柯, 纪安妮, 郭东辉

(厦门大学物理学系, 技术物理研究所, 福建 厦门 361005)

**摘要:** 设计了四种 CMOS “异或”单元电路, 通过模拟仿真分析了它们各自的性能特点, 并讨论了它们在奇偶检测电路、微处理器系统加法器电路以及单片机全加电路等设计中的不同应用。

**关键词:** CMOS 异或电路; 电路仿真; 单元库

**中图分类号:** TN432    **文献标识码:** A    **文章编号:** 1003-353X(2002)08-0021-04

## Design and application of CMOS XOR circuits

WU Sun-tao, CI Yan-ke, JI An-ni, GUO Dong-hui

(Department of Physics, Institute of Technical Physics, Xiamen University, Xiamen, 361005, China)

**Abstract:** The design of four kinds of CMOS XOR circuits is introduced in this paper. The features of these circuits are analyzed by simulation. The applications of such XOR circuits in the parity check circuit and the addition circuit of microprocessor and SCM are as well discussed.

**Key words:** CMOS XOR circuits; circuit simulation; element library

## 1 引言

CMOS 集成电路由于工艺技术的进步以及功耗低、稳定性高、抗干扰性强、噪声容限大、可等比例缩小、以及可适应较宽的环境温度和电源电压等一系列优点<sup>[1]</sup>, 成为现在 IC 设计的主流技术。在 CMOS 集成电路设计中, 异或电路的设计与应用是非常重要的。IC 设计者可以根据芯片的不同功能和要求采用各种不同结构的异或电路, 从而实现电路的最优化设计。本文设计了四种 CMOS 异或单元电路, 利用 Cadence 公司的 icms 分别对其进行了模拟仿真。并且, 将其作为设计 CMOS 低功耗集成电路<sup>[2]</sup>的 EDA 库单元组件, 应用于奇偶检测电路、单片机和微处理器系统的加法电路设计中。

## 2 异或电路的设计

异或电路是算术逻辑单元和比较判别电路中非常重要的单元电路, 已经被广泛应用于半加器、

全加器、奇偶校验和逻辑比较等电路中。异或电路可以实现逻辑异或关系, 输出 Y 与输入 A、B 的逻辑关系表达式为:

$$Y = \bar{A}B + A\bar{B} = A \oplus B \quad (1)$$

用 CMOS 静态逻辑电路设计的异或电路功耗低、结构简单可靠、工作速度快, 成为大规模集成电路芯片设计中最重要单元电路之一。

### 2.1 组合逻辑构成的异或电路

图 1 是利用组合逻辑关系设计的异或电路, 4

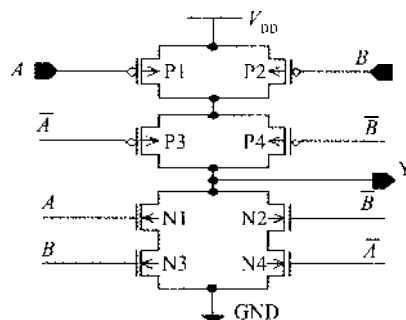


图1 组合逻辑构成的异或电路

个PMOS管和4个NMOS管构成了异或逻辑关系，输出Y与输入A、B的逻辑关系表达式为：

$$Y = \overline{AB + \overline{AB}} \quad (2)$$

化简(2)式可以得到：

$$Y = A \oplus B \quad (3)$$

该电路中PMOS、NMOS管呈现对称状态，PMOS管组成上拉通路，NMOS管组成下拉通路。当输入A、B均为低时， $\overline{A}$ 、 $\overline{B}$ 为高，此时P3、P4截止，N1、N3截止而N2、N4导通，输出Y为GND（低电平，0V）。同理，当输入A、B均为高时，N1、N3导通，输出仍为GND。当输入A、B为0、1或1、0时，P1、P4或P2、P3导通，N1、N2或N3、N4截止，输出为 $V_{DD}$ （高电平）。由于CMOS对管总是一管导通而另一管截止，因此该电路中不存在静态直流导通电流，基本没有静态功耗<sup>[3]</sup>。

利用Cadence公司的icms对该电路进行模拟仿真<sup>[4]</sup>，取特征线宽为1 $\mu\text{m}$ ，PMOS管沟道的宽长比W/L为4 $\mu\text{m}/2\mu\text{m}$ ，NMOS管的W/L为2 $\mu\text{m}/1\mu\text{m}$ ，并分别调用Cadence基本库中简单模型pmos\_24和nmos\_24，信号的阶跃响应时间为0.1ns。由于PMOS和NMOS的上拉和下拉操作，通过瞬态分析可以得到图5(a)所示的波形。输出端Y的高、低电平分别为 $V_{DD}$ 和GND。当输入端A、B的信号同时发生变化时，产生过渡干扰脉冲，如果 $V_{DD}$ 取值为+5V，则该脉冲干扰最大达+3.3V。

### 2.2 利用传输门构成的异或电路

利用2个传输门和2个非门设计的一种异或电路，如图2所示。输入端B的信号用来控制传输门的开通与截止。当B端信号为高时，传输门II

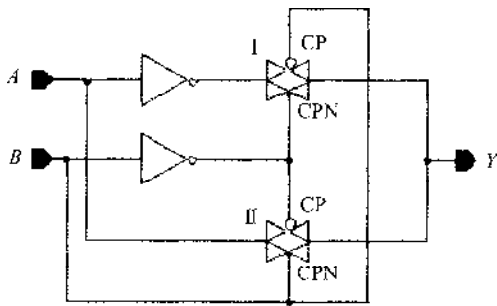


图2 利用传输门构成的异或电路

开通，而I截止，输入端A的信号传送到输出端Y；反之，则传输门I开通，II截止， $Y = \overline{A}$ 。

模拟仿真时，先取非门中PMOS管的W/L为2 $\mu\text{m}/1\mu\text{m}$ ，NMOS管的W/L为1 $\mu\text{m}/1\mu\text{m}$ ，传输门中的PMOS、NMOS管的W/L均为1 $\mu\text{m}/1\mu\text{m}$ ，对该电路进行瞬态分析。然后增大1倍PMOS管、NMOS管的W/L，增强了管子的驱动能力，改善了Y端的输出波形。通过模拟仿真，最后确定了实际电路中非门的PMOS、NMOS管的W/L分别为4.9 $\mu\text{m}/1\mu\text{m}$ 、2.6 $\mu\text{m}/1\mu\text{m}$ ，传输门中PMOS、NMOS管的W/L为2.7 $\mu\text{m}/1\mu\text{m}$ ，特征线宽为1 $\mu\text{m}$ 。如果取 $V_{DD}=+5\text{V}$ ，输出端Y的高电平可以达到+5V，低电平为0V，最大过渡干扰脉冲为+3.3V，输出波形如图5(a)。和图1电路相比，图2电路具有相同的性能，但是设计得更简单。

### 2.3 结构简单的异或电路

图3给出了一种用6个管子设计的异或电路，其中传输门、非门各由2个管子组成。输入端A用于控制传输门的开通与截止，当A为低时，传

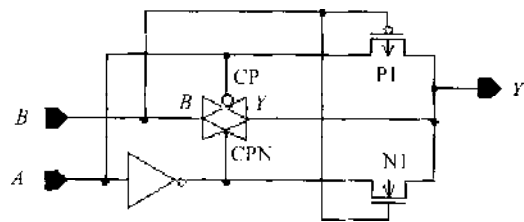


图3 结构简单的异或电路

传输门开通，B端信号通过传输门传送到输出端Y，同时，B端信号也会控制P1或N1管导通，从而将A或者 $\overline{A}$ 信号传到Y端。通过P1、N1传送到Y端的信号与通过传输门传送的B端信号逻辑上完全一致，起到了加强Y端信号的作用。当A为高时，传输门的PMOS、NMOS都处于截止状态，相当于传输门B、Y之间并联了两个无限大的电阻，无法进行信号的传送。此时仅由B端控制P1、N1的导通和截止，并传送A、 $\overline{A}$ 信号。由于该电路中的CMOS传输门是一个PMOS开关管和一个NMOS开关管并联而成，可以实现互补的传输关系，因此CMOS传输门弥补了单沟道MOS开关管阈值电压逻辑损失的缺点，该电路能够传输整个

$V_{DD} \sim 0$  范围的信号。如果电路中高电平的定义范围较宽，可以考虑简化该电路设计。去掉传输门，仅用 B 信号控制 P1 和 N1 管，传送 A、 $\bar{A}$  端信号到输出端。当 B=0 时， $Y=A$ ；当 B=1 时， $Y=\bar{A}$ ，对应的逻辑表达式为： $Y = \bar{A}B + A\bar{B}$ ，也实现了异或功能。

利用 Cadence 公司的 icms 分别对简化前、简化后的电路进行仿真，电路中 PMOS 管的 W/L 均为  $4\mu\text{m} / 2\mu\text{m}$ ，NMOS 管的 W/L 均为  $2\mu\text{m} / 1\mu\text{m}$ ， $V_{DD}$  取值为 +5V。分析 Y 端的输出波形，可以得到简化前输出 Y 的高电平可以达到 +5V，低电平为 0V，如图 5(c) 所示。简化后 Y 输出的逻辑高电平所对应的取值范围为 4.0~4.8V。增大 MOS 管的 W/L，可以略微改善高电平的输出，但是输出高电平的取值范围仍较宽，如图 5(b) 所示。与图 1、图 2 的电路相比，图 3 电路较好地解决了过渡干扰脉冲过高的问题。当  $V_{DD}=+5\text{V}$ ，该电路所出现的干扰脉冲最大仅为 +1.6V，不影响整个电路的工作状态。

#### 2.4 由四管组成的异或电路

图 4 给出了一种仅用 4 个晶体管设计的异或电路。当输入端 A、B 均为高时，PMOS 管截止、NMOS 管导通，输出端 Y 为低。当 A 为低而 B 为

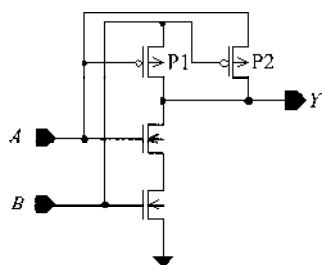


图4 四管组成的异或电路

高时，P1 导通，B 端信号由 P1 传送到 Y；而当 A 为高而 B 为低时，P2 导通，A 端信号由 P2 传送到 Y，此时 Y 端输出都为高。当 A、B 端信号均为低时，NMOS 管截止、PMOS 管导通，A、B 端信号分别通过 P2、P1 传送到 Y，Y 输出为低。

利用该电路的设计方法，也可实现四管同或电路的设计。A、B 端信号分别控制两个 NMOS 管的导通或截止，并通过导通管传送信号到输出端。对该异或电路、同或电路进行仿真<sup>[5]</sup>，可以发现此类电路最大的问题是因为电路设计中没有形

成互补的传输关系，所以无法消除 NMOS 管或者 PMOS 管阈值电压的影响。对于图 4 中的异或电路，有时输出的低电平值较高，如图 5 (d)，而对于同或电路则有时输出的高电平值较低。

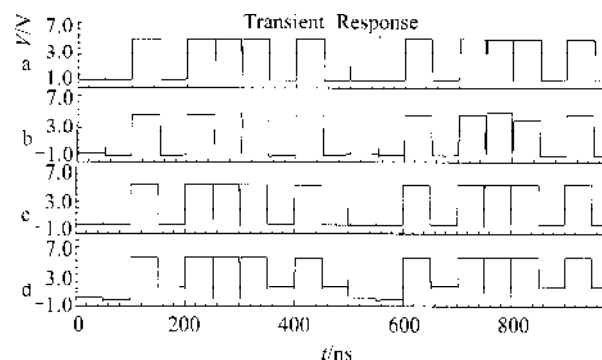


图5 异或电路瞬态响应仿真波形

### 3 异或电路的应用

以上设计的四种异或单元电路结构不同，对应的性能也不完全相同。下面，利用它们作为基本单元，完成奇偶检测电路、带有曼彻斯特进位链的加法电路和单片机中的全加电路等功能电路的设计。

#### 3.1 奇偶检测电路

奇偶检测电路是通过“奇偶检测”的方法来检查数据传输和数码记录是否有错误的一种电路，广泛应用于通信和计算机存储系统中。所谓奇偶检测，就是检测数据中包含奇数个“1”，还是偶数个“1”。由异或电路的逻辑关系可知：当输入为偶数个“1”时，输出为“0”；反之，当输入为奇数个“1”时，则输出为“1”，可以实现奇偶检测电路的功能。应用上面的异或单元电路构成图 6 所示的 4 位输入奇偶检测电路，完成功能逻辑：

$$Y = (A \oplus B) \oplus (C \oplus D) \quad (4)$$

如果需要检测的数据位数较多，就采用塔状

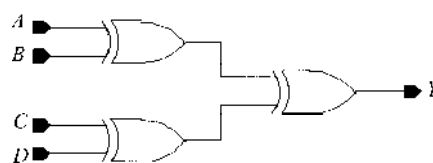


图6 奇偶检测电路

级联的方式来实现电路，这样可以缩短整个电路的检测时间。

### 3.2 带曼彻斯特进位链的加法电路

算术逻辑单元 ALU 是对数据和逻辑进行操作的部件，在微处理器系统设计中是十分关键的。而加法器则是算术运算单元的基本组成模块。基于上述异或电路设计了16位带有曼彻斯特进位链的加法电路，图7是其中的一位全加单元。图中输入A、B为加数， $C_{in}$ 为低一位的进位信号，输出端S、 $C_{out}$ 分别表示本位运算的和、进位信号。

进位和借位信号通过ALU时会有延迟，如果

$$S = A \oplus B \oplus C_{in} = \overline{AB + AB \oplus C_{in}} = \overline{(AB + AB) \oplus C_{in}} = \overline{A \oplus B \oplus C_{in}} = A \oplus B \oplus \overline{C_{in}} \quad (5)$$

$C_{out}$ 的逻辑表达式：

$$C_{out} = A \oplus BC_{in} + (A+B)(A \oplus B) = (A \oplus B)C_{in} + \overline{AB}(A \oplus B) \quad (6)$$

当输入信号A、B为0， $C_{in}$ 也为0时，表示加数均为0，低一位的进位为1，运算结果是和 $S=1$ ，本位进位 $C_{out}=1$ ，向高位没有进位信号；如果 $C_{in}$ 为1，则表示加数、低一位的进位均为0，输出 $S=0$ ， $C_{out}=1$ 。当输入信号A、B分别为1、0或0、1时，如果 $C_{in}$ 为0，则 $S=0$ ， $C_{out}=0$ ，向高位有进位信号；如果 $C_{in}$ 为1， $S=1$ ， $C_{out}=1$ 。当输入信号A、B均为1， $C_{in}$ 为0时， $S=1$ ， $C_{out}=0$ ； $C_{in}$ 为1时，则 $S=0$ ， $C_{out}=1$ ，实现了一位全加功能。

将16个图7所示的一位全加单元中的进位信号级联，就构成了16位带有曼彻斯特进位链的加法

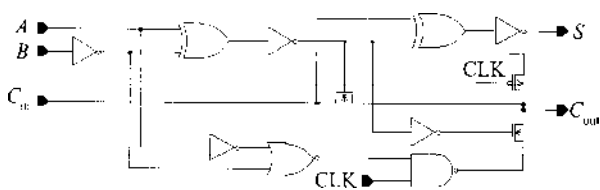


图7 带曼彻斯特进位链的一位全加单元电路

电路。该加法电路与16位左移/右移桶形移位器(barrel shifter)寄存器堆(register file)等功能单元结合，可以实现16位微处理器系统中的浮点运算单元(FPU)。

### 3.3 单片机中的全加电路

设计单片机芯片时，要求电路结构简单，因

每一位的相加都需要低一位输出的进位或者借位信号，那么算术运算的速度将十分缓慢。而ALU的执行时间又会限制微处理器所能达到的最高时钟频率，因此，绝大多数微处理器系统均采用进位线预充电的方案。图6中进位信号 $C_{out}$ 输出端加上一个PMOS管，其栅极控制信号为时钟CLK。每个时钟周期内， $CLK=0$ 时，PMOS管导通，进位线被预充电到高电平，此时 $C_{out}=1$ 表示无进位； $CLK=1$ 时，如果有进位信号传送，则 $C_{out}=0$ ，否则维持弱1输出信号。分别写出S的逻辑表达式：

此利用图4的异或电路作为基本单元，设计出适用于单片机芯片的全加电路。图8给出了一位全加单元，图中A、B为加数， $C_{in}$ 为低一位的进位信号，S、 $C_{out}$ 为本位运算的和、进位信号。当进位信号为高时，表示有进位；反之，无进位。分别写出S、 $C_{out}$ 对应的逻辑关系表达式为：

$$S = A \oplus B \oplus C_{in} \quad (7)$$

$$C_{out} = (A \oplus B)C_{in} + \overline{(A \oplus B)}B \quad (8)$$

当A、B均为0， $C_{in}$ 也为0时， $S=0$ ， $C_{out}=0$ ； $C_{in}$ 为1时， $S=1$ ， $C_{out}=0$ 。当A、B为0、1或1、0， $C_{in}$ 为0时， $S=1$ ， $C_{out}=0$ ； $C_{in}$ 为1时， $S=0$ ， $C_{out}=1$ 。当A、B均为1， $C_{in}$ 也为1时， $S=1$ ， $C_{out}=1$ ； $C_{in}$ 为0时， $S=0$ ， $C_{out}=1$ 。

单片机芯片设计除了要电路精练外，还要考虑遵循一定的时序，因此实际应用该全加电路时，和信号S通过带有选择控制线的CMOS静态存储单元电路输出，如图8虚线框内所示。当控

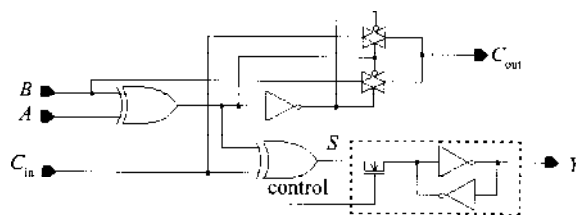


图8 单片机中的全加电路

(下转第34页)

过程就可完成。

影响滤波器频率响应的时间常数取决于时钟周期和电容的比值，而与电容的绝对值无关。在MOS工艺中，电容比值的精度可以控制在0.1%以内。

#### 4 结论

本文提供一种运用全差动设计、共模反馈电路和开关电容积分器集成二阶  $\Delta A/D$  转换器的设计方法。近年来大规模集成电路和数字信号处理技术的发展使得对模拟电路精度要求低、分辨率高、易于利用数字集成电路工艺将其与数字电路集成在一个芯片上等优点的数字滤波器得以实现。该方法有效地提高了  $\Delta A/D$  转换器性能，并且实现简单。

参考文献：

- [1] STEVEN R. NORSWORTHY, SCHREIER R, GABOR C. Temes. Delta - Sigma Data Converters ,Theory ,Design and Simulation. IEEE Press. 1996.
- [2] 廉德亮,黄军.反激模式变换器设计方法.深圳大学学报 2001;18(2):64.
- [3] 董在望、杨明杰,模拟电路技术资料汇编.高等教育出版社,1998
- [4] 陈贵灿、邵志标、程军等.CMOS 集成电路设计.西安交通大学出版社,2000
- [5] BACKER R J ,LI H W, BOYCE D E. COMS circuit design ,Layout and simulation. IEEE Press. 1997.
- [6] 刘益成、罗维炳.信号处理与过抽样转换器.电子工业出版社,1997.

作者简介：

廉德亮 男,博士,讲师。主要从事大规模集成电路设计、AlGaAs/GaAs HBT 器件的研制、单片机在控制领域应用的研究和SAT 并行处理器的研制等。在国内外发表多篇论文。

(上接第20页)

参考文献：

- [1] 杜小松,杨邦朝.芯片尺寸封装技术.微电子学,2000,30(6),418-421.
- [2] JAHN J R et al. MCMs:a Review of the Status quo . Semiconductor Information,1994,4.
- [3] 为民 摘译.一种灵活简便的芯片系统集成方式 - SIP. 中国集成电路,2001,31.
- [4] CHRISTOPHER M. Scanlan and Nozad Karim. System-in-package technology, application and trends. Amkor Technology, Inc.2000.

- [5] RINEBOLD K. Few-chip packaging:An MCM renaissance. High-Density Interconnect,2000,06.
- [6] LERNER S and TRUZZI C. The move towards system-in-a-package solutions. Semiconductor Fabtech-11<sup>th</sup> Edition,1999.
- [7] 倪琼丹. 先进封装市场与发展. 电子产品世界,2001,6.
- [8] 祝大同. IC封装基板市场蓬勃发展. 世界电子元器件,11.

(上接第24页)

制线 control 为高电平时，NMOS 管导通，运算结果传送到Y端， $Y=S$ ；反之，NMOS 管截止，该结果保持在存储单元中，维持 $Y=S$ 不变。

#### 4 结束语

笔者完成了四种CMOS异或单元的电路和版图的设计，并进行了模拟仿真。而且，还利用CMOS异或单元构成了奇偶检测电路、加法器等功能电路，可提供给IC设计者进行各种CMOS IC芯片的设计。异或电路是许多大规模集成电路的基本功能单元，将这些基本功能单元作为组件，可以方便地进行较大规模甚至片上系统的设计。

参考文献：

- [1] 陈贵灿,邵志标,程军,林长贵. CMOS 集成电路设计 [M]. 西安交通大学出版社 2000.
- [2] CHANDRAKASAN A P , SHENG S , BRODERSEN R W. Low-power CMOS digital design[J]. IEEE Journal of Solid-State Circuits ,1992 27(4).
- [3] RABAHEY J M. 数字集成电路设计透视[M]. 清华大学出版社,1999 .
- [4] Cadence: Online Documentation. 1997.
- [5] CHENG E K. Analog / Power Trends ,1999 8.

(收稿日期:20020122)

作者简介：

吴孙桃 男,1981年厦门大学物理系研究生毕业,获硕士学位,副教授。曾于1985年至1986年在美国Case大学电子设计中心作访问学者。现在厦门大学物理系,从事半导体物理与器件物理专业工作。